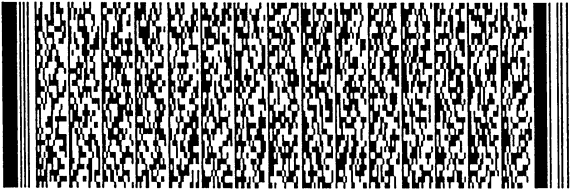


公告本

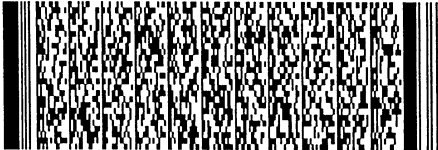
申請日期: 89 4 14	案號: 881002-2
類別: 1401C-7/c6	

(以上各欄由本局填註)

發明專利說明書		494568
一、發明名稱	中文	半導體積體電路裝置
	英文	半導體集積回路裝置
二、發明人	姓名 (中文)	1. 力野 邦人 2. 佐佐木 靖彥
	姓名 (英文)	1. KUNIHITO RIKINO 2. YASUHIKO SASAKI
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國千葉縣茂原市早野3681日立裝置工程股份有限公司內 2. 日本國東京都千代田區丸之內一丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內
三、申請人	姓名 (名稱) (中文)	1. 日商日立製作所股份有限公司 2. 日商日立裝置工程股份有限公司
	姓名 (名稱) (英文)	1. HITACHI, LTD. 2. HITACHI DEVICE ENGINEERING CO., LTD.
	國籍	1. 日本 2. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區神田駿河台四丁目6番地 2. 日本國千葉縣茂原市早野3681
	代表人姓名 (中文)	1. 庄山 悅彥 2. 梨本 柳三
	代表人姓名 (英文)	1. ETSUHIKO SHOYAMA 2.
		

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書		
一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	3. 矢野 和男 4. 加藤 直樹
	姓 名 (英文)	3. KAZUO YANO 4. NAOKI KATO
	國 籍	3. 日本 4. 日本
	住、居所	3. 日本國東京都千代田區丸之內一丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內 4. 日本國東京都千代田區丸之內一丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1999/04/16 特願平11-108915

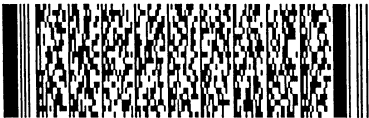
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明之領域]

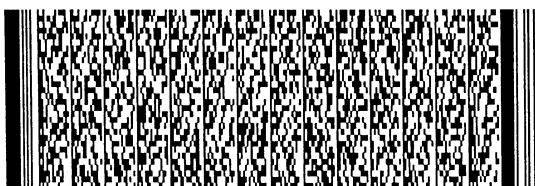
本發明可應用於所有之半導體積體電路，尤其含邏輯電路之泛用處理機、信號處理機、影像處理機、各種控制處理機等LSI。

[先前之技藝]

目前為了實施高性能邏輯電路之自動設計，廣用閘陣列、單元基(cell base) IC等。已知邏輯電路之一有所謂路徑電晶體邏輯電路者。已發表路徑電晶體邏輯電路與目前主要被使用於邏輯電路之CMOS邏輯電路比較，可實現小面積、低消耗電力、短延遲時間。

先前IEEE Journal of Solid-State Circuits，Vol.sc-22，No.2，April 1987 pp216-pp222（以下稱第1先前技藝）介紹Differential Pass-transistor Logic，或IEEE Journal of Solid-State Circuits，Vol.sc-25，No.2，April 1990 pp388-pp395（以下稱第2先前技藝）介紹Complementary Pass-transistor Logic，IEEE Journal of Solid-State Circuits，Vol.sc-28，No.11，November 1993 pp1145-pp1151（以下稱第3先前技藝）介紹A 1.5-ns 32-b CMOS ALU in Double Pass-Transistor Logic。

又IEEE Journal of Solid-State Circuits，Vol.sc-32，No.7，July 1997 pp1079-pp1090（以下稱第4先前技藝）介紹Low-Power Logic Style：CMOS Versus Pass-Transistor Logic，與CMOS VLSI設計原理-從系統



五、發明說明 (2)

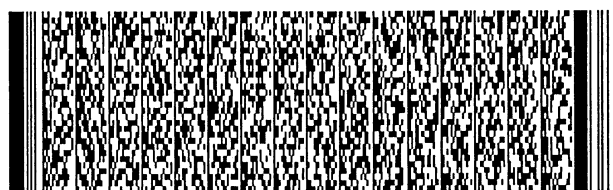
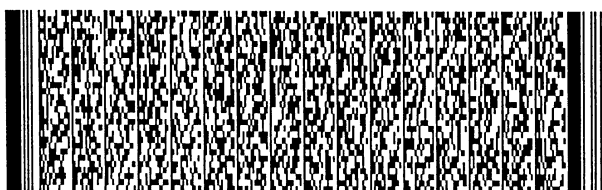
之觀點-(日本丸善公司Neil H.E. Weste & Kamran Eshraghian 著, 富澤孝 松山泰男譯) pp173 (以下稱第5 先前技藝) 介紹佈置之一例, Custom Integrated Circuits Conference 1994 Digest pp103-pp106 (以下稱第6 先前技藝) 說明組合路徑電晶體電路與上述標準單元方式之電路設計方法。

此外、日本1994年電子情報(信息)通信學會講演論文集、基礎・境界分冊pp64 (以下稱第7 先前技藝) 並介紹稱為2分法決定曲線圖之邏輯表現方法組合路徑電晶體電路與標準單元方式之設計方法, 特開平7-130856號公報(以下稱第8 先前技藝) 說明用路徑電晶體電路之邏輯電路單元, 美國專利5,162,666 (以下稱第9 先前技藝) 說明傳輸閘多工器, Proc/ of the IEEE International Symp. on Circuits and Systems 1983 pp509-pp512 (以下稱第10 先前技藝) 介紹Pass Transistor Network In MOS Technology。

[發明欲解決之課題]

圖4係比較例CMOS邏輯電路單元之佈置。此佈置係為了減小佈置面積以互相成直線配置PMOS與NMOS之閘極。發明人等為用路徑電晶體電路實現佈置面積小之積體電路, 依上述想法事先檢討佈置。

圖5表示其結果。但圖5不但無法共有同電位源・汲極之擴散層靠近閘極配置, 且需以無法共有化分量之上位金屬配線予以配線, 而產生佈置面積加大、配線量增多之問



五、發明說明 (3)

題。因此、不但佈置面積加大且產生因總配線長度加長以至延遲時間亦慢之問題。本發明之目的為提供佈置面積小之路徑電晶體邏輯電路。

又先前之路徑電晶體邏輯電路，因源・汲極做為輸入端子工作，致有輸入信號波形變鈍之問題。此外、因輸入容量依工作條件變化，故有延遲計算困難之問題。解決之方法已知將反相器設於源・汲極之輸入端子(第9、10之先前技藝)。但依發明人之事先檢討，此方法有延遲時間將增加反相器分之問題。本發明之另一目的為提供高速且延遲計算容易之路徑電晶體邏輯電路。

[解決課題之方法]

為解決上述課題所示之問題，本發明提出於佈置上述構造之路徑電晶體邏輯電路單元時，選擇器部分之佈置之方法。

本發明使用至少具有1個選擇器之單元。為了僅使用多晶矽配線或與閘極同材料之配線與第1層之金屬配線製作小面積之單元，本發明之半導體積體電路以以下想法佈置。

即本發明之路徑電晶體電路，以同信號施加於源極之pMOS、nMOS之閘信號係施加相反之信號，惟以汲極輸出共有同MOS同伴擴散層之形式加以佈置。

此外、本發明之其他較佳型態，有多數選擇器存在時，於單元兩端配置輸出放大電路，向第1電位供應線及第2電位供應線行走方向配置多數選擇器。依此、因即使有多數



五、發明說明 (4)

選擇器存在惟可向展開方向柔軟增加數量，故即使選擇器數量增加，亦能有規則加以佈置。由此可削減選擇器之佈置設計耗費之時間。

又本發明之其他較佳型態，於選擇器輸入側連接信號放大電路。由於路徑電晶體電路被輸入之信號均成為閘極致輸入容量減低，且可解決輸入波形變鈍之問題。又因輸入容量因工作條件變化之情形亦消除，輸入容量之估計亦容易，延遲計算亦容易，故可預料設計時間之縮短。

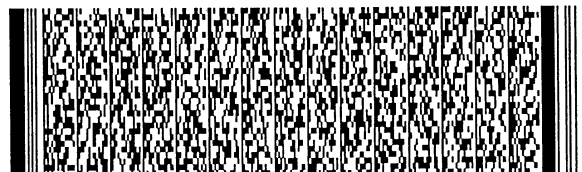
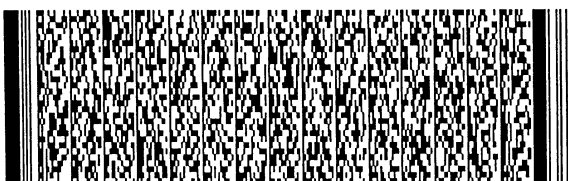
此外、因將信號連接於源・汲極之此電路，於通過路徑電晶體電路閘極之信號傳輸路徑不經過信號放大電路，故可高速工作。

又本發明之其他較佳型態，含本電路之積體電路包含平行配置之電位供應線，電位供應線 $1、3、5\dots、2n+1、\dots$ （但 n 係自然數）互為同電位， $2、4、6\dots、2n、\dots$ （但 n 係自然數）互為同電位，由此採以CMOS為代表之能與其他電路混裝之形態。

又本發明之其他較佳型態，因含本電路之積體電路包含閘鎖，通過選擇器閘極之信號不通過信號放大電路，故為了可使閘鎖・閘鎖間之高速信號傳輸，成為決定積體電路規格之重要要因。

又本發明之其他較佳型態，通過輸入放大電路之信號通過選擇器，向其通過信號為輸入之多數端子傳輸信號。由此可使積體電路全部為小型電路。

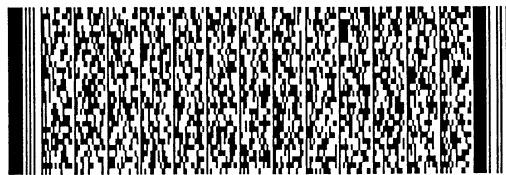
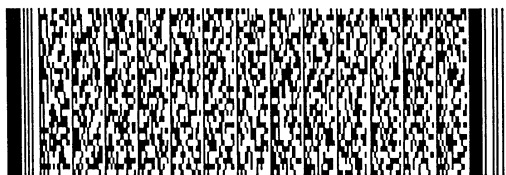
茲舉本發明電路之一例，其特徵為：積體電路包含選擇



五、發明說明 (5)

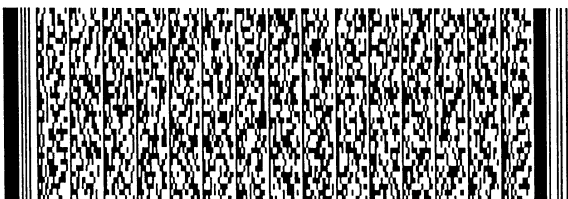
器1與邏輯閘1、2，並包含互相平行配置之工作電位供應線1、2、3、4、5、6，工作電位供應線1、3、5實質上為同電位，工作電位供應線2、4、6實質上為同電位，選擇器1包括：PMOS1、2及NMOS1、2、3、4，PMOS1之閘極被輸入信號1控制，PMOS1之源·汲路徑被連接於工作電位點1與節點1之間，PMOS2之閘極被輸入信號2控制，PMOS2之源·汲路徑被連接於工作電位點1與節點2之間，NMOS1之閘極被輸入信號1控制，NMOS1之源·汲路徑被連接於工作電位點2與節點1之間，NMOS2之閘極被輸入信號2控制，NMOS2之源·汲路徑被連接於工作電位點2與節點2之間，NMOS3之閘極被輸入信號3控制，NMOS3之源·汲路徑被連接於節點1與節點3之間，NMOS4之閘極被輸入信號4控制，NMOS4之源·汲路徑被連接於節點2與節點3之間，節點3被連接於邏輯閘1與邏輯閘2之輸入端子。

又此外、構成同步式電路時，包含第1及第2臨時儲存電路，第1電源供應線向水平方向形成，第2電源供應線與第1電源供應線平行形成，包含由時鐘信號控制之第1臨時儲存電路與由同一時鐘信號控制之第2臨時儲存電路，第1臨時儲存電路之資料輸出節點01控制NMOS1與PMOS2之閘極，NMOS1之源·汲路徑被連接於節點n1與節點n2之間，PMOS2之源·汲路徑被連接於節點n2與節點n3之間，PMOS3之源·汲路徑被連接於第1電位供應線與節點n1之間，NMOS3之源·汲路徑被連接於第2電位供應線與節點n1之間，節點n4之信號控制PMOS3與NMOS3之閘極，PMOS4之源·汲路



五、發明說明 (6)

徑被連接於第1電位供應線與節點n3之間，NMOS4之源·汲路徑被連接於第2電位供應線與節點n3之間，節點n5之信號控制PMOS4與NMOS4之閘極，NMOS2之源·汲路徑被連接於節點n2與節點n3之間，PMOS1之源·汲路徑被連接於節點n1與節點n2之間，節點n6之信號控制PMOS1與NMOS2之閘極，節點n2之信號控制PMOS5與NMOS5之閘極，被施加於其他邏輯閘之輸入端子，PMOS5之源·汲路徑被連接於第1電位供應線與節點n7之間，NMOS5之源·汲路徑被連接於第2電位供應線與節點n7之間，PMOS8之源·汲路徑被連接於節點n7與節點n9之間，NMOS8之源·汲路徑被連接於節點n7與節點n9之間，PMOS9之源·汲路徑被連接於節點n9與節點n11之間，NMOS9之源·汲路徑被連接於節點n9與節點n11之間，節點n8之信號控制PMOS9與NMOS8之閘極，節點n10之信號控制PMOS8與NMOS9之閘極，PMOS8之源·汲路徑被連接於第1電位供應線與節點n11之間，NMOS8之源·汲路徑被連接於第2電位供應線與節點n11之間，節點n15之信號控制PMOS9與NMOS9之閘極，PMOS9之源·汲路徑被連接於第1電位供應線與節點n14之間，NMOS9之源·汲路徑被連接於第2電位供應線與節點n14之間，PMOS10之源·汲路徑被連接於節點n14與節點n17之間，NMOS10之源·汲路徑被連接於節點n14與節點n17之間，PMOS11之源·汲路徑被連接於節點n9與節點n17之間，NMOS11之源·汲路徑被連接於節點n9與節點n17之間，節點n13之信號控制PMOS10與NMOS11之閘



五、發明說明 (7)

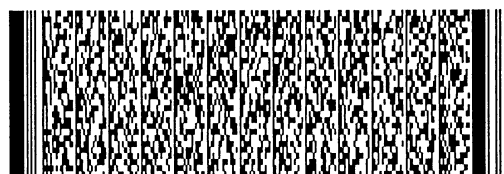
極，節點n16之信號控制PMOS11與NMOS10之閘極，節點n18之信號控制PMOS15與NMOS15之閘極，PMOS15之源·汲路徑被連接於第1電位供應線與節點n18之間，NMOS15之源·汲路徑被連接於第2電位供應線與節點n18之間，PMOS13之源·汲路徑被連接於節點n20與節點n22之間，NMOS13之源·汲路徑被連接於節點n20與節點n22之間，PMOS14之源·汲路徑被連接於節點n18與節點n20之間，NMOS14之源·汲路徑被連接於節點n18與節點n20之間，節點n17之信號控制PMOS13與NMOS14之閘極，節點n21之信號控制PMOS14與NMOS13之閘極，節點n23之信號控制PMOS12與NMOS12之閘極，PMOS12之源·汲路徑被連接於第1電位供應線與節點n22之間，NMOS12之源·汲路徑被連接於第2電位供應線與節點n22之間，節點n20之信號被連接於與第2臨時儲存電路之輸入之間。

圖7係本發明適用之邏輯電路電路圖。圖7(a)係信號通過選擇器後放大信號，圖7(c)係信號通過選擇器前放大信號。由此、於圖7(c)，電路之汲輸入時之輸入容量僅為輸入放大電路之閘極，可大幅減輕輸入容量。又(b)係選擇器多數排列之電路例。以下詳細說明適用於此等電路之佈置。

[較佳實施例之詳細說明]

以下依圖說明本發明之實施例。

圖1係依照本發明實施例之佈置及電路圖。圖1中p101~p107、n101~n107表示電晶體，In101~In108表示來



五、發明說明 (8)

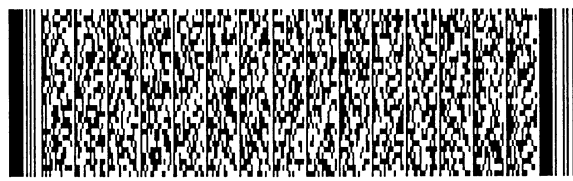
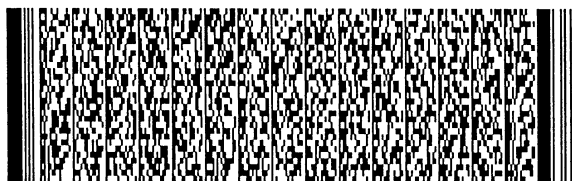
自外部之輸入信號。node101~node103表示選擇器之輸出入，Out101、Out102表示路徑電晶體邏輯電路之輸出，BC101表示輸出放大電路，IB101、102表示輸入放大電路，cp101、102表示基板供電觸點，cn101、102表示井供電觸點。

本發明之路徑電晶體邏輯電路，同信號施加於源極之pMOS、nMOS之閘信號係施加相反之信號，惟以汲輸出將成對同MOS擴散層共用化之形態予以佈置。

圖1中p102與p103、n102與n103以將擴散層共用化之形態成對。此外、使p102與p103之閘極向電位供應線直達方向成直線配置並予配線。由此、因pMOS與nMOS之汲極同伴、源極同伴之配線可不與其他信號線交叉予以配線，故僅以多晶矽配線及第1層金屬配線即可配線。此外、In101與In102之閘極之輸入信號亦不互相交叉，而僅以多晶矽配線即可配線。

此外、使p102與p103之閘極向電位供應線直達方向成直線配置所產生之p102之橫區與n103之橫區之MOS未配置區，亦可利用於配置閘極端子，而成為無死角之佈置。

佈置具備至少1個選擇器之半導體積體電路時，以第1電位供應線及第2電位供應線平行方向為橫方向時，於單元左右端配置輸出放大電路，於其間配置接於輸出放大電路輸入之選擇器。此乃因輸出放大電路之輸入係將pMOS、nMOS之閘極以多晶矽配線，而輸出係將pMOS、nMOS之汲極用第1配線層，向電位供應線行走方向，直達之方向配



五、發明說明 (9)

線，而迴避為了單元內部配線通過輸出放大電路上必需使用第2配線層之故。因此、選擇器之輸出及輸出之反相信號能順利將信號傳輸給輸出放大電路，而可減小佈置面積。即如上述本發明之形態，因輸出放大電路向電位供應線行走方向夾進選擇器配置，而即使有多數選擇器存在，惟因輸出放大電路不妨礙此等多數選擇器間之配線，故能輕易減小佈置面積之故。

茲以圖2之實施例為例說明。圖2中p201~p206、n201~n206表示電晶體，In201~In206表示來自外部之輸入信號。NPC201表示選擇電路，node201與node202表示選擇電路之輸出，Out201與Out202表示路徑電晶體邏輯電路之輸出，BC201與BC202表示輸出放大電路，cp201表示基板供電觸點，cn201表示井供電觸點。

選擇電路係與pMOS、nMOS一同將閘信號不同惟汲輸出相同之MOS同伴共有擴散層之形態加以佈置。此共用化之配對，以圖2中之p203與p204、p205與p206、n203與n204、n205與n206共用擴散層之形態配對。此外、p203與p204之組及p205與p206之組以最小間隔配置，n203與n204之組及n205與n206之組以最小間隔配置。更使p203與n204、p205與n206成一直線配置並予配線。因此、pMOS、nMOS之汲極同伴、源極同伴之配線，因不與其他信號交叉予以配線，故僅以第1配線層即可配線。此外、In201與In202之閘極輸入信號，亦不互相交叉以多晶矽配線即可配線。更由於使p203與p204、p205與p206成一直線配置而成之n203之上



五、發明說明 (10)

部區與p206之下部區之MOS未配置區配置閘輸入之端子，即可形成無死角之佈置。

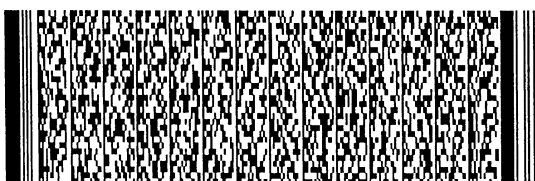
如後說明、依上述本發明實施例之半導體積體電路，有多數選擇器時(例如圖9之NPC901、NPC902、NPC903)，將此等選擇電路向第1電位供應線及第2電位供應線之行走方向配置展開。圖8係依NPC801、NPC802、NPC803之順序展開配置。

依如上述本發明實施例之半導體積體電路，因將輸出放大電路配置於單元端(圖8之p801、p802、n801、n802)，即使選擇電路有多數存在(例如圖9之NPC901、NPC902、NPC903)，可柔軟向展開方向增加數量，故即使選擇電路數增加，亦可有規則佈置。因此可削減佈置設計耗費之時間。

圖3中p301~p306、n301~n306表示電晶體，In301~In306表示來自外部之輸入信號。NPC301表示選擇器，node301與node302表示選擇電路之輸出，Out301與Out302表示路徑電晶體邏輯電路之輸出，BC301與BC302表示輸出放大電路，cp301表示基板供電觸點，cn301表示井供電觸點。

圖4中p401~p405、n401~n405表示電晶體，In401~In404表示來自外部之輸入信號，Out401表示輸出信號，cp401表示基板供電觸點，cn401表示井供電觸點。

圖5中p501~p506、n501~n506表示電晶體，In501~In506表示來自外部之輸入信號。NPC501表示選擇器，node501與node502表示選擇器之輸出，Out501與Out502表示路徑



五、發明說明 (11)

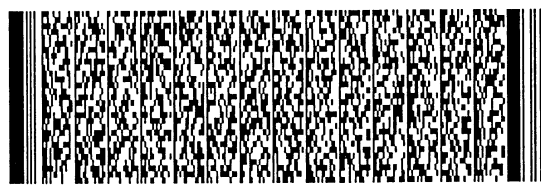
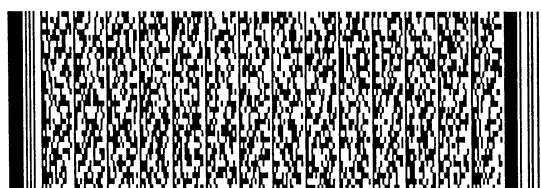
電晶體邏輯電路之輸出，BC501與BC502表示輸出放大電路，cp501表示基板供電觸點，cn501表示井供電觸點。

圖6中p601~p602、n601~n602表示電晶體，In601~In604表示來自外部之輸入信號，Out601表示電路之輸出。

圖7中p701~p703、n701~n703、p711~p716、n711~n716、p721~p724、n721~n724表示電晶體，In701~In704、In711~In716、In721~In724表示來自外部之輸入信號。NPC711表示選擇器，node701與node702、node711與node712、node721與node722表示選擇器之輸出，Out701、Out711、Out712、Out721表示路徑電晶體邏輯電路之輸出，BC711與BC712表示輸出放大電路，IB721與IB722表示輸入放大電路。

圖8中p801~p814、n801~n814表示電晶體，NPC801~NPC803表示選擇器。圖8之實施例，因輸出放大電路靠近單元邊界配置，沿電位供應線之行走方向(圖8之橫方向)排列(圖8之p801、p802、n801、n802)，故即使有多數選擇電路存在時，因不妨礙此等多數選擇器間之連接，故可輕易將單元佈置於小面積。

圖9係適於圖8之佈置之電路例。有多數選擇電路(NPC901、NPC902、NPC903)存在時，將此等選擇電路如圖8所示，向第1電位供應線及第2電位供應線之行走方向配置展開。圖9中p901~p914、n901~n914表示電晶體，In901~In914表示來自外部之輸入信號。NPC901~NPC903表示選擇器，Out901與Out902表示路徑電晶體邏輯電路之輸



五、發明說明 (12)

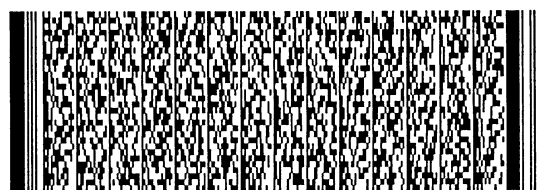
出，BC901與BC902表示輸出放大電路。佈置適用圖8之想法時，因輸出放大電路向電位供應線之行走方向(圖8之橫方向)靠近單元邊界配置(圖8之p801、p802、n801、n802)，故即使如上述有多數選擇電路存在時，因不妨礙此等多數選擇器間之配線，故能輕易將單元佈置於小面積。

圖10中In1001~In1014表示來自外部之輸入信號，Out1001與Out1002表示路徑電晶體邏輯電路之輸出。

圖11、圖12表示用本發明混裝路徑電晶體邏輯電路與CMOS電路之佈置例。如圖示、可知不論鄰接單元如何，能以最小間隔配置。又與鄰接單元相接端之電晶體與電源供應線連接時，鄰接其他單元端之電晶體同樣與電源供應線連接時，各擴散層可共有並可進一步縮小晶片面積。

圖13表示用本發明構成之電路。圖13係使用二個選擇電路時之佈置圖(a)與電路圖(b)。一個選擇電路之輸出進入其他汲極之輸入。此時若亦使用本發明即可製作不浪費空間之佈置。圖13中In1301~In1307表示來自外部之輸入信號，Out1301表示路徑電晶體邏輯電路之輸出，cp1301表示基板供電觸點，cn1301表示井供電觸點。

圖14表示用本發明構成之電路。圖14係使用二個選擇電路時之佈置圖(a)與電路圖(b)。一個選擇電路之輸出進入其他閘極之輸入，以內部反相器製作選擇器閘極之反相信號。此時若亦使用本發明即可製作不浪費空間之佈置。圖14中In1401~In1405表示來自外部之輸入信號，Out1401表



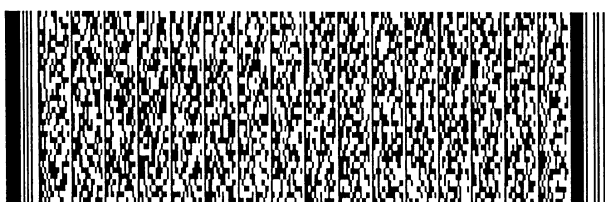
五、發明說明 (13)

示路徑電晶體邏輯電路之輸出，cp1401表示基板供電觸點，cn1401表示井供電觸點。

圖15表示用本發明構成之電路。圖15係使用三個選擇電路時之佈置圖(a)與電路圖(b)。接近輸入之選擇器輸出進入接近輸出之選擇器汲極之輸入。此時若亦使用本發明即可製作不浪費空間之佈置。圖15中In1501~In1510表示來自外部之輸入信號，Out1501表示路徑電晶體邏輯電路之輸出，cp1501表示基板供電觸點，cn1501表示井供電觸點。

圖16表示用本發明構成之電路。圖16係使用三個選擇電路，以內部反相器產生選擇器閘極之反相信號時之佈置圖(a)與電路圖(b)。接近輸入之選擇器輸出進入接近輸出之選擇器汲極與閘極之輸入。此時若亦使用本發明之形態即可製作不浪費空間之佈置。圖16中In1601~In1607表示來自外部之輸入信號，Out1601表示路徑電晶體邏輯電路之輸出，cp1601表示基板供電觸點，cn1601表示井供電觸點。

圖17表示用本發明構成之電路。圖17係使用四個選擇電路，以內部反相器產生選擇器閘極之反相信號時之佈置圖(a)與電路圖(b)。接近輸入之選擇器輸出進入接近輸出之選擇器汲極與閘極之輸入。此時若亦使用本發明即可製作不浪費空間之佈置。圖17中In1701~In1709表示來自外部之輸入信號，Out1701表示路徑電晶體邏輯電路之輸出，cp1701表示基板供電觸點，cn1701表示井供電觸點。



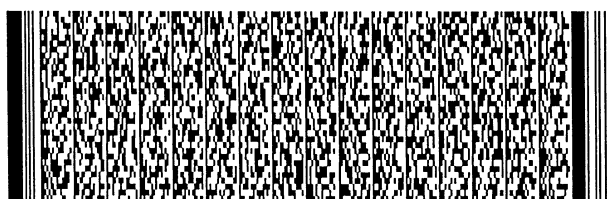
五、發明說明 (14)

圖18表示用本發明構成之電路。圖18係使用四個選擇電路時之佈置圖(a)與電路圖(b)。一個選擇器輸出進入另一方汲極之輸入。此時若亦使用本發明之形態即可製作不浪費空間之佈置。圖18中NPC1801~ NPC1802表示選擇器，BC1801與BC1802表示輸出放大電路，cp1801表示基板供電觸點，cn1801表示井供電觸點。

圖19表示用本發明構成之電路。圖19係使用四個選擇電路時之佈置圖(a)與電路圖(b)。一個選擇器輸出進入另一方閘極之輸入。此時若亦使用本發明即可製作不浪費空間之佈置。圖19中NPC1901~NPC1902表示選擇器，BC1901與BC1902表示輸出放大電路，cp1901表示基板供電觸點，cn1901表示井供電觸點。

圖20表示用本發明構成之電路。圖20係使用六個選擇電路時之佈置圖(a)與電路圖(b)。接近輸入之選擇器輸出進入接近輸出之選擇器汲極之輸入。此時若亦使用本發明即可製作不浪費空間之佈置。圖20中NPC2001~NPC2003表示選擇器，BC2001與BC2002表示輸出放大電路，cp2001表示基板供電觸點，cn2001表示井供電觸點。

圖21表示用本發明構成之電路。圖21係使用六個選擇電路時之佈置圖(a)與電路圖(b)。接近輸入之選擇器輸出進入接近輸出之選擇器汲極與閘極之輸入。此時若亦使用本發明即可製作不浪費空間之佈置。圖21中NPC2101~NPC2103表示選擇器，BC2101與BC2102表示輸出放大電路，cp2101表示基板供電觸點，cn2101表示井供電觸點。



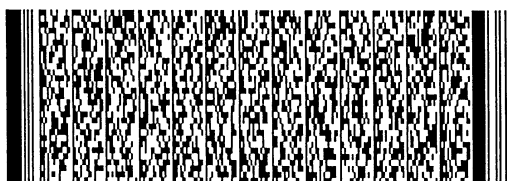
五、發明說明 (15)

圖22表示用本發明構成之電路。圖22係使用八個選擇電路時之佈置圖(a)與電路圖(b)。接近輸入之選擇器輸出進入接近輸出之選擇器汲極與閘極之輸入。此時若亦使用本發明即可製作不浪費空間之佈置。圖22中NPC2201~

NPC2204表示選擇器，BC2201與BC2202表示輸出放大電路，cp2201表示基板供電觸點，cn2201表示井供電觸點。

圖23表示用本發明構成之電路。圖23係輸入具有信號放大裝置之選擇電路，為一個選擇器之佈置圖(a)與電路圖(b)。由此，汲極之容量減小，且若用本發明使用擴散層之共用化，即可製作不浪費空間之佈置。圖23中p2301~p2304、n2301~n2304表示電晶體，In2301~In2304表示來自外部之輸入信號。IB2301、IB2302表示輸入放大電路，node2301與node2302表示輸入放大電路之輸出，Out2301表示路徑電晶體邏輯電路之輸出，cp2301表示基板供電觸點，cn2301表示井供電觸點。

圖24表示用本發明構成之電路。圖24係輸入具有信號放大裝置之選擇電路，以內部反相器產生選擇器閘極之反相信號之電路，為一個選擇器之佈置圖(a)與電路圖(b)。由此，汲極之容量減小，且若用本發明使用擴散層之共用化，即可製作不浪費空間之佈置。圖24中p2401~p2405、n2401~n2405表示電晶體，In2401~In2403表示來自外部之輸入信號。IB2401~IB2402表示輸入放大電路，node2401~node2402表示輸入放大電路之輸出，Out2401、Out2402表示路徑電晶體邏輯電路之輸出，cp2401表示基



五、發明說明 (16)

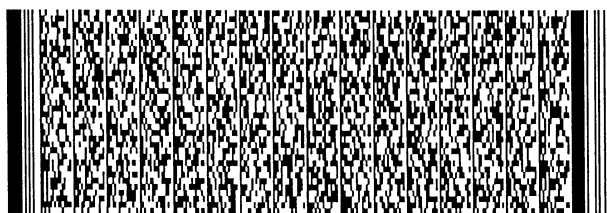
板供電觸點，cn2401表示井供電觸點。

圖25表示用本發明構成之電路。圖25係輸入具有信號放大裝置之選擇電路，為二個選擇器之佈置圖(a)與電路圖(b)。由此、汲極之輸入容量減小，且若用本發明之形態，用擴散層之共用化即可製作不浪費空間之佈置。圖25中p2501~p2508、n2501~n2508表示電晶體，In2501~In2506表示來自外部之輸入信號。IB2501~IB2504表示輸入放大電路，Out2501、Out2502表示路徑電晶體邏輯電路之輸出，cp2501表示基板供電觸點，cn2501表示井供電觸點。

圖26表示用本發明構成之電路。圖26係輸入具有信號放大裝置之選擇電路，以內部反相器產生選擇器閘極之反相信號之電路，為六個選擇器之佈置圖(a)與電路圖(b)。由此、汲極之容量減小，且若用本發明之形態使用擴散層之共用化，即可製作不浪費空間之佈置。

圖26中p2601~p2611、n2601~n2611表示電晶體，In2601~In2607表示來自外部之輸入信號。IB2601~IB2605表示輸入放大電路，Out2601、Out2602表示路徑電晶體邏輯電路之輸出，cp2601表示基板供電觸點，cn2601表示井供電觸點。

圖27表示用本發明構成之電路。圖27係輸入具有信號放大裝置之選擇電路，為六個選擇器之佈置圖(a)與電路圖(b)。由此、汲極之輸入容量減小，且若用本發明之形態，用擴散層之共用化即可製作不浪費空間之佈置。圖27



五、發明說明 (17)

中p2701~p2722、n2701~n2722表示電晶體，In2701~In2714表示來自外部之輸入信號。又Out2701、Out2702表示路徑電晶體邏輯電路之輸出，cp2701表示基板供電觸點，cn2701表示井供電觸點。

圖28表示用本發明構成之電路。圖28(a)係門鎖佈置圖與圖28(b)係電路圖。若用本發明之形態，用擴散層之共用化即可製作不浪費空間之佈置。圖28中p2801~p2809、n2801~n2809表示電晶體，In2801~In2802表示來自外部之輸入信號。Out2801表示路徑電晶體邏輯電路之輸出，cp2801表示基板供電觸點，cn2801表示井供電觸點。

圖29係本發明之晶片內之電路圖。L2901與L2902係門鎖。同時鐘供給此等門鎖。A2901、A2902、A2903係用本發明構成之路徑電晶體邏輯電路單元，B2901係CMOS電路。A2901、A2902、A2903係以被夾在第1電源供應線(茲假設為VCC)與第2電源供應線(茲假設為GND)間之形態存在，電路間被信號線連接。通過A2901之選擇器之信號傳輸給用其信號之多數端子。

圖30係本發明之晶片內之佈置圖。L3001與L3002係門鎖。同時鐘供給此等門鎖。A3001、A3002、A3003係用本發明構成之路徑電晶體邏輯電路單元，B3001、B3002係CMOS電路。A3001、A3002、A3003係以被夾在第1電源供應線(茲假設為VCC)與第2電源供應線(茲假設為GND)間之形態存在，電路間被信號線連接，通過A3001之選擇器之信號傳輸給用其信號之多數端子。又採本發明之形態即可無



五、發明說明 (18)

問題共存構成晶片。

圖31係本發明之晶片內之佈置圖。L3101與L3102係門鎖。同時鐘供給此等門鎖。A3101、A3102、A3103係用本發明構成之路徑電晶體邏輯電路單元，B3101、B3102係CMOS電路。A3101、A3102、A3103係以被夾在第1電源供應線(茲假設為VCC)與第2電源供應線(茲假設為GND)間之形態存在，電路間被信號線連接。又L3101-A3101-A3102-A3103-L3102系中，要求更高速之信號傳輸時，由於準備低閾值電路，即可實施更高速之信號傳輸。低閾值電路亦可用本發明構成，由此可提高電路之性能。

圖32表示用本發明之電路之斷面構造。

[圖式之簡單說明]

圖1係依照本發明實施例之路徑電晶體邏輯電路之佈置圖及電路圖。

圖2係本發明實施例之路徑電晶體邏輯電路之佈置圖及電路圖。

圖3係本發明實施例之路徑電晶體邏輯電路之佈置圖及電路圖。

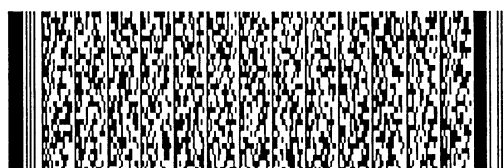
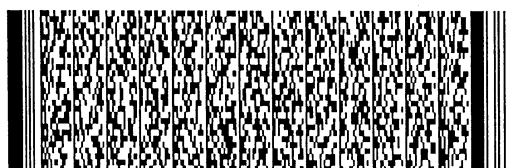
圖4係CMOS邏輯電路(4輸入AND)佈置圖及電路圖。

圖5係比較例之不用本發明實施例時之邏輯電路單元之佈置圖及電路圖。

圖6係比較例之邏輯電路圖佈置圖。

圖7係依本發明之邏輯電路電路圖。

圖8係本發明實施例之路徑電晶體邏輯電路之佈置圖。



五、發明說明 (19)

圖9係本發明實施例之路徑電晶體邏輯電路之電路圖。

圖10係本發明實施例之路徑電晶體邏輯電路之佈置圖。

圖11係本發明實施例之路徑電晶體邏輯電路之陣列構造圖。

圖12係本發明實施例之路徑電晶體邏輯電路之陣列構造圖。

圖13係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖14係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖15係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖16係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖17係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖18係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖19係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖20係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖21係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。



五、發明說明 (20)

圖22係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖23係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖24係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖25係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖26係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖27係本發明實施例之路徑電晶體邏輯電路之佈置及電路圖。

圖28係依本發明實施例之閘鎖佈置及電路圖。

圖29係依本發明實施例之晶片內電路圖。

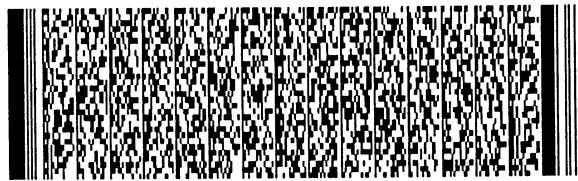
圖30係依本發明實施例之晶片內佈置圖。

圖31係依本發明實施例之晶片內佈置圖(雙重閾值)。

圖32係本發明實施例之路徑電晶體邏輯電路之佈置及設備之斷面圖。

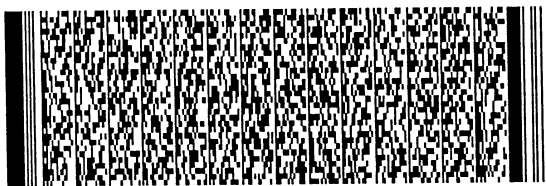
[元件符號說明]

- | | | | |
|-----|----------------------------|-----|----------------------------|
| 1: | P型擴散層 | 2: | N型擴散層 |
| 3: | 多晶矽 | 4: | 觸點 |
| 5: | 第一層配線 | 6: | 第二層配線 |
| 7: | 上位層配線 | 8: | 閘氧化膜 |
| 9: | 閘 | 10: | 絕緣 |
| 11: | NMOS之主動區域(N ⁺) | 12: | PMOS之主動區域(P ⁺) |



五、發明說明 (21)

13:	PMOS之基板供電用之表面高濃度N層		
14:	NMOS之基板供電用之表面高濃度P層		
In:	來自外部之輸入信號		
Out:	路徑電晶體邏輯電路之輸出		
BC:	輸出放大電路	IB:	輸入放大電路
NPC:	選擇器	P:	電晶體
n:	電晶體	P-well:	P型井
N-well:	N型井	P-sub:	P型基質
cp:	基板供電觸點	cn:	井供電觸點
nd:	節點(node)	np:	np路徑電晶體
4AND:	4輸入AND	2NOR:	2輸入NOR
INV:	反相器	GND:	接地
CL:	時鐘	LT:	低閾值電晶體



四、中文發明摘要（發明之名稱：半導體積體電路裝置）

本發明係提供於路徑電晶體邏輯電路中，以小面積構成配線長度短之佈置及高速晶片用之電路方式。

本發明解決方法為：選擇電路中，pMOS、nMOS均是以與閘信號不同但汲輸出相同之諸MOS共有擴散層之形式(p103與p104、n103與n104)配置電晶體，使p103與n104之閘極略成一直線且pMOS與nMOS相錯配置之方式配線，俾使pMOS與nMOS之汲極、源極之配線以不與其他信號配線交叉之方式配線，故能僅以第1配線層配線，此外、In101與In102之閘極之輸入信號亦可不互相交叉，僅以多晶矽配線予以配線。又，路徑電晶體邏輯電路係形成被輸入選擇器前或後通過信號放大電路之形式，由此可構成小型高速之電路。

英文發明摘要（發明之名稱：半導體集積回路裝置）

【課題】 バストランジスタ論理回路において、小面積で配線長の短いレイアウトおよび高速なチップを構成するための回路方式を提供する。

【解決手段】 セレクタ回路は、pMOS、nMOSともに、ゲート信号が異なるが、ドレイン出力が同じMOS同志を拡散層を共有する形（p103 とp104、 n103 とn104）でトランジスタを配置し、p103とn104のゲートがほぼ一直線上に来るように、pMOSとnMOSがずれるように配置し配線を行うことにより、pMOS とnMOSのドレイン同志、ソース同志の配線は、他の信号配線と交差しないで配線できるため、第1の配線層のみで配線でき、さらに、In101とIn102のゲートの入力信号も、お互いに交差せず、ポリシリコン配線のみで配線することができる。また、バストランジスタ論理回路は、セレクタに入力される前あるいは後に、信号増幅回路を通過する形とし、これによりコンパクトで高速な回路を構成できる。

六、申請專利範圍

1. 一種半導體積體電路裝置，其至少包含一個選擇器，其特徵為：

上述積體電路之選擇器包括：第1及第2PMOS電晶體；第1及第2NMOS電晶體；第1至第4輸入端子；及第1節點；

上述第1PMOS電晶體之源・汲路徑被連接於上述第1輸入端子與上述第1節點間，

上述第1NMOS電晶體之源・汲路徑被連接於上述第1輸入端子與上述第1節點間，

上述第2PMOS電晶體之源・汲路徑被連接於上述第2輸入端子與上述第1節點間，

上述第2NMOS電晶體之源・汲路徑被連接於上述第2輸入端子與上述第1節點間，

上述第1PMOS電晶體之閘極被施加於上述第3輸入端子之第1信號控制，

上述第2NMOS電晶體之閘極被施加於上述第3輸入端子之第1信號控制，

上述第2PMOS電晶體之閘極被施加於上述第4輸入端子之第2信號控制，

上述第1NMOS電晶體之閘極被施加於上述第4輸入端子之第2信號控制，

上述第1信號與第2信號係相反之信號，

上述第1PMOS電晶體之汲極與上述第2PMOS電晶體之汲極，以互相共有擴散層之形式配置連接，以及

上述第1NMOS電晶體之汲極與上述第2NMOS電晶體之汲



六、申請專利範圍

極，以互相共有擴散層之形式配置連接，

上述第1PMOS電晶體之源極與上述第1及第2NMOS電晶體之汲極之共通部分，對交叉於電位供應線行走方向之方向成直線配置，

上述第2NMOS電晶體之源極與上述第1及第2PMOS電晶體之汲極之共通部分，對交叉於電位供應線行走方向之方向成直線配置。

2. 如申請專利範圍第1項之半導體積體電路裝置，其中上述PMOS電晶體及NMOS電晶體之間信號由多晶矽配線供給，

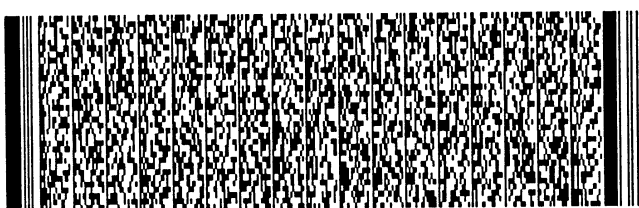
上述第1PMOS電晶體之源極與第1NMOS電晶體之源極，由第1層金屬配線連接，

上述第2PMOS電晶體之源極與第2NMOS電晶體之源極，由上述第1層金屬配線連接，

將上述第1PMOS電晶體之汲極與第2PMOS電晶體之汲極共通化之部分，與將上述第1NMOS電晶體之汲極與第2NMOS電晶體之汲極共通化之部分，係將上述第1層金屬配線用於連接機構之至少一部分予以連接。

3. 如申請專利範圍第1或2項之半導體積體電路裝置，其中上述第1PMOS電晶體之閘極與上述第2NMOS電晶體之閘極，在相對電位供應線之行走方向正交之方向以面對面之方式配置配線，

以平行於電源供應線方向為左右方向時，相對第1PMOS電晶體之閘極與第2NMOS電晶體之閘極接線之配線，



六、申請專利範圍

第1NMOS電晶體與第2PMOS電晶體位於左右相反側。

4. 如申請專利範圍第1或2項之半導體積體電路裝置，其中以比選擇器內其他端子間距離小之間隔配置上述第1PMOS電晶體之閘極與上述第2PMOS電晶體之閘極，

以比選擇器內其他端子間距離小之間隔配置上述第1NMOS電晶體之閘極與上述第2NMOS電晶體之閘極。

5. 如申請專利範圍第1或2項之半導體積體電路裝置，其中上述電位供應線之行走方向為左右方向時，將至少一個閘信號之輸入端子配置於形成於上述第2PMOS電晶體上部或下部之空間與形成於上述第1NMOS電晶體下部或上部之空間。

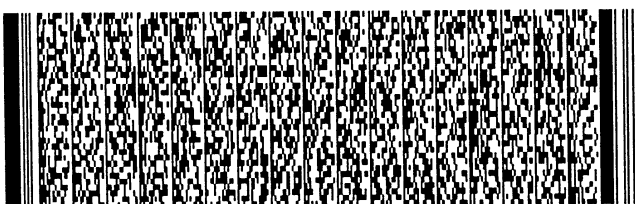
6. 如申請專利範圍第1或2項之半導體積體電路裝置，其中構成至少用2個上述選擇器，上述電位供應線之行走方向為左右方向時，互相重疊各選擇器具有之形成於第2PMOS電晶體上部或下部之空間，或形成於第1NMOS電晶體下部或上部之空間。

7. 如申請專利範圍第1或2項之半導體積體電路裝置，其中構成至少用2個上述選擇器，輸出相反信號之第1及第2輸出，

上述第1輸出以上述第1層之金屬配線連接於第1輸出放大電路之輸入，

上述第2輸出以上述第1層之金屬配線連接於第2輸出放大電路之輸入，

形成上述第1及第2輸出放大電路之上述雙型場效型電



六、申請專利範圍

晶體，在上述電位供應線之行走方向定座標系時，被配置於其座標值最小側之單元邊界與其座標值最大側之單元邊界之兩端。

8. 如申請專利範圍第7項之半導體積體電路裝置，其中上述第1輸出以與上述第1層之金屬配線不同之金屬配線連接於第1輸出放大電路之輸入，

上述第2輸出以與上述第1層之金屬配線不同之金屬配線連接於第2輸出放大電路之輸入。

9. 一種半導體邏輯電路，其係至少含一個電路單元，其特徵為：

上述電路單元包括：選擇器、第1及第2邏輯閘、及第1及第2工作電位點，

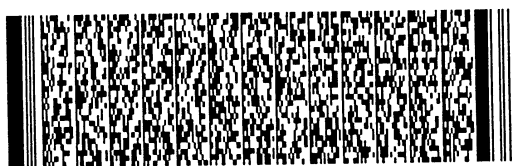
上述選擇器包括：第1及第2PMOS電晶體、第1至第4NMOS電晶體、及第1至第3節點，

上述第1PMOS電晶體之閘極被第1輸入信號控制，第1PMOS電晶體之源·汲路徑被連接於上述第1工作電位點與上述第1節點之間，

上述第2PMOS電晶體之閘極被第2輸入信號控制，第2PMOS電晶體之源·汲路徑被連接於上述第1工作電位點與上述第2節點之間，

上述第1NMOS電晶體之閘極被第1輸入信號控制，上述第1NMOS電晶體之源·汲路徑被連接於上述第2工作電位點與上述第1節點之間，

上述第2NMOS電晶體之閘極被第2輸入信號控制，上述



六、申請專利範圍

第2NMOS電晶體之源・汲路徑被連接於上述第2工作電位點與上述第2節點之間，

上述第3NMOS電晶體之閘極被第3輸入信號控制，上述第3NMOS電晶體之源・汲路徑被連接於上述第1節點與上述第3節點之間，

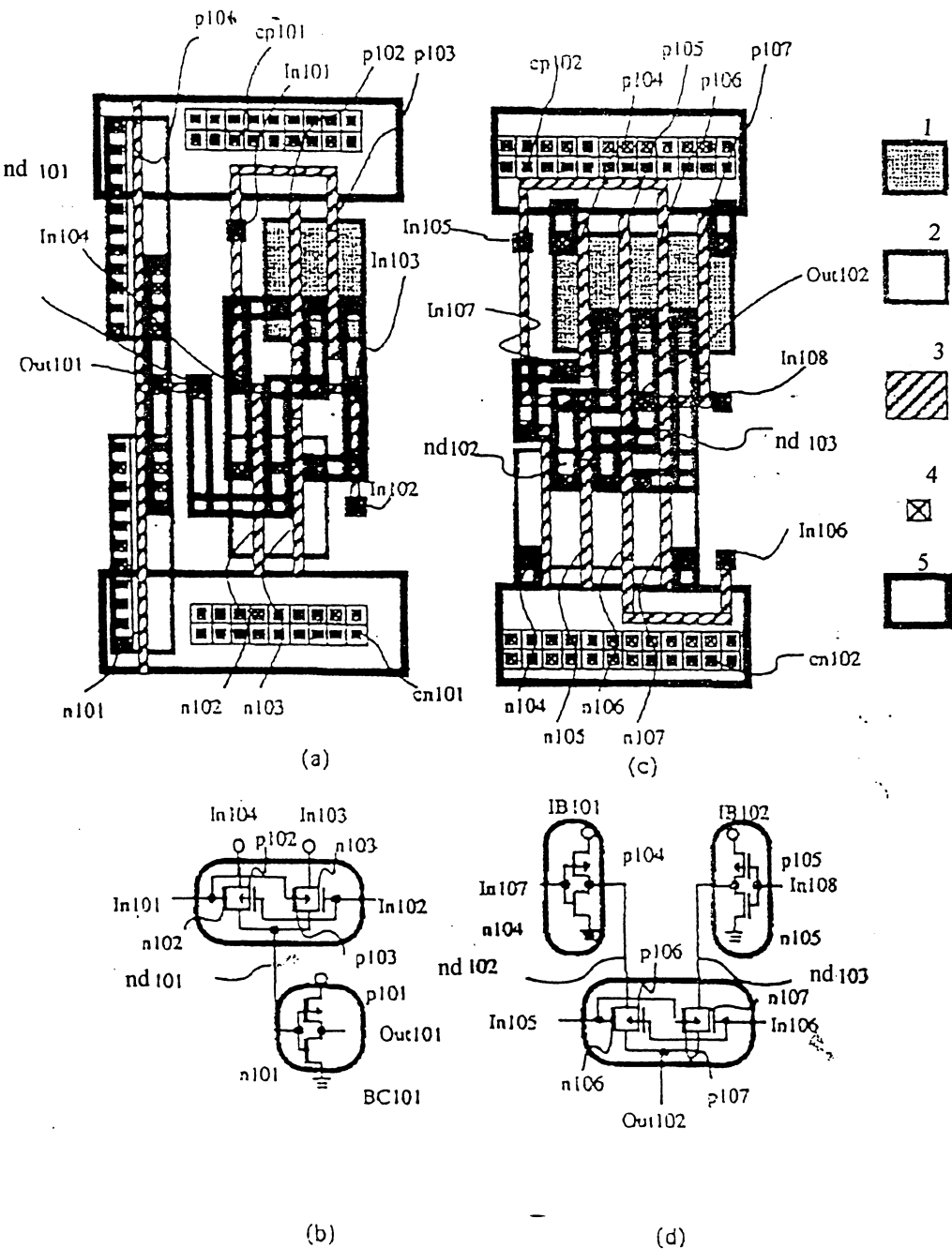
上述第4NMOS電晶體之閘極被第4輸入信號控制，上述第4NMOS電晶體之源・汲路徑被連接於上述第2節點與上述第3節點之間，

上述第3節點被連接於上述第1邏輯閘與第2邏輯閘之輸入端子。



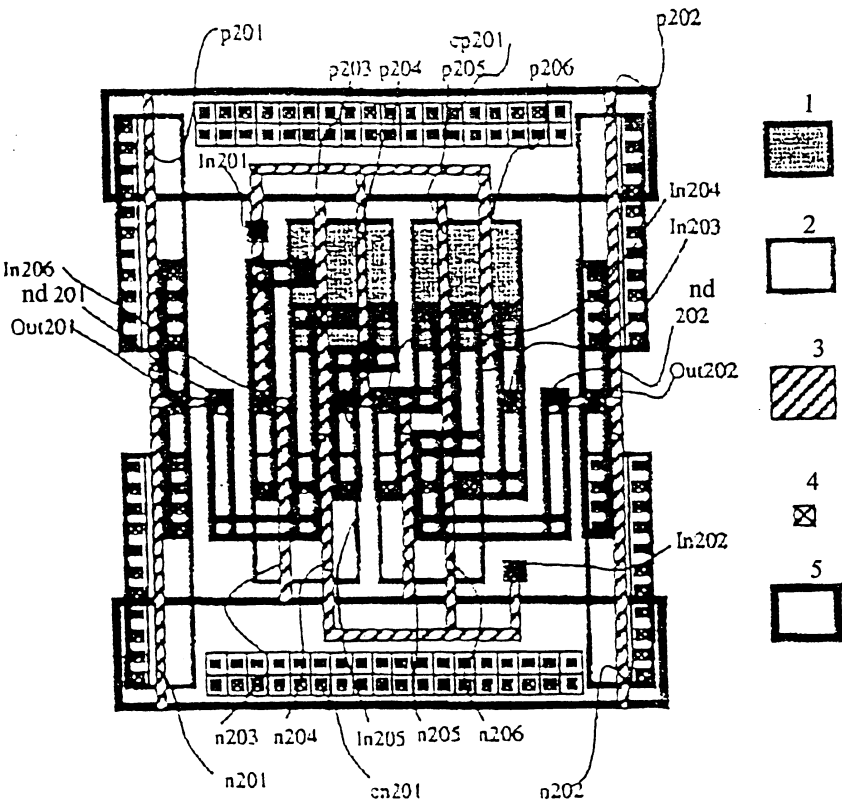
圖式

圖 1

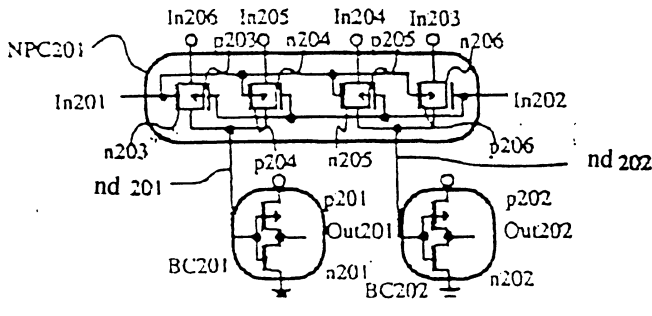


圖式

圖 2



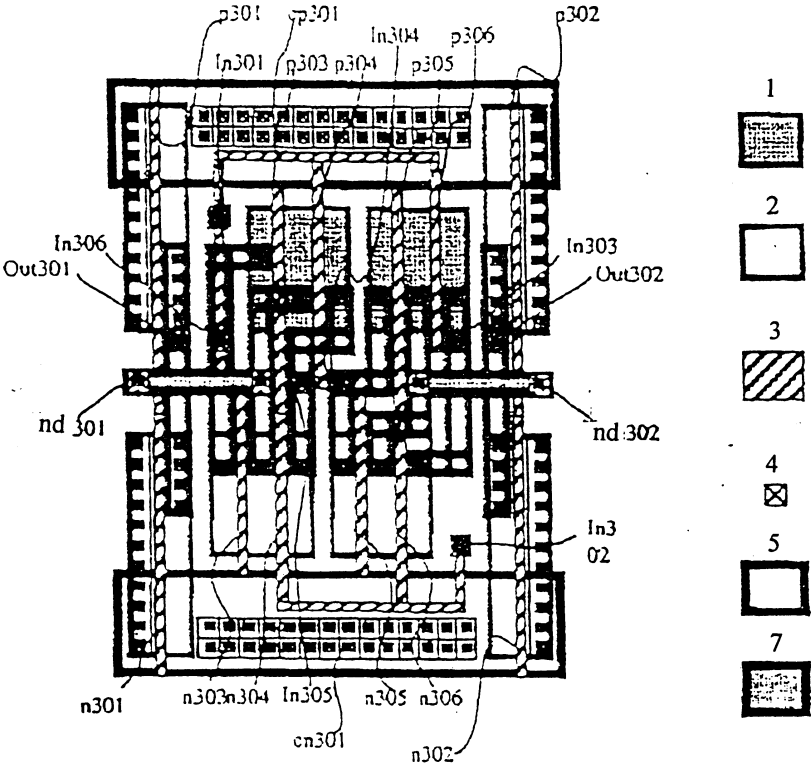
(a)



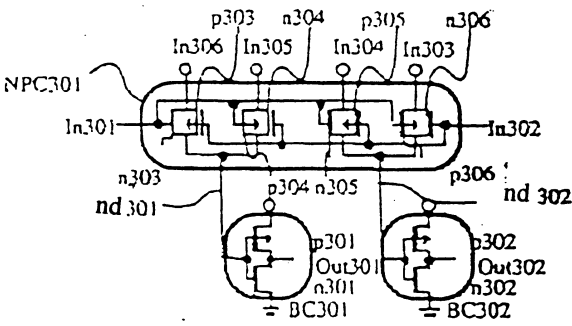
(b)

圖式

圖 3



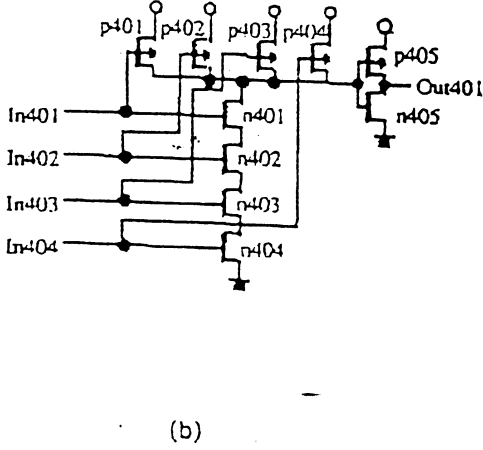
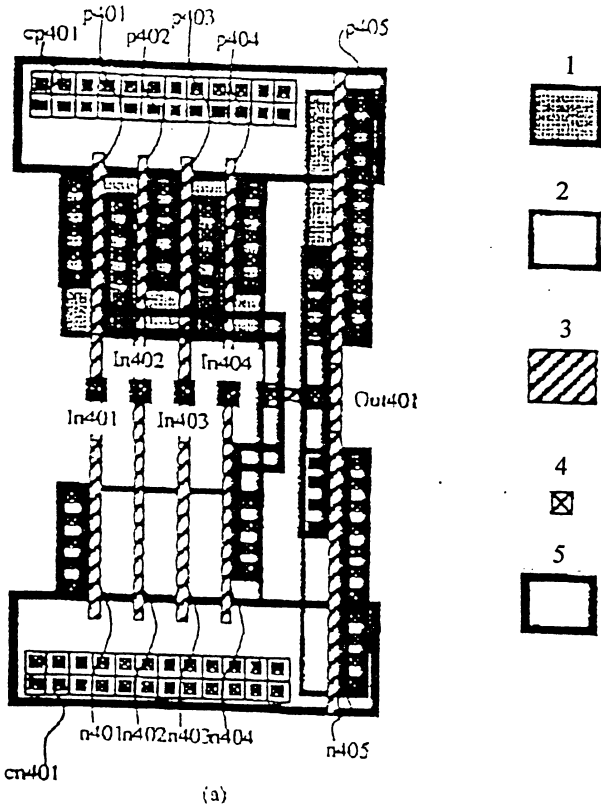
(a)



(b)

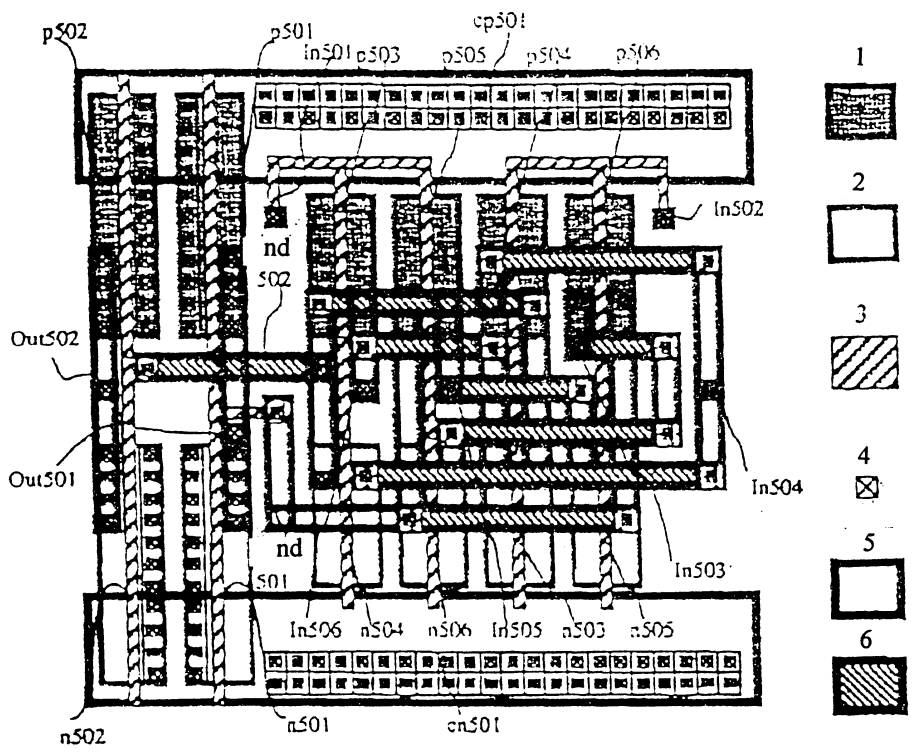
圖式

圖 4

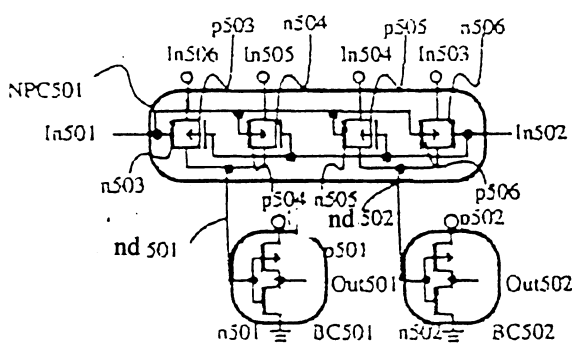


圖式

圖 5



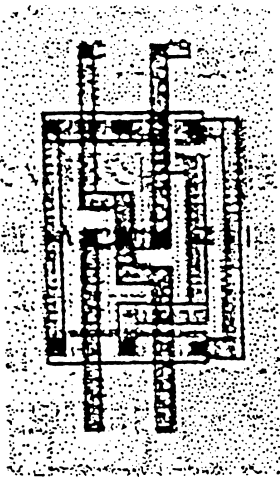
(a)



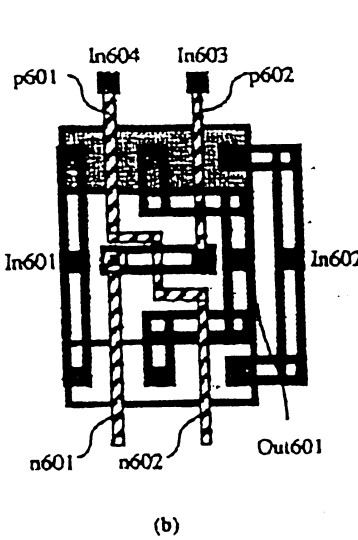
(b)

圖式

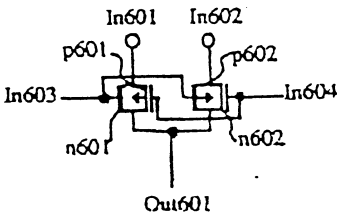
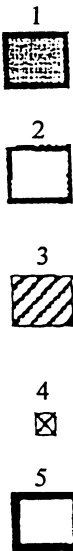
圖 6



(a)



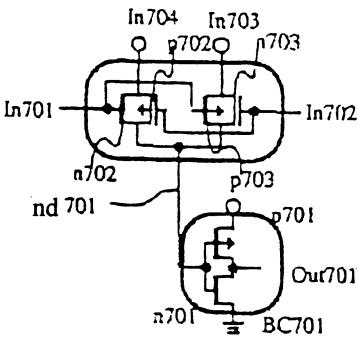
(b)



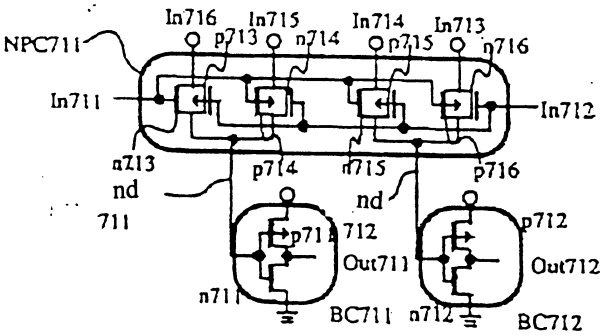
(c)

圖式

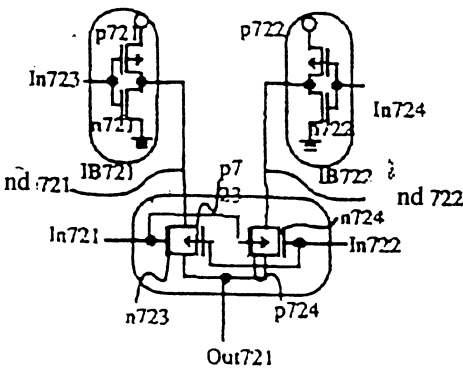
圖 7



(a)



(b)



(c)

圖式

圖 8

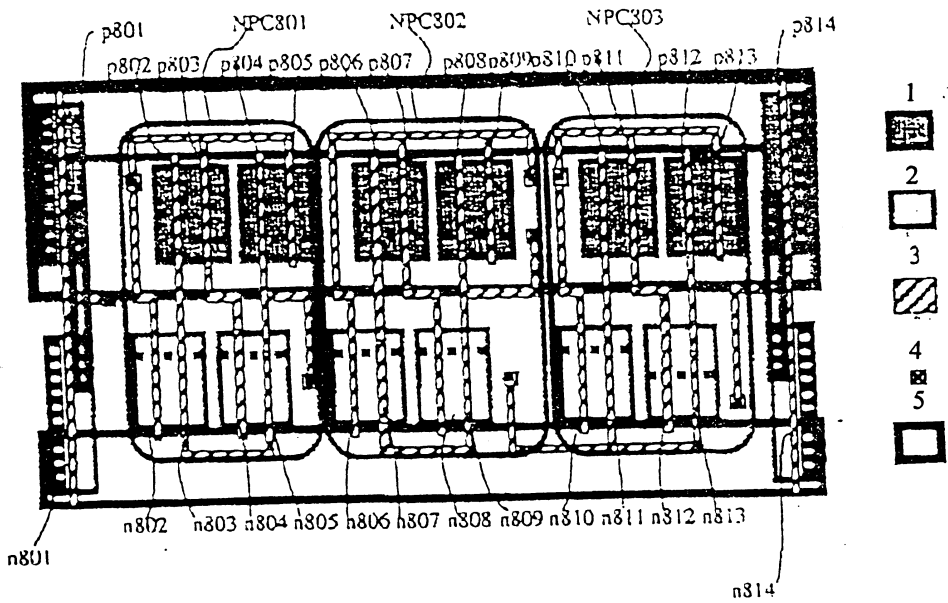
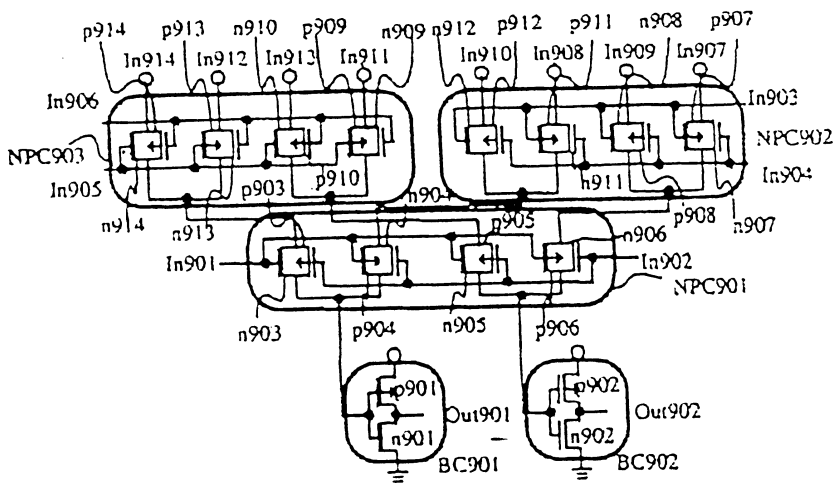


圖 9



圖式

圖 10

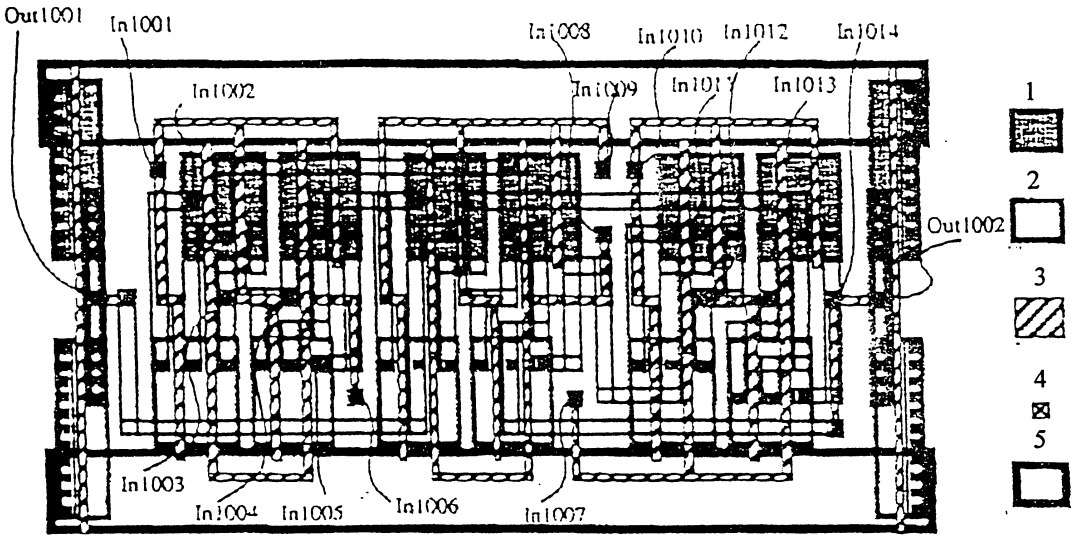
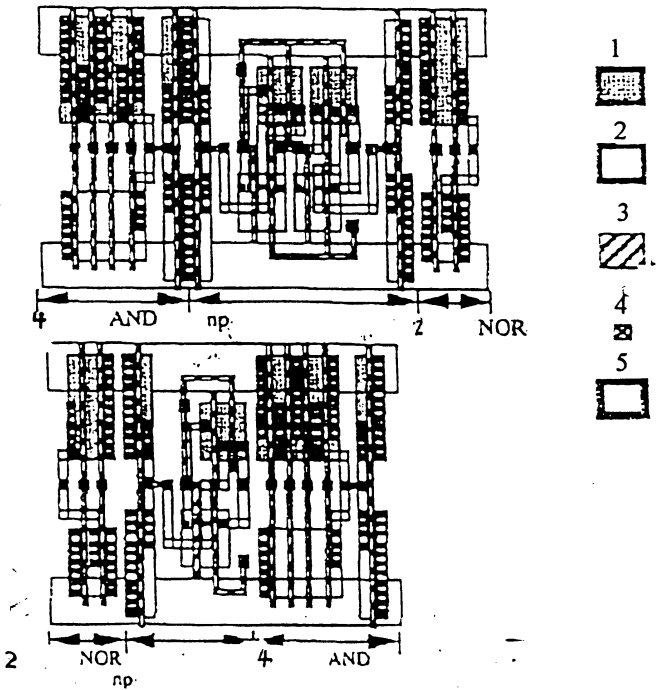
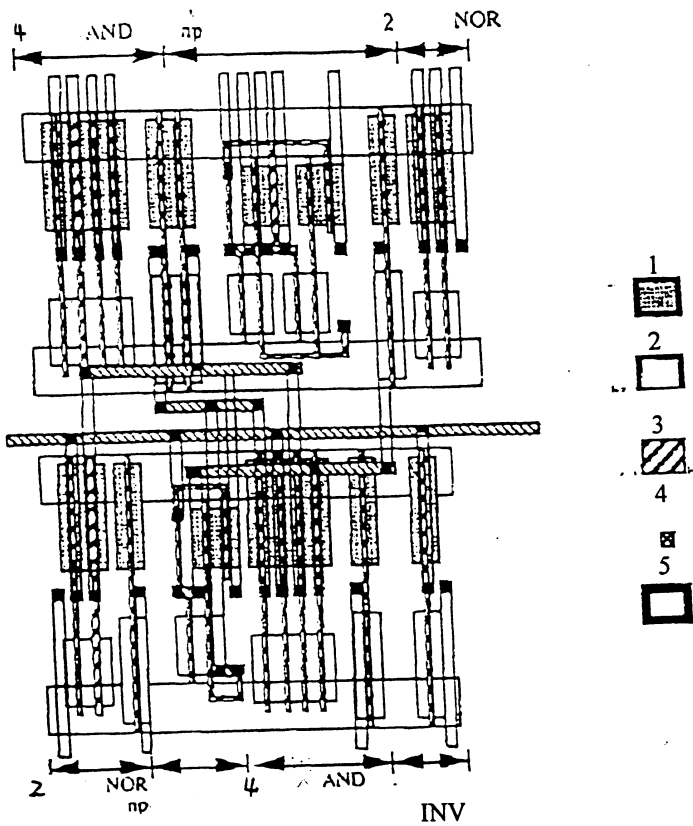


圖 11



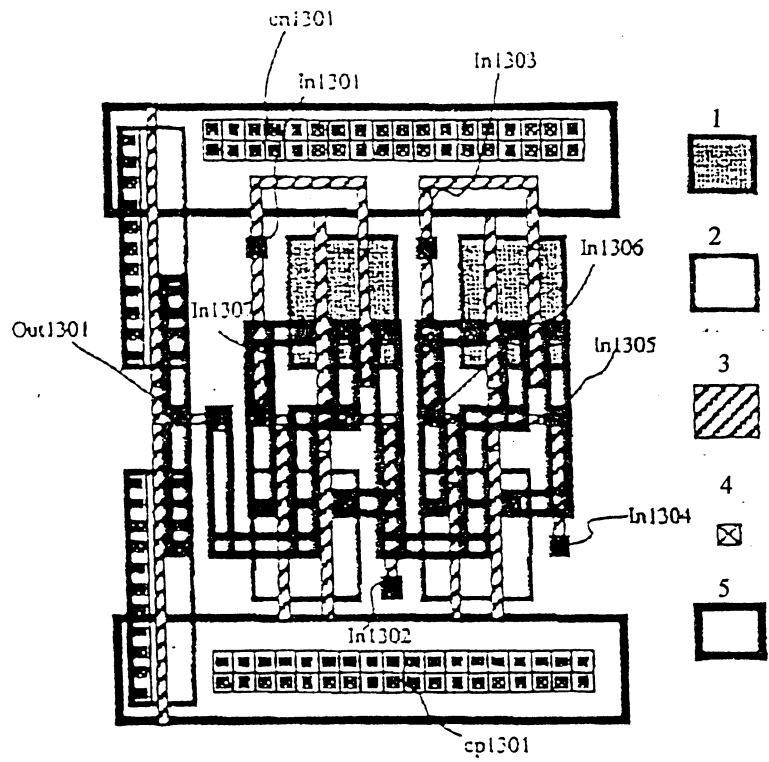
圖式

圖 12

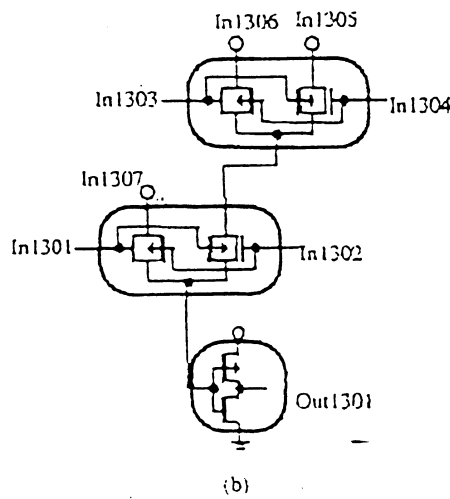


圖式

圖 13



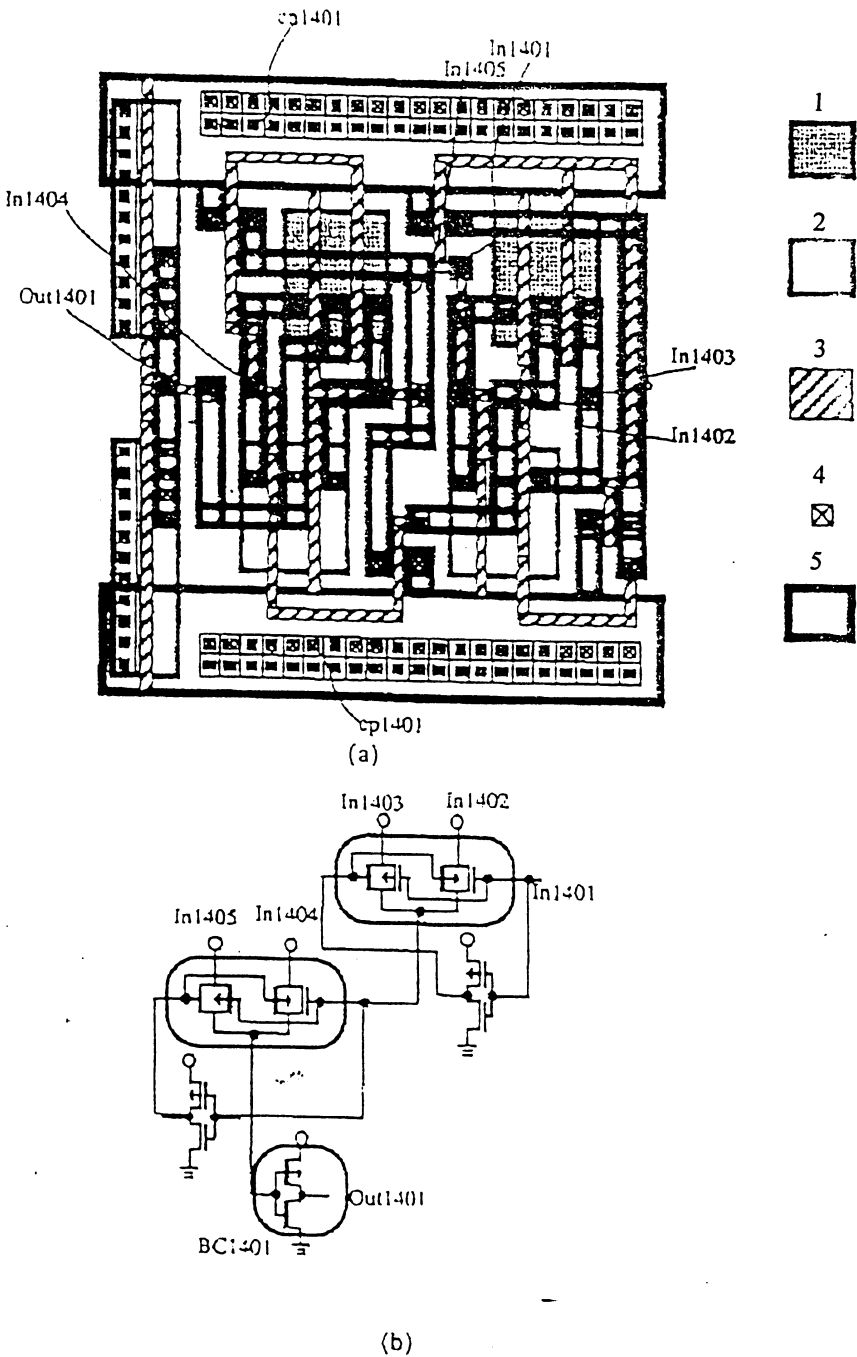
(a)



(b)

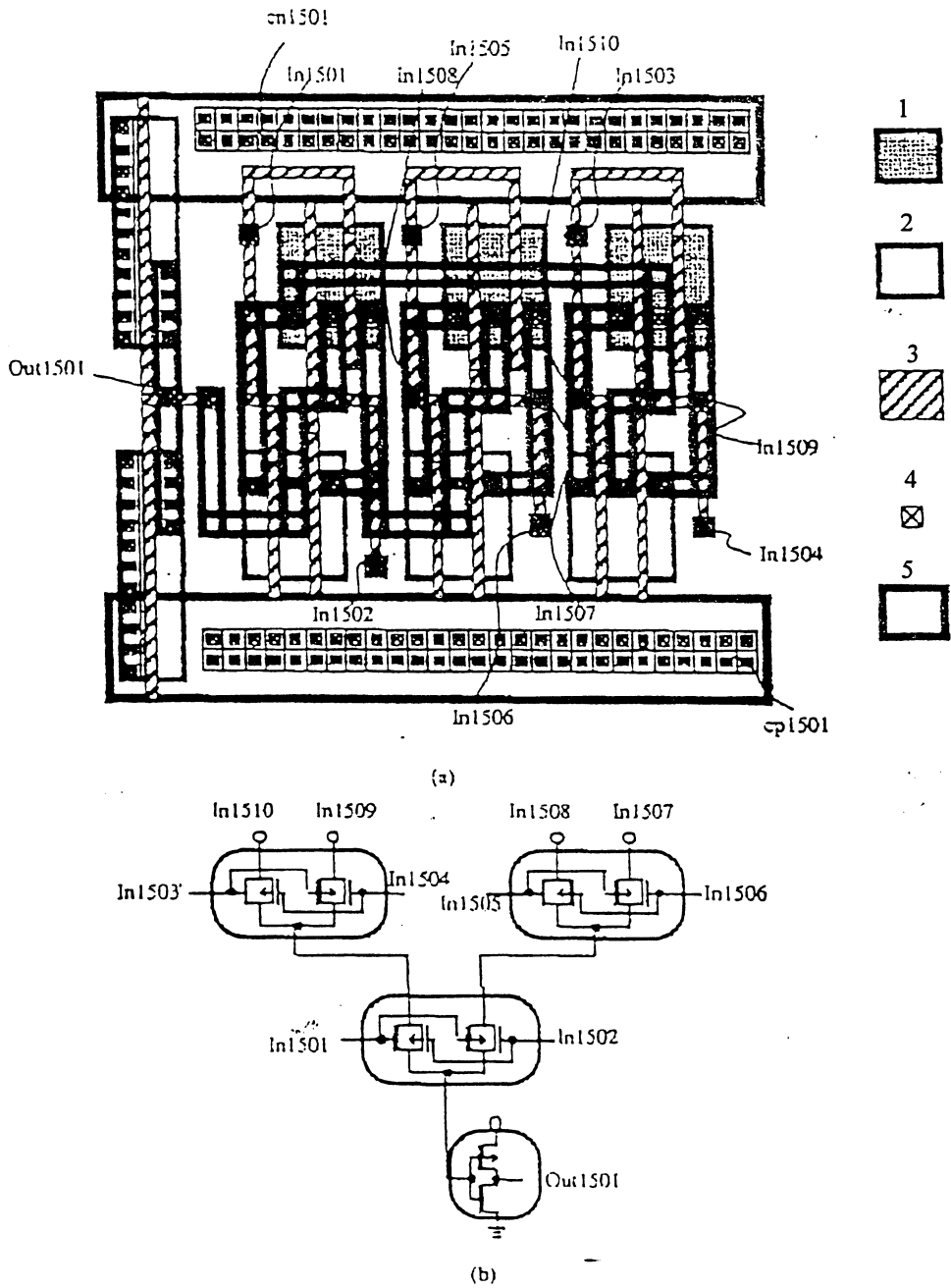
圖式

圖 14



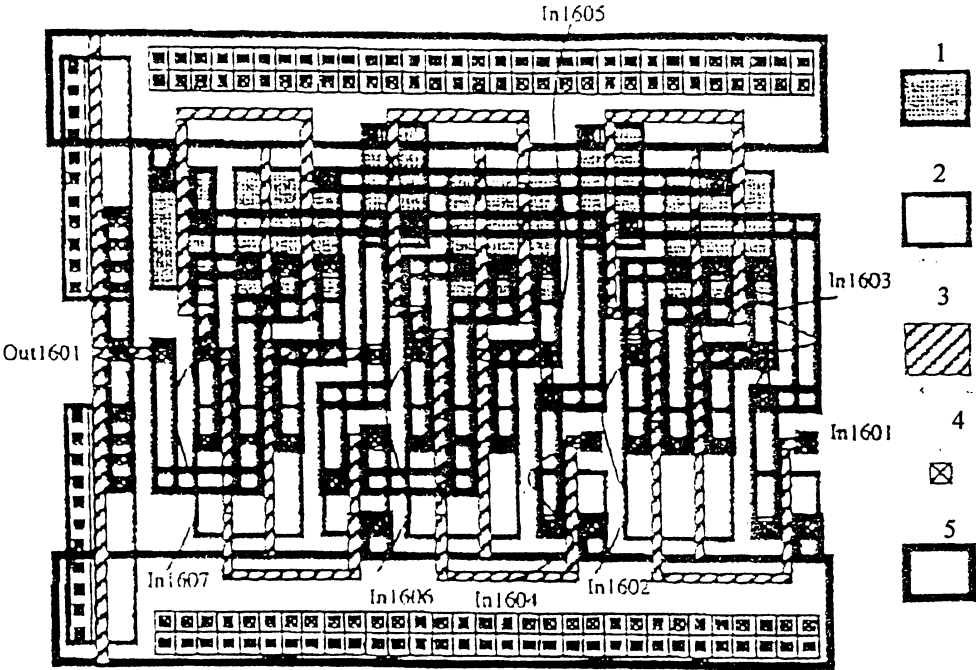
圖式

圖 15

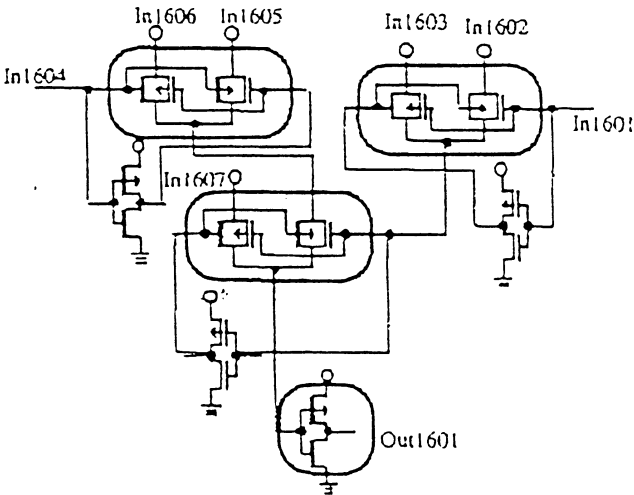


圖式

圖 16



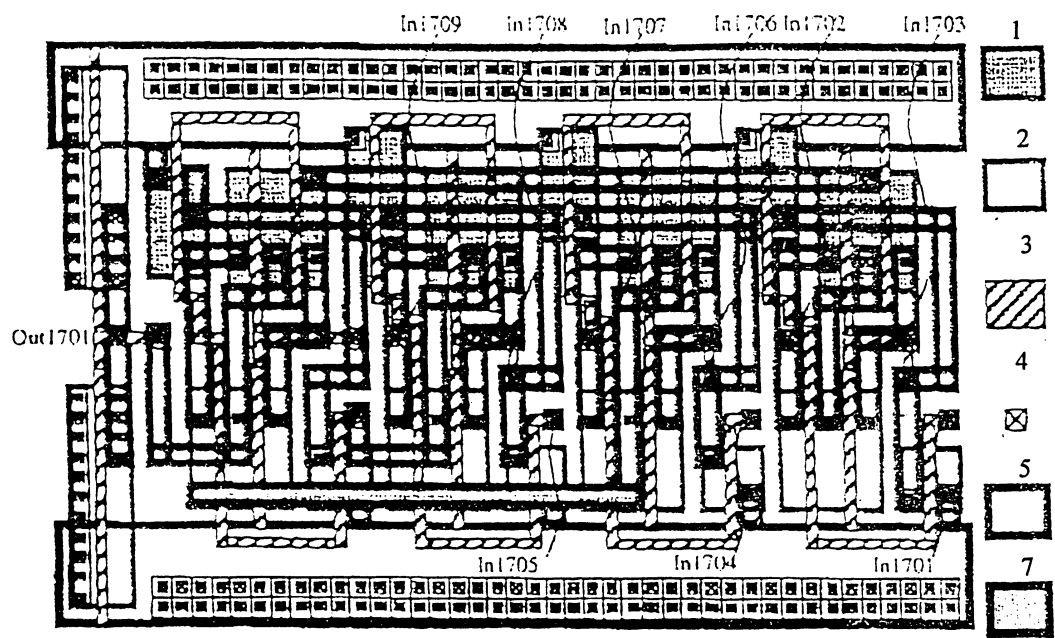
(a)



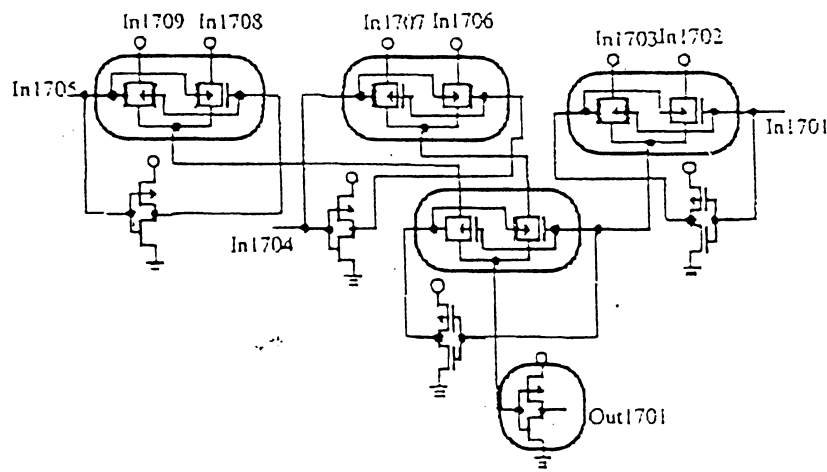
(b)

圖式

圖 17



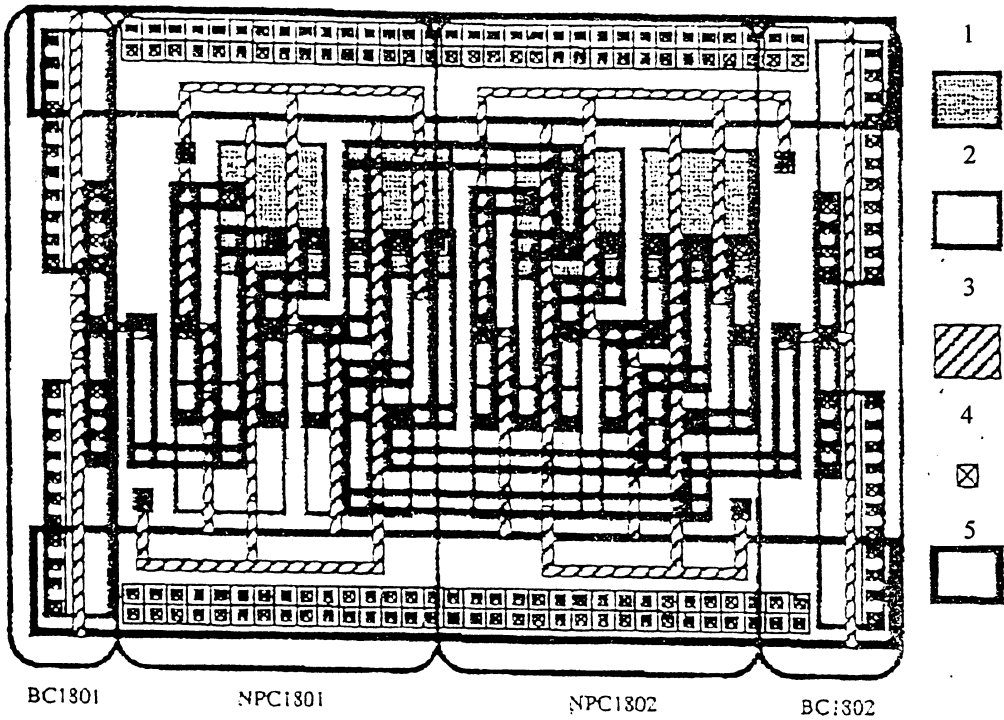
(a)



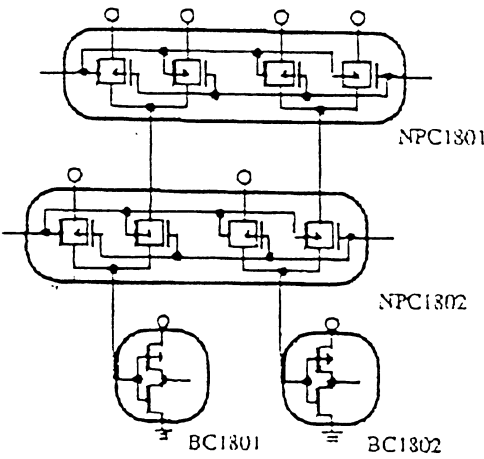
(b)

圖式

圖 18



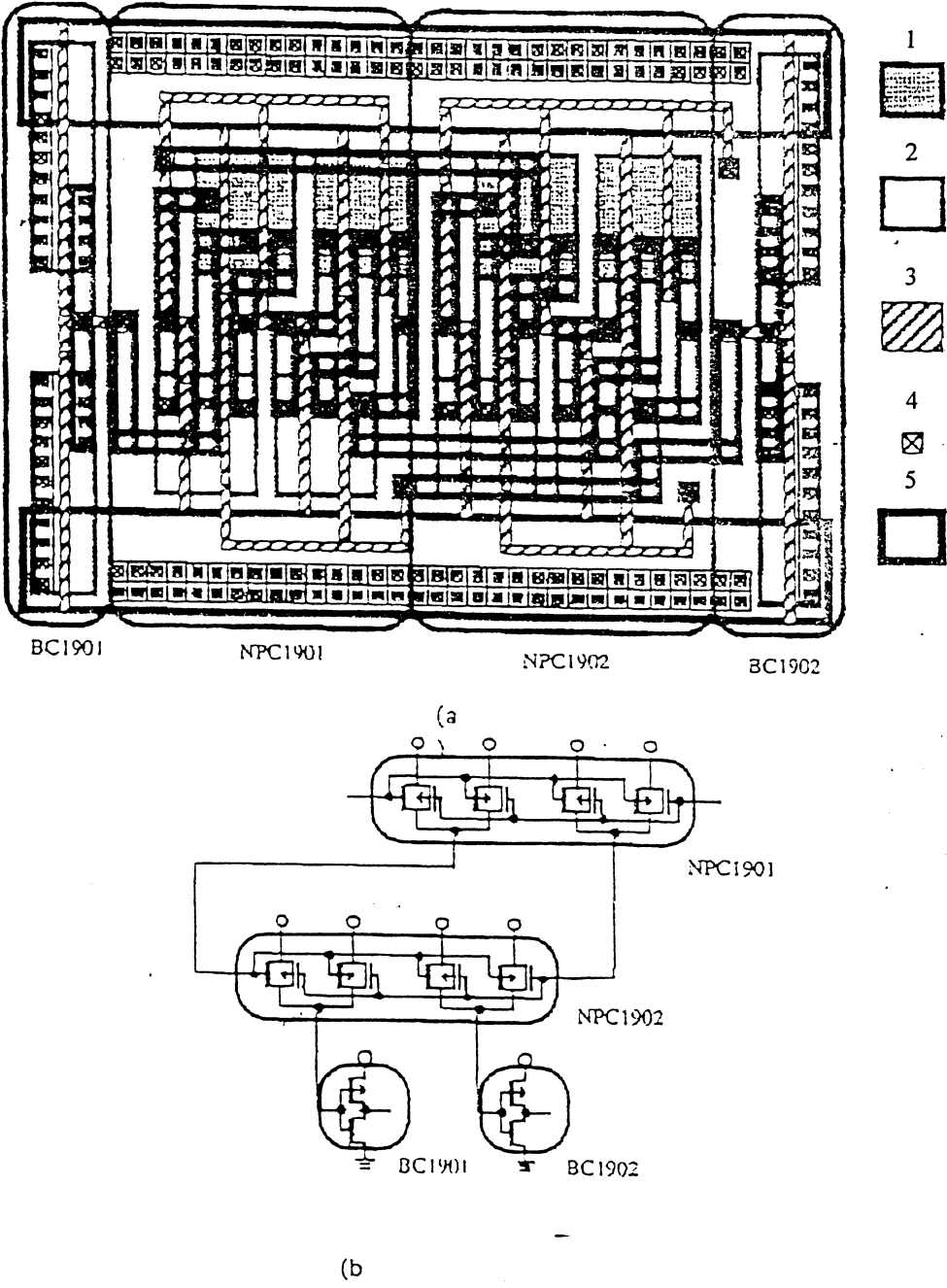
(a)



(b)

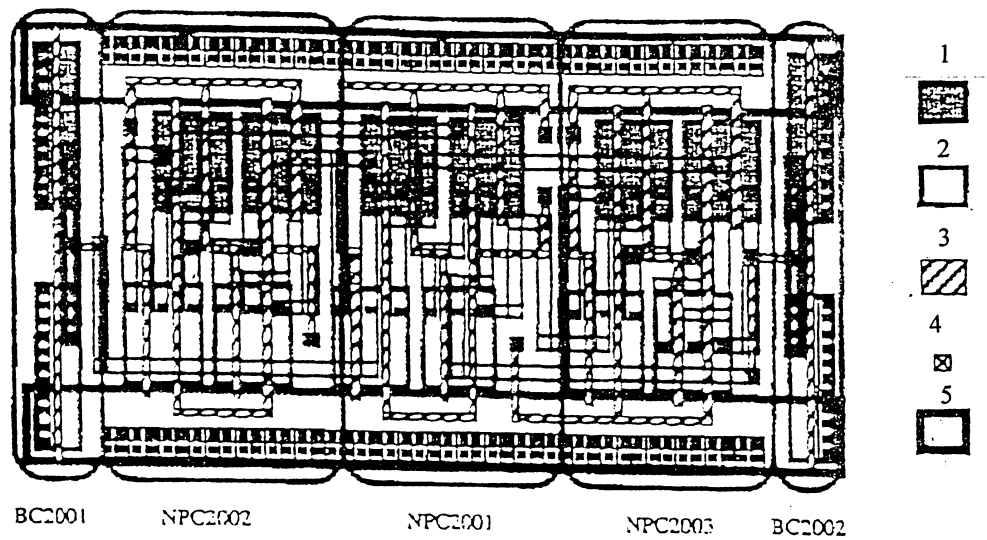
圖式

圖 19

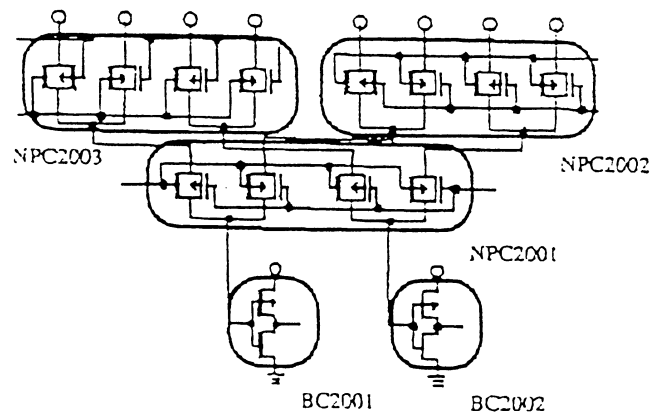


圖式

圖 20



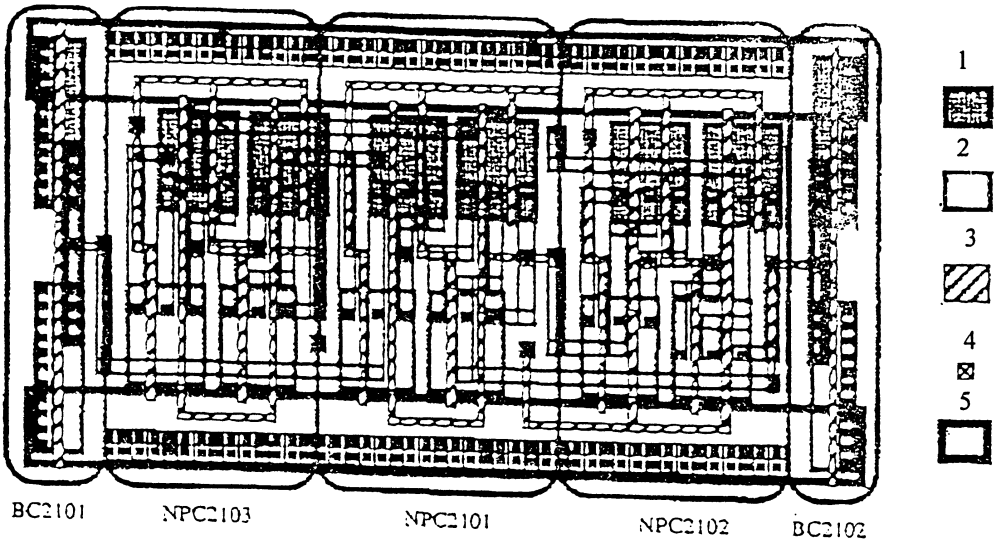
(a)



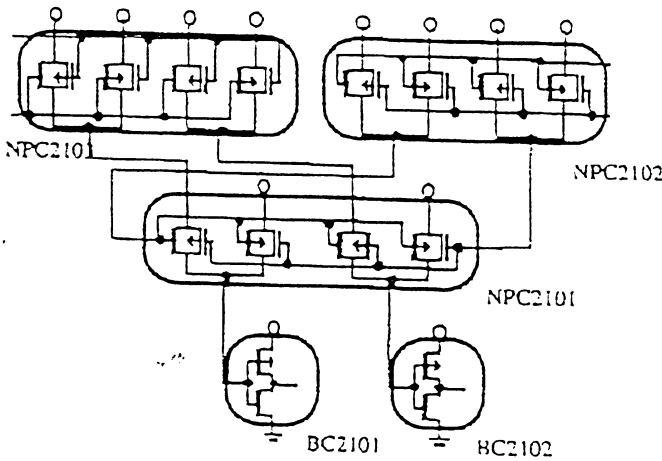
(b)

圖式

圖 21



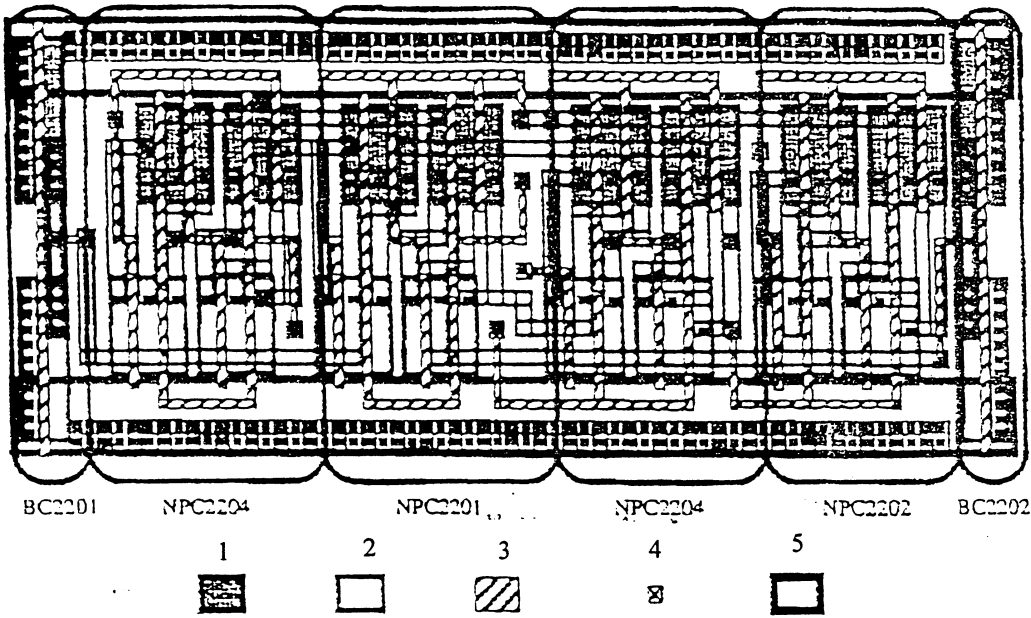
(a)



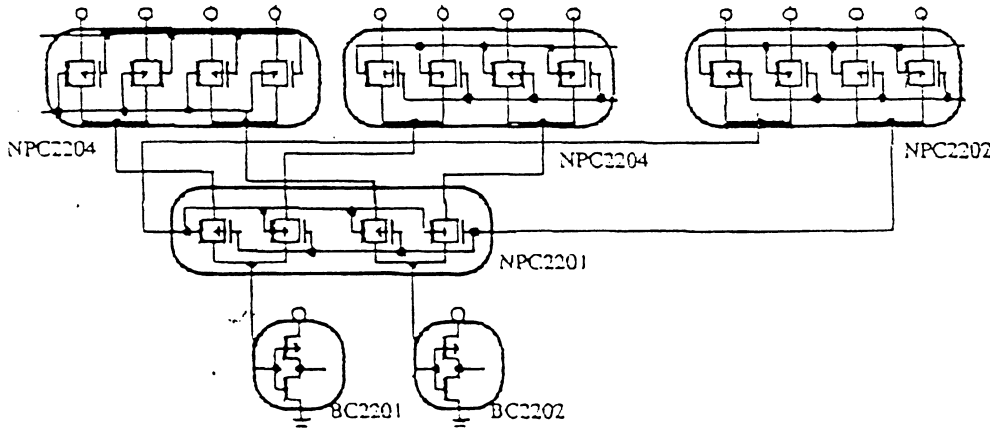
(b)

圖式

圖 22



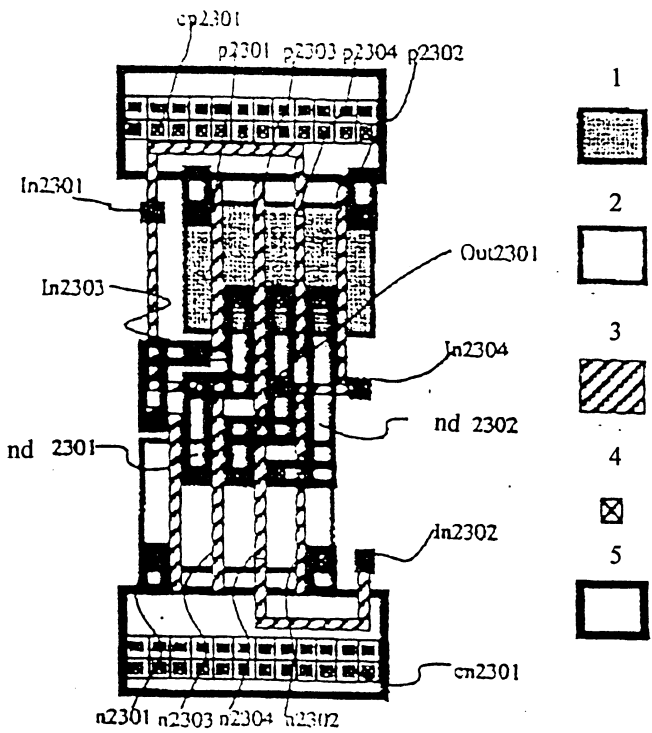
(a)



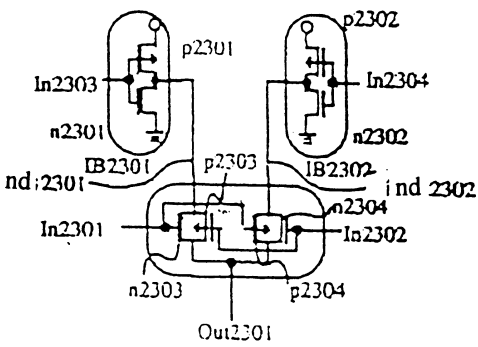
(b)

圖式

圖 23



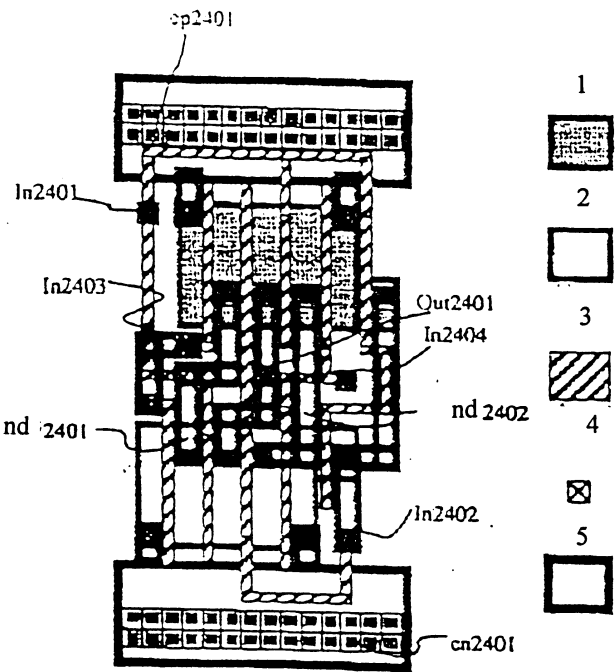
(a)



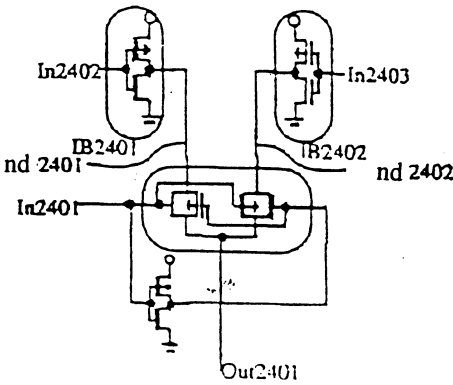
(b)

圖式

圖 24



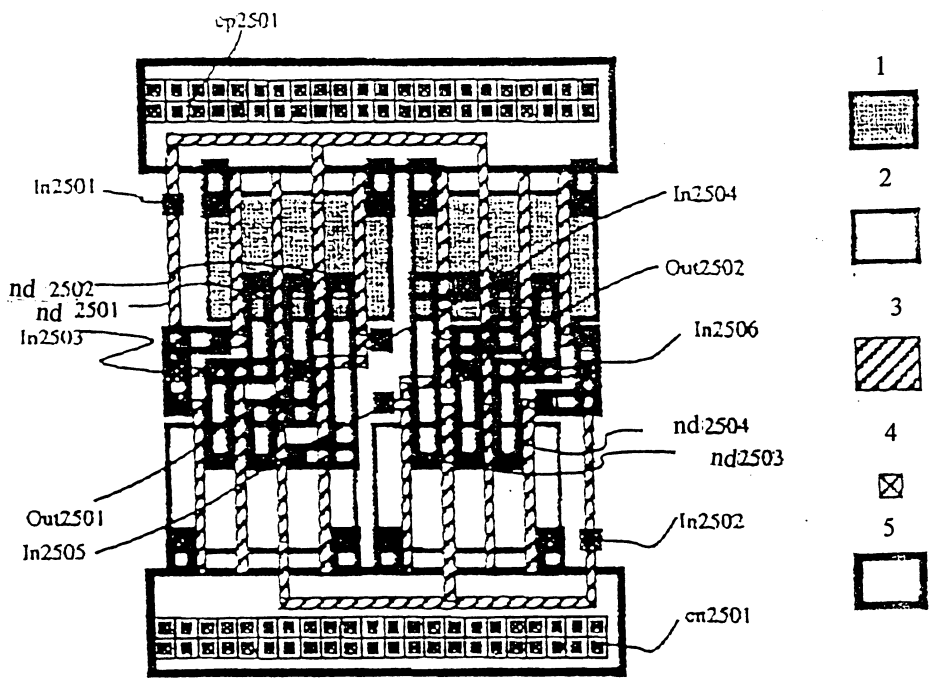
(a)



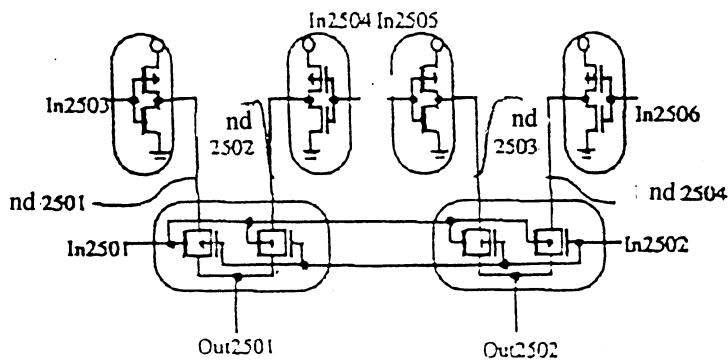
(b)

圖式

圖 25



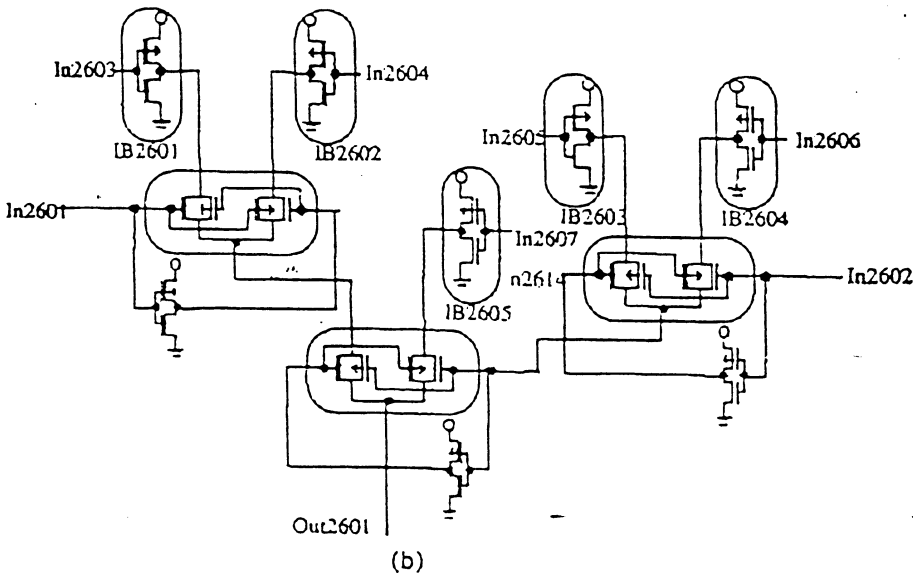
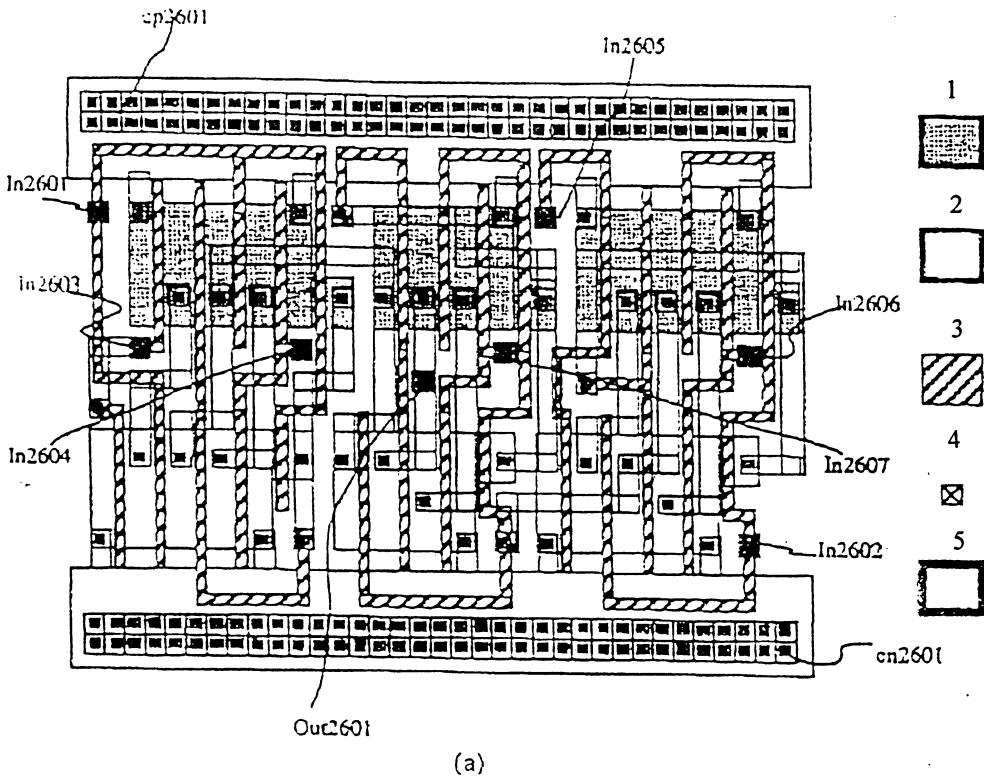
(a)



(b)

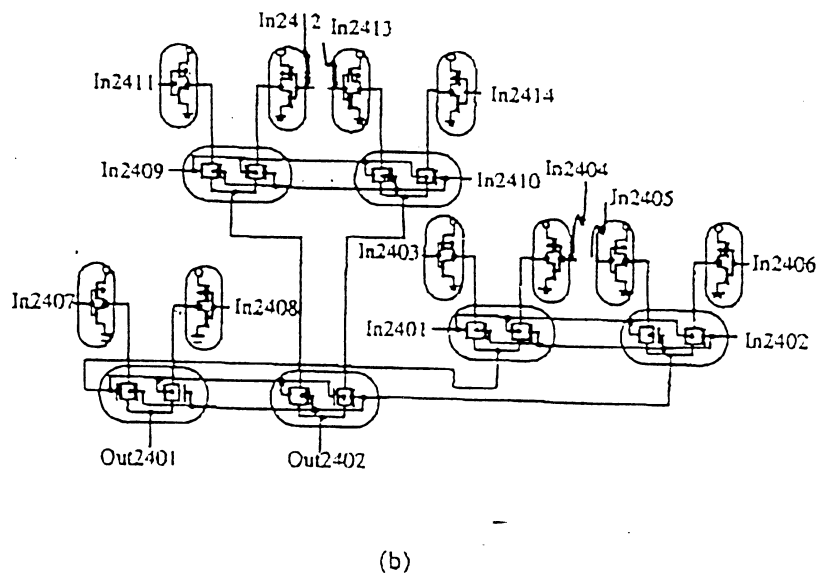
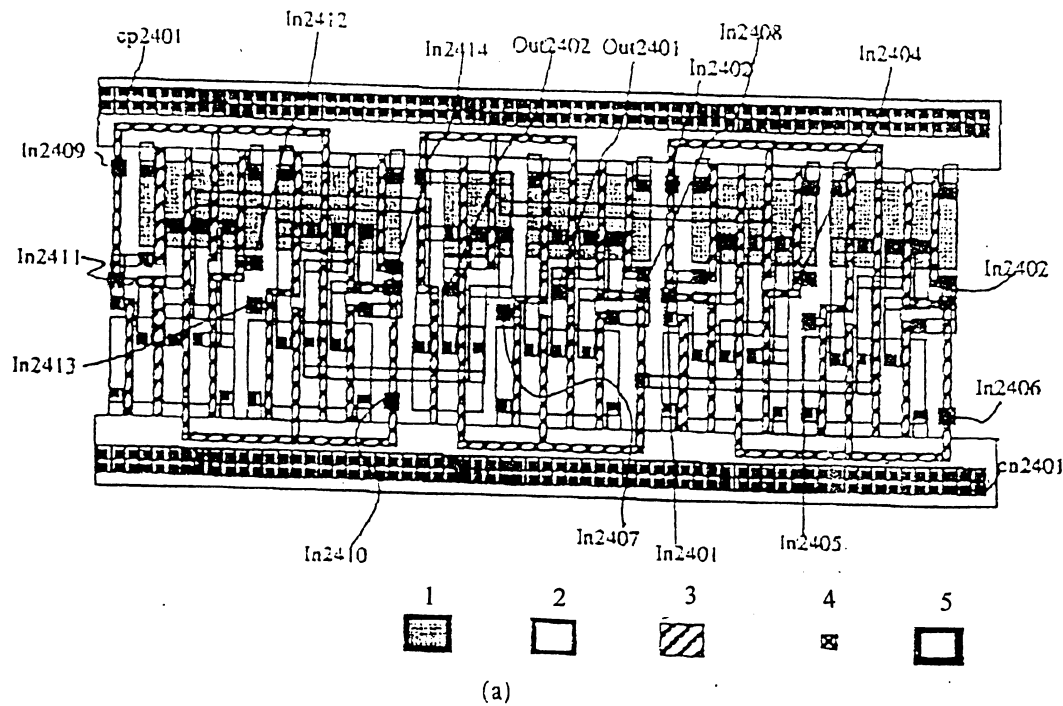
圖式

圖 26



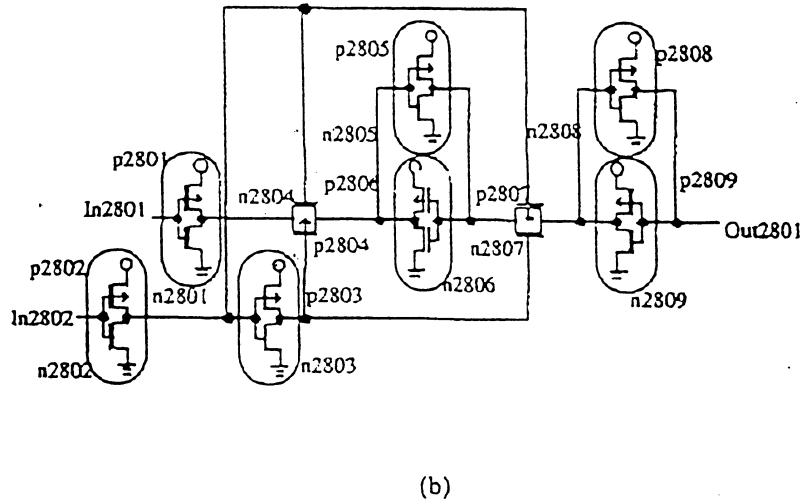
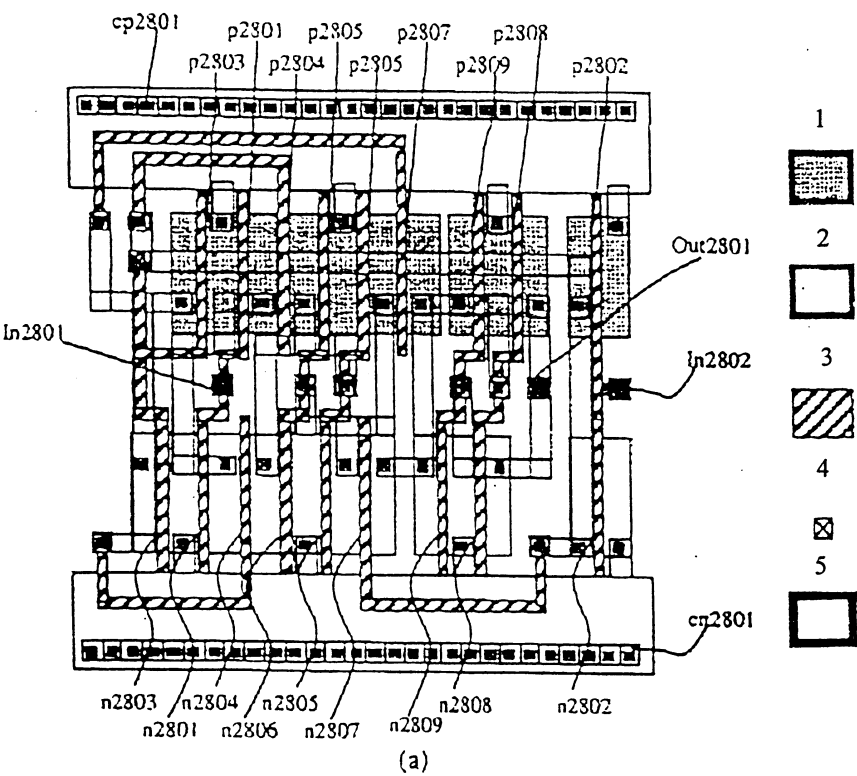
圖式

圖 27



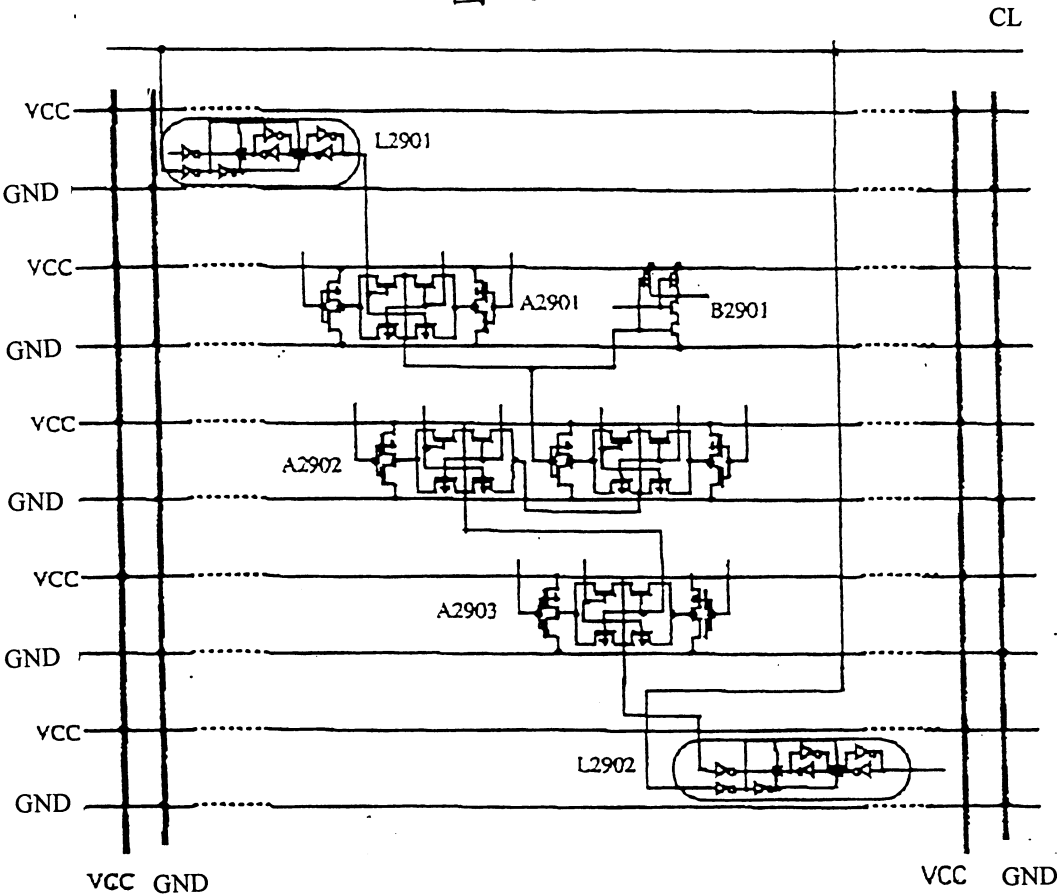
圖式

圖 28



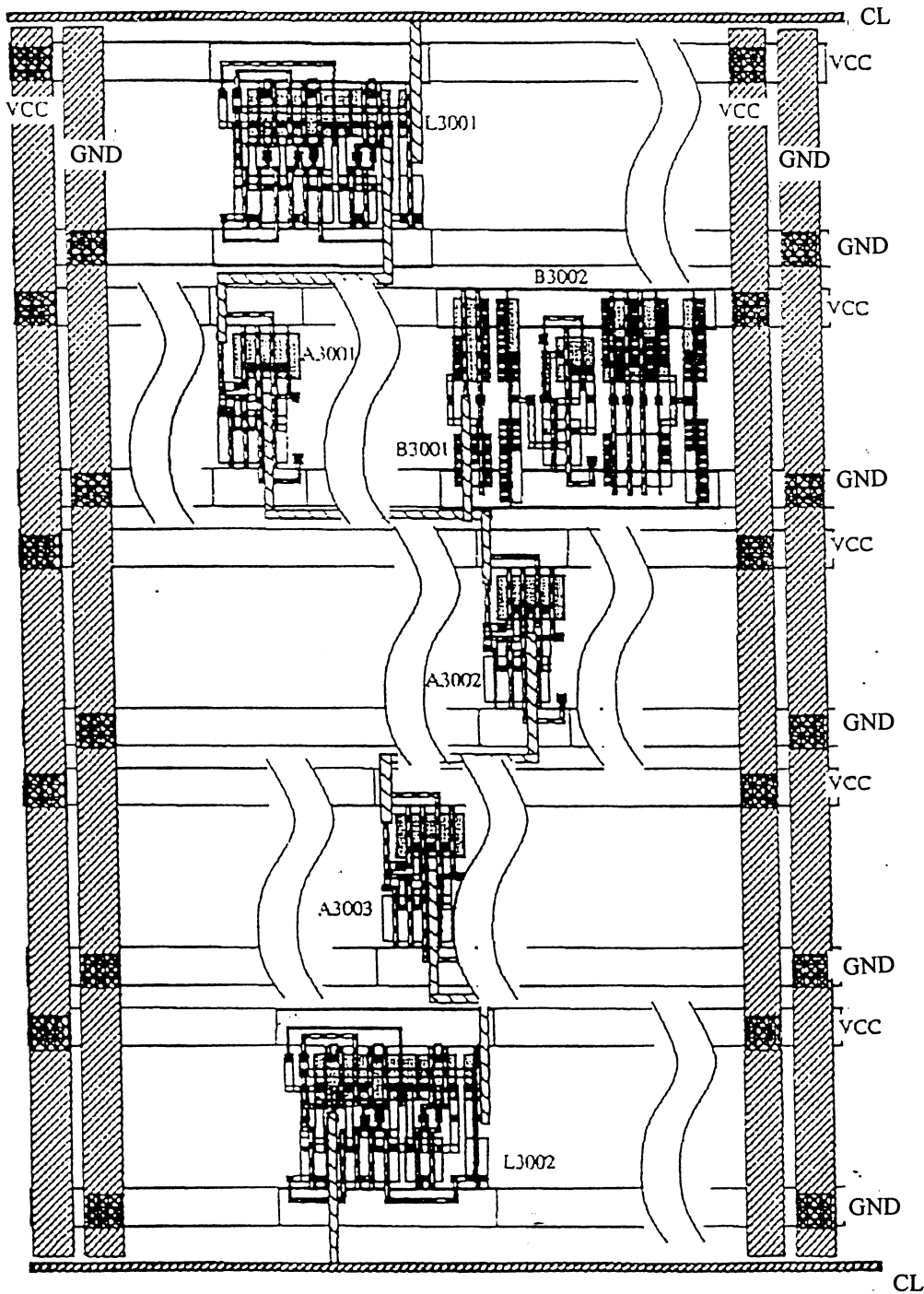
圖式

圖 29



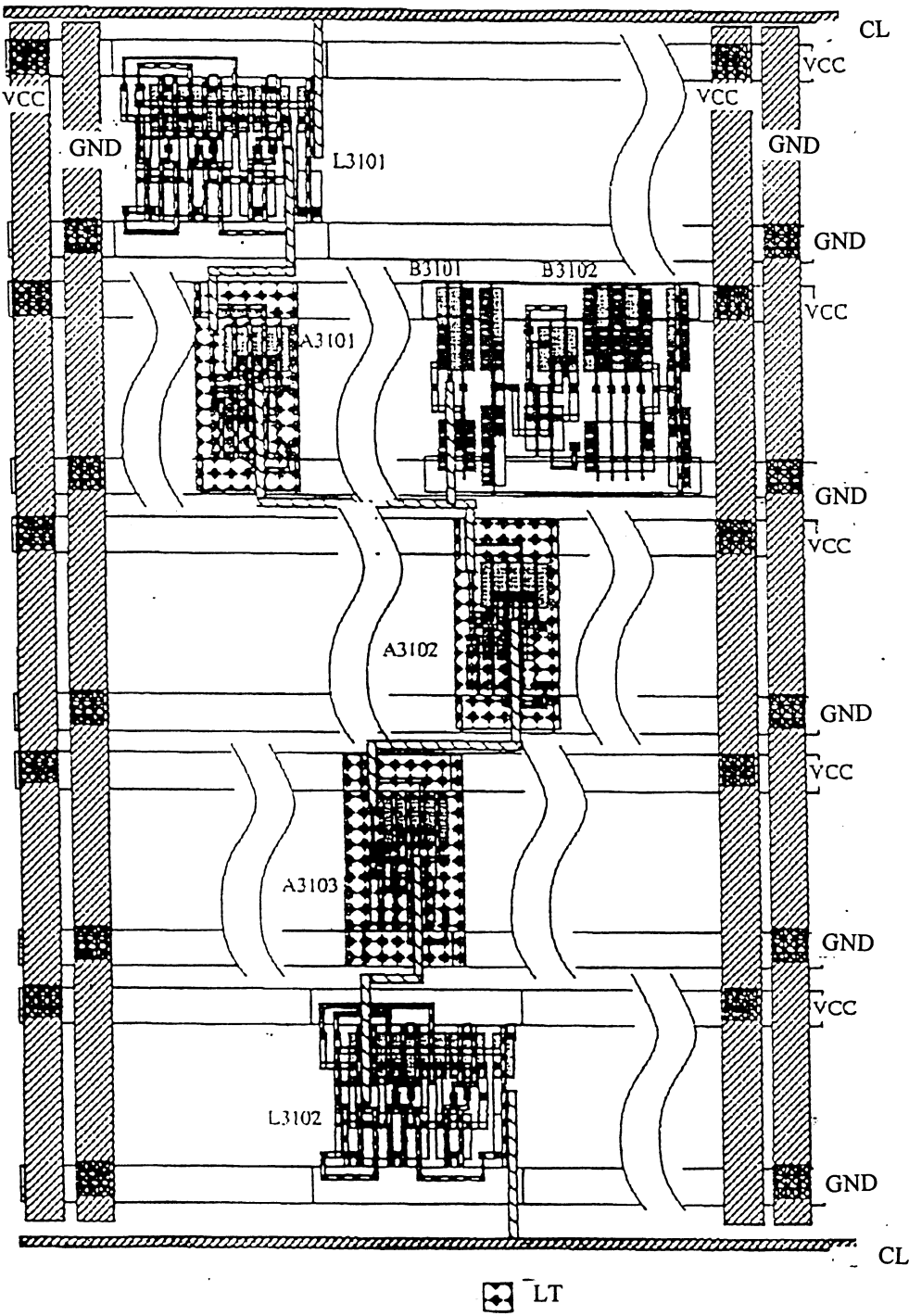
圖式

圖 30



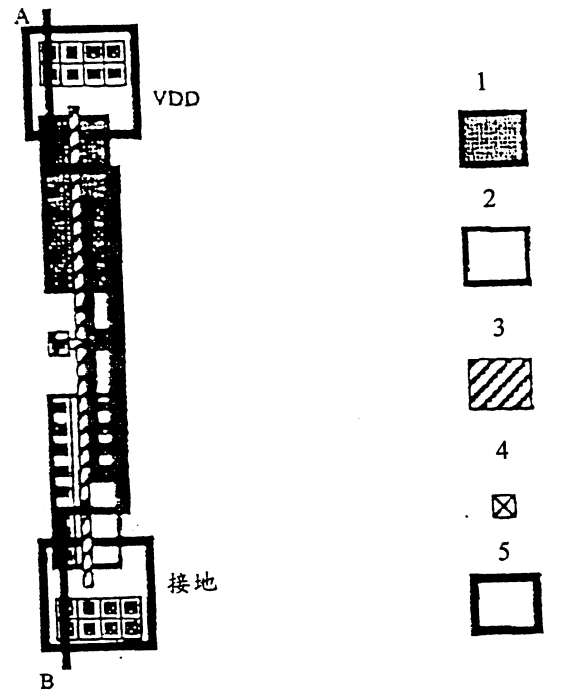
圖式

圖 31

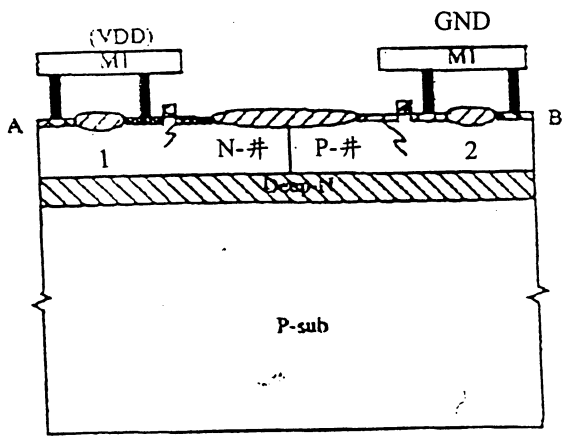


圖式

圖 32



(a)



- | | |
|--|--|
|  8 |  11 |
|  9 |  12 |
|  10 |  13 |
| |  14 |

(b)