

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(21) 출원번호 10-2005-0072386 (65) 공개번호  
(22) 출원일자 2005년08월08일 (43) 공개일자

(73) 특허권자 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이종주  
경기 수원시 영통구 망포동 동수원2차 쌍용스위트홈 204동 1103호

## (74) 대리인 유통열

심사관 : 박혜련

(54) 웨이퍼 레벨 재배선으로 형성된 터미네이션 회로선을 갖는 반도체 소자

요약

본 발명은 고속 디지털 반도체 소자에 관한 것으로, 반도체 기판 내에 저항과 인더터를 갖는 터미네이션 회로선을 형성할 경우 공정 변화에 따른 시그널 인테그리티(signal integrity)가 나빠지고 반도체 소자의 크기가 증가하고 기생 캐패시턴스의 증가로 인한 터미네이션 회로선의 장점을 상쇄시키는 문제점이 있다.

이와 같은 문제점을 해결하기 위해서, 본 발명은 웨이퍼 레벨 재배선 공정으로 활성면에 형성된 다층의 유전체층 사이에 적어도 한 층 이상의 터미네이션 회로선이 형성된 반도체 소자를 제공한다.

본 발명의 구조를 따르면 터미네이션 회로선이 반도체 기판의 활성면 전면을 이용하여 웨이퍼 레벨 재배선 공정으로 형성할 수 있기 때문에, 영역에 대한 문제가 거의 없으므로 요구되는 저항값과 인덕턴스값을 쉽게 구현할 수 있다. 터미네이션 회로선은 사진 공정에 기초하여 형성되기 때문에, 그 단면적과 길이를 매우 정확하게 제어하는 것이 가능하고, 금속에 따른 전도도의 변화도 일정한 값을 유지하도록 할 수 있어 공정 변화 등에 의한 저항값과 인덕턴스값의 변화를 최소화할 수 있다.

또한 공정에 따른 변화가 거의 없는 터미네이션 회로값을 형성할 수 있기 때문에, 우수한 시그널 인테그리티의 확보가 가능하다. 아울러 터미네이션 회로선은 저유전율의 두꺼운 유전체층 위에 형성되기 때문에, 터미네이션 회로선이 가지는 기생 캐패시턴스를 최소화할 수 있어 우수한 시그널 인테그리티 확보에 보다 유리하다.

대표도

도 5

색인어

터미네이션(termination), 웨이퍼 레벨 공정(wafer-level process), 인피더스 매칭(impedance matching), 시그널 인테그리티(signal integrity), 신호 반사, 고주파, 디지털

### 명세서

#### 도면의 간단한 설명

도 1 및 도 2는 종래기술에 따른 반도체 소자 내부의 입출력 회로 영역에 형성된 터미네이션 회로선을 보여주는 회로도들이다.

도 3은 도 1 및 도 2의 터미네이션 회로에 의한 입력임피던스의 주파수특성을 보여주는 그래프이다.

도 4는 본 발명의 실시예에 따른 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자를 보여주는 평면도이다.

도 5는 본 발명의 실시예에 따른 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자를 보여주는 단면도이다.

도 6은 도 5의 터미네이션 회로의 개략적인 회로도이다.

도 7은 도 5의 터미네이션 회로가 터미네이션 제어 스위치에 연결된 상태를 보여주는 개략적인 회로도이다.

도 8은 본 발명의 다른 실시예에 따른 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자를 보여주는 단면도이다.

\* 도면의 주요 부분에 대한 설명 \*

30 : 반도체 기판 32 : 활성면

34 : 비활성층 41 : 전원 패턴

41a, 41b : 전원 패드 43 : 연결 패드

44 : 접지 패턴 45 : 접지 패드

46a, 46b : 신호 패드 48 : 제어 스위치

49 : 제어 스위치 패드 50 : 칩 패드

60, 80 : 유전체층 72 : 저항(ESR)

74 : 인덕터(L) 100 : 반도체 소자

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속 디지털 반도체 소자에 관한 것으로, 더욱 상세하게는 활성면에 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자에 관한 것이다.

최근 디지털 기기의 급속한 발전으로 고속 디지털 반도체 소자의 디지털 신호 속도가 이미 수기가(Giga)bps에 이루고 있다. 이러한 고속 디지털 신호/데이터 링크에서는 드라이버(driver)와 채널(channel), 채널과 리시버(receiver) 사이에서 같은 곳에서 임피던스 미스-메칭(impedance mis-matching)으로 인한 고속신호의 반사 현상이 심각한 신호의 왜곡으로 이어져 BER(Bit Error Rate)이 증가하는 문제가 있다.

이와 같은 문제점을 해소하기 위한 방안으로 반도체 소자에 터미네이션 회로(termination circuit)를 형성하는 방법이 제시되었다. 터미네이션 회로(15)를 구현하기 위한 일반적인 방법 중의 하나가, 도 1에 도시된 바와 같이, 채널을 구성하고 있는 전송선의 특성임피던스에 메칭되는 값을 가지는 저항(14)을 입/출력 단자(13)에 연결하는 것이다.

최근에 와서는 인쇄회로기판, 플렉시블 케이블(flexible cable) 등의 유전매질 상에 구현되는 전송선과 같은 주파수 의존 송신(frequency dependent transmission) 특성 및 반도체 소자의 신호 단자의 입력 캐패시턴스(input capacitance)에 의한 고속신호왜곡을 보상하는 방법으로, 도 2에 도시된 바와 같은, 등가 회로(equalization circuit)의 채용이 시도되고 있다.

등가 회로로 구현된 터미네이션 회로(25)는 입/출력 단자(23)에 저항(24)과 시리즈 인덕터(26; series inductor)가 연결된 수동 등가 회로(passive equalization circuit)의 채용이 효과적이다. 즉 터미네이션 회로(25)는 반도체 소자(20)에서 입출력을 형성하는 트랜지스터 등에 의한 입력 캐패시턴스(29)와 병렬로 구성되어 병렬 LC 공진(parallel LC resonance)을 일으키게 되는데, 인덕터(26)에 직렬로 연결된 저항(24)의 큰 저항값에 의해 낮은 Q-인자(factor)를 가지는 병렬공진회로가 형성되어 반도체 소자(20)의 속도에 부합되는 영역 중 고주파영역의 손실을 보상하는 영역에 공진주파수가 위치하여 넓은 주파수영역에서 고주파손실을 보상하는 효과를 가지게 된다.

즉 도 3에 도시된 바와 같이, 터미네이션 회로가 없는 반도체 소자(1)에 비해서 터미네이션 회로가 있는 반도체 소자(10, 20)에서 고주파손실을 보상하는 효과가 발생됨을 쉽게 알 수 있다. 그리고 도 1의 저항(14)만 연결된 터미네이션 회로(15)를 갖는 반도체 소자(10)에 비해서 도 2의 저항(24)과 인덕터(26)가 함께 연결된 터미네이션 회로(25)를 갖는 반도체 소자(20)가 고주파손실을 보상하는 효과가 더 크다는 것도 알 수 있다.

그런데 이와 같은 종래기술에 따른 터미네이션 회로(15, 25)는 반도체 소자 내부(12, 22)의 입출력 회로 영역에 위치하게 되는데, 다음과 같은 구현상에 문제점을 가지고 있다.

터미네이션 회로의 저항은 폴리 실리콘(poly-silicon)으로 형성될 수 있다. 폴리 실리콘은 고저항성을 가지고 부피가 작은 장점이 있지만, 저항도(resistivity)가 공정에 따른 변화가 매우 커서 시그널 인테그리티(signal integrity)가 매우 나쁜 단점이 있다. 이러한 단점을 해소하기 위해서, 제어 스위치와 더불어 고저항들을 병렬로 조합하여 구현할 수 있지만, 이 경우 복잡한 터미네이션 회로가 요구되고, 터미네이션 회로의 추가에 따른 전력 소모 및 전원잡음이 증가하는 문제가 발생될 수 있다.

그리고 수 nH 수준의 인덕터를 반도체 소자 내에 구현하기 위해서는, 수mm의 길이를 갖는 회로층을 형성해야 하기 때문에, 반도체 소자의 크기가 커지는 문제가 발생될 수 있다. 반도체 소자 내부의 얇은 층간 유전체층들에 의해 인덕터 자체가 가지는 기생(parasitic) 캐패시턴스가 증가하여 터미네이션 회로의 장점을 상쇄시키는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 제 1 목적은 저항값과 인덕턴스값을 정밀하게 제어할 수 있는 터미네이션 회로선을 갖는 반도체 소자를 제공하는 데 있다.

본 발명의 제 2 목적은 반도체 소자에 인덕터를 형성하더라도 반도체 소자의 크기 증가를 최소화하고, 기생 캐패시턴스를 줄일 수 있는 터미네이션 회로선을 갖는 반도체 소자를 제공하는 데 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 웨이퍼 레벨 재배선 공정을 이용하여 반도체 기판의 활성면에 터미네이션 션이 필요 한 입/출력 회로로 연결되는 신호 패턴과 전원 또는 접지 패턴을 연결하는 다수개의 터미네이션 회로선들을 갖는 반도체 소자를 제공한다.

즉 본 발명에 따른 반도체 소자는 전원/접지 패턴 및 신호 패턴을 포함하는 회로 배선층이 형성된 반도체 기판을 포함한다. 비활성층은 반도체 기판의 활성면을 덮는다. 제 1 유전체층은 비활성층을 덮는다. 터미네이션 회로선들은 제 1 유전체층 위에 웨이퍼 레벨 재배선 공정을 이용하여 금속선으로 길게 형성되며, 제 1 유전체층과 비활성층을 관통하여 일단은 신호 패턴에 연결되고 타단은 전원/접지 패턴에 연결된다. 그리고 제 2 유전체층이 터미네이션 회로선을 덮어 외부 환경으로부터 보호한다.

본 발명에 따른 반도체 소자에 있어서, 터미네이션 회로선은 구불구불한 길(meander), 나선(spiral) 또는 솔레노이드(solenoid) 형태로 형성될 수 있다.

본 발명에 따른 반도체 소자에 있어서, 전원/접지 패턴은 활성면에 노출되는 전원/접지 패드들을 포함하고, 신호 패턴은 활성면에 노출되는 신호 패드들을 포함한다. 이때 전원/접지 패드들과 신호 패드들은 제 2 유전체층 밖으로 노출된다.

본 발명에 따른 반도체 소자에 있어서, 터미네이션 회로선들 중에는 일단은 신호 패드에 연결되고, 타단은 전원/접지 패드에 연결되는 적어도 하나 이상의 터미네이션 회로선이 포함되어 있다.

또는 터미네이션 회로선들 중에는 일단은 신호 패드에 연결되고, 타단은 전원/접지 패드 외측의 전원/접지 패턴 부분에 연결되는 적어도 하나 이상의 터미네이션 회로선이 포함되어 있다.

본 발명에 따른 반도체 소자에 있어서, 전원/접지 패턴은 터미네이션 회로선의 타단이 연결되며, 활성면에 노출된 연결 패드를 더 포함할 수 있다.

본 발명에 따른 반도체 소자에 있어서, 신호 패턴은 터미네이션 제어 스위치를 포함하며, 터미네이션 회로선들 중에는 일단이 제어 스위치의 단자에 연결되는 적어도 하나 이상의 터미네이션 회로선을 포함한다. 제어 스위치 단자는 활성면에 노출된 패드일 수 있다. 또는 제 1 유전체층과 비활성층을 관통하는 비아를 통하여 노출된 제어 스위치 단자에 터미네이션 회로선의 일단이 연결될 수 있다.

그리고 본 발명에 따른 반도체 소자에 있어서, 제 1 유전체층은 적어도 수  $\mu\text{m}$  두께로 형성될 수 있다.

본 발명은 또한 다층의 터미네이션 회로선을 포함하는 반도체 소자를 제공한다. 즉 반도체 소자는 내부에 전원 패턴, 접지 패턴, 신호 패턴을 포함하는 회로 배선층이 형성된 반도체 기판을 포함한다. 칩 패드들은 회로 배선층과 연결되어 반도체 기판의 상부면에 형성된 전원 패드, 접지 패드 및 신호 패드를 포함한다. 비활성층은 칩 패드들을 제외한 반도체 기판의 활성면을 덮는다. 다수의 유전체층은 칩 패드들이 노출되게 비활성층을 덮도록 형성된다. 그리고 터미네이션 회로선은 유전체층들 사이에 웨이퍼 레벨 재배선 공정을 이용하여 금속선으로 길게 형성되며, 일단은 신호 패드에 연결되고 타단은 전원 패턴 또는 접지 패턴에 연결된다.

본 발명에 따른 반도체 소자에 있어서, 유전체층은 적어도 3층 이상으로 형성되며, 유전체층들 사이에 다층으로 터미네이션 회로선이 형성될 수 있다.

그리고 본 발명에 따른 반도체 소자에 있어서, 안정적인 전원 공급과 노이즈 차폐효과를 향상시키기 위해서, 유전체층 사이에 적어도 한 층 이상이 접지층 또는 전원층으로 형성될 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도 4는 본 발명의 실시예에 따른 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선(70a, 70b)을 갖는 반도체 소자(100)를 보여주는 평면도이다. 도 5는 본 발명의 실시예에 따른 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선(70a)을 갖는 반도체 소자(100)를 보여주는 단면도이다. 그리고 도 6은 도 4의 터미네이션 회로(70)의 개략적인 회로도이다.

도 4 내지 도 6을 참조하면, 본 발명의 실시예에 따른 반도체 소자(100)는 웨이퍼 레벨 재배선 공정을 이용하여 반도체 기판(30)의 활성면(32)에 다수개의 터미네이션 회로선(70a, 70b)이 형성된 구조를 갖는다. 즉 반도체 소자(100)는 전원/접지 패턴(41, 44) 및 신호 패턴(도시 안됨)을 포함하는 회로 배선층이 형성된 반도체 기판(30)과, 반도체 기판의 활성면(32)

을 덮는 비활성층(34; passivation layer)과, 비활성층(34)을 덮는 제 1 유전체층(60)과, 제 1 유전체층(60) 위에 금속선으로 길게 형성되며 제 1 유전체층(60)과 비활성층(34)을 관통하여 일단은 신호 패턴에 연결되고 타단은 전원/접지 패턴(41, 44)에 연결되는 터미네이션 회로선(70a, 70b)과, 터미네이션 회로선(70a, 70b)을 덮는 제 2 유전체층(80)을 포함한다.

따라서 제 1 유전체층(60) 위에 길게 형성된 터미네이션 회로선(70a, 70b)은 저항(74)으로서의 기능과 더불어 낮은 Q인자의 인더터 특성을 동시에 갖기 때문에, 별도의 저항이나 인더터를 구현할 필요없이 저항(74)과 인더터(72)가 직렬로 연결된 수동 등가 회로의 터미네이션 회로(70)를 구현할 수 있다. 그리고 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선(70a, 70b)의 저항값과 인더턴스값은 공정에 따른 변화가 작아서 고속 시그널 인TEGRITY(high-speed signal integrity)를 확보할 수 있다.

본 발명의 실시예에 따른 터미네이션 회로선(70a, 70b)을 갖는 반도체 소자(100)에 대해서 구체적으로 설명하면 다음과 같다.

반도체 소자(100)는 활성면(32)에 회로 배선층과 전기적으로 연결된 복수개의 칩 패드들(50)이 형성된 반도체 기판(30)과, 반도체 기판(30)의 내부의 회로 배선층과 칩 패드(50)들을 보호하기 위한 비활성층(34)으로 구성된다. 칩 패드(50)는 보통 알루미늄(Al)으로 되어 있으며, 비활성층(34)은 산화막, 질화막 또는 그 조합으로 되어 있다.

전원/접지 패턴(41, 44)은 활성면(32)에 노출되는 전원/접지 패드들(41a, 41b, 45)을 포함하고, 신호 패턴은 활성면(32)에 노출되는 신호 패드들(46a, 46b)을 포함한다. 이때 전원/접지 패드(41a, 41b, 45) 및 신호 패드들(46a, 46b)이 칩 패드(50)를 구성하며, 본 실시예에 개시된 바와 같이 활성면(32)에 일렬로 배열되게 형성될 수 있다.

비활성층(34) 위에 터미네이션 회로선(70a, 70b)을 형성하기 위해서, 비활성층(34) 위에 칩 패드(50)가 노출되도록 제 1 유전체층(60)이 소정의 두께로 형성된다.

제 1 유전체층(60)은 폴리이미드(polyimide), 벤조사이클로부텐(benzocyclobutene; BCB), 폴리벤즈옥사졸(polybenzoxazole; PBO), 에폭시(epoxy) 등과 같은 중합체 물질(polymer)로 이루어지며, 응력 완충과 전기 절연의 기능을 한다. 특히 제 1 유전체층(60)은 저유전율을 갖기 때문에, 터미네이션 회로선(70a, 70b)이 가질 수 있는 기생 캐패시턴스를 줄이는 역할도 담당한다. 기생 캐패시턴스를 줄이기 위해서, 최소한 제 1 유전체층(60)은 수 $\mu\text{m}$  정도로 형성되며, 더 두껍게 형성할 수도 있다.

제 1 유전체층(60)은 통상적인 스판 코팅(spin coating) 방법 등에 의하여 형성될 수 있다. 제 1 유전체층(60)으로부터 칩 패드(50)를 노출시키는 방법은 통상적인 사진 공정을 사용한다.

터미네이션 회로선(70a, 70b)은 제 1 유전체층(60) 위에 재배선 공정으로 금속선으로 길게 형성된 라인 저항들(74)을 사용하여 자체적으로 인더터(72)를 갖는 고속 디지털 입/출력 회로의 터미네이션 회로(70)를 구현한다. 이때 필요한 저항값과 인더턴스값은 사용되는 금속의 종류 및 디멘션(dimension)에 의해 저항값이 결정되고, 금속 라인 자체의 디멘션 및 길이와 모양에 의해 인더턴스값이 정해지게 된다. 즉 터미네이션 회로선(70a, 70b)이 갖는 저항값은 ESR(Equivalent series resistance)값으로 볼 수 있다.

특히 터미네이션 회로선(70a, 70b)은 활성면(32)의 전면에 형성할 수 있기 때문에, 형성 할 영역에 대한 문제가 없으므로 요구되는 저항값과 인더턴스값을 쉽게 구현할 수 있다. 터미네이션 회로선(70a, 70b)은 재배선용 금속으로 구현되기 때문에, 공정 변화 등에 의한 저항값과 인더턴스값의 변화를 최소화시킬 수 있다.

터미네이션 회로선(70a, 70b)은 터미네이션이 필요한 입/출력 회로(46)로 연결되는 신호 패드들(46a, 46b)이 전원 패턴(41)에 연결될 수 있도록 배선된다. 터미네이션 회로선(70a, 70b)의 형성 방법으로 전해도금(electroplating), 스퍼터링(sputtering), 이베포레이션(evaporation)과 같은 일반적인 박막 증착 방법이 사용되며, 사진 공정(photolithography)이 병행된다. 터미네이션 회로선(70a, 70b)은 길게 형성될 수 있도록 구불구불한 길(meander), 나선(spiral) 또는 솔레노이드(solenoid) 형태로 구현될 수 있으며, 이에 한정되는 것은 아니다.

이때 터미네이션 회로선(70a, 70b)은 신호 패드(46b)와 전원 패드(41b)를 연결하도록 구현되거나, 신호 패드(46a)와 전원 패드(41b)에서 이격된 전원 패턴(41) 부분에 연결되도록 구현될 수 있다.

특히 후자의 경우, 터미네이션 회로선(70a)의 타단이 연결될 전원 패턴(41) 부분에 대응되는 활성면(32) 위에 전원 패턴(41)과 연결된 연결 패드(43)를 형성하여 연결하거나, 제 1 유전체층(60)과 비활성층(34)을 관통하는 비아(via)를 통하여 연결할 수 있다. 본 실시예에서는 연결 패드(43)가 형성된 예를 개시하였다.

터미네이션 회로선(70a, 70b)으로 연결된 신호 패드(46a, 46b)와 전원 패턴(41)의 연결 구조를 살펴보면, 아래와 위로 제 1 전원 패드(41a)와 제 2 전원 패드(41b)가 각기 배치되고, 제 1 및 제 2 전원 패드(41a, 41b) 사이에 제 1 및 제 2 신호 패드(46a, 46b)가 배치되고, 제 1 및 제 2 신호 패드(46a, 46b)의 사이에 접지 패드(45)가 배치된다. 제 1 및 제 2 전원 패드(41a, 41b)와 연결된 전원 패턴(41)이 칩 패드(50)를 중심으로 우측에 형성되고, 접지 패드(45)와 연결된 접지 패턴(44)이 칩 패드(50)를 중심으로 좌측에 형성되어 있다. 이때 제 1 신호 패드(46a)는 전원 영역(41)에 형성된 연결 패드(43)에 제 1 터미네이션 회로선(70a)으로 연결된다. 제 2 신호 패드(46b)는 제 2 전원 패드(41b)에 제 2 터미네이션 회로선(70b)으로 연결된다. 제 1 터미네이션 회로선(70a)은 나선 형태로 형성되고, 제 2 터미네이션 회로선(70b)은 구불구불한 길 형태로 형성되며 접지 패턴(44)이 형성된 영역쪽에 형성된다.

한편 본 실시예에서는 터미네이션 회로선(70a, 70b)이 전원 패턴(41)에 연결된 예를 개시하였지만, 접지 패턴(44)에 연결 할 수도 있고, 전원 패턴(41)과 접지 패턴(44)에 모두 연결할 수도 있다.

그리고 제 2 유전체층(80)은 터미네이션 회로선(70a, 70b)을 덮도록 제 1 유전체층(60) 위에 형성된다. 즉 제 2 유전체층(80)은 칩 패드(50)를 제외한 터미네이션 회로선(70a, 70b)을 포함한 제 1 유전체층(60)을 덮도록 형성된다. 제 2 유전체층(80)은 제 1 유전체층(60)을 형성하는 공정과 동일한 방법으로 형성될 수 있다.

도 7에 도시된 바와 같이, 반도체 기판의 활성면(32) 내에 터미네이션 회로(70)를 온/오프(On/Off)하기 위한 제어 스위치(48)가 있을 경우, 터미네이션 회로(70)의 일단은 제어 스위치의 단자(49)에 연결된다. 이때 제어 스위치 단자(49)는 칩 패드와 같이 활성면(32)에 노출된 스위치 패드로 형성되어 터미네이션 회로(70)의 일단과 연결되거나, 제 1 유전체층과 비활성층을 관통하는 비아를 통하여 노출된 제어 스위치 단자(49)에 터미네이션 회로(70)의 일단이 연결될 수 있다.

본 실시예에서는 터미네이션 회로선이 단일 금속층으로 형성된 예를 개시하였지만, 도 8에 도시된 바와 같이, 접지층 또는 전원층을 포함하여 2층 이상의 금속층으로 형성될 수 있다.

도 8을 참조하면, 반도체 소자는(200)는 비활성층(134) 위에 터미네이션 회로선(170a)을 포함하여 금속층이 다층으로 형성된다.

이때 터미네이션 회로선(170a)이 다층으로 형성된 경우, 안정적인 전원 공급과 노이즈 차폐효과를 항상시키기 위해서 적어도 한 층 이상을 전원/접지층으로 사용할 수도 있다. 본 실시예에서는 제 2 유전체층(180) 위에 접지층(170c)이 형성된 예를 개시하였고, 접지층(170c)은 제 3 유전체층(190)에 덮여 보호된다. 제 1 유전체층(160)과 제 2 유전체층(180) 사이에 터미네이션 회로선(170a)이 형성되어 있다.

그리고 도시되지는 않았지만, 제 2 유전체층(180)과 제 3 유전체층(190) 사이에 터미네이션 회로선 또는 전원층이 함께 형성될 수 있다. 이때 전원층과 접지층은 서로 격리되게 형성된다.

한편, 본 명세서와 도면에 개시된 본 발명의 실시예들은 이해를 돋기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

## 발명의 효과

따라서, 본 발명의 구조를 따르면 터미네이션 회로선이 반도체 소자의 활성면 전면을 이용하여 웨이퍼 레벨 재배선 공정으로 형성할 수 있기 때문에, 영역에 대한 문제가 거의 없으므로 요구되는 저항값과 인덕턴스값을 쉽게 구현할 수 있다.

터미네이션 회로선은 사진 공정에 기초하여 형성되기 때문에, 그 단면적과 길이를 매우 정확하게 제어하는 것이 가능하고, 금속에 따른 전도도의 변화도 일정한 값을 유지하도록 할 수 있기 때문에, 공정 변화 등에 의한 저항값과 인덕턴스값의 변화를 최소화할 수 있다.

이로 인해 공정에 따른 변화가 거의 없는 터미네이션 회로값을 형성할 수 있기 때문에, 고속 디지털 반도체 소자에 대한 우수한 시그널 인테그리티의 확보가 가능하다. 아울러 터미네이션 회로선은 저유전율의 두꺼운 유전체층 위에 형성되기 때문에, 터미네이션 회로선이 가지는 기생 캐패시턴스를 최소화할 수 있어 우수한 시그널 인테그리티 확보에 보다 유리하다.

그리고 터미네이션 회로선이 다층으로 형성될 경우, 적어도 한 층을 접지층 또는 전원층으로 형성함으로써, 안정적인 전원 공급과 노이즈 차폐효과를 향상시킬 수 있는 장점도 있다.

#### (57) 청구의 범위

##### 청구항 1.

전원/접지 패턴 및 신호 패턴을 포함하는 회로 배선층이 형성된 반도체 기판과;

상기 반도체 기판의 활성면을 덮는 비활성층과;

상기 비활성층을 덮는 제 1 유전체층과;

상기 제 1 유전층 위에 웨이퍼 레벨 재배선 공정에 의해 금속선으로 길게 형성되며, 상기 제 1 유전체층과 상기 비활성층을 관통하여 일단은 상기 신호 패턴에 연결되고 타단은 전원/접지 패턴에 연결되는 다수개의 터미네이션 회로선과;

상기 터미네이션 회로선을 덮는 제 2 유전체층;을 포함하는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

##### 청구항 2.

제 1항에 있어서, 상기 터미네이션 회로선은 구불구불한 길(meander), 나선(spiral) 또는 솔레노이드(solenoid) 형태로 형성된 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

##### 청구항 3.

제 2항에 있어서, 상기 전원/접지 패턴은 상기 활성면에 노출되는 전원/접지 패드들을 포함하고, 상기 신호 패턴은 상기 활성면에 노출되는 신호 패드들을 포함하며,

상기 전원/접지 패드들과 상기 신호 패드들은 제 2 유전체층 밖으로 노출되는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

##### 청구항 4.

제 3항에 있어서, 상기 터미네이션 회로선들 중에는 일단은 상기 신호 패드에 연결되고, 타단은 상기 전원/접지 패드에 연결되는 적어도 하나 이상의 터미네이션 회로선이 포함되어 있는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

##### 청구항 5.

제 3항에 있어서, 상기 터미네이션 회로선들 중에는 일단은 상기 신호 패드에 연결되고, 타단은 상기 전원/접지 패드 외측의 상기 전원/접지 패턴에 연결되는 적어도 하나 이상의 터미네이션 회로선이 포함되어 있는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

**청구항 6.**

제 5항에 있어서, 상기 전원/접지 패턴은 상기 터미네이션 회로선의 타단이 연결되며, 상기 활성면에 노출된 연결 패드를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

**청구항 7.**

제 1항에 있어서, 상기 신호 패턴은 터미네이션 제어 스위치를 포함하며, 상기 터미네이션 회로선들 중에는 일단이 상기 제어 스위치의 단자에 연결되는 적어도 하나 이상의 터미네이션 회로선을 포함하는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

**청구항 8.**

제 7항에 있어서, 상기 제어 스위치의 단자는 상기 활성면에 노출된 패드인 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

**청구항 9.**

제 8항에 있어서, 상기 제 1 유전체층과 상기 비활성층을 관통하는 비아를 통하여 노출된 상기 제어 스위치 단자에 상기 터미네이션 회로선의 일단이 연결되는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

**청구항 10.**

제 1항에 있어서, 상기 제 1 유전체층은 적어도 수  $\mu\text{m}$  두께로 형성되는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

**청구항 11.**

내부에 전원 패턴, 접지 패턴, 신호 패턴을 포함하는 회로 배선층이 형성된 반도체 기판과;

상기 회로 배선층과 연결되어 상기 반도체 기판의 상부면에 형성된 전원 패드, 접지 패드 및 신호 패드를 포함하는 칩 패드들과;

상기 칩 패드들을 제외한 상기 반도체 기판의 활성면을 덮는 비활성층과;

상기 칩 패드들이 노출되게 상기 비활성층을 덮는 다수의 유전체층과;

상기 유전체층들 사이에 웨이퍼 레벨 공정에 의해 금속선으로 길게 형성되며, 일단은 상기 신호 패드에 연결되고 타단은 전원 패턴 또는 접지 패턴에 연결되는 다수개의 터미네이션 회로선;을 포함하는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

**청구항 12.**

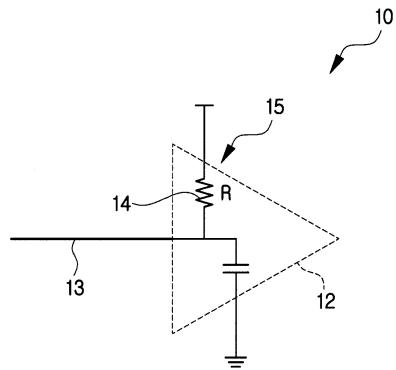
제 11항에 있어서, 상기 유전체층은 적어도 3층 이상으로 형성되며, 상기 유전체층들 사이에 다층으로 상기 터미네이션 회로선이 형성된 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

### 청구항 13.

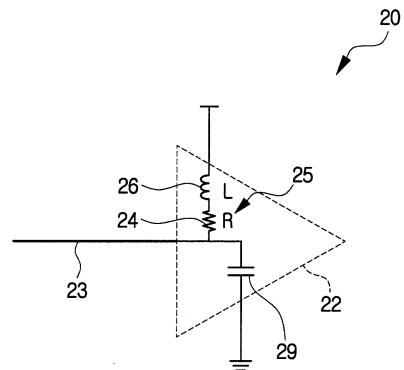
제 12항에 있어서, 상기 유전체층 사이에 적어도 한 층 이상이 접지층 또는 전원층으로 사용되는 것을 특징으로 하는 웨이퍼 레벨 재배선 공정으로 형성된 터미네이션 회로선을 갖는 반도체 소자.

**도면**

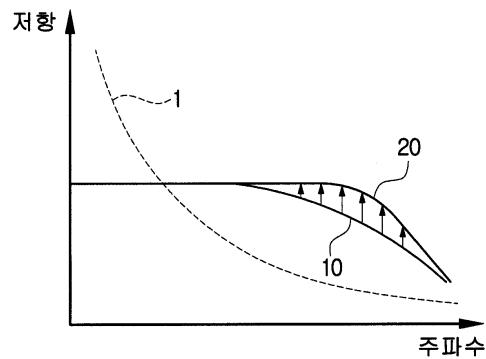
도면1



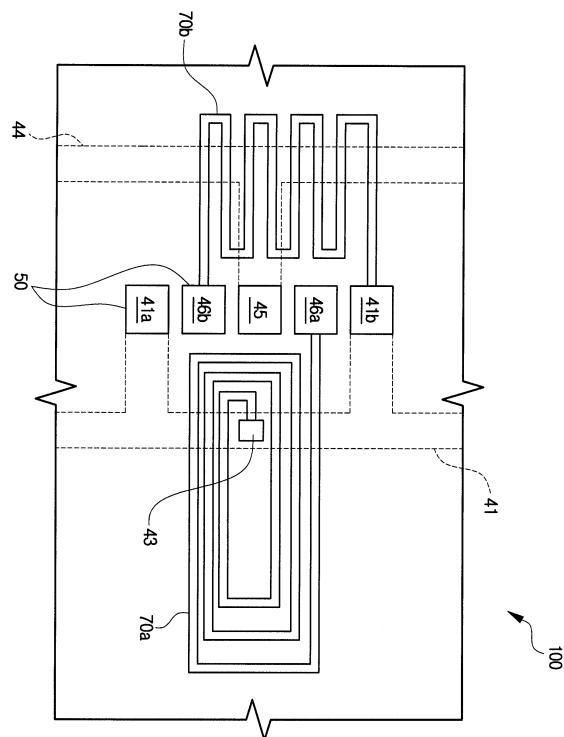
도면2



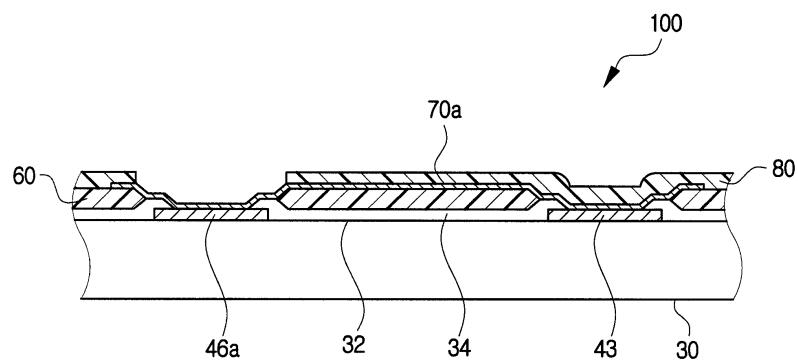
도면3



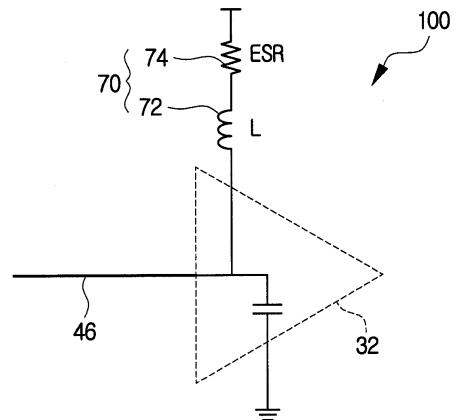
도면4



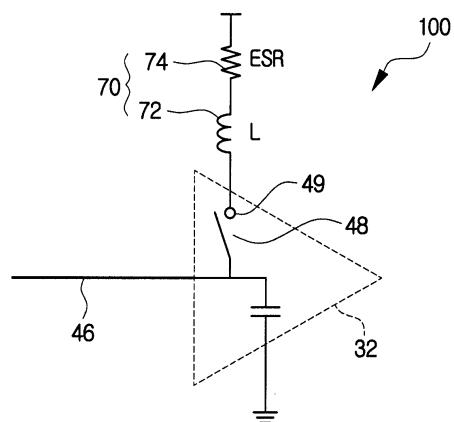
도면5



도면6



도면7



도면8

