(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119586340 A
(43)申请公布日 2025.03.07

(21)申请号 202380055078.0

(22)申请日 2023.07.20

(30)优先权数据
2022-123469 2022.08.02 JP
2022-143801 2022.09.09 JP

(85)PCT国际申请进入国家阶段日
2025.01.20

(86)PCT国际申请的申请数据
PCT/IB2023/057379 2023.07.20

(87)PCT国际申请的公布数据
WO2024/028682 JA 2024.02.08

(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县

(72)发明人 山崎舜平 木村肇 小林英智
松崎隆德 冈本佑树 井上广树

(74)专利代理机构 上海专利商标事务所有限公司 31100
专利代理师 俞丹

(51)Int.Cl.
H10B 12/00(2023.01)
G11C 5/04(2006.01)
G11C 11/405(2006.01)
H10D 30/01(2025.01)
H10D 84/03(2025.01)
H10D 84/80(2025.01)
H10D 84/83(2025.01)
H10D 30/67(2025.01)
H10D 30/68(2025.01)
H10D 30/69(2025.01)
H10B 10/10(2023.01)
H10B 41/70(2023.01)
H10B 63/00(2023.01)
H10B 63/10(2023.01)
H10B 99/00(2023.01)
H10N 70/00(2023.01)
H10N 99/00(2023.01)

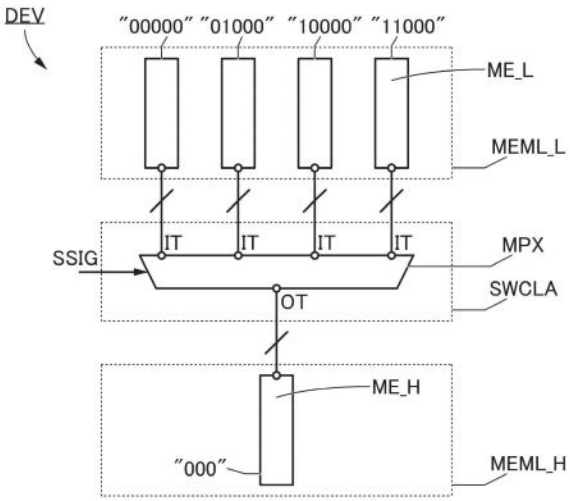
权利要求书3页 说明书63页 附图41页

(54)发明名称

半导体装置以及电子设备

(57)摘要

提供一种存取速度快的半导体装置。半导体装置包括第一存储层、第二存储层以及电路层。第一存储层包括多个第一存储电路,第二存储层包括第二存储电路,电路层包括选择器。选择器包括多个输入端子及输出端子。第一存储层位于电路层的下方,第二存储层位于电路层的上方。多个第一存储电路都与多个输入端子电连接,第二存储电路与输出端子电连接。选择器具有使选自多个输入端子中的一个与选择器的输出端子间成为导通状态的功能。另外,半导体装置具有将从第二存储电路读出的数据通过选择器写入到第一存储电路的功能。



CN 119586340 A

1.一种半导体装置,包括:

第一存储层;

第二存储层;以及

电路层,

其中,所述第一存储层包括多个第一存储电路,

所述第二存储层包括第二存储电路,

所述电路层包括选择器,

所述选择器包括多个输入端子及输出端子,

所述第一存储层位于所述电路层的下方,

所述第二存储层位于所述电路层的上方,

所述多个第一存储电路都与所述多个输入端子电连接,

所述第二存储电路与所述输出端子电连接,

所述选择器具有使选自所述多个输入端子中的一个与所述输出端子间成为导通状态的功能,

并且,所述半导体装置具有将从所述第二存储电路读出的数据通过所述选择器写入到所述第一存储电路的功能。

2.根据权利要求1所述的半导体装置,还包括:

包含硅的半导体衬底,

其中所述第一存储层位于所述半导体衬底上,

所述第一存储电路包括第一晶体管,

并且所述第一晶体管在沟道形成区域中含有所述硅。

3.根据权利要求2所述的半导体装置,

其中所述第二存储电路包括第二晶体管,

所述第二晶体管在沟道形成区域中含有金属氧化物,

所述金属氧化物包含选自铟、锌和元素M中的一个或多个,

并且所述元素M为选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、钴、镁和锑中的一个或多个。

4.根据权利要求3所述的半导体装置,

其中所述数据为1位、2位、4位、8位、16位、32位、64位、128位和256位中的任一个。

5.根据权利要求4所述的半导体装置,

其中所述第一存储电路与所述第二存储电路不通过系统总线连接。

6.一种半导体装置,包括:

第一存储层;

第二存储层;以及

电路层,

其中,所述第一存储层包括多个第一存储电路,

所述第二存储层包括第二存储电路,

所述第二存储电路包括电容器及第二晶体管,

所述电容器包括第一导电体、第二导电体、第一绝缘体及第二绝缘体,

所述第二晶体管包括所述第二导电体、第三导电体、第四导电体、第三绝缘体、第四绝缘体及金属氧化物，

所述电路层包括选择器，

所述选择器包括多个输入端子及输出端子，

所述第一存储层位于所述电路层的下方，

所述第二存储层位于所述电路层的上方，

所述第一绝缘体包括第一开口，

所述第一导电体位于所述第一开口的侧面及底面以及所述第一绝缘体的顶面，

所述第二绝缘体位于所述第一绝缘体的顶面以及所述第一导电体的顶面，

所述第二导电体位于所述第二绝缘体的顶面中的与所述第一导电体重叠的区域，

所述第三绝缘体位于所述第二导电体的顶面，

所述第三导电体位于所述第三绝缘体的顶面，

所述第三绝缘体及所述第三导电体包括第二开口，

所述金属氧化物位于所述第二开口的侧面、所述第二导电体的顶面以及所述第三导电体的顶面，

所述第四绝缘体位于所述金属氧化物的顶面以及所述第三导电体的顶面，

所述第四导电体位于所述第四绝缘体的顶面中的与所述金属氧化物重叠的区域，

所述多个第一存储电路都与所述多个输入端子电连接，

所述第三导电体与所述输出端子电连接，

所述选择器具有使选自所述多个输入端子中的一个与所述输出端子间成为导通状态的功能，

并且,所述半导体装置具有将从所述第二存储电路读出的数据通过所述选择器写入到所述第一存储电路的功能。

7.根据权利要求6所述的半导体装置，

所述金属氧化物包含选自铟、锌和元素M中的一个或多个，

并且所述元素M为选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、钴、镁和锑中的一个或多个。

8.根据权利要求7所述的半导体装置,还包括：

包含硅的半导体衬底，

其中所述第一存储层位于所述半导体衬底上，

所述第一存储电路包括第一晶体管，

并且所述第一晶体管在沟道形成区域中含有所述硅。

9.根据权利要求8所述的半导体装置，

其中所述第二绝缘体包含含有选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁中的一个或多个的氧化物。

10.根据权利要求9所述的半导体装置，

其中所述数据为1位、2位、4位、8位、16位、32位、64位、128位和256位中的任一个。

11.根据权利要求10所述的半导体装置，

其中所述第一存储电路与所述第二存储电路不通过系统总线连接。

12.一种电子设备,包括:

权利要求1至11中任一项所述的半导体装置;以及

框体。

半导体装置以及电子设备

技术领域

[0001] 本发明的一个方式涉及一种半导体装置及电子设备。

[0002] 此外,本发明的一个方式不限定于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、工作方法或制造方法。此外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。因此,具体而言,作为本说明书所公开的本发明的一个方式的技术领域的例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、信号处理装置、传感器、处理器、电子设备、系统、它们的驱动方法、它们的制造方法或它们的检查方法。

背景技术

[0003] 近年来,随着使用数据量的增大,需要具有更大的存储容量的存储装置。为了增加单位面积的存储容量,像3D NAND型存储装置等那样层叠存储单元是有效的(参照专利文献1至专利文献3)。通过层叠存储单元,可以与存储单元的层叠数相应地增加单位面积的存储容量。

[先行技术文献]

[专利文献]

[0004] [专利文献1]美国专利申请公开第2011/0065270号说明书

[专利文献2]美国专利申请公开第2016/0149004号说明书

[专利文献3]美国专利申请公开第2013/0069052号说明书

发明内容

发明所要解决的技术问题

[0005] 应用于计算机的高速缓冲存储器、主存储器等的存储装置被要求具有如下特征:存取所需的时间较短,换言之,例如,写入速度及读出速度较快。例如,SRAM(Static Random Access Memory:静态随机存取存储器)、DRAM(Dynamic Random Access Memory:动态随机存取存储器)因存取时间(有时称为延迟时间、潜伏时间(latency)等)大约为数ns至数十ns而被用作计算机的高速缓冲存储器、主存储器等。

[0006] 包括在CPU(Central Processing Unit:中央处理器)等处理器中的位于存储层次的上级的存储装置诸如寄存器及高速缓冲存储器等的存储容量比位于存储层次的下级的存储装置小,所以有时寄存器或高速缓冲存储器中不储存有所需的数据(有时将其称为高速缓冲未命中(cache miss))。在发生高速缓冲未命中时,处理器存取位于存储层次的下级的存储装置而取得所需的数据(有时将其称为高速缓冲未命中损失(cache miss penalty))。处理器与位于存储层次的下级的存储装置通过总线交换数据。注意,通过总线从CPU存取位于存储层次的下级的存储装置的速度慢,这易于影响到处理器的工作速度。

[0007] 本发明的一个方式的目的之一是提供一种存取速度快的半导体装置。此外,本发明的一个方式的目的之一是提供一种功耗得到降低的半导体装置。此外,本发明的一个方

式的目的之一是提供一种电路面积小的半导体装置。此外,本发明的一个方式的目的之一是提供一种包括上述半导体装置的电子设备。此外,本发明的一个方式的目的之一是提供一种新颖的半导体装置或新颖的电子设备。

[0008] 注意,本发明的一个方式的目的不局限于上述目的。上述列举的目的并不妨碍其他目的的存在。此外,其他目的是上面没有提到而将在下面的记载中进行说明的目的。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上面没有提到的目的。此外,本发明的一个方式实现上述目的及其他目的中的至少一个目的。此外,本发明的一个方式并不需要实现所有的上述目的及其他目的。

解决技术问题的手段

[0009] (1)

本发明的一个方式是一种半导体装置,包括第一存储层、第二存储层以及电路层。第一存储层包括多个第一存储电路,第二存储层包括第二存储电路,电路层包括选择器。选择器包括多个输入端子及输出端子。第一存储层位于电路层的下方,第二存储层位于电路层的上方。多个第一存储电路都与多个输入端子电连接,第二存储电路与输出端子电连接。选择器具有使选自多个输入端子中的一个与输出端子间成为导通状态的功能。另外,半导体装置具有将从第二存储电路读出的数据通过选择器写入到第一存储电路的功能。

[0010] (2)

另外,在具有上述(1)的结构的本发明的一个方式中,也可以还包括包含硅的半导体衬底。尤其是,第一存储层优选位于半导体衬底上,第一存储电路优选包括第一晶体管。注意,第一晶体管在沟道形成区域中含有硅。

[0011] (3)

另外,在具有上述(2)的结构的本发明的一个方式中,第二存储电路也可以包括第二晶体管。尤其是,第二晶体管优选在沟道形成区域中含有金属氧化物。

[0012] 金属氧化物包含选自铟、锌和元素M中的一个或多个。另外,元素M为选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、钴、镁和锑中的一个或多个。

[0013] (4)

另外,在具有上述(3)的结构的本发明的一个方式中,数据也可以为1位、2位、4位、8位、16位、32位、64位、128位和256位中的任一个。

[0014] (5)

另外,在具有上述(4)的结构的本发明的一个方式中,也可以具有第一存储电路与第二存储电路不通过系统总线连接的结构。

[0015] (6)

本发明的一个方式是一种半导体装置,包括第一存储层、第二存储层以及电路层。第一存储层包括多个第一存储电路,第二存储层包括第二存储电路,电路层包括选择器。第二存储电路包括电容器及第二晶体管。电容器包括第一导电体、第二导电体、第一绝缘体及第二绝缘体,第二晶体管包括第二导电体、第三导电体、第四导电体、第三绝缘体、第四绝缘体及金属氧化物。选择器包括多个输入端子及输出端子,第一存储层位于电路层的下方,第二存储层位于电路层的上方。

[0016] 第一绝缘体包括第一开口。第一导电体位于第一开口的侧面及底面以及第一绝缘体的顶面。第二绝缘体位于第一绝缘体的顶面以及第一导电体的顶面。第二导电体位于第二绝缘体的顶面中的与第一导电体重叠的区域。第三绝缘体位于第二导电体的顶面,第三导电体位于第三绝缘体的顶面。第三绝缘体及第三导电体包括第二开口。金属氧化物位于第二开口的侧面、第二导电体的顶面以及第三导电体的顶面。第四绝缘体位于金属氧化物的顶面以及第三导电体的顶面。第四导电体位于第四绝缘体的顶面中的与金属氧化物重叠的区域。

[0017] 多个第一存储电路都与多个输入端子电连接,第三导电体与输出端子电连接。选择器具有使选自多个输入端子中的一个与输出端子间成为导通状态的功能。另外,半导体装置具有将从第二存储电路读出的数据通过选择器写入到第一存储电路的功能。

[0018] (7)

另外,在具有上述(6)的结构的本发明的一个方式中,金属氧化物也可以包含选自铟、锌和元素M中的一个或多个。

[0019] 元素M为选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、钴、镁和锑中的一个或多个。

[0020] (8)

另外,在具有上述(7)的结构的本发明的一个方式中,也可以还包括包含硅的半导体衬底。尤其是,第一存储层优选位于半导体衬底上,第一存储电路优选包括第一晶体管。注意,第一晶体管在沟道形成区域中含有硅。

[0021] (9)

另外,在具有上述(8)的结构的本发明的一个方式中,第二绝缘体也可以包含含有选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁中的一个或多个的氧化物。

[0022] (10)

另外,在具有上述(9)的结构的本发明的一个方式中,数据也可以为1位、2位、4位、8位、16位、32位、64位、128位和256位中的任一个。

[0023] (11)

另外,在具有上述(10)的结构的本发明的一个方式中,也可以具有第一存储电路与第二存储电路不通过系统总线连接的结构。

[0024] (12)

另外,本发明的一个方式是一种电子设备,包括上述(1)至(11)中的任一个半导体装置以及框体。

发明效果

[0025] 根据本发明的一个方式,可以提供一种存取速度快的半导体装置。此外,根据本发明的一个方式,可以提供一种功耗得到降低的半导体装置。此外,根据本发明的一个方式,可以提供一种电路面积小的半导体装置。此外,根据本发明的一个方式,可以提供一种包括上述半导体装置的电子设备。此外,根据本发明的一个方式,可以提供一种新颖的半导体装置或新颖的电子设备。

[0026] 注意,本发明的一个方式的效果不局限于上述效果。上述列举的效果并不妨碍其他效果的存在。此外,其他效果是上面没有提到而将在下面的记载中进行说明的效果。本领

域技术人员可以从说明书或附图等的记载中导出并适当抽出上面没有提到的效果。此外，本发明的一个方式具有上述效果及其他效果中的至少一个效果。因此，本发明的一个方式有时根据情况没有上述列举的效果。

附图简要说明

[0027] 图1A是示出半导体装置的结构例子的立体示意图，图1B是示出半导体装置的结构例子的方框图。

图2是说明与包括在计算机中的各种存储装置相关联的存储层次的概念图。

图3是示出半导体装置的结构例子的立体示意图。

图4是示出半导体装置的结构例子的立体示意图。

图5是示出半导体装置的结构例子的方框图。

图6是示出半导体装置的结构例子的方框图。

图7是示出半导体装置的结构例子的电路图。

图8A及图8B是示出半导体装置的结构例子的电路图。

图9是示出半导体装置的结构例子的方框图。

图10是示出半导体装置的结构例子的电路图。

图11是示出半导体装置的结构例子的电路图。

图12是示出半导体装置的结构例子的方框图。

图13是示出半导体装置的结构例子的方框图。

图14是示出半导体装置的结构例子的电路图。

图15是说明存储装置的结构例子的立体示意图。

图16是示出半导体装置的结构例子的方框图。

图17是示出半导体装置所包括的存储电路的结构例子的方框图。

图18A至图18E是示出半导体装置所包括的存储单元的结构例子的电路图。

图19A至图19C是示出半导体装置所包括的存储单元的结构例子的电路图。

图20A及图20B是示出半导体装置所包括的存储单元的结构例子的电路图。

图21是说明半导体装置的结构例子的截面示意图。

图22是说明半导体装置的结构例子的截面示意图。

图23A及图23B是示出半导体装置所包括的晶体管的结构例子的截面示意图。

图24是示出半导体装置所包括的晶体管的结构例子的截面示意图。

图25是说明半导体装置所包括的电容器的结构例子的截面示意图。

图26是说明半导体装置的结构例子的截面示意图。

图27A至图27C是示出半导体装置所包括的晶体管的结构例子的平面图，图27D是示出半导体装置所包括的晶体管的结构例子的截面图。

图28A是示出半导体装置所包括的晶体管的结构例子的平面图，图28B是示出半导体装置所包括的晶体管的结构例子的截面图。

图29A及图29B是示出电子构件的一个例子的图。

图30A及图30B是示出电子设备的一个例子的图，图30C至图30E是示出大型计算机的一个例子的图。

图31是示出太空设备的一个例子的图。

图32是示出可用于数据中心的存储系统的一个例子的图。

图33A是示出显示装置的结构例子的立体示意图,图33B是示出显示装置的结构例子的方框图。

图34是示出显示装置所包括的像素电路的结构例子的电路图。

图35是示出显示装置所包括的叠层结构的结构例子的立体示意图。

图36A至图36I是示出电子设备的一个例子的立体图。

实施发明的方式

[0028] 在本说明书等中,半导体装置是指利用半导体特性的装置以及包括半导体元件(例如,晶体管、二极管、光电二极管)的电路及包括该电路的装置等。此外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,集成电路、具有集成电路的芯片及封装中容纳有芯片的电子构件都是半导体装置的一个例子。此外,例如,存储装置、显示装置、发光装置、照明装置以及电子设备有时本身是半导体装置,或者有时包括半导体装置。

[0029] 此外,在本说明书等中,当记载为“X与Y连接”时,表示在本说明书等中公开了如下情况:X与Y电连接的情况;X与Y在功能上连接的情况;以及X与Y直接连接的情况。因此,不局限于附图或文中所示的连接关系,例如其他的连接关系也在附图或文中所记载的范围内。X、Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜或层)。

[0030] 作为X和Y电连接的情况的一个例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示器件、发光器件、负载等)。此外,开关具有控制开启或关闭的功能。换言之,通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。

[0031] 此外,在X与Y之间配置有元件和电源线(例如,VDD(高电源电位)、VSS(低电源电位)、GND(接地电位)或供应所希望的电位的布线)的双方的情况下,不可以说X与Y电连接。此外,在X与Y之间只配置有电源线的情况下,在X与Y之间没有其他元件,由此可以说X与Y直接连接。因此,在X与Y之间只配置有电源线的情况下,也可以说“X与Y电连接”。但是,在X与Y之间配置有元件和电源线的双方的情况下,可以说X与电源线(通过元件)电连接且Y与电源线电连接,而不可以说X与Y电连接。此外,在晶体管的栅极及源极介于X与Y之间的情况下,不可以说X与Y电连接。此外,在晶体管的栅极及漏极介于X与Y之间的情况下,不可以说X与Y电连接。也就是说,关于晶体管,在晶体管的漏极及源极介于X与Y之间的情况下,可以说X与Y电连接。此外,在X与Y之间配置有电容器的情况下,有时可以说X与Y电连接,也有时不可以说X与Y电连接。例如,在数字电路或逻辑电路的结构中,在X与Y之间配置有电容器的情况下,有时不可以说X与Y电连接。另一方面,例如,在模拟电路的结构中,在X与Y之间配置有电容器的情况下,有时可以说X与Y电连接。

[0032] 作为X与Y在功能上连接的情况的一个例子,例如可以在X与Y之间连接有一个以上的能够在功能上连接X与Y的电路(例如,逻辑电路(例如,反相器、NAND电路、NOR电路)、信号转换电路(例如,数字模拟转换电路、模拟数字转换电路、伽马校正电路)、电位电平转换电路(例如,(升压电路、降压电路等电源电路)、改变信号的电位电平的电平转移电路)、电压源、电流源、切换电路、放大电路(例如,能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,就可以说X与Y在功能上是

连接着的。

[0033] 此外,当明确地记载为“X与Y电连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);以及X与Y直接连接的情况(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。

[0034] 此外,例如可以表现为“X、Y、晶体管的源极(有时换称为第一端子和第二端子中的一方)与晶体管的漏极(有时换称为第一端子和第二端子中的另一方)相互电连接,X、晶体管的源极、晶体管的漏极、Y依次电连接”。或者,可以表现为“晶体管的源极与X电连接,晶体管的漏极与Y电连接,X、晶体管的源极、晶体管的漏极、Y依次电连接”。或者,可以表现为“X通过晶体管的源极及漏极与Y电连接,X、晶体管的源极、晶体管的漏极、Y依次设置为相互连接”。通过使用与这些例子相同的表现方法规定电路结构中的连接顺序,可以区别晶体管的源极与漏极而决定技术范围。注意,这种表现方法是一个例子,不局限于上述表现方法。在此,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜或层等)。

[0035] 此外,即使在电路图上独立的构成要素彼此电连接,也有时一个构成要素兼有多个构成要素的功能。例如,在布线的一部分用作电极时,一个导电膜兼有布线和电极的两个功能。因此,本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0036] 在本说明书等中,“电阻器”例如可以为具有高于0Ω的电阻值的电路元件或者具有高于0Ω的电阻值的布线。因此,在本说明书等中,“电阻器”包括具有电阻值的布线、电流流过源极和漏极之间的晶体管、二极管或线圈。因此,“电阻器”有时可以换称为“电阻”、“负载”或“具有电阻值的区域”。相对于此,“电阻”、“负载”或“具有电阻值的区域”等有时可以换称为“电阻器”。作为电阻值,例如优选为1mΩ以上且10Ω以下,更优选为5mΩ以上且5Ω以下,进一步优选为10mΩ以上且1Ω以下。此外,例如也可以为1Ω以上且1×10^{9}Ω以下。

[0037] 在本说明书等中,“电容器”例如可以为具有高于0F的静电电容值的电路元件、具有高于0F的静电电容值的布线的区域、寄生电容或晶体管的栅极电容。此外,“电容器”、“寄生电容”或“栅极电容”等有时可以换称为“电容”。相对于此,“电容”有时可以换称为“电容器”、“寄生电容”或“栅极电容”。此外,“电容”(包括三个以上的端子的“电容”)包括绝缘体及夹持该绝缘体的一对导电体。由此,“电容”的“一对导电体”可以换称为“一对电极”、“一对导电区域”、“一对区域”或“一对端子”。此外,“一对端子中的一个”及“一对端子中的另一个”有时分别被称为第一端子及第二端子。此外,静电电容值例如可以为0.05fF以上且10pF以下。此外,例如,还可以为1pF以上且10μF以下。

[0038] 在本说明书等中,晶体管包括栅极、源极以及漏极这三个端子。栅极被用作控制晶体管的导通状态的控制端子。用作源极或漏极的两个端子是晶体管的输入输出端子。根据晶体管的导电型(n沟道型或p沟道型)及对晶体管的三个端子施加的电位的高低,两个输入输出端子中的一方用作源极而另一方用作漏极。因此,在本说明书等中,源极和漏极可以相互调换。在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。此外,根据晶体管的结构,有时除了上述三个端子以外还包括背栅极。在此情况下,在本说明书等中,有时将晶体管的栅极和背栅极中的一方称为第一栅极,将晶体管的栅极和背栅极的另一方称为第二栅极。并且,在相同晶体管中,有时可以将“栅极”与“背栅极”相互调换。此外,在晶体

管包括三个以上的栅极时,在本说明书等中,有时将各栅极称为第一栅极、第二栅极、第三栅极等。

[0039] 例如在本说明书等中,作为晶体管的一个例子可以采用具有两个以上的栅电极的多栅结构晶体管。当采用多栅结构时,由于将沟道形成区域串联连接,所以成为多个晶体管串联连接的结构。因此,通过采用多栅结构,可以降低关态电流(off-state current),并能够提高晶体管的耐压性(提高可靠性)。或者,通过利用多栅结构,当晶体管在饱和区域工作时,即便漏极-源极间的电压发生变化,漏极-源极间电流的变化也不太大,从而可以得到倾斜角平坦的电压-电流特性。当利用倾斜角平坦的电压-电流特性时,可以实现理想的电流源电路或电阻值极高的有源负载。其结果是,可以实现特性良好的差动电路或电流反射镜电路等。

[0040] 此外,电路图示出一个电路元件的情况有时包括该电路元件具有多个电路元件的情况。例如,电路图示出一个电阻的情况包括两个以上的电阻串联连接的情况。此外,例如,电路图示出一个电容的情况包括两个以上的电容并联连接的情况。此外,例如,电路图示出一个晶体管的情况包括两个以上的晶体管串联连接且各晶体管的栅极彼此电连接的情况。同样,例如,电路图示出一个开关的情况包括该开关具有两个以上的晶体管,两个以上的晶体管串联电连接或者并联电连接并且各晶体管的栅极彼此电连接的情况。

[0041] 此外,在本说明书等中,节点也可以根据电路结构及器件结构等称为端子、布线、电极、导电层、导电体或杂质区域。此外,端子、布线等也可以换称为节点。

[0042] 此外,在本说明书等中,选择器有时例如是指如下电路:包括多个输入端子及一个输出端子,并且从多个输入端子中选择一个并使被选择的输入端子与一个输出端子之间成为导通状态。换言之,选择器有时是指如下电路:从输入到多个输入端子的每一个的输入信号中选择一个并将被选择的输入信号输出到输出端子。或者,选择器有时例如是指如下电路:包括多个输出端子及一个输入端子,并且从多个输出端子中选择一个并使被选择的输出端子与一个输入端子之间成为导通状态。换言之,选择器有时是指如下电路:从多个输出端子中选择一个并将输入到输入端子的输入信号输出到被选择的输出端子。也就是说,选择器有时是指多路复用器或多路分配器。

[0043] 此外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。地电位不一定意味着0V。此外,电位是相对性的,根据基准电位的变化而供应到布线的电位、施加到电路等的电位、从电路等输出的电位等也产生变化。

[0044] 此外,在本说明书等中,“高电平电位”及“低电平电位”不意味着特定的电位。例如,在两个布线都被记为“用作供应高电平电位的布线”的情况下,两个布线所供应的高电平电位也可以互不相同。同样,在两个布线都被记为“用作供应低电平电位的布线”的情况下,两个布线所供应的低电平电位也可以互不相同。

[0045] 此外,“电流”是指电荷的迁移现象(导电),例如,“发生正带电体的导电”的记载可以替换为“在与其相反方向上发生负带电体的导电”的记载。因此,在本说明书等中,在没有特别的说明的情况下,“电流”是指载流子迁移时的电荷的迁移现象(导电)。在此,作为载流子例如可以举出电子、空穴、阴离子、阳离子、络离子等,载流子根据电流流过的系统(例如,半导体、金属、电解液及真空中)不同。此外,布线等中的“电流的方向”是带正电的载流子迁

移的方向,以正电流量记载。换言之,带负电的载流子迁移的方向与电流方向相反,以负电流量记载。因此,在本说明书等中,在没有特别的说明的情况下,关于电流的正负(或电流的方向),“电流从元件A向元件B流过”的记载可以替换为“电流从元件B向元件A流过”的记载。此外,“对元件A输入电流”的记载可以替换为“从元件A输出电流”的记载。

[0046] 此外,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。例如,在本说明书等中,一个实施方式中的“第一”构成要素有可能在其他实施方式或权利要求书中被称为“第二”构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书中被省略。

[0047] 在本说明书等中,为了方便起见,有时使用“上”、“下”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书等中所说明的词句,根据情况可以适当地换词句。例如,如果是“位于导电体的顶面的绝缘体”的表述,通过将所示的附图的方向旋转180度,则可以换称为“位于导电体的底面的绝缘体”。

[0048] 此外,“上”或“下”这样的术语不限定于构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,如果是“绝缘层A上的电极B”的表述,则不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。此外,同样,例如,如果是“绝缘层A上方的电极B”的表述,则不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。此外,同样,例如,如果是“绝缘层A下方的电极B”的表述,则不一定必须在绝缘层A下直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。

[0049] 此外,在本说明书等中,有时为了说明配置为矩阵状的构成要素及其位置关系而使用“行”及“列”等词句。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书等中所说明的词句,根据情况可以适当地换词句。例如,通过将附图的方向旋转90度,有时可以将“行方向”的表述换称为“列方向”。

[0050] 此外,在本说明书等中,根据状况,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。此外,根据情况或状况,可以使用其他词句代替“膜”和“层”等词句。例如,有时可以将“导电层”或“导电膜”变换为“导电体”。此外,例如有时可以将“绝缘层”或“绝缘膜”变换为“绝缘体”。

[0051] 注意,在本说明书等中,“电极”、“布线”及“端子”的词句不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”等词句还包括多个“电极”或“布线”形成为一体的情况等。此外,例如,有时将“端子”用作“布线”或“电极”的一部分,反之亦然。再者,“端子”的词句还包括选自“电极”、“布线”及“端子”中的一个以上被形成为一体的情况等。因此,例如,“电极”可以为“布线”或“端子”的一部分,例如,“端子”可以为“布线”或“电极”的一部分。此外,“电极”、“布线”或“端子”等的词句根据情况有时替换为“区域”等的词句。

[0052] 在本说明书等中,根据情况或状况,可以互相调换“布线”、“信号线”或“电源线”等词句。例如,有时可以将“布线”变换为“信号线”。此外,例如有时可以将“布线”变换为“电源线”。反之亦然,有时可以将“信号线”或“电源线”等变换为“布线”。有时可以将“电源线”等

变换为“信号线”。反之亦然,有时可以将“信号线”等变换为“电源线”等。此外,根据情况或状况,有时可以互相将施加到布线的“电位”变换为“信号”。反之亦然,有时可以将“信号”变换为“电位”。

[0053] 此外,在本说明书等中,有时参照时序图说明半导体装置的工作方法。此外,用于本说明书等的时序图示出理想的工作例子,在没有特别说明的情况下,不局限于该时序图所示的期间、信号(例如,电位或电流)的大小以及时序。在本说明书等的时序图中,可以根据状况改变该时序图中的各布线(包括节点)的信号(例如,电位或电流)的大小及时序。例如,即使在时序图中示出相等间隔的两个期间,两个期间的长短有时也不相同。此外,例如,即使示出两个期间中的一个期间长而另一个期间短,两个期间的长短有时也可以相同,或者有时也可以使两个期间中的一个期间短而使另一个期间长。

[0054] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在晶体管的沟道形成区域包含金属氧化物的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物能够构成具有放大作用、整流作用及开关作用中的至少一个的晶体管的沟道形成区域时,可以将该金属氧化物称为金属氧化物半导体(metal oxide semiconductor)。此外,可以将OS晶体管换称为包含金属氧化物或氧化物半导体的晶体管。

[0055] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0056] 此外,在本说明书等中,半导体的杂质是指构成半导体膜的主要成分之外的物质。例如,浓度为低于0.1at.%的元素是杂质。当包含杂质时,选自半导体中的缺陷态密度增高、载流子迁移率降低以及结晶性降低中的一个以上有时发生。在半导体是氧化物半导体时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的过渡金属等,尤其是,例如有氢(包含于水中)、锂、钠、硅、硼、磷、碳、氮等。

[0057] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。因此,开关有时除了控制端子以外还包括使电流流过的两个或三个以上的端子。作为开关的一个例子,可以使用电开关或机械开关等。换而言之,开关只要可以控制电流,就不局限于特定的元件。

[0058] 电开关的例子包括晶体管(例如双极晶体管或MOS晶体管)、二极管(例如PN二极管、PIN二极管、肖特基二极管、金属-绝缘体-金属(MIM:Metal Insulator Metal)二极管、金属-绝缘体-半导体(MIS:Metal Insulator Semiconductor)二极管或者二极管接法的晶体管)或者组合这些元件的逻辑电路。当作为开关使用晶体管时,晶体管的“导通状态”例如是指晶体管的源电极与漏电极在电性上短路的状态或者能够使电流流过源电极与漏电极间的状态等。此外,晶体管的“非导通状态”是指晶体管的源电极与漏电极在电性上断开的状态。当仅将晶体管用作开关时,对晶体管的极性(导电型)没有特别的限制。

[0059] 作为机械开关的例子,可以举出利用了MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过移动该电极来控制导通和非导通而进行工作。

[0060] 在本说明书中,“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此,也包括该角度为-5°以上且5°以下的状态。”大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。此外,“垂直”是指两条直线的角度为80°以上且100°以下的状态。因此,也包括该角度为85°以上且95°以下的状态。”大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

[0061] 此外,在本说明书等中,各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个方式。此外,当在一个实施方式中示出多个结构例子时,可以适当地组合这些结构例子。

[0062] 此外,可以将某一实施方式中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)和另一个或多个其他实施方式中说明的内容(或其一部分)中的至少一个内容。

[0063] 注意,实施方式中说明的内容是指各实施方式中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0064] 此外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)和另一个或多个其他实施方式中示出的附图(或其一部分)中的至少一个附图组合,可以构成更多图。

[0065] 参照附图说明本说明书所记载的实施方式。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。注意,在实施方式中的发明的结构中,有时在不同的附图中共同使用相同的符号来表示相同的部分或具有相同功能的部分,而省略反复说明。在立体图或俯视图等中,为了明确起见,有时省略部分构成要素的图示。

[0066] 在本说明书等中,在多个要素使用同一符号并且需要区分它们时,有时对符号附加“_1”,“[n]”,“[m,n]”等用于识别的符号。此外,在附图等中,在对符号附加“_1”,“[n]”,“[m,n]”等用于识别的符号的情况下,如果不需要在本说明书等中区分它们,有时不附加“_1”,“[n]”,“[m,n]”等用于识别的符号。

[0067] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,而不局限于附图所示的形状或数值等。例如,可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0068] (实施方式1)

在本实施方式中,说明本发明的一个方式的半导体装置。

[0069] 首先,与包括在计算机中的各种存储装置相关联的存储层次的概念。图2示出该存储层次的一个例子,图2所示的存储层次100包括寄存器101、第一高速缓冲存储器102、第二高速缓冲存储器103、主存储器104及辅助存储装置105。

[0070] 寄存器101例如是CPU、GPU(Graphics Processing Unit:图像处理器)等处理器所包括的存储装置。寄存器101具有暂时保持对该处理器所包括的运算电路的输入数据以及通过该运算电路运算的输出数据的功能。另外,寄存器101除了有关该运算电路的数据之外还可以暂时保持根据该处理器所包括的控制装置的数据。

[0071] 寄存器101例如包括触发器电路。

[0072] 第一高速缓冲存储器102例如是存储层次100中位于寄存器101与主存储器104之间的存储装置,尤其具有保持CPU的存取频率高的数据的功能。一般而言,第一高速缓冲存储器102有时被称为一级高速缓冲存储器。

[0073] 第二高速缓冲存储器103例如是存储层次100中位于寄存器101与主存储器104之间的存储装置,具有保持CPU的存取频率仅次于第一高速缓冲存储器102的数据的功能。一般而言,第二高速缓冲存储器103有时被称为二级高速缓冲存储器。

[0074] 第一高速缓冲存储器102及第二高速缓冲存储器103例如包括SRAM。

[0075] 注意,第二高速缓冲存储器103根据计算机并不需要设置在存储层次100中。或者,也可以在存储层次100中设置与第二高速缓冲存储器103相比存取速度更慢且存储容量更大的高速缓冲存储器(有时被称为第三高速缓冲存储器或三级高速缓冲存储器)。也就是说,在存储层次100中也可以包括一个或两个以上的高速缓冲存储器。

[0076] 另外,存储层次100也可以具有第一高速缓冲存储器102及第二高速缓冲存储器103包括在处理器中的结构。此外,存储层次100也可以具有第一高速缓冲存储器102和第二高速缓冲存储器103分别包括在处理器和后述的主存储器104中的结构。

[0077] 主存储器104例如是存储层次100中位于第一高速缓冲存储器102及第二高速缓冲存储器103与辅助存储装置105之间的存储装置,具有通过从包括寄存器101的处理器接收指令信号而直接写入或读出数据的功能。

[0078] 主存储器104例如包括DRAM。

[0079] 辅助存储装置105是存储容量大的存储装置,例如作为辅助存储装置105主要使用非易失性存储装置。作为非易失性存储装置,例如可以举出磁存储介质(例如HDD(Hard Disk Drive:硬盘驱动器)或磁带)或者快闪存储器(例如SSD(Solid State Drive:固态驱动器)或USB存储器)。

[0080] 此外,存储层次100中的主存储器104与辅助存储装置105之间也可以设置有被称为磁盘高速缓存的存储装置。通过在主存储器104与辅助存储装置105之间设置磁盘高速缓存,可以提高主存储器104与辅助存储装置105之间的数据传输速度。

[0081] 处理器的工作速度和包括在存储层次100中的各存储装置(尤其是位于第一高速缓冲存储器102的下级层次的存储装置)的工作速度(有时将存储装置的工作速度称为存取速度)之间易于产生差异。因此,一般而言,在存储层次100中越上级的存储装置越需要快存取速度。另外,越上级的存储装置越需要与处理器所包括的运算电路或控制电路的距离近。

[0082] 另外,在存储层次100中,被频繁存取的存储装置的存储容量优选小。这是因为,在存储容量较小时探索储存于存储装置中的数据所需的时间较短,存储装置的工作速度较快。另一方面,当想要用处理器处理多量数据时,存储层次100整体上的存储容量优选大。因此,越下级的存储装置越需要大的存储容量。例如,第一高速缓冲存储器102优选具有比寄存器101大的存储容量,第二高速缓冲存储器103优选具有比第一高速缓冲存储器102大的存储容量,主存储器104优选具有比第二高速缓冲存储器103大的存储容量,辅助存储装置105优选具有比主存储器104大的存储容量。

[0083] 当处理器在寄存器101至主存储器104的存储层次中读出需要的数据时,从存储层次100中的上级的存储装置依次尝试存取。当需要的数据没有保持在上级层次的存储装置

中(发生高速缓冲未命中)时,处理器存取比该上级层次的存储装置位于下级层次的存储装置。尤其是,层次越下级的存储装置到处理器(寄存器101)的距离越长,因此存取所需的时间更长(发生高速缓冲未命中损失)。此外,在两个不同层次的存储装置之间传送数据时有时使用总线(例如内部总线或外部总线),流过总线的数据量越大对处理器的性能(工作速度)的影响越大。

[0084] 鉴于此,图1A及图1B示出解决上述问题的本发明的一个方式的半导体装置。图1A是示出作为本发明的一个方式的半导体装置DEV的结构例子的立体示意图,图1B是半导体装置DEV的方框图。

[0085] 半导体装置DEV包括存储层次100中的下级存储装置的存储层MEML_L、存储层次100中的上级存储装置的存储层MEML_H、以及电路层SWCL。存储层MEML_H位于电路层SWCL的下方,存储层MEML_L位于电路层SWCL的上方。也就是说,在半导体装置DEV中,从下方依次层叠有存储层MEML_H、电路层SWCL及存储层MEML_L。

[0086] 存储层MEML_L例如是包括存储层次100中的寄存器101、第一高速缓冲存储器102、第二高速缓冲存储器103或主存储器104的存储层。

[0087] 存储层MEML_H例如是包括在存储层次100中的存储层MEML_L的上级层次中的存储层。例如,在存储层MEML_L中包括第一高速缓冲存储器102时,在存储层MEML_H中优选包括寄存器101。另外,例如,在存储层MEML_L中包括第二高速缓冲存储器103时,在存储层MEML_H中优选包括第一高速缓冲存储器102。另外,例如,在存储层MEML_L中包括主存储器104时,在存储层MEML_H中优选包括第二高速缓冲存储器103。

[0088] 注意,在图1A及图1B中,在存储层MEML_L中包括多个存储电路ME_L,在存储层MEML_H中包括多个存储电路ME_H。

[0089] 作为一个例子,如图3所示,存储电路ME_L包括以1行以上的矩阵状配置有多个存储单元MC_L的存储单元阵列。此外,当布线WL_L沿行方向延伸在该存储单元阵列上作为读出字线时,布线BL_L优选沿列方向延伸在该存储单元阵列上作为发送从存储单元MC_L读出的数据的位线。另外,该存储单元阵列的相当于1行的存储单元MC_L(图3中图示为区域MA_L)优选保持1个数据。例如,当一个存储单元MC_L具有1位的存储容量且存储单元阵列的列数为8时,该存储单元阵列的相当于1行的存储单元MC_L(区域MA_L的存储单元MC_L)保持存储容量为8位的1个数据。就是说,通过一次读出工作可以读出8位(1字节)的数据。此外,例如,在一个存储单元MC_L具有1位的存储容量且存储单元阵列的列数为64时,区域MA_L的存储单元MC_L保持存储容量为64位的1个数据。就是说,通过一次读出工作可以读出64位(8字节)的数据。注意,存储单元阵列的列数不局限于8的倍数,也可以为1以上的整数。

[0090] 也就可以说,在存储电路ME_L的存储单元阵列的行数为m(在此,m为1以上的整数)且列数为n(在此,n为1以上的整数)时,存储电路ME_L可以保持m个n位的数据。

[0091] 作为一个例子,与存储电路ME_L同样,存储电路ME_H包括以1行以上的矩阵状配置有多个存储单元MC_H的存储单元阵列。注意,存储电路ME_H所包括的存储单元与存储电路ME_L所包括的存储单元可以具有相同结构,也可以具有不同结构。此外,当布线WL_H沿行方向延伸在该存储单元阵列上作为写入字线时,布线BL_H优选沿列方向延伸在该存储单元阵列上作为发送写入到存储单元MC_H的数据的位线。另外,该存储单元阵列的相当于1行的存储单元MC_H(图3中图示为区域MA_H)优选保持1个数据。例如,当一个存储单元MC_H具有1位

的存储容量且存储单元阵列的列数为8时,可以将存储容量为8位(1字节)的1个数据写入到区域MA_H的存储单元MC_H。此外,例如,在一个存储单元MC_H具有1位的存储容量且存储单元阵列的列数为64时,可以将存储容量为64位(8字节)的1个数据写入到区域MA_H的存储单元MC_H。注意,存储单元阵列的列数不局限于8的倍数,也可以为1以上的整数。

[0092] 与存储电路ME_L同样,在存储电路ME_H的存储单元阵列的行数为m(在此,m为1以上的整数)且列数为n(在此,n为1以上的整数)时,存储电路ME_H可以保持m个n位的数据。

[0093] 尤其是,保持在区域MA_H中的数据的存储容量优选与保持在区域MA_L中的数据的存储容量相同。也就是说,存储电路ME_H的存储单元阵列的行数及列数优选与存储电路ME_L的存储单元阵列的行数及列数相等。

[0094] 此外,如图1B及图3所示,半导体装置DEV具有一个存储电路ME_L对电路层SWCL发送1位或多位的1个数据的结构。另外,半导体装置DEV具有存储电路ME_H从电路层SWCL接收1位或多位的1个数据的结构。因此,作为一个例子,存储电路ME_L及存储电路ME_H都是储存数字数据的存储电路。

[0095] 例如,存储电路ME_L具有读出8位(1字节)的数据并将该数据发送到电路层SWCL的功能。另外,存储电路ME_H具有写入从存储电路ME_L通过电路层SWCL发送的8位的数据的功能。注意,存储电路ME_L及存储电路ME_H例如也可以处理1位、2位或4位等小于8位的数据。另外,例如也可以处理16位、32位、64位、128位或256位等大于8位的数据。

[0096] 因此,当在存储电路ME_H所包括的存储单元阵列中读出字线沿行方向延伸时,该存储单元阵列的列数优选与存储电路ME_L所包括的存储单元阵列的列数相等。例如,当存储电路ME_L及存储电路ME_H的每一个中的存储单元可以保持1位的数据时,通过将存储电路ME_L及存储电路ME_H的每一个的存储单元阵列的列数设定为8,存储电路ME_L及存储电路ME_H的每一个可以为处理8位的数据的存储电路。此时,用来从存储电路ME_L对电路层SWCL发送数据的布线BL_L可以为8个,并且用来从电路层SWCL对存储电路ME_H发送数据的布线BL_H也可以为8个。此外,例如,通过将存储电路ME_L及存储电路ME_H的每一个的存储单元阵列的列数设定为64,存储电路ME_L及存储电路ME_H的每一个可以为处理64位的数据的存储电路。此时,用来从存储电路ME_L对电路层SWCL发送数据的布线BL_L可以为64个,并且用来从电路层SWCL对存储电路ME_H发送数据的布线BL_H也可以为64个。

[0097] 另外,当在存储电路ME_H所包括的存储单元阵列中用作读出字线的布线WL_H沿行方向延伸时,存储电路ME_H所包括的存储单元阵列的行数优选与存储电路ME_L所包括的存储单元阵列的行数相等。

[0098] 注意,将在后面说明存储电路ME_L及存储电路ME_H的具体电路结构。

[0099] 由于存储层MEML_L隔着电路层SWCL重叠于存储层MEML_H,因此例如通过在存储层MEML_L、电路层SWCL及存储层MEML_H的每一个中形成用作插头的布线,可以使存储层MEML_L与电路层SWCL之间电连接,并且还可以使电路层SWCL与存储层MEML_H之间电连接。也就是说,通过叠层方向上的布线可以实现存储层MEML_L与电路层SWCL的电连接以及电路层SWCL与存储层MEML_H的电连接。在此情况下,与在平面上形成布线的情况相比,可以缩短布线长度并增加布线数。因此,通过层叠存储层MEML_L、电路层SWCL以及存储层MEML_H并在叠层方向上形成布线,可以增多存储层MEML_L与存储层MEML_H之间交换的数据量。另外,可以提高存储层MEML_L与存储层MEML_H之间的数据传输速度。

[0100] 另外,存储层MEML_L与存储层MEML_H之间通过电路层SWCL电连接,因此例如不需要设置存储层MEML_L与存储层MEML_H之间的系统总线。系统总线是连接构成计算机的各装置与处理器的数据的传送通道(布线),被分为连接处理器与外部各装置(例如主存储器、辅助存储装置或光盘驱动器)的外部总线以及连接处理器内的电路(例如高速缓冲存储器、控制装置或运算电路)之间的内部总线。尤其是,在处理器为CPU时,系统总线有时被称为CPU总线。系统总线与各装置连接而有传送通道(布线)较长的倾向,所以有时数据发送所需的时间较长,并且有时数据发送所需的功耗较高。

[0101] 通过如半导体装置DEV那样在存储层MEML_L与存储层MEML_H之间直接交换数据而不经由系统总线,包括半导体装置DEV的处理器的存取速度得到提高,而可以降低功耗。

[0102] 电路层SWCL具有选择存储层MEML_L所包括的多个存储电路ME_L中的一个以及存储层MEML_H所包括的多个存储电路ME_H中的一个并使被选择的存储电路ME_L与存储电路ME_H之间成为导通状态的功能。此外,不被选择的多个存储电路ME_L的每一个与包括在存储层MEML_H中的多个存储电路ME_H非导通。

[0103] 也就是说,通过使用电路层SWCL选择存储层MEML_L所包括的多个存储电路ME_L中的一个以及存储层MEML_H所包括的多个存储电路ME_H中的一个,可以读出存储层MEML_L中的被选择的存储电路ME_L的存储单元阵列的区域MA_L所保持的数据并将其写入到存储层MEML_H中的被选择的存储电路ME_H的存储单元阵列的区域MA_H。

[0104] 注意,虽然以上示出了读出存储电路ME_L中的存储单元阵列的区域MA_L中的1个数据并将其写入到存储电路ME_H中的存储单元阵列的区域MA_H的结构例子,但是本发明的一个方式不局限于此,也可以改变图3的半导体装置DEV的结构来采用从存储电路ME_L不读出1个数据而读出多个数据并将其写入到存储电路ME_H的结构。

[0105] 例如,在图4所示的半导体装置DEV中,配置在存储电路ME_L的存储单元阵列中的多个存储单元MC_L分别电连接有多个布线BLUT_L,并且多个布线BLUT_L与电路层SWCL电连接。另外,在图4所示的半导体装置DEV中,配置在存储电路ME_H的存储单元阵列中的多个存储单元MC_H分别电连接有多个布线BLUT_H,并且多个布线BLUT_H与电路层SWCL电连接。

[0106] 也就是说,布线BLUT_L的布线数与配置在存储电路ME_L的存储单元阵列中的存储单元MC_L的个数相等。另外,布线BLUT_H的布线数与配置在存储电路ME_H的存储单元阵列中的存储单元MC_H的个数相等。此外,存储电路ME_L的存储单元阵列的行数优选与存储电路ME_H的存储单元阵列的行数相等,并且存储电路ME_L的存储单元阵列的列数优选与存储电路ME_H的存储单元阵列的列数相等。

[0107] 布线BLUT_L是相当于图3中的布线BL_L的布线,电连接于存储电路ME_L所包括的多个存储单元MC_L中的一个这点上与图3中的布线BL_L不同。与此同样,布线BLUT_H是相当于图3中的布线BL_H的布线,电连接于存储电路ME_H所包括的多个存储单元MC_H中的一个这点上与图3中的布线BL_H不同。

[0108] 如图4的半导体装置DEV那样,通过使布线BLUT_L的每一个分别电连接于存储电路ME_L中的多个存储单元MC_L的每一个,在存储电路ME_L的存储单元阵列中,可以对电路层SWCL同时发送配置在多行(所有行)上的存储单元MC_L所保持的多个数据,而不发送配置在1行上的存储单元MC_L所保持的数据。另外,通过使布线BLUT_H的每一个分别电连接于存储电路ME_H中的多个存储单元MC_H的每一个,在存储电路ME_H的存储单元阵列中,可以将由

电路层SWCL发送的数据同时写入到配置在多行(所有行)上的存储单元MC_H而不写入到配置在1行上的存储单元MC_H。

[0109] 注意,上面说明的存储电路ME_L及存储电路ME_H也可以是保持模拟数据的存储电路而不是保持数字数据的存储电路。此时,通过电路层SWCL在存储电路ME_L与存储电路ME_H之间交换的数据可以是模拟数据而不是数字数据。在是模拟数据的情况下,存储电路ME_L与存储电路ME_H之间连接的布线数可以少于处理数字数据的情况下的布线数,所以可以进一步减小半导体装置DEV的电路面积。

[0110] <电路层SWCL的结构例子>

接着,说明电路层SWCL的结构例子。

[0111] <<直接映射方式>>

首先,说明作为存储层MEML_L和存储层MEML_H的存储结构采用直接映射方式的情况。

[0112] 直接映射方式是一种方式,其中,当将包括在存储层MEML_L中的存储电路ME_L所保持的数据写入到存储层MEML_H中的存储电路ME_H时,被写入该数据的存储电路ME_H的地址取决于保持该数据的存储电路ME_L的地址。

[0113] 图5示出应用于存储层MEML_L及存储层MEML_H的直接映射方式的一个例子。作为一个例子,在图5的半导体装置DEV中,存储层MEML_L包括2^5=32块的存储容量,并且存储层MEML_H包括2^3=8块的存储容量。注意,在存储层MEML_L中1块是1个存储电路ME_L,在存储层MEML_H中1块是1个存储电路ME_H。也就是说,存储层MEML_L包括32个存储电路ME_L,存储层MEML_H包括8个存储电路ME_H。

[0114] 此外,对存储层MEML_L的32个存储电路ME_L分别赋予“00000”至“11111”的存储器地址。同样地,对存储层MEML_H的8个存储电路ME_H分别赋予“000”至“111”的存储器地址。

[0115] 注意,为了简化说明,假设存储电路ME_L及存储电路ME_H都包括1行的矩阵状存储单元阵列。也就是说,假设:在存储电路ME_L中读出数据时,存储电路ME_L唯一地读出该1行的数据。此外,假设:在对存储电路ME_H写入数据时,数据唯一地被写入到存储电路ME_H的该1行。

[0116] 这里,在存储层MEML_L的32个存储电路ME_L中着眼于存储器地址后3位为“000”的块的存储电路ME_L(虽然在图5中未图示,但是图5的存储层MEML_L中有4块的该存储电路ME_L)。在图5的半导体装置DEV中,将存储器地址后3位为“000”的块的存储电路ME_L中的任一个的数据发送到存储层MEML_H内的存储器地址为“000”的存储电路ME_H。

[0117] 同样地,在存储层MEML_L的3个存储电路ME_L中着眼于存储器地址后3位为“100”的块的存储电路ME_L。在图5的半导体装置DEV中,将存储器地址后3位为“100”的块的存储电路ME_L中的任一个的数据发送到存储层MEML_H内的存储器地址为“100”的存储电路ME_H。

[0118] 同样地,在存储层MEML_L的32个存储电路ME_L中着眼于存储器地址后3位为“111”的块的存储电路ME_L。在图5的半导体装置DEV中,将存储器地址后3位为“111”的块的存储电路ME_L中的任一个的数据发送到存储层MEML_H内的存储器地址为“111”的存储电路ME_H。

[0119] 总之,在将从存储层MEML_L读出的数据写入到存储层MEML_H时,存储层MEML_H中

的作为数据写入对象的存储电路ME_H的地址局限于与被读出该数据的存储层MEML_L的存储器地址后3位相同的值。

[0120] 如上所述,在直接映射方式中,当将从存储层MEML_L读出的数据写入到存储层MEML_H时,存储层MEML_H中的作为数据写入对象的存储电路ME_H的存储器地址取决于被读出该数据的存储层MEML_L中的存储电路ME_L的存储器地址。也就是说,如此,在直接映射方式中,写入到存储电路ME_H的数据局限于从特定的存储器地址的存储电路ME_L读出的数据。因此,例如在从存储层MEML_H中的多个存储电路ME_H中探索存储层MEML_L中的某个存储电路ME_L的数据时,可以使用保持所希望的数据的存储电路ME_L的存储器地址从存储层MEML_H中找出规定存储电路ME_H,所以通过采用直接映射方式可以提高数据读出速度。

[0121] 说明将直接映射方式应用于半导体装置DEV的情况下的电路层SWCL的结构例子。图6是对图5所示的半导体装置DEV追加电路层SWCL的电路结构例子的电路图。注意,在图6中,将图1A及图1B所示的电路层SWCL图示为电路层SWCLA。

[0122] 电路层SWCLA包括开关SW[00000]至开关SW[11111]。注意,在图6中摘要示出开关SW[00000]、开关SW[00100]、开关SW[00111]、开关SW[01000]、开关SW[01100]、开关[01111]、开关SW[10000]、开关SW[10100]、开关SW[10111]及开关SW[11111]。

[0123] 开关SW[00000]的第一端子与存储层MEML_L中的存储器地址为“00000”的存储电路ME_L电连接。此外,开关SW[01000]的第一端子与存储层MEML_L中的存储器地址为“01000”的存储电路ME_L电连接。此外,开关SW[10000]的第一端子与存储层MEML_L中的存储器地址为“10000”的存储电路ME_L电连接。另外,虽然未图示,但是开关SW[11000]的第一端子与存储层MEML_L中的存储器地址为“11000”的存储电路ME_L电连接。此外,开关SW[00000]、开关SW[01000]、开关SW[10000]及开关SW[11000]的每个第二端子与存储层MEML_H中的存储器地址为“000”的存储电路ME_H电连接。

[0124] 使开关SW[00000]、开关SW[01000]、开关SW[10000]和开关SW[11000]中的一个成为导通状态并使其他的成为非导通状态,由此从存储层MEML_L中的存储器地址“00000”、“01000”、“10000”和“11000”中选择一个。然后,读出被选择的存储器地址的存储电路ME_L所保持的数据,由此该数据被发送到存储层MEML_H中的存储器地址为“000”的存储电路ME_H,并且该数据储存在存储器地址为“000”的存储电路ME_H中。

[0125] 同样地,开关SW[00100]的第一端子与存储层MEML_L中的存储器地址为“00100”的存储电路ME_L电连接。此外,开关SW[01100]的第一端子与存储层MEML_L中的存储器地址为“01100”的存储电路ME_L电连接。此外,开关SW[10100]的第一端子与存储层MEML_L中的存储器地址为“10100”的存储电路ME_L电连接。另外,虽然未图示,但是开关SW[11100]的第一端子与存储层MEML_L中的存储器地址为“11100”的存储电路ME_L电连接。此外,开关SW[00100]、开关SW[01100]、开关SW[10100]及开关SW[11100]的每个第二端子与存储层MEML_H中的存储器地址为“100”的存储电路ME_H电连接。

[0126] 使开关SW[00100]、开关SW[01100]、开关SW[10100]和开关SW[11100]中的一个成为导通状态并使其他的成为非导通状态,由此从存储层MEML_L中的存储器地址“00100”、“01100”、“10100”和“11100”中选择一个。然后,读出被选择的存储器地址的存储电路ME_L所保持的数据,由此该数据被发送到存储层MEML_H中的存储器地址为“100”的存储电路ME_H,并且该数据储存在存储器地址为“100”的存储电路ME_H中。

[0127] 同样地,开关SW[00111]的第一端子与存储层MEML_L中的存储器地址为“00111”的存储电路ME_L电连接。此外,开关SW[01111]的第一端子与存储层MEML_L中的存储器地址为“01111”的存储电路ME_L电连接。此外,开关SW[10111]的第一端子与存储层MEML_L中的存储器地址为“10111”的存储电路ME_L电连接。另外,开关SW[11111]的第一端子与存储层MEML_L中的存储器地址为“11111”的存储电路ME_L电连接。此外,开关SW[00111]、开关SW[01111]、开关SW[10111]及开关SW[11111]的每个第二端子与存储层MEML_H中的存储器地址为“111”的存储电路ME_H电连接。

[0128] 使开关SW[00111]、开关SW[01111]、开关SW[10111]和开关SW[11111]中的一个成为导通状态并使其他的成为非导通状态,由此从存储层MEML_L中的存储器地址“00111”、“01111”、“10111”和“11111”中选择一个。然后,读出被选择的存储器地址的存储电路ME_L所保持的数据,由此该数据被发送到存储层MEML_H中的存储器地址为“111”的存储电路ME_H,并且该数据储存在存储器地址为“111”的存储电路ME_H中。

[0129] 为了简单地说明图6的电路层SWCLA,图7示出图6的半导体装置DEV的一部分的结构例子。注意,图7所示的电路层SWCLA与图6所示的电路SWCLA不同之处在于:在前者中示出选择器MPX。另外,图7摘要示出存储层MEML_L中的存储器地址为“00000”、“01000”、“10000”及“11000”的存储电路ME_L以及存储层MEML_H中的存储器地址为“000”的存储电路ME_H。

[0130] 作为一个例子,选择器MPX包括多个输入端子IT以及一个输出端子OT。

[0131] 选择器MPX的多个输入端子IT分别与存储层MEML_L中的多个存储电路ME_L电连接。分别电连接于选择器MPX的多个输入端子IT的多个存储电路ME_L的存储器地址的规定后几位彼此相等(在图7中,存储电路ME_L的存储器地址后3位都为“000”)。此外,选择器MPX的输出端子OT电连接于其存储器地址与存储电路ME_L的存储器地址的规定后几位相等的存储电路ME_H(在图7中,存储电路ME_H的存储器地址为“000”)。

[0132] 选择器MPX例如具有根据被输入到选择器MPX的信号SSIG使选择器MPX的多个输入端子IT中的一个与选择器MPX的输出端子OT之间成为导通状态的功能。另外,选择器MPX例如具有根据被输入到选择器MPX的信号SSIG选择被输入到选择器MPX的多个输入端子IT的输入信号中的一个并将被选择的输入信号输出到选择器MPX的输出端子OT的功能。另外,选择器MPX例如具有使选择器MPX的多个输入端子IT的剩余的与选择器MPX的输出端子OT之间都成为非导通状态的功能。

[0133] 由此,选择器MPX有时被称为多路复用器。

[0134] 另外,也可以在选择器MPX的输出端子OT与存储电路ME_H之间设置采样保持电路。在半导体装置DEV中,通过在选择器MPX的输出端子OT与存储电路ME_H之间设置采样保持电路,可以暂时保持选择器MPX的输出端子OT的数据。也就是说,可以预先准备写入到存储电路ME_H的数据,因此可以提高半导体装置DEV的工作速度。

[0135] 图8A及图8B都是示出选择器MPX的具体结构例子的电路图。

[0136] 与图6所示的电路层SWCLA同样,图8A所示的选择器MPX中,开关SW1至开关SW4的每个第一端子分别与对应的存储电路ME_L电连接,并且开关SW1至开关SW4的每个第二端子与存储电路ME_H电连接。另外,开关SW1的控制端子与布线SL1电连接,开关SW2的控制端子与布线SL2电连接,开关SW3的控制端子与布线SL3电连接,开关SW4的控制端子与布线SL4电连接。

[0137] 作为开关SW1至开关SW4例如可以使用电开关(例如模拟开关或晶体管)。注意,在作为开关SW1至开关SW4例如使用晶体管时,该晶体管可以是沟道形成区域中含有氧化物半导体(金属氧化物)的晶体管(OS晶体管)。关于金属氧化物将在实施方式2及实施方式3中详细说明。另外,该晶体管也可以是沟道形成区域中含有硅的晶体管(Si晶体管)。作为硅,例如可以使用非晶硅(有时称为氢化非晶硅)、微晶硅、多晶硅、单晶硅等。另外,除了电开关以外,也可以使用机械开关。

[0138] 在本说明书等中假设,开关SW1至开关SW4各自在高电平电位被输入到控制端子时成为开启状态,并在低电平电位被输入到控制端子时成为关闭状态。

[0139] 布线SL1至布线SL4各自例如被用作发送用来切换开关SW1至开关SW4的导通状态或非导通状态的信号(可变电位)的布线。分别被发送到布线SL1至布线SL4的信号相当于图7中的信号SSIG。注意,布线SL1至布线SL4各自也可以被用作供应恒电位(例如,高电平电位、低电平电位、接地电位或负电位)的布线而不被用作供应信号(可变电位)的布线。

[0140] 在图8A所示的选择器MPX中,例如,通过对选自布线SL1至布线SL4中的一个供应高电平电位并对其余的供应低电平电位,可以使选择器MPX的多个输入端子IT中的一个与选择器MPX的输出端子OT之间成为导通状态。注意,当想要使选择器MPX的多个输入端子IT的全部与选择器MPX的输出端子OT之间成为非导通状态时,例如可以对布线SL1至布线SL4的每一个供应低电平电位。

[0141] 图8B所示的选择器MPX采用使用多个开关的赛图方式构成。注意,图8B的选择器MPX包括开关SWa1、开关SWa2、开关SWb1、开关SWb2、开关SWb3及开关SWb4,关于各开关可以参照图8A所示的开关SW1至开关SW4的说明。

[0142] 开关SWb1至开关SWb4的每个第一端子与对应的存储电路ME_L电连接。另外,开关SWa1的第一端子与开关SWb1的第二端子及开关SWb2的第二端子电连接。另外,开关SWa2的第一端子与开关SWb3的第二端子及开关SWb4的第二端子电连接。开关SWa1的第二端子及开关SWa2的第二端子与存储电路ME_H电连接。另外,开关SWb1的控制端子及开关SWb3的控制端子与布线SLb1电连接,开关SWb2的控制端子及开关SWb4的控制端子与布线SLb2电连接,开关SWa1的控制端子与布线SLa1电连接,开关SWa2的控制端子与布线SLa2电连接。

[0143] 关于布线SLa1、布线SLa2、布线SLb1及布线SLb2各自可以参照图8A所示的布线SL1至布线SL4的说明。

[0144] 尤其是,供应到布线SLa1的信号优选为使供应到布线SLa2的信号的逻辑反转的信号。另外,供应到布线SLb1的信号优选为使供应到布线SLb2的信号的逻辑反转的信号。由此,可以使开关SWa1和开关SWa2中的一方成为开启状态并且使其中另一方成为关闭状态。另外,可以使开关SWb1和开关SWb2中的一方成为开启状态并且使其中另一方成为关闭状态。另外,可以使开关SWb3和开关SWb4中的一方成为开启状态并且使其中另一方成为关闭状态。

[0145] 如上所述,通过对布线SLa1、布线SLa2、布线SLb1及布线SLb2的每一个供应规定信号,可以使选择器MPX的多个输入端子IT中的一个与选择器MPX的输出端子OT之间成为导通状态。注意,当想要使选择器MPX的多个输入端子IT的全部与选择器MPX的输出端子OT之间成为非导通状态时,例如可以对布线SLa1及布线SLa2的每一个供应低电平电位。

[0146] 注意,本发明的一个方式不局限于上述半导体装置DEV的结构。本发明的一个方式

也可以具有改变上述半导体装置而得的结构。

[0147] 例如,虽然上面说明中半导体装置DEV具有存储层MEML_L包括32个存储电路ME_L且存储层MEML_H包括8个存储电路ME_H的结构,但是对存储层MEML_L所包括的存储电路ME_L个数及存储层MEML_H所包括的存储电路ME_H个数没有特别的限制。

[0148] 此外,例如,虽然在上述半导体装置DEV中参照存储层MEML_L的存储器地址后3位设定作为储存对象的存储电路ME_H的块,但是存储层MEML_L参照的存储器地址也可以为后1位、后2位或后4位以上。此外,也可以根据参照的存储器地址的范围决定存储层MEML_L所包括的存储电路ME_L个数及存储层MEML_H所包括的存储电路ME_H个数。

[0149] <<组相联方式>>

接着,说明作为与直接映射方式不同的存储层MEML_L和存储层MEML_H的存储结构采用组相联方式的情况。

[0150] 组相联方式是一种方式,其中,当将包括在存储层MEML_L中的存储电路ME_L所保持的数据写入到存储层MEML_H的存储电路ME_H时,将包括在存储层MEML_L中的存储电路ME_L所保持的数据保持在基于该存储电路ME_L的地址指定出的多个存储电路ME_H中的一个中。

[0151] 图9示出应用于存储层MEML_L及存储层MEML_H的组相联方式的一个例子。与图5的半导体装置DEV同样,在图9的半导体装置DEV中,存储层MEML_L包括32个存储电路ME_L,存储层MEML_H包括8个存储电路ME_H。另外,与图5的半导体装置DEV同样,图9的半导体装置DEV中也示出存储器地址。

[0152] 注意,在图9的半导体装置DEV的存储层MEML_H中,将存储器地址为“000”或“001”的块(存储电路ME_H)作为组ST_1。此外,将存储器地址为“010”或“011”的块(存储电路ME_H)作为组ST_2。将存储器地址为“100”或“101”的块(存储电路ME_H)作为组ST_3。将存储器地址为“110”或“111”的块(存储电路ME_H)作为组ST_4。

[0153] 另外,与图5的半导体装置DEV同样,在图9的半导体装置DEV中假设存储电路ME_L及存储电路ME_H都包括1行的矩阵状存储单元阵列。也就是说,假设:在存储电路ME_L中读出数据时,存储电路ME_L唯一地读出该1行的数据。此外,假设:在对存储电路ME_H写入数据时,数据唯一地被写入到存储电路ME_H的该1行。

[0154] 这里,在存储层MEML_L的32个存储电路ME_L中着眼于存储器地址后3位为“000”的块的存储电路ME_L(虽然在图9中未图示,但是图9的存储层MEML_L中有4块的该存储电路ME_L)。在图9的半导体装置DEV中,将存储器地址后3位为“000”的块的存储电路ME_L中的任一个的数据发送到存储层MEML_H内的包括在组ST_1中的存储电路ME_H中的任一个。

[0155] 同样地,在存储层MEML_L的32个存储电路ME_L中着眼于存储器地址后3位为“100”的块的存储电路ME_L(虽然在图9中未图示,但是图9的存储层MEML_L中有4块的该存储电路ME_L)。在图9的半导体装置DEV中,将存储器地址后3位为“100”的块的存储电路ME_L中的任一个的数据发送到存储层MEML_H内的包括在组ST_3中的存储电路ME_H中的任一个。

[0156] 也就是说,如直接映射方式那样,在将从存储层MEML_L读出的数据写入到存储层MEML_H时,存储层MEML_H中的作为数据写入对象的存储电路ME_H的存储器地址取决于被读出该数据的存储层MEML_L的存储电路ME_L的存储器地址,但是在组相联方式中,可以从包括在规定组中的多个块中选择作为该数据的写入对象的存储电路ME_H。

[0157] 尤其是,图9所示的从两个存储电路ME_H中选择从存储层MEML_L读出的数据的写入对象的方式有时被称为2路组相联方式。另外,从N个(N为2以上的整数)存储电路ME_H中选择从存储层MEML_L读出的数据的写入对象的方式有时被称为N路组相联方式。

[0158] 与直接映射方式同样,在组相联方式中,存储层MEML_H中的作为数据写入对象的存储电路ME_H的存储器地址取决于被读出该数据的存储层MEML_L中的存储电路ME_L的存储器地址。也就是说,如此,在组相联方式中,写入到存储电路ME_H的数据局限于从特定的存储器地址的存储电路ME_L读出的数据。因此,例如在根据存储层MEML_H中的多个存储电路ME_H探索存储层MEML_L中的某个存储电路ME_L的数据时,可以使用保持所希望的数据的存储电路ME_L的存储器地址从存储层MEML_H中找出规定存储电路ME_H,所以通过采用组相联方式可以提高数据读出速度。注意,与直接映射方式不同,作为从存储层MEML_L读出的数据的写入对象的候选有多个存储电路ME_H(包括在组中的块数),因此探索所希望的数据所需的时间(读出所需的时间)有时比直接映射方式长。

[0159] 图10示出图9的半导体装置DEV中的电路层SWCL的结构例子。在图10中,作为电路层SWCL示出电路层SWCLB。另外,作为一个例子,图10还示出存储层MEML_L及存储层MEML_H。另外,图10摘要示出存储层MEML_L中的存储器地址为“00000”、“01000”、“10000”及“11000”的存储电路ME_L以及存储层MEML_H中的存储器地址为“000”及“001”的存储电路ME_H(组ST_1)。

[0160] 电路层SWCLB包括选择器MPX及选择器DMPX。作为一个例子,选择器MPX包括多个输入端子IT1以及一个输出端子OT1。另外,作为一个例子,选择器DMPX包括一个输入端子IT2以及多个输出端子OT2。关于选择器MPX可以参照图7的选择器MPX的说明。

[0161] 选择器MPX的多个输入端子IT1分别与存储层MEML_L中的多个存储电路ME_L电连接。分别电连接于选择器MPX的多个输入端子IT1的多个存储电路ME_L的存储器地址的规定后几位彼此相等。此外,选择器MPX的输出端子OT1与选择器DMPX的输入端子IT2电连接。此外,选择器DMPX的多个输出端子OT2分别与规定存储器地址的存储电路ME_H电连接。

[0162] 选择器DMPX例如具有根据输入到选择器DMPX的信号DSIG使选择器DMPX的输入端子IT2与选择器DMPX的多个输出端子OT2中的一个之间成为导通状态的功能。另外,选择器DMPX例如具有使选择器DMPX的多个输出端子OT2的剩余的与选择器DMPX的输入端子IT2之间都成为非导通状态的功能。

[0163] 由此,选择器DMPX有时被称为多路分配器。

[0164] 图11是示出图10的选择器MPX及选择器DMPX的具体结构例子的电路图。

[0165] 与图8所示的电路层SWCLA同样,图11所示的选择器DMPX中,开关SW1至开关SW4的每个第一端子与对应的存储电路ME_L电连接,开关SW1至开关SW4的每个第二端子分别与开关SW5及开关SW6的每个第一端子电连接,并且开关SW5及开关SW6的每个第二端子分别与对应的存储电路ME_H电连接。另外,开关SW1的控制端子与布线SL1电连接,开关SW2的控制端子与布线SL2电连接,开关SW3的控制端子与布线SL3电连接,开关SW4的控制端子与布线SL4电连接。另外,开关SW5的控制端子与布线SL5电连接,开关SW5的控制端子与布线SL5电连接。

[0166] 关于布线SL1至布线SL4各自可以参照图8A所示的布线SL1至布线SL4的说明。

[0167] 布线SL5及布线SL6各自例如被用作发送用来切换开关SW1至开关SW6的导通状态

或非导通状态的信号(可变电位)的布线。分别被发送到布线SL5及布线SL6的信号相当于图10中的信号DSIG。注意,布线SL5及布线SL6各自也可以被用作供应恒电位(例如,高电平电位、低电平电位、接地电位或负电位)的布线而不被用作供应信号(可变电位)的布线。

[0168] 在图11所示的选择器MPX中,例如,通过对选自布线SL1至布线SL4中的一个供应高电平电位并对其余的供应低电平电位,可以使选择器MPX的多个输入端子IT1中的一个与选择器MPX的输出端子OT1之间成为导通状态。也就是说,通过上述工作可以选择包括在存储层MEML_L中的存储电路ME_L。另外,例如在布线SL5和布线SL6中的一方被供应高电平电位且其中另一方被供应低电平电位时,图11所示的选择器DMPX可以使该选择器DMPX的输入端子IT2与选择器MPX的多个输出端子OT2中的一个之间成为导通状态。也就是说,通过上述工作可以选择包括在存储层MEML_H中的存储电路ME_H。由此,被读出数据的存储电路ME_L与被写入该数据的存储电路ME_H之间成为导通状态。

[0169] 此外,图11中的选择器MPX和选择器DMPX中的一方或双方也可以具有如图8B的选择器MPX那样的赛图方式的电路结构(未图示)。

[0170] 另外,也可以在选择器DMPX的多个输出端子OT2中的一个与多个存储电路ME_H中的一个之间设置采样保持电路。在半导体装置DEV中,通过在选择器DMPX的输出端子OT2与存储电路ME_H之间设置采样保持电路,可以暂时保持选择器DMPX的输出端子OT2的数据。例如,在图11的半导体装置DEV中,通过在选择器DMPX的输出端子OT2与存储电路ME_H之间设置采样保持电路,可以预先暂时保持写入到存储器地址分别为“000”及“001”的各存储电路ME_H的数据。另外,通过使采样保持电路一齐输出写入数据,可以对存储器地址分别为“000”及“001”的各存储电路ME_H同时发送写入数据。也就是说,可以使对存储器地址分别为“000”及“001”的各存储电路ME_H的写入工作同步。因此,不需使多个存储电路ME_H的每一个分别工作,由此可以提高半导体装置DEV的工作速度。

[0171] 注意,本发明的一个方式不局限于上述半导体装置DEV的结构。本发明的一个方式也可以具有改变上述半导体装置DEV而得的结构。

[0172] 例如,虽然上面说明中半导体装置DEV具有存储层MEML_L包括32个存储电路ME_L且存储层MEML_H包括8个存储电路ME_H的结构,但是对存储层MEML_L所包括的存储电路ME_L个数及存储层MEML_H所包括的存储电路ME_H个数没有特别的限制。

[0173] 此外,例如,虽然在上述半导体装置DEV中参照存储层MEML_L的存储器地址后3位设定作为储存对象的存储层MEML_H内的组,但是存储层MEML_L参照的存储器地址也可以为后1位、后2位或后4位以上。或者,虽然上面作为2路组相联方式将组内的块数设定为两个,但是也可以将组内的块数设定为3个以上。此外,也可以根据参照的存储器地址的范围以及组内的块数决定存储层MEML_L所包括的存储电路ME_L个数及存储层MEML_H所包括的存储电路ME_H个数。

[0174] <<全相联方式>>

接着,说明作为与直接映射方式及组相联方式不同的存储层MEML_L和存储层MEML_H的存储结构采用全相联方式的情况。

[0175] 全相联方式是一种方式,其中,将从选自包括在存储层MEML_L中的多个存储电路ME_L中的一个读出的数据保持在选自存储层MEML_H中的多个存储电路ME_H中的一个,该被选择的存储电路ME_H与被选择的存储电路ME_L的存储器地址无关。也就是说,在全相联方

式中,对写入到存储层MEML_H中的存储电路ME_H的数据没有特别的限制。

[0176] 图12示出应用于存储层MEML_L及存储层MEML_H的全相联方式的一个例子。与图5的半导体装置DEV同样,在图12的半导体装置DEV中,存储层MEML_L包括32个存储电路ME_L,存储层MEML_H包括8个存储电路ME_H。另外,与图5的半导体装置DEV同样,图12的半导体装置DEV中也示出存储器地址。

[0177] 注意,如直接映射方式及组相联方式的说明那样,在半导体装置DEV中,包括在存储层MEML_L中的存储电路ME_L个数也可以不是32。同样地,包括在存储层MEML_H中的存储电路ME_H个数也可以不是8。

[0178] 另外,与图12的半导体装置DEV同样,在图5的半导体装置DEV中假设存储电路ME_L及存储电路ME_H都包括1行的矩阵状存储单元阵列。也就是说,假设:在存储电路ME_L中读出数据时,存储电路ME_L唯一地读出该1行的数据。此外,假设:在对存储电路ME_H写入数据时,数据唯一地被写入到存储电路ME_H的该1行。

[0179] 写入到选自存储层MEML_H中的多个存储电路ME_H中的一个的数据是从选自存储层MEML_L中的多个存储电路ME_L中的一个读出的数据。例如,在图12的半导体装置DEV中,示出对存储层MEML_H中的存储器地址为“001”的存储电路ME_H写入从选自存储层MEML_L中的存储器地址为“00000”至“11111”的存储电路ME_L中的一个读出的数据的例子。

[0180] 如图12所示,半导体装置DEV的存储层MEML_H中的各存储电路ME_H也可以储存存储层MEML_L中的存储器地址为“00000”至“11111”的存储电路ME_L所保持的数据中的一个。参照图13说明具体一个例子。存储层MEML_L中的存储器地址为“00000”的存储电路ME_L所保持的数据被写入到存储层MEML_H中的存储器地址为“000”的存储电路ME_H。存储层MEML_L中的存储器地址为“00100”的存储电路ME_L所保持的数据被写入到存储层MEML_H中的存储器地址为“001”的存储电路ME_H。存储层MEML_L中的存储器地址为“01000”的存储电路ME_L所保持的数据被写入到存储层MEML_H中的存储器地址为“010”的存储电路ME_H。存储层MEML_L中的存储器地址为“10100”的存储电路ME_L所保持的数据被写入到存储层MEML_H中的存储器地址为“011”的存储电路ME_H。存储层MEML_L中的存储器地址为“10010”的存储电路ME_L所保持的数据被写入到存储层MEML_H中的存储器地址为“100”的存储电路ME_H。存储层MEML_L中的存储器地址为“10100”的存储电路ME_L所保持的数据被写入到存储层MEML_H中的存储器地址为“101”的存储电路ME_H。存储层MEML_L中的存储器地址为“00111”的存储电路ME_L所保持的数据被写入到存储层MEML_H中的存储器地址为“110”的存储电路ME_H。存储层MEML_L中的存储器地址为“01101”的存储电路ME_L所保持的数据被写入到存储层MEML_H中的存储器地址为“111”的存储电路ME_H。

[0181] 在全相联方式中,例如,在存储层MEML_H中存在有空块(不保持数据的存储电路ME_H)时,可以在该空块中储存存储层MEML_L中的存储器地址为“00000”至“11111”的存储电路ME_L中的一个所保持的数据。因此,通过采用全相联方式可以对空块的存储电路ME_H优先地写入数据,所以可以减少空块的存储电路ME_H(处于空闲状态的存储电路ME_H)个数。

[0182] 图14示出图13的半导体装置DEV中的电路层SWCL的结构例子。在图14中,作为电路层SWCL示出电路层SWCLC。另外,图14还示出存储层MEML_L及存储层MEML_H。

[0183] 电路层SWCLC包括选择器MPX及选择器DMPX。作为一个例子,选择器MPX包括多个输

入端子IT1以及一个输出端子OT1。另外,作为一个例子,选择器DMPX包括一个输入端子IT2以及多个输出端子OT2。关于选择器MPX可以参照图7的选择器MPX的说明。另外,关于选择器DMPX可以参照图10的选择器DMPX的说明。

[0184] 选择器MPX的多个输入端子IT1分别与存储层MEML_L中的所有存储电路ME_L电连接。此外,选择器MPX的输出端子OT2与选择器DMPX的输入端子IT2电连接。此外,选择器DMPX的多个输出端子OT2分别与存储层MEML_H中的所有存储电路ME_H电连接。

[0185] 关于选择器MPX的结构可以参照图8A及图8B所示的选择器MPX的说明。另外,关于选择器DMPX的结构可以参照图11所示的选择器DMPX的说明。

[0186] 另外,与组相联方式的说明中使用的图11的半导体装置DEV同样,在图14所示的半导体装置DEV中,也可以在选择器DMPX的多个输出端子OT2中的一个与多个存储电路ME_H中的一个之间设置采样保持电路。

[0187] 注意,本发明的一个方式不局限于上述半导体装置的结构。本发明的一个方式也可以具有改变上述半导体装置而得的结构。

[0188] 例如,在上述直接映射方式、组相联方式及全相联方式的说明中,以存储电路ME_L及存储电路ME_H各自包括1行矩阵状存储单元阵列的情况为例进行说明,但是存储电路ME_L及存储电路ME_H各自也可以包括多行矩阵状存储单元阵列。在此情况下,从存储电路ME_L中的存储单元阵列的第i行(在此,i为1以上的整数)读出的数据优选被写入到存储电路ME_H中的存储单元阵列的第i行。

[0189] 本实施方式可以与本说明书所示的其他实施方式适当地组合。例如,本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0190] (实施方式2)

在本实施方式中,说明上述实施方式中说明的半导体装置DEV以及存储层MEML_L及存储层MEML_H所包括的存储电路的结构例子。

[0191] 图15是作为半导体装置DEV的结构例子的立体示意图。图16是作为半导体装置DEV的结构例子的方框图。半导体装置DEV包括驱动电路区域50、控制处理区域80、电路层90以及N层(N为1以上的整数)单元阵列层60。另外,1层单元阵列层60包括被配置为m行n列矩阵状的多个存储单元10。

[0192] 图16示出单元阵列层60_k中配置有存储单元10[1,1]、存储单元10[m,1](在此,m为1以上的整数)、存储单元10[1,n](在此,n为1以上的整数)、存储单元10[m,n]以及存储单元10[i,j](在此,i为1以上且m以下的整数,j为1以上且n以下的整数)的例子。

[0193] 此外,图16示出控制处理区域80中配置有单元阵列70、驱动电路71、驱动电路72、ALU(Arithmetic logic unit:算术逻辑单元)81、ALU控制器82、指令译码器83、中断控制器84以及时序控制器85的例子。

[0194] 注意,单元阵列层60_1至单元阵列层60_N相当于实施方式1中说明的存储层MEML_L。另外,电路层90相当于实施方式1中说明的电路层SWCL。另外,单元阵列70相当于实施方式1中说明的存储层MEML_H。

[0195] 驱动电路区域50具有驱动包括在单元阵列层60_1至单元阵列层60_N中的存储单元10的功能。例如,驱动电路区域50可以执行对存储单元10写入数据的工作或者从存储单

元10读出数据的工作。

[0196] 控制处理区域80例如相当于可用于计算机的处理器。注意,单元阵列70、驱动电路71及驱动电路72被用作包括在该处理器中的高速缓冲存储器或寄存器。具体而言,例如,驱动电路71被用作对于单元阵列70的列驱动器,驱动电路72被用作对于单元阵列70的行驱动器。另外,在图16中,单元阵列70包括被配置为阵列状的多个存储单元75。

[0197] N层单元阵列层60例如设置在电路层90上。电路层90例如设置在驱动电路区域50及控制处理区域80上。尤其是,通过将N层单元阵列层60设置在驱动电路区域50及控制处理区域80上,可以减少半导体装置DEV的占有面积。此外,可以提高单元阵列层60中的单位面积的存储容量。

[0198] 注意,驱动电路区域50及控制处理区域80也可以配置在相同衬底上。例如,也可以在半导体衬底(例如,含有硅的单晶衬底)上形成驱动电路区域50及控制处理区域80。注意,半导体装置DEV的结构不局限于图15。例如,驱动电路区域50也可以设置在控制处理区域80上。此时,也可以将驱动电路区域50及控制处理区域80配置在不同衬底上并利用Cu-Cu(铜-铜)直接键合技术等在控制处理区域80上设置驱动电路区域50。

[0199] 在本实施方式等中,将第一层的单元阵列层60表示为单元阵列层60_1,将第二层的单元阵列层60表示为单元阵列层60_2,并且将第三层的单元阵列层60表示为单元阵列层60_3。此外,将第k层(k为1以上且N以下的整数)的单元阵列层60表示为单元阵列层60_k,将第N层的单元阵列层60表示为单元阵列层60_N。在本实施方式等中,在说明涉及到N层的单元阵列层60整体的事项或者示出N层的单元阵列层60的各层间共同的事项的情况下,有时简单地表示为“单元阵列层60”。

[0200] <控制处理区域80的结构例子>

在图16中,控制处理区域80例如包括ALU81、ALU控制器82、指令译码器83、中断控制器84及时序控制器85。注意,图16所示的控制处理区域80只不过是简化其结构而表示的一个例子,包括在实际上的处理器中的控制处理区域80根据其用途具有各种结构。例如,也可以以包括图16所示的CPU或运算电路的结构为核心,设置多个该核心并使其同时工作,就是说也可以为像GPU那样的结构。此外,在CPU的内部运算电路、系统总线等中能够处理的位数例如可以为8位、16位、32位、64位、128位或256位以上。

[0201] 输入到控制处理区域80的指令被输入到指令译码器83而被译码。被译码之后,该指令被输入到ALU控制器82、中断控制器84及时序控制器85。另外,该指令也可以被输入到包括在控制处理区域80中的存储电路的驱动电路71及驱动电路72。

[0202] ALU控制器82、中断控制器84及时序控制器85根据被译码的指令进行各种控制。具体而言,ALU控制器82生成用来控制ALU81的工作的信号。此外,中断控制器84在驱动电路区域50中执行的程序时,根据其优先度或掩码的状态等来判断来自外部的输入/输出装置或外围电路的中断要求而对该要求进行处理。此外,包括在控制处理区域80中的存储电路可以根据被译码的指令生成包括在单元阵列70中的存储单元的地址而根据驱动电路区域50的状况从单元阵列70读出数据或对单元阵列70写入数据。

[0203] 此外,时序控制器85生成用来控制ALU81、ALU控制器82、指令译码器83、中断控制器84以及包括在控制处理区域80中的存储电路的工作时序的信号。例如,时序控制器85具有根据基准时钟信号生成内部时钟信号的内部时钟发生器,并将内部时钟信号供应到上述

各种电路。注意,时序控制器85所生成的时钟信号也可以为上述信号CLK。

[0204] 包括在控制处理区域80中的存储电路根据来自ALU81的指令选择单元阵列70的存储单元75中的保持工作。换言之,选择在单元阵列70所具有的存储单元中由触发器保持数据还是由电容器保持数据。在选择由触发器保持数据的情况下,对单元阵列70中的存储单元75供应电源电压。在选择由电容器保持数据的情况下,对电容器进行数据的重写,而可以停止对单元阵列70中的存储单元75供应电源电压。

[0205] <驱动电路区域50的结构例子>

在图16中,驱动电路区域50包括PSW22(功率开关)、PSW23以及外围电路31。外围电路31包括外围电路41、控制电路32以及电压生成电路33。

[0206] 在驱动电路区域50中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1及信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。信号CLK为时钟信号。图16示出信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号PON1及信号PON2生成在控制处理区域80中并从控制处理区域80发送到驱动电路区域50的例子。

[0207] 此外,信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、信号PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以不在控制处理区域80中生成而在控制电路32中生成。

[0208] 控制电路32为具有控制驱动电路区域50及单元阵列层60的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定驱动电路区域50及单元阵列层60的工作模式(例如,写入工作、读出工作)。另外,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0209] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0210] 外围电路41是用来对存储单元10进行数据的写入及读出的电路。外围电路41包括行译码器42、列译码器44、行驱动器43、列驱动器45、输入电路47、输出电路48及读出放大器46。

[0211] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要存取行的电路,列译码器44是用来指定要存取列的电路。

[0212] 行驱动器43具有选择由行译码器42指定的写入及读出字线(例如,后述的图17所示的布线WL[1]至布线WL[m]中的任一个)的功能。

[0213] 列驱动器45具有如下功能:将数据写入到存储单元10的功能;从存储单元10读出数据的功能;保持所读出的数据的功能等。列驱动器45具有选择由列译码器44指定的写入及读出位线(例如,后述的图17所示的布线BL[1]至布线BL[n])的功能。

[0214] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据(上述实施方式中为第一数据)被输出到列驱动器45。输入电路47的输出数据是写入到存储单元10的数据(Din)。由列驱动器45从存储单元10读出的数据(Dout)被输出至输出电路48。在上述实施方式中,将所读出的数据(Dout)作为运算结果的数据进行处理。输出电路48具有保持Dout的

功能。此外,输出电路48具有将Dout输出到驱动电路区域50的外部的功能。从输出电路48输出的数据为信号RDA。

[0215] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,驱动电路区域50的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1切换PSW22的开启状态及关闭状态,利用信号PON2切换PSW23的开启状态及关闭状态。在图16中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0216] 接着,说明外围电路41与单元阵列层60的电连接。

[0217] 图17是示出外围电路41及单元阵列层60_k的结构例子的方框图。在图17中,行译码器42及行驱动器43与布线WL[1]至布线WL[m]中的每一个电连接,列译码器44、列驱动器45以及读出放大器46与布线BL[1]至布线BL[n]中的每一个电连接。

[0218] 布线WL[1]至布线WL[m]被用作字线。此外,布线WL[1]至布线WL[m]的每一个也可以是多个布线而不是一个布线。例如,布线WL也可以具有写入字线和读出字线。

[0219] 布线BL[1]至布线BL[n]被用作位线。此外,布线BL[1]至布线BL[n]的每一个也可以是多个布线而不是一个布线。例如,布线BL也可以具有写入位线和读出位线。

[0220] 配置在第i行第j列上的存储单元10[i,j]与布线WL[i]及布线BL[j]电连接。

[0221] 如图17所示,通过电连接单元阵列层60_k及外围电路41,可以对单元阵列层60_k写入数据并从单元阵列层60_k读出数据。

[0222] <单元阵列层60及单元阵列70的结构例子>

接着,说明可应用于单元阵列层60或单元阵列70的电路结构。

[0223] <<结构例子1>>

图18A示出作为单元阵列层60或单元阵列70(以后总称为存储单元阵列MCA)使用DRAM的结构例子。DRAM例如可以用于图2的存储层次100中的选自寄存器101、第一高速缓冲存储器102、第二高速缓冲存储器103和主存储器104中的一个以上。尤其是,DRAM例如优选用于主存储器104。

[0224] 图18A示出m行n列的存储单元阵列MCA,其中仅示出位于第1行第1列、第1行第n列、第m行第1列及第m行第n列的存储单元MC。所以在图18A中,将第1行布线WL图示为布线WL[1],将第m行布线WL图示为布线WL[m],将第1列布线BL图示为布线BL[1],并且将第n行布线BL图示为布线BL[n]。

[0225] 注意,存储单元MC在存储单元阵列MCA为单元阵列层60的情况下相当于存储单元10,而在存储单元阵列MCA为单元阵列70的情况下相当于存储单元75。

[0226] 在图18A的存储单元阵列MCA中,存储单元MC包括晶体管M1及电容器C1。

[0227] 在第i行第j列(i为1以上且m以下的整数,j为1以上且n以下的整数)的存储单元MC中,晶体管M1的第一端子与布线BL[j]电连接,晶体管M1的第二端子与电容器C1的第一端子电连接,晶体管M1的栅极与布线WL[i]电连接。电容器C1的第二端子与布线CL电连接。

[0228] 布线CL例如被用作供应恒电位的布线。该恒电位可以为高电平电位、低电平电位、接地电位或负电位。注意,布线CL也可以被用作供应可变电位(例如脉冲电位)的布线。

[0229] 注意,虽然在图18A的存储单元阵列MCA中晶体管M1为n沟道型晶体管,但是晶体管

M1也可以为p沟道型晶体管。不局限于图18A的存储单元阵列MCA中的晶体管,本说明书等所示的n沟道型晶体管有时可以置换成p沟道型晶体管。反之,本说明书等所示的p沟道型晶体管有时可以置换成n沟道型晶体管。

[0230] 另外,本说明书等所示的晶体管如图18A的存储单元阵列MCA所包括的晶体管M1等可以为沟道形成区域中含有硅的Si晶体管。作为硅,例如可以举出氢化非晶硅、微晶硅、多晶硅或单晶硅。另外,本说明书等所示的晶体管可以为OS晶体管。关于OS晶体管将在本实施方式及实施方式3中进行说明。此外,作为除OS晶体管及Si晶体管以外的晶体管,例如可以采用沟道形成区域中含有锗(Ge)等的晶体管、沟道形成区域中含有硒化锌(ZnSe)、硫化镉(CdS)、砷化镓(GaAs)、磷化铟(InP)、氮化镓(GaN)或硅锗(SiGe)等化合物半导体的晶体管、沟道形成区域中含有碳纳米管的晶体管或沟道形成区域中含有有机半导体的晶体管。

[0231] 尤其是,OS晶体管在沟道形成区域中含有的金属氧化物更优选为选自铟、元素M(作为元素M可以举出铝、镓、钇、锡、铜、钒、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁、钴或锑)和锌中的一个以上的氧化物。此外,沟道形成区域中含有该金属氧化物的OS晶体管的每沟道宽度1μm的关态电流可以为10aA(1×10^{-17}A)以下,优选为1aA(1×10^{-18}A)以下,更优选为10zA(1×10^{-20}A)以下,进一步优选为1zA(1×10^{-21}A)以下,进一步优选为100yA(1×10^{-22}A)以下。另外,在该OS晶体管中,金属氧化物的载流子浓度低,所以即使OS晶体管的温度产生变化,也保持低关态电流。例如,即使OS晶体管的温度为150℃,每沟道宽度1μm的关态电流也可以为100zA。

[0232] 尤其是,作为晶体管M1使用OS晶体管的DRAM有时被称为DOSRAM(Dynamic Oxide Semiconductor Random Access Memory:氧化物半导体动态随机存取存储器)。

[0233] 此外,电容器C1也可以为包括一对电极以及夹在该一对电极间的铁电体的铁电电容器。此时,存储单元阵列MCA有时被称为FeRAM(Ferroelectric Random Access Memory:铁电随机存取存储器)。

[0234] 此时,布线CL被用作使铁电电容器的铁电膜极化或使铁电膜的极化反转的板线而不被用作供应恒电位的布线。

[0235] 例如,使晶体管M1成为开启状态,对布线BL供应对应于数据的电压并对布线CL供应规定电位,来使包括在电容器C1中的铁电体膜极化,由此进行对作为铁电电容器的电容器C1的该数据写入工作。另外,在使晶体管M1成为开启状态之后对布线CL供应脉冲电位,由此进行从电容器C1读出写入的数据的工作。注意,供应到布线CL的脉冲电位的大小也可以与写入时对布线CL供应的电位相同。当读出电容器C1所保持的数据时,根据来自布线CL的脉冲电位是否引起极化反转而判定保持的数据是“0”还是“1”。当电容器C1中的铁电体膜发生极化反转时,电流经由晶体管M1流过布线BL。也就是说,通过例如使用具有积分电路(或电流电荷(IQ)转换电路)、电流电压转换电路的结构的读出电路取得流过布线BL的电流量,可以读出电容器C1所保持的数据。

[0236] <<结构例子2>>

存储单元阵列MCA不局限于图18A所示的电路图的结构,也可以具有适当地改变图18A的电路图的结构。例如,如图18B所示,在图18A的存储单元阵列MCA中晶体管M1也可以设置有背栅极。

[0237] 虽然图18B中未图示晶体管M1的背栅极的电连接关系,但是可以根据所希望的晶

体管M1的工作或特性而决定晶体管M1的背栅极的连接对象。例如,晶体管M1的背栅极的电连接对象可以为晶体管M1的栅极。通过电连接晶体管M1的栅极与背栅极,可以增大在晶体管M1为开启状态下流过的电流。另外,例如也可以对晶体管M1的背栅极设置用来电连接于外部电路的布线来通过该外部电路对晶体管M1的背栅极供应电位,使得提高阈值电压。通过采用这种结构,可以通过外部电路减小晶体管M1的关态电流。

[0238] 在图18B的存储单元阵列MCA中,作为包括背栅极的晶体管M1例如可以使用上述OS晶体管。

[0239] 注意,虽然在本结构例子中说明图18A的存储单元阵列MCA中的晶体管M1设置有背栅极的结构,但是包括在其他结构中的晶体管也可以设置有背栅极。也就是说,本说明书等所示的晶体管可以为包括背栅极的晶体管。

[0240] <<结构例子3>>

图18C示出作为存储单元阵列MCA使用ReRAM(Resistive Random Access Memory:电阻随机存取存储器)的结构例子。ReRAM例如可以用于图2的存储层次100中的选自寄存器101、第一高速缓冲存储器102、第二高速缓冲存储器103和主存储器104中的一个以上。尤其是,ReRAM例如优选用于主存储器104。

[0241] 在图18C的存储单元阵列MCA中,存储单元MC包括晶体管M1及可变电阻元件VR。图18C所示的存储单元MC使用可变电阻元件VR代替图18A的存储单元MC中的电容器C1。

[0242] <<结构例子4>>

图18D示出作为存储单元阵列MCA使用MRAM(Magnetic Random Access Memory:磁阻随机存取存储器)的结构例子。MRAM例如可以用于图2的存储层次100中的选自寄存器101、第一高速缓冲存储器102、第二高速缓冲存储器103和主存储器104中的一个以上。尤其是,MRAM例如优选用于主存储器104。

[0243] 在图18D的存储单元阵列MCA中,存储单元MC包括晶体管M1及MTJ(Magnetic Tunnnel Junction:磁隧道结)元件MR。图18D所示的存储单元MC使用MTJ元件MR代替图18A的存储单元MC中的电容器C1。

[0244] <<结构例子5>>

图18E示出作为存储单元阵列MCA使用PRAM(Phase change Random Access Memory:相变随机存取存储器)的结构例子。PRAM例如可以用于图2的存储层次100中的选自寄存器101、第一高速缓冲存储器102、第二高速缓冲存储器103和主存储器104中的一个以上。尤其是,PRAM例如优选用于主存储器104。

[0245] 在图18E的存储单元阵列MCA中,存储单元MC包括晶体管M1及相变存储器PCM。图18E所示的存储单元MC使用相变存储器PCM代替图18A的存储单元MC中的电容器C1。

[0246] 通过在制造工序中将用于DRAM的电容器C1的铁电材料改变为相变材料,可以制造包括在PRAM中的相变存储器PCM。也就是说,通过使用DRAM的制造装置,可以制造PRAM。

[0247] <<结构例子6>>

图19A示出包括具有2晶体管1电容器的结构的存储单元的存储单元阵列MCA的例子。图19A所示的存储单元阵列MCA例如可以用于图2的存储层次100中的选自寄存器101、第一高速缓冲存储器102、第二高速缓冲存储器103和主存储器104中的一个以上。

[0248] 图19A示出m行n列的存储单元阵列MCA,其中仅示出位于第1行第1列、第1行第n列、

第m行第1列及第m行第n列的存储单元MC。所以在图19A中,将位于第1列的布线图示为布线RBL[1]、布线WBL[1]、布线SL[1],将位于第m列的布线图示为布线RBL[n]、布线WBL[n]、布线SL[n],将位于第1行的布线图示为布线WL[1]、布线RWL[1],并且将位于第m行的布线图示为布线WL[m]、布线RWL[m]。

[0249] 存储单元MC包括晶体管M2、晶体管M3及电容器C2。

[0250] 作为晶体管M2及晶体管M3,例如可以使用可用作晶体管M1的晶体管。

[0251] 尤其是,在作为晶体管M2使用OS晶体管时,可以将图19A所示的包括存储单元MC的半导体装置称为NOSRAM(Nonvolatile Oxide Semiconductor Random Access Memory:非易失性氧化物半导体随机存取存储器)。

[0252] 在第i行第j列的存储单元MC中,晶体管M2的第一端子与电容器C2的第一端子电连接,晶体管M2的第二端子与布线WBL[j]电连接,晶体管M2的栅极与布线WWL[i]电连接。电容器C2的第二端子与布线RWL[i]电连接。晶体管M3的第一端子与布线RBL[j]电连接,晶体管M3的第二端子与布线SL[j]电连接,晶体管M3的栅极与电容器C2的第一端子电连接。注意,在图19A中,省略布线WWL[i]、布线RWL[i]、布线RBL[j]、布线WBL[j]及布线SL[j]。

[0253] 布线WBL[j]被用作写入位线,布线RBL[j]被用作读出位线,布线WBL[j]及布线RBL[j]各自相当于图17所示的布线BL。此外,布线WWL[i]被用作写入字线,布线RWL[i]被用作读出字线,布线WWL[i]及布线RWL[i]各自相当于图17所示的布线WL。

[0254] 另外,在数据的写入及读出中,优选对布线RWL[i]供应高电平电位等恒电位。另外,在数据的保持中,优选对布线RWL[i]供应低电平电位等恒电位。

[0255] 布线SL[j]被用作从存储单元MC读出数据时供应规定电位的布线。

[0256] 对布线WWL[i]供应高电平电位来使晶体管M2成为开启状态,换言之使布线WBL[j]与各存储单元MC的电容器C2的第一端子之间成为导通状态,由此对第i行第j列的存储单元MC写入数据。此时,优选对布线RWL[i]供应高电平电位。具体地,在晶体管M2处于导通状态时,对布线WBL[j]供应对应于要记录的信息的电位来对电容器C2的第一端子及晶体管M3的栅极写入该电位。然后,对布线WL[i]供应低电平电位使晶体管M2成为关闭状态,由此保持电容器C2的第一端子的电位及晶体管M3的栅极的电位。并且,将布线RWL[i]的电位从高电平电位变为低电平电位,通过电容器C2的电容耦合而降低晶体管M3的栅极电位,来使晶体管M3成为关闭状态。

[0257] 对布线RWL[i]供应高电平电位,并且对布线SL[j]供应规定电位,由此从第i行第j列的存储单元MC读出数据。由于晶体管M3的源极-漏极间流过的电流及晶体管M3的第一端子的电位由晶体管M3的栅极的电位及晶体管M3的第二端子的电位决定,所以通过读出与晶体管M3的第一端子连接的布线RBL[j]的电位,可以读出电容器C2的第一端子(或晶体管M3的栅极)所保持的电位。也就是说,可以从电容器C2的第一端子(或晶体管M3的栅极)所保持的电位读出该存储单元中写入的信息。

[0258] 另外,图17所示的存储单元MC不局限于图19A所示的存储单元MC。在图19A所示的存储单元MC中,可以根据状况进行电路的取舍、电路连接的改变等。例如,也可以将设置有背栅极的晶体管用作晶体管M2及晶体管M3。

[0259] 另外,在图19A的存储单元阵列MCA中,也可以将布线WBL[j]和布线RBL[j]总用作一个布线。图19B所示的存储单元阵列MCA具有将图19A的存储单元阵列MCA中的布线WBL[j]

和布线RBL[j]总用作布线BL[j]的结构。通过将多个布线总用作一个布线,可以减小存储单元阵列MCA的电路面积。

[0260] 另外,也可以将图19A所示的存储单元MC的电路结构改变为图19C所示的存储单元MC。图19C所示的存储单元MC包括晶体管M6这点上与图19A所示的存储单元MC不同。

[0261] 在第i行第j列的存储单元MC中,晶体管M2的第一端子与电容器C2的第一端子电连接,晶体管M2的第二端子与布线WBL[j]电连接,晶体管M2的栅极与布线WWL[i]电连接。电容器C2的第二端子与布线CL[i]电连接。晶体管M3的第一端子与晶体管M6的第一端子电连接,晶体管M3的第二端子与布线SL[j]电连接,晶体管M3的栅极与电容器C2的第一端子电连接。另外,晶体管M6的第二端子与布线RBL[j]电连接,晶体管M6的栅极与布线RWL[j]电连接。注意,在图19C中,省略布线WWL[i]、布线RWL[i]、布线CL[j]、布线RBL[j]、布线WBL[j]及布线SL[j]。

[0262] 布线CL[i]例如被用作供应恒电位的布线。该恒电位可以为高电平电位、低电平电位、接地电位或负电位。注意,布线CL[i]也可以被用作供应可变电位(例如脉冲电位)的布线。

[0263] 在图19C的存储单元MC中,晶体管M6被用作读出晶体管。作为晶体管M6可以使用可用作晶体管M2或晶体管M3的晶体管。

[0264] 在图19A的存储单元MC中,用作读出字线的布线RWL[i]与电容器C2的第二端子电连接,而在图19C的存储单元MC中,布线CL[i]作为供应恒电位的布线与电容器C2的第二端子电连接。

[0265] 在图19A的存储单元MC中,由于通过电容器C2的电容耦合改变晶体管M3的栅极电位来进行读出工作,所以在晶体管M3的栅极电位因寄生电容等而不正确地改变时,有时发生读出错误。另一方面,在图19C的存储单元MC中,不由于通过电容器C2的电容耦合改变晶体管M3的栅极电位,所以不发生上述读出错误。

[0266] <<结构例子7>>

图20A示出可用于存储单元阵列MCA中的存储单元MC的SRAM的一个例子。SRAM例如可以用于图2的存储层次100中的选自寄存器101、第一高速缓冲存储器102、第二高速缓冲存储器103和主存储器104中的一个以上。尤其是,SRAM例如可以用于寄存器101、第一高速缓冲存储器102及第二高速缓冲存储器103。

[0267] 存储单元MC包括晶体管M4、晶体管M4r、逻辑电路INV1及逻辑电路INV2。

[0268] 作为晶体管M4及晶体管M4r,例如可以使用可用作晶体管M1的晶体管。

[0269] 逻辑电路INV1及逻辑电路INV2具有生成并输出对于输入到该电路的信号的反转信号的功能。作为逻辑电路INV1及逻辑电路INV2,例如可以使用反相器电路。除了反相器电路以外,例如也可以使用NAND电路、NOR电路、XOR电路或组合上述电路的逻辑电路。

[0270] 晶体管M4的第一端子与布线BL电连接,晶体管M4的第二端子与逻辑电路INV1的输入端子及逻辑电路INV2的输出端子电连接,晶体管M4的栅极与布线WL电连接。晶体管M4r的第一端子与布线BLB电连接,晶体管M4r的第二端子与逻辑电路INV1的输出端子及逻辑电路INV2的输入端子电连接,晶体管M4r的栅极与布线WL电连接。

[0271] 逻辑电路INV1及逻辑电路INV2的各高电源输入端子与布线C1L电连接,逻辑电路INV1及逻辑电路INV2的各低电源输入端子与布线C2L电连接。布线C1L被用作供应高电平电

位的布线,布线C2L被用作供应低电平电位的布线。布线C1L及布线C2L也可以为不供应恒电位而供应可变电位的布线。

[0272] 对布线WL供应高电平电位,使晶体管M4成为开启状态,并使布线BL与逻辑电路INV1的输入端子及逻辑电路INV2的输出端子之间成为导通状态,由此写入数据。此时,晶体管M4r也成为开启状态,布线BLB与逻辑电路INV1的输出端子及逻辑电路INV2的输入端子之间成为导通状态。因此,当对存储单元MC写入数据时,可以从布线BL及布线BLB的每一个发送用于写入的数据信号。注意,输入到布线BL的用于写入的数据信号优选为输入到布线BLB的信号的反转信号。此外,布线BL及布线BLB相当于图17所示的布线BL,布线WL相当于图17所示的布线WL。

[0273] 另外,图17所示的存储单元MC不局限于图20A所示的存储单元MC。在图20A所示的存储单元MC中,可以根据状况进行电路的取舍、电路连接的改变等。例如,如图20B所示,也可以在图20A的存储单元MC中设置晶体管M5、晶体管M5r、电容器C3及电容器C3r。

[0274] 作为晶体管M5及晶体管M5r,例如可以使用可用作晶体管M1的晶体管。

[0275] 晶体管M5的第一端子与晶体管M4的第二端子、逻辑电路INV1的输入端子及逻辑电路INV2的输出端子电连接,晶体管M5的第二端子与电容器C3的第一端子电连接,晶体管M5的栅极与布线W2L电连接。晶体管M5r的第一端子与晶体管M4的第二端子、逻辑电路INV1的输入端子及逻辑电路INV2的输出端子电连接,晶体管M5r的第二端子与电容器C3r的第一端子电连接,晶体管M5r的栅极与布线W2L电连接。电容器C3及电容器C3r的每个第二端子与布线CL电连接。

[0276] 图20B的存储单元MC中的布线W1L相当于图20A中的布线WL。布线W2L被用作第二字线,切换晶体管M5及晶体管M5r的每一个的开启状态和关闭状态。另外,布线W1L及布线W2L相当于图17所示的布线WL。

[0277] 布线CL被用作用来对电容器C3及电容器C3r的每个第二端子供应恒电位的布线。该恒电位可以为高电平电位、低电平电位、接地电位或负电位。注意,布线CL也可以被用作供应可变电位(例如脉冲电位)的布线。

[0278] 通过布线W2L使晶体管M5及晶体管M5r的每一个成为开启状态,由此晶体管M4的第二端子与电容器C3的第一端子之间成为导通状态,并且晶体管M4r的第二端子与电容器C3r的第一端子之间成为导通状态。由此,逻辑电路INV1的输入端子及逻辑电路INV2的输出端子的每一个的电位被写入到电容器C3的第一端子,并且逻辑电路INV1的输出端子及逻辑电路INV2的输入端子的每一个的电位被写入到电容器C3r的第一端子。然后,通过布线W2L使晶体管M5及晶体管M5r成为关闭状态,由此可以使电容器C3及电容器C3r的每个第一端子成为浮动状态,并且可以保持写入到电容器C3及电容器C3r的每个第一端子的电位。此时,即便暂时停止从布线C1L及布线C2L供应电压而停止驱动逻辑电路INV1及逻辑电路INV2,也可以使用晶体管M5、晶体管M5r、电容器C3及电容器C3r保持数据。

[0279] <半导体装置DEV的结构例子1>

接着,图21示出本发明的一个方式的半导体装置DEV的截面结构例子。图21所示的半导体装置DEV在驱动电路区域50及控制处理区域80的上方包括电路层90及多层单元阵列层60(相当于实施方式1中说明的图1中的存储层MEML_L)。此外,多层单元阵列层60位于电路层90的上方。

[0280] 图21示出驱动电路区域50所包括的晶体管400。晶体管400设置在衬底311上,并包括用作栅极的导电体316、用作栅极绝缘体的绝缘体315、包含衬底311的一部分的半导体区域313以及用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管400可以是p沟道型晶体管或n沟道型晶体管。作为衬底311例如可以使用半导体衬底(尤其是,以硅为材料的单晶衬底)。

[0281] 另外,作为衬底311也可以使用以锗为材料的单晶衬底。另外,除了半导体衬底以外例如还可以使用SOI(Silicon On Insulator:绝缘体上硅)衬底、玻璃衬底、石英衬底、塑料衬底、蓝宝石玻璃衬底、金属衬底、不锈钢衬底、包括不锈钢箔的衬底、钨衬底、包括钨箔的衬底、柔性衬底、贴合薄膜、包括纤维状的材料的纸或基材薄膜。作为玻璃衬底的一个例子,可以举出钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃。作为柔性衬底、贴合薄膜或基材薄膜的一个例子,可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)、聚四氟乙烯(PTFE)为代表的塑料。或者,作为其他例子,可以举出丙烯酸树脂等的合成树脂。或者,作为其他例子,可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯。或者,作为其他例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜或纸类。在半导体装置DEV的制造工序包括热处理时,作为该衬底优选选择具有高耐热性的材料。

[0282] 在此,在图21所示的晶体管400中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管400也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI(Silicon On Insulator)衬底进行加工来形成具有凸形状的半导体膜。

[0283] 注意,图21所示的晶体管400的结构只是一个例子,不局限于上述结构,可以根据电路结构或驱动方法使用适当的晶体管。

[0284] 在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。此外,在本说明书等中,布线、插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0285] 例如,在晶体管400上,作为层间膜依次层叠地设置有绝缘体320、绝缘体301、绝缘体324及绝缘体326。此外,导电体328等嵌入绝缘体320及绝缘体301中。此外,导电体330等嵌入绝缘体324及绝缘体326中。此外,导电体328及导电体330被用作接触插头或布线。

[0286] 作为各插头及布线(导电体328及导电体330)的材料,可以使用选自金属材料、合金材料、金属氮化物材料和金属氧化物材料中的一个以上的导电材料的单层或叠层。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,例如尤其优选使用钨。另外,作为该材料优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料,可以降低布线电阻。

[0287] 此外,用作层间膜的绝缘体也可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘体301的顶面的平坦性,也可以通过利用化学机械抛光(CMP)法等的平坦化处理实现平坦化。

[0288] 此外,也可以在绝缘体326及导电体330上设置布线层。例如,在图22中,绝缘体326及导电体330上依次层叠有绝缘体350、绝缘体357以及绝缘体352。绝缘体350、绝缘体357以

及绝缘体352中形成有导电体356。导电体356被用作接触插头或布线。另外,也可以将可用于导电体328或导电体330的材料用于导电体356。

[0289] 电路层90例如包括晶体管MN。作为一个例子,晶体管MN可以为包括在实施方式1中说明的电路层SWCL中的晶体管。例如,包括在电路层SWCL中的晶体管可以为包括在电路层SWCL所具有的开关中的晶体管。

[0290] 作为晶体管MN,例如可以使用可用作晶体管M1的晶体管。

[0291] 此外,在图21所示的半导体装置DEV中,导电体356上设置有导电体361等。此外,电路层90中嵌入有导电体362,并且电路层90中的晶体管MN的一对低电阻区域的每一个上分别设置有导电体540a及导电体540b。此外,晶体管MN的上方设置有导电体363a及导电体363b。导电体361、导电体362、导电体363a及导电体363b被用作接触插头或布线。

[0292] 多个单元阵列层60分别包括多个存储单元MC。注意,作为一个例子,图21所示的存储单元MC是图18B所示的存储单元MC。因此,在图21所示的各存储单元MC中示出晶体管M1及电容器C1。

[0293] 另外,电路层90与单元阵列层60_1之间的层间膜中嵌入有导电体502。另外,在多个单元阵列层60的每一个中,后述的绝缘体514、绝缘体516及绝缘体520中嵌入有导电体503。注意,导电体502的一部分中也可以嵌入有导电体503。导电体502及导电体503被用作接触插头或布线。此外,多个单元阵列层60中嵌入有用作电连接到上层的单元阵列层60中的存储单元MC的接触插头或布线的导电体。此外,在多个单元阵列层60的每一个中,后述的绝缘体520、绝缘体522、导电体542b、绝缘体554、绝缘体580及绝缘体574中嵌入有导电体504。注意,绝缘体574也可以使用与绝缘体514相同的材料而成的绝缘膜。导电体502、导电体503及导电体504被用作接触插头或布线。

[0294] 作为一个例子,在图21所示的半导体装置DEV中,电路层90中的晶体管MN通过导电体540a、导电体363b、导电体502及导电体503与单元阵列层60_1的存储单元MC中的晶体管M1电连接。尤其是,通过导电体503与后述的导电体542a或导电体542b接触,晶体管MN与晶体管M1电连接。

[0295] 注意,虽然在图21中,包括在驱动电路区域50及控制处理区域80中的晶体管400与包括在单元阵列层60_1的存储单元MC中的晶体管M1之间的电路径上设置有一个晶体管MN,但是该电路径上根据状况也可以设置有多个晶体管MN。

[0296] 此外,虽然图21的半导体装置DEV具有从下方依次层叠多个单元阵列层60的结构,但是半导体装置DEV中的单元阵列也可以如图22所示在叠层方向上形成。

[0297] 在图22的半导体装置DEV中,电路层90与单元阵列层60_1之间的层间膜中嵌入有导电体502。另外,在多个单元阵列层60的每一个中,后述的绝缘体514及绝缘体516中嵌入有导电体503。注意,导电体502的一部分中也可以嵌入有导电体503。此外,在多个单元阵列层60的每一个中,后述的绝缘体520、绝缘体522、导电体542b、绝缘体554、绝缘体580及绝缘体574中嵌入有导电体504。注意,绝缘体574也可以使用与绝缘体514相同的材料而成的绝缘膜。导电体502、导电体503及导电体504被用作接触插头或布线。

[0298] 作为一个例子,在图22所示的半导体装置DEV中,电路层90中的晶体管MN通过导电体540a、导电体363b、导电体502、导电体503及导电体504与多个单元阵列层60的每一个的存储单元MC中的晶体管M1电连接。尤其是,通过导电体504与后述的导电体542b接触,晶体

管MN与晶体管M1电连接。

[0299] <<晶体管的结构例子>>

接着,说明图21及图22所示的晶体管M1及晶体管MN的结构例子。

[0300] 图23A及图23B所示的晶体管500是可用于半导体装置DEV中的晶体管M1及晶体管MN的晶体管,尤其是,图23A是晶体管500的沟道长度方向上的截面示意图,图23B是该晶体管500的沟道宽度方向上的截面示意图。注意,图23A及图23B示出绝缘体512上设置有晶体管500的结构。

[0301] 此外,半导体装置DEV中的晶体管MN例如可以采用图23A及图23B所示的晶体管500的结构。此外,半导体装置DEV的晶体管M1例如可以采用作为图23A的变形例子的后述的图25的晶体管500的结构。尤其是,为了与导电体504电连接,单元阵列层60中的晶体管M1优选采用图25的晶体管500的结构。

[0302] 如图23A及图23B所示,例如,晶体管500包括金属氧化物531a、金属氧化物531b、导电体505、导电体542a、导电体542b、绝缘体580、导电体560、绝缘体514、绝缘体516、绝缘体520、绝缘体522、绝缘体524、绝缘体550、绝缘体554、绝缘体574、绝缘体580及绝缘体581。注意,晶体管500也可以不包括所有上述构成要素。例如,晶体管500也可以不包括绝缘体520。

[0303] 导电体505(导电体505a及导电体505b)及绝缘体516配置在衬底(未图示)上方。尤其是,导电体505优选以嵌入绝缘体516中的方式设置。具体而言,导电体505a与设置在绝缘体516中的开口的底面及侧壁接触。另外,导电体505b以嵌入形成在导电体505a的凹部中的方式设置。在图23A及图23B所示的晶体管500中,导电体505b的顶面的高度与导电体505a的顶面的高度及绝缘体516的顶面的高度大致一致。

[0304] 另外,金属氧化物531及导电体560配置在与导电体505重叠的区域中。另外,金属氧化物531b配置在金属氧化物531a上。另外,导电体542a及导电体542b彼此分离地配置在金属氧化物531b上。另外,绝缘体580配置在导电体542a及导电体542b上。尤其是,绝缘体580在导电体542a和导电体542b之间的区域中形成有开口部。另外,导电体560配置在该开口部中。另外,绝缘体550配置在金属氧化物531b、导电体542a、导电体542b及绝缘体580与导电体560间。在此,如图23A及图23B所示,导电体560的顶面优选与绝缘体550及绝缘体580的顶面大致一致。注意,下面有时将导电体505a及导电体505b统称为导电体505。另外,有时将金属氧化物531a及金属氧化物531b统称为金属氧化物531。此外,有时将导电体542a及导电体542b统称为导电体542。

[0305] 此外,如图23A所示,有时在金属氧化物531b与导电体542a的界面及其附近作为低电阻区域形成有区域543a。同样地,有时在金属氧化物531b与导电体542b的界面及其附近作为低电阻区域形成有区域543b。此时,区域543a被用作源极区域和漏极区域中的一个,区域543b被用作源极区域和漏极区域中的另一个。此外,沟道形成区域形成在夹在区域543a和区域543b之间的区域中。

[0306] 通过以与金属氧化物531接触的方式设置上述导电体542a(导电体542b),区域543a(区域543b)的氧浓度有时降低。此外,在区域543a(区域543b)中有时形成含有包含在导电体542a(导电体542b)中的金属及金属氧化物531的成分的金属化合物层。在此情况下,区域543a(区域543b)的载流子浓度增加,区域543a(区域543b)成为低电阻区域。

[0307] 在图23A及图23B所示的晶体管500中,导电体542a及导电体542b的位于导电体560

一侧的侧面具有大致垂直的形状。此外,图23A及图23B所示的晶体管500不局限于此,也可以采用导电体542a及导电体542b的侧面和底面所形成的角度为10°以上且80°以下,优选为30°以上且60°以下的结构。此外,导电体542a和导电体542b的相对的侧面也可以具有多个面。

[0308] 注意,在晶体管500中,在形成沟道的区域(以下也称为沟道形成区域)及其附近层叠有金属氧化物531a及金属氧化物531b的两层,但是本发明不局限于此。例如,也可以采用金属氧化物531b的单层结构或三层以上的叠层结构。另外,金属氧化物531a和金属氧化物531b也可以都具有两层以上的叠层结构。

[0309] 在此,导电体560被用作晶体管的第一栅电极(有时被称为栅电极、顶栅电极或前栅电极),导电体542a及导电体542b分别被用作源电极或漏电极。如上所述,导电体560嵌入绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域中。在此,导电体560、导电体542a及导电体542b的配置相对于绝缘体580的开口自对准地被选择。换言之,在晶体管500中,可以在源电极与漏电极之间自对准地配置第一栅电极。由此,可以在不设置用于对准的余地的方式形成导电体560,所以可以实现晶体管500的占有面积的缩小。由此,可以实现显示装置的高清晰化。此外,可以实现窄边框的显示装置。

[0310] 另外,导电体505有时被用作第二栅电极(有时被称为底栅电极或背栅电极)。在此情况下,通过独立地改变施加到导电体505的电位而不使其与施加到导电体560的电位联动,可以控制晶体管500的阈值电压V_{th}。尤其是,通过对导电体505施加负电位,可以进一步增大晶体管500的V_{th}且可以减小关态电流。因此,与不对导电体505施加负电位时相比,在对导电体505施加负电位的情况下,可以减小对导电体560施加的电位为0V时的漏极电流。

[0311] 导电体505优选比金属氧化物531中的沟道形成区域大。尤其是,如图23B所示,优选的是,导电体505作为布线延伸到与沟道宽度方向上的金属氧化物531交叉的端部的外侧的区域。就是说,优选的是,在金属氧化物531的沟道宽度方向的侧面的外侧,导电体505和导电体560隔着绝缘体重叠。

[0312] 如图23A所示,导电体560优选包括设置在绝缘体550的内侧的导电体560a及嵌入导电体560a的内侧的导电体560b中。注意,在图23A及图23B中将导电体560表示为两层叠层结构,但是本发明不局限于此。例如,导电体560也可以具有单层结构或三层以上的叠层结构。

[0313] 如图23A及图23B所示,晶体管500优选包括配置在衬底(未图示)上的绝缘体512、配置在绝缘体512上的绝缘体514、配置在绝缘体514上的绝缘体516、以嵌入绝缘体516中的方式配置的导电体505、配置在绝缘体516及导电体505上的绝缘体520、配置在绝缘体520上的绝缘体522以及配置在绝缘体522上的绝缘体524。优选在绝缘体524上配置金属氧化物531a。

[0314] 另外,如图23A及图23B所示,优选在绝缘体522、绝缘体524、金属氧化物531a、金属氧化物531b、导电体542a、导电体542b与绝缘体580间配置绝缘体554。在此,如图23A及图23B所示,绝缘体554优选与绝缘体550的侧面、导电体542a的顶面及侧面、导电体542b的顶面及侧面、金属氧化物531a、金属氧化物531b、绝缘体524的侧面及顶面以及绝缘体522的顶面接触。

[0315] 晶体管500上优选配置有用作层间膜的绝缘体574及绝缘体581。在此,绝缘体574

优选与导电体560、绝缘体550及绝缘体580的顶面接触。另外,此时,绝缘体580的顶面优选被平坦化。

[0316] 此外,优选设置与晶体管500电连接且用作插头的导电体540(导电体540a及导电体540b)。因此,以与绝缘体554、绝缘体580、绝缘体574及绝缘体581的开口的内壁接触的方式设置导电体540。尤其是,也可以采用如下结构:以与该内壁接触的方式设置导电体540的第一导电体,并且在第一导电体的侧面上设置导电体540的第二导电体。在此,导电体540的顶面的高度与绝缘体581的顶面的高度可以大致相同。

[0317] 具体而言,例如,以与绝缘体581、绝缘体574、绝缘体580及绝缘体554的两个开口中的一个内壁接触的方式设置导电体540a的第一导电体且与其侧面接触地形成导电体540a的第二导电体。导电体542a位于该开口的底部的至少一部分,导电体540a与导电体542a接触。同样,以与绝缘体581、绝缘体574、绝缘体580及绝缘体554的两个开口中的另一个的内壁接触的方式设置有导电体540b的第一导电体,以与其侧面接触的方式形成有导电体540b的第二导电体。导电体542b位于该开口的底部的至少一部分,导电体540b与导电体542b接触。

[0318] 此外,在晶体管500中,层叠有导电体540的第一导电体与导电体540的第二导电体,但是本发明不局限于此。例如,导电体540也可以具有单层结构或者三层以上的叠层结构。在结构体具有叠层结构的情况下,有时按形成顺序赋予序数以进行区别。

[0319] 如图23B所示,在金属氧化物531b的不与导电体542重叠的区域,即金属氧化物531的沟道形成区域中,金属氧化物531的侧面被导电体560覆盖。由此,用作第一栅电极的导电体560的电场容易作用于金属氧化物531的侧面,其结果,可以由导电体560的电场电围绕金属氧化物531的沟道形成区域。由此,可以提高晶体管500的通态电流及频率特性。

[0320] 注意,根据本发明的一个方式的半导体装置的晶体管的结构不局限于图23A所示的晶体管500。例如,在图23A中,包括在半导体装置DEV中的晶体管也可以具有导电体542a及导电体542b除了金属氧化物531b上之外还形成在金属氧化物531a的侧面、绝缘体524的侧面及绝缘体522的顶面的结构(参照图25)。

[0321] <<晶体管的构成材料>>

以下,说明可用于晶体管500的构成材料。

[0322] [金属氧化物(氧化物半导体)]

优选在晶体管500中将用作氧化物半导体的金属氧化物(以下也称为氧化物半导体)用于包含沟道形成区域的金属氧化物531(金属氧化物531a及金属氧化物531b)。例如,作为将成为金属氧化物531的沟道形成区域的金属氧化物,优选使用其带隙为2eV以上,优选为2.5eV以上,更优选为3.0eV以上的金属氧化物。

[0323] 作为上述金属氧化物,优选至少包含铟或锌。尤其优选包含铟及锌。此外,除此之外,优选还包含元素M。作为元素M,可以使用选自铝、镓、钇、锡、铜、钒、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁、钴和锑中的一个以上。尤其是,元素M优选为铝、镓、钇和锡中的一种以上。另外,元素M更优选包含镓和锡中的一个或两个。

[0324] 如上所述,金属氧化物531包括金属氧化物531a以及金属氧化物531a上的金属氧化物531b。当金属氧化物531b下设置有金属氧化物531a时,可以抑制杂质从形成在金属氧化物531a下方的结构物扩散到金属氧化物531b。

[0325] 此外,金属氧化物531优选具有各金属原子的原子个数比互不相同的多个氧化物层的叠层结构。例如,在金属氧化物531至少包含铟(In)及元素M的情况下,金属氧化物531a的所有构成元素中的元素M的原子个数比优选大于金属氧化物531b的所有构成元素中的元素M的原子个数比。此外,金属氧化物531a中的元素M的相对于In的原子个数比优选大于金属氧化物531b中的元素M的相对于In的原子个数比。

[0326] 优选的是,使金属氧化物531a的导带底的能量高于金属氧化物531b的导带底的能量。换言之,金属氧化物531a的电子亲和势优选小于金属氧化物531b的电子亲和势。

[0327] 在此,在金属氧化物531a及金属氧化物531b的接合部中,导带底的能级平缓地变化。换言之,也可以将上述情况表达为金属氧化物531a及金属氧化物531b的接合部的导带底的能级连续地变化或者连续地接合。为此,优选降低形成在金属氧化物531a与金属氧化物531b的界面的混合层的缺陷态密度。

[0328] 具体而言,通过使金属氧化物531a与金属氧化物531b除了氧之外还包含共同元素(为主要成分),可以形成缺陷态密度低的混合层。例如,在金属氧化物531b为In-Ga-Zn氧化物(铟-镓-锌氧化物)时,作为金属氧化物531a可以使用In-Ga-Zn氧化物、Ga-Zn氧化物或氧化镓。

[0329] 具体而言,作为金属氧化物531a使用In:Ga:Zn=1:3:4、1:3:2或1:1:0.5[原子个数比]的金属氧化物,即可。此外,作为金属氧化物531b使用In:Ga:Zn=1:1:1、4:2:3或3:1:2[原子个数比]的金属氧化物,即可。

[0330] 此时,载流子的主要路径为金属氧化物531b。通过金属氧化物531a采用上述结构,可以降低金属氧化物531a与金属氧化物531b的界面的缺陷态密度。因此,界面散射对载流子传导的影响减少,从而晶体管500可以得到大通态电流及高频率特性。

[0331] 另外,通过以与金属氧化物531接触的方式形成上述导电体542,金属氧化物531中的导电体542附近的氧浓度有时降低。此外,在金属氧化物531中的导电体542附近有时形成含有包含在导电体542中的金属及金属氧化物531的成分的金属化合物层。在此情况下,金属氧化物531的导电体542附近的区域中的载流子浓度增加,该区域成为低电阻区域。

[0332] 此外,金属氧化物531b中的不与导电体542重叠的区域的厚度有时比其与导电体542重叠的区域的厚度薄。这是因为在形成导电体542a及导电体542b时去除金属氧化物531b的顶面的一部分而发生的。当在金属氧化物531b的顶面上沉积将成为导电体542的导电膜时,有时在与该导电膜的界面附近形成低电阻区域。如此,通过去除金属氧化物531b的顶面上的位于导电体542a与导电体542b之间的低电阻区域,可以抑制沟道形成在该区域中。

[0333] [导电体]

作为导电体,例如优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧中的金属元素或者包含上述金属元素中的两种以上的合金。作为导电体,例如优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物。此外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。另外,作为导电体例如也可以使用以含有杂质元素(例如,磷)的多晶硅为代表的导电率高

的半导体或者硅化物(例如,镍硅化物)。

[0334] 此外,也可以层叠多个由上述材料形成的导电体。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0335] 作为用作第二栅电极的导电体505a,优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(例如,N_2O、NO或NO_2)及铜原子等杂质的扩散的功能的导电材料。或者,优选使用具有抑制氧(例如,氧原子和氧分子中的一方或双方)的扩散的功能的导电材料。

[0336] 通过作为导电体505a使用具有抑制氢的扩散的功能的导电材料,可以抑制含在导电体505b中的氢等杂质通过绝缘体524扩散到金属氧化物531。此外,通过作为导电体505a使用具有抑制氧的扩散的功能的导电材料,可以抑制导电体505b被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以举出钛、氮化钛、钽、氮化钽、钌或氧化钌。由此,导电体505a可以采用上述导电材料的单层或叠层。例如,作为导电体505a使用氮化钛即可。

[0337] 作为导电体505b,优选使用以钨、铜或铝为主要成分的导电材料。例如,导电体505b可以使用钨。

[0338] 作为用作源电极或漏电极的导电体542(导电体542a及导电体542b),优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧中的金属元素、包含上述金属元素中的两种以上的合金。作为导电体542,例如优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物。另外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物以及包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。

[0339] 作为用作第一栅电极的导电体560a,优选使用上述具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(例如,N_2O、NO或NO_2)及铜原子等杂质的扩散的功能的导电体。或者,优选使用具有抑制氧(例如,氧原子和氧分子中的一方或双方)的扩散的功能的导电材料。

[0340] 通过使导电体560a具有抑制氧的扩散的功能,可以抑制因绝缘体550所包含的氧导致导电体560b氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以举出钽、氮化钽、钛、氮化钛、钌或氧化钌。通过作为导电体560a设置包含氧的导电材料,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0341] 作为导电体560b,优选使用以钨、铜或铝为主要成分的导电材料。此外,由于导电体560还被用作布线,所以优选使用导电性高的导电体。例如,可以使用以钨、铜或铝为主要成分的导电材料。导电体560b也可以具有叠层结构,例如,可以采用钛或氮化钛和上述导电材料的叠层结构。

[0342] 此外,作为导电体560可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘

获形成有沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0343] 注意,在图23A及图23B中,导电体560具有两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0344] 用作插头的导电体540a及导电体540b优选使用以钨、铜或铝为主要成分的导电材料。此外,导电体540a及导电体540b也可以具有叠层结构。

[0345] 当作为导电体540采用叠层结构时,作为与导电体542、绝缘体554、绝缘体580、绝缘体574及绝缘体581接触的导电体例如优选使用上述具有抑制水及氢等杂质的扩散的功能的导电体。例如,优选使用钽、氮化钽、钛、氮化钛、钌或氧化钌。另外,也可以以单层或叠层使用具有抑制水或氢等杂质的扩散的功能的导电材料。通过使用该导电材料,可以防止添加到绝缘体580的氧被导电体540a及导电体540b吸收。此外,可以防止水及氢等杂质从绝缘体581的上方的层通过导电体540a及导电体540b混入金属氧化物531。

[0346] 同样地,用作接触插头或布线的导电体361、导电体362、导电体363a、导电体363b、导电体502、导电体503及导电体504的每一个可以使用可用于导电体540a或导电体540b的材料。

[0347] [绝缘体]

作为绝缘体,可以举出具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物。

[0348] 绝缘体514优选被用作抑制水及氢等杂质从衬底一侧混入晶体管500的阻挡绝缘膜。因此,绝缘体514优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(例如,N_2O、NO或NO_2)或铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。或者,优选使用具有抑制氧(例如,氧原子和氧分子中的一方或双方)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0349] 作为具有抑制水及氢等杂质及氧的透过的功能的绝缘体,例如可以使用包含选自硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、铪和钽中的一个以上的绝缘体的单层或叠层。具体而言,作为具有抑制水及氢等杂质及氧的透过的功能的绝缘体,例如可以举出氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪及氧化钽等金属氧化物。另外,作为具有抑制水及氢等杂质及氧的透过的功能的绝缘体,例如可以举出包含铝及铪的氧化物(铝酸铪)。另外,作为抑制水及氢等杂质及氧的透过的功能的绝缘体,例如可以举出氮化铝、氮化铝钛、氮化钛、氮氧化硅及氮化硅等金属氮化物。

[0350] 尤其优选的是,作为绝缘体514使用氧化铝或氮化硅。由此,可以抑制水及氢等杂质从与绝缘体514相比更靠近衬底一侧扩散到晶体管500一侧。或者,例如可以抑制包含在绝缘体524等中的氧扩散到与绝缘体514相比更靠近衬底一侧。

[0351] 绝缘体520、绝缘体522及绝缘体524被用作第二栅极绝缘体。

[0352] 在此,在与金属氧化物531接触的第二栅极绝缘体中,优选通过加热使氧脱离。在本说明书等中,有时将通过加热脱离的氧称为过剩氧。例如,在用作第二栅极绝缘体的绝缘体524中,可以适当地设置氧化硅或氧氮化硅。通过以与金属氧化物531接触的方式设置包含氧的绝缘体,可以减少金属氧化物531中的氧空位,从而可以提高晶体管500的可靠性。

[0353] 具体而言,作为绝缘体524,优选使用通过加热使一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在热脱附谱分析法(TDS:Thermal Desorption

Spectrometry)中换算为氧原子的氧的脱离量为1.0×10^{18}atoms/cm^3以上,优选为1.0×10^{19}atoms/cm^3以上,更优选为2.0×10^{19}atoms/cm^3以上,或者3.0×10^{20}atoms/cm^3以上的氧化物膜。此外,进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0354] 与绝缘体514等同样,绝缘体522优选被用作抑制水及氢等杂质从衬底一侧混入晶体管500的阻挡绝缘膜。例如,绝缘体522的氢透过性优选比绝缘体524低。

[0355] 再者,绝缘体522优选具有抑制氧(例如,氧原子和氧分子中的一方或双方)的扩散(不容易使上述氧透过)的功能。例如,绝缘体522的氧透过性优选比绝缘体524低。通过使绝缘体522具有抑制氧的扩散的功能,可以减少金属氧化物531所包含的氧扩散到衬底一侧,所以是优选的。另外,可以抑制导电体505与绝缘体524及金属氧化物531所包含的氧起反应。

[0356] 绝缘体522优选使用作为绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为包含铝和铪中的一方或双方的氧化物的绝缘体,可以举出使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)。当使用这种材料形成绝缘体522时,绝缘体522被用作抑制氧从金属氧化物531释放以及氢等杂质从晶体管500的周围部混入金属氧化物531的层。

[0357] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。此外,也可以对这些绝缘体进行氮化处理。还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0358] 作为绝缘体522,例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或(Ba,Sr)TiO_3(BST)等所谓的high-k材料的绝缘体。或者,绝缘体522也可以使用相对介电常数高的绝缘体如包含铝及铪的氧化物、包含铝及铪的氧氮化物、包含硅及铪的氧化物、包含硅及铪的氧氮化物或者包含硅及铪的氮化物。在晶体管的微型化或高集成化进展时,有时发生起因于栅极绝缘体的薄膜化的泄漏电流等问题。通过作为用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0359] 绝缘体520优选具有热稳定性。例如,因为氧化硅及氧氮化硅具有热稳定性,所以是优选的。此外,通过组合high-k材料的绝缘体与氧化硅或氧氮化硅,可以形成具有热稳定性且相对介电常数高的叠层结构的绝缘体520。另外,绝缘体520也可以使用可应用于绝缘体524的材料。

[0360] 此外,绝缘体520、绝缘体522及绝缘体524也可以具有两层以上的叠层结构。此时,不局限于使用相同材料形成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0361] 用作层间膜的绝缘体512、绝缘体516、绝缘体580及绝缘体581的介电常数优选比绝缘体514低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。另外,优选降低绝缘体516、绝缘体580及绝缘体581的膜中的水及氢等杂质的浓度。

[0362] 作为绝缘体512、绝缘体516、绝缘体580及绝缘体581,例如可以使用氧化硅、氧氮化硅、氮氧化硅或氮化硅。另外,作为绝缘体512、绝缘体516、绝缘体580及绝缘体581,例如可以使用添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或者具有空孔的氧化硅。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。尤其是,因为氧化硅、氧氮化硅、具有空孔的氧化硅等材料容易形成包含通过加热脱离的氧的区域,所以是优选的。

另外,作为绝缘体512、绝缘体516、绝缘体580及绝缘体581,可以使用树脂。另外,作为可用于绝缘体512、绝缘体516、绝缘体580及绝缘体581的材料,也可以适当地组合上述材料。

[0363] 与绝缘体514及绝缘体522同样,绝缘体554及绝缘体574优选具有抑制水及氢(例如,氢原子和氢分子中的一方或双方)等杂质的扩散的功能。换言之,绝缘体554及绝缘体574优选被用作抑制该杂质混入晶体管500中的阻挡绝缘膜。或者,绝缘体554及绝缘体574优选具有抑制氧(例如,氧原子和氧分子中的一方或双方)的扩散的功能。例如,绝缘体554及绝缘体574的氧透过性优选低于绝缘体524、绝缘体550及绝缘体580。换言之,绝缘体554及绝缘体574优选具有抑制氧从金属氧化物531脱离而扩散到绝缘体554的外侧或绝缘体580的上方的功能。因此,作为绝缘体554及绝缘体574,可以使用可用于绝缘体514或绝缘体524的材料。

[0364] 如此,通过由绝缘体522、绝缘体554及绝缘体574围绕绝缘体524、金属氧化物531及绝缘体550,可以抑制水及氢等杂质从外方进入晶体管500。另外,可以抑制氧从晶体管500的内部向外方扩散。

[0365] 绝缘体550被用作第一栅极绝缘体。绝缘体550优选与金属氧化物531b的顶面接触地配置。绝缘体550例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空穴的氧化硅。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。

[0366] 与绝缘体524同样,绝缘体550中的水及氢等杂质的浓度优选得到降低。绝缘体550的厚度优选为1nm以上且20nm以下。

[0367] 另外,也可以在绝缘体580、绝缘体554、导电体542及金属氧化物531b与绝缘体550之间设置绝缘体。作为该绝缘体例如优选使用氧化铝或氧化铪。通过设置该绝缘体,可以抑制氧从金属氧化物531b脱离、氧过度供应到金属氧化物531b以及导电体542氧化。

[0368] 此外,也可以在绝缘体550与导电体560之间设置金属氧化物。该金属氧化物优选抑制从绝缘体550到导电体560的氧扩散。由此,可以抑制因绝缘体550中的氧所导致的导电体560的氧化。

[0369] 另外,该金属氧化物有时被用作栅极绝缘体的一部分。因此,在将氧化硅或氧氮化硅用于绝缘体550的情况下,作为该金属氧化物优选使用作为相对介电常数高的high-k材料的金属氧化物。通过使栅极绝缘体具有绝缘体550与该金属氧化物的叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。另外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。

[0370] 具体而言,作为该金属氧化物可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁等中的一种或两种以上的金属氧化物。尤其是,作为该金属氧化物,优选使用作为包含铝和铪中的一方或双方的氧化物的绝缘体的氧化铝、氧化铪或者包含铝及铪的氧化物(铝酸铪)等。

[0371] 另外,也可以在导电体540与绝缘体580、绝缘体574及绝缘体581间设置对于水、氢及氧等杂质的阻挡绝缘膜。由此,可以抑制水及水等杂质从绝缘体580通过导电体540a及导电体540b混入金属氧化物531中。另外,可以抑制绝缘体580中的氧被导电体540a及导电体540b吸收。

[0372] 虽然未图示,但是也可以以与导电体540a的顶面及导电体540b的顶面接触的方式配置用作布线的导电体。用作布线的导电体优选使用以钨、铜或铝为主要成分的导电材料。另外,该导电体可以具有叠层结构,例如,可以具有钛或氮化钛与上述导电材料的叠层结构。该导电体也可以以嵌入绝缘体中的开口中的方式形成。

[0373] <<电容器的结构例子>>

接着,说明图21及图22所示的电容器C1的结构例子。

[0374] 图25示出作为电容器C1的电容器600的结构例子。注意,图25除了电容器600之外还示出晶体管500的结构例子。

[0375] 在图25中,绝缘体580的开口设置在绝缘体554上的与用作晶体管500的源电极或漏电极的导电体542a重叠的区域上。该区域也可以与绝缘体524及金属氧化物531的每一个的一部分重叠。

[0376] 该开口的侧面的绝缘体580及该开口的底面的绝缘体554上形成有绝缘体552。此外,绝缘体552上依次形成有导电体561a及导电体561b。注意,在本说明书等中,有时将导电体561a及导电体561b总称为导电体561。

[0377] 导电体542a被用作电容器600的一对电极中的一个。此外,导电体561被用作电容器600的一对电极中的另一个。此外,绝缘体552被用作电容器600的介电质。

[0378] 导电体561例如优选延伸在沟道宽度方向上作为布线。也就是说,导电体561也可以在沟道宽度方向上具有不与导电体542a重叠而与绝缘体554及绝缘体522重叠的区域。

[0379] 导电体561a例如可以使用可用于导电体560a的材料。此外,导电体561b例如可以使用可用于导电体560b的材料。

[0380] 作为绝缘体552优选使用具有高相对介电常数的材料。例如,作为绝缘体552,也可以以单层或叠层使用可用于绝缘体522的包含high-k材料的绝缘体。绝缘体552也可以包含具有热稳定性的氧化硅或氧氮化硅。

[0381] <<晶体管500的改变例子>>

注意,根据本发明的一个方式的半导体装置的晶体管的结构不局限于图23A及图23B所示的晶体管500。例如,作为根据本发明的一个方式的半导体装置的晶体管,也可以使用图24所示的晶体管500。图24所示的晶体管500是图23A及图23B所示的晶体管500的改变例子,与图23A及图23B所示的晶体管500的不同之处在于:包括绝缘体551;以及导电体542a(导电体542a1及导电体542a2)和导电体542b(导电体542b1及导电体542b2)都具有叠层结构。

[0382] 导电体542a具有导电体542a1和导电体542a1上的导电体542a2的叠层结构,导电体542b具有导电体542b1和导电体542b1上的导电体542b2的叠层结构。与金属氧化物531b接触的导电体542a1及导电体542b1优选为金属氮化物等不容易被氧化的导电体。由此,可以防止因金属氧化物531b中的氧导致导电体542a及导电体542b过度被氧化。另外,导电体542a2及导电体542b2优选为其导电性高于导电体542a1及导电体542b1的金属层等的导电体。由此,可以使导电体542a及导电体542b用作导电性高的布线或电极。如此,可以提供一种半导体装置,其中以与用作活性层的金属氧化物531的顶面接触的方式设置有用作布线或电极的导电体542a及导电体542b。

[0383] 作为导电体542a1及导电体542b1优选使用金属氮化物,例如优选使用包含钽的氮

化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用钌、氧化钌、氮化钌、包含锶和钌的氧化物或者包含镧和镍的氧化物。这些材料是不容易被氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0384] 此外,导电体542a2及导电体542b2的导电性优选比导电体542a1及导电体542b1高。例如,导电体542a2及导电体542b2的厚度优选大于导电体542a1及导电体542b1的厚度。作为导电体542a2及导电体542b2使用可用于上述导电体560b的导电体即可。通过采用上述结构,可以降低导电体542a2及导电体542b2的电阻。

[0385] 由此,作为导电体542a1及导电体542b1可以使用氮化钽或氮化钛,作为导电体542a2及导电体542b2可以使用钨。

[0386] 如图24所示,在从截面看晶体管500的沟道长度方向时,导电体542a1与导电体542b1之间的距离优选小于导电体542a2与导电体542b2之间的距离。通过采用上述结构,可以进一步减小源极与漏极间的距离且与此对应地减小沟道长度。因此,可以提高晶体管500的频率特性。如此,通过实现半导体装置的微型化,可以提供一种工作速度得到提高的半导体装置。

[0387] 绝缘体551优选为氮化物等不容易被氧化的绝缘体。绝缘体551与导电体542a2的侧面及导电体542b2的侧面接触且具有保护导电体542a2及导电体542b2的功能。由于被暴露于氧化气氛,所以绝缘体551优选使用不容易被氧化的无机绝缘体。另外,由于与导电体542a2及导电体542b2接触,所以绝缘体551优选使用不容易使导电体542a2及导电体542b2氧化的无机绝缘体。因此,作为绝缘体551,优选使用具有氧阻挡性的绝缘材料。例如,作为绝缘体551可以使用氮化硅。

[0388] 图24所示的晶体管500中,为了形成导电体542a2及导电体542b2,使用第一掩模在绝缘体554、绝缘体580、绝缘体574及绝缘体581中形成开口。另外,以与该开口的侧壁接触的方式形成绝缘体551。然后,还使用第二掩模形成导电体542a1及导电体542b1,来形成晶体管500。在此,上述开口与导电体542a2和导电体542b2间的区域重叠。另外,导电体542a1及导电体542b1的一部分以突出到上述开口内的方式形成。因此,绝缘体551在上述开口中与导电体542a1的顶面、导电体542b1的顶面、导电体542a2的侧面及导电体542b2的侧面接触。另外,绝缘体550在导电体542a1和导电体542b1间的区域中与金属氧化物531的顶面接触。

[0389] 优选的是,在形成导电体542a1及导电体542b1之后且沉积绝缘体550之前在含氧气氛下进行热处理。由此,对金属氧化物531a及金属氧化物531b供应氧,从而可以减少氧空位。另外,通过以与导电体542a2的侧面及导电体542b2的侧面接触的方式形成绝缘体551,可以防止导电体542a2及导电体542b2过度被氧化。由此,可以提高晶体管的电特性及可靠性。另外,可以抑制形成在同一衬底上的多个晶体管的电特性不均匀。

[0390] 另外,如图24所示,在晶体管500中,也可以将绝缘体524形成为岛状。在此,绝缘体524的侧端部也可以以与金属氧化物531的侧端部大致一致的方式形成。

[0391] 另外,如图24所示,在晶体管500中,绝缘体522也可以与绝缘体516及导电体505接触。换言之,也可以不设置图23A及图23B所示的绝缘体520。

[0392] <半导体装置DEV的结构例子2>

接着,图26示出与图21及图22不同的本发明的一个方式的半导体装置DEV的截面结构例子。图26所示的半导体装置DEV是图22的半导体装置DEV的变形例子,在多个单元阵列层60中的存储单元MC中,电容器C1设置在晶体管M1的下方,这点上与图22的半导体装置DEV不同。

[0393] 注意,为了避免重复说明,在本结构例子中省略根据衬底311、驱动电路区域50、控制处理区域80及电路层90的说明。

[0394] 在图26中,多个单元阵列层60分别包括与图22所示的存储单元MC不同的多个存储单元MC。注意,作为一个例子,图26所示的存储单元MC是图18A所示的存储单元MC。因此,在图26所示的各存储单元MC中示出晶体管M1及电容器C1。

[0395] 另外,电路层90与单元阵列层60_1之间的层间膜中嵌入有导电体364。另外,在多个单元阵列层60的每一个中,后述的绝缘体592中嵌入有导电体365。另外,在多个单元阵列层60的每一个中,后述的绝缘体593、绝缘体594、绝缘体553及绝缘体595中嵌入有导电体366。另外,在多个单元阵列层60的每一个中,后述的绝缘体596、绝缘体583、导电体545、绝缘体555及绝缘体597中嵌入有导电体367。导电体364、导电体365、导电体366及导电体367被用作接触插头或布线。

[0396] 导电体364、导电体365、导电体366及导电体367例如可以使用上述可用于导电体502、导电体503或导电体504的材料。

[0397] 作为一个例子,在图26所示的半导体装置DEV中,电路层90中的晶体管MN通过导电体540a、导电体363b、导电体364、导电体365、导电体366及导电体367与多个单元阵列层60的每一个的存储单元MC中的晶体管M1电连接。尤其是,通过导电体504与后述的导电体542b接触,晶体管MN与晶体管M1电连接。

[0398] 注意,虽然在图26中,包括在驱动电路区域50及控制处理区域80中的晶体管400与包括在单元阵列层60_1的存储单元MC中的晶体管M1之间的电路径上设置有一个晶体管MN,但是该电路径上根据状况也可以设置有多个晶体管MN。

[0399] <<存储单元MC的结构例子>>

接着,说明包括在图26的半导体装置DEV的多个单元阵列层60中的存储单元MC的结构例子。

[0400] 图27A是示出上述半导体装置DEV的多个单元阵列层60各自包括的存储单元MC及其周围的结构例子的平面图。注意,在图27A至图27D中,晶体管500A相当于图26中的晶体管M1,电容器600A相当于图26中的电容器600A。图27D是沿着图27A所示的点划线A1-A2的截面图。在图27A中,例如省略绝缘体等晶体管M1的构成要素的一部分。另外,以后的晶体管的平面图中也省略绝缘体等构成要素的一部分。

[0401] 作为一个例子,电容器600A包括绝缘体592、绝缘体593、绝缘体594、绝缘体553、绝缘体595、导电体563、导电体564及导电体544。

[0402] 绝缘体592中嵌入有导电体563。导电体563例如可以被用作延伸在Y方向上的布线CL。

[0403] 绝缘体592例如可以使用上述可用于绝缘体512、绝缘体516、绝缘体580或绝缘体581的材料。尤其是,绝缘体592优选使用具有低相对介电常数的材料,例如更优选使用氧化硅、氧氮化硅、氮氧化硅或氮化硅。

[0404] 另外,导电体563例如可以使用上述可用于导电体505或导电体365的材料。

[0405] 作为一个例子,绝缘体592及导电体563上依次形成有绝缘体593及绝缘体594。此外,绝缘体593及绝缘体594的重叠于导电体563的区域中设置有开口。该开口的底面(导电体563上)及侧面形成有导电体564。注意,在图27中,绝缘体594的顶面也形成有导电体564。此外,绝缘体594及导电体564上形成有绝缘体553。此外,以覆盖绝缘体553的重叠于导电体564的区域的方式形成有导电体544。此外,导电体544及绝缘体553上形成有绝缘体595。注意,绝缘体595的顶面高度与导电体544的顶面高度优选大致一致。因此,例如优选通过利用化学机械抛光(CMP)法等的平坦化处理使绝缘体595及导电体544平坦化。

[0406] 导电体564例如相当于电容器600A的一对端子中的一个。另外,导电体544例如相当于电容器600A的一对端子中的另一个。

[0407] 导电体564及导电体544例如优选为用于图23A至图25所示的晶体管500或者图25所示的电容器600的导电体。例如,导电体564及导电体544优选使用氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物或包含镧和镍的氧化物。上面举出的材料是不容易被氧化的导电材料或者即使吸收氧仍保持导电性的材料,所以是优选的。

[0408] 绝缘体553例如被用作电容器600A中的夹在一对端子间的介电质。因此,绝缘体553优选使用上述可用于绝缘体552的材料。

[0409] 绝缘体594及绝缘体595例如可以使用上述可用于绝缘体512、绝缘体516、绝缘体580或绝缘体581的材料。尤其是,绝缘体594及绝缘体595优选使用具有低相对介电常数的材料,例如更优选使用氧化硅、氧氮化硅、氮氧化硅或氮化硅。

[0410] 电容器600A的导电体544及绝缘体595的上方设置有晶体管500A。

[0411] 晶体管500A具有如下结构:沟道长度的方向不与衬底311大致平行沿着设置在后述的绝缘体583中的开口的侧面。

[0412] 作为一个例子,晶体管500A包括用作源电极和漏电极中的一个的导电体544、用作源电极和漏电极中的另一个的导电体545、金属氧化物533、绝缘体555以及用作栅电极的导电体565。图27A示出导电体545沿垂直于导电体544及导电体565的方向上延伸的例子。如上所述,导电体544也被用作电容器600A的一对电极中的另一个。

[0413] 例如,作为导电体544及导电体545可以使用可用于晶体管500中的导电体542的材料。另外,例如,作为导电体565可以使用可用于晶体管500中的导电体560的材料。

[0414] 例如,作为金属氧化物533可以使用可用于晶体管500中的金属氧化物531的材料。

[0415] 在图27A及图27D中,将导电体545延伸的方向记为X方向。另外,将与X方向垂直且例如与导电体563的顶面平行的方向记为Y方向,将与导电体563的顶面垂直的方向记为Z方向。在以后的附图中,X方向、Y方向及Z方向的定义有时与上述相同而有时不同。X方向、Y方向及Z方向可以彼此垂直。另外,在本说明书等中的平面图的说明中,有时将X方向称为右侧或左侧且将Y方向称为上侧或下侧。另外,有时可以将右侧及左侧分别换称为X方向及-X方向且将上侧及下侧分别换称为Y方向及-Y方向。

[0416] 导电体544被用作晶体管500A的源电极和漏电极中的一个。导电体545被用作晶体管500A的源电极和及漏电极中的另一个。绝缘体555被用作晶体管500A的栅极绝缘层。导电体565被用作晶体管500A的栅电极。

[0417] 在金属氧化物533中,在源电极与漏电极之间隔着栅极绝缘层与栅电极重叠的区域整体被用作沟道形成区域。此外,在金属氧化物533中,与源电极接触的区域被用作源极区域,与漏电极接触的区域被用作漏极区域。

[0418] 绝缘体595及导电体544上设置有绝缘体596。绝缘体596可以具有作为层间绝缘层的功能。这里,层间绝缘层可以是抑制水及氢(例如氢原子和氢分子中的一方或双方)等杂质的扩散的阻挡绝缘膜。因此,绝缘体596可以使用上述可用于绝缘体514或绝缘体522的材料。

[0419] 绝缘体596上设置有绝缘体583(绝缘体583a及绝缘体583b),绝缘体583上设置有导电体545。绝缘体583可以被用作层间绝缘层。在此,层间绝缘层可以为用来分离晶体管500A中的源电极和栅电极的层间膜。另外,绝缘体597可以被用作用来在晶体管500A的上方设置电路元件或布线的层间膜。

[0420] 例如,作为绝缘体583可以使用可用于晶体管500中的绝缘体514、绝缘体516、绝缘体522、绝缘体524、绝缘体550、绝缘体554、绝缘体574、绝缘体580及绝缘体581的材料。

[0421] 具体而言,作为绝缘体583a例如优选使用氧化物或氧氮化物。另外,作为绝缘体583a优选使用通过加热释放氧的膜。绝缘体583a例如可以适当地使用氧化硅或氧氮化硅。在绝缘体583a释放氧时,可以将氧从绝缘体583a供应到金属氧化物533。通过将氧从绝缘体583a供应到金属氧化物533,尤其是将氧从绝缘体583a供应到金属氧化物533的沟道形成区域,可以减少金属氧化物533中的氧空位以及进入氧空位内的氢。因此,晶体管500A可以为具有良好电特性且可靠性高的晶体管。

[0422] 另外,具体而言,作为绝缘体583b,例如可以适当地使用氮化硅、氮氧化硅或氧化铝。绝缘体583b例如优选具有其含氮量比绝缘体583a多的区域。绝缘体583b例如可以使用其含氮量比绝缘体583a多的材料。绝缘体583b优选使用氮化物或氮氧化物。绝缘体583b例如可以适当地使用氮化硅或氮氧化硅。通过作为绝缘体583b使用氮化硅或氮氧化硅,绝缘体583b可以被用作抑制氧从绝缘体583a脱离的阻挡层。另外,通过作为绝缘体583b使用氮化硅或氮氧化硅,绝缘体583b可以被用作抑制氢通过绝缘体583扩散到金属氧化物533的阻挡层。

[0423] 绝缘体596及绝缘体583具有到达导电体544的开口601。导电体545具有到达开口601的开口603。换言之,开口603具有与开口601重叠的区域。

[0424] 在图27A中,作为晶体管500A的构成要素示出导电体544、导电体545、金属氧化物533、导电体565、开口601及开口603。在此,图23B示出省略图27A所示的构成要素中的导电体565的结构例子。换言之,图27B示出导电体544、导电体545、金属氧化物533、开口601及开口603。另外,图27C示出省略图27B所示的构成要素中的金属氧化物533的结构例子。换言之,图27C示出导电体544、导电体545、开口601及开口603。

[0425] 如图27C及图27D所示,导电体545在与导电体544重叠的区域中具有开口603。如图27C所示,在俯视时,导电体545也可以覆盖开口601的外周整体。在此,导电体545优选不设置在开口601内部。换言之,导电体545优选不与绝缘体583的开口601一侧的侧面。

[0426] 图27A至图27C示出在俯视时开口601及开口603的形状都呈圆形的例子。在开口601及开口603的平面形状呈圆形时,可以提高形成开口601及开口603时的加工精度,可以形成微小开口601及开口603。注意,在本说明书等中,圆形不局限于正圆。例如,开口601及

开口603的平面形状既可以呈椭圆形,又可以呈具有曲线的形状。或者,也可以呈多角形形状。

[0427] 图27D示出导电体545的开口603一侧的端部与绝缘体583的开口601一侧的端部一致或大致一致的例子。也可以说开口603的平面形状与开口601的平面形状一致或大致一致。另外,在本实施方式中,导电体545的开口603一侧的端部是指导电体545的开口603一侧的底面端部。导电体545的底面是指绝缘体583一侧的面。绝缘体583的开口601一侧的端部是指绝缘体583的开口601一侧的顶面端部。绝缘体583的顶面是指导电体545一侧的面。另外,开口603的平面形状是指导电体545的开口603一侧的底面端部的平面形状。开口601的平面形状是指绝缘体583的开口601一侧的顶面端部的平面形状。

[0428] 注意,端部一致或大致一致也可以说是端部对齐或大致对齐。在端部对齐或大致对齐的情况或者平面形状一致或大致一致的情况下,可以说在俯视时至少其轮廓的一部分在层叠的各层间彼此重叠。例如,包括上层及下层通过同一掩模图案或其一部分同一掩模图案被加工的情况。但是,实际上有轮廓不重叠的情况,有时上层位于下层的内侧或者上层位于下层的外侧,这种情况也可以说端部大致对齐或平面形状大致一致。

[0429] 开口601例如可以使用用于开口603的形成的抗蚀剂掩模形成。具体而言,首先形成导电体544及绝缘体595上的绝缘体596、绝缘体596上的绝缘体583、绝缘体583上的将成为导电体545的导电膜以及该导电膜上的抗蚀剂掩模。接着,在使用该抗蚀剂掩模在该导电膜中形成开口603之后,使用该抗蚀剂掩模在绝缘体596及绝缘体583中形成开口601,由此可以使开口601的端部与开口603的端部一致或大致一致。通过采用这种结构,可以使工序简化。

[0430] 金属氧化物533以覆盖开口601及开口603且具有位于开口601及开口603的内部的区域的方式设置。金属氧化物533具有沿着导电体545的顶面及侧面、绝缘体583的侧面、绝缘体596的侧面以及导电体544的顶面的形状。金属氧化物533例如具有与导电体545的顶面及侧面、绝缘体583的侧面以及导电体544的顶面接触的区域。

[0431] 金属氧化物533优选覆盖导电体545的开口603一侧的端部。例如,图27D示出金属氧化物533的端部位于导电体545上的结构。可以说金属氧化物533的端部与导电体545的顶面接触。

[0432] 例如,图27D示出金属氧化物533具有单层结构,但是本发明的一个方式不局限于此。金属氧化物533也可以具有两层以上的叠层结构。

[0433] 用作晶体管500A的栅极绝缘层的绝缘体555以覆盖开口601及开口603且具有位于开口601及开口603的内部的区域的方式设置。绝缘体555设置在金属氧化物533、导电体545及绝缘体583上。绝缘体555可以具有与金属氧化物533的顶面及侧面、导电体545的顶面及侧面、绝缘体583的顶面以及绝缘体596的顶面接触的区域。绝缘体555具有沿着绝缘体596的顶面、绝缘体583的顶面、导电体545的顶面及侧面以及金属氧化物533的顶面及侧面的形状。

[0434] 用作晶体管500A的栅电极的导电体565设置在绝缘体555上且可以具有与绝缘体555的顶面接触的区域。导电体565具有隔着绝缘体555与金属氧化物533重叠的区域。导电体565具有沿着绝缘体555的顶面的形状。

[0435] 例如,如图27D所示,在开口601及开口603中,导电体565具有隔着绝缘体555与金

属氧化物533重叠的区域。另外,在图27D所示的例子中,导电体565具有隔着绝缘体555及金属氧化物533与导电体544及导电体545重叠的区域。另外,导电体565覆盖金属氧化物533整体。通过采用上述结构,可以对金属氧化物533整体施加栅极电场,所以可以提高晶体管500A的电特性,例如可以提高晶体管的通态电流。

[0436] 晶体管500A是在金属氧化物533的上方具有栅电极的所谓顶栅型晶体管。再者,由于金属氧化物533的底面具有与源电极及漏电极接触的区域,所以可以说是TGBC(Top Gate Bottom Contact:顶栅底接触)型晶体管。

[0437] 晶体管500A例如除了存储单元MC所包括的晶体管之外还可以被用作选自电路层90所包括的晶体管、驱动电路区域50所包括的晶体管和控制处理区域80所包括的晶体管中的一个以上的晶体管。

[0438] 这里,参照图28A及图28B说明晶体管500A的沟道长度及沟道宽度。图28A是示出图27A所示的晶体管500A及其附近的结构例子的平面图的放大图。图28B是示出图27D所示的晶体管500A及其附近的结构例子的截面图的放大图。

[0439] 在金属氧化物533中,与导电体544接触的区域被用作源极区域和漏极区域中的一个,与导电体545接触的区域被用作源极区域和漏极区域中的另一个,源极区域与漏极区域之间的区域被用作沟道形成区域。

[0440] 晶体管500A的沟道长度为源极区域与漏极区域之间的距离。图28B中以虚线的双箭头表示晶体管500A的沟道长度L500。沟道长度L500为在从截面看时金属氧化物533和导电体544接触的区域的端部与金属氧化物533和导电体545接触的区域的端部间的距离。

[0441] 在此,晶体管500A的沟道长度L500相当于从XZ面看时的绝缘体583的开口601一侧的侧面的长度。换言之,沟道长度L500由绝缘体583的厚度T583以及绝缘体583的开口601一侧的侧面与绝缘体583的被形成面(在此,导电体544的顶面)所形成的角度θ583决定,不受到制造晶体管时使用的曝光装置的性能的影响。因此,可以使沟道长度L500小于曝光装置的极限分辨率,所以可以实现微型晶体管。例如,沟道长度L500优选为0.010μm以上且小于3.0μm,更优选为0.050μm以上且小于3.0μm,更优选为0.10μm以上且小于3.0μm,更优选为0.15μm以上且小于3.0μm,更优选为0.20μm以上且小于3.0μm,更优选为0.20μm以上且小于2.5μm,更优选为0.20μm以上且小于2.0μm,更优选为0.20μm以上且小于1.5μm,更优选为0.30μm以上且小于1.5μm,更优选为0.30μm以上且1.2μm以下,更优选为0.40μm以上且1.2μm以下,更优选为0.40μm以上且1.0μm以下,更优选为0.50μm以上且1.0μm以下。在图28B中,以点划线的双箭头表示绝缘体583的厚度T583。

[0442] 通过将晶体管500A应用于半导体装置DEV的存储单元MC中的晶体管,可以使存储单元MC中的晶体管微型化,所以可以使存储单元MC微型化。由此,可以实现半导体装置DEV的小型化。另外,通过缩小沟道长度L500,可以增大晶体管500A的通态电流。因此,通过将晶体管500A应用于半导体装置DEV中的晶体管诸如存储单元MC中的晶体管,可以高速地驱动半导体装置DEV。

[0443] 通过调整绝缘体596和绝缘体583的厚度T583及角度θ583,可以控制沟道长度L500。

[0444] 绝缘体596和绝缘体583的厚度T583优选为0.010μm以上且小于3.0μm,更优选为0.050μm以上且小于3.0μm,更优选为0.10μm以上且小于3.0μm,更优选为0.15μm以上且小于

3.0μm,更优选为0.20μm以上且小于3.0μm,更优选为0.20μm以上且小于2.5μm,更优选为0.20μm以上且小于2.0μm,更优选为0.20μm以上且小于1.5μm,更优选为0.30μm以上且小于1.5μm,更优选为0.30μm以上且1.2μm以下,更优选为0.40μm以上且1.2μm以下,更优选为0.40μm以上且1.0μm以下,更优选为0.50μm以上且1.0μm以下。

[0445] 绝缘体596和绝缘体583的开口601一侧的侧面优选具有锥形形状。绝缘体596和绝缘体583的开口601一侧的侧面与绝缘体596的被形成面(在此,导电体544的顶面)所形成的角度θ583优选小于90度。通过减小角度θ583,可以提高设置在绝缘体583上的层(例如,金属氧化物533)的覆盖性。然而,在减小角度θ583时,有时金属氧化物533与导电体544的接触面积减小而金属氧化物533与导电体544的接触电阻增高。角度θ583优选为45度以上且小于90度,更优选为50度以上且小于90度,更优选为55度以上且小于90度,更优选为60度以上且小于90度,更优选为60度以上且85度以下,更优选为65度以上且85度以下,更优选为65度以上且80度以下,更优选为70度以上且80度以下。通过将角度θ583设定在上述范围内,可以提高形成在导电体544及绝缘体583上的层(例如,金属氧化物533)的覆盖性,由此可以抑制该层中产生断开或空洞等不良。另外,可以降低金属氧化物533与导电体544的接触电阻。

[0446] 在本说明书等中,断开是指层、膜或电极因被形成面的形状(例如,台阶等)而分断的现象。

[0447] 注意,例如,在图28B中示出从截面看时绝缘体596和绝缘体583的开口601一侧的侧面的形状为直线的结构,但本发明的一个方式不局限于此。在从截面看时绝缘体596和绝缘体583的开口601一侧的侧面的形状也可以为曲线,也可以具有侧面的形状为直线的区域和曲线的区域的双方。

[0448] 晶体管500A的沟道宽度为与沟道长度方向正交的方向上的源极区域的宽度或漏极区域的宽度。换言之,沟道宽度为与沟道长度方向正交的方向上的金属氧化物533与导电体544接触的区域的宽度或者金属氧化物533与导电体545接触的区域的宽度。这里,以与沟道长度方向正交的方向上的金属氧化物533与导电体545接触的区域的宽度为晶体管500A的沟道宽度进行说明。图28A及图28B以实线的双箭头示出晶体管500A的沟道宽度W500。在俯视时,沟道宽度W500为开口603一侧的导电体545的底面端部的长度。

[0449] 沟道宽度W500由开口603的平面形状决定。在图28A及图28B中,以双点划线的双箭头表示开口603的宽度D500。宽度D500是指在俯视时与开口603外接的最小矩形的短边。在通过光刻法形成开口603时,开口603的宽度D500为曝光装置的极限分辨率以上。再者,宽度D500例如优选为0.20μm以上且小于5.0μm,更优选为0.20μm以上且小于4.5μm,更优选为0.20μm以上且小于4.0μm,更优选为0.20μm以上且小于3.5μm,更优选为0.20μm以上且小于3.0μm,更优选为0.20μm以上且小于2.5μm,更优选为0.20μm以上且小于2.0μm,更优选为0.20μm以上且小于1.5μm,更优选为0.30μm以上且1.5μm以下,更优选为0.30μm以上且1.2μm以下,更优选为0.40μm以上且1.2μm以下,更优选为0.40μm以上且1.0μm以下,更优选为0.50μm以上且1.0μm以下。另外,在开口603的平面形状呈圆形的情况下,宽度D500相当于开口603的直径,沟道宽度W500可以与俯视时的开口603的外周的长度相等,可以算出为“D500×π”。

[0450] 因为晶体管500A的尺寸较小,所以通过将晶体管500A用于单元阵列层60,可以提供一种存储密度高的半导体装置。另外,因为晶体管500A的工作较快,所以通过将晶体管

500A用于半导体装置,可以提供一种驱动速度快的半导体装置。另外,因为晶体管500A的电特性稳定,所以通过将晶体管500A用于半导体装置,可以提供一种可靠性高的半导体装置。另外,因为晶体管500A的关态电流量较少,所以通过将晶体管500A用于半导体装置,可以提供一种功耗低的半导体装置。

[0451] 本实施方式可以与本说明书所示的其他实施方式适当地组合。例如,本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0452] (实施方式3)

在本实施方式中,说明沟道形成区域中含有氧化物半导体的晶体管(OS晶体管)。此外,在OS晶体管的说明中,简单地说明与沟道形成区域中含有硅的晶体管(也称为Si晶体管)的对比。

[0453] [OS晶体管]

优选将载流子浓度低的氧化物半导体用于OS晶体管。例如,氧化物半导体的沟道形成区域的载流子浓度为$1\times10^{18}cm^{-3}$以下,优选低于$1\times10^{17}cm^{-3}$,更优选低于$1\times10^{16}cm^{-3}$,进一步优选低于$1\times10^{13}cm^{-3}$,还进一步优选低于$1\times10^{10}cm^{-3}$,且为$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0454] 因为高纯度本征或实质上高纯度本征的氧化物半导体具有较低的缺陷态密度,所以有时具有较低的陷阱态密度。此外,被氧化物半导体的陷阱态俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0455] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质可以举出氢、氮等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说是杂质。

[0456] 在OS晶体管中,当氧化物半导体的沟道形成区域中存在杂质及氧空位时,电特性容易变动而可能使可靠性下降。此外,在OS晶体管中,氢进入氧化物半导体中的氧空位而形成缺陷(下面有时称为V_OH),可能会产生成为载流子的电子。另外,当在沟道形成区域中形成V_OH时,有时沟道形成区域中的供体浓度增加。随着沟道形成区域中的供体浓度增加,有时阈值电压不均匀。因此,当在氧化物半导体的沟道形成区域中包含氧空位时,晶体管会常开启(成为即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的状态)。由此,在氧化物半导体的沟道形成区域中,优选尽量减少杂质、氧空位及V_OH。

[0457] 另外,氧化物半导体的带隙优选比硅的带隙(典型的是1.1eV)大,优选为2eV以上,更优选为2.5eV以上,更优选为3.0eV以上。通过使用具有比硅大的带隙的氧化物半导体,可以减少晶体管的关态电流(也称为关态泄漏电流或Ioff)。

[0458] 例如,在Si晶体管中,随着晶体管的微型化发展,出现短沟道效应(Short Channel Effect:也称为SCE)。因此,Si晶体管的微型化很困难。作为出现短沟道效应的原因之一可

以举出硅的带隙较小。另一方面,在OS晶体管中,使用作为带隙大的半导体材料的氧化物半导体,因此可以抑制短沟道效应。换言之,OS晶体管是没有短沟道效应或短沟道效应极少的晶体管。

[0459] 短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的下降。作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值(有时记载为S值)的增大、泄漏电流的增大等。在此,S值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0460] 作为对短沟道效应的耐性的指标,广泛地使用特征长度(Characteristic Length)。特征长度是指沟道形成区域的势的弯曲性指标。特征长度越小,势越急剧上升,因此可以说抗短沟道效应能力高。

[0461] OS晶体管为积累型晶体管,Si晶体管为反型晶体管。因此,与Si晶体管相比,OS晶体管中的源极区域-沟道形成区域间的特征长度及漏极区域-沟道形成区域间的特征长度小。因此,OS晶体管的抗短沟道效应能力比Si晶体管高。就是说,当想要制造沟道长度小的晶体管时,OS晶体管比Si晶体管更合适。

[0462] 即使在将氧化物半导体的载流子浓度降低到沟道形成区域被i型化或实质上被i型化的情况下,在短沟道晶体管中由于Conduction-Band-Lowering(CBL,导带降低)效应而沟道形成区域的导带底也变低,因此源极区域或漏极区域与沟道形成区域之间的导带底的能量差有可能减小到0.1eV以上且0.2eV以下。由此,可以将OS晶体管看作具有$n^+/n^-/n^+$的积累型无结晶体管结构或$n^+/n^-/n^+$的积累型non-junction晶体管结构,其中沟道形成区域为n^-型区域,源极区域及漏极区域为n^+型区域。

[0463] 当作为OS晶体管采用上述结构时,即便使半导体装置微型化或高集成化也可以实现良好的电特性。例如,即使OS晶体管的栅极长度为20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上,也可以得到良好的电特性。另一方面,在Si晶体管中,因为出现短沟道效应所以有时难以具有20nm以下或15nm以下的栅极长度。因此,与Si晶体管相比,OS晶体管更适合用作沟道长度小的晶体管。栅极长度是晶体管工作时载流子移动沟道形成区域内部的方向上的栅电极的长度,也是俯视晶体管时的栅电极的底面的宽度。

[0464] 此外,通过使OS晶体管微型化可以提高晶体管的高频特性。具体而言,可以提高晶体管的截止频率。当OS晶体管的栅极长度在于上述范围内时,例如在室温环境下,晶体管的截止频率可以为50GHz以上,优选为100GHz以上,更优选为150GHz以上。

[0465] 如以上的说明那样,OS晶体管具有比Si晶体管优异的效果,诸如关态电流小以及可以制造沟道长度小的晶体管。

[0466] 本实施方式可以与本说明书所示的其他实施方式适当地组合。例如,本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0467] (实施方式4)

在本实施方式中,说明可以使用在上述实施方式中说明的半导体装置的电子构件、电子设备、大型计算机、太空设备及数据中心(Data Center:也称为DC)。使用本发明的一个方式的半导体装置的电子构件、电子设备、大型计算机、太空设备及数据中心对低功耗

等高性能的实现很有效。

[0468] [电子构件]

图29A示出安装有电子构件700的基板(电路板704)的立体图。图29A所示的电子构件700在模子711内包括半导体装置710。在图29A中,省略电子构件700的一部分记载以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于半导体装置710。电子构件700例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0469] 另外,半导体装置710包括驱动电路层715及存储层716。存储层716具有层叠有多个存储单元阵列的结构。层叠有驱动电路层715及存储层716的结构可以采用单片叠层的结构。在单片叠层的结构中,可以不用TSV(Through Silicon Via:硅通孔)等贯通电极技术及Cu-Cu直接接合等接合技术而连接各层间。当以单片的方式层叠驱动电路层715和存储层716时,例如,可以实现在处理器上直接形成存储器的所谓的片上存储器的结构。通过采用片上存储器的结构,可以实现处理器与存储器的接口部分的高速工作。

[0470] 另外,通过采用片上存储器的结构,与使用TSV等贯通电极的技术相比,可以缩小连接布线等的尺寸,因此可以增加引脚数量。通过增加引脚数量可以进行并联工作,由此可以提高存储器的带宽度(也称为存储器带宽)。

[0471] 另外,优选的是,使用OS晶体管形成存储层716中的多个存储单元阵列,以单片的方式层叠该多个存储单元阵列。当多个存储单元阵列采用单片叠层时,可以提高存储器的带宽度和存储器的存取延迟中的任一方或双方。带宽度是指单位时间的数据传输量,存取延迟是指存取和开始数据的交换之间的时间。当在存储层716中使用Si晶体管时,与OS晶体管相比,实现单片叠层的结构更困难。因此,在单片叠层的结构中,OS晶体管比Si晶体管优异。

[0472] 另外,可以将半导体装置710称为裸片。在本说明书等中,裸片是指在半导体芯片的制造工序中例如在圆盘状的衬底(也称为晶圆)等上形成电路图案,切割成矩形小片而得的芯片。作为可用于裸片的半导体材料,例如可以举出硅(Si)、碳化硅(SiC)或氮化镓(GaN)等。例如,有时将从硅衬底(也称为硅晶圆)得到的裸片称为硅片。

[0473] 接着,图29B示出电子构件730的立体图。电子构件730是SiP(Systemin Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个半导体装置710。

[0474] 电子构件730示出将半导体装置710用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以用于CPU、GPU或FPGA(Field Programmable Gate Array:现场可编程门阵列)等集成电路。

[0475] 封装衬底732例如可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底。插板731例如可以使用硅插板或树脂插板。

[0476] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时也将插板称为“重布线衬底(rewiring

substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。此外,在使用硅插板的情况下,也可以使用TSV作为贯通电极。

[0477] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0478] 此外,在使用硅插板的SiP及MCM中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0479] 另一方面,当利用硅插板及TSV等使端子间距不同的多个集成电路电连接时,需要该端子间距的宽度等的空间。因此,当想要缩小电子构件730的尺寸时,上述端子间距的宽度成为问题,有时难以设置为实现较宽的存储器带宽需要的较多的布线。于是,如上所述,使用OS晶体管的单片叠层的结构是优选的。另外,也可以采用组合利用TSV层叠的存储单元阵列与以单片的方式层叠的存储单元阵列的复合结构。

[0480] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使半导体装置710与半导体装置735的高度一致。

[0481] 为了将电子构件730安装在其他衬底上,也可以在封装衬底732的底部设置电极733。图29B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)的安装。

[0482] 电子构件730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。作为安装方法例如可以举出SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)及QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)。

[0483] [电子设备]

接着,图30A示出电子设备6500的立体图。图30A所示的电子设备6500是可用作智能手机的便携式信息终端。电子设备6500包括框体6501、显示部6502、电源按钮6503、按钮6504、扬声器6505、麦克风6506、摄像头6507、光源6508、控制装置6509。控制装置6509例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的半导体装置用于显示部6502、控制装置6509等。

[0484] 图30B所示的电子设备6600是可用作笔记本式个人计算机的信息终端。电子设备6600包括框体6611、键盘6612、指向装置6613、外部连接端口6614、显示部6615、控制装置6616。控制装置6616例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的半导体装置用于显示部6615、控制装置6616等。此外,通过将本发明的一个方式的半导体装置用于上述控制装置6509及控制装置6616,可以降低功耗,所以是优选的。

[0485] [大型计算机]

接着,图30C示出大型计算机5600的立体图。在图30C所示的大型计算机5600中,多个机架式计算机5620收纳在机架5610中。此外,也可以将大型计算机5600称为超级计算机。

[0486] 计算机5620例如可以具有图30D所示的立体图的结构。在图30D中,计算机5620包括母板5630,母板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到母板5630。

[0487] 图30E所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图30E示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明即可。

[0488] 连接端子5629具有可以插入母板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0489] 连接端子5623、连接端子5624、连接端子5625各自例如可以被用作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以被用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB(Universal Serial Bus:通用串行总线)、SATA(Serial ATA:串行ATA)、SCSI(Small Computer System Interface:小型计算机系统接口)等。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格可以举出HDMI(注册商标)等。

[0490] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0491] 半导体装置5627包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件730。

[0492] 半导体装置5628包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件700。

[0493] 大型计算机5600可以用作并行计算机。通过将大型计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0494] [太空设备]

可以将本发明的一个方式的半导体装置适用于处理并储存信息的设备等的太空设备。

[0495] 本发明的一个方式的半导体装置可以包括OS晶体管。该OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在有可能入射辐射线的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。

[0496] 在图31中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,图31示出在宇

宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层及平流层。

[0497] 另外,虽然图31中未图示,但是也可以将电池管理系统(也称为BMS)或电池控制电路设置到二次电池6805。当将OS晶体管用于上述电池管理系统或电池控制电路时,功耗低,并且即使在宇宙空间也实现高可靠性,所以是优选的。

[0498] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及γ射线为代表的电磁波(电磁辐射线);以及以α射线、β射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0499] 在阳光照射到太阳能电池板6802时产生人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0500] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0501] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。另外,优选将本发明的一个方式的OS晶体管用于控制装置6807。与Si晶体管相比,OS晶体管的因被照射辐射线而导致的电特性变动小。也就是说,OS晶体管在有可能入射辐射线的环境下也具有高可靠性且可以适当地使用。

[0502] 另外,人造卫星6800可以包括传感器。例如通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0503] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的半导体装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[0504] 如以上的说明那样,与Si晶体管相比,OS晶体管具有优异的效果,诸如可以实现较宽的存储器带宽、耐辐射线高。

[0505] [数据中心]

例如,可以将本发明的一个方式的半导体装置适用于数据中心等采用的存储系统。数据中心被要求保证数据不变性等进行数据的长期管理。在进行数据的长期管理时需要使设施大型化,诸如设置用来储存庞大的数据的存储及服务器、确保稳定的电源以保持数据或者确保在数据的保持中需要的冷却设备等。

[0506] 通过将本发明的一个方式的半导体装置用于数据中心采用的存储系统,可以实现数据保持所需的功率的降低、保持数据的半导体装置小型化。因此,可以实现存储系统的小型化、用来保持数据的电源的小型化、冷却设备规模的缩小等。由此,可以实现数据中心的省空间。

[0507] 此外,本发明的一个方式的半导体装置的功耗少,因此可以降低电路发热。由此,

可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的半导体装置,可以实现高温环境下也稳定工作的数据中心。因此,可以提高数据中心的可靠性。

[0508] 图32示出可用于数据中心的存储系统。图32所示的存储系统7000作为主机7001(图示为主计算机)包括多个服务器7001sb。另外,作为存储7003(图示为存储)包括多个存储装置7003md。示出主机7001和存储7003通过存储区域网络7004(图示为SAN:Storage Area Network)及存储控制电路7002(图示为存储控制器)连接的形态。

[0509] 主机7001相当于存取储存在存储7003中的数据的计算机。主机7001彼此也可以通过网络连接。

[0510] 在存储7003中,通过使用快闪存储器缩短数据的存取速度,即缩短数据的存储及输出所需要的时间,但是该时间比可用作存储中的高速缓冲存储器的DRAM所需要的时间长得多。在存储系统中,为了解决存储7003的存取速度较长的问题,一般在存储中设置高速缓冲存储器来缩短数据的存储及输出所需要的时间。

[0511] 在存储控制电路7002及存储7003中使用上述高速缓冲存储器。主机7001和存储7003交换的数据在储存在存储控制电路7002及存储7003中的该高速缓冲存储器之后输出到主机7001或存储7003。

[0512] 当作为用来储存上述高速缓冲存储器的数据的晶体管使用OS晶体管来保持对应于数据的电位时,可以减少刷新频率来降低功耗。此外,通过层叠存储单元阵列可以实现小型化。

[0513] 注意,通过将本发明的一个方式的半导体装置用于选自电子构件、电子设备、大型计算机、太空设备和数据中心中的任一个或多个,可期待功耗降低的效果。因此,目前被认为随着半导体装置的高性能化或高集成化能量需求增加,通过使用本发明的一个方式的半导体装置,也可以减少以二氧化碳(CO_2)为代表的温室气体的排放量。另外,本发明的一个方式的半导体装置具有低功耗,因此作为全球变暖的措施也有效。

[0514] 本实施方式可以与本说明书所示的其他实施方式适当地组合。例如,本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0515] (实施方式5)

在本实施方式中,说明将上述实施方式中说明的叠层结构应用于显示装置的结构例子以及使用该显示装置的电子设备。

[0516] <显示装置的结构例子>

图33A是示出采用该叠层结构的显示装置DSP的结构例子的立体示意图,图33B是显示装置DSP的方框图。

[0517] 显示装置DSP包括存储电路区域MEMA、驱动电路区域DRVA、电路层SWCL及显示区域EMA。存储电路区域MEMA及驱动电路区域DRVA位于电路层SWCL的下方,显示区域EMA位于电路层SWCL的上方。换言之,在显示装置DSP中,从下方依次层叠存储电路区域MEMA及驱动电路区域DRVA、电路层SWCL以及显示区域EMA。

[0518] 存储电路区域MEMA例如包括多个存储电路ME。关于存储电路ME可以参照实施方式1中的存储电路ME。因此,存储电路区域MEMA例如也可以包括具有DRAM、DOSRAM(注册商标)、

NOSRAM(注册商标)、SRAM、FeRAM、ReRAM、MRAM或PRAM的存储电路ME。此外,在图33B中,作为一个例子,存储电路ME是储存数字数据的存储电路,该存储电路ME分别对电路层SWCL发送1位或多位的数据。另外,存储电路ME储存用来发送到后述的像素电路PX的图像数据。

[0519] 例如,存储电路ME具有读出8位(1字节)的图像数据并将该图像数据发送到后述的驱动电路区域DRVA的功能。注意,存储电路ME可以处理的数据不局限于8位,例如也可以处理1位、2位或4位等小于8位的数据。另外,例如也可以处理16位、32位、64位、128位或256位等大于8位的数据。

[0520] 驱动电路区域DRVA例如包括多个数字模拟转换电路DAC。数字模拟转换电路DAC具有将从存储电路ME读出的数字数据的图像数据转换为模拟数据的功能。另外,驱动电路区域DRVA具有将被转换的模拟数据发送到电路层SWCL的功能。

[0521] 作为一个例子,电路层SWCL包括选择器MPX。关于选择器MPX可以参照实施方式1中说明的选择器MPX的说明。

[0522] 作为一个例子,显示区域EMA包括多个像素电路PX。尤其是,像素电路PX优选以阵列状配置在显示区域EMA中。

[0523] 选择器MPX的多个输入端子IT分别与驱动电路区域DRVA的多个数字模拟转换电路DAC电连接。另外,选择器MPX的输出端子OT与包括在显示区域EMA中的多个像素电路PX中的一个电连接。

[0524] 选择器MPX例如具有根据输入到选择器MPX的信号PSIG使选择器MPX的多个输入端子IT中的一个与选择器MPX的输出端子OT之间成为导通状态的功能。另外,选择器MPX例如具有使选择器MPX的其他多个输入端子IT的剩余的与选择器MPX的输出端子OT之间都成为非导通状态的功能。

[0525] 通过如上所述构成显示装置DSP,显示装置DSP可以从存储电路区域MEMA中的多个存储电路ME的每一个所保持的图像数据中选择图像数据并将该选择的图像数据显示在显示区域EMA的多个像素电路PX中的一个上。

[0526] 接着,说明像素电路PX的结构例子。

[0527] 在图34中示出可以包括在像素电路PX中的电路层OSL以及连接于电路层OSL的发光层LE。在图34中,发光层LE包括发光器件130。另外,图34是示出像素电路PX中的电路层OSL所包括的各电路元件的连接的图。

[0528] 电路层OSL包括晶体管500A、晶体管500B、晶体管500C及电容器600。作为晶体管500A、晶体管500B及晶体管500C的每一个,例如可以使用实施方式1中说明的可用作晶体管M1的晶体管。尤其是,晶体管500A、晶体管500B及晶体管500C的每一个优选为OS晶体管。在图34中,作为晶体管500A、晶体管500B及晶体管500C的每一个示出包括背栅电极的OS晶体管。在此情况下,可以实现对背栅电极供应与栅电极相同的信号的结构、对背栅电极供应与栅电极不同的信号的结构。注意,图34示出晶体管500A、晶体管500B及晶体管500C包括背栅电极,但是晶体管500A、晶体管500B及晶体管500C也可以不包括背栅电极。

[0529] 晶体管500B包括与晶体管500A电连接的栅电极、与发光器件130电连接的第一电极、与布线ANO电连接的第二电极。布线ANO是用来对发光器件130供应电流的电位的布线。

[0530] 晶体管500A包括与晶体管500B的栅电极电连接的第一端子、与用作源极线的布线SL电连接的第二端子以及具有根据用作栅极线的布线G1的电位控制开启状态和关闭状态

的切换的功能的栅电极。

[0531] 布线SL被用作像素电路PX中的源极线,因此发送到布线SL的图像数据是从上述电路层SWCL的选择器MPX输出的图像数据。

[0532] 晶体管500C包括与布线VO电连接的第一端子、与发光器件130电连接的第二端子以及具有根据被用作栅极线的布线G2的电位控制开启状态和关闭状态切换的功能的栅电极。布线VO是用来供应基准电位的布线,也是将流过电路层OSL的电流输出到驱动电路区域DRVA的布线。

[0533] 电容器600包括与晶体管500B的栅电极电连接的导电膜以及与晶体管500C的第二电极电连接的导电膜。

[0534] 发光器件130包括与晶体管500B的第一电极电连接的第一电极以及与布线VCOM电连接的第二电极。布线VCOM是供应用来对发光器件130供应电流的电位的布线。

[0535] 由此,可以根据供应到晶体管500B的栅电极的图像信号控制发光器件130所发射的光的强度。另外,可以由通过晶体管500C供应的布线VO的基准电位抑制晶体管500B的栅极-源极间电压的不均匀。

[0536] 另外,可以从布线VO输出可以在设定像素参数时使用的电流值。更具体而言,布线VO可以被用作将流过晶体管500B的电流或流过发光器件130的电流输出到外部的监视线。输出到布线VO的电流例如由源极跟随电路转换为电压而输出到外部。或者,该电流例如可以由模拟数字转换电路等转换为数字信号而输出到进行调光及调色的处理的电路。上述源极跟随电路、模拟数字转换电路以及进行调光及调色的处理的电路各自例如可以包括在驱动电路区域DRVA中。

[0537] 图35是示意性地示出驱动电路区域DRVA、存储电路区域MEMA、电路层SWCL以及像素电路PX所包括的具有多个晶体管的电路层OSL及具有发光器件130的发光层LE的上下关系的图。作为一个例子,图35所示的显示装置DSP的显示区域EMA包括电路层OSL及发光层LE。

[0538] 另外,在图35中作为一个例子示出的结构中可以缩短用来使电路层OSL与驱动电路区域DRVA电连接的布线,所以可以降低该布线的布线电阻。因此,可以高速进行数据的写入,所以可以以高速驱动显示装置DSP。由此,即便使显示装置DSP所包括的像素电路PX的数量多,也可以确保充分帧期间,所以可以提高显示装置DSP的像素密度。另外,通过提高显示装置DSP的像素密度,可以提高显示装置DSP所显示的图像的清晰度。例如,显示装置DSP的像素密度可以为500ppi以上,优选为1000ppi以上,更优选为3000ppi以上,进一步优选为5000ppi以上,更进一步优选为6000ppi以上。因此,可以说,显示装置DSP例如可以为用于AR(增强现实)、VR(虚拟现实)等XR(扩展现实(Extended Reality)或交叉现实(Cross Reality))的显示装置,适合用于HMD(头戴显示器)等显示部与用户的距离较近的电子设备。

[0539] <电子设备的结构例子>

接着,说明可以使用上述显示装置DSP的电子设备的一个例子。

[0540] 电子设备例如包括显示装置以及选自天线、电池、框体、相机、扬声器、麦克风、触摸传感器和操作按钮中的一个以上。

[0541] 此外,电子设备也可以包括二次电池,优选通过非接触电力传送对该二次电池进

行充电。

[0542] 作为二次电池,例如,可以举出锂离子二次电池(例如,利用凝胶状电解质的锂聚合物电池(锂离子聚合物电池))、镍氢电池、镍镉电池、有机自由基电池、铅蓄电池、空气二次电池、镍锌电池、银锌电池。

[0543] 此外,电子设备也可以包括天线。通过使用天线接收信号,可以在显示部上显示影像、信息等。另外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0544] 在电子设备的显示区域上例如可以显示具有全高清、4K2K、8K4K、16K8K或更高的分辨率的影像。

[0545] 作为电子设备,例如可以举出具有较大屏幕的电子设备诸如电视装置、笔记本式个人计算机、显示器装置、数字标牌、弹珠机及游戏机等。另外,作为电子设备,例如可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置。

[0546] 电子设备可以沿着房屋或高楼等建筑物的内壁或外壁所具有的平面或曲面组装。另外,该电子设备可以沿着汽车等的内部装修或外部装修等所具有的平面或曲面组装。

[0547] [移动电话机]

图36A所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括框体5510及显示部5511,作为输入界面在显示部5511中具备触摸面板,并且在框体5510上设置有按钮。

[0548] [可穿戴终端]

图36B是示出可穿戴终端的一个例子的信息终端5900的外观图。信息终端5900包括框体5901、显示部5902、操作按钮5903、表冠5904及表带5905。

[0549] [信息终端]

另外,图36C示出笔记本式信息终端5300。作为一个例子,在图36C所示的笔记本式信息终端5300中,框体5330a具有显示部5331,框体5330b具有键盘部5350。

[0550] 注意,在上述例子中,图36A至图36C示出智能手机、可穿戴终端及笔记本式信息终端作为电子设备的例子,但是也可以应用于智能手机、可穿戴终端及笔记本式信息终端以外的信息终端。作为智能手机、可穿戴终端及笔记本式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、台式信息终端及工作站。

[0551] [相机]

图36D是安装有取景器8100的相机8000的外观图。相机8000包括框体8001、显示部8002、操作按钮8003及快门按钮8004。另外,相机8000安装有可装卸的镜头8006。取景器8100包括框体8101、显示部8102以及按钮8103。

[0552] 在相机8000中,镜头8006和框体也可以被形成为一体。

[0553] 相机8000通过按下快门按钮8004或者触摸用作触摸面板的显示部8002,可以进行拍摄。

[0554] 框体8001包括具有电极的嵌入器,除了可以与取景器8100连接以外,还可以与闪光灯装置连接。

[0555] 框体8101通过嵌合到相机8000的嵌入器的嵌入器装到相机8000。取景器8100可以将从相机8000接收的图像等显示到显示部8102上。

[0556] 按钮8103被用作电源按钮。

[0557] 本发明的一个方式的显示装置可以用于相机8000的显示部8002及取景器8100的显示部8102。此外,也可以在相机8000中内置有取景器。

[0558] [游戏机]

图36E是示出游戏机的一个例子的便携式游戏机5200的外观图。便携式游戏机5200包括框体5201、显示部5202、按钮5203。

[0559] 此外,便携式游戏机5200的影像可以由电视装置、个人计算机用显示器、游戏用显示器、头戴显示器等显示装置输出。

[0560] 通过将上述实施方式所说明的显示装置用于便携式游戏机5200,可以实现低功耗的便携式游戏机5200。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0561] 在图36E中,作为游戏机的例子示出便携式游戏机,但是本发明的一个方式的电子设备不局限于此。作为本发明的一个方式的电子设备,例如可以举出固定式游戏机、设置在娱乐设施(例如,游戏中心、游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机。

[0562] [电视装置]

图36F是示出电视装置的立体图。电视装置9000包括框体9002、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006及传感器9007(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、旋转数、距离、光(包括红外线)、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动或气味)等。或者,该传感器例如具有检测或测量出气味或光(包括红外线)的功能)。本发明的一个方式的显示装置可以组装于电视装置。可以将例如是50英寸以上或100英寸以上的显示部9001组装到电视装置。

[0563] 通过将上述实施方式所说明的显示装置应用于电视装置9000,可以实现低功耗的电视装置9000。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0564] [移动体]

本发明的一个方式的显示装置可以应用于作为移动体的汽车的驾驶座位附近。

[0565] 图36G是示出汽车室内的前挡风玻璃附近的图。图36G示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在立柱的显示面板5704。

[0566] 显示面板5701至显示面板5703例如可以显示导航信息、速度表、转速计、行驶距离、加油量、排档状态、空调的设定等各种信息。此外,使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局,可以提高设计性。显示面板5701至显示面板5703还可以被用作照明装置。

[0567] 通过将由设置在车体的摄像单元拍摄的影像显示在显示面板5704上,可以补充被立柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车外侧的摄像单元拍摄的影像,可以补充死角,从而可以提高安全性。另外,通过显示补充看不到的部分的影像,可以更自然、更舒适地确认安全。显示面板5704可以被用作照明装置。

[0568] 本发明的一个方式的显示装置例如可以应用于显示面板5701至显示面板5704。

[0569] 虽然在上述例子中作为移动体的一个例子说明了汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(例如,直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的显示体装置。

[0570] [数字标牌]

图36H示出可以挂墙的数字标牌的例子。图36H示出挂墙壁6201的数字标牌6200的例子。本发明的一个方式的显示装置例如可以应用于数字标牌6200的显示部。另外,数字标牌6200可以设置有触摸面板等的接口等。

[0571] 注意,在上面作为数字标牌的一个例子示出可以挂墙的电子设备,但是数字标牌的种类不局限于此。例如,作为数字标牌可以举出:安装到柱子上的数字标牌;放在地面上的数字标牌;或者设置在建筑物的屋顶或侧壁上的数字标牌。

[0572] [头戴显示器]

图36I是示出作为头戴显示器的电子设备8300的外观图。电子设备8300包括框体8301、显示部8302、带状固定构件8304、头戴固定构件8304a以及一对透镜8305。

[0573] 另外,虽然在图36I中未图示,但是电子设备8300也可以安装有操作按钮或电源按钮等接口。

[0574] 使用者可以通过透镜8305看到显示部8302上的显示。优选的是,弯曲配置显示部8302。因为使用者可以感受高真实感。此外,通过透镜8305分别看到显示在显示部8302的不同区域上的不同图像,可以进行利用视差的三维显示等。此外,本发明的一个方式不局限于设置有一个显示部8302的结构,也可以以对使用者的一个眼睛配置一个显示部的方式设置两个显示部8302。

[0575] 另外,显示部8302例如优选使用清晰度极高的显示装置。通过作为显示部8302使用清晰度高的显示装置,即使使用透镜8305放大,也可以不使使用者看到像素而可以显示现实感更高的影像。

[0576] 另外,电子设备的头戴显示器也可以采用眼镜型头戴显示器的电子设备的形式而不采用如图36I那样的护目镜型头戴显示器的电子设备8300的形式。

[0577] 本实施方式可以与本说明书所示的其他实施方式适当地组合。例如,本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[符号说明]

[0578] DEV:半导体装置、MEML_L:存储层、MEML_H:存储层、SWCL:电路层、SWCLA:电路层、SWCLB:电路层、SWCLC:电路层、ME_L:存储电路、ME_H:存储电路、MC_L:存储单元、MC_H:存储单元、WL_L:布线、WL_H:布线、BL_L:布线、BL_H:布线、BLUT_L:布线、BLUT_H:布线、MA_L:区域、MA_H:区域、MPX:选择器、DMPX:选择器、SW[00000]:开关、SW[00100]:开关、SW[00111]:开关、SW[01000]:开关、SW[01100]:开关、SW[01111]:开关、SW[10000]:开关、SW[10100]:开关、SW[10111]:开关、SW[11111]:开关、SW1:开关、SW2:开关、SW3:开关、SW4:开关、SW5:开关、SW6:开关、SWa1:开关、SWa2:开关、SWb1:开关、SWb2:开关、SWb3:开关、SWb4:开关、IT:端子、IT1:端子、IT2:端子、OT:端子、OT1:端子、OT2:端子、SL1:布线、SL2:布线、SL3:布线、SL4:布线、SL5:布线、SL6:布线、SLa1:布线、SLa2:布线、SLb1:布线、SLb2:布线、PON1:信号、PON2:信号、ADDR:信号、BW:信号、CE:信号、GW:信号、CLK:信号、WAKE:信号、WDA:信号、RDA:

信号、SSIG:信号、DSIG:信号、MC:存储单元、M1:晶体管、M2:晶体管、M4:晶体管、M4r:晶体管、M5:晶体管、M5r:晶体管、M6:晶体管、MN:晶体管、C1:电容器、C2:电容器、C3:电容器、C3r:电容器、VR:可变电阻元件、MR:MTJ元件、PCM:相变存储器、INV1:逻辑电路、INV2:逻辑电路、BL:布线、BL[1]:布线、BL[n]:布线、BLB:布线、WBL[1]:布线、WBL[n]:布线、RBL[1]:布线、RBL[n]:布线、WL:布线、WL[1]:布线、WL[m]:布线、W1L:布线、W2L:布线、SL[1]:布线、SL[n]:布线、CL:布线、CL[1]:布线、CL[m]:布线、C1L:布线、C2L:布线、OSL:电路层、ME:存储电路、DRV:驱动电路区域、DRVA:驱动电路区域、VCOM:布线、ANO:布线、PSIG:信号、10:存储单元、22:PSW、23:PSW、31:外围电路、32:控制电路、33:电压生成电路、41:外围电路、42:行译码器、43:行驱动器、44:列译码器、45:列驱动器、46:读出放大器、47:输入电路、48:输出电路、50:驱动电路区域、60:单元阵列层、60_1:单元阵列层、60_2:单元阵列层、60_3:单元阵列层、60_k:单元阵列层、60_N:单元阵列层、70:单元阵列、71:驱动电路、72:驱动电路、75:存储单元、80:控制处理区域、81:ALU、82:ALU控制器、83:指令译码器、84:中断控制器、85:时序控制器、90:电路层、100:存储层次、101:寄存器、102:第一高速缓冲存储器、103:第二高速缓冲存储器、104:主存储器、105:辅助存储装置、301:绝缘体、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、356:导电体、357:绝缘体、361:导电体、362:导电体、363a:导电体、363b:导电体、364:导电体、365:导电体、366:导电体、367:导电体、400:晶体管、500:晶体管、500A:晶体管、500B:晶体管、500C:晶体管、502:导电体、503:导电体、504:导电体、505:导电体、505a:导电体、505b:导电体、512:绝缘体、514:绝缘体、516:绝缘体、520:绝缘体、522:绝缘体、524:绝缘体、531:金属氧化物、531a:金属氧化物、531b:金属氧化物、533:金属氧化物、540a:导电体、540b:导电体、542a:导电体、542a1:导电体、542a2:导电体、542b:导电体、542b1:导电体、542b2:导电体、543a:区域、543b:区域、544:导电体、545:导电体、550:绝缘体、551:绝缘体、552:绝缘体、553:绝缘体、554:绝缘体、555:绝缘体、560:导电体、560a:导电体、560b:导电体、561:导电体、561a:导电体、561b:导电体、563:导电体、564:导电体、565:导电体、574:绝缘体、580:绝缘体、581:绝缘体、583:绝缘体、583a:绝缘体、583b:绝缘体、592:绝缘体、593:绝缘体、594:绝缘体、595:绝缘体、596:绝缘体、597:绝缘体、600:电容器、600A:电容器、700:电子构件、704:电路板、710:半导体装置、711:模子、712:连接盘、713:电极焊盘、714:引线、715:驱动电路层、716:存储层、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、5200:便携式游戏机、5201:框体、5202:显示部、5203:按钮、5300:笔记本式信息终端、5330a:框体、5330b:框体、5331:显示部、5350:键盘部、5500:信息终端、5510:框体、5511:显示部、5600:大型计算机、5610:机架、5620:计算机、5621:计算机卡、5622:板、5623:连接端子、5624:连接端子、5625:连接端子、5626:半导体装置、5627:半导体装置、5628:半导体装置、5629:连接端子、5630:母板、5631:插槽、5900:信息终端、5901:框体、5902:显示部、5903:操作按钮、5904:表冠、5905:表带、6200:数字标牌、6201:墙壁、6500:电子设备、6501:框体、6502:显示部、6503:电源按钮、6504:按钮、6505:扬声器、6506:麦克风、6507:摄像头、6508:光源、6509:控制装置、6600:电子设备、6611:框体、6612:键盘、6613:指向装置、6614:外部连接端口、6615:显示部、6616:控制装置、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6805:二次电池、6807:控制装置、7000:存储系统、7001:主机、7001sb:服

务器、7002:存储控制电路、7003:存储、7003md:存储装置、7004:存储区域网络、8000:相机、8001:框体、8002:显示部、8003:操作按钮、8004:快门按钮、8006:镜头、8100:取景器、8101:框体、8102:显示部、8103:按钮、8300:电子设备、8301:框体、8302:显示部、8304:固定工具、8304a:固定工具、8305:透镜、9000:电视装置、9001:显示部、9002:框体、9003:扬声器、9006:连接端子、9007:传感器

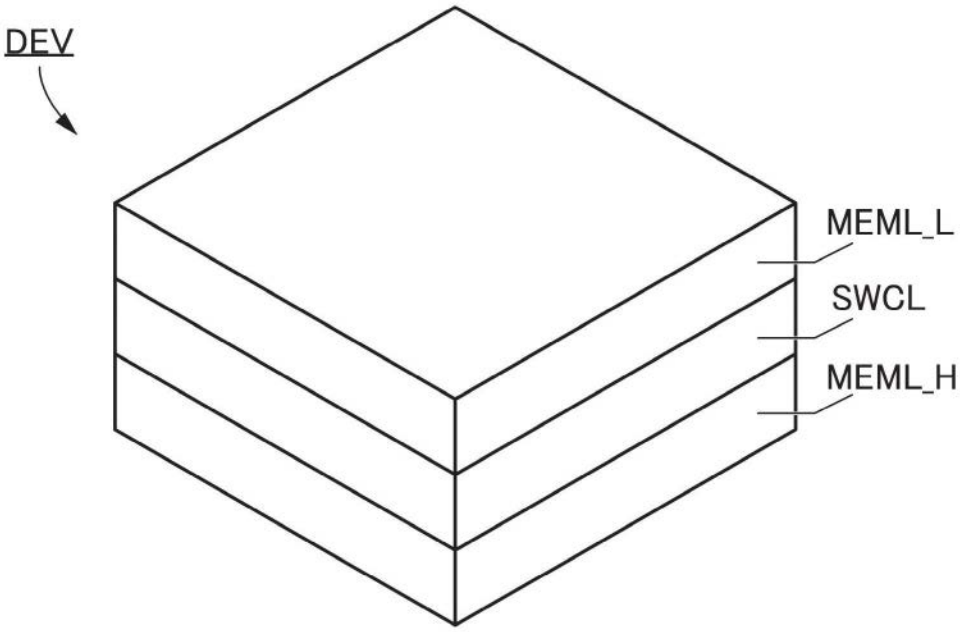


图1A

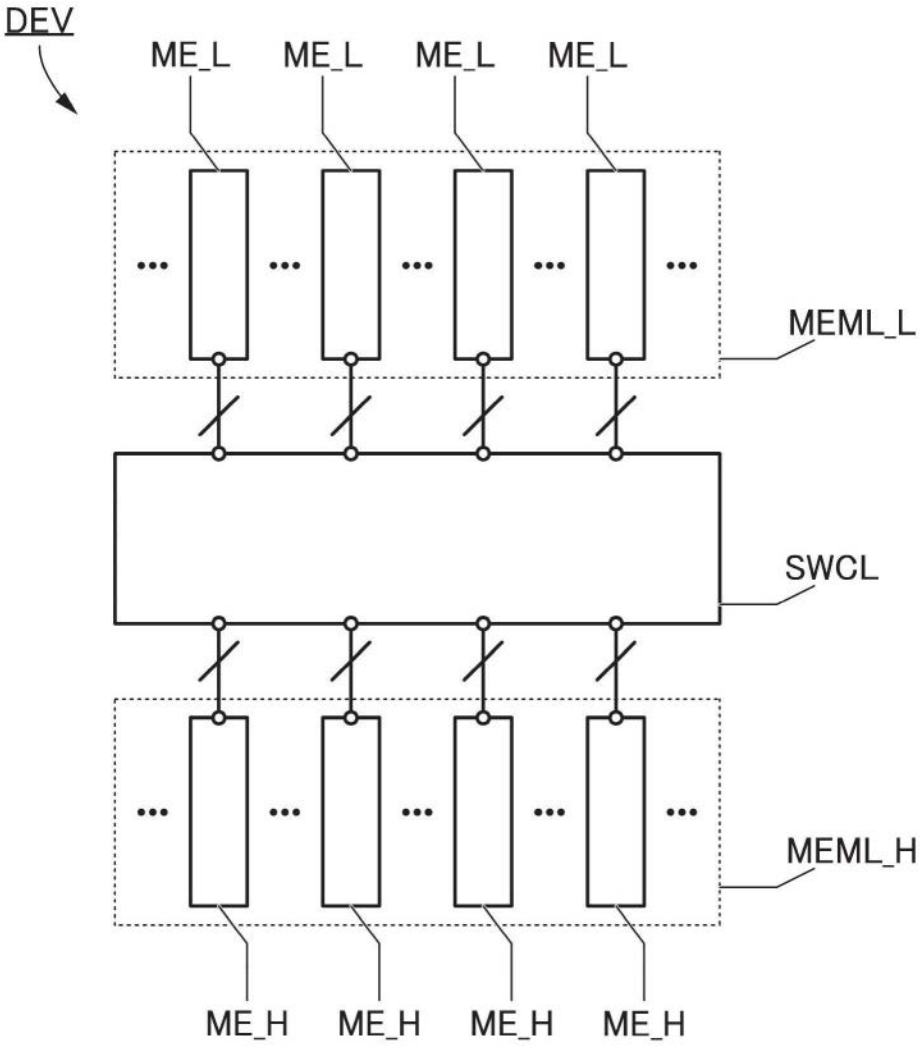

DEV
ME_L
ME_L
ME_L
ME_L
MEML_L
SWCL
MEML_H
ME_H
ME_H
ME_H
ME_H

图1B

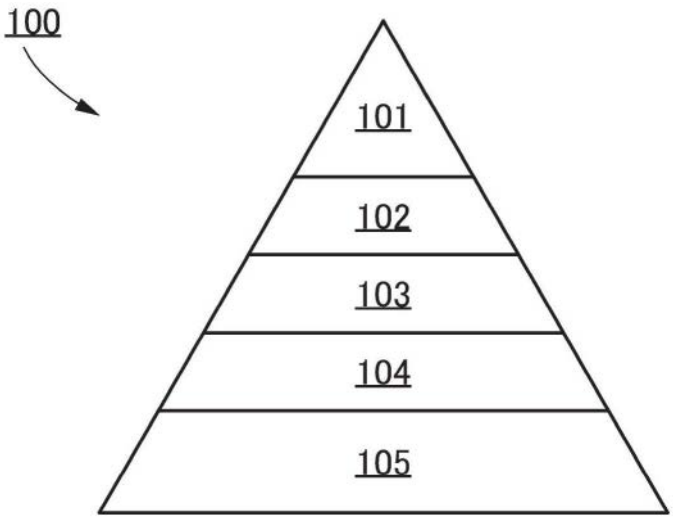

100
101
102
103
104
105

图2

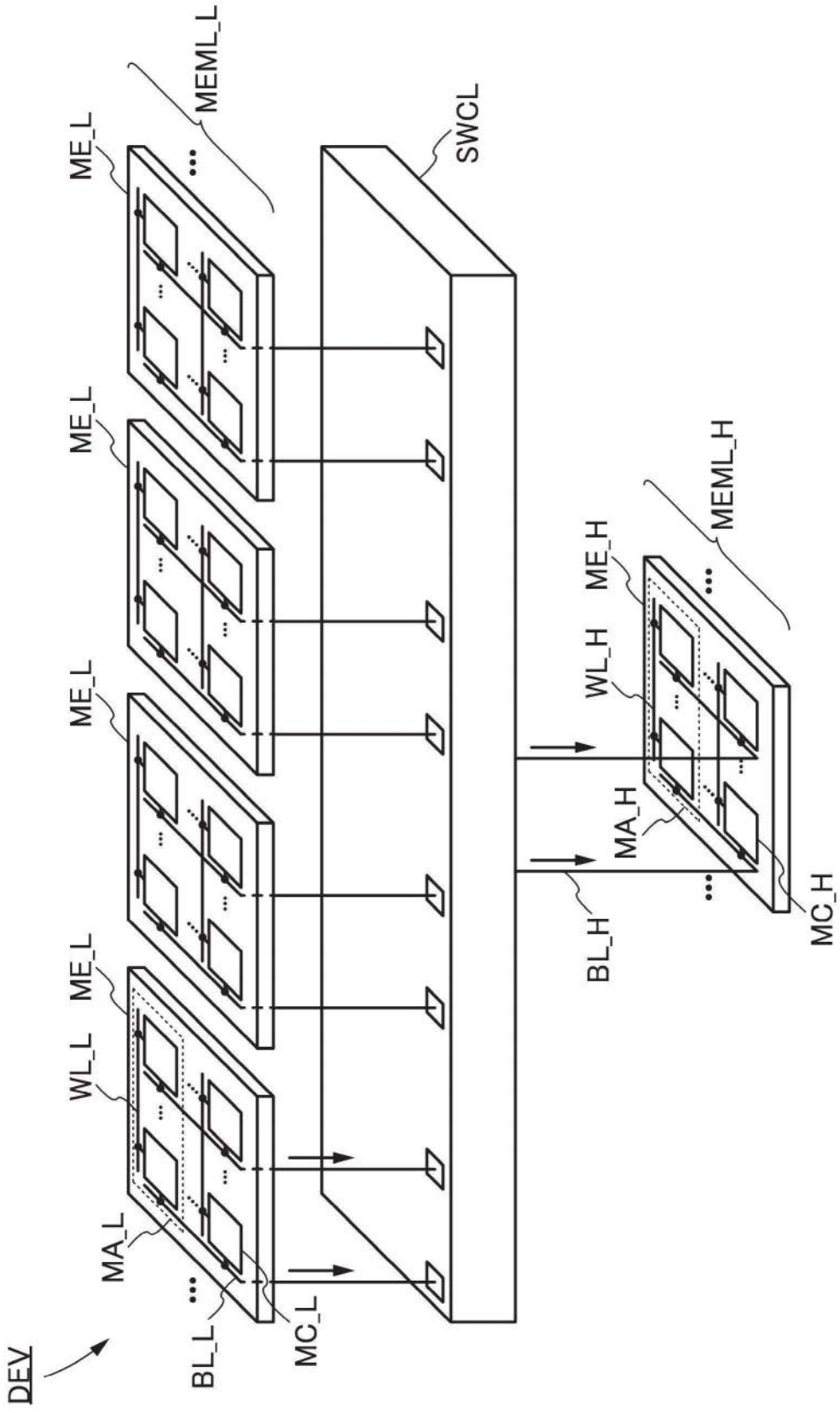

MEML_L
ME_L
SWCL
ME_L
ME_L
ME_L
WL_L
MA_L
BL_L
MC_L
DEV
MEML_H
ME_H
WL_H
MA_H
BL_H
MC_H

图3

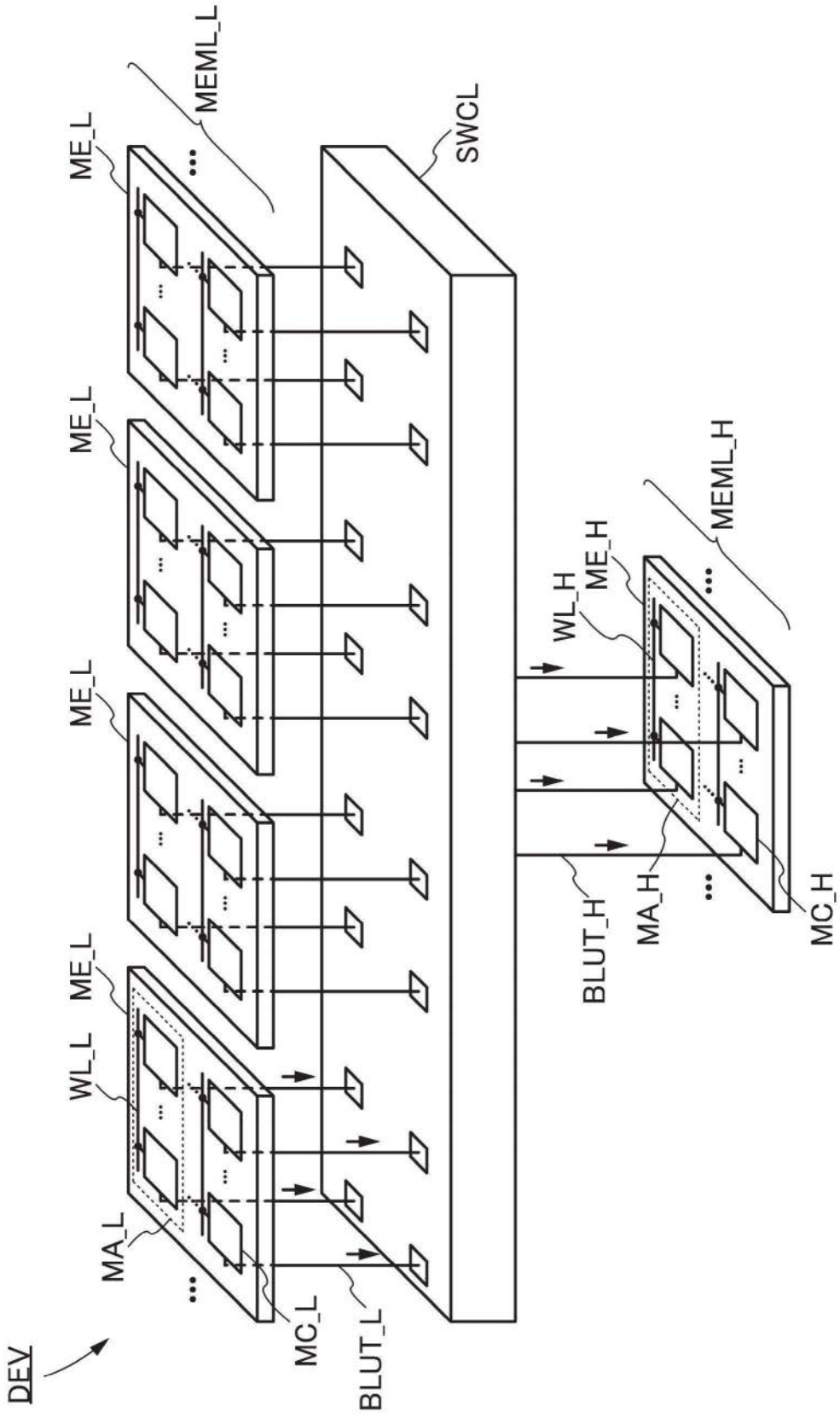

MEML_L
ME_L
SWCL
ME_L
ME_L
ME_L
WL_L
MA_L
MC_L
BLUT_L
DEV
MEML_H
ME_H
WL_H
BLUT_H
MA_H
MC_H

图4

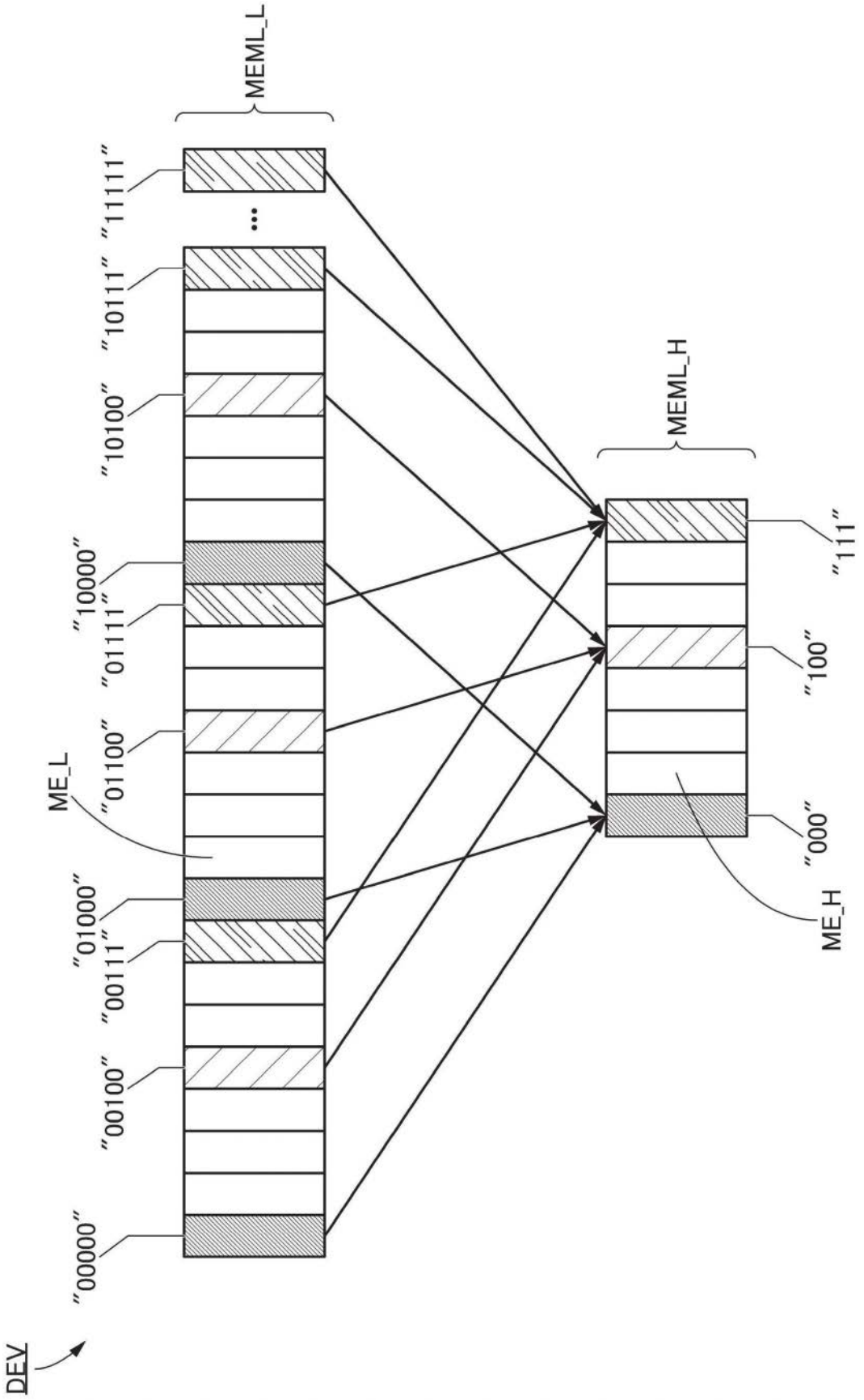

MEML_L
"11111"
"10111"
"10100"
"10000"
"01111"
"01100"
ME_L
"01000"
"00111"
"00100"
"00000"
DEV
MEML_H
"111"
"100"
"000"
ME_H

图5

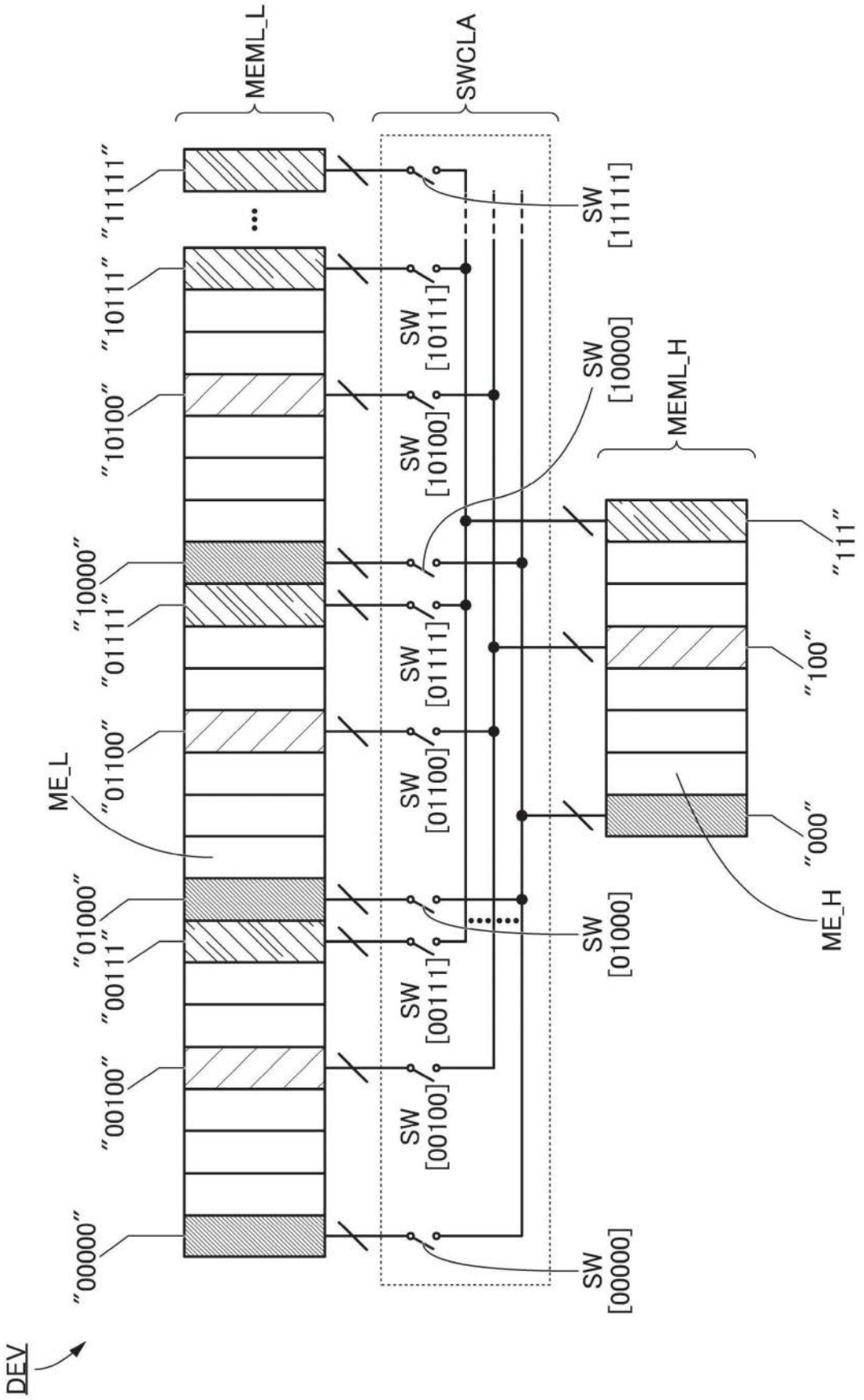

MEML_L
SWCLA
MEML_H
ME_L
ME_H
DEV
"11111"
"10111"
"10100"
"10000"
"01111"
"01100"
"01000"
"00111"
"00100"
"00000"
"111"
"100"
"000"
SW [11111]
SW [10111]
SW [10100]
SW [10000]
SW [01111]
SW [01100]
SW [01000]
SW [00111]
SW [00100]
SW [00000]

图6

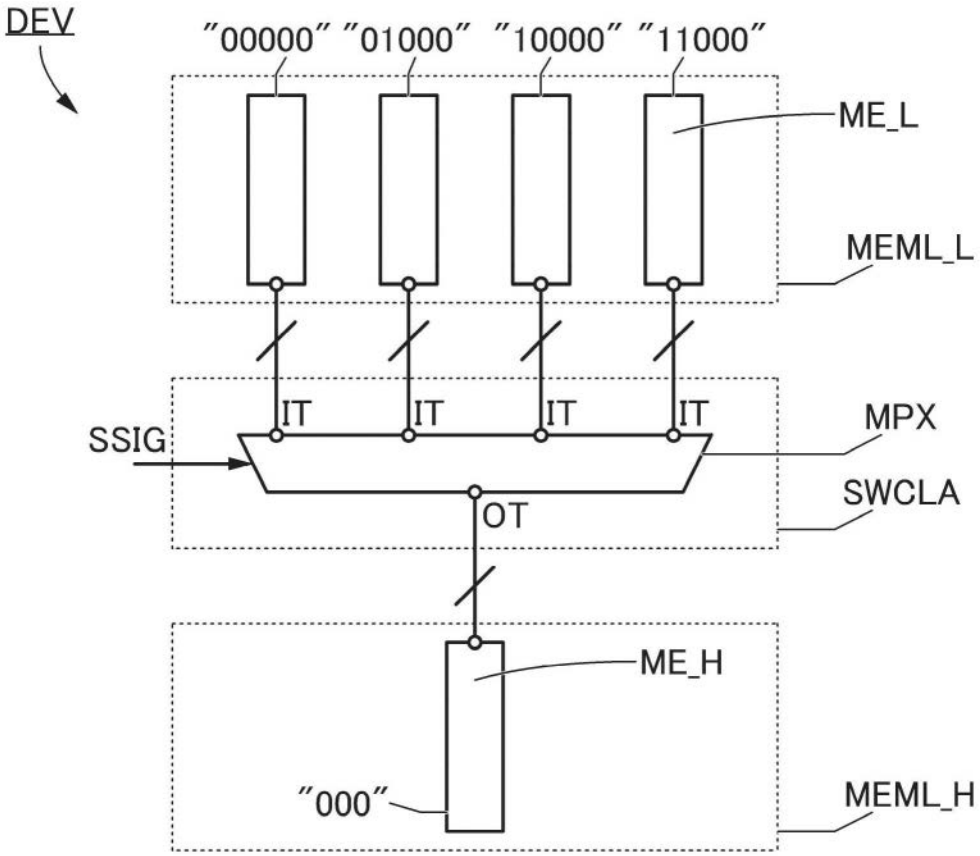

DEV
"00000" "01000" "10000" "11000"
ME_L
MEML_L
IT
IT
IT
IT
MPX
SSIG
SWCLA
OT
ME_H
"000"
MEML_H

图7

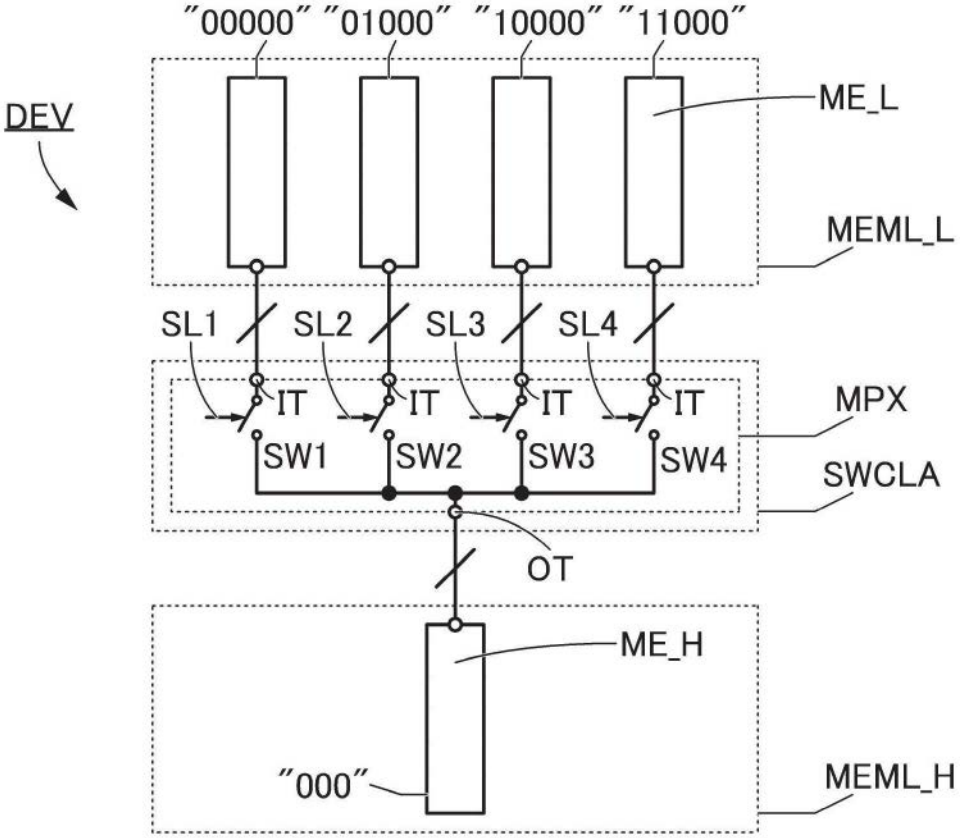

"00000" "01000" "10000" "11000"
DEV
ME_L
MEML_L
SL1
SL2
SL3
SL4
IT
IT
IT
IT
MPX
SW1
SW2
SW3
SW4
SWCLA
OT
ME_H
"000"
MEML_H

图8A

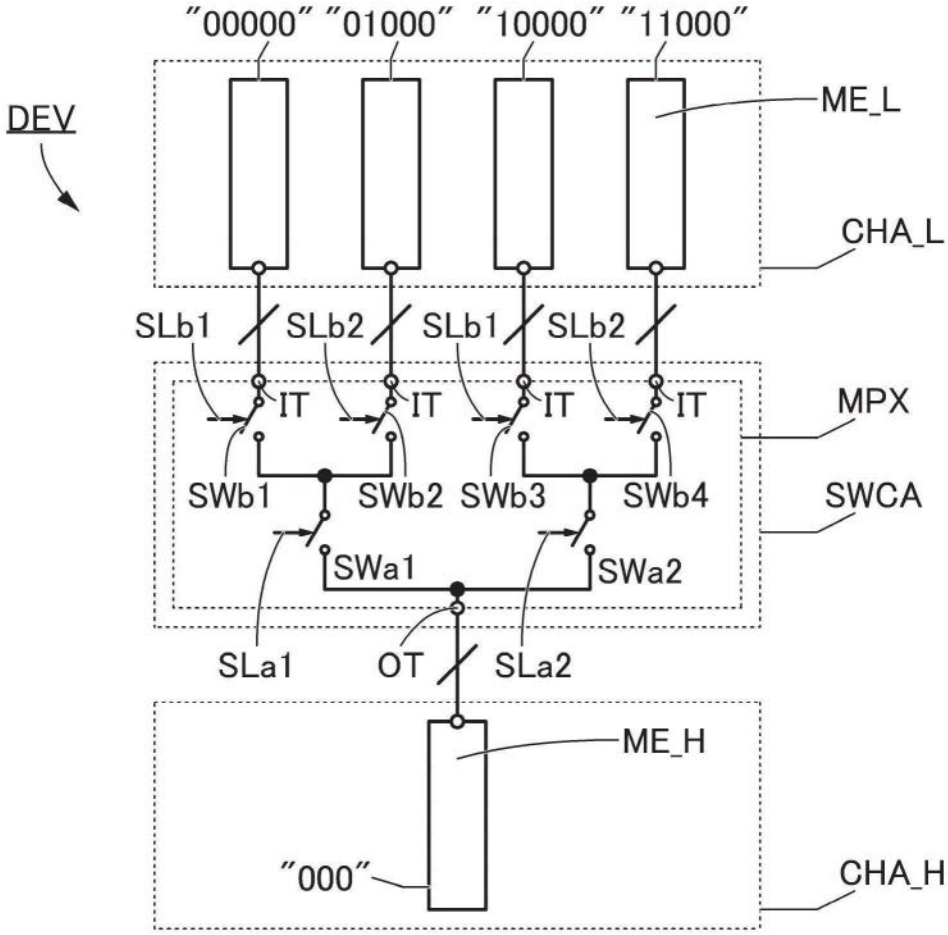

"00000"
"01000"
"10000"
"11000"
DEV
ME_L
CHA_L
SLb1
SLb2
SLb1
SLb2
IT
IT
IT
IT
MPX
SWb1
SWb2
SWb3
SWb4
SWCA
SWa1
SWa2
SLa1
OT
SLa2
ME_H
"000"
CHA_H

图8B

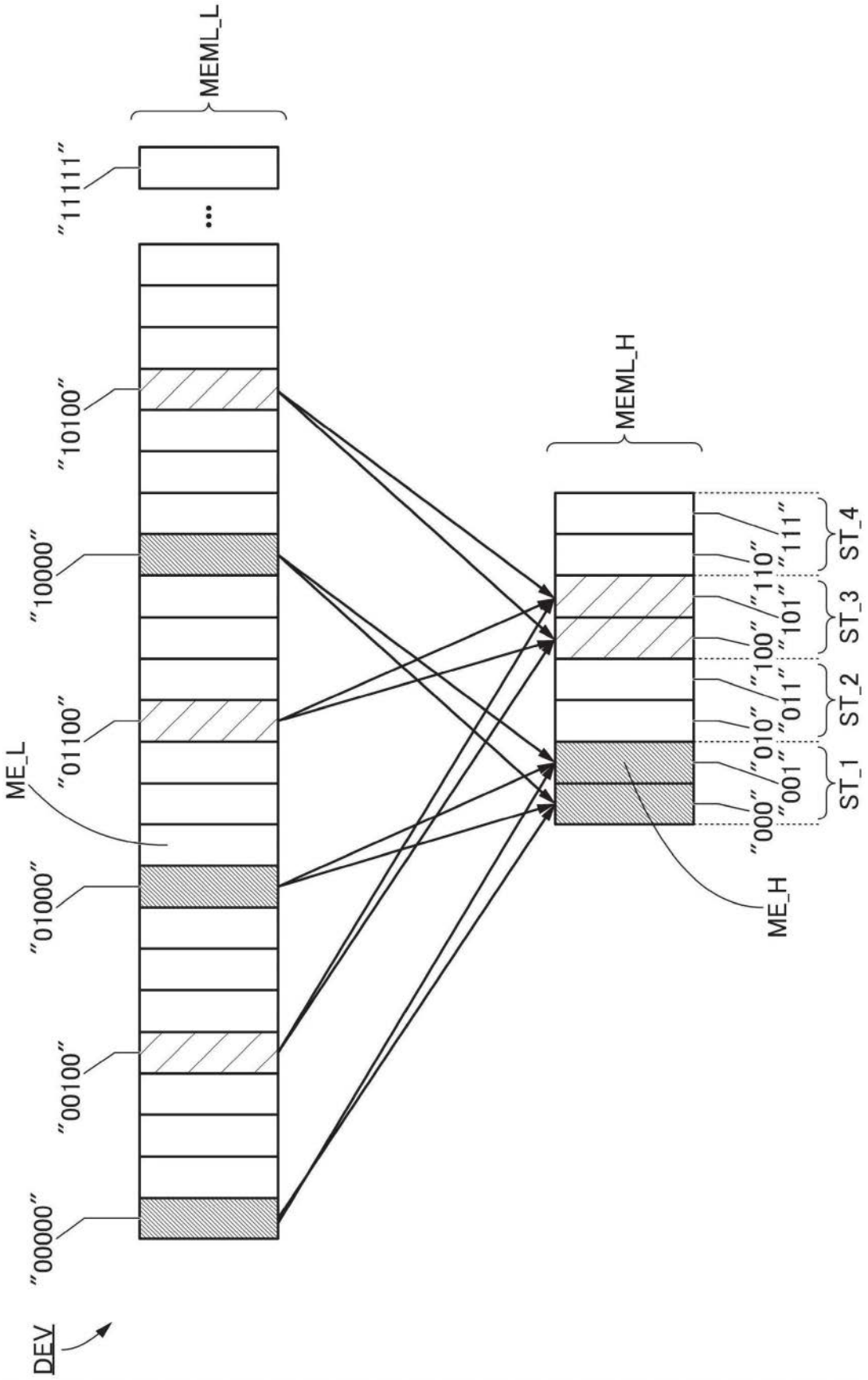

MEML_L
"11111"
"10100"
"10000"
"01100"
"01000"
"00100"
"00000"
ME_L
DEV
MEML_H
"111"
"110"
"101"
"100"
"011"
"010"
"001"
"000"
ST_4
ST_3
ST_2
ST_1
ME_H

图9

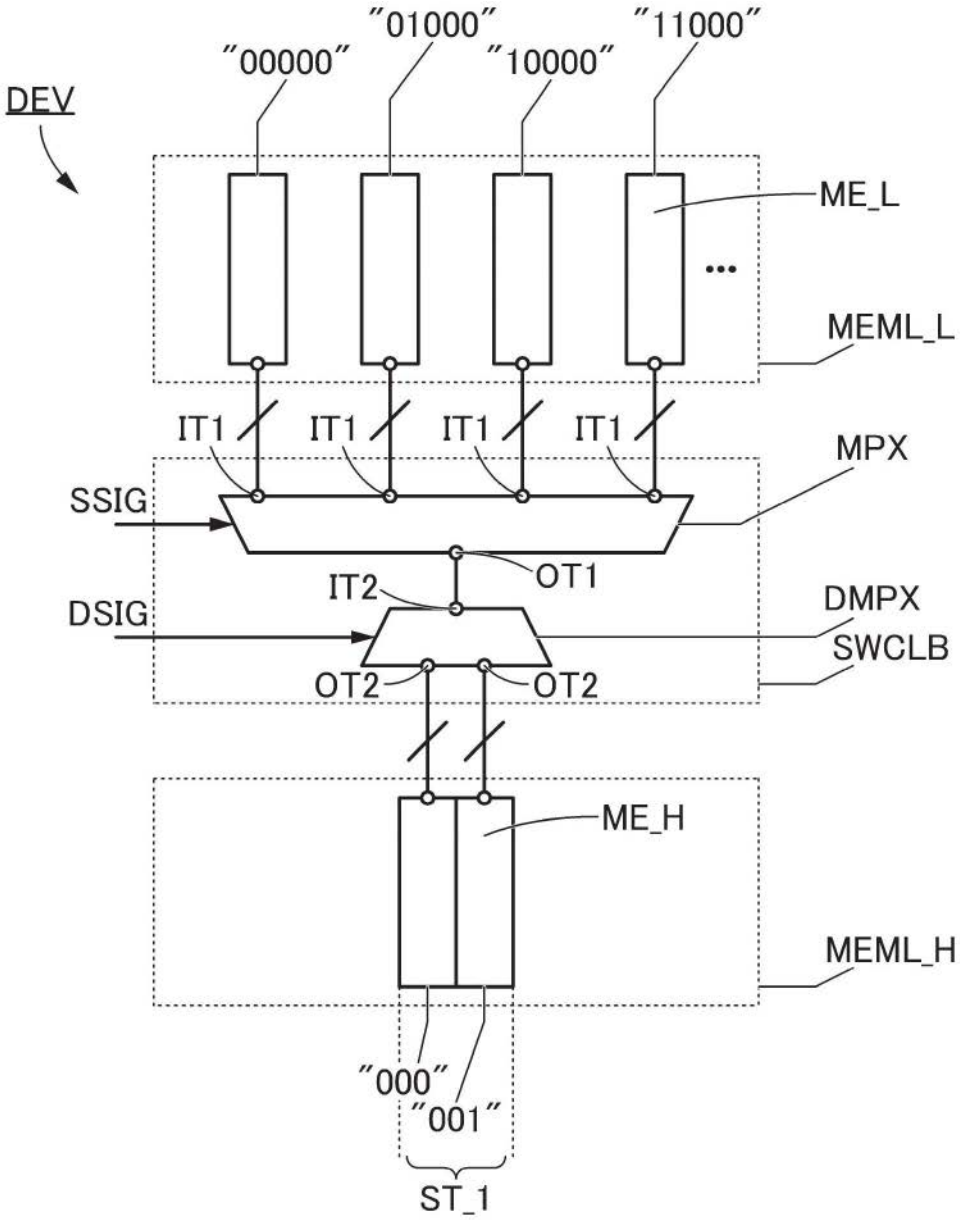

"00000"
"01000"
"10000"
"11000"
DEV
ME_L
MEML_L
IT1
IT1
IT1
IT1
MPX
SSIG
OT1
IT2
DSIG
DMPX
SWCLB
OT2
OT2
ME_H
MEML_H
"000"
"001"
ST_1

图10

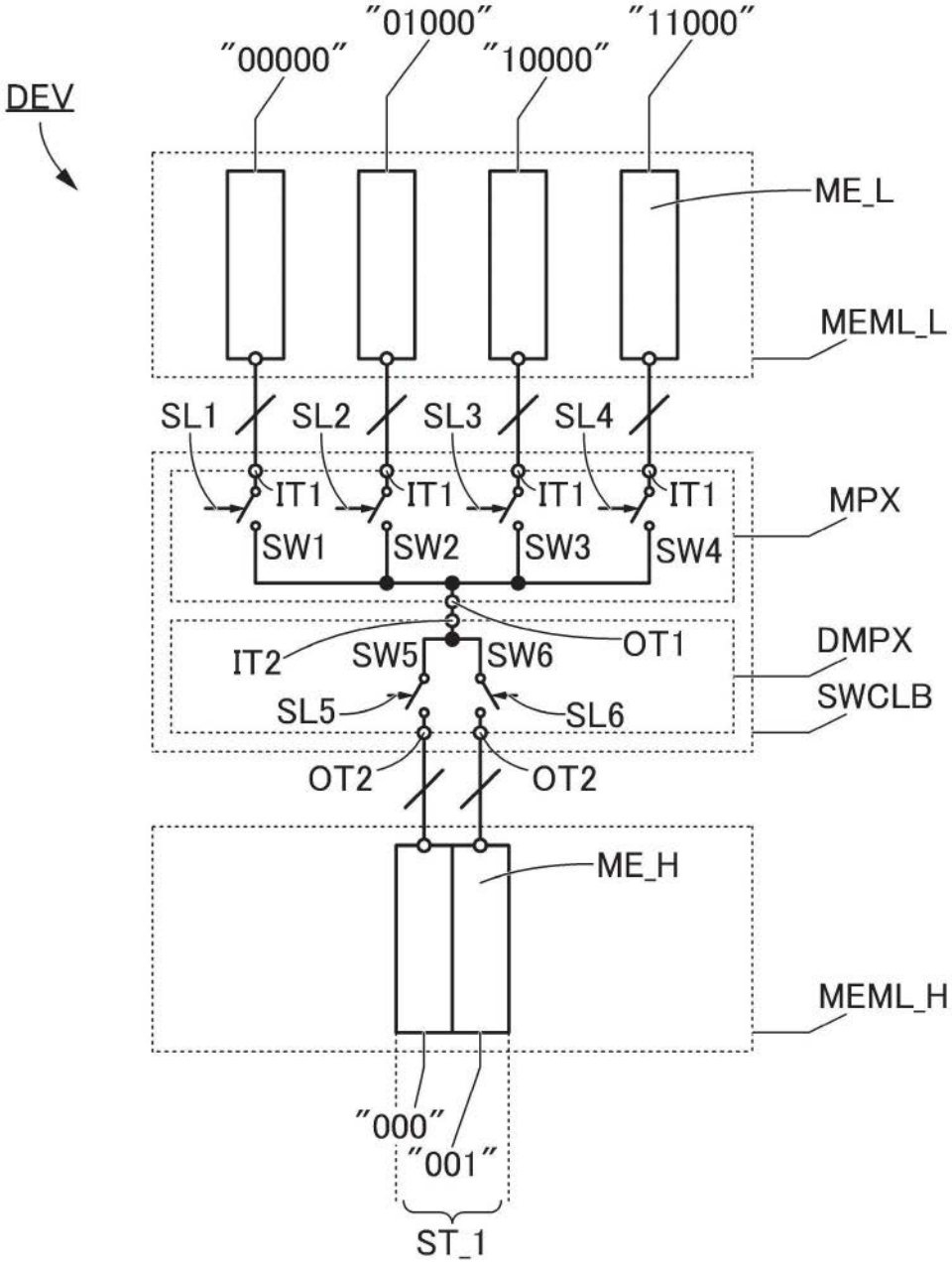

DEV
"00000"
"01000"
"10000"
"11000"
ME_L
MEML_L
SL1
SL2
SL3
SL4
IT1
IT1
IT1
IT1
MPX
SW1
SW2
SW3
SW4
IT2
SW5
SW6
OT1
DMPX
SL5
SL6
SWCLB
OT2
OT2
ME_H
MEML_H
"000"
"001"
ST_1

图11

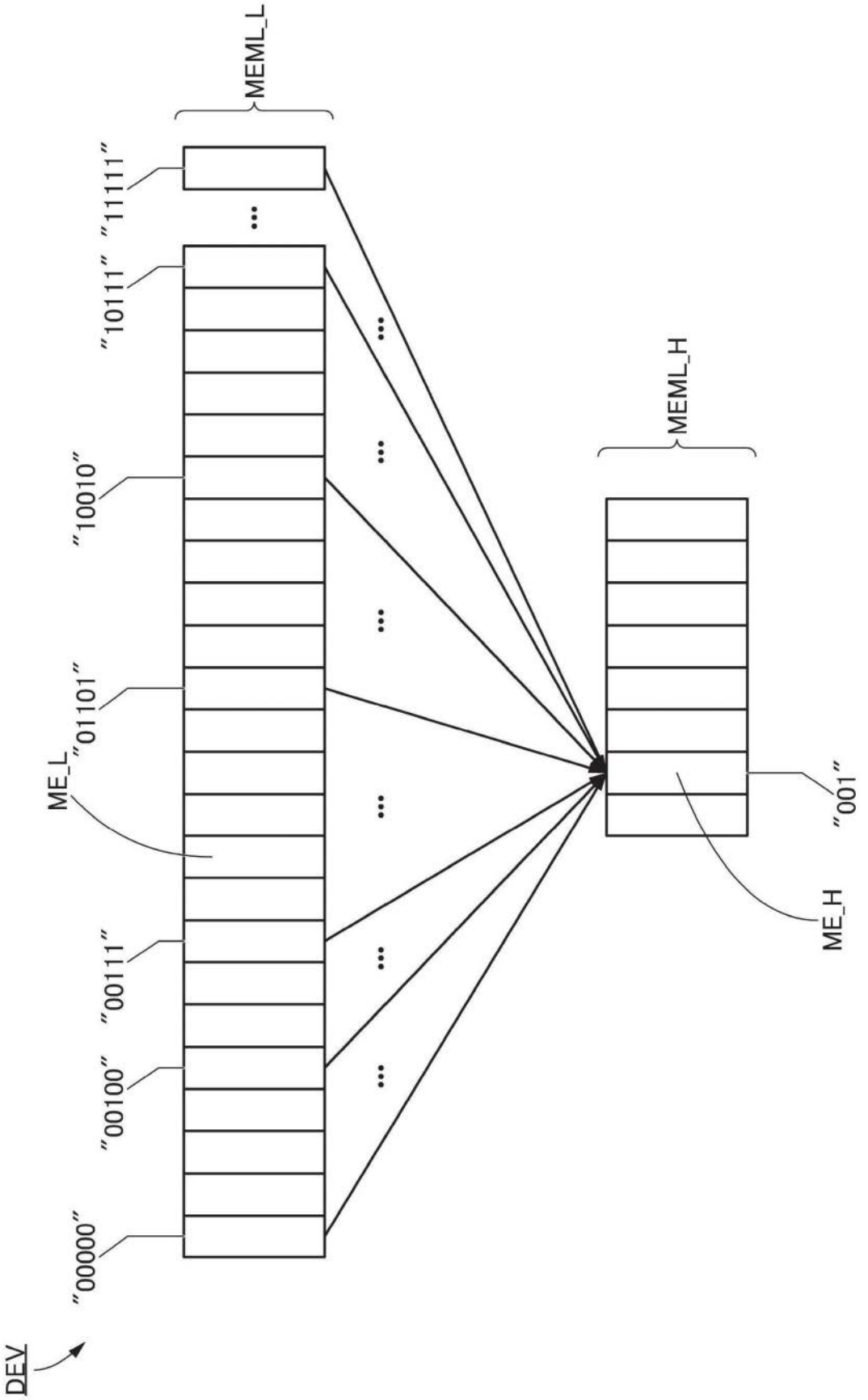

MEML_L
"11111"
"10111"
"10010"
"01101"
"00111"
"00100"
"00000"
ME_L
MEML_H
"001"
ME_H
DEV

图12

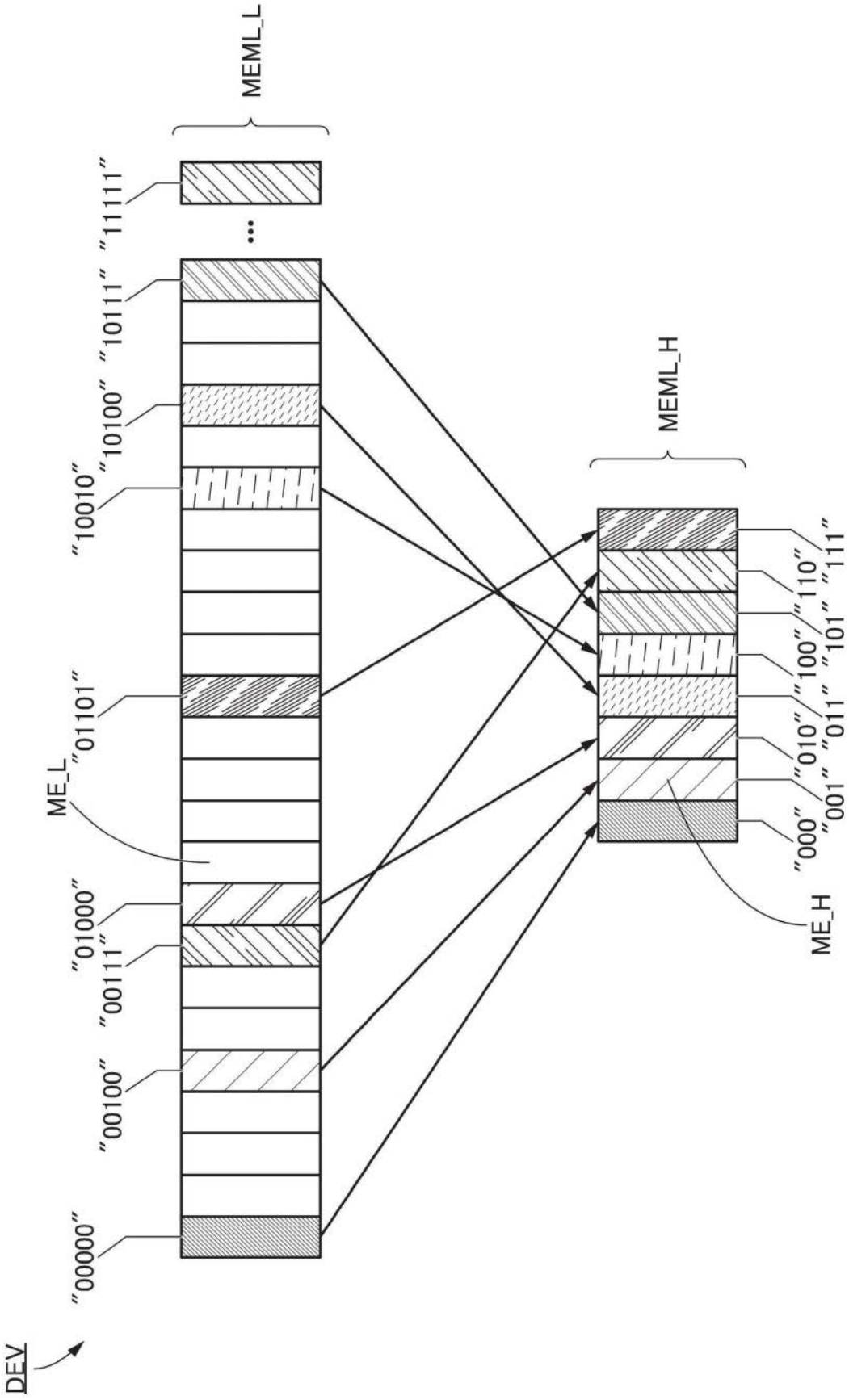

MEML_L
"11111"
"10111"
"10100"
"10010"
"01101"
"01000"
"00111"
"00100"
"00000"
ME_L
MEML_H
"111"
"110"
"101"
"100"
"011"
"010"
"001"
"000"
ME_H
DEV

图13

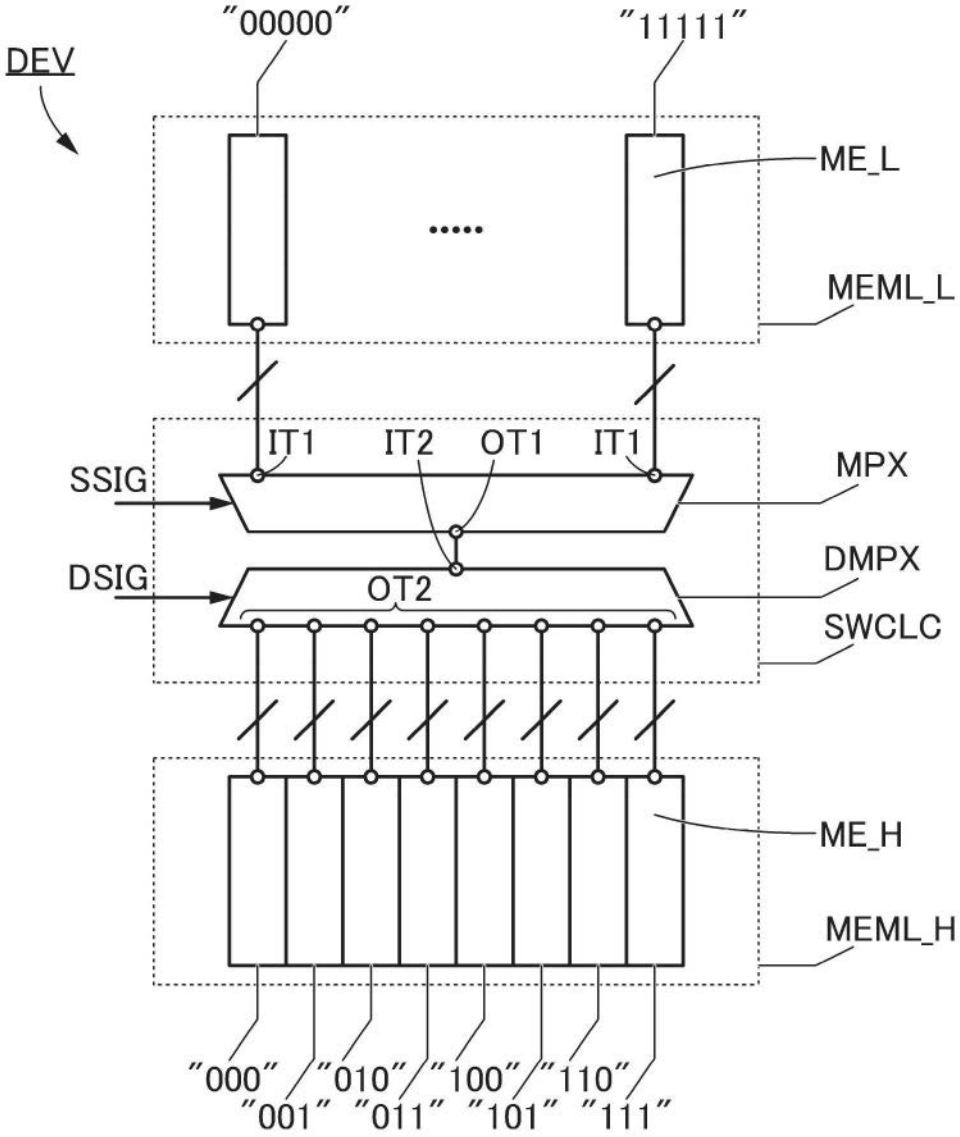

DEV
"00000"
"11111"
ME_L
MEML_L
IT1
IT2
OT1
IT1
SSIG
MPX
DSIG
OT2
DMPX
SWCLC
ME_H
MEML_H
"000"
"001"
"010"
"011"
"100"
"101"
"110"
"111"

图14

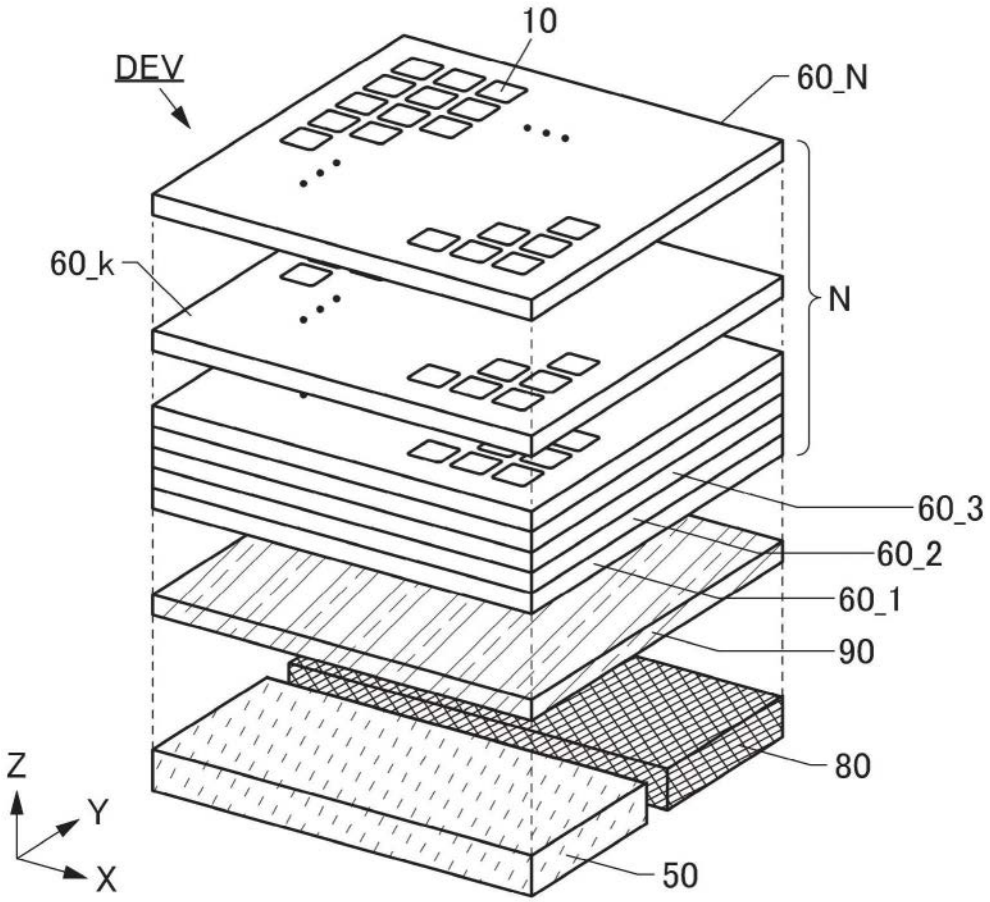


图15

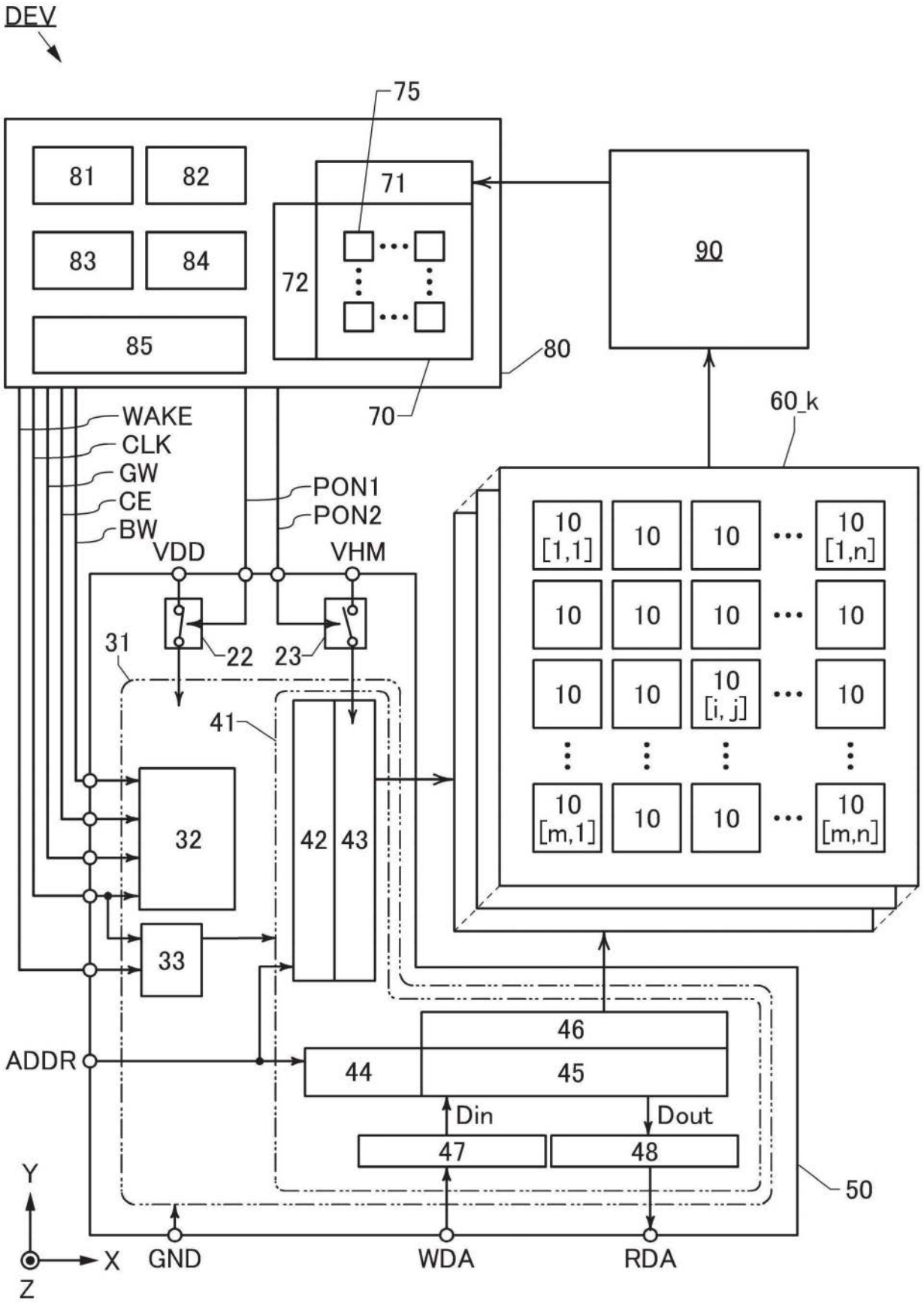

DEV
75
81
82
71
83
84
72
90
85
80
70
60_k
WAKE
CLK
GW
CE
BW
PON1
PON2
VDD
VHM
10 [1,1]
10 [1,n]
10 [i, j]
10 [m,1]
10 [m,n]
31
22
23
41
32
42
43
33
46
ADDR
44
45
Din
Dout
47
48
50
Y
X
Z
GND
WDA
RDA

图16

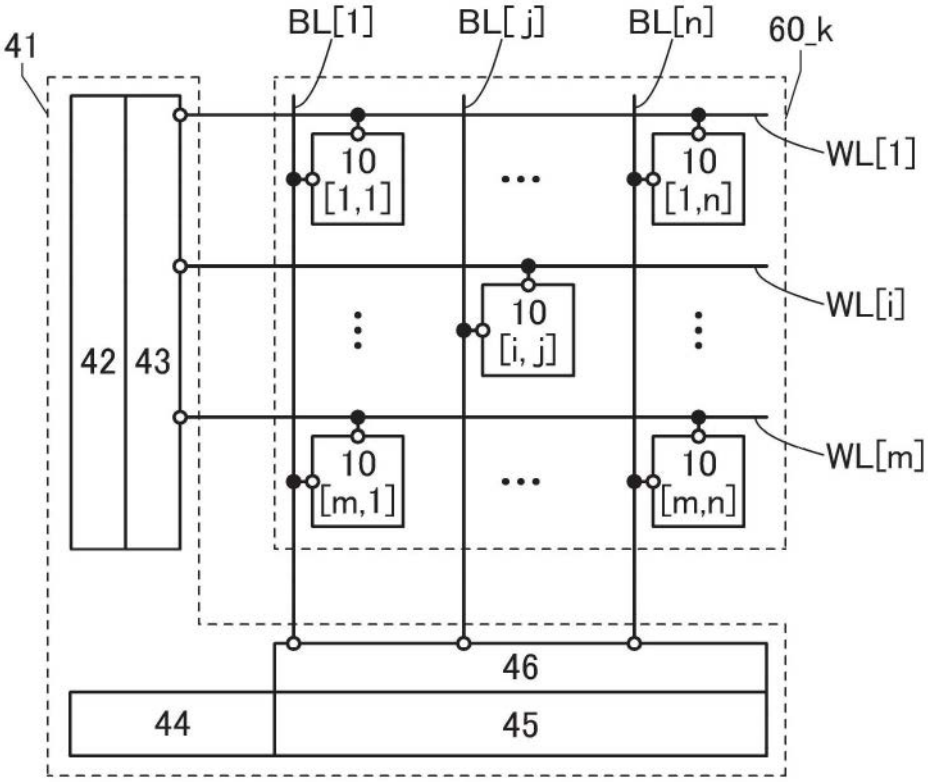

41
BL[1]
BL[j]
BL[n]
60_k
WL[1]
WL[i]
WL[m]
10 [1,1]
10 [1,n]
10 [i, j]
10 [m,1]
10 [m,n]
42
43
46
44
45

图17

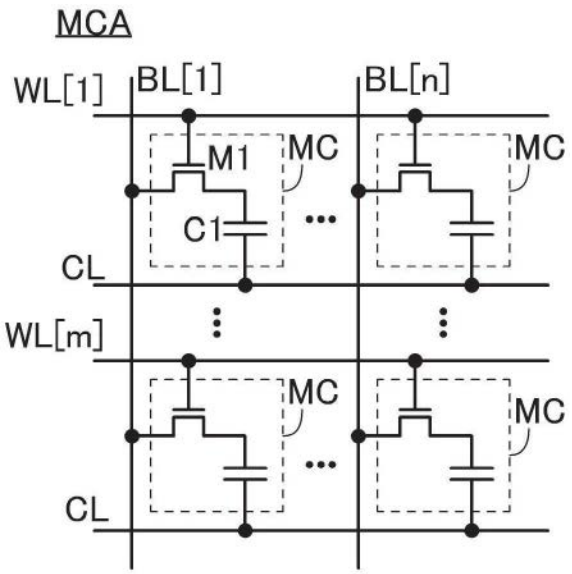

MCA
WL[1]
BL[1]
BL[n]
M1
MC
C1
CL
WL[m]

图18A

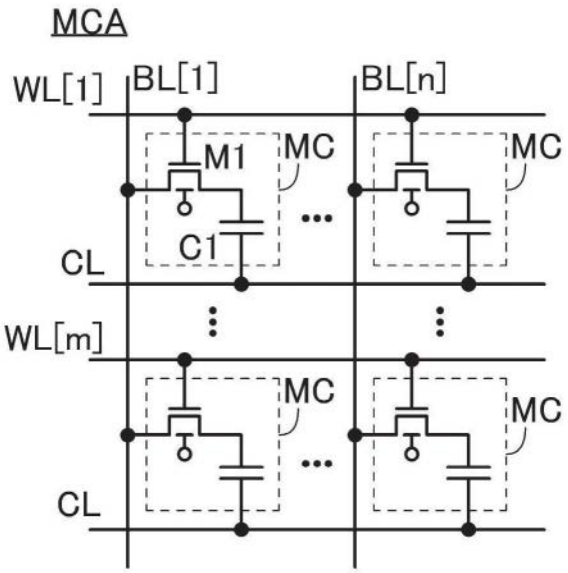

MCA
WL[1]
BL[1]
BL[n]
M1
MC
C1
CL
WL[m]
MC
CL

图18B

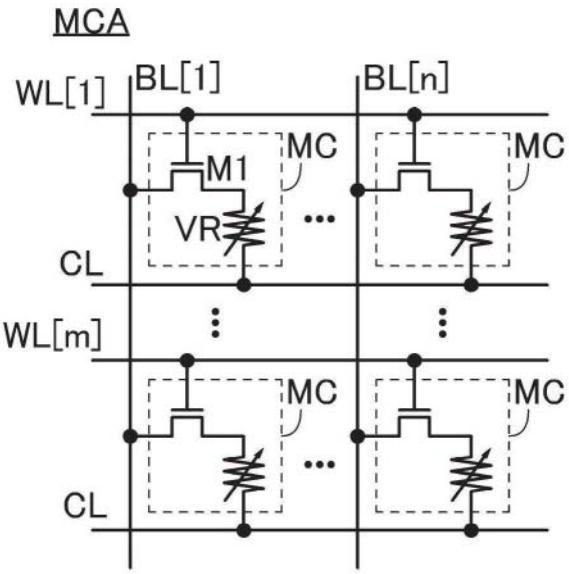

MCA
WL[1]
BL[1]
BL[n]
M1
MC
VR
CL
WL[m]
MC
CL

图18C

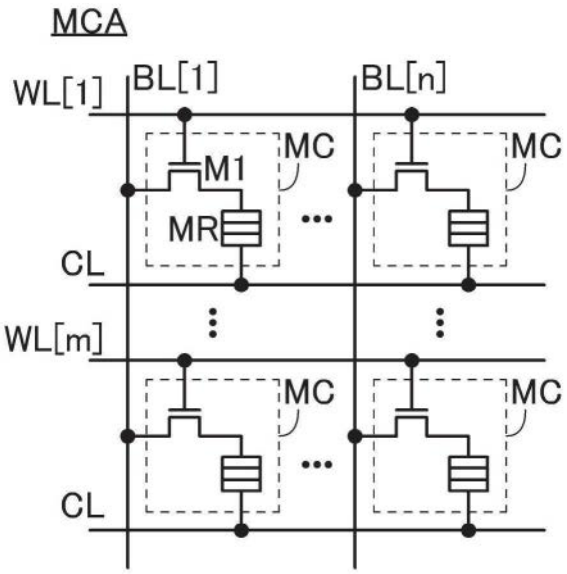

MCA
WL[1]
BL[1]
BL[n]
MC
M1
MR
CL
WL[m]
MC
CL

图18D

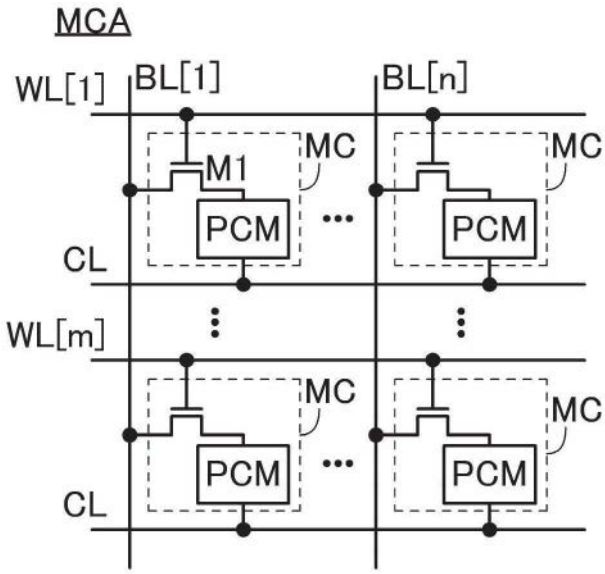

MCA
WL[1]
BL[1]
BL[n]
MC
M1
PCM
CL
WL[m]
MC
CL

图18E

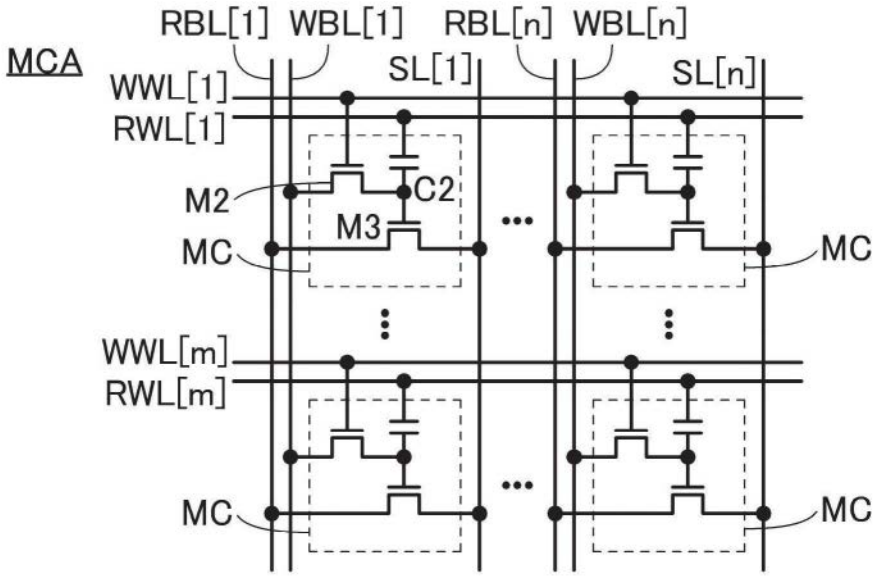

MCA
RBL[1]
WBL[1]
RBL[n]
WBL[n]
SL[1]
SL[n]
WWL[1]
RWL[1]
M2
C2
M3
MC
WWL[m]
RWL[m]

图19A

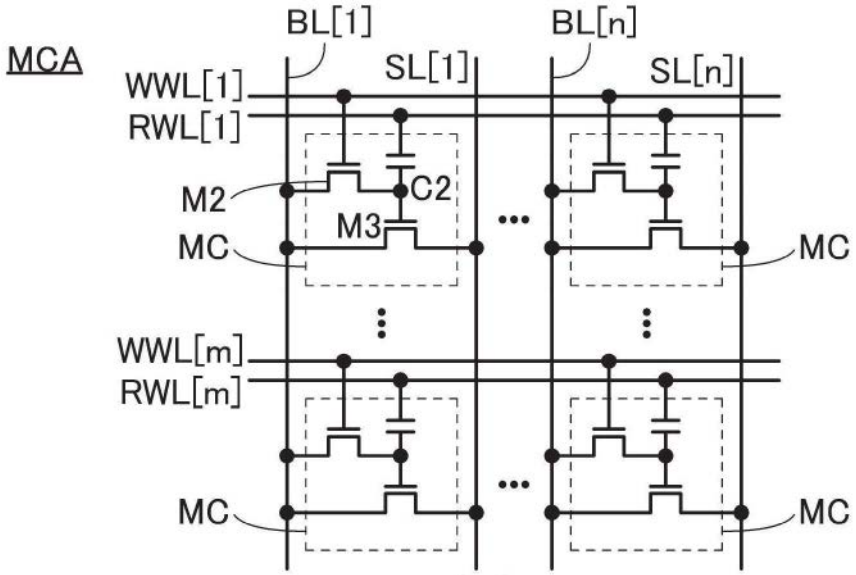

MCA
BL[1]
BL[n]
SL[1]
SL[n]
WWL[1]
RWL[1]
M2
C2
M3
MC
WWL[m]
RWL[m]

图19B

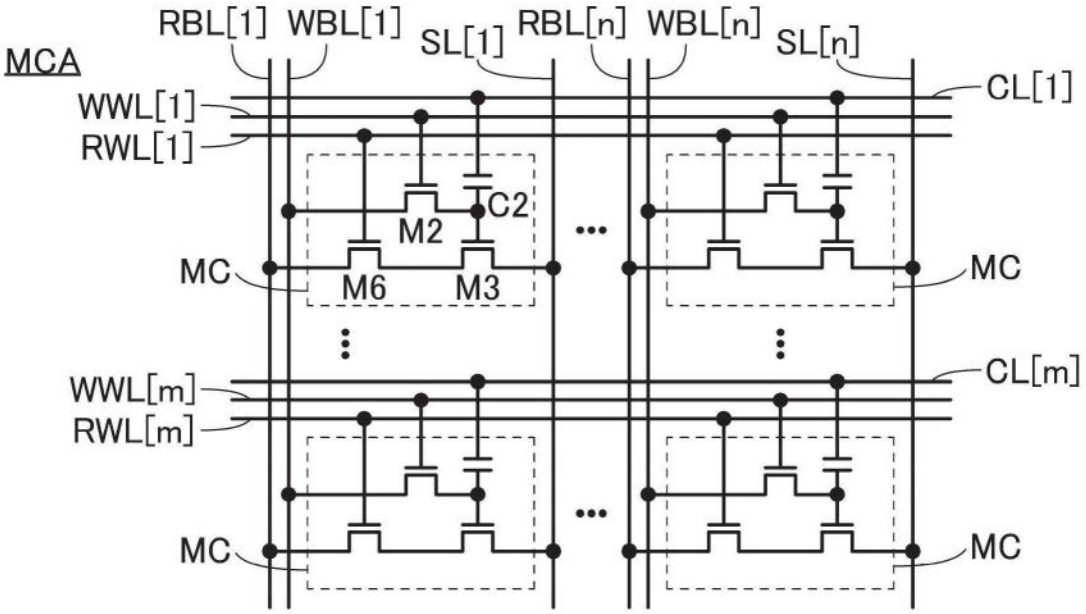

MCA
RBL[1]
WBL[1]
SL[1]
RBL[n]
WBL[n]
SL[n]
CL[1]
WWL[1]
RWL[1]
C2
M2
MC
M6
M3
MC
WWL[m]
RWL[m]
CL[m]
MC
MC

图19C

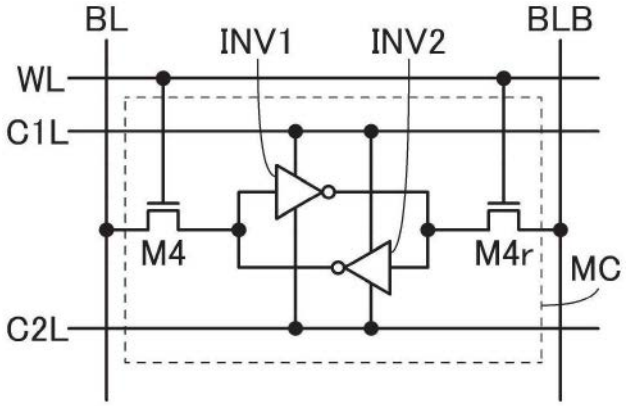

BL
INV1
INV2
BLB
WL
C1L
M4
M4r
MC
C2L

图20A

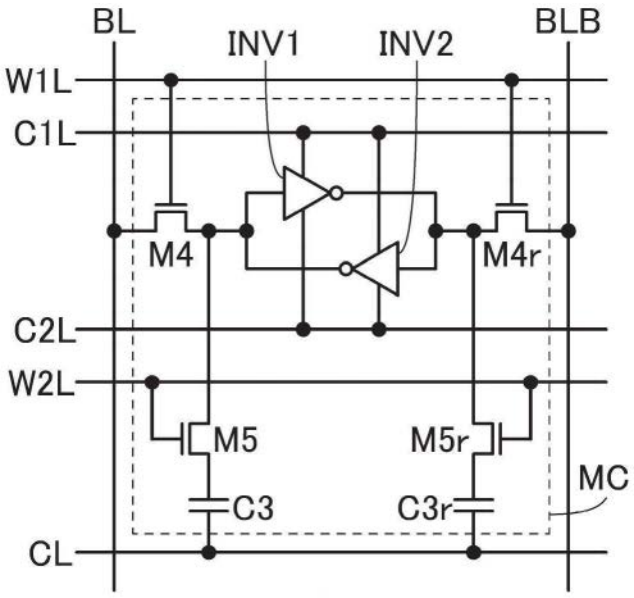


图20B

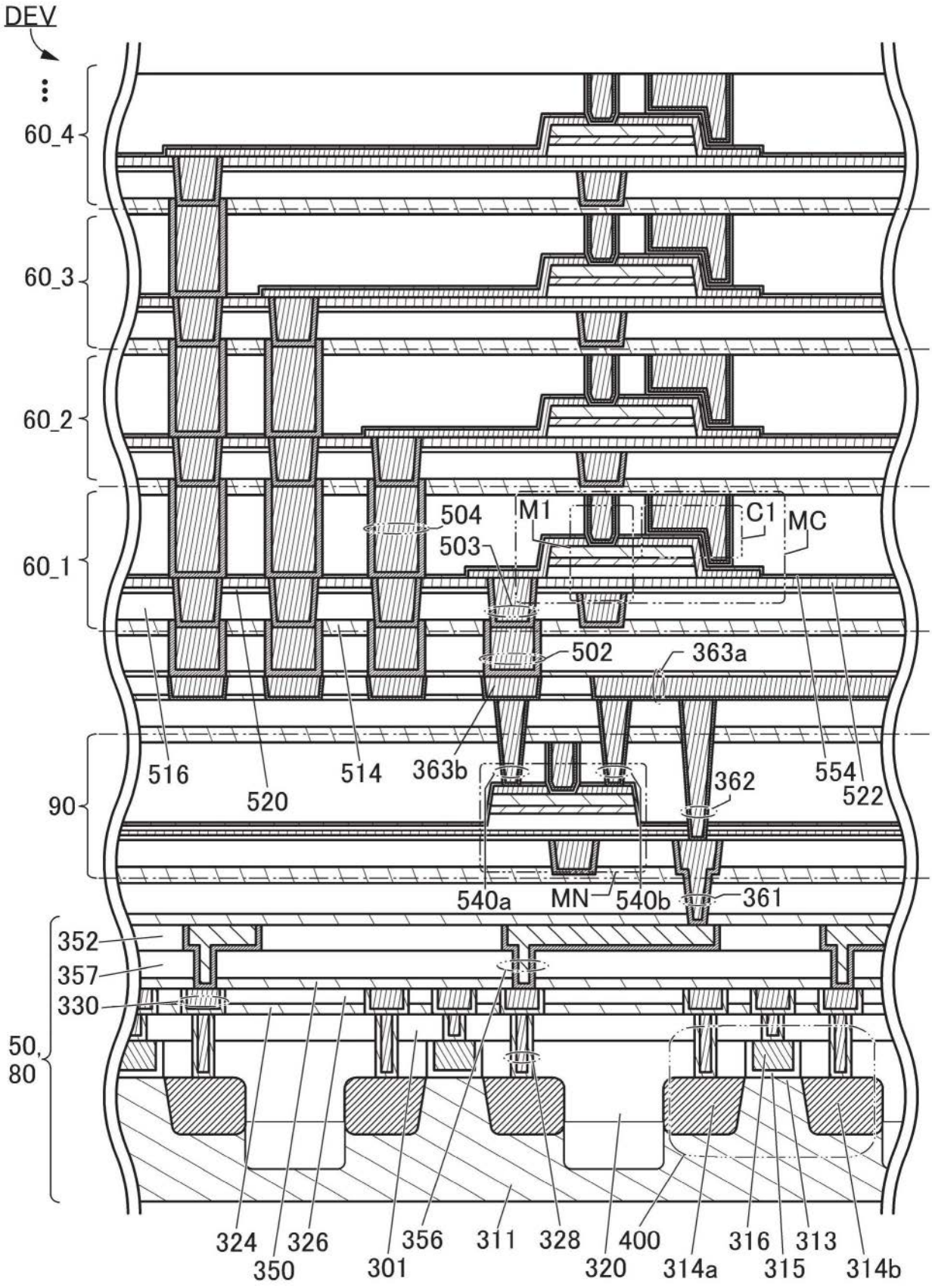

DEV
60_4
60_3
60_2
60_1
90
50,
80
504
503
M1
C1
MC
502
363a
516
520
514
363b
362
554
522
540a
MN
540b
361
352
357
330
324
326
350
301
356
311
328
320
400
314a
316
315
313
314b

图21

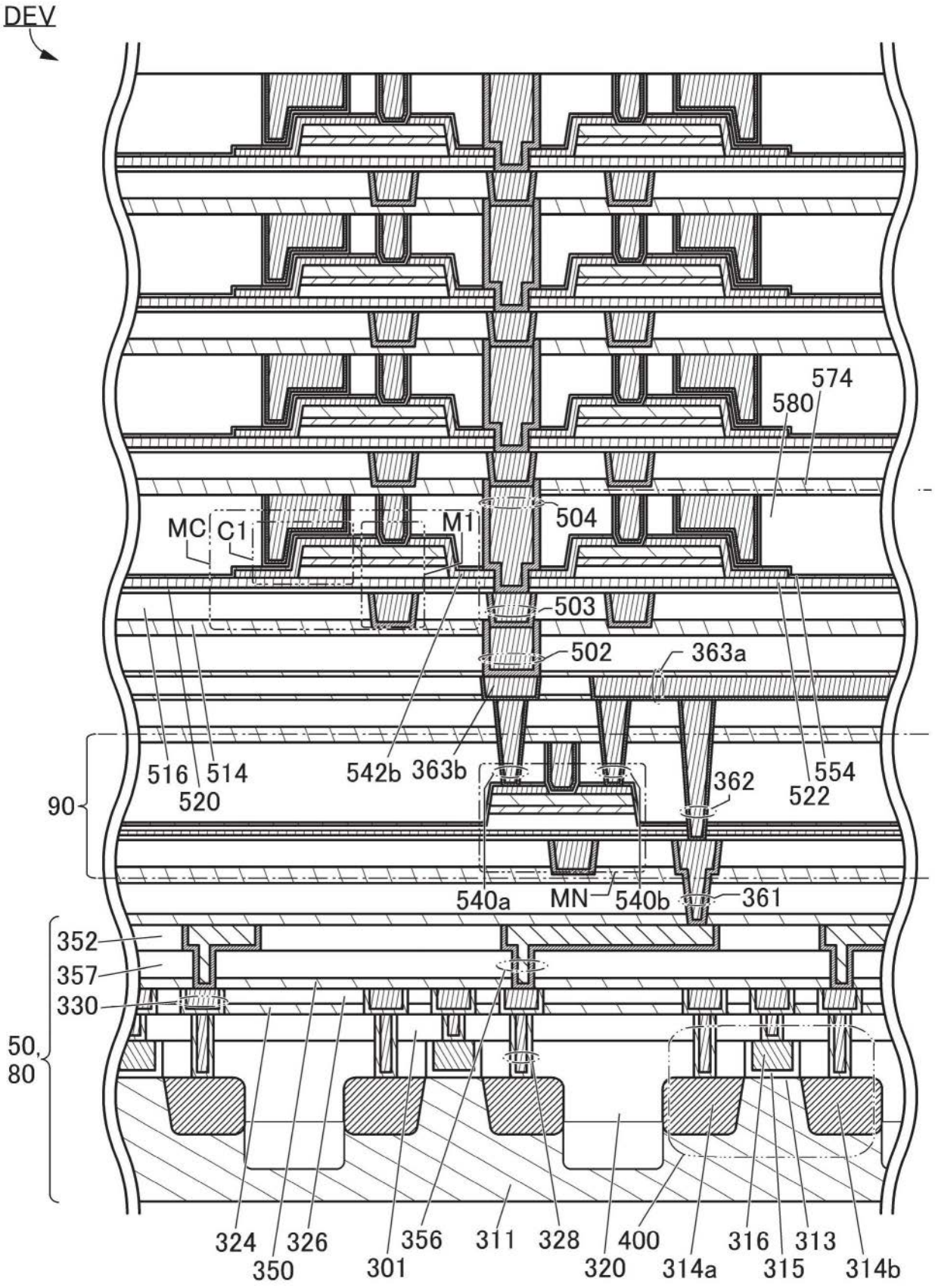

DEV
574
580
MC
C1
M1
504
503
502
363a
516
514
520
542b
363b
362
554
522
90
540a
MN
540b
361
352
357
330
50,
80
324
326
350
301
356
311
328
320
400
314a
316
313
315
314b

图22

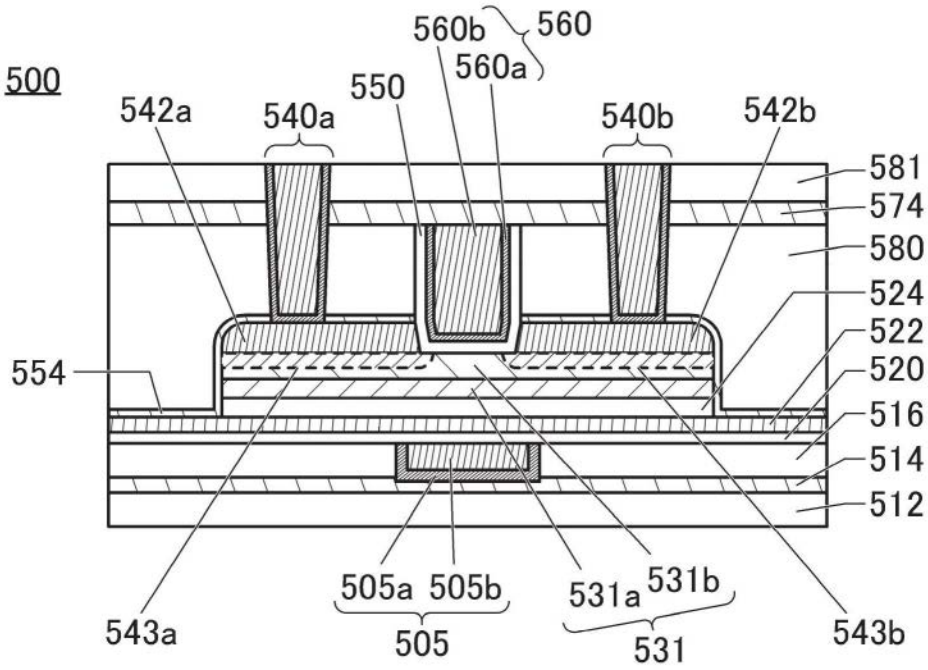

500
560b
560
560a
550
542a
540a
540b
542b
581
574
580
524
522
554
520
516
514
512
505a
505b
531a
531b
543a
505
531
543b

图23A

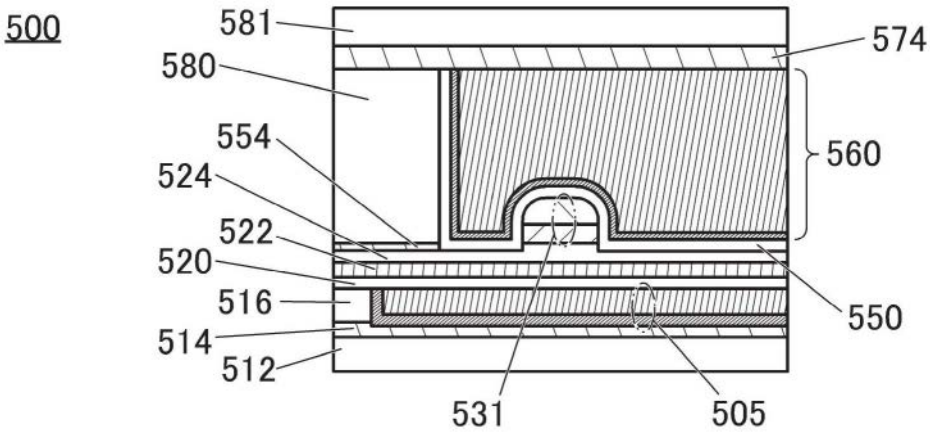

500
581
574
580
560
554
524
522
520
516
550
514
512
531
505

图23B

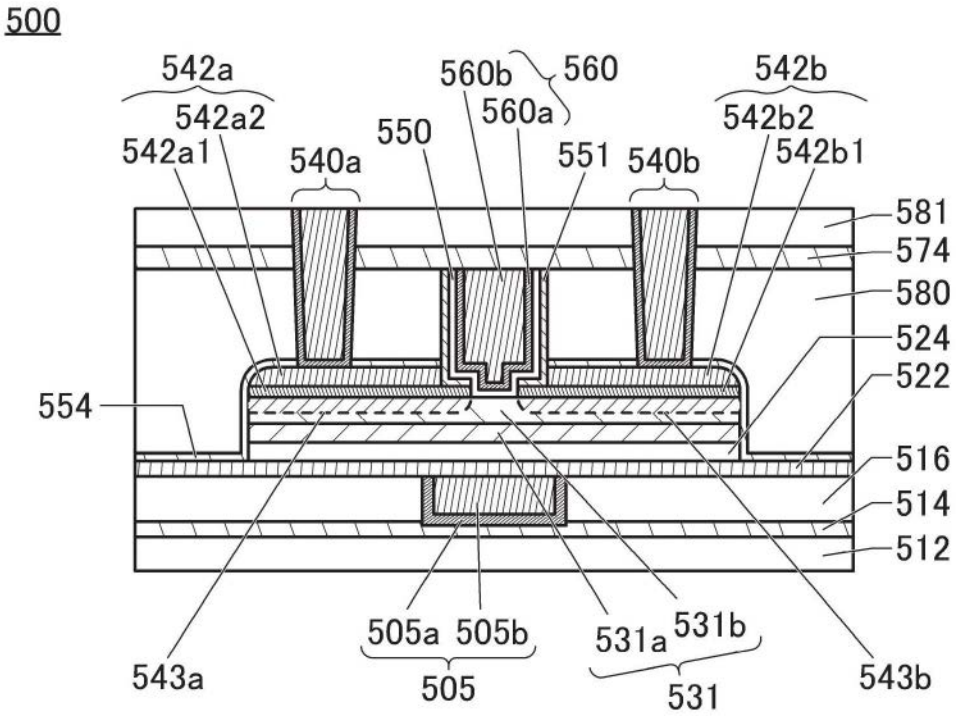

500
542a
542a2
542a1
560b
560
560a
550
551
542b
542b2
542b1
540a
540b
581
574
580
524
522
554
516
514
512
505a
505b
505
531a
531b
531
543a
543b

图24

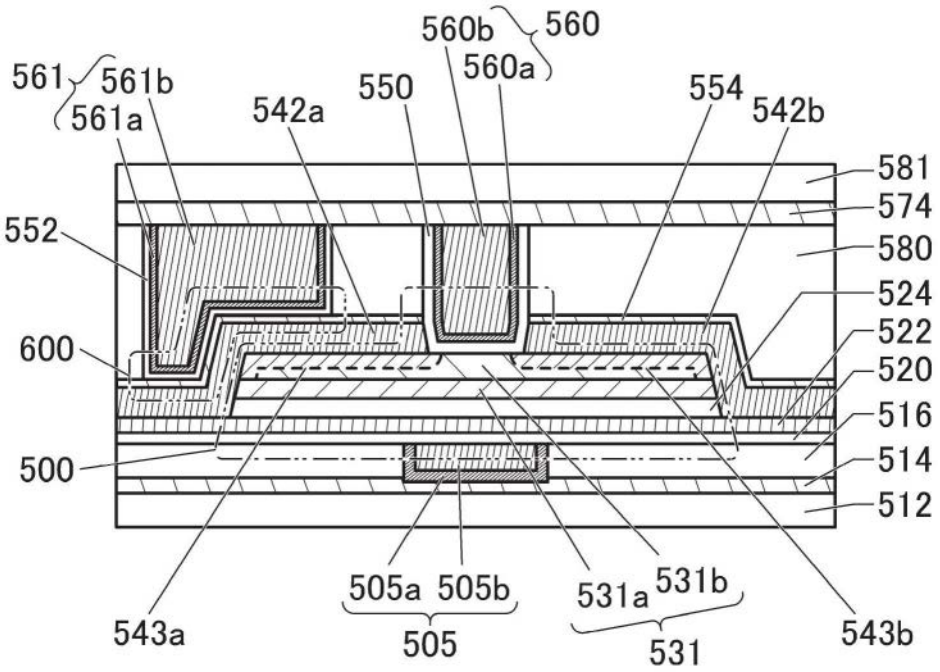

560b
560
560a
561
561b
561a
542a
550
554
542b
581
574
552
580
524
600
522
520
516
500
514
512
505a
505b
505
531a
531b
531
543a
543b

图25

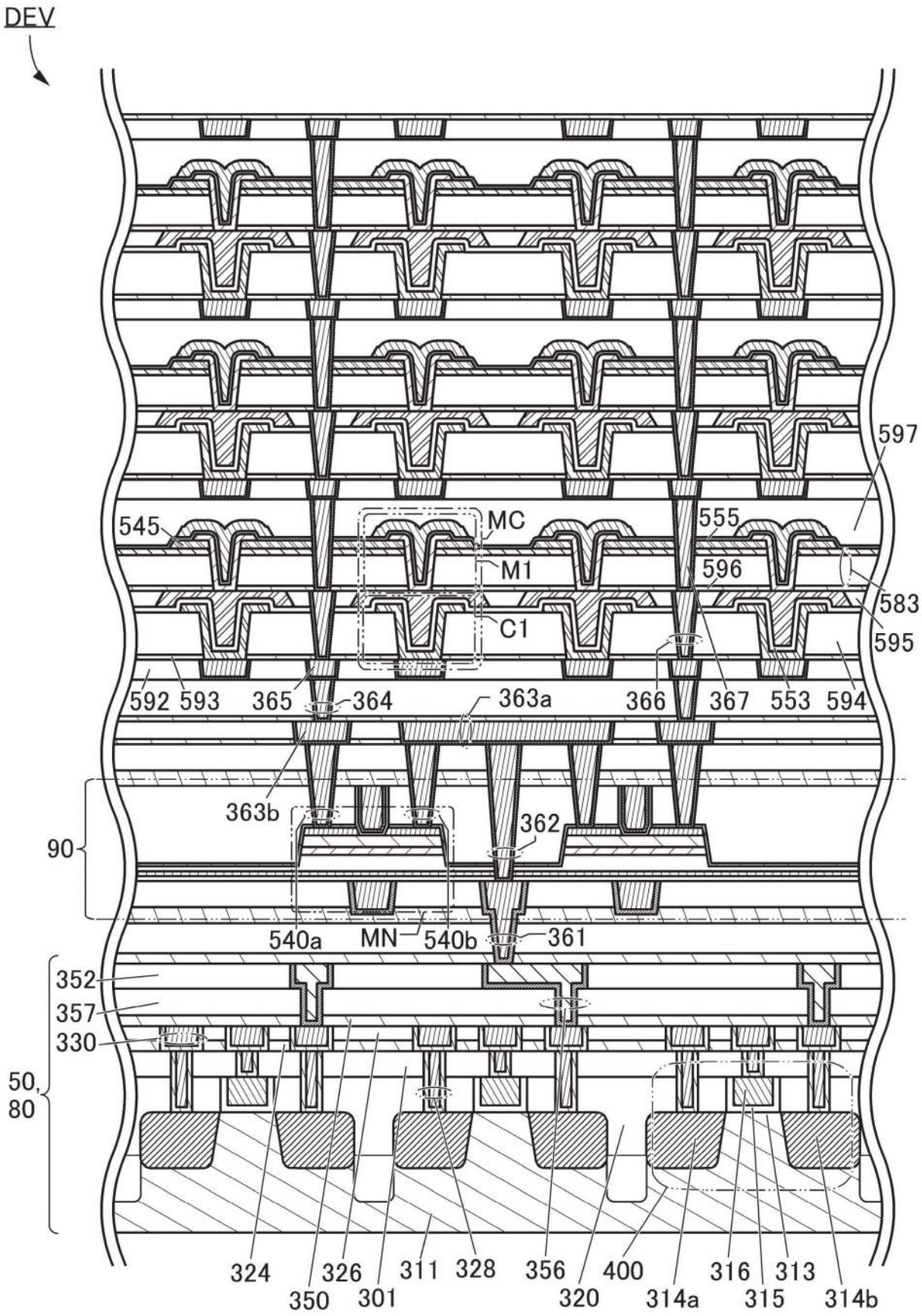

DEV
597
545
MC
555
M1
596
583
C1
595
592
593
365
364
363a
366
367
553
594
363b
362
90
540a
MN
540b
361
352
357
330
50,
80
324
326
311
328
356
400
316
313
350
301
320
314a
315
314b

图26

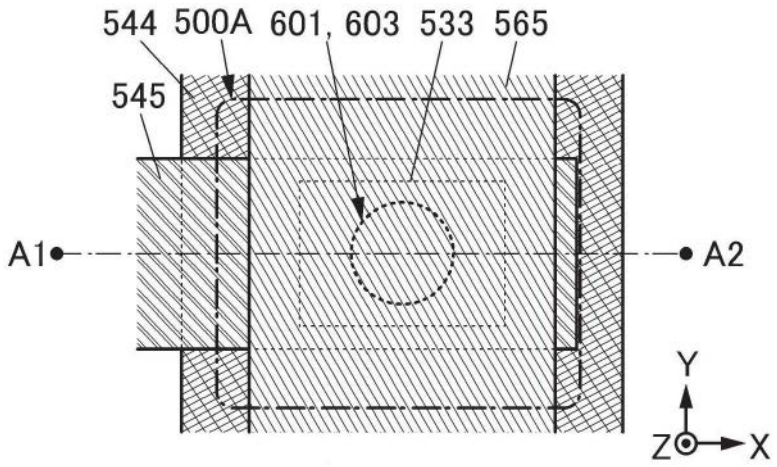


图27A

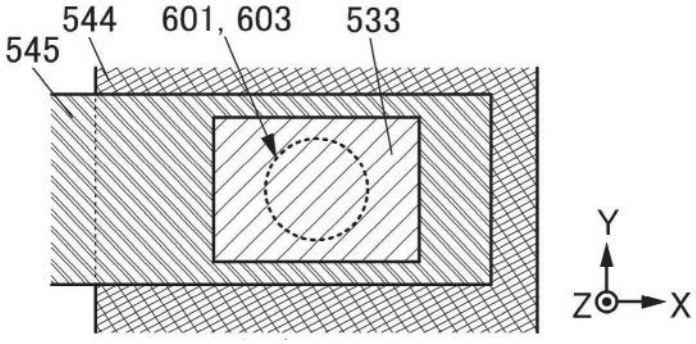


图27B

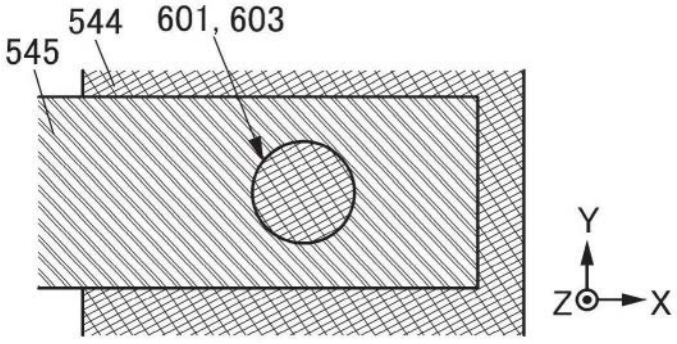


图27C

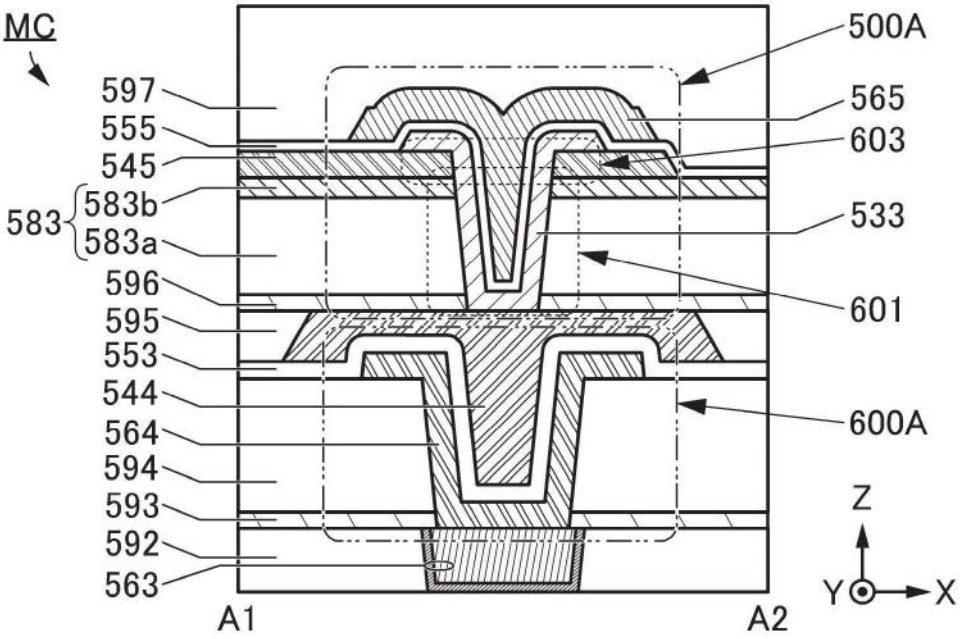

MC
500A
597
565
555
603
545
583
583b
583a
533
596
601
595
553
544
600A
564
594
593
592
563
Z
Y
X
A1
A2

图27D

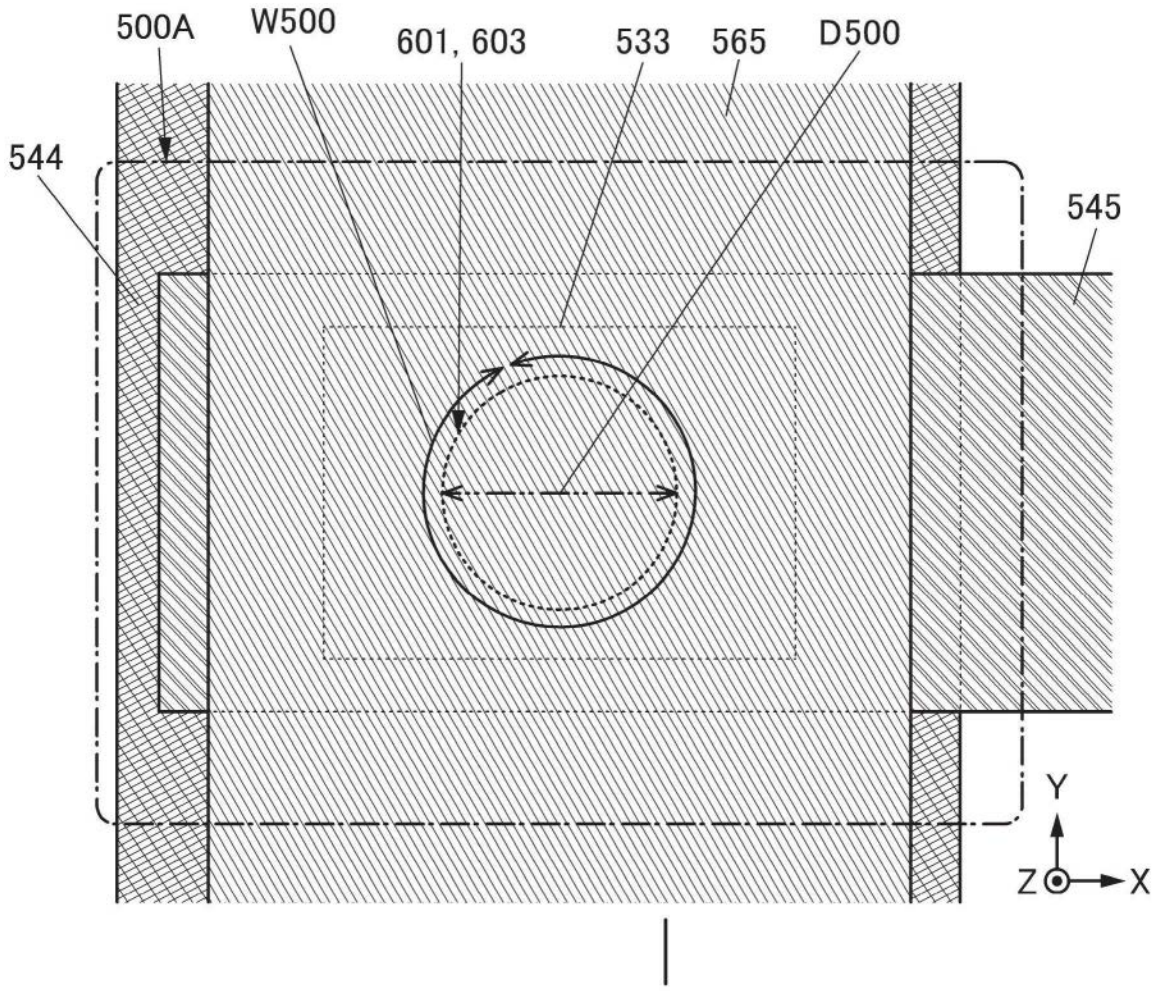


图28A

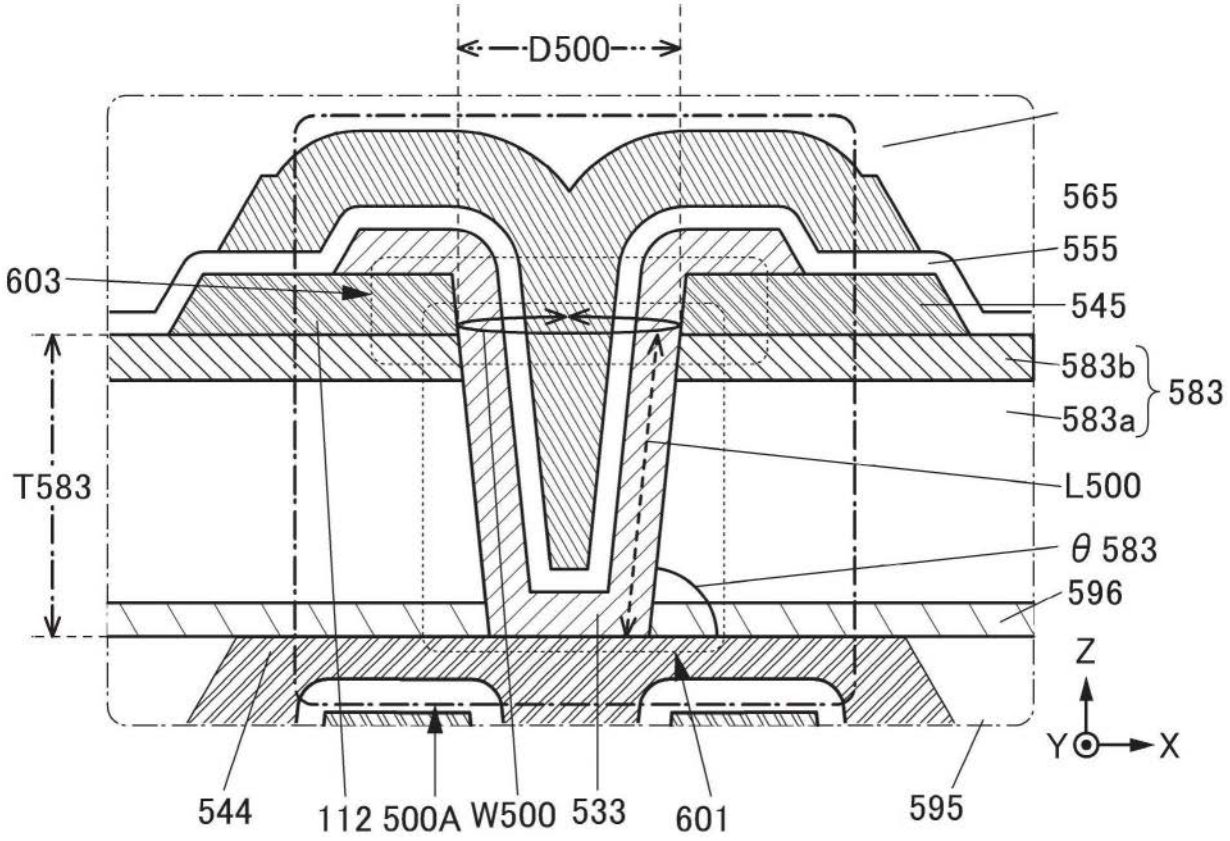

D500
565
555
603
545
583b
583
583a
T583
L500
θ 583
596
Z
Y
X
544
112
500A
W500
533
601
595

图28B

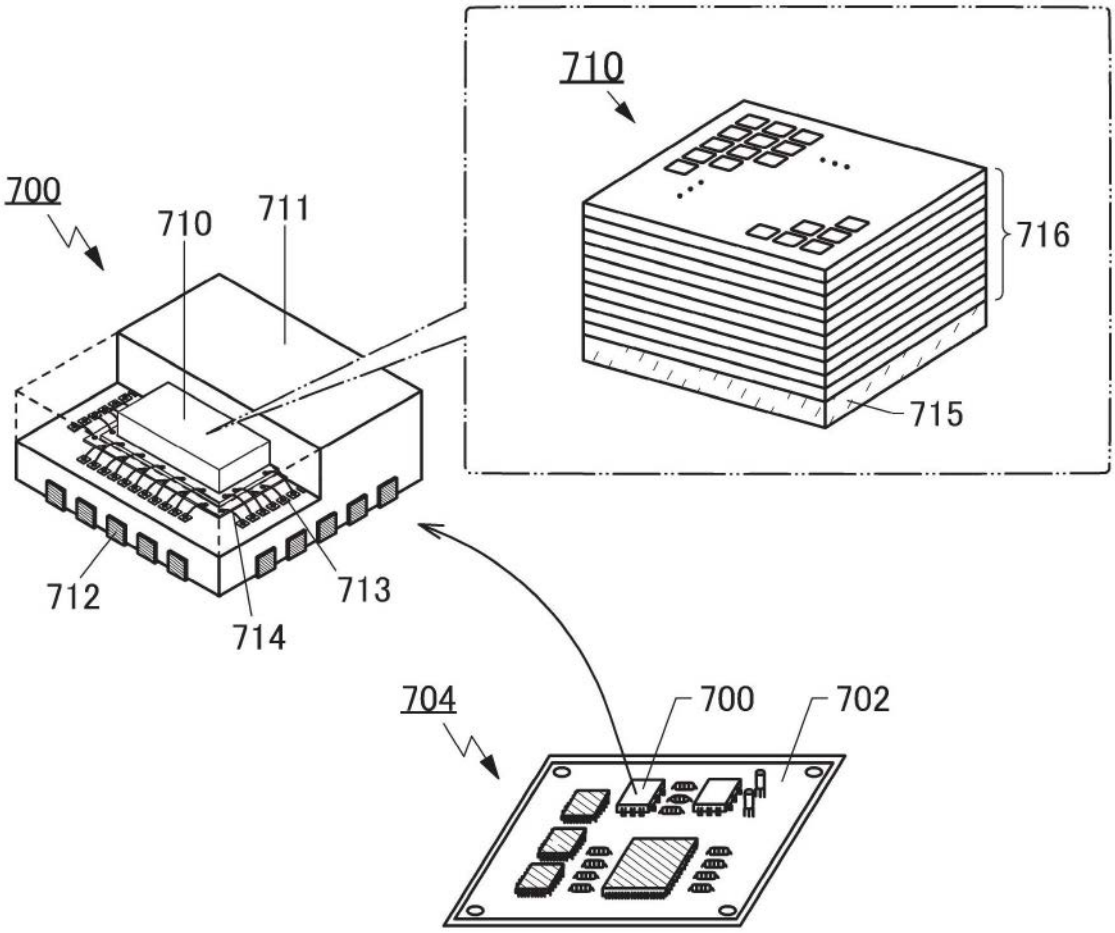

710
700
710
711
716
715
712
713
714
704
700
702

图29A

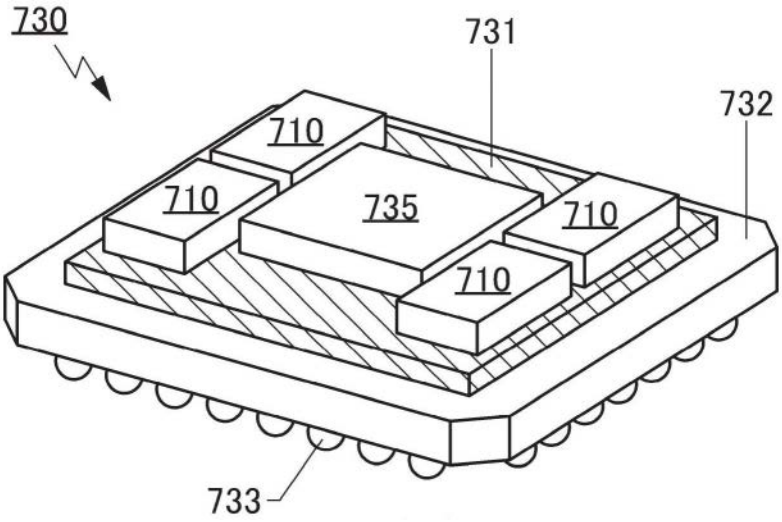

730
731
732
710
710
735
710
710
733

图29B

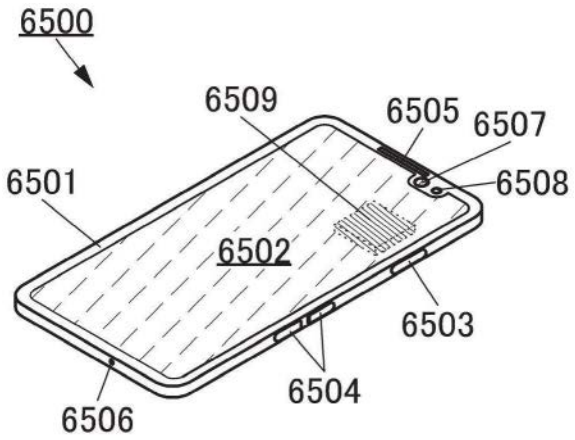


图30A

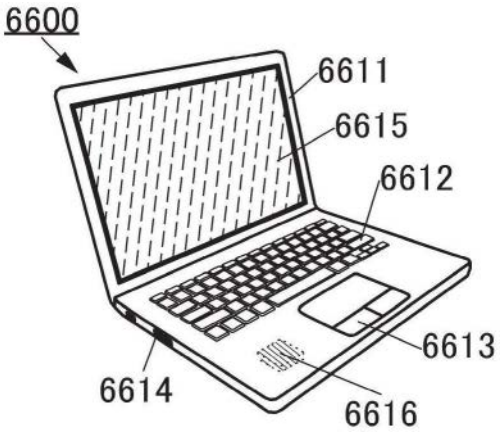


图30B

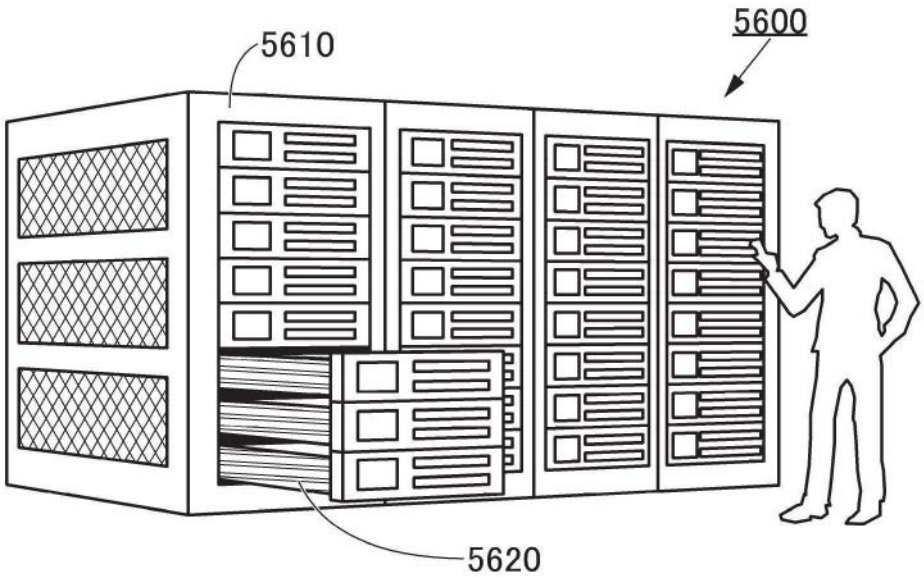


图30C

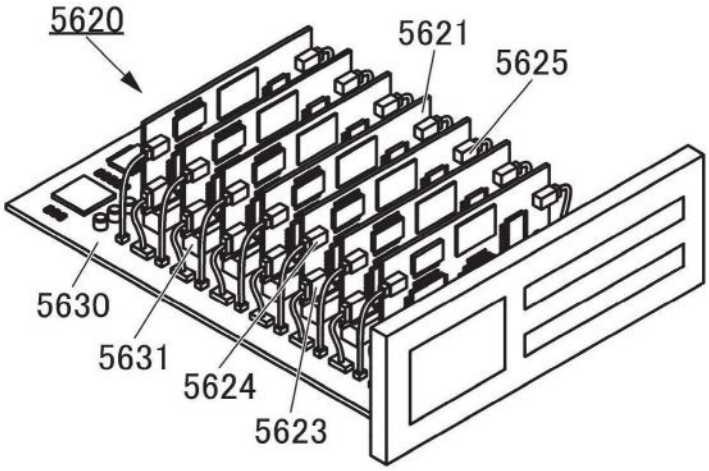


图30D

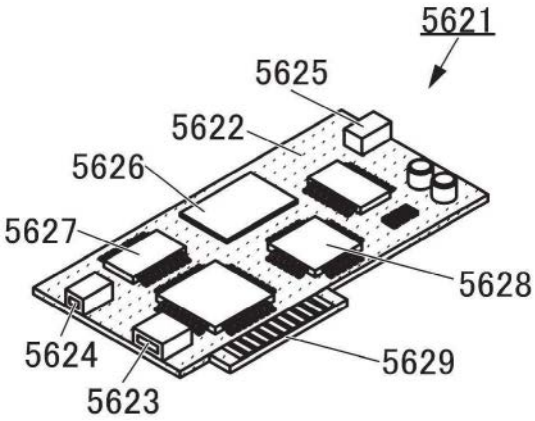


图30E

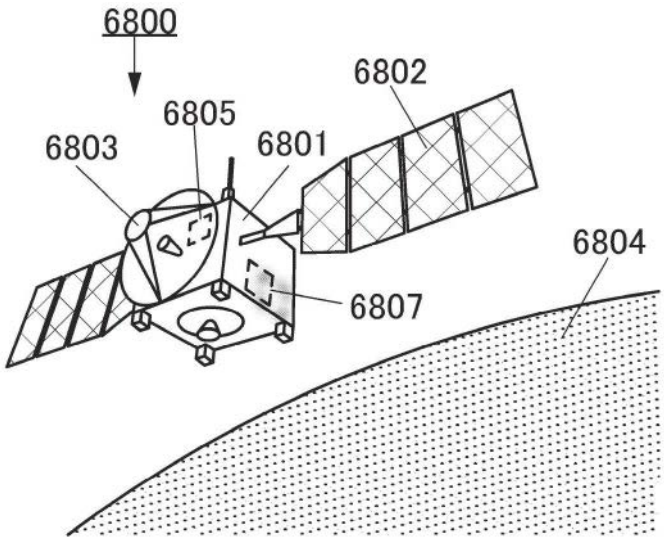


图31

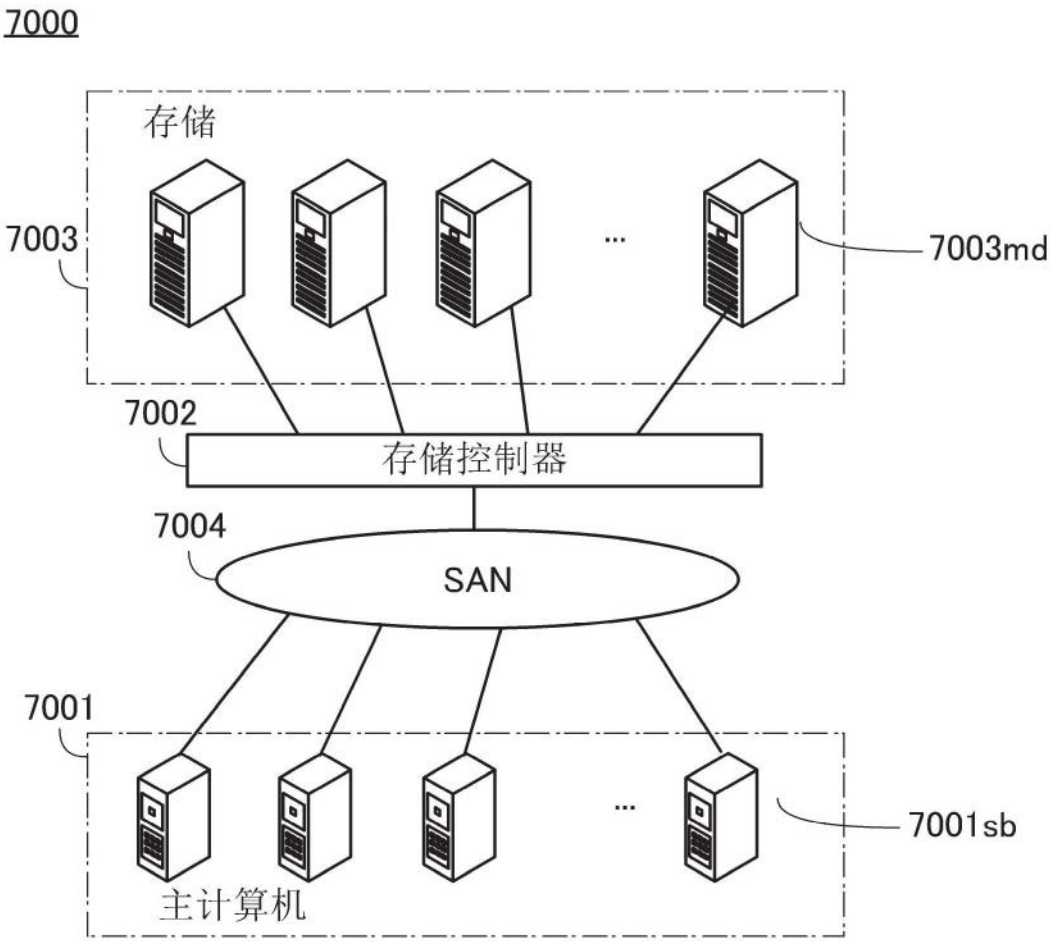

7000
存储
7003
7003md
7002
存储控制器
7004
SAN
7001
7001sb
主计算机

图32

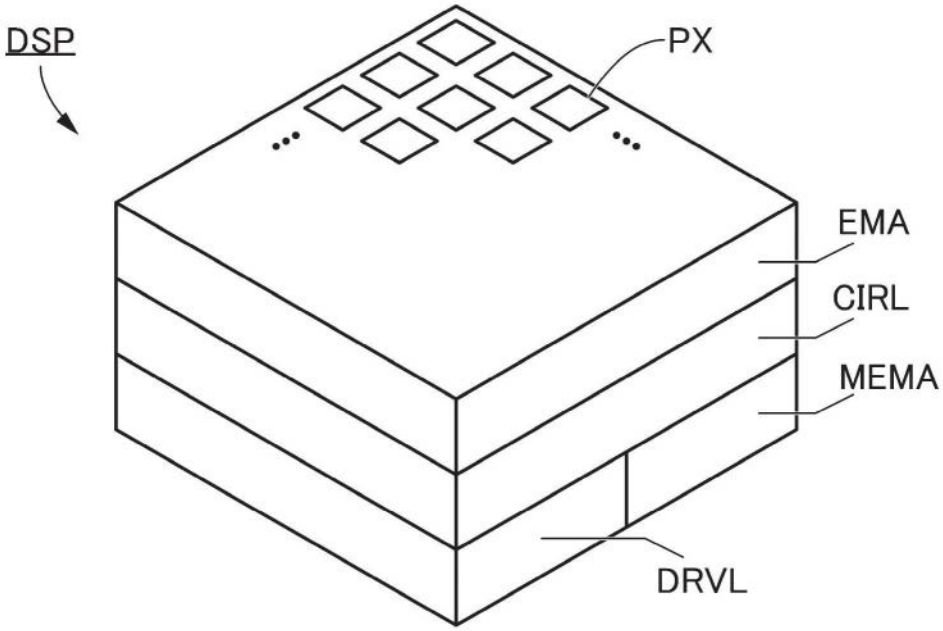

DSP
PX
EMA
CIRL
MEMA
DRVL

图33A

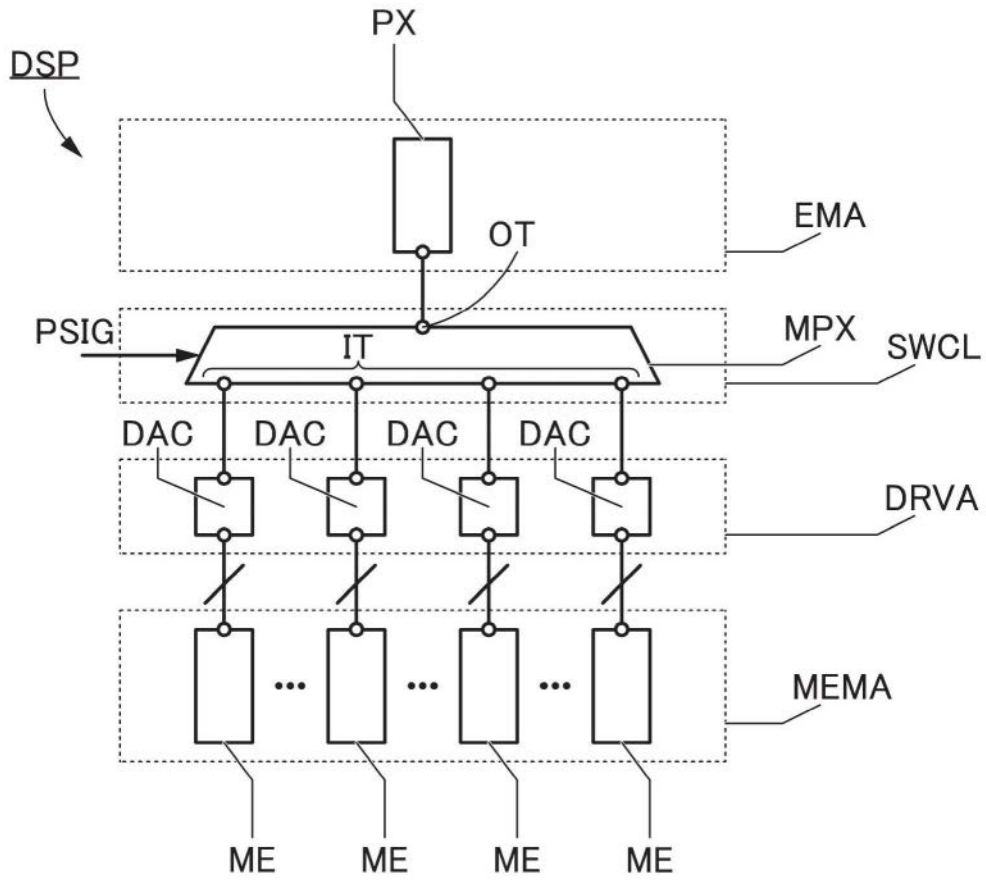

PX
DSP
EMA
OT
PSIG
IT
MPX
SWCL
DAC
DAC
DAC
DAC
DRVA
MEMA
ME
ME
ME
ME

图33B

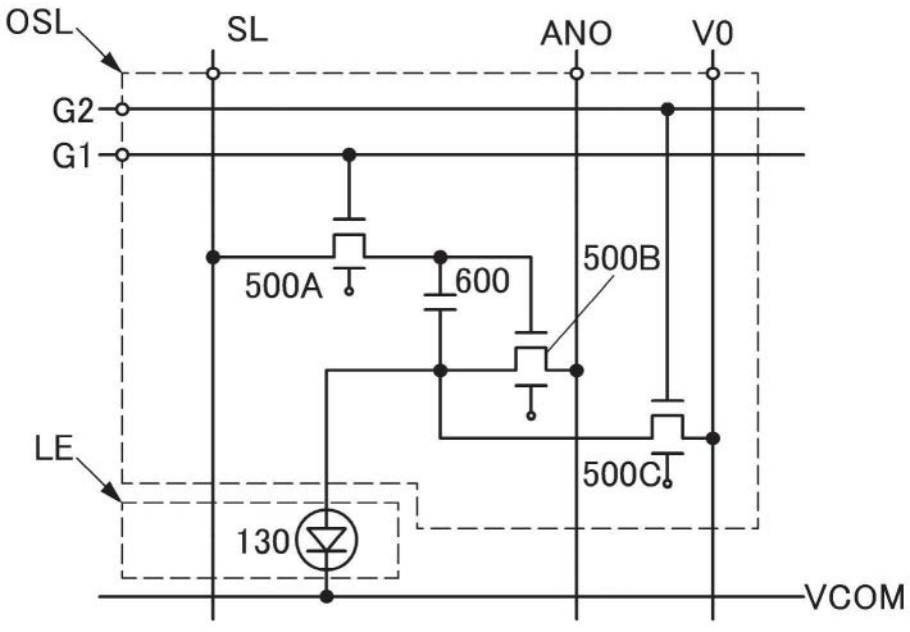

OSL
SL
ANO
V0
G2
G1
500A
600
500B
LE
500C
130
VCOM

图34

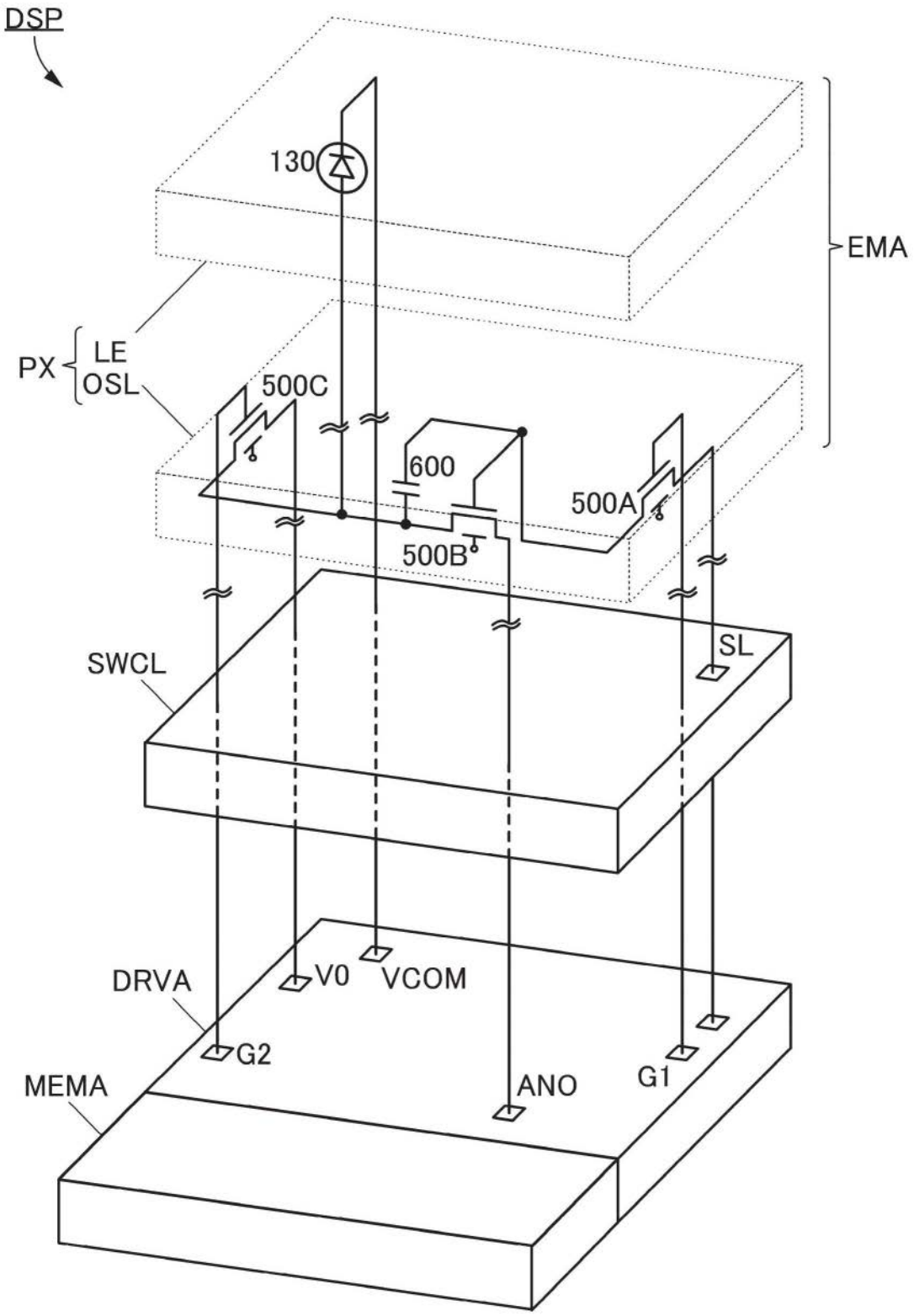

DSP
130
EMA
PX
LE
OSL
500C
600
500A
500B
SWCL
SL
DRVA
V0
VCOM
G2
MEMA
ANO
G1

图35

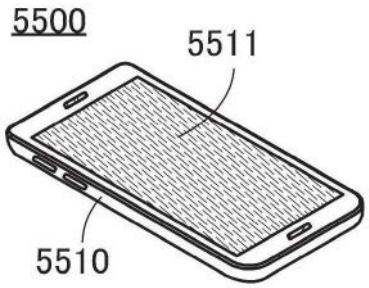


图36A

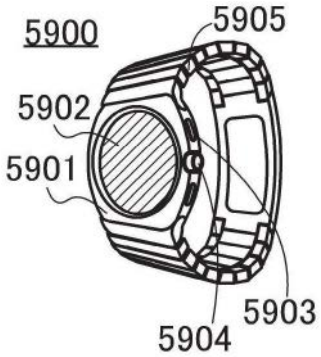


图36B

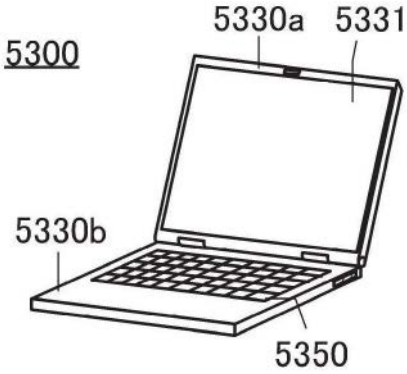


图36C

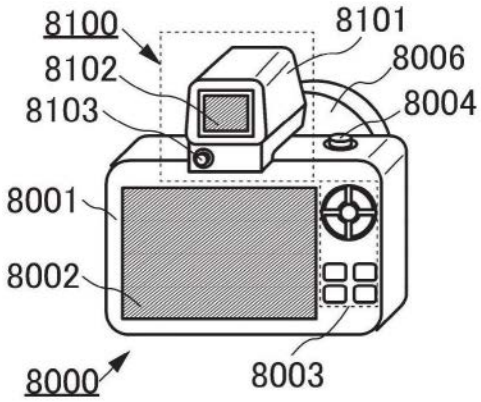


图36D

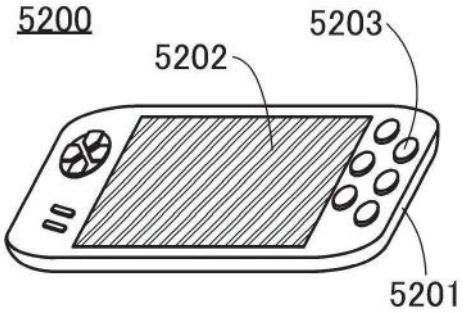


图36E

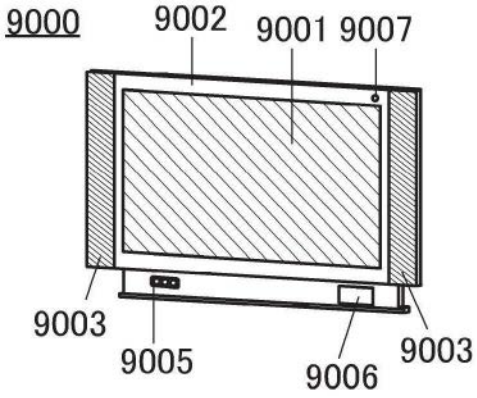


图36F

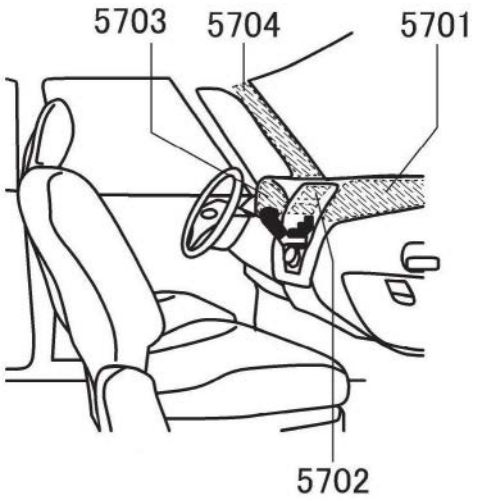


图36G

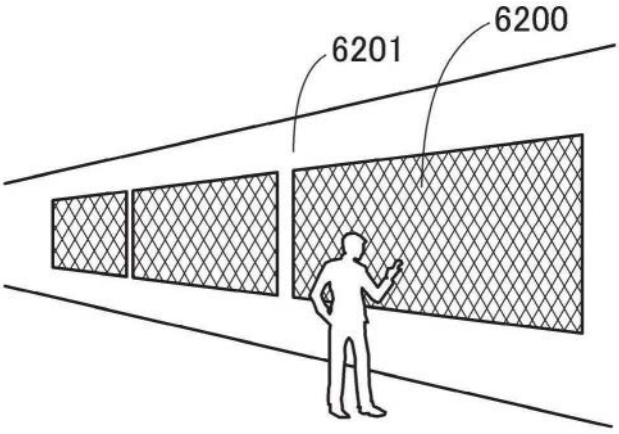


图36H

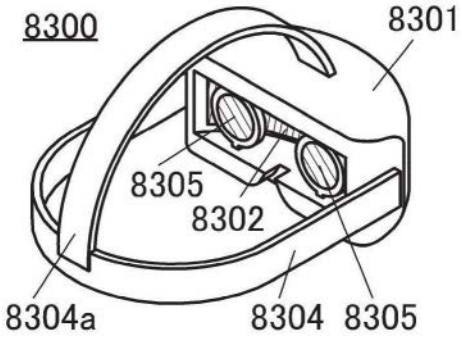


图36I