



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 274 193**

51 Int. Cl.:
H04Q 11/04 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **03425123 .1**

86 Fecha de presentación : **27.02.2003**

87 Número de publicación de la solicitud: **1453346**

87 Fecha de publicación de la solicitud: **01.09.2004**

54 Título: **Transmisor receptor eléctrico configurable, en un módulo conectable de pequeño factor de forma, que realiza interfaces codificados.**

45 Fecha de publicación de la mención BOPI:
16.05.2007

45 Fecha de la publicación del folleto de la patente:
16.05.2007

73 Titular/es: **SIEMENS AKTIENGESELLSCHAFT**
Wittelsbacherplatz 2
80333 München, DE

72 Inventor/es: **Mosca, Giovanni y**
Saracino, Sante

74 Agente: **Carvajal y Urquijo, Isabel**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Transmisor receptor eléctrico configurable, en un módulo conectable de pequeño factor de forma, que realiza interfaces codificados.

Campo de la invención

La presente invención se refiere a un transmisor receptor eléctrico, que realiza tanto el interfaz codificado SDH-STM1/Sonet-STS3, como el PDH-E4 ITU-T G.703 CMI (Code Mark Inversion, inversión de marca de código).

El transmisor receptor eléctrico reivindicado está realizado en un Módulo Conectable de Pequeño Factor de Forma (Small Form Factor Pluggable Module), y puede ser programado como SMT1/STS3 o E4-PDH, simplemente mediante aplicar la configuración correcta en el interfaz de Identificación en Serie.

Esto permite adoptar el mismo interfaz para ambas aplicaciones, y especializarlo *in situ* en el momento de su utilización.

Arte previo

En los estándares Sonet/SDH, los interfaces STM1/STS3 están especificados en dos versiones diferentes, de acuerdo con la naturaleza de la señal adoptada para la transmisión.

De hecho, el formato de la señal puede ser bien eléctrico u óptico:

- La señal eléctrica es utilizada normalmente en conexiones dentro de la estación;
- El formato óptico puede cubrir, con diferentes implementaciones, las conexiones de corta distancia, así como de larga distancia.

Estas tarjetas son normalmente de múltiples puertos, y el alto grado de integración conseguido actualmente permite una configuración modular, de más de 10 interfaces/tarjeta.

Otro tipo de interfaz de transmisión, muy popular antes del advenimiento del SDH/Sonet, y que se sigue utilizando en el mundo de las telecomunicaciones, es el 144 Mbit E4, de la jerarquía digital plesiócrona (PDH, Plesiochronous Digital Hierarchy).

La realización, dentro del equipamiento de transmisión, de los dos tipos de interfaces de transmisión (STM1/STS3 o PDH-E4), y los dos tipos de interfaces de tarjeta de línea (óptica o eléctrica) ha requerido, hasta ahora, la implementación de unidades diferenciadas.

El desarrollo e implementación de múltiples variantes de interfaces de transmisión, se traduce en:

- más esfuerzo de desarrollo en HW, SW y gestión,
- más coste para el cliente,
- más elementos para manejar,
- más componentes redundantes y, en concreto, *imposibilidad de reutilización en el caso de transición de eléctrica a óptica, o de plesiócrona a sincrónica.*

Con la reciente llegada de módulos ópticos de Pequeño Factor de Forma Conectable (SFP) (véase “*Small Form-Factor Pluggable (SFP) Transceiver MultiSource Agreement (MSA)*”, 14 de septiembre de 2000) se ha reducido algunos de estos problemas dentro de la categoría de los interfaces ópticos.

Se ha introducido estándares y diversos diseños de módulo conectable, en los que un módulo conectable se conecta a un receptáculo que está conectado electrónicamente con una placa de circuito principal.

Estos estándares ofrecen un diseño generalmente robusto, que ha sido bien recibido en la industria, y ha sido utilizado para desarrollar el convertidor de interfaz gigabit (GBIC) y el convertidor óptico (SOC), y proporcionar un interfaz entre un ordenador y una red de comunicación de datos, tal como Ethernet o Fibre Channel.

Sin embargo, un módulo eléctrico basado en el estándar Pequeño Factor de Forma Conectable (SFP), que permite la implementación, en una sola tarjeta, de los interfaces de transmisión STM1/STS3 o PDH-E4, en el formato eléctrico así como en el óptico, se considera muy útil.

Hasta ahora, cualquier tipo de interfaz era implementado en una tarjeta diferente dedicada.

Teníamos:

- Muchas variantes de tarjeta de interfaz óptico STM1/STS3 (de acuerdo con el tramo de transmisión, y con la longitud de onda utilizada para el ITU G.957): I-1, S-1.1, S-1.2, L-1.1, L-1.2, L1.3,
- tarjeta de interfaz eléctrico STM1/STS3, y
- tarjeta de interfaz eléctrico E4 PDH.

Por lo tanto, existe la necesidad de un módulo versátil, configurable de acuerdo con el estándar eléctrico SDH o PDH, y que permita *seguir utilizando* la misma placa de circuito principal *en caso de transición de tarjeta de interfaz de línea de eléctrica a óptica*, y de plesiócrona a asincrónica.

Esto significa, por ejemplo, que la variante E4-PDH de la tarjeta, aún necesaria como interfaz del equipamiento anterior instalado, no corra el riesgo de ser desperdiciada cuando desaparezca este mundo previo, debido a que puede reutilizarse fácilmente como STM1/STS3 eléctrico (mediante simple modificación SW), o reutilizarse como interfaz óptico STM1/STS3 (por sustitución del módulo conectable).

Esto se traduce en las siguientes ventajas:

- menor número de elementos a manejar por el cliente,
- menor número de piezas redundantes a almacenar,
- la misma tarjeta (en el caso de tarjeta de múltiples puertos) puede compartirse entre el interfaz eléctrico y el óptico: ahorro en el número de tarjetas.

Un módulo de transmisor receptor, configurable para actuar como interfaz SDH STM1 o PDH E4, se revela en el documento "A single Chip 155 Mbps/140 Mbps SDH/PDH Transceiver", J. Guinea *et al.*, Proceedings of the IEEE 2000 Custom Integrated Circuit Conference, Orlando, FL, USA, 21 - 24 de mayo de 2000, páginas 315 - 318, en el que se basa el preámbulo de la reivindicación 1. Este transmisor receptor eléctrico, del arte previo, incluye: medios de circuito impreso, que tienen un primer y un segundo extremo; medios de conexión coaxial montados en el primer extremo del mencionado medio de circuito impreso; medios de conexión eléctrica de contactos múltiples, montados en el segundo extremo del mencionado medio de circuito impreso; medios de recepción/transmisión, montados en el mencionado medio circuito impreso y conectados, con el mencionado medio de conexión coaxial, al mencionado medio eléctrico de múltiples contactos; y medios de sincronización conectados con el mencionado medio de recepción/transmisión, y que proporcionan señales de sincronización requeridas por el descodificador/codificador CMI.

El transmisor receptor eléctrico del arte previo, necesita una señal de reloj externa para generar señales de sincronización, necesarias para el funcionamiento del medio de transmisión, y por tanto no es compatible con el SFP MSA, puesto que una placa principal compatible SFP MSA, carece de patilla para entregar tal señal de reloj.

Sumario de la invención

La presente invención proporciona un transmisor receptor eléctrico, configurable, que tiene las características reivindicadas en la reivindicación principal. Más en concreto, de acuerdo con la presente invención se ha desarrollado una unidad de procesamiento inteligente (ASIC), capaz de manejar señales para los interfaces de transmisión STM1/STS3, así como PDH/E4.

De acuerdo con un aspecto de la invención, mediante adoptar tal ASIC, ha sido implementada una placa de circuito principal que puede ser utilizada para todas las siguientes aplicaciones:

- STM1/STS3 óptico;
- STM1/STS3 eléctrico;
- E4-PDH eléctrico, mediante conectar un módulo de transmisor receptor eléctrico, con el interfaz de señal eléctrica u óptica.

De acuerdo con lo anterior, la presente invención concierne a un Módulo de Pequeño Factor de Forma Conectable, Eléctrico, Configurable (CEFSP), que es un transmisor receptor eléctrico, compatible eléctrica y mecánicamente con el módulo óptico SFP, que realiza, en un espacio muy pequeño, el interfaz codificado SDH-STM1/Sonet-STS3 y el PDH-E4 ITU-T G.703 CMI (Code Mark Inversion).

El módulo CESFP puede programarse como STM1/STS3, o como E4-PDH, mediante aplicar simplemente la configuración correcta en el interfaz de Identificación en Serie (clavijas MOD-DEF 1 y MOD-DEF 2).

ES 2 274 193 T3

Esto permite adoptar el mismo interfaz para ambas aplicaciones, y especializarlo *in situ*, en el momento de su utilización.

5 El módulo CESFP está empaquetado en un alojamiento de metal, que se desliza en un nicho metálico (receptáculo mas conector eléctrico) situado en el anfitrión. El receptáculo (caja) y la salida de la patilla conectora, son compatibles con el acuerdo de múltiples fuentes (Transceiver Multi-Source Agreement, MSA) de septiembre de 2000, para el Pequeño Factor de Forma Conectable (SFP).

10 El transmisor receptor consiste en una placa de circuito impreso que tiene, como interfaces físicos de entrada/salida, dos tipos diferentes de conectores:

- un par de pequeños conectores de cable coaxial, que proporcionan el acceso frontal del lado de la línea,
- un conector de tipo deslizable, de 20 contactos, que conecta la placa de circuito impreso del módulo (señales, alarmas, potencia y tierra) al conector eléctrico hembra, situado en la placa principal.

Las funciones principales implementadas en la placa de circuito impreso, son:

- distribución del suministro de potencia,
- Ecualizador de Cable,
- codificador y decodificador CMI,
- detectores de alarma,
- señales de datos de salidas y entradas acopladas en CA,
- sección de generación de señal de Sincronización Configurable, e
- interfaz en serie para identificación y configuración.

35 La figura 1 proporciona un diagrama eléctrico de bloques, que se describe en las siguientes secciones. En la *sección receptora*, la señal de línea codificada CMI se recibe por vía de un pequeño conector coaxial. El CMI es un código de no retorno a cero 1B2B, donde cada bit de información está codificado en 2 bits de transmisión. Un “0” binario se codifica a “01”, y un “1” binario se codifica alternativamente como “00” o “01”, así hay al menos una transición durante todo periodo de bit. Un circuito de ecualización de cable, junto con un amplificador, proporcionan la recuperación de la forma y amplitud de la señal original, deteriorada por la atenuación del cable, y generan la señal apropiada para conducir el decodificador CMI. El decodificador CMI acepta una entrada de datos diferencial y, con el soporte de un reloj de referencia interno, devuelve un flujo de datos codificados NRZ, que es encaminado por vía de dos condensadores de acoplamiento, a los contactos - del conector - (patillas RD+, RD-).

45 El circuito de pérdida de señal (LOS) monitoriza el nivel de potencia de la señal entrante, y genera una alarma cuando la señal recibida está por debajo de un umbral predefinido.

La *sección de transmisión* consiste en un codificador NRZ/CMI y la memoria intermedia de transmisión.

50 La señal NRZ diferencial se recibe desde el conector de contacto (patilla TD+, TD-).

La señal de datos NRZ, acoplada en CA, es encaminada al circuito de codificación, y convertida en un flujo codificado CMI, con la ayuda de un reloj referencia interno.

55 La memoria intermedia de transmisión proporciona una señal de salida, capaz de conducir una línea de transmisión de 75 Ohm, compatible con ITU-G.703. La señal codificada CMI de transmisión, es entregada a un conector de cable coaxial.

Las señales equilibradas de alta velocidad de entrada/salida NRZ, están acopladas en CA.

60 Los condensadores de acoplamiento son lo suficientemente grandes como para dejar que la señal del esquema de prueba SDH pase a su través, sin distorsión significativa ni menoscabo del rendimiento.

En la *sección de generación de señal de Sincronización Configurable*, un VCO en placa proporciona la referencia de reloj requerida por el codificador/decodificador, para llevar a cabo las conversiones CMI/NRZ y NRZ/CMI.

65 El dispositivo puede estar configurado por vía de un Interfaz en Serie de 2 cables, sincronizado, y establecido para la aplicación STS3/STM1 o la PDH-E4.

ES 2 274 193 T3

Esta operación puede ser realizada por el controlador de tarjeta principal, cuando el módulo ya está *in situ*, y después de que ha sido reconocido como un transmisor receptor STM1(STS3)/PDH eléctrico. Siendo esta información almacenada en la memoria (EEPROM) situada en el módulo, en el momento de su montaje.

5 El interfaz en serie de 2 cables, sincronizado (I2Cbus), proporciona acceso a la memoria EEPROM interna, donde se ha almacenado previamente (figura 3) información sofisticada de identificación, en una forma compatible MSA:

- características CESFP,
- 10 - fabricante del módulo, y
- otra información.

15 El interfaz en serie consiste en:

- MOD-REF 1 - la señal de reloj del interfaz en serie de 2 cables, y
- MOD-REF 2 - la señal de datos del interfaz en serie de 2 cables.

20 Una *sección de suministro de energía*, alimenta al módulo CESFP.

Breve descripción de los dibujos

25 Las características de la presente invención consideradas novedosas, se exponen de forma particularizada en las reivindicaciones anexas. La invención, junto con ventajas y objetivos adicionales de esta, puede comprenderse mejor a partir de la siguiente descripción detallada de una realización preferida, tomada junto con los dibujos anexas, en los cuales:

- la figura 1 proporciona el diagrama de bloques del módulo CESFP;
- 30 la figura 2 proporciona el interfaz entre el módulo CESFP y la placa de circuito principal;
- la figura 3 proporciona la información de identificación de la memoria EEPROM interna; y
- 35 la figura 4 proporciona la distribución de patillas del conector de contacto.

Descripción de la realización preferida de la invención

40 La realización de la invención mostrada en los dibujos, en los que los mismos números de referencia designan piezas idénticas o correspondientes, y que se describe más abajo, se refiere al dispositivo objeto de la invención.

En general, el módulo de transmisor receptor eléctrico, configurable (CESFP) está realizado en un Módulo de Pequeño Factor de Forma Conectable (SFP), y el receptáculo (caja) y la distribución de patillas del conector son compatibles con un transmisor receptor óptico SFP, del Acuerdo de Múltiples-Fuentes (Multi-Source Agreement).

45 El módulo CESFP está empaquetado en un alojamiento de metal, que se desliza en un nicho metálico (receptáculo mas conector eléctrico) situado en el anfitrión.

50 El módulo incluye una cubierta, una placa de circuito impresa, una base y un par de conectores de cable coaxial pequeños.

La invención se comprenderá mejor después de una discusión del material relacionado, que se muestra en la figura 1, y que revela el diagrama de bloques funcional del módulo de transmisor receptor eléctrico, configurable (CESFP).

55 La placa de circuito impresa 100 tiene un primer extremo y un segundo extremo.

60 El primer extremo de la placa está conectado con el par de conectores de cable coaxial pequeños 101, 102 proporcionando, el primer conector 101, la entrada de código CMI desde el cable coaxial externo y proporcionando, el segundo conector 102, la salida de código CMI al cable coaxial externo.

En el segundo extremo, la placa de circuito impresa tiene un conector de tipo deslizante de 20 patillas, que conecta la placa de circuito impresa 100 con un conector eléctrico hembra 201, situado en la placa principal 200.

65 A través del conector de 20 patillas, la placa de circuito 100 intercambia hacia/desde la placa principal 200, señales, alarmas, potencia y tierra, de acuerdo con la configuración de patillas provista en la tabla documentada en la figura 4.

La placa de circuito 100 tiene una sección de recepción 110, que recibe la señal de línea, en el formato de código CMI, a través del conector 101.

ES 2 274 193 T3

Un circuito de ecualización de cable 111 junto con un amplificador 112, sirven para recuperar la forma y la amplitud originales de la señal, deterioradas por la atenuación del cable, y generar la señal apropiada para conducir el decodificador CMI 113. El decodificador CMI 113 acepta una entrada de datos diferencial y, con la ayuda de un reloj de referencia interno, que pertenece al circuito de referencia 120 de sincronización interna, programable, devuelve un flujo de datos codificados NRZ (salida de datos RD), que es encaminado por vía de los condensadores de acoplamiento, al conector 201 de la placa principal 200, descrita en la figura 2.

El circuito de pérdida de señal (LOS), monitoriza el nivel de potencia de la señal entrante, y genera una alarma cuando la señal recibida está por debajo de un umbral predefinido.

La sección de transmisión 130 recibe una señal diferencial NRZ (entrada de datos RD), desde el conector 201 de la placa principal 200.

La señal de datos NRZ (entrada de datos RD), acoplada en CA, es encaminada al circuito de codificación 131, y convertida en un flujo de datos codificados CMI con la ayuda de un reloj de referencia interno, que pertenece al circuito de referencia de sincronización interno, programable 120.

La memoria intermedia de transmisión 132 recibe el flujo codificado CMI, y proporciona una señal de salida capaz de conducir una línea de transmisión de 75 Ohm, compatible con ITU-G. La señal codificada CMI es transmitida por el conector de cable coaxial 102.

En el circuito de referencia de sincronización interno 120, programable, un VCO en placa proporciona la referencia de reloj requerida por el decodificador/descodificador, para llevar a cabo las conversiones CMI/NRZ y NRZ/CMI.

El controlador de tarjeta principal 202 puede configurar, por vía del Interfaz en Serie de 2 cables, el circuito de referencia de sincronización interno 120, programable, configurándolo para la aplicación STS3/STM1 o PDH-E4. El interfaz en serie consiste en:

- MOD-REF 1 - la señal de reloj del interfaz en serie de 2 cables
- MOD-REF 2 - la señal de datos del interfaz en serie de 2 cables.

El controlador de tarjeta principal 202 puede reconocer, por vía de la patilla MOD-Def0, que el módulo está presente, y por vía de las patillas MOD-Def1 y MOD-Def2 del interfaz en serie de 2 cables, sincronizado (I2Cbus), puede acceder a la memoria EEPROM interna 140, donde ha sido almacenada previamente información de identificación sofisticada (tabla documentada en la figura 3), de forma compatible MSA:

- características CESFP,
- fabricante del módulo, y
- otra información.

La información CESFP almacenada en la memoria, leída a través del interfaz en serie, informa al controlador de tarjeta principal de que el módulo es un transmisor receptor STM1/STS3/E4 eléctrico, cuya configuración final necesita una programación apropiada, de acuerdo con la configuración de red del usuario.

El controlador principal, por vía del mismo interfaz en serie, introducirá la configuración elegida.

Si bien ha sido mostrada y descrita una realización preferida de la presente invención, deberá comprenderse que la presente invención no está limitada a esta, puesto que puede hacerse otras realizaciones, por parte de aquellas personas cualificadas en el arte, sin apartarse del alcance de la invención. En una de las mencionadas otras realizaciones, algunos circuitos posicionados, de acuerdo con la descripción anterior, en el módulo configurable, pueden ser transferidos a la placa principal 200.

En concreto, el decodificador CMI 113 y el codificador CMI 131, junto con el circuito de referencia de sincronización interno 120 programable, pueden situarse en la placa principal, en lugar de en el interior del módulo CESFP, bien de forma discreta, o integrados dentro de un Circuito Integrado de Aplicación Específica (ASIC).

Así, se contempla que la presente invención abarca cualquiera, y la totalidad, de tales realizaciones cubiertas por las siguientes reivindicaciones.

REIVINDICACIONES

1. Un módulo de transmisor receptor eléctrico configurable, conectable en un receptáculo diseñado para recibir tal módulo, y que conecta eléctricamente tal módulo con una placa de circuito principal (200), montada dentro de un chasis de un sistema principal, siendo el mencionado módulo de transmisor receptor eléctrico, configurable para actuar como un interfaz eléctrico, para transmisiones tanto sincrónicas como plesiócronicas, e incluyendo:

- medios de circuito impreso (100), que tienen un primer extremo y un segundo extremo;
- medios de conexión coaxial (101, 102), montados en el primer extremo de los mencionados medios de circuito impreso (100);
- medios de conexión eléctrica de múltiples contactos, montados en el segundo extremo de los mencionados medios de circuito impreso (100);
- medios de recepción/transmisión (110, 130) montados, al menos parcialmente, en los mencionados medios de circuito impreso (100), y conectados a los mencionados medios de conexión coaxial, a los mencionados medios eléctricos de múltiples contactos, y a medios de sincronización (120) que proporcionan señales de sincronización requeridas por los mencionados medios de recepción/transmisión (110, 130);

caracterizado porque

- los mencionados medios de circuito impreso, están montados en medios de alojamiento de tipo Pequeño Factor de Forma Conectable, y
- los mencionados medios de sincronización (120) comprenden un circuito de referencia de sincronización interno (120), programable, que proporciona una referencia de reloj para los mencionados medios de recepción/transmisión (110, 130).

2. El módulo de la reivindicación 1, **caracterizado** porque el mencionado circuito de referencia de sincronización interno (120), incluye un VCO incorporado, y un interfaz en serie de 2 cables, sincronizado, conectado con el controlador de la tarjeta principal (202).

3. El módulo de la reivindicación 2, **caracterizado** porque el mencionado interfaz en serie de 2 cables, sincronizado, se utiliza para la programación *in situ* del módulo, como un tipo de interfaz STM1/STS3, o como un tipo de interfaz PDH-E4.

4. El módulo de la reivindicación 3, **caracterizado** porque está adaptado para ser utilizado en combinación con un sistema principal, del tipo que incluye un controlador de la tarjeta principal (202), y la mencionada programación *in situ* es realizada por el controlador de la tarjeta principal (202), cuando el módulo ya está en posición.

5. El módulo de la reivindicación 3 o la reivindicación 4, **caracterizado** porque incluye además medios de memoria (140) que almacenan información de identificación, incluyendo el mencionado tipo de interfaz, y accesible por vía del mencionado interfaz en serie de 2 cables, sincronizado, al controlador de la tarjeta principal (202), para el reconocimiento del tipo de interfaz y la consiguiente programación *in situ*.

6. El módulo de la reivindicación 5, **caracterizado** porque los mencionados medios de memoria son de tipo EEPROM, y la mencionada información de identificación está almacenada de forma compatible con el Acuerdo de Múltiples Fuentes, de Transmisor Receptor Conectable de Pequeño Factor de Forma.

7. El módulo de cualquier reivindicación precedente, **caracterizado** porque está adaptado para ser utilizado en combinación con un sistema principal, del tipo que incluye un controlador de la tarjeta principal (202), conectado a tierra por vía de una patilla del módulo, para reconocer si el módulo está presente.

8. El módulo de cualquier reivindicación precedente, **caracterizado** porque:

- un decodificador CMI (103), en una sección de recepción de los mencionados medios de recepción/transmisión (110, 130);
- un codificador CMI (131), en una sección de transmisión de los mencionados medios de recepción/transmisión (110, 130); y
- el mencionado circuito de referencia de sincronización (120),
- están situados en el sistema principal, y están conectados a las unidades de los medios de recepción/transmisión (110, 130), montados en los mencionados medios de circuito impreso por vía de los mencionados medios de conexión eléctricos de múltiples contactos.

FIG. 1

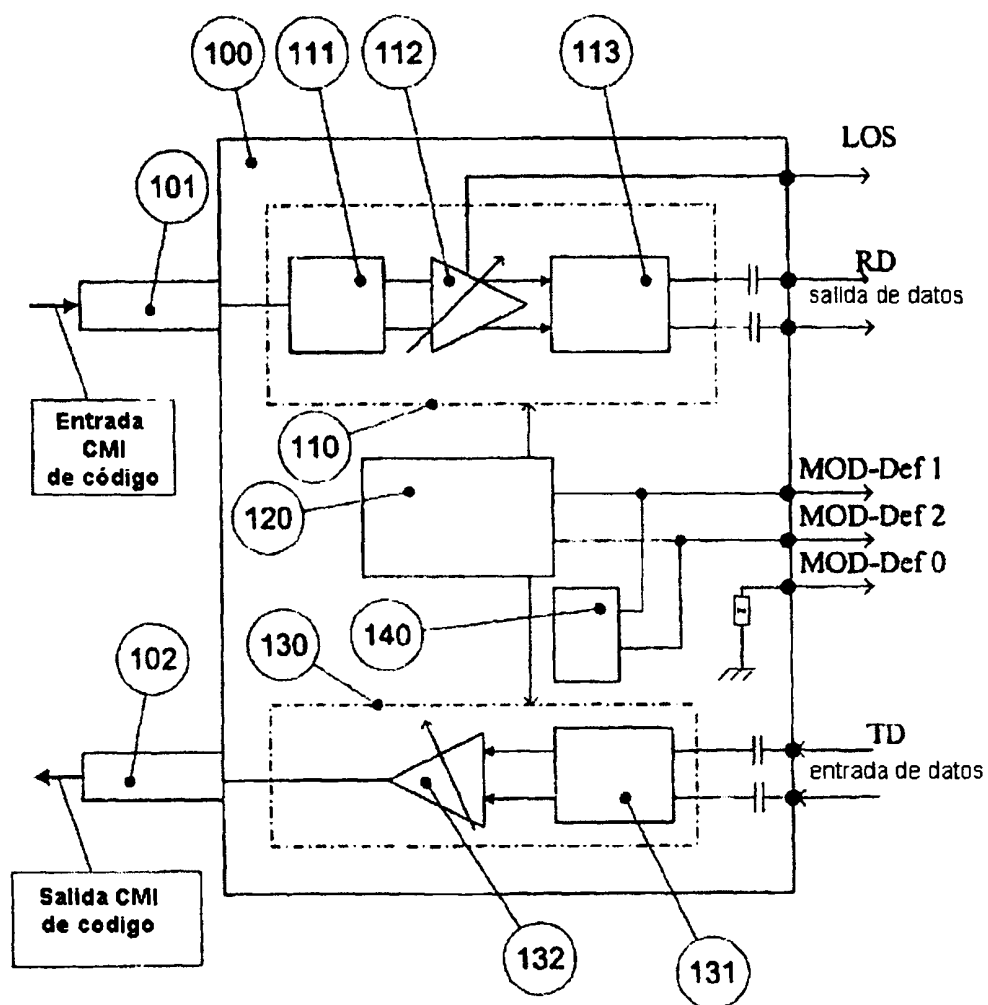


FIG. 2

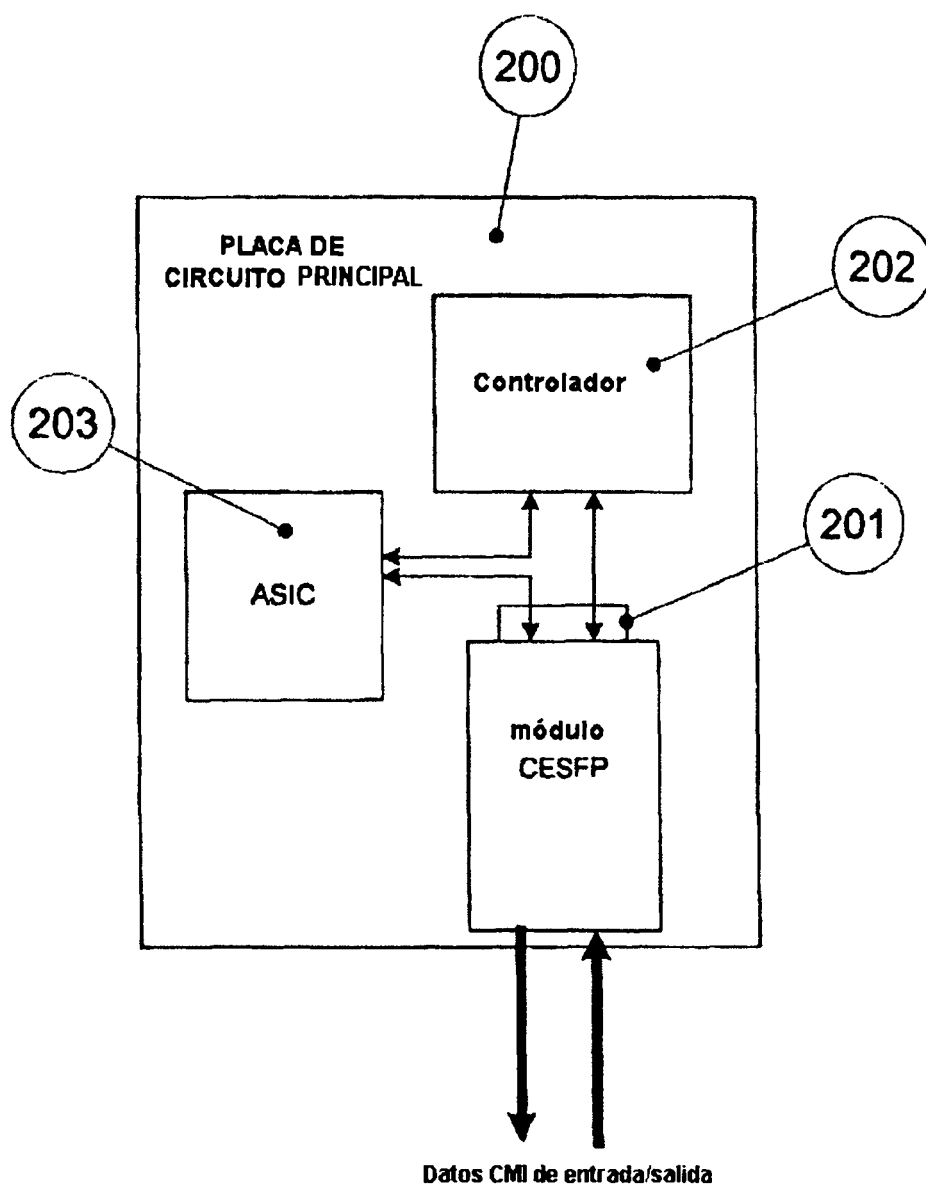


FIG. 3

0	<i>ID de serie definido por SFP MSA (96 octetos)</i>
95	
	<i>Específico del Vendedor (32 octetos)</i>
127	
	<i>Reservado en SFP MSA (128 octetos)</i>
255	

FIG. 4

1	TX- Tierra	11	RX- Tierra
2	NC	12	RD- inv. Salida de datos del receptor
3	NC	13	RD+ Salida de datos del receptor
4	MOD-DEF 2	14	RX- Tierra
5	MOD-DEF 1	15	VccR
6	MOD-DEF 0	16	VccT
7	NC	17	TX- Tierra
8	LOS	18	TD+ Entrada de datos de transmisión
9	RX- Tierra	19	TD- inv. Entrada de datos de transmisión
10	RX- Tierra	20	TX- Tierra