(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G09G 3/22

(45) 공고일자 2004년05월22일
(11) 등록번호 10-0347840
(24) 등록일자 2002년07월25일

(21) 출원번호 10-1996-0034822
(22) 출원일자 1996년08월22일

(65) 공개번호 10-1997-0012901
(43) 공개일자 1997년03월29일

(30) 우선권주장
95-214555 1995년08월23일 일본(JP)
96-000834 1996년01월08일 일본(JP)
96-209668 1996년08월08일 일본(JP)

(73) 특허권자
캐논 가부시끼가이샤
일본 도꾜도 오오따꾸 시모마루꼬 3쪼메 30방 2고

(72) 발명자
오구찌 다까히로
일본 가나가와껜 야마또시 쯔오린깐 2-쪼메 7-11-302

스즈끼 히데또시
일본 가나가와껜 후지사와시 이시까와 927-1-201

사까이 구니히로
일본 가나가와껜 이세하라시 다나까 988-1-엘엠207

사꾸라기 다까마사
일본 가나가와껜 히라쯔까시 히나따오까 2-쪼메 19-5

도도꼬로 야스유끼
일본 가나가와껜 요꼬하마시 고호꾸구 다까따쪼 244-8

(74) 대리인
구영창
장수길
주성민

심사관 : 김준한

(54) 다중-전자원구동회로및이를포함한이미지형성장치

요약

복수의 전자 방출기를 복수의 데이터 배선층 및 복수의 주사 배선층을 통해 매트릭스 형태로 배열한 다중-전자원 내의 배선 저항에 걸리는 전압 강하를 방지하기 위해서, 정전류 신호가 각각의 데이터 배선층에 출력된다. 이 때, 각각의 비선택된 데이터 배선층은 고임피던스로 설정되는 경향이 있어서 전위가 변하여, 비정상 적인 턴온 동작이나 전자 궤도의 시프트가 초래된다. 이 문제를 해결하기 위한 구동 회로가 제공된다. 신호 출력 목적지의 임피던스에 관계없이 정전류를 출력하기 위한 정전류 출력 유닛과 신호 출력 목적지의 임피던스에 관계없이 정전압을 출력하기 위한 정전압 출력 유닛을 스위칭하기 위한 스위치가 각각의 데이터 배선층에 접속된다. 예를 들면, 전류 출력 유닛으로서의 정전류 회로(17)는 스위치(30)에 동일한 전류(I1 내지 In)를 항상 출력한다. 펄스 폭 변조 회로(7)로부터의 펄스 폭 신호(PW1 내지 PWn)는 전류를 데이터 배선층(D_{y1} 내지 D_{yn})에 출력하는 모드와 데이터 배선층을 전압 GND로 고정시키는 모드를 스위치하는 데 사용된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 구동 회로를 도시한 블록도.
도 2는 본 발명의 실시예 1에서 비디오 신호의 흐름을 도시한 블록도.
도 3은 실시예 1에서 스위치들과 정전류 회로들을 도시한 회로도.
도 4A 내지 4G는 실시예 1에서 컬럼 배선층(1)에 관련된 타이밍 차트.
도 5는 디스플레이 패널을 도시한 사시도.
도 6A 및 6B는 전면판 상의 형광체의 배열을 각각 도시한 도면.
도 7A와 7B 각각은 평면형 표면 도전형 전자 방출기에 대한 평면도와 단면도.
도 8A 내지 8E는 평면형 표면 도전형 전자 방출기의 제조 공정을 도시한 단면도들.
도 9는 활성화 포밍 전압을 도시한 타이밍 차트.
도 10A와 10B는 활성화 전압과 방출 전류의 타이밍 차트들.
도 11은 수직형 표면 도전형 전자 방출기를 도시한 단면도.
도 12A 내지 12F는 수직형 표면 도전형 전자 방출기의 제조 공정을 도시한 단면도들.
도 13은 표면 도전형 전자 방출기의 전압/전류 특성을 도시한 그래프.
도 14는 다중-전자 기판을 도시한 평면도.
도 15는 다중-전자 기판을 도시한 부분 단면도.
도 16은 본 발명의 실시예 2에서 스위치들과 정전류 회로들을 도시한 회로도.
도 17A 내지 17G는 실시예 2에서 컬럼 배선층(1)에 관련된 타이밍 차트들.
도 18은 본 발명의 실시예 3에서 비디오 신호의 흐름을 도시한 블록도.
도 19는 실시예 3에서 스위치들과 정전류 회로들을 도시한 회로도.
도 20A 내지 20G는 실시예 3에서 컬럼 배선층(1)에 관련된 타이밍 차트들.
도 21은 본 발명의 실시예 4에 따른 다중-전자원과 구동 회로를 도시한 도면.
도 22는 실시예 4에 따른 구동 회로를 도시한 블록도.
도 23은 주사 회로 내의 푸쉬-풀 구성을 도시한 회로도.
도 24는 도 23의 회로에 대한 타이밍 차트.
도 25는 V/I 변환 회로를 도시한 블록도.
도 26은 실시예 4에서 V/I 변환 회로를 도시한 회로도.
도 27A 내지 27C는 실시예 4의 타이밍 차트들.
도 28A 내지 28C는 측방향형 전계 방출기를 사용한 다중-전자원을 도시한 도면들.
도 29는 측방향형 전계 방출기들을 사용한 다중-전자원을 도시한 도면,
도 30은 엠. 하트웰(M. Hartwell)에 의해 개시된 표면 도전형 전자 방출기를 도시한 평면도.
도 31은 종래의 스핀트형(Spindt-type) 전계 방출기를 도시한 단면도.
도 32는 종래의 MIM형 전자 방출기를 도시한 단면도.
도 33은 단순 매트릭스 배선 구조를 도시한 도면.
도 34는 전류로 구동되는 단순 매트릭스 배선 구조를 도시한 도면.
<도면의 주요 부분에 대한 부호의 설명>
1 : 디스플레이 패널
2 : 주사 회로
3 : 디코더
4 : 타이밍 발생 회로
5 : S/H 회로
6 : S/P 변환 회로
7 : 펄스 폭 변조 회로
10 : 정전류 출력 유닛
17 : 정전류 회로
20 : 정전압 출력 유닛
30 : 스위치
50 : 다중-전자원

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 복수의 전자 방출기들(electron emitters)을 매트릭스 형태로 배선한 다중-전자원을 포함하는 전자 발생 디바이스와, 그 다중-전자원용 구동 회로, 이미지 디스플레이 장치와, 그 구동 회로 및 구동 방법에 관한 것이다.
종래에, 전자 방출기로서 2가지 형태의 디바이스들, 즉 열음극 디바이스와 냉음극 디바이스가 알려져 있다. 냉음극 디바이스의 예로서는 전계 방출형 전자 방출기(이하 전계 방출기라 함), 금속/절연체/금속형 전자 방출기(이하, MIM형 전자 방출기라 함), 및 표면 도전형 전자 방출기가 있다.
전계 방출기에 대해 알려진 예로서는 더블류. 피. 다이크(W. P Dyke) 및 더블류. 더블류. 돌란(W. W. Dolan)의 '전계 방출', Advance in Electron Physics, 8, 89 (1956)와, 시. 에이. 스핀트(C. A. Spindt)의 '몰리브데늄 콘을 가진 박막 전계 방출 캐소드의 물성', J. Appl. Phys., 47, 5248 (1976)이 기술되어 있다. 도 31은 시. 에이. 스핀트 등에 따른 디바이스에 대한 단면도이다. 도 31에서, 참조 부호 3010은 기판, 3011은 도전 물질로 된 방출기 배선층; 3012는 방출기 콘; 3013은 절연층; 및 3014는 게이트 전극이다. 이 디바이스에서, 방출기 콘(3012)의 말단부로부터 전자를 방출시키기 위해서 방출기 콘(3012)과 게이트 전극(3014)간에 적당한 전압이 인가된다.
MIM형 전자 방출기에 대해 알려진 예로서, 시. 에이. 미드의 '터널-방출 디바이스의 동작', J. Appl. Phys., 32,646 (1961)에 기재되어 있다. 도 32는 MIM형 전자 방출기의 단면도이다. 도 32에서, 참조 부호 3020은 기판, 3021은 금속으로된 하부 전극, 3022는 약 100 Å 두께의 얇은 절연층, 및 3023은 약 80 Å 내지 300 Å 두께의 금속으로 된 상부 전극이다. MIM형에서, 상부 전극(3023)의 표면으로부터 전자를 방출하기 위해서 상부 전극(3023)과 하부 전극(3021) 간에 전압이 인가된다.
표면 도전형 전자 방출기에 대해 알려진 예로서, 예를 들면 엠. 아이, 엘린슨(M. I. Elinson)의 Radio Eng. Electron Phys., 10, 1290 (1965), 및 기타 이하에 기술된 예에 기재되어 있다.
표면 도전형 전자 방출기는 기판 상에 형성된 막 표면에 평행한 전류가 흐르면, 소 영역의 박막 내에서 전자 방출이 발생하는 현상을 이용한다. 표면 도전형 전자 방출기는 Au 박막을 사용하는 전자 방출기(쥐. 디트머(G. Dittmer)의 '얇은 솔리드 막', 9,317(1972)), In_2O_3/SnO_2 박막(엠. 하트웰(M. Hartwell) 및 시.쥐.폰스타드(C. G. Fonstad)의 'IEEE Trans. ED Conf', 519(1975)), 탄소 박막(히사시 아라끼 등의 '진공', vol. 26, No.1, p.22(1983) 등과, 아울러 상기 언급된 엘린슨에 따른 SnO_2 박막을 포함한다.
도 30은 이들 표면 도전형 전자 방출기의 전형적인 예로서, 엠. 하트웰 등에 따른 표면 도전형 전자 방출기의 평면도이다. 도 30에서, 참조 부호 3001은 기판이고, 3004는 스퍼터링에 의해 형성된 금속 산화물로 된 도전성 박막이다. 이 도전성 박막(3004)은 도 30에 도시한 바와 같이, H 형상 패턴을 갖는다. 전자 방출부 (3005)는 도전성 박막(3004)에 대한 활성화 처리(energization process; 이하 활성 화 포밍(forming) 처리라 함)를 수행함으로써 형성된다. 도 30에서, 간격 L은 0.5 내지 1 mm로 설정되며, 폭 W는 0.1 mm로 설정된다. 도시의 편의상, 전자 방출부 (3005)는 도전성 박막(3004)의 중심에 직사각형으로 도시하였다. 그러나, 이것은 전자 방출부의 실제 위치 및 형상을 정확히 도시한 것이 아니다.
엠. 하트웰 등에 따른 상기 표면 도전형 전자 방출기에서, 통상 전자 방출부(3005)는 전자 방출전에 도전성 박막(3004)에 대한 활성화 포밍 처리라고 하는 활성화 처리를 수행함으로써 형성된다. 활성화 포밍 처리에 따라서, 활성화는 도전성막(3004)의 양단간에 걸쳐 매우 느린 속도, 예를 들면 1V/min.으로 증가하는 일정한 DC 전압을 인가하여, 도전성막(3004)을 부분적으로 파괴 또는 변형시키도록 함으로써, 전기적으로 높은 저항을 갖는 전자-방출부(3005)를 형성함으로써 수행된다. 도전성 박막(3004)의 파괴 또는 변형된 부분은 균열(fissure)을 가짐에 주목한다. 활성화 포밍 처리 후, 도전성 박막(3004)에 적당한 전압을 인가하면, 균열 근처에서 전자 방출이 발생한다.
상기 표면 도전형 전자 방출기는 이들의 간단한 구조 및 용이한 제조 때문에 이점이 있다. 이러한 이유로, 많은 디바이스들이 넓은 영역 상에 형성될 수 있다. 본 출원인에 의해서 출원된 일본 특허 공개 제64-31332에 기술된 바와 같이, 많은 디바이스를 배열하고 구동하는 방법이 연구되어 있다.
이미지 디스플레이 장치 및 이미지 기록 장치와 같은 예를 들면 이미지 형성장치에 표면 도전형 전자 방출기를 적용하는 것에 관하여, 하전 빔원 등이 연구되었다.
이미지 디스플레이 장치에의 응용으로서, 특히 본 출원인에 의해 출원된 미국 특허 제5,066,883호 및 일본 특허 공개 제2-257551호에 기술된 바와 같이, 표면 도전형 전자 방출기와 전자 빔의 조사시 광을 방출하는 형광체의 조합을 사용하는 이미지 디스플레이 장치가 연구되었다. 이러한 형태의 이미지 디스플레이 장치는 다른 종래의 이미지 디스플레이 장치보다 우수한 특성을 갖는 것으로 기대된다. 예를 들면, 최근에 보급된 액정 디스플레이 장치와 비교하여, 상기 디스플레이 장치는 셀프-방출형이기 때문에 백라이트를 필요로 하지 않으며, 넓은 시야각을 갖는다는 점에서 우수한 것이다.
본 발명자는 여러가지 물질로 만들어지고, 여러가지 방법으로 제조되어, 상기 기술된 구조 뿐만 아니라 여러가지 구조를 갖는 표면 도전형 전자 방출기에 대해 실험하였다. 본 발명자는 또한 많은 표면 도전형 전자 방출기 어레이로 각각 구성된 다중-전자원, 및 이 다중-전자원을 사용하는 이미지 디스플레이 장치에 대해 연구하였다.
본 발명자는 도 33에 도시한 것과 같은 전기 배선 방법으로 형성된 다중-전자원을 시험적으로 제조하였다. 이 다중-전자원에서, 대량의 표면 도전형 전자 방출기는 2차원적으로 배열되며, 도 33에 도시한 바와 같이 매트릭스 형태로 배선된다.

도 33에서, 참조 부호 4001은 개략적으로 도시된 표면 도전형 전자 방출기이며, 4002는 로우 배선층, 4003은 컬럼 배선층이다. 실제로, 로우 및 컬럼 배선층은 유한한 전기 저항기(4004 및 4005)를 갖는다. 그러나, 도 33은 배선 저항기(4004 및 4005)로서 이들 저항기를 도시하고 있다. 상기 배선 방법을 단순 매트릭스 배선이라 칭할 것이다.
도시의 편의상, 도 33은 6 X 6 매트릭스를 도시한다. 그러나, 매트릭스의 크기는 이것으로 한정되지 않는다. 예를 들면, 이미지 디스플레이 장치용으로서의 다중-전자원에서, 소망하는 이미지 디스플레이 동작을 위한 충분한 수의 방출기들이 배열되어 배선된다.
단순 매트릭스 형태로 배선된 표면 도전형 전자 방출기를 갖는 다중-전자원에서, 소망하는 전자 빔을 출력하기 위해서, 로우 및 컬럼 배선층(4002 및 4003)에 적합한 전기 신호가 인가된다. 예를 들면, 매트릭스 내의 임의의 로우 상에 있는 표면 도전형 전자 방출기를 구동하기 위해서, 선택 전압(Vs)이, 선택된 로우 상의 로우 배선층(4002)에 인가되며, 동시에 비선택 전압(Vns)이, 비선택된 로우 상의 각각의 로우 배선층(4002)에 인가된다. 구동 전압(Ve)은 선택 전압(Vs)에 동기하여 각각의 컬럼 배선층(4003)에 인가된다. 이 방법에 따라서, 배선 저항기(4004 및 4005)에 의해 야기된 전압 강하를 무시하고, 전압(Ve-Vs)이 선택된 로우 상의 각각의 표면 도전형 전자 방출기에 인가되며, 전압(Ve-Vns)은 비선택된 로우 상의 각각의 표면 도전형 전자 방출기에 인가된다. 이에 따라, 전압(Ve, Vs, 및 Vns)이 적절한 전압으로 설정되면, 소망하는 세기를 갖는 전자 빔이 단지 선택된 로우 상의 각각의 표면 도전형 전자 방출기로부터만 출력된다. 더욱이, 상이한 구동 전압(Ve)이 각각의 컬럼 배선층들에 인가되면, 상이한 세기를 갖는 전자 빔들이 선택된 로우 상의 각각의 방출기로부터 출력된다. 각각의 표면 도전형 전자 방출기의 응답 속도 는 빠르기 때문에, 전자 빔의 출력이 유지되는 시간 길이는 구동 전압(Ve)이 인가되어 유지되는 시간 길이가 변경될 경우 변경된다.
그러므로, 이러한 다중-전자원을 단순 매트릭스 형태로 배선한 다중-전자원의 다양한 적용에 대해 연구되었다. 예를 들면, 이 전자원은 이미지 정보에 따라 전압 신호를 인가하는 이미지 디스플레이 장치에서 사용될 것으로 기대된다.
그러나, 실제적으로 전원이 접속되는 다중-전자원이 상기 전압 인가 방법에 의해서 구동될 때, 배선 저항기에 전압 강하가 발생하여, 각각의 표면 도전형 전자 방출기예 유효하게 인가되는 전압이 변동되는 결과가 초래된다. 각각의 방출기에 인가된 전압 변동의 제1 원인은 단순 매트릭스 배선 구조에서의 각각의 표면 도전형 전자 방출기가 다른 배선 길이(즉, 상이한 배선 저항기)를 갖는다는 것이다.
두번째 원인은 각각의 로우 배선층의 배선 저항기(4004)에 의해 야기된 전압 강하가 변한다는 것이다. 이것은 선택된 로우 상의 로우 배선층으로부터 이에 접속된 표면 도전형 전자 방출기로 전류가 분기되어 균일하지 않은 전류가 각각의 배선 저항기(4004)에 흐르도록 하기 때문이다.
세번째 원인은 배선 저항기 변화에 의해 야기된 전압 강하의 크기가 구동 패턴(이미지 디스플레이 장치의 경우 디스플레이될 이미지 패턴)에 의존하여 변경된다는 것이다. 이것은 배선 저항기에 흐르는 전류가 구동 패턴에 의존하여 변하기 때문이다.
각각의 표면 도전형 전자 방출기에 인가된 전압이 상기 원인들에 기인하여 변화하면, 각각의 표면 도전형 전자 방출기로부터 출력된 전자 빔의 세기는 소망치 로부터 벗어나, 실제 사용에 있어서 문제가 된다. 예를 들면, 전자원이 이미지 디스플레이 장치에 응용될 때, 디스플레이된 이미지의 휘도는 불균일하게 되거나, 또는 디스플레이 이미지 패턴에 따라 휘도 변화가 발생한다. 더구나, 이 전압 변화는 단순 매트릭스의 크기가 증가함에 따라 증가하는 경향이 있다. 이러한 경향은 이미지 디스플레이 장치 내의 픽셀수를 제한하는 요소이다.
상기 문제를 고찰하여 이러한 기술을 연구하는 과정에서, 본 발명자는 상기 전압 인가 방법과는 다른 구동 방법에 관하여 이미 실험하였다. 이 방법에서는, 단순 매트릭스 형태로 배선된 표면 도전형 전자 방출기를 갖는 다중-전자원을 구동할 때, 각각의 컬럼 배선층에 구동 전압(Ve)를 인가하기 위한 전압원을 접속하는 대신에, 소망하는 전자 빔을 출력하는 데 필요한 전류를 공급하기 위한 전류원을 컬럼 배선층에 접속함으로써, 다중-전자원을 구동하도록 한다. 이 방법은 각각의 표면 도전형 전자 방출기에 흐르는 전류(이하 방출기 전류(If)라 함)와 각각의 방출기로부터 방출된 전자 빔(이하 방출 전류(Ie)라 함)간의 강한 관계를 고려하여 안출되었다. 이 방법에서, 방출 전류(Ie)의 크기는 방출기 전류(If)의 크기를 제한함으로써 제어된다.
즉, 각각의 표면 도전형 전자 방출기에 공급되는 방출기 전류(If)의 크기는 표면 도전형 전자 방출기 각각의 (방출기 전류(If) 대 (방출 전류(Ie)) 특성을 참조하여 결정되며, 방출기 전류(If)는 각각의 컬럼 배선층에 접속된 전류원으로부터 공급된다. 즉, 구동 회로는 (방출기 전류(If)) 대 (방출 전류(Ie)) 특성을 저장하는 메모리, 공급될 방출기 전류(If)를 결정하기 위한 연산 유닛, 및 제어된 전류원 과 같은 전기 회로들의 조합에 의해서 구성될 수도 있다. 제어된 전류원으로서, 공급될 방출기 전류(If)의 크기를 전압 신호로 변환하며, 이 신호를 전압/전류 변환 회로를 사용하여 전류로 일시적으로 변환하기 위한 회로 형태가 사용될 수도 있다. 이 방법은 각각의 컬럼 배선층에 접속된 전압을 사용하여 다중-전자원을 구동하는 상기 방법보다, 배선 저항기에 의해 야기된 전압 강하에 덜 민감하다. 그러므로, 이 방법은 출력될 전자 빔의 세기의 변화를 감소시킬 수 있도 있을 것으로 알았다.
그러나, 전자원에 접속된 전류원을 사용하여 전자원을 구동하는 방법에 다음의 문제가 있다. 이 문제를 도 34를 참조하여 설명한다. 도 34는 도 33에 다중-전자원이 전류원에 의해서 구동되는 경우를 도시한 것이다. 선택 전위 Vs=-7 V는 로우 배선층(4002)의 로우 배선층(D_{x1})에 인가되며, 비선택 전위 Vns=0V는 나머지 로우 배선층(4002), 즉 로우 배선층(D_{x2} 내지 D_{x6})에 인가된다. 이러한 구성에 의해서, 선택 전위가 인가된 로우 배선층 상의 방출기들은 정전류에 의해서 구동된다. 이 경우, 각각의 정전류의 설정치는 각각의 방출기가 전자를 방출하는 크기로 설정된다. 이 설정에 의해서, 전류가 각각의 전류원으로부터 출력될 때, 설정된 방출기 전류 (If)는 선택 전위가 인가된 로우 상의 각각의 방출기에 흐른다. 결국, 각각의 방출기는 전자를 방출한다.
이 때, 실제 비디오 신호에 따라 일부 방출기가 전자를 방출하는 것을 금지(턴 오프 동작)하도록 수행되어야 한다. 예를 들면, 도 34에 도시한 바와 같이, 선택 전위(Vs)가 인가된 로우 배선층(D_{x1}) 상의 방출기 중에서, 로우 배선층(D_{x1})과 컬 럼 배선층(D_{y2})와의 교차점에 있는 방출기로부터 어떠한 전자도 방출되지 않는 경우를 생각한다. 이 경우

에, 컬럼 배선층(D_{y2})에 접속된 정전류원은 어떠한 전류도 출력되지 않는 상태로 설정된다. 정전류원으로부터 출력된 전류가 0으로 설정되는 이 상태는 정전류원의 임피던스가 무한대로 되는 상태와 동일하다. 결국, 컬럼 배선층 (D_{y2})은 고임피던스 상태로 설정된다. 단순 매트릭스의 로우 또는 컬럼 배선층이 고임피던스로 설정될 때, 다음의 문제가 있다.

(1) 전류원 출력에 의해서 결정되지 않은 고임피던스 상태의 배선층은 다른 구동된 방출기 또는 구동 패턴의 영향에 의해서 결정된 전위를 갖는다. 이러한 이유로, 컬럼에 접속된 전류원이 방출기가 전자를 방출하지 못하도록 제어될 경우라도, 그 컬럼 상의 상기 방출기에 인가될 전위는 결정될 수 없다. 즉, 고임피던스 상태에서의 배선층 상의 방출기는 다른 구동된 방출기, 구동 패턴, 및 선택/비선택 전압의 상태의 영향에 의존하여 비디오 신호에 관계없이(비정상 턴 온 동작) 전자를 방출할 수 있다.

(2) 표면 도전형 전자 방출기 및 전자 빔의 조사시 광을 방출하는 형광체의 조합을 사용하는 이미지 디스플레이 장치에서, 전자 빔의 궤도는 형광체측에 인가된 고전압, 및 인접 로우 배선층의 전위와 컬럼 배선충의 전위에 의해 영향을 받는다. 그러므로, 고임피던스의 배선층 전위가 있다면, 인접한 라인들로부터의 방출 전자의 전자 궤도가 영향을 받는다. 예를 들면, 컬러 디스플레이 장치에서, 전자 빔 시프트는 컬러 오등록을 야기할 수도 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 어떤 비정상 턴온 동작 및 전자 궤도 시프트를 야기시킴이 없이, 전압 강하 문제를 극복하는 데 잇점이 있는 것으로서, 전류 구동 동작을 수행하도록 설계된 구동 회로, 이를 사용한 전자 발생 디바이스, 이미지 디스플레이 장치, 및 이를 위한 구동 방법을 제공하는 것이다.

상기 목적을 달성하기 위해서, 본 발명자는 다음의 것을 얻기 위해서 노력하였다. 복수의 전자 방출기들이 복수의 데이터 배선층 및 복수의 주사 배선층을 통해 매트릭스 형태로 배선된 다중-전자원, 및 상기 다중-전자원을 구동하기 위한 구동 회로를 포함하는 것으로서, 정전류를 출력하기 위한 정전류 출력 유닛과 정전압을 출력하기 위한 정전압 출력 유닛이 스위치를 통해 상기 데이터 배선층에 접속된 것을 특징으로 하는 전자 발생 디바이스가 제공된다. 본 발명은 상기 전자 발생 디바이스를 사용한 이미지 디스플레이 장치를 포함한다. 본 발명에 따르면, 복수의 전자 방출기들이 복수의 데이터 배선층 및 복수의 주사 배선층을 통해 매트릭스 형태로 배선된 다중-전자원, 및 상기 다중-전자원을 구동하기 위한 구동 회로, 및 전자들의 조사시 여기되어 광을 방출하는 형광체를 포함하는 것으로서, 정전류를 출력하기 위한 정전류 출력 유닛과 정전압을 출력하기 위한 정전압 출력 유닛이 스위치를 통해 상기 데이터 배선층에 접속된 것을 특징으로 하는 이미지 디스플레이 장치가 제공된다. 본 발명은 상기 전자 발생 디바이스용 구동 회로 및 이미지 디스플레이 장치를 포함한다. 본 발명에 따르면, 복수의 전자 방출기가 복수의 데이터 배선층 및 복수의 주사 배선층을 통해 매트릭스 형태로 배선된 다중-전자원을 구동하 기 위한 것으로서, 정전류를 출력하기 위한 정전류 출력 유닛과 정전압을 출력하기 위한 정전압 출력 유닛이 스위치를 통해 상기 데이터 배선층에 접속된 것을 특징으로 하는 구동 회로가 제공된다.

본 발명에서, 정전유 출력 유닛으로부터 출력된 정전류는 전자 방출기로 흘러 소망하는 방출 전류를 얻도로 하기 위한 방출기 전류인 것이 바람직하며, 정전압 출력 유닛으로부터 출력된 정전압은 정전압과 상기 주사 배선층에 인가된 주사 전압간 차이가 전자 방출기의 전자 방출 임계 전압값보다 작도록 설정된 전압인 것이 바람직하다. 스위치는 정전류 출력 유닛과 데이터 배선층간 접속과 정전압 출력 유닛과 데이터 배선층간 접속을 전환하는 것이 바람직하다. 스위치는 바람직하게 데이터 배선층 수와 동일한 스위치를 포함한다. 스위치는 트랜지스터인 것이 좋다. 트랜지스터는 바이폴라 트랜지스터 또는 증가형 MOS 트랜지스터일 수 있다. 트랜지스터가 바이폴라 트랜지스터이면, 콜렉터 또는 에미터는 접지되는 것이 좋다. 트랜지스터가 증가형 MOS 트랜지스터이면, 드레인 또는 소스는 접지되는 것이 좋다. 구동 회로는 스위치의 스위칭 동작을 수행하기 위한 펄스 폭 변조 회로를 포함하는 것이 바람직하다. 정전압 출력 유닛은 GND 배선층을 포함하는 것이 바람직하다. 스위치는 다이오드를 포함할 수 있다. 스위치가 다이오드일 때, 회로는 스위치의 스위칭 동작을 수행하기 위한 타이밍 발생 회로를 포함하는 것이 좋다. 정전류 출력 유닛은 V/I 변환기를 포함하는 것이 바람직하다. 스위치는 휘도 신호값이 기준 신호값보다 작을 때 정전압 출력에 데이터 배선층을 접속하고, 휘도 신호값이 기준 신호값 이상일 때, 데이터 배선층을 정전류 출력에 접속한다. 더욱이, 0으로 될 전 자 방출량을 갖는 전자원에 접속된 데이터 배선층을 정전압 출력 유닛에 접속하는 것이 좋으며, 0 이외의 다른 값으로 될 전자 방출량을 갖는 전자원에 접속된 데이터 배선층을 정전류 출력 유닛에 접속한다.

본 발명에서는 또한 전자 발생 디바이스에 대한 구동 방법 및 이미지 디스플레이 장치를 제공한다. 본 발명에 따르면, 복수의 전자 방출기가 복수의 데이터 배선층 및 복수의 주사 배선층을 통해 매트릭스 형태로 배선된 다중-전자원, 및 상기 다중-전자원의 상기 복수의 데이터 배선층에 휘도 신호를 출력하기 위한 구동 회로를 포함하는 전자 발생 디바이스의 구동 방법에 있어서, 정전류와 정전압이 스위치되면서, 상기 데이터 배선층에 상기 휘도 신호가 출력되는 것을 특징으로 하는 구동 방법이 제공된다.

더욱이, 본 발명에 따라서, 복수의 전자 방출기가 복수의 데이터 배선층 및 복수의 주사 배선층을 통해 매트릭스 형태로 배선된 다중-전자원, 및 상기 다중-전자원의 상기 복수의 데이터 배선층에 휘도 신호를 출력하기 위한 구동 회로, 및 전자 조사시 여기되어 광을 방출하는 형광판를 포함하는 이미지 디스플레이 장치용 구동 방법에 있어서, 정전류와 정전압이 스위치되면서, 상기 데이터 배선층에 상기 휘도 신호가 출력되는 것을 특징으로 하는 구동 방법이 제공된다. 정전류 신호는 V/I 변환기로부터 출력되는 것이 바람직하다. 정전압은 GND로 되는 것이 좋다. 정전류 신호와 정전압은 펄스 폭 변조 회로 또는 타이밍 발생 회로로부터의 출력 신호에 따라 전환될 수도 있다. 타이밍 발생 회로는 비디오 디스플레이 구간 동안 데이터 배선층에 정전류 신호를 출력하며, 블랭킹 구간 동안 데이터 배선을 정전압으 로 설정하기 위한 펄스를 출력하는 것이 바람직하다.

본 발명에 따르면, 복수의 전자 방출기가 매트릭스 형태로 배선되고, 소망하는 전자 빔을 출력하는 데 필요한 전류를 공급하기 위한 전류원이 이들을 구동하기 위해서 방출기들에 접속된 디스플레이 장치에서, 다음의 효과가 얻어질 수 있다.
(1) 정전류원으로부터의 출력 전류가 0으로 될지라도, 고임피던스 배선층 상의 각각의 방출기의 비정장 턴온 동작이 방지될 수 있다.
(2) 정전류원으로부터의 출력 전류가 0으로 될지라도, 인접한 라인으로부터 전자 궤도에 미치는 고임피던스 상태의 악영향이 제거될 수 있다.
이들 효과에 의해서, 원래의 비디오 신호에 관해 매우 안정한 이미지가 디스플레이 스크린 전체를 통해 디스플레이될 수 있다.
본 발명의 다른 특징 및 이점은 도면 전체를 통해 동일한 또는 유사한 구성 요소에 동일 참조 부호를 할당한 첨부한 도면에 따라 다음의 설명으로부터 명백하게 될 것이다.

발명의 구성 및 작용

도 1은 본 발명의 개념을 도시한 것이다. 도 1에서, 참조 부호 10은 정전류 출력 유닛, 20은 정전압 출력 유닛, 30은 스위치, 50은 다중-전자원을 나타낸다. 참조 부호 D_{y1}, D_{y2},..., D_{yn} 및 D_{x1}, D_{x2},...,D_{xm} 은 다중-전자원(50)의 데이터 단자 및 주사 배선층을 각각 나타낸다. 다중-전자원(50)은 복수의 방향으로 전자를 방출하기 위한 부분이다. 전자 조사시 여기되어 광을 방출하는 형광체가 다중-전자원(50) 위에 배열된 경우, 디스플레이 패널이 얻어진다. 주사 회로(2)는 다중-전자원(50)을 순차적으로 구동하는 라인으로 주사 배선층에 선택 신호를 순차적으로 출력하기 위한 회로이다. 정전압 출력 유닛(20)은 정전압을 스위치(30)에 출력하기 위한 부분이다. 스위치(30)는 비디오 신호에 따라 정전류 출력 유닛(10) 및 정전압 출력 유닛(20)으로부터의 신호를 스위치하여 다중-전자원(50)의 데이터 배선층의 단자 (D_{y1} 내지 D_{yn})로 출력한다. 도 1에 도시한 구성은 컬럼 및 로우 배선층 각각이 데이터 및 주사 배선층으로서 각각 사용되고, 라인 순차 구동은 하나씩 로우를 선택하도록 수행된다는 전제에 기초한 것이다. 그러나, 컬럼 및 로우 배선층을 주사 및 데이터 배선층으로서 각각 사용하여, 하나씩 컬럼을 선택하도록 라인 순착 구동을 수행할 수도 있다.
회로로서, 정전류 출력 유닛(10)은 스위치(30)에 정전류를 직렬로 출력하도록 단지 하나의 V/I 변환기를 포함할 수 있다. 아니면, 정전류 출력 유닛(10)은 스위치(30)에 정전류를 병렬로 출력하도록 다중-전자원(50)에 접속된 배선층 수(n)와 동일한 배선층을 사용할 수도 있다. 병렬 정전류들은 각각의 데이터 배선층에서의 각각의 전류를 고려하여 상이한 정전류들일 수도 있다. V/I 변환기로서는 전류 미러 회로, 달링톤 접속 회로, 정전류 다이오드 등이 이용될 수 있다. 각각의 정전류의 값은 V/I 변환기에 입력되는 전압(V)을 변경하거나, V/I 변환기의 저항기의 저항을 변경함으로써 변경될 수 있다.
다중-전자원(50)을 구성하는 전자원으로서, 냉음극 디바이스를 사용하는 것 이 바람직하다. 냉음극 디바이스 중에서, 표면 도전형 전자 방출기가 더 바람직하다. 도트 매트릭스형 디스플레이 장치는 전자 조사시 광을 방출하는 형광판를 다중 -전자원(50) 상에 장착함으로써 제조될 수 있다. 그러므로, 전자 발생 디바이스 및 본 발명의 구동 회로를 사용하는 이미지 디스플레이 장치는 본 발명이 범주 내에 속한다. 이미지 디스플레이 장치는 컬러 또는 단색 이미지 디스플레이 장치일 수 있다. 컬러 이미지 디스플레이 장치의 경우, 형광판은 적색(R), 청색(B), 및 녹색 (G) 픽셀을 포함하며, 다중-전자원(50)은 또한 적색 픽셀용 전자원, 청색 픽셀용 전자원, 및 녹색 픽셀용 전자원을 포함한다. 다중-전자원은 반도체 기판 상의 레지스터를 노광시킬 수 있거나, 광학 프린터에서 이미지 형성을 위한 여기원으로서 사용될 수 있다.
<실시예 1>
(구동 방법 및 보정 방법)
본 발명의 주요 특징이 되는 것으로서, 이미지 디스플레이 장치를 위한 구동 및 보정 방법에 대해 설명한다. 표면 도전형 디스플레이 장치를 포함하는 이미지 디스플레이 장치의 구성에 대해서 도 2를 참조하여 설명한다. 도 2에서, 참조 부호 1은 다중-전자원이 밑에 놓이게 되는 디스플레이 패널을 나타낸다. 다중-전자원은 단순 매트릭스 형태로 배열된 전자 소스로 구성된다. 고전압원(Va)에 접속된 면판은 다중-전자원으로부터 방출된 전자를 가속화하기 위해서 다중-전자원 상에 장착된다. 참조 부호 D_{x1} 내지 D_{xm} 은 m개의 로우 배선층의 단자를 나타내며, D_{y1} 내지 D_{yn} 은 n개의 컬럼 배선층의 단자이다. 이들 단자는 외부 전기 회로에 접속된다.
주사 회로(2)에 대해서 설명한다. 이 회로는 m개의 스위칭 디바이스를 포함한다. 각각의 스위칭 디바이스는 단자(D_{x1} 내지 D_{xm})에 접속된다. m개의 스위칭 디바이스는 타이밍 신호 발생 회로(4)(이하 설명함)로부터 출력된 제어 신호(Tscan)에 기초하여, 비선택 전압(Vns)으로부터 선택 전압(Vs)으로 단자(D_{x1} 내지 D_{xn})의 전위를 순차적으로 전환한다. 실시예 1에서, 선택 전압(Vs)은 DC 전압원의 전압(Vx)으로 설정되며, 비선택 전압(Vns)은 OV(GND)로 설정된다.
비디오 신호의 흐름에 대해 설명한다. 입력된 복합 비디오 신호는 디코더(3)에 의해서 주요 3색(R, G, B)의 휘도 신호와 수평 및 수직 동기 신호(HSYNC 및 VSYNC)로 분리된다. 타이밍 발생 회로(4)는 수평 및 수직 동기 신호(HSYNC 및 VSYNC)에 동기된 여러가지 타이밍 신호를 발생한다. R, G, 및 B 휘도 신호는 적합한 타이밍에서 S/H 회로(5)에 의해 샘플된다. 홀드된 신호는 직렬/병렬 변환 회로 (S/P 변환 회로; 6)에 의해서 픽셀 배열에 대응하여 한 로우에 대해 병렬 비디오 신호로 변환된다. 병렬 비디오 신호는 이때 펄스 폭 변조 회로(7)에 의해서, 비디오 신호 세기에 대응하는 펄스 폭을 각각 갖는 전압 구동 펄스(PW1, PW2,...)로 변환된다.

이미지 디스플레이 장치는 정전류로 디스플레이 패널(1)의 각각의 방출기를 구동하기 위한 정전류 회로(17)를 또한 포함한다. 이하 설명될 정전류 회로(17)는 n개의 개별 정전류원 어레이로 구성된다. 정전류 회로(17)의 출력은 디스플레이 패 널(1)의 컬럼 배선층에 접속된 단자(D_{y1} 내지 D_{yn})에 접속된다. 이 경우에, 정전류 회로 출력(I1, I2,...,I3...)은 스위치(30)를 통해 정전압원에 접속된다. 각각의 정전류 출력은 스위치(30)의 제어 하에서 정전류 모드와 정전압 모드간 전환된다. 이 동작에 대해 이하 설명한다.

스위치(30)는 상기 기술된 펄스 폭 변조 회로(7)로부터 출력된 전압 구동 펄스(PW1, PW2,...)에 따라 정전류 모드와 정전압 모드를 스위치한다. 즉, 입력된 비디오 신호 세기에 대응하는 펄스가 계속 발생될 동안, 스위치(30)는 오프 상태에 있으며, 디스플레이 패널의 각각의 방출기는 정전류 회로로부터 정전류 출력에 의해서 구동된다. 이에 대조적으로, 입력 비디오 신호가 전혀 수신되지 않을 대, 스위치(30)는 온 상태에 있어, 단자(D_{y1} 내지 D_{yn})은 일정 전위로 클램프된다. 디스플레이 패널(1)의 각각의 방출기로부터 전자들이 전혀 방출되지 않는 전위로 상기 클램프 전위가 설정될 때, 단자(D_{y1} 내지 D_{yn})의 전위들은 상기 전위로 고정되며, 따라서 어떠한 전자 방출도 발생하지 않는다.

전류 출력 펄스가 디스플레이 패널에 공급될 때, 주사 회로(2)에 의해서 선택된 로우에 접속된 표면 도전형 전자 방출기만이 공급된 펄스의 폭에 대응하는 시간 구간동안 전자를 방출하여, 대응하는 형광체에서 광이 방출한다. 주사 회로(2)는 순차적으로 선택된 로우들을 주사하여, 2차원 이미지가 형성된다.

본 발명의 특징적인 특성으로서 정전류 회로(17) 및 스위치(30)에 대해 도 3을 참조하여 상세히 설명한다. 정전류 회로(17)는 컬럼 배선층 수와 동일한 n개의 개별 정전류원을 포함한다. 각각의 정전류원은 연산 증폭기, 트랜지스터, 및 저항기로 구성된다. 각각의 정전류원으로부터 출력된 전류는 다음의 식(1)로 결정된다.

$$I = (Vcc - Vs)/R \qquad (1)$$

여기서, Vcc는 전원 전압이며, Vs는 각각의 연산 증폭기에 입력되는 전압이며, R은 도 3에서 각각의 저항기의 저항이다. 전류 출력값은 식(1)에 따라 적합하게 파라미터를 선택함으로써 결정된다. 이들 파라미터 중에서, Vs 값이 쉽게 변경될 수 있다. 이러한 이유로, 전류량은 전압(Vs)를 제어함으로써 쉽게 결정될 수 있다.

스위치(30)는 트랜지스터(31) 및 저항기(39)로 구성된다. 각각의 트랜지스터 (31)의 베이스 전위는 스위칭 동작을 수행하도록 턴 온/오프된다. 즉, 트랜지스터 (31)의 에미터는 정전류 출력에 접속되며, 콜렉터는 GND에 접속된다. 트랜지스터 (31A)의 베이스들은 펄스 폭 변조 회로로부터 출력된 전압 구동 펄스(PW1, PW2,...)에 접속된다.

이 경우의 스위칭 동작에 대해 설명한다. 상기 기술한 바와 같이, 각각의 전압 구동 펄스는 입력 비디오 신호 세기에 대응하는 일정 진폭을 갖는 전압 펄스이다. 전압 펄스는 OV와 Vcc 범위 내에서 변하는 펄스인 것으로 가정한다.

전압 펄스가 'Hi'(펄스 크기 = Vcc)인 경우를 생각한다. 정전류 회로 출력의 전위(I1, I2, I3,...)가 Vcc를 초과하지 않기 때문에, 각각의 트랜지스터(31)는 오프 상태에 있다. 그러므로, 단자(D_{y1} 내지 D_{yn}) 각각은 정전류에 의해서 구동된다.

이와는 대조적으로, 전압 펄스가 'Lo'(펄스 크기 = GND)에 있을 때, 각각의 트랜지스터는 턴 온되고, 정전류 회로로부터 각각 출력된 전류는 각각의 트랜지스터(31)의 콜렉터로 흐른다. 이 때, 각각의 단자는 약 0V의 일정 전위로 유지된다(정확하게는 Vbe: 순방향 전압 강하량).

요약하면, 다음과 같다.

전압 구동 펄스	스위치	트랜지스터 모드	패널
"Hi"	오프	정전류	온 상태
"Lo"	온	정전압	오프 상태

즉, 패널을 턴 온시키기 위해 전자들이 방출기들로부터 방출될 때, 구동 동작은 정 전류들에 의해 실행된다. 패널이 턴 온 되지 않을 때, 각각의 단자는 정전압으로 클램프된다.

구동 동작 시 전류값을 결정하는 방법을 기술하겠다. 단순 매트릭스 구조를 가지는 패널 상의 하나의 방출기가 구동된다고 가정하자. 일반적으로, 하나의 라인 (예를 들어, 라인 번호 M)은 m개의 로우들로부터 선택되고[이 동작은 로우 반-선택 (semi-selection)이라 함], 동시에, 하나의 라인(예를 들어, 라인 번호 N)은 n개의 컬럼들로부터 선택된다[이 동작은 컬럼 반-선택이라 함]. 이 때에, 매트릭스상의 방출기들은 3개의 그룹들, 즉, A: 선택 전압이 인가되는 하나의 선택 방출기(위치 M : N), B: 반-선택 상태인 (m+n-1)개의 방출기들, 및 C: 비선택 상태인 (m ×n-m-n)개의 방출기들로 분류된다. 단순 매트릭스를 구성하는 방출기들 각각의 특성은 구동 신호에 대해 비선형적으로 변경되기 때문에, 반-선택 상태(B) 및 비선택 상태(C)인 방출기들은 선택되지 않고, 하나의 방출기(선택 상태 A)만이 선택적으로 구동된다. 그러나, 실제로는 선택된 디바이스들이 있는 동일한 로우 또는 컬럼 상의 반-선택 상태(B)의 방출기들의 영향이 무시될 수 없다.

예를 들어, 전압 +Vf 인 위치(M, N)의 방출기를 구동하기 위해 -1/2 Vf인 로우 반-선택 전위 및 +1/2 Vf인 컬럼 반-선택 전위가 인가된다. 이 때에, 컬럼 선택 라인 내로 흐르는 전류는 전압 +1/2 Vf가 인가될 때의 컬럼 N 상에 있는 (m-1)개의 표면 도전형 전자 방출기들 내로 흐르는 반-선택된 상태의 방출기 전류들의 합, 및 전압 +Vf가 인가될 때의 위치(M, N)의 선택된 방출기 내로 흐르는 방출기 전류의 총 합과 동일하다. 즉, 정전류 구동 동작시의 설정된 방출기 전류량은 다음과 같다.

$$If = \sum_{K=1}^{m-1} If[+1/2\,Vf,(K,N)] + If[+Vf,\ (M,N)] \qquad \cdots \quad (2)$$

If의 값은 실제로 사용된 단일 방출기의 (방출 전류 Ie) 대 (방출기 인가 전압 Vf) 특성들 및 (방출기 전류 If) 대 (방출기 인가 전압 Vf) 특성들에 의해 결정된다.

14V의 +Vf가 인가될 때, 방출기 전류 If [+Vf = 14, (M, N)] = 0.7mA이고, 방출 전류 Ie = 1 μA라고 가정하자. 이 경우에, 컬럼 선택 라인 내로 흐르는 전류들은 +1/2Vf(-7V)의 전압이 인가될 때의 컬럼 N상의 (m-1)개의 표면 도전형 전자 방출기들 내로 흐르는 반-선택 상태의 방출기 전류들(총 0.3mA) 및 선택 방출기 내로 흐르는 전류(0.7mA)이다. 따라서, 0.3mA와 0.7mA를 가산함으로써 얻어진 1mA는 구동 동작시의 정전류 회로의 설정 전류값으로 설정된다.

주사 회로(2)로부터의 출력들은 선택 전압 Vs = -7V 및 비선택 전압 = 0V로 설정되고, 선택된 로우들이 순차적으로 스캔되는 동안 컬럼 선택 라인이 1mA의 피크 값 및 입력 비디오 신호 세기에 대응하는 폭을 갖는 전류 펄스에 의해 구동되었다. 이 동작에서, 각 선택 방출기는 1μA의 전자들을 방출하기 위해 0.7mA의 정전류에 의해 구동되었다.

정전류 회로 출력을 1mA로 설정하기 위해, 정전류 회로의 각 파라미터는 다음 식 (1)에 따라 결정되었다:

$$Vcc = 10V, \quad R = 5k\Omega, \quad Vs = 5V$$

상술된 바와 같이, 정전류 회로로부터의 출력 전류는 전압 Vs를 변경시킴으로써 쉽게 변경될 수 있다. 따라서, 휘도를 조정하기 위해, 전압 Vs는 디스플레이 패널(1)의 평균 휘도를 변경시키도록 출력 전류 량을 조절하기 위해 변경되었다.

도 4A 내지 도 4G는 각각의 회로들로부터의 실제 출력들의 파형을 도시한 것이다. 도 4A 내지 도 4C에 도시된 신호들과 유사한 휘도 비디오 신호들은 시간이 흐름에 따라 디스플레이 패널의 컬럼 배선층의 단자(D_{y1})에 접속된 해당 구동 라인에 입력된다. 도 4D는 이 경우에 펄스 폭 변조 회로로부터의 출력으로서 전압 구동 펄스(PW1, PW2,...)의 파형을 도시한 것이다. 도 4E는 정전류 회로 출력을 도시한 것이다. 도 4F는 단자(D_{y1})의 실제 전압 변경을 도시한 것이다. 도 4G는 방출 전류 Ie의 상태를 도시한 것이다.

도 4E의 정전류 출력이 도 4D의 전압 펄스에 의해 스위치되고, 단자(D_{y1})의 전압이 모니터되었을 때, 스위치(30)가 오프인 동안에는 전압이 Vbe까지의 정전압으로 설정되었고, 반면 스위치(30)가 온인 동안에는 전류가 선택 방출기 내로 흘러서 (7V까지의) 전압을 발생시켰음을 알 수 있다. 이 때에 도 4G의 방출 전류 Ie가 관측되었을 때, 진폭이 1 μA인 전류가 방출되었음을 알 수 있다. 또한, 정전류 구동 동작의 존속 기간이 비디오 신호 강도에 따라 변경됨으로써, 계조(gradation) 제어를 실행했다.

실시예 1에서, 정전류 회로는 도 3에 도시된 장치를 갖는다. 그러나, 본 발명은 이 회로 구성으로만 한정되는 것이 아니고, 입력 신호에 따라 각각의 표면 도전형 전자 방출기에 제공될 전류를 변조할 수 있는 한 어떤 회로도 사용될 수 있다. 예를 들어, 많은 출력 전류가 요구되면, 트랜지스터 부들은 달링톤 증폭기의 형태로 접속될 수 있거나, 또는 출력들이 전류 미러 구성을 가질 수 있다. 또한, 정전류 다이오드들이 이 전압/전류 변환형 정전류 회로들 대신 사용될 수도 있다.

실시예 1에서는, 스위치, 고속 스위치가 가능한 에미터 팔로워형 스위치 (emitter follower type switch)가 pnp 바이폴라 트랜지스터들로 구성된다. 그러나, 에미터형 스위치는 npn 바이폴라 트랜지스터들로 구성될 수 있다. 대안으로, 많은 전류들이 스위치될 경우에는, 트랜지스터들이 달링톤 증폭기의 형태로 접속될 수 있다.

(디스플레이 패널의 구성 및 그 제조 방법)

이하, 본 발명이 적용된 이미지 디스플레이 장치의 디스플레이 패널의 구성 및 그 제조 방법을 상세히 기술한다.

도 5는 패널의 내부 구조를 도시한 실시예 1에서 사용된 디스플레이 패널의 부분 절단 사시도이다.

도 5를 참조하면, 참조 번호 1005는 배면 플레이트를 나타내고, (1006)은 측벽, (1007)은 정면 플레이트를 나타낸다. 이 부품들은 디스플레이 패널에서 진공도를 유지하기 위한 밀폐된 엔벨로프를 형성한다. 밀폐된 엔벨로프를 구성하기 위해, 각각의 부품들을 밀봉하여 이 접합 부들이 충분한 강도 및 밀폐된 상태를 유지하게 한다. 예를 들어, 용융 글래스를 접합부에 도포하고, 10분 이상 동안 공기중 또는 질소 대기 중에서 400℃ 내지 500℃로 규화됨으로써 부품들을 밀봉시킨다. 밀폐된 엔벨로프를 진공시키는 방법은 이하에 기술될 것이다.

배면 플레이트(1005)는 그 위에 고정된 기판(1001)을 갖는데, 기판(1001) 상에는 N × M개의 표면 도전형 전자 방출기들(1002)이 형성되어 있다(M, N은 목적으로 하는 디스플레이 픽셀 수에 따라 대략적으로 설정된 2 이상의 양수. 예를 들어, 고 선명도 TV 디스플레이용 디스플레이 장치에서는, 양호하게 N = 3,000 이상 또는 M = 1,000 이상이다). 실시예 1에서, N = 3,072이고 M = 1,024이다. N × M개의 표면 도전형 전자 방출기들은 M개의 로우 배선 층들(1003) 및 N개의 컬럼 배선 층들 (1004)의 형태로 배선된다. 이 부품들(1001 내지 1004)로 구성되는 부분을 다중-전자원이라고 한다. 다중-전자원의 제조 방법 및 구조는 이후에 상세히 기술될 것이다.

실시예 1에서, 다중-전자원의 기판(1001)은 밀폐된 엔벨로프의 배면 플레이트(1005)에 고정된다. 그러나, 기판(1001)이 충분한 힘을 가지면, 다중-전자원 자체의 기판(1001)은 밀폐된 엔벨로프의 배면 플레이트로서 사용될 수 있다.

또한, 형광판(1008)는 정면 플레이트(1007)의 하부 면에서 형성된다. 실시예 1이 컬러 디스플레이 장치이기 때문에, 형광판(1008)은 적색, 녹색 및 청색 형광체들, 즉, CRT 분야에서 사용되는 3가지 주요 컬러 형광체들로 코팅되어 있다. 도 6A에 도시된 바와 같이, R, G 및 B 형광체들은 스트라이프 형태로 배열된다. 블랙 도전체(1010)는 형광체의 스트라이프들 사이에 제공된다. 블랙 도전체(1010)를 제공하는 목적은 전자 빔 방출 위치가 약간 시프트되더라도 디스플레이 컬러 오등록 (misregistration)을 방지하고, 외부 광의 반사를 차단함으로써 디스플레이 콘트라스트의 열화를 방지하고, 전자 빔에 의한 형광판의 차지 업(charge-up)을 방지하는데 있다. 블랙 도전체(1010)는 주로 그라파이트로 구성되는데, 상술된 목적을 달성할 수 있는 한 다른 재료가 사용될 수도 있다.

3가지 주요 컬러 형광체들의 배치는 도 6A에 도시된 스트라이프 배치로만 제한되는 것은 아니다. 예를 들면, 도 6B에 도시된 바와 같은 델타 배치 또는 다른 배치들이 사용될 수도 있다.

단색 디스플레이 패널이 형성되고자 할 때, 단색 형광체 재료는 형광판 (1008)용으로 사용될 수 있으므로, 블랙 도전 재료가 항상 사용될 필요는 없다.

또한, CRT 분야에서 잘 알려진 금속 백(1009 : metal back)은 형광판(1008)의 배면 플레이트측 표면에 제공된다. 금속 백(1009)을 제공하는 목적은 형광판 (1008)으로부터 방출된 광의 거울-반사부에 의한 광 이용률을 향상시키고, 음 이온들의 충돌로부터 형광판(1008)을 보호하며, 전자 빔 가속 전압을 인가하기 위한 전극으로서 금속 백(1009)을 사용하고, 형광판(1008)을 여기한 전자들의 도전 경로로서 금속 백(1009)을 사용하기 위한 것이다. 금속 백(1009)은 정면 플레이트(1007)에 형광판(1008)을 형성하고, 형광판의 정면을 평활화하며, 진공 증착으로 Al을 증착함으로써 형성된다. 저 전압용 형광체 재료가 형광판(1008)용으로 사용될 때, 금속 백(1009)은 사용되지 않음에 유의한다.
또한, 가속 전압 인가 또는 형광판의 도전율의 향상을 위해, 예를 들어, ITO로 이루어진 투명 전극들은 정면 플레이트(1007) 및 형광판(1008) 사이에 제공될 수 있다.
참조 부호 D_{x1} 내지 D_{xM}, D_{y1} 내지 D_{yN} 및 H_v는 디스플레이 패널을 전기 회로(도시되지 않음)에 전기적으로 접속시키기 위해 제공된 밀폐된 구조의 전기 접속 단자들을 나타낸다. 단자들(D_{x1} 내지 D_{xM})은 다중-전자원의 로우 배선층(1003)에 전기적으로 접속되고, 단자들(D_{y1} 내지 D_{yN})은 컬럼 배선층(1004)에 전기적으로 접속되며, 단자(H_v)는 정면 플레이트(1007)의 금속 백(1009)에 전기적으로 접속된다.
밀폐된 엔벨로프를 진공시키기 위해, 밀폐된 엔벨로프를 형성한 후에, 배기 파이프 및 진공 펌프(도시되지 않음)를 접속하여, 밀폐된 엔벨로프는 약 10^{-7} 토르의 진공도로 진공된다. 그 후, 진공 파이프는 밀봉된다. 밀폐된 엔벨로프의 진공도 를 유지하기 위해, 게터링 막(도시되지 않음)이 밀봉 직전/직후에 밀폐된 엔벨로프의 선정된 위치에서 형성된다. 게터링 막은 가열 또는 RF 가열에 의해, 예를 들어, 주로 Ba로 구성된 게터링 재료를 가열하여 증발시킴으로써 형성된 막이다. 게터링 막의 흡착 효과로 엔벨로프에서 1×10^{-5} 또는 1×10^{-7} 토르의 진공도가 유지된다.
실시예 1의 디스플레이 패널의 기본 구성 및 제조 방법이 상술되었다.
실시예 1에 따른 디스플레이 패널에서 사용되는 다중-전자원를 제조하는 방법이 이하에 기술될 것이다. 실시예 1의 이미지 디스플레이 장치에서 사용되는 다중-전자원의 제조시, 단일 매트릭스 형태로 배선된 표면 도전형 전자 방출기들을 갖는 전자원을 제조하기 위한 것이기만 하다면, 임의의 표면 도전형 전자 방출기의 재료, 형태 및 제조 방법이 사용될 수도 있다. 그러나, 본 발명가들은 표면 도전형 전자 방출기들 중에서, 전자 방출부 또는 미세 입자 막으로 구성된 주변부를 갖는 방출기가 전자 방출 특성 면에서 우수하고 쉽게 제조될 수 있음을 알게 되었다. 따라서, 이 방출기가 고휘도, 대형 스크린 이미지 디스플레이 장치의 다중-전자원용으로 사용되기에 가장 적합한 방출기이다. 실시예 1의 디스플레이 패널에서, 전자 방출부 또는 미세 입자막으로 구성된 주변부를 각각 갖는 표면 도전형 전자 방출기들이 사용된다. 먼저, 양호한 표면 도전형 전자 방출기의 기본 구조, 제조 방법 및 특성들을 기술하겠고, 그 후 단일 매트릭스로 배선된 다수의 방출기들을 갖는 다중-전자원의 구조에 대해 기술하겠다.
(표면 도전형 전자 방출기에 적합한 구조 및 그 제조 방법)
전자 방출부 또는 미세 입자막으로 구성된 주변부를 갖는 표면 도전형 전자 방출기의 일반적인 구조는 플랫형(flat type) 구조와 스텝형(stepped type) 구조를 포함한다.
(플랫 표면 도전형 전자 방출기)
먼저, 플랫 표면 도전형 전자 방출기의 구조 및 그 제조 방법을 기술하겠다.
도 7A는 플랫 표면 도전형 전자 방출기의 구조를 설명하기 위한 평면도이고, 도 7B는 방출기의 단면도이다. 도 7A 및 도 7B를 참조하면, 참조 번호 1101는 기판을 나타내고, 1102 및 1103은 방출기 전극들을, 1104는 도전 박막을, 1105는 활성화 포밍 처리에 의해 형성된 전자 방출부를, 1113은 활성화 처리에 의해 형성된 박막을 나타낸다.
기판(1101)으로서는 예를 들어 석영 유리 및 소다-라임(soda-lime) 유리로된 다수의 유리 기판들, 예를 들어 알루미나로 된 다수의 세라믹 기판들, 또는 예를 들어 SiO_2로 구성된 절연층을 갖는 임의의 기판들이 사용될 수 있다.
표면과 평행하고 서로 대향되어 있는 기판(1101) 상에 형성된 방출기 전극들 (1102 및 1103)은 도전성 재료로 되어 있다. 예를 들어, Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd 및 Ag와 같은 금속들, 상기 재료들의 합금들, In_2O_3-SnO_2와 같은 금속 산화물, 및 폴리실리콘과 같은 반도체들 중 한 재료가 선택되어 사용될 수 있다. 이 전극들은 진공 증착과 같은 막 형성 기술과 사진 식각 또는 에칭과 같은 패터닝 기 술을 결합하여 쉽게 형성될 수 있는데, 임의의 다른 방법(예를 들어, 인쇄 기술)이 사용될 수도 있다.
전극들(1102 및 1103)의 형태는 전자 방출기의 응용 목적에 따라 적합하게 설계된다. 일반적으로, 이 형태는 수백 Å 내지 수백 ㎛의 범위 내에서 적합한 값을 갖도록 전극들 간의 간격 L을 설정함으로써 설계된다. 디스플레이 장치용으로 가장 양호한 범위는 수 ㎛ 내지 수십 ㎛이다. 전극 두께 d에 있어서, 적합한 값은 일반적으로 수백 Å 내지 수 ㎛의 범위에서 선택된다.
도전 박막(1104)은 미세 입자막으로 이루어진다. '미세 입자막'은 (구성 디바이스로서 섬 형상 집합체를 포함하는) 다수의 미세 입자들을 포함하는 막이다. 미세 입자막을 현미경으로 관찰하면 막 내의 각각의 입자들이 서로로부터 이격되어 있거나, 서로 인접해 있거나 서로 중첩되어 있음을 알 수 있다.
하나의 입자는 수 Å 내지 수천 Å의 범위 내의 직경을 갖는다. 이 직경은 10Å 내지 200Å의 범위 내에 있는 것이 바람직하다. 이 막의 두께는 다음 조건들을 고려하여 적합하게 설정된다. 방출기 전극들(1102 및 1103)에 전기적인 접속이 되기 위해 필요한 조건, 활성화 포밍 처리 조건, 적합한 값으로 미세 입자막 자체의 전기 저항을 설정하기 위한 조건 등. 이 조건들에 대해서 이하 기술될 것이다. 특히, 막의 두께는 수 Å 내지 수천 Å의 범위, 보다 양호하게는 10 Å 내지 500Å의 범위 내에서 선정된다.
예를 들어, 이 미세 입자막을 형성하는데 사용되는 재료들은 Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W 및 Pb와 같은 금속들, PdO, SnO_2, In_2O_3, PbO 및 Sb_2O_3과 같은 산화물, HfB_2, ZrB_2, LaB_6, CeB_6, YB_4 및 GdB_4와 같은 붕화물, TiC, ZrC, HfC, TaC, SiC 및 WC와 같은 탄화물, TiN, ZrN 및 HfN과 같은 질화물, Si 및 Ge와 같은 반도체들, 및 탄소이다. 적합한 재료는 이 재료들 중에서 선택된다.

상술된 바와 같이, 도전 박막(1104)은 미세 입자막을 사용하여 형성되고, 막의 시트 저항은 10^{3} 내지 10^{7} Ω/sq의 범위 내에 속하도록 설정된다.
도전 박막(1104)은 방출기 전극들(1102 및 1103)에 전기적으로 우수한 상태로 접속되는 것이 양호하기 때문에, 그들은 서로 부분적으로 중첩되도록 배치된다. 도 7A 및 도 7B를 참조하면, 이 각각의 부품들은 하부로부터, 기판, 방출기 전극들 및 도전 박막의 순서로 적층된다. 이 중첩 순서는 하부로부터 기판, 도전 박막 및 방출기 전극들의 순서일 수 있다.
전자 방출부(1105)는 도전 박막(1104)의 한 부분에 형성된 균열부(fissure portion)이다. 전자 방출부(1105)는 주변 도전 박막보다 높은 저항을 갖는다. 균열부는 도전 박막(1104) 상에 활성화 포밍 처리에 의해 형성되는데, 활성화 포밍 처리에 대해서는 후에 기술될 것이다. 몇몇 경우에, 수 Å 내지 수백 Å의 직경을 갖는 입자들이 균열부 내에서 배치된다. 전자 방출부의 실제 위치 및 형태를 정확하게 도시하는 것이 어렵기 때문에, 도 7A 및 도 7B는 균열부를 개략적으로 도시하고 있다.
탄소 또는 탄소 합성 물질로 구성된 박막(1113)은 전자 방출부(1105) 및 주변부를 피복한다. 박막(1113)은 활성화 포밍 처리 후에 활성화 처리에 의해 형성되는데, 활성화 프로세스는 후에 기술될 것이다.
박막(1113)은 양호하게 단결정 그래파이트, 다결정 그래파이트, 비결정 탄소, 또는 그 혼합물로 이루어지고, 그 두께는 500 Å 이하이고, 보다 양호하게는 300 Å 이하이다.
박막(1113)의 실제 위치 또는 형태를 정확하게 도시하는 것이 어렵기 때문에, 도 7A 및 도 7B는 박막을 개략적으로 도시하고 있다. 도 7A는 박막(1113)의 일부가 제거된 방출기를 도시한 평면도이다.
바람직한 기본 방출기 구조가 상술된다. 실시예 1에서는, 다음의 방출기가 사용되고 있다.
즉, 기판(1101)은 소다-라임 유리로 구성되고, 방출기 전극들(1102 및 1103)은 Ni 박막으로 구성된다. 방출기 전극들의 두께 d는 1,000 Å이고 전극 간격 L은 2㎛이다.
미세 입자막의 주 재료로서 Pd 또는 PdO가 사용된다. 미세 입자막의 두께 및 폭 W은 각각 약 100 Å 및 100㎛로 설정된다.
양호한 플랫 표면 도전형 전자 방출기를 이하에 기술하겠다.
도 8A 내지 도 8E는 표면 도전형 전자 방출기의 제조 공정을 설명하기 위한 단면도이다. 도 7A와 동일한 구성 요소들은 동일한 참조 번호들로 기재되어 있음을 유의한다.
1) 먼저, 도 8A에 도시된 바와 같이, 방출기 전극들(1102 및 1103)은 기판 (1101) 상에 형성된다.
이 전극들의 형성시에, 기판(1101)은 세정제, 순수한 물, 및 유기 용매로 충분히 정화되고, 방출기 전극들의 재료는 기판(1101) 상에 피착된다. (피착 방법으로서는 증착이나 스퍼터링 등의 진공 막 형성 기술이 사용될 수 있다.) 그 후, 피착한 전극 재료를, 포토리소그래픽 에칭 기술을 사용하여 패터닝한다. 이에 따라, 도 8A의 한 쌍의 방출기 전극(1102 및 1103)을 형성된다.
2) 다음에, 도 8B에 도시한 바와 같이, 도전성 박막(1104)을 형성한다. 도전성 박막을 형성함에 있어서는 먼저 기판에 유기 금속용액을 도포하고, 이 도포된 용액을 건조하고, 가열 소성 처리하여 미립자막을 형성한다. 그 후, 포토리소그래픽 에칭에 의해 소정의 형상으로 미립자막을 패터닝한다. 여기서, 유기 금속 용액으로는 도전성 박막에 사용하는 미립자의 재료를 주요 원소로 하는 유기 금속화합물의 용액이다. (구체적으로는, 실시예 1에서는 주요 원소로서 Pd를 사용하였다. 또한, 실시예 1에서 유기 금속 용액의 도포는 디핑법을 사용하였으나, 스피너 방법이나 스프레이 방법을 사용하여도 좋다.)
또한, 미립자막으로 만들어진 도전성 박막을 형성하는 방법으로서는 실시예 1에서 사용한 유기 금속 용액의 도포에 의한 방법 이외에, 예를 들면 진공 증착법이나 스퍼터법, 또는 화학 기상 증착법 등을 이용할 수도 있다.
3) 도 8C에 도시한 바와 같이, 활성화 포밍 처리용 전원(1110)으로부터 방출기 전극(1102 및 1103)간에 적합한 전압을 인가하여, 활성화 포밍 처리를 행하여, 전자 방출부(1105)를 형성한다.
활성화 포밍 처리로는 미립자막으로 된 도전성 박막(1104)에 전기적 활성화를 행하여, 그 일부를 적절하게 파괴, 변형, 또는 변질시켜, 그 막을 전자 방출을 행하는 데에 적합한 구조로 변화시킨다. 도전성 박막에서, 전자 방출에 적합한 구조로 변화한 부분(즉, 전자 방출부(1105))은 박막에 적당한 균열을 갖는다. 전자 방출부(1105)를 갖는 박막을 활성화 포밍 처리 전의 박막과 비교하면, 방출부 전극 (1102) 와 (1103) 간에 계측된 전기 저항은 대폭 증가한다.
전기적 활성화 방법을 보다 상세히 설명하기 위해서, 도 9에 전원(1110)으로부터 인가하는 적합한 전압 파형의 일예를 도시하였다. 미립자 막으로 된 도전성 박막을 형성하는 경우에는 펄스상의 전압이 바람직하며, 실시예 1에서 도 9에 도시한 바와 같이, 펄스 폭(T1)의 삼각 펄스가 연속하여 펄스 간격(T2)로 인가된다. 이 경우 삼각파 펄스의 첨두값(Vpf)를 순차 승압하였다. 또한, 전자 방출부(1105)의 형성된 상태를 모니터하기 위하여 모니터 펄스(Pm)을 적당한 간격으로 삼각파 펄스 사이에 삽입하여, 모니터 펄스 삽입 시 흐르는 전류를 전류계(1111)로 계측하였다.
실시예 1에 있어서는 예를 들면 10^{-5} Torr의 진공 분위기 하에서, 펄스 폭 (T1)을 1ms, 펄스 간격(T2)를 10ms로 설정하였다. 첨두치(Vpf)를 1펄스 마다 0.1V씩 승압하였다. 삼각파를 5펄스 인가할 때마다 하나의 모니터 펄스(Pm)를 삽입하였다. 활성화 포밍 처리에 악영향을 미치지 않도록, 모니터 펄스(Pm)의 전압(Vpm)은 0.1V로 설정하였다. 그리고, 방출기 전극(1101)와 (1103) 사이의 전기 저항이 1×10^{6} Ω, 즉 모니터 펄스 인가시에 전류계(111)로 계측되는 전류가 1×10^{-7} A 이하로 된 경우, 포밍 처리를 위한 활성화를 종료하였다.
상기의 방법은 실시예 1의 표면 도전형 전자 방출기에 대한 바람직한 것임에 유념한다. 예를 들면 미립자막의 재료나 막 두께, 또는 방출기 전극 간격(L) 등 표면 도전형 전자 방출기의 설계를 변경한 경우에는 방출기 설계 변경에 따라 활성화 조건을 변경하는 것이 바람직하다.
4) 도 8D에 도시한 바와 같이, 활성용 전원(1112)으로부터 방출기 전극 (1102, 1103)의 사이에 적당한 전압을 인가하고, 활성화 처리를 행하여, 전자 방출 특성을 개선한다.

여기서 활성화 처리로는 상기 활성화 포밍 처리에 의해 형성된 전자 방출부 (1105)의 활성화를 적합한 조건에서 행하여, 전자 방출부(1105) 근방에 탄소 또는 탄소 화합물을 피착시켜 처리하는 것이다. (도 8D에 있어서는 재료(1113)로서 탄소 또는 탄소 화합물로 된 피착물을 도시하였다.) 전자 방출부를 활성화 처리 전의 방출부와 비교하여, 동일한 인가 전압에서의 방출 전류는 전형적으로 100배 이상으로 증가시킬 수 있다.

활성화 처리는 10^{-4} 내지 10^{-5} Torr의 범위 내의 진공 분위기 에서, 전압 펄스를 주기적으로 인가함으로써, 진공 분위기 중에 존재하는 유기 화합물을 기원으로 하는 탄소 또는 탄소 화합물을 피착시킨다. 피착물(1113)은 단결정 그래파이트, 다결정 그래파이트, 비정질 카본, 및 그 혼합물이며, 막 두께는 500 Å이하, 보다 바람직하게는 300 Å이하이다.

활성화 방법을 보다 상세히 설명하기 위해서, 도 10A에, 활성화용 전원 (1112)로부터 인가하는 적당한 전압 파형의 일예를 도시하였다. 이 경우 일정 사각 전압을 주기적으로 인가하여 활성화 처리를 행하였으나, 구체적으로는 사각 전압 (Vac)은 14[V], 펄스 폭(T3)은 1ms, 펄스 간격(T4)는 10ms로 하였다. 또한, 상술한 활성화 조건은 실시예 1의 표면 도전형 전자 방출기에 대해 바람직한 조건이며, 표면 도전형 전자 방출기의 설계를 변경한 경우에는 그에 응하여 조건을 적당하게 변경하는 것이 바람직하다.

도 9D에서, 1114는 표면 도전형 전자 방출기로부터 방출되는 방출 전류(Ie)를 취하도록 된 것으로서, DC 고전압 전원(1115) 및 전류계(1116)가 접속된 애노드 전극을 나타낸다. (또한, 활성화 처리 전에 기판(1101)을 표시 패널에 조립하고, 디스플레이 패널의 형광면을 애노드 전극(1114)으로서 이용함에 유념한다.)

활성화용 전원(1112)으로부터 전압을 인가할 동안, 전류계(1116)로 방출 전류 Ie를 계측하여 활성화 처리의 진행 상황을 모니터하여, 활성화용 전원(1112)의 동작을 제어한다. 전류계(1116)에서 계측된 방출 전류(Ie)의 일예를 도 10B에 도시하였으나, 활성용 전원(1112)으로부터의 펄스 전압을 인가하기 시작하면, 시간의 경과와 함께 방출 전류(Ie)는 증가하나, 점차적으로 포화에 이르러 포화된 후에는 거의 증가하지 않는다. 거의 포화한 시점에서 활성화용 전원(1112)으로부터의 전압 인가를 정지하고, 활성화 처리를 종료한다.

또한, 상술한 활성화 조건은 실시예 1의 표면 도전형 전자 방출기에 대해 바 람직한 조건이며, 표면 도전형 전자 방출기의 설계를 변경한 경우에는 그에 응하여 조건을 적당히 변경하는 것이 바람직하다.

도 8E에 도시한 평면형의 표면 도전형 전자 방출기를 상기한 방식으로 제조하였다.

(수직형 표면 도전형 전자 방출기)

전자 방출부 또는 그 주변부를 미립자막으로 형성한 표면 도전형 전자 방출기 중 또 다른 전형적인 구성, 즉 수직형의 표면 도전형 전자 방출기의 구성에 관해서 다음에 설명한다.

도 11은 수직형의 기본 구성을 설명하기 위한 단면도이며, 도 11에서 1201은 기판, 1202 및 1203은 방출기 전극, 1206은 단차 형성 부재, 1204는 미립자막을 사용한 도전성 박막, 1205는 활성화 포밍 처리에 의해 형성한 전자 방출부, 1213은 통전 활성화 처리에 의해 형성한 박막이다.

수직형이 먼저 설명한 평면형과 다른 점은 방출기 전극 중 방출기 전극 (1202)이 단차 형성 부재(1206) 상에 설치되어 있고, 도전성 박막(1204)이 단차 형상 부재(1206)의 측면을 피복하고 있다는 점이다. 상기 도 7A 및 도 7B의 평면도에서 방출기 전극 간격(L)은 수직형에 있어서는 단차 형성 부재(1206)의 단차 높이 (Ls)로서 설정된다. 기판(1201), 방출기 전극(1202 및 1203), 미립자막을 사용한 도전성 박막(1204)에 대해서는 상기 평면형의 설명 중에 열거한 재료와 동일한 재료를 사용할 수 있음에 유의한다. 단차 형성 부재(1206)로는 SiO_2 와 같은 전기적으 로 절연성의 재료를 사용한다.

수직형의 표면 도전형 전자 방출기의 제조 방법에 관하여 설명한다. 도 12A 내지 F는 제조 공정을 설명하기 위한 단면도로, 각 부재의 표기는 상기 도 11과 동일하다.

1) 도 12A에 도시한 바와 같이, 기판(1201) 상에 방출기 전극(1203)을 형성한다.

2) 도 12B에 도시한 바와 같이, 상기 결과물 상에 단차 형성 부재를 형성하기 위해 절연층을 적층한다. 절연층은 예를 들면 SiO_2 를 스퍼터링 방법으로 적층하면 좋으나, 예를 들면 진공 증착 방법이나 인쇄법 등의 다른 막 형성 방법을 사용하여도 좋다.

3) 도 12C에 도시한 바와 같이, 절연층 상에 방출기 전극(1202)를 형성한다.

4) 도 12D에 도시한 바와 같이, 절연층의 일부를 예를 들면 에칭 방법을 사용하여 제거하여, 방출기 전극(1203)을 노출시킨다.

5) 도 12E에 도시한 바와 같이, 미립자 막을 사용한 도전성 박막(1204)을 형성한다. 이 막은 상기 평면형의 경우와 동일하게, 예를 들면 도포 방법 등의 막형성 기술을 사용하여 형성될 수 있다.

6) 상기 평면형의 경우와 동일하게, 활성화 포밍 처리를 행하여, 전자 방출부를 형성한다. (도 8C를 참조하여 설명한 평면형의 활성화 포밍 처리와 동일한 처리를 행하면 좋다.).

7) 상기 평면형의 경우와 동일하게, 활성화 처리를 행하여, 전자 방출부 근방에 탄소 또는 탄소 화합물을 피착시킨다. (도 8D를 참조하여 설명한 평면형의 활성화 처리와 동일한 처리를 행하면 좋다.)

이상와 같이 하여, 도 12F에 도시한 수직형 표면 도전형 전자 방출기를 제조하였다.

(디스플레이 장치에 이용한 표면 도전형 전자 방출기의 특성)

이상, 평면형과 수직형의 표면 도전형 전자 방출기에 관하여 구성과 제조 방법을 설명하였으나, 다음에 디스플레이 장치에 이용한 방출기의 특성에 관하여 설명한다.

도 13에, 디스플레이 장치에 이용한 방출기의 (방출 전류 Ie) 대 (방출기 인가 전압 Vf) 특성, 및 (방출기 전류 If) 대 (방출기 인가 전압 Vf) 특성의 전형적인 예를 도시하였다. 방출기 전류 Ie는 방출기 전류 If에 비하여 현저히 작으며, 방출기 전류 If 경우와 동일한 측정으로 방출기 전류 Ie를 도시하는 것이 곤란하다. 더욱이, 이들의 특성은 방출기의 크기나 형상 등의 설계 파라미터를 변경할때 변화하기 것이기 때문에, 도 13에서 2개의 곡선은 각각 임의 단위로 도

시하였다.
디스플레이 장치에 이용한 방출기는 방출 전류 Ie에 관하여 다음의 3가지 특성을 갖고 있다.
첫째, 소정의 전압(이것을 임계 전압(Vth)라 함) 이상의 전압을 방출기에 인가하면 급격하게 방출 전류(Ie)가 증가하나, 한편으로는 임계 전압(Vth) 미만의 전압에서는 방출 전류(Ie)는 거의 검출되지 않는다.
즉, 방출기는 방출 전류(Ie)에 관하여, 명확한 임계 전압(Vth)을 나타내는 비선형 특성을 갖는다.
두번째, 방출 전류(Ie)는 방출기에 인가된 전압(Vf)에 따라 변한다. 따라서, 방출 전류(Ie)의 크기는 전압(Vf)을 변경함으로써 제어될 수 있다.
세번째, 방출 전류(Ie)는 방출기에 방출기 전압(Vf)의 인가에 응답하여 신혹하게 출력된다. 따라서, 방출기로부터 방출될 전자의 전하량은 방출기 전압(Vf)의 인가 기간을 변경함으로써 제어될 수 있다.
상기 3가지 특성을 갖는 표면 도전형 전자 방출기는 디스플레이 장치에 편리하게 적용된다. 예를 들어, 디스플레이 스크린의 픽셀에 대응하여 배치된 다수의 방출기를 갖는 디스플레이 장치에서, 제1 특성이 사용되면, 디스플레이 동작은 디스플레이 스크린을 순차적으로 주사함으로써 수행될 수 있다. 이것은 임계 전압 Vth와 같거나 높은 전압이 구동된 방출기에 적절히 인가되고, 임계 전압 Vth보다 낮은 전압이 선택되지 않은 방출기에 인가된다는 것을 의미한다. 이 방식으로, 구동된 방출기를 순차적으로 변경시키면, 디스플레이 스크린의 순차적 주사에 의한 디스플레이가 가능하다.
또한, 방출 휘도가 제2 또는 제3 특성을 이용하여 제어될 수 있다. 그러므로 계조 디스플레이가 실현될 수 있다.
(단순 매트릭스로 배선된 많은 방출기를 갖는 다중-전자원의 구조)
기판 상에 배열되고 단순 매트릭스로 배선된 상기 표면 도전형 전자 방출기들을 갖는 다중-전자 빔원의 구조가 다음에 설명된다.
도 14는 도 5의 디스플레이 패널에 사용되는 다중-전자원을 도시한 평면도이다. 도 7A 및 도 7B에 도시한 것과 각각 동일한 방출기는 기판 상에 배열되고 단순 매트릭스로 배선될 로우 및 컬럼 배선층(1003 및 1004)에 접속된다. 절연층(도시 안됨)은 배선층을 서로 전기적으로 절연시키기 위해 로우 배선층과 컬럼 배선층 사이의 각 교점의 전극들 사이에 형성된다.
도 15는 도 14의 선 A-A'를 따라 절취한 단면도이다.
상기 구조를 갖는 다중-전자원은 로우 배선층(1003), 컬럼 배선층(1004), 로우 배선층과 컬럼 배선층 사이의 절연층(도시 안됨), 표면 도전형 전자 방출기의 에미터 전극, 및 기판 상의 도전성 박막을 미리 형성함으로써 제조되고, 각각의 방출기는 활성화 형성 공정 및 활성화 공정을 수행하기 위해 로우 및 컬럼 배선층 (1003 및 1004)을 통해 활성화된다.
<실시예 2>
본 발명의 실시예 2가 도 16과 도 17A 내지 도 17G를 참조하여 다음에 설명된다.
실시예 2의 표면 도전형 전자 방출기 및 패널 구조는 실시예 1의 것들과 동일하고, 구동 회로도 또한 도 2에 도시한 것과 동일하다. 이 때문에, 실시예 2의 주요 특징인 스위치(30)의 구성이 도 16을 참조하여 이후 설명된다.
실시예 2에서, 각각의 증진형 nMOS 트랜지스터의 소스가 접지된다. 각각의 nMOS 트랜지스터의 드레인은 대응하는 정전류 출력에 접속되고, 각각의 트랜지스터의 소스는 0V로 설정된다. 각각의 트랜지스터의 게이트는 펄스 폭 변조 회로 출력 의 대응하는 전압 펄스(PW1, PW1, …)에 접속된다.
이 때, 게이트 전위는 부하 전류를 스위치하도록 각각의 MOS 트랜지스터를 턴 온/오프시키도록 변화되어, 정전류 구동 모드와 정전압 구동 모드를 스위칭한다.
도 17A 내지 도 17G는 각각의 회로로부터의 실제 출력의 파형을 도시한 것이다. 도 17A 내지 도 17C에 도시한 것들과 같은 휘도 비디오 신호는 시간에 따라, 디스플레이 패널(1)의 컬럼 배선층의 단자 D_{y1} 에 접속된 해당 구동 라인에 입력된다. 도 17D는 이 경우의 펄스 크기 변조 회로로부터의 출력으로서 전압 구동 펄스 (PW1, PW2)의 파형을 도시한 것이다. 도 17E는 정전류 회로 출력을 도시한 것이다. 도 17F는 단자 D_{y1} 에서의 실제 전압 변화를 도시한 것이다. 도 17G는 방출 전류 Ie의 상태를 도시한 것이다.
소스 접지형 스위치에서, 게이트 전위 및 출력은 반대 극성 방향으로 변화하기 때문에, 전압 펄스는 실시예 1의 것과는 반대 극성을 갖는다. 소스 접지형 스위치에서, 각각의 스위치가 턴 온될 때, 드레인 전위는 소스 전위와 거의 동일하다. 즉, 도 17F의 단자 D_{y1} 이 모니터될 때, 전압은 스위치의 OFF 상태에서 정전압 = 0으로 설정되고, 스위치 ON 상태에서 전류는 정전류 구동시에 선택된 방출기 내로 흐르고, 전압(7 V)이 발생된다는 것이 판명되었다. 이 때, 방출 전류 Ie가 관찰될 때, 전류 방출은 1 μA의 진폭으로 일어난다는 것이 판명되었다.
각각의 바이폴라 트랜지스터의 에미터가 접지되는 스위치에 비해, nMOS 소스 접지형 스위치는 트랜지스터의 베이스 전하 누적 효과가 스위칭 동작시에 일어나지 않기 때문에 고속 스위칭 동작을 수행할 수 있다.
<실시예 3>
본 발명의 실시예 3은 도 18, 도 19, 및 도 20A 내지 도 20G를 참조하여 다음에 설명된다. 실시예 3의 표면 도전형 전자 방출기 및 패널 구조는 실시예 1의 것들과 동일하다. 이 때문에, 본 발명의 주요 특징은 이미지 디스플레이 장치의 구동 방법 및 구동 회로만이 이후 설명된다.
도 18을 참조하면, 참조 번호 1은 실시예 1의 것과 동일한 디스플레이 패널을 표시한다. 주사 회로(2), 타이밍 신호 발생 회로(4), 디코더(3), S/H 회로(5) 등은 실시예 1의 것들과 동일하다.
참조 번호 8은 S/P 변환 회로(6)으로부터의 출력 데이터에 대응하는 진폭을 갖는 전압 신호를 발생시키기 위한 펄스 크기 변조 회로를 표시하고, 참조 번호 17은 입력 전압에 대응하는 전류 신호를 발생시키기 위한 정전류 회로를 표시한다. 정전류 회로(17)은 전압/전류 변환 회로(V/I 변환 회로)를 포함한다. 실시예 3은 정전류와 정전압 사이의 정전류 회로(17)로부터의 각 전류 출력을 스위칭하기 위한 스위치(30)를 또한 갖는다.

실시예 3에서, 계조 제어는, 출력 크기가 비디오 신호의 세기에 따라 변화하는 선정된 전압값을 갖는 펄스를 발생시킴으로써 수행된다. 비디오 신호 세기가 그 피크에 도달할 때, 1μA의 전류가 방출된다고 가정한다. 이 경우에, 실시예 1에 따르면, 구동 동작이 1mA의 피크값을 갖는 전류 펄스로 수행될 때, 선택된 방출기는 0.7 mA의 정전류에 의해 구동되고, 1μA의 전자 방출이 일어나는 것으로 알려졌다.

정전류 회로의 회로 상수가 Vcc = 10 V이고 R = 5 kΩ이면, 펄스 크기 변조 회로는 출력 전압 Vs = 5V를 발생시킬 수 있다. 디스플레이 패널의 계조 제어는 펄스 크기 변조 회로로부터의 출력 전압(AM1, AM2, …)를 이 방식으로 비디오 신호 세기에 따라 변조시킴으로써 수행된다.

실시예 3에서 사용된 스위치(30)가 다음에 설명된다. 도 19에 도시한 바와 같이, 실시예 3은 스위치 디바이스로서 다이오드(36)를 사용한다. 각 다이오드의 양극(A)은 전류 신호 출력에 접속되고, 음극 전위는 Vcc와 0V 사이의 구동 펄스에 의해 구동되어, 정전류 구동 모드와 정전압 구동 모드를 스위칭한다. 특히, 음극 전압이 0V일 때, 다이오드는 구동 라인을 정전위로 유지하도록 턴 온된다. 이와 대조적으로, 음극 전위가 Vcc로 설정될 때, 다이오드는 정전류 구동 모드를 설정하도록 턴 오프된다.

실시예 3에서, 계조 제어는 크기가 비디오 신호의 세기에 따라 변화하는 선정된 폭을 갖는 펄스를 발생시킴으로써 수행되기 때문에, 컬럼 배선층의 단자 D_{y1} 및 D_{yn} 각각을 구동시키기 위한 전류는 비디오 신호에 따라 변화한다. 이 때문에, 진폭 변조 회로의 출력은 비디오 신호의 수평 동기 신호 HSYNC와 동기하여 변화되어야 한다. 이 때, 구동 전류의 진폭이 또한 변화한다. 그러나, 진폭이 변화하기 전후에 불안정할 때, 정전류 구동 모드는 방출기를 구동시키지 않도록 구동 펄스에 응답하여 정전압 구동 모드로 스위치된다. 이 동작은 비정상적인 전압이 방출기에 인가되는 것을 방지한다. 이 목적을 위해, 타이밍 발생 회로는 선정된 폭을 갖고 수평 동기 신호 HSYNC와 동기하는 펄스 신호를 발생시켜, 설정된 전류가 변화하는 동안 구동 라인은 비정상적인 턴 온 동작을 방지하도록 정전압 구동 모드로 설정된다.

도 20A 내지 도 20G는 각각의 회로로부터의 실제 출력의 파형을 도시한 것이다. 도 20A 내지 도 20C에 도시한 것들과 유사한 휘도 비디오 신호는, 시간에 따라 디스플레이 패널(1)의 컬럼 배선층의 단자 D_{y1} 에 접속된 해당 구동 라인에 입력된다. 도 20D는 이 경우에 펄스 크기 변조 회로로부터 출력으로서 구동 펄스(AW1, AW2, …)의 파형을 도시한 것이다. 도 20E는 수평 동기 신호와 동기하는 구동 펄스를 도시한 것이다. 도 20F는 단자 D_{y1} 에서의 실제 전압 변화를 도시한 것이다. 도 20G는 방출 전류 Ie의 상태를 도시한 것이다.

스위칭 동작은 도 20E의 구동 펄스와 동기하여 수행된다. 단자 D_{y1} 의 전압이 모니터될 때, Vf(순방향 전압 강하량)까지의 정전압이 다이오드(36)가 ON인 동안에 설정되고, 반면에 다이오드(36)가 OFF인 동안에는 7V까지의 전압을 발생시키기 위해 전류를 선택된 방출기로 흐르게 하도록 정전류 구동 모드가 설정되는 것이 판명되었다. 이 때, 도 20G의 방출 전류 Ie가 관찰되었을 때, 비디오 신호 세기가 그 피크에 도달할 때, 전류 방출은 1 μA의 진폭으로 발생하고, 방출기 전류량은 휘도 데이터에 따라 변조되는 것이 판명되었다.

<실시예 4>

실시예 4에서, 전자를 방출하지 않는 방출기에서 접속된 컬럼 배선층의 전위는 실시예 1 내지 3의 것들과 다른 회로에 의해 고정된다. 또한, 전자를 방출하는 방출기에 접속된 컬럼 배선층의 전위는 주사되지 않는 로우 배선층의 전위와 거의 동일하게 설정된다.

다중-전자원의 구동 방법 및 이를 이용하는 이미지 디스플레이 장치는 예를 들어, 도 21에 도시한 것과 같이 다음의 구조를 갖는다.

이 장치는 각각의 표면 도전형 전자 방출기(1002)의 한쌍의 방출기 전극이 로우 및 컬럼 배선층에 배선된 단순 매트릭스 구조를 갖는 다중-전자원(1), 및 구동 신호에 기초하여 선정된 변조를 수행함으로써 전류 신호를 발생시키고, 다중-전자원(1)을 구동시키는 구동 유닛을 포함한다. 선택된 로우 배선층은 전위 Vs로 고정되고, 주사 신호가 인가되지 않는 각각의 로우 배선층은 전위 Vns로 고정된다. 또한, 주사 신호가 인가되나, 전자를 방출하지 않는 선택된 배선층 상에 있는 방출기에 대한 변조 신호가 인가되는 각각의 컬럼 배선층에의 구동 전압은 전위 Vg로 고정된다. 정전류 회로(17')로 하여금 정전류 Iout를 출력하기 위해서, 전위 Ve에 근접한 전위는 전자를 방출시키는 방출기에 대한 변조 신호가 인가되는 컬럼 배선층에 인가된다. 이 경우에, 전위 Ve와 Vns 사이의 차는 원하는 전자 방출양이 방출기로부터 얻어질 수 있는 전위차이다. 전위 Vns와 Vg 사이의 차와 전위 Vg와 Vs 사이의 차 둘다는 전자 방출이 일어나는 임계값보다 작게 설정된다. 또한, 전위 Vns와 Ve는 서로 동일하게 설정된다.

이 구성에 따르면, 전위 Ve-Vs에 근접한 전위는 선택된 방출기가 접속되는 컬럼 배선층에 접속된 방출기 중에서, 주사 신호가 인가되는 로우 배선층 상의 선택된 방출기 각각에 인가되고, 거의 0V의 전압이 선택되지 않은 방출기의 각각에, 즉 주사 신호가 인가되지 않는 배선층 상의 방출기에 인가된다. 결과적으로, 표면 도전형 전자 방출기를 구동시키기 위해 컬럼 배선층으로 주입된 모든 전류는 전자를 방출할 방출기들에 흐르고, 나머지 방출기들로 분기되지 않는다. 그러므로 각각의 방출기는 반선택된 상태에서의 전류의 총합 Ifn을 고려하지 않고서 정전류로 구동될 수 있고, 배선 저항에 의해 발생되는 불균일한 전자 방출 분포가 간단한 회로에 의해 보상될 수 있다. 이것은 이 실시예의 장점들 중의 하나이다.

실시예 4에 따른 이미지 디스플레이 장치의 구동 방법이 다음에 설명된다.

표면 도전형 전자 방출기를 포함하는 이미지 디스플레이 장치의 구성이 도 22를 참조하여 먼저 설명된다.

도 22를 참조하면, 참조 번호 101은 단자 D_{x1} 내지 D_{xm} 및 D_{y1} 내지 D_{yn} 을 통해 외부 전기 회로에 접속된 디스플레이 패널을 표시한다. 면판의 고전압 단자는 방출 전자(도시 안됨)를 가속시키기 위해서 외부 고전압원 Va에 접속된다. 상기 패널 내의 다중-전자원, 즉, 로우 단위로 m(로우) × n(컬럼) 매트릭스의 형태로 배선된 표면 도전형 전자 방출기를 순차적으로 구동시키기 위한 주사 신호는 단자 D_{x1} 내지 D_{xm} 각각에 인가된다.

그런데, 주사 신호에 의해 선택된 로우 상의 각각의 표면 도전형 전자 방출기로부터의 출력 전자 빔을 제어하기 위한 변조 신호가 단자 D_{x1} 내지 D_{xm} 각각에 인 가된다.

주사 회로(102)가 다음에 설명된다. 이 회로는 m개의 스위칭 디바이스를 포함한다. 각각의 스위칭 디바이스는 DC 전압원(도시 안됨)으로부터 2개의 출력 전압 Vs와 Vns 중 하나를 선택하고, 디스플레이 패널(101)의 단자 D_{x1} 내지 D_{xm} 중의 하나에 전기적으로 접속된다. 각각의 스위칭 디바이스는 (이후에 설명될) 타이밍 발생 회로로부터 출력된 제어 신호 Tscan에 기초하여 동작한다. 실제적으로, 예를 들어, FET와 같은 스위칭 디바이스의 조합으로, 각각의 스위칭 디바이스는 도 23에 도시한 것과 같은 푸시-풀 구조에 의해 용이하게 실현될 수 있다. 도 24에 도시한 바와 같이 출력 D_{xm} 은 제어 신호 Tscan으로부터 발생되고 각각의 로우 배선층에 대응하는 타이밍 신호 Txm에 동기하여 2개의 값, 즉 전위 Vs보다 Vns 사이에서 스위치된다.

상기 DC 전원 전압 Vs는 상기 설명된 도 13의 표면 도전형 전자 방출기의 특성(8V의 전자 방출 임계 전압)에 기초하여 -7V로 설정된다(열 배선층에 공급될 전류가 0.5mA 내지 1mA이면, 대응하는 인가된 전압은 약 7.5V 내지 8V이다).

그러므로, 전압 Vns = 7.5V가 각각의 선택되지 않은 로우 배선층에 인가된다. 이 동작으로, 각각의 선택되지 않은 방출기에 인가된 구동 전압은 전자 방출 임계 전압보다 낮아진다.

입력 이미지 신호의 흐름이 다음에 설명된다. 입력 복합 이미지 신호는 디코더에 의해 삼원색의 휘도 신호와 수평 및 수직 동기 신호(HSYNC 및 YSYNC)로 분리된다. 타이밍 신호 발생 회로(104)는 수평 및 수직 동기 신호 HSYNC 및 VSYNC와 동 기하는 다양한 타이밍 신호를 발생시킨다. R, G, 및 B 휘도 신호는 적절한 타이밍으로 S/H 회로 등에 의해 샘플된다. 홀드된 신호는 이미지 형성 패널의 각각의 형광체의 배열에 대응하는 순서로 배열된, 로우 단위로, 시프트 레지스터(106)에 의해 병렬 이미지 신호로 변환된다. 병렬 이미지 신호는 다음에 래치 회로(105)내에 저장된다. 이 신호는 펄스 폭 변조 회로에 의해 이미지 신호 세기에 대응하는 펄스 폭을 갖는 펄스 신호로 변환된다. 효율 보정 회로(108)는 펄스 높이가 각각의 방출기의 방출 전류량/공급 전류량 효율의 변화를 반영하는 구동 펄스를 발생시킨다. 각각의 구동 펄스는 전압/전류 변환 회로(112)에 의해 전압양에서 전류량으로 변환된다. 이미지를 형성하는데 있어서, 각각의 전류 출력은 디스플레이 패널의 단자 D_{y1} 내지 D_{yn} 중의 하나를 통해 디스플레이 패널(101) 내의 대응하는 표면 도전형 전자 방출기에 공급된다. 전류 출력 펄스가 공급되는 패널에서, 주사 회로(102)에 의해 선택된 로우에 접속된 표면 도전형 전자 방출기만이 공급된 펄스 신호의 펄스 폭에 대응하는 시간 주기 동안 전자를 방출하여, 대응하는 형광체로 하여금 광을 방출하게 한다. 주사 회로(102)가 선택된 로우를 순차적으로 주사할 때, 2차원 이미지가 형성된다.

전압/전류 변환 회로(112)가 다음에 설명된다. 전압/전류 변환 회로(112)는 입력 전압 신호의 진폭에 따라 각각의 표면 도전형 전자 방출기로 흐르는 전류를 제어하기 위한 회로이다. 전압/전류 변환 회로(112)는 컬럼 배선층과 수가 동일하 고 입력 신호용으로 사용되는 전압/전류 변화기(도 25)를 갖는다. 전압/전류 변환기의 출력은 디스플레이 패널의 단자 D_{y1}, D_{y2}, D_{y3}, …, D_{yn} 에 각각 접속된다. 각각의 전압/전류 변환기(112)는 도 26에 도시한 것과 유사한 전류 미러 회로에 기초한 정전류 회로로 구성된다. 도 26을 참조하면, 참조 번호 2002는 연산 증폭기를 표시하고, 참조 번호 2005는 npn 트랜지스터를 표시하고, 참조 번호 2003은 pnp 트랜지스터를 표시하고 참조 번호 2006은 MOSFET를 표시하고 참조 번호 2004는 저항(저항값 R)을 표시한다. 도 26에 도시한 회로에 따르면, 출력될 전류 Iout은 입력 신호 Vin의 진폭에 따라 결정되고, 진폭 및 전류는 다음의 관계식을 갖는다:

Iout = Vin/R

전압/전류 변환 회로에 대한 적절한 설계 파라메터를 설정함으로써, 각각의 표면 도전형 전자 방출기로 흐르는 전류 Iout는 전압 신호에 따라 선택될 수 있다.

도 26에 도시한 회로에서, 입력 전압 Vin이 Vref와 같거나 낮을 때, 본 발명의 스위치로서의 MOSFET(2006)은 연산 증폭기(2002)에 의해 턴 온되고, 컬럼 배선층으로의 출력 전압은 Vg로 설정된다. 결과적으로, 턴 온되지 않은 방출기에 접속된 컬럼 배선층 각각의 전위는 고정된다. 이 동작으로, 턴 온되지 않는 방출기에 대응하는 각각의 컬럼 배선층 상의 방출기는 방출기가 선택된 또는 선택되지 않은 로우에 접속되는지에 관계없이 비선택 상태로 설정된다.

도 27A 내지 도 27C는 변조 회로로부터의 입력 파형이 전류 파형으로 실제적으로 어떻게 변환되는지를 도시한 것이다. 디스플레이 패널의 컬럼 배선층 D_{y1} 을 고 려하자. 도 27A에 도시한 것과 유사한 휘도 데이터로 변조된 펄스 폭을 갖고 각각의 방출기의 전자 방출 효율의 보정으로 변조된 펄스 높이를 갖는 전압 펄스가 시간에 대응하는 구동 라인에 입력된다. 도 27B는 이 때의 전압/전류 변환 회로로부터의 방출기 전류 If의 파형을 도시한 것이다. 도 27C는 방출 전류 Ie의 상태를 도시한 것이다. 도 4A 내지 도 4G에 도시한 바와 같이, 방출기 특성의 변화는 구동 전류 펄스의 피크값으로 보정된다. 방출 전류 Ie가 관찰될 때, 모든 방출기로부터의 방출 전류는 1μA로 설정된다는 것이 판명되었다.

실시예 4에 따르면, 각각의 표면 도전형 전자 방출기로 흐르는 방출기 전류는 전압/전류 변환 회로에 의해 변조되기 때문에, 배선 저항 양단의 전압 강하가 보상될 수 있다. 또한, 에미터들의 수의 증가에 따라 반선택된 방출기로 분기된 전류는 최소화될 수 있다. 그러므로 이미지는 디스플레이 스크린에 걸쳐 원래의 이미지 신호에 매우 충실한 휘도로 디스플레이될 수 있다.

실시예 4에서, 전압/전류 변환 회로로서, 도 25 및 도 26에 도시한 구성을 갖는 회로가 사용된다. 그러나, 본 발명은 이 회로 구성에 제한되지 않고 임의의 회로가 입력 신호에 따라 각각의 표면 도전형 전자 방출기에 공급될 신호를 변조시킬 수 있는 한 사용될 수 있다. 예를 들어, 큰 출력 전류가 요구되면, 트랜지스터 부분은 달링톤 증폭기의 형태로 접속될 수 있다.

<실시예 5>

실시예 1 내지 4에서, 다중-전자원 및 표면 도전형 전자 방출기를 전자 방출기로서 사용하는 디스플레이 패널이 상술되었다. 그러나, 이들 유닛에 포함되는 표 면 도전형 전자 방출기가 다른 형태의 전자 방출기로 사용된 때, 본 발명의 구동 방법이 동일하게 이루어진다는 것이 판명되었다.
본 발명자가 다중-전자원 및 전자 방출기로서 전계 방출기를 사용하는 디스플레이 패널에 대해 실시예 1 내지 4의 구동 방법을 실행했을 때, 반선택 상태에서 흐르는 전류가 상당히 감소되었다.
예를 들어, 도 28A, 도 28B, 및 도 28C에 도시한 것들과 유사한 측방향형 전계 방출기가 표면 도전형 전자 방출기 대신에 사용되었다. 도 28A 내지 도 28C를 참조하면, 참조 번호 1101은 유리 기판을 표시하고, 참조 번호 701은 전자 방출부를, 참조 번호 702는 음 전극을, 그리고 참조 번호 703은 게이트(양 전극)을 표시한다. 이들 측방향형 전계 방출기 각각에서, 적절한 전압이 음 전극(702)과 게이트 (703) 사이에 인가될 때, 전자 빔은 전자 방출부(701)로부터 방출된다.
도 29는 매트릭스 형태로 배선된, 도 28A에 도시한 것과 각각 동일한, 측방향형 전계 방출기를 갖는 다중-전자원을 도시한 평면도이다. 도 29를 참조하면, 참조 번호 704는 측방향형 전계 방출기의 음 전극(702)이 공통 접속된 로우 배선층을 표시하고, 참조 번호 705는 측방향형 전계 방출기의 게이트(703)이 공통 접속된 컬럼 배선층을 표시한다.

발명의 효과

본 발명의 구동 방법이 상기 다중-전자원 및 다중-전자원을 갖는 이미지 디스플레이 장치에 적용되었을 때, 원하는 세기를 갖는 전자 빔이 어떤 복잡한 보상회로를 사용하지 않고서 정확하게 출력될 수 있다. 또한, 각각의 비선택된 방출기 에 의해 소모되는 전력이 감소될 수 있다.
또한, 본 발명은 상술한 것들과 다른 전자 방출기를 사용하는 전자원 및 전자원을 사용하는 이미지 디스플레이 장치에 효과적이다. 예를 들어, 본 발명은 또한 스핀트형 전계 방출기 및 MIM형 전자 방출기에 효과적이다.
본 발명의 여러가지 분명히 광범위하게 다른 실시예가 본 발명의 취지와 범위를 벗어나지 않고서 이루어질 수 있으므로, 본 발명은 첨부된 특허 청구의 범위에 정의된 것에 의해 한정될 뿐 특정 실시예로만 제한되지 않는다는 것을 알 수 있다.

(57) 청구의 범위

청구항 1.
다중-전자원을 갖는 전자 빔 발생 장치에 있어서, 상기 다중-전자원은 복수개의 데이터 배선들과 복수개의 주사 배선들을 통해 매트릭스 형태로 배열된 복수개의 전자 방출기들을 구비하고, 상기 전자 빔 발생 장치는
정전압을 출력하기 위한 정전압 출력부; 및
스위치 회로;
를 포함하되,
상기 전자 빔 발생 장치는 정전류를 발생시키기 위한 정전류 회로를 더 포함하고,
상기 스위치 회로는, 상기 정전압 출력부를, 선택된 주사 배선에 접속된 전자 방출기들 중에서, 전자 방출 전류가 제로로 되어야 할 전자 방출기들에 접속된 데이터 배선들에 접속하고, 상기 정전류 회로를, 상기 선택된 주사 배선에 접속된 전자 방출기들 중에서, 전자 방출 전류가 제로로 되지 않아야 할 전자 방출기들에 접속된 데이터 배선들에 접속함으로써, 전자 방출 전류가 제로로 되지 않아야 할 상기 전자 방출기들이 전자들을 방출하도록 유발하는 전자 빔 발생 장치.
청구항 2.
제1항에 있어서, 상기 스위치 회로는 트랜지스터들을 포함하는 전자 빔 발생 장치.
청구항 3.
제1항에 있어서, 상기 스위치 회로는 바이폴라 트랜지스터들을 포함하는 전자 빔 발생 장치.
청구항 4.
제2항에 있어서, 상기 트랜지스터들의 에미터들 또는 콜렉터들은 접지 전위에 접속되는 전자 빔 발생 장치.
청구항 5.
제2항에 있어서, 상기 트랜지스터들은 증가형 MOS 트랜지스터들인 전자 빔 발생 장치.
청구항 6.
제5항에 있어서, 상기 트랜지스터들의 드레인들 또는 소스들은 접지 전위에 접속되는 전자 빔 발생 장치.
청구항 7.
제1항에 있어서,
펄스-폭 변조 회로를 더 포함하고,
상기 스위치 회로는, 상기 펄스-폭 변조 회로의 출력에 따라, 데이터 배선이 상기 정전류 회로에 접속될 지 아니면 상기 정전압 출력부에 접속될 지를 변화시키는 전자 빔 발생 장치.
청구항 8.
제1항에 있어서, 상기 정전압 출력부는 접지 레벨 전위를 출력하는 전자 빔 발생 장치.
청구항 9.
제1항에 있어서, 상기 스위치 회로는 다이오드들을 포함하는 전자 빔 발생 장치.

청구항 10.
제1항에 있어서,
타이밍 발생 회로를 더 포함하고,
상기 스위치 회로는, 상기 타이밍 발생 회로의 출력에 따라, 데이터 배선이 상기 정전류 회로에 접속될 지 아니면 상기 정전압 출력부에 접속될 지를 변화시키는 전자 빔 발생 장치.

청구항 11.
제1항에 있어서, 상기 정전류 회로는 V/I 변환기를 포함하는 전자 빔 발생 장치.

청구항 12.
다중-전자원과, 상기 다중-전자원으로부터의 전자들의 조사에 의해 광을 방출하는 형광체들(phosphors)을 포함한 이미지 형성 장치에 있어서, 상기 다중-전자원은 복수개의 데이터 배선들과 복수개의 주사 배선들을 통해 매트릭스 형태로 배열된 복수개의 전자 방출기들을 구비하고, 상기 이미지 형성 장치는
정전압을 출력하기 위한 정전압 출력부; 및
스위치 회로;
를 포함하되,
상기 이미지 형성 장치는 정전류를 발생시키기 위한 정전류 회로를 더 포함하고,
상기 스위치 회로는, 상기 정전압 출력부를, 선택된 주사 배선에 접속된 전자 방출기들 중에서, 오프(OFF) 상태로 되어야 할 전자 방출기들에 접속된 데이터 배선들에 접속하고, 상기 정전류 회로를, 상기 선택된 주사 배선에 접속된 전자 방출기들 중에서, 온(ON) 상태로 되어야 할 전자 방출기들에 접속된 데이터 배선들에 접속함으로써, 온(ON) 상태로 되어야 할 상기 전자 방출기들이 전자들을 방출하도록 유발하는 이미지 형성 장치.

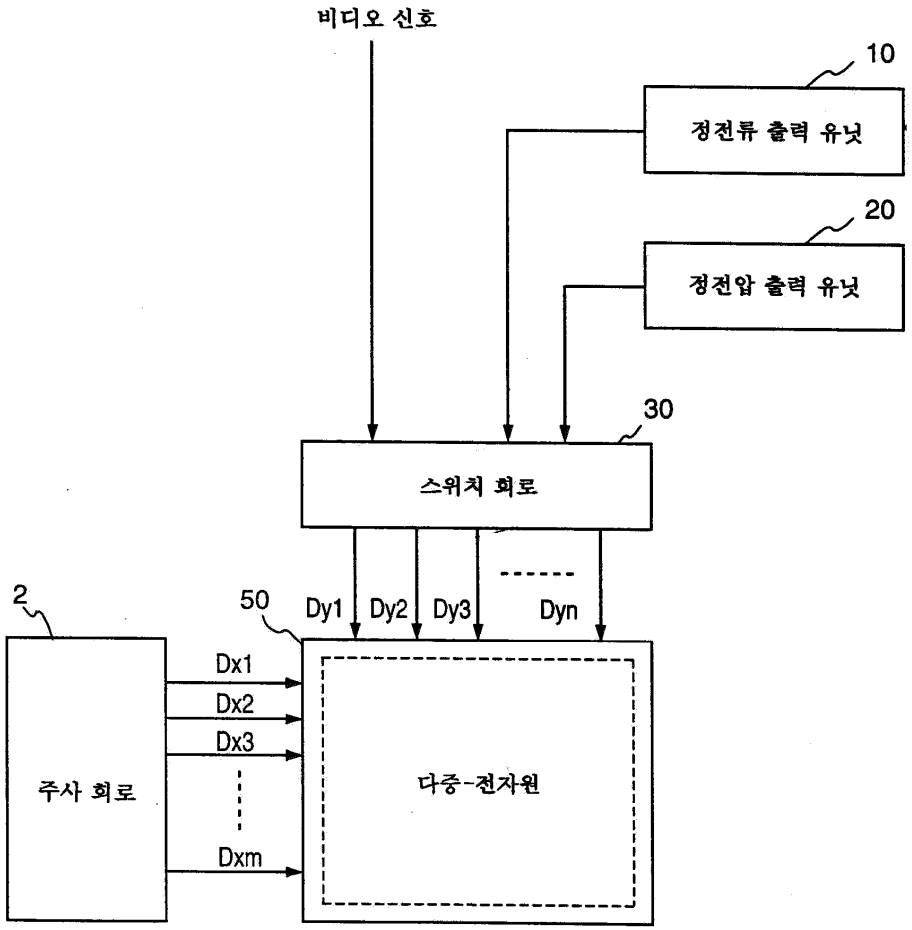
청구항 13.
제12항에 있어서,
상기 스위치 회로는, 상기 이미지 형성 장치에 입력된 비디오 신호에 의해 정의된 휘도값과 기준값과의 비교 결과에 따라, 데이터 배선이 상기 정전류 회로에 접속될 지 아니면 상기 정전압 출력부에 접속될 지를 변화시키는 이미지 형성 장치.

청구항 14.
다중-전자원을 갖는 전자 빔 발생 장치를 구동하는 방법에 있어서, 상기 다중-전자원은 복수개의 데이터 배선들과 복수개의 주사 배선들을 통해 매트릭스 형태로 배열된 복수개의 전자 방출기들을 구비하고, 상기 전자 빔 발생 장치의 구동 방법은
정전압 출력부를, 선택된 주사 배선에 접속된 전자 방출기들 중에서, 전자 방출 전류가 제로로 되어야 할 전자 방출기에 접속된 데이터 배선에 접속하는 단계; 및
정전류 회로를, 상기 선택된 주사 배선에 접속된 전자 방출기들 중에서, 전자 방출 전류가 제로로 되지 않아야 할 전자 방출기에 접속된 데이터 배선에 접속함으로써, 전자 방출 전류가 제로로 되지 않아야 할 상기 전자 방출기로부터 전자의 방출을 유발하는 단계를 포함하는 전자 빔 발생 장치의 구동 방법.

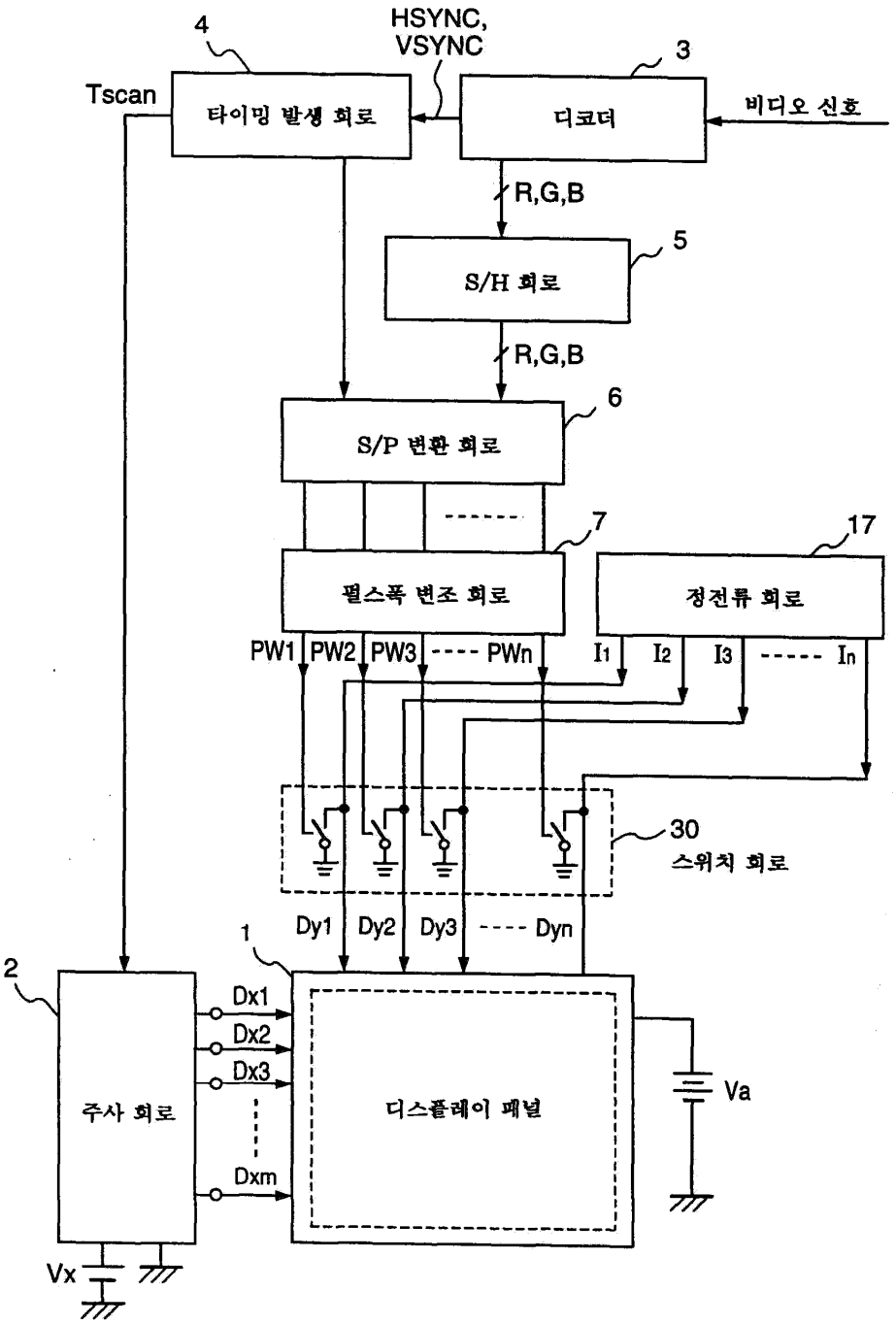
청구항 15.
다중-전자원과, 상기 다중-전자원으로부터의 전자들의 조사에 의해 광을 방출하는 형광체들(phosphors)을 포함한 이미지 형성 장치를 구동하는 방법에 있어서, 상기 다중-전자원은 복수개의 데이터 배선들과 복수개의 주사 배선들을 통해 매트릭스 형태로 배열된 복수개의 전자 방출기들을 구비하고, 상기 이미지 형성 장치의 구동 방법은
정전압 출력부를, 선택된 주사 배선에 접속된 전자 방출기들 중에서, 오프 (OFF) 상태로 되어야 할 전자 방출기에 접속된 데이터 배선에 접속하는 단계; 및
정전류 회로를, 상기 선택된 주사 배선에 접속된 전자 방출기들 중에서, 온 (ON) 상태로 되어야 할 전자 방출기에 접속된 데이터 배선에 접속함으로써, 온(ON)상태로 되어야 할 상기 전자 방출기로부터 전자의 방출을 유발하는 단계를 포함하는 이미지 형성 장치의 구동 방법.

도면

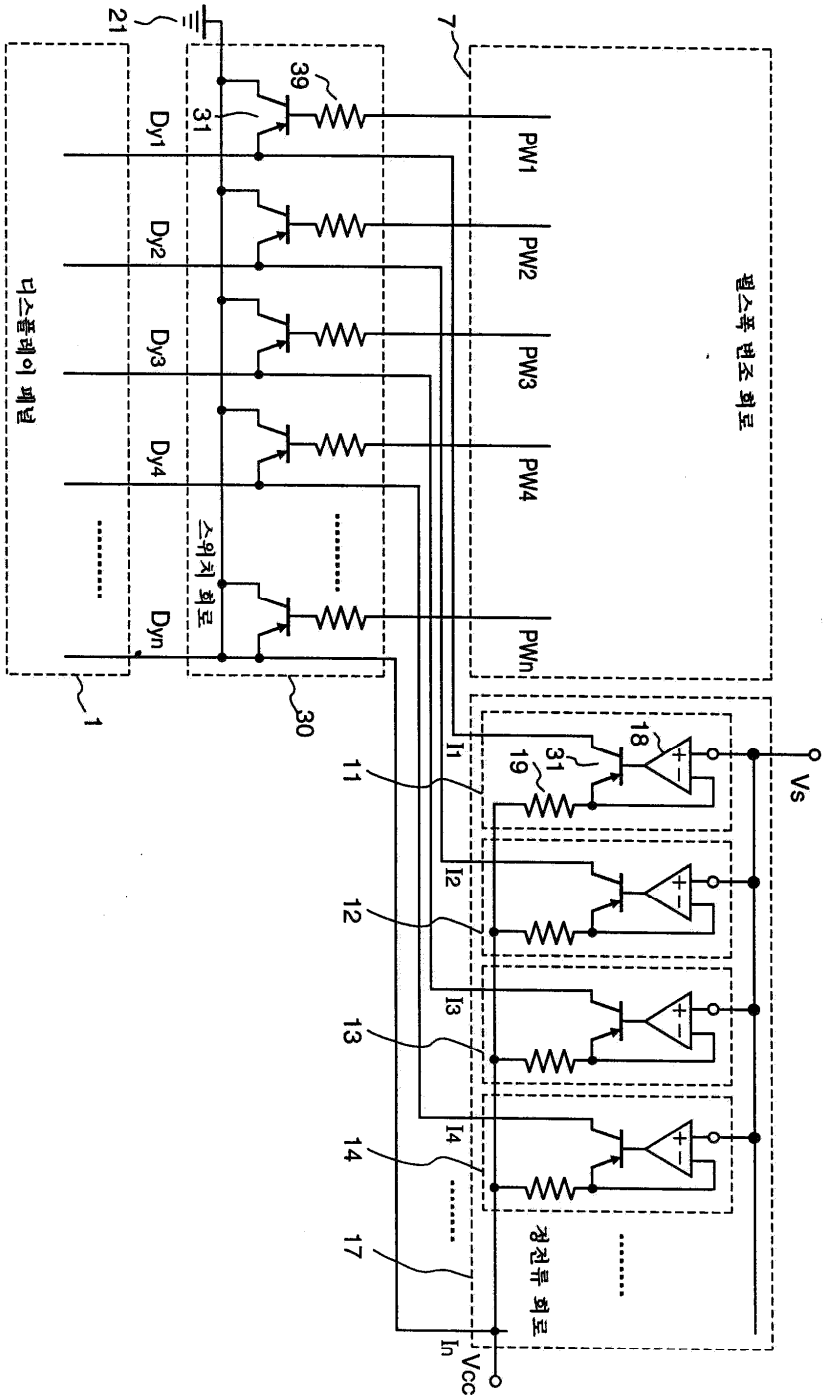
도면1


비디오 신호
10
정전류 출력 유닛
20
정전압 출력 유닛
30
스위치 회로
2
50
Dy1
Dy2
Dy3
Dyn
Dx1
Dx2
Dx3
Dxm
주사 회로
다중-전자원

도면2


4
HSYNC,
VSYNC
3
Tscan
타이밍 발생 회로
디코더
비디오 신호
R,G,B
5
S/H 회로
R,G,B
6
S/P 변환 회로
7
17
펄스폭 변조 회로
정전류 회로
PW1
PW2
PW3
PWn
I1
I2
I3
In
30
스위치 회로
Dy1
Dy2
Dy3
Dyn
1
2
Dx1
Dx2
Dx3
Dxm
주사 회로
디스플레이 패널
Va
Vx

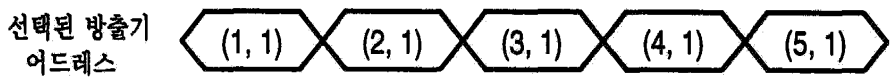
도면3



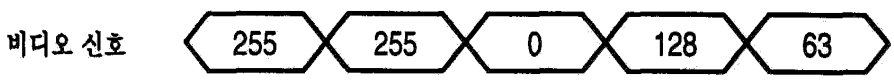
도면4a



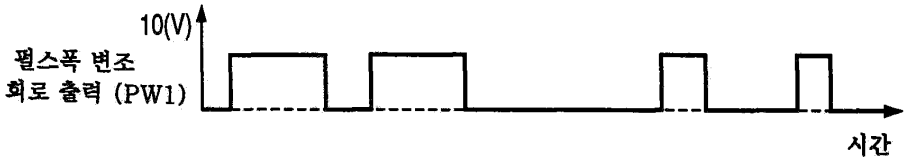
도면4b



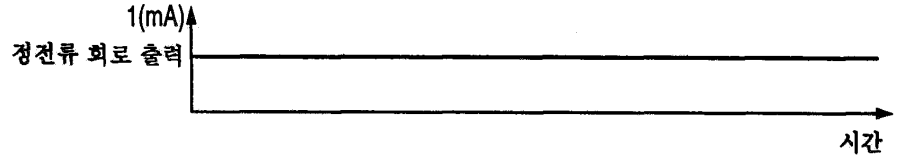
도면4c



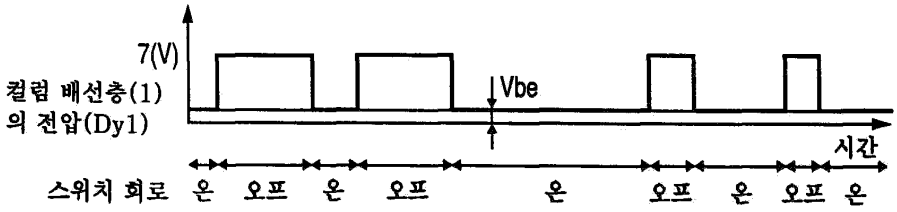
도면4d



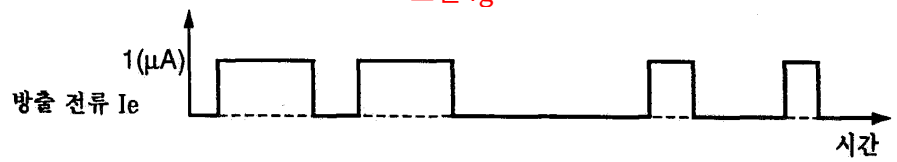
도면4e



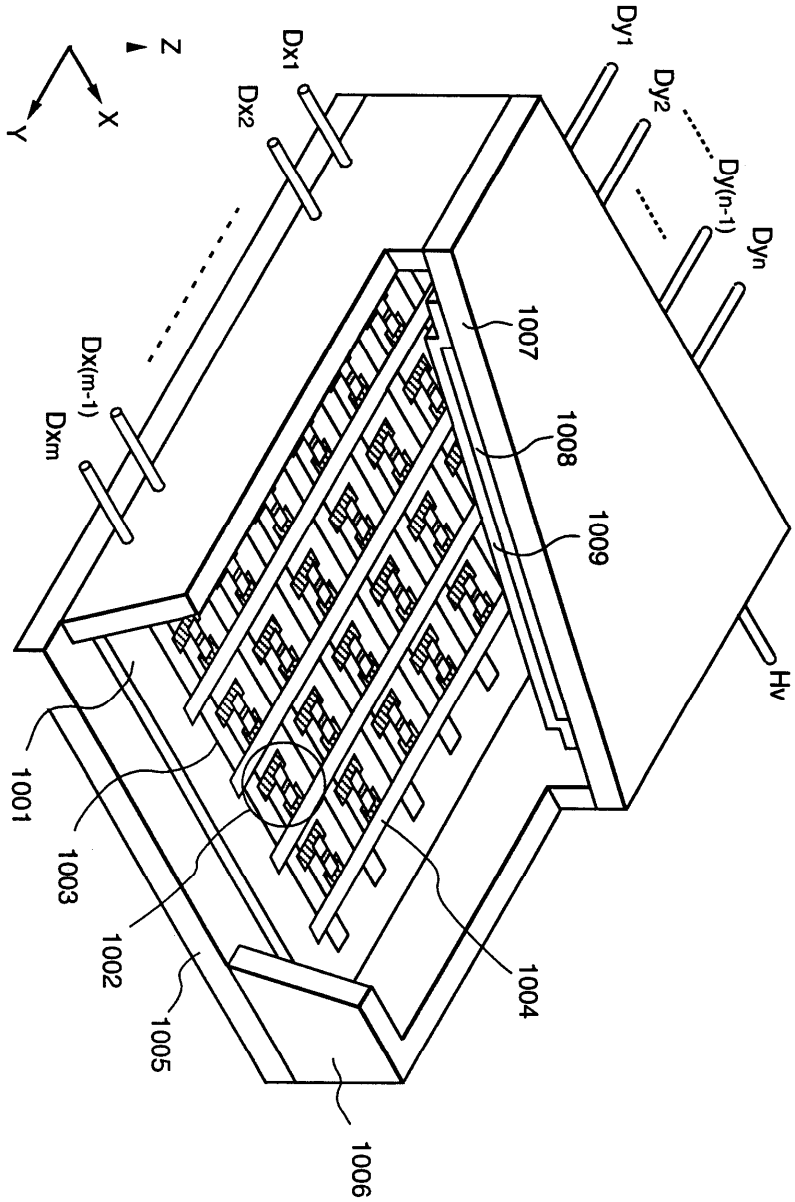
도면4f



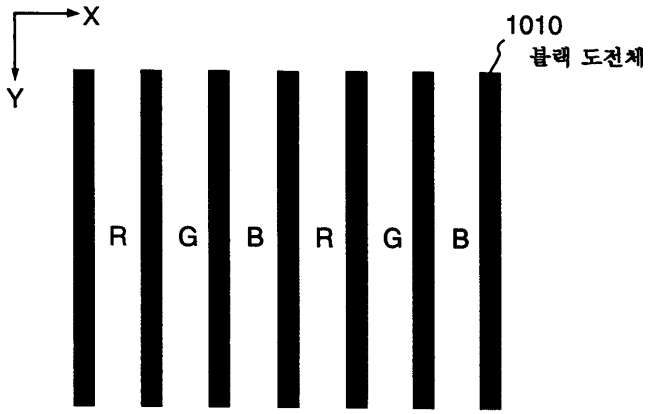
도면4g



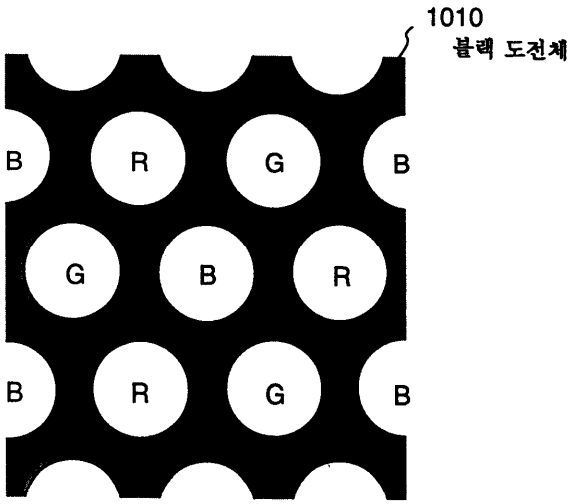
도면5


Z
X
Y
Dx1
Dx2
Dx(m-1)
Dxm
Dy1
Dy2
Dy(n-1)
Dyn
Hv
1001
1002
1003
1004
1005
1006
1007
1008
1009

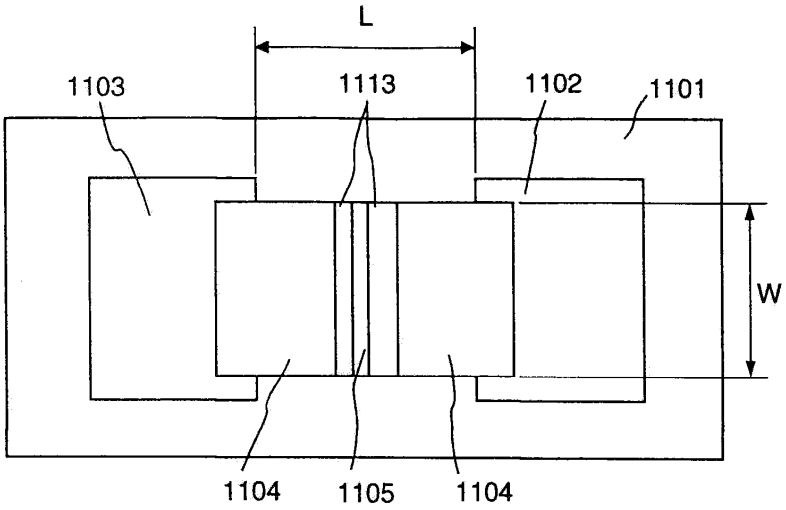
도면6a


X
Y
1010
블랙 도전체
R
G
B
R
G
B

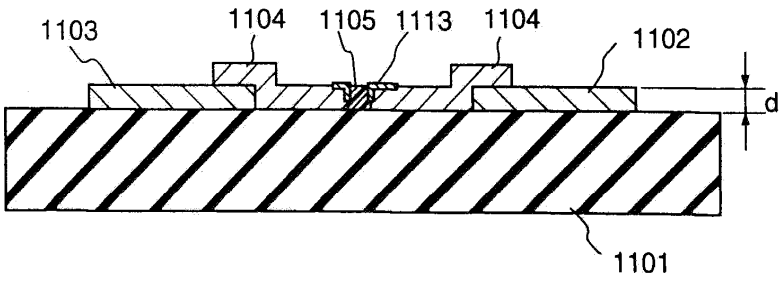
도면6b



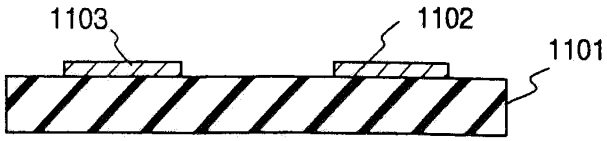
도면7a



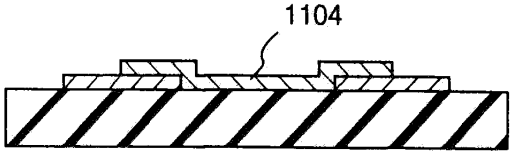
도면7b



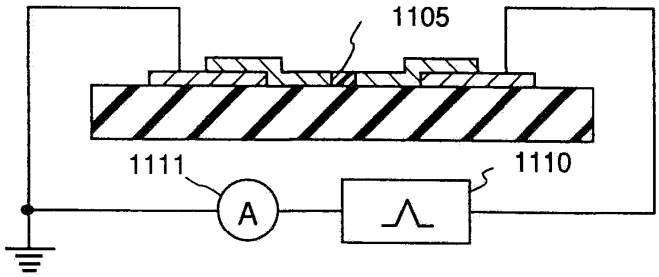
도면8a



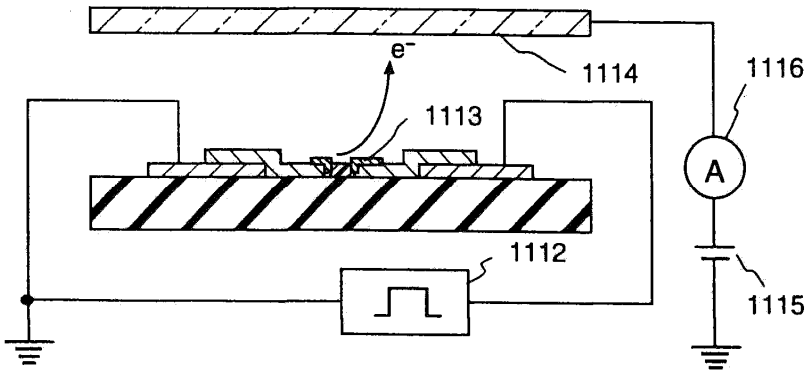
도면8b



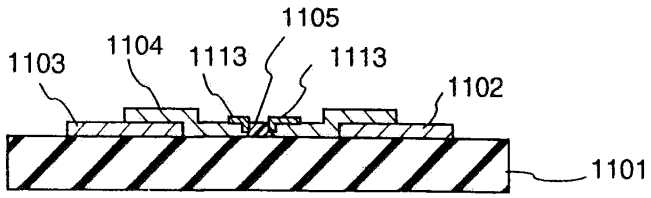
도면8c



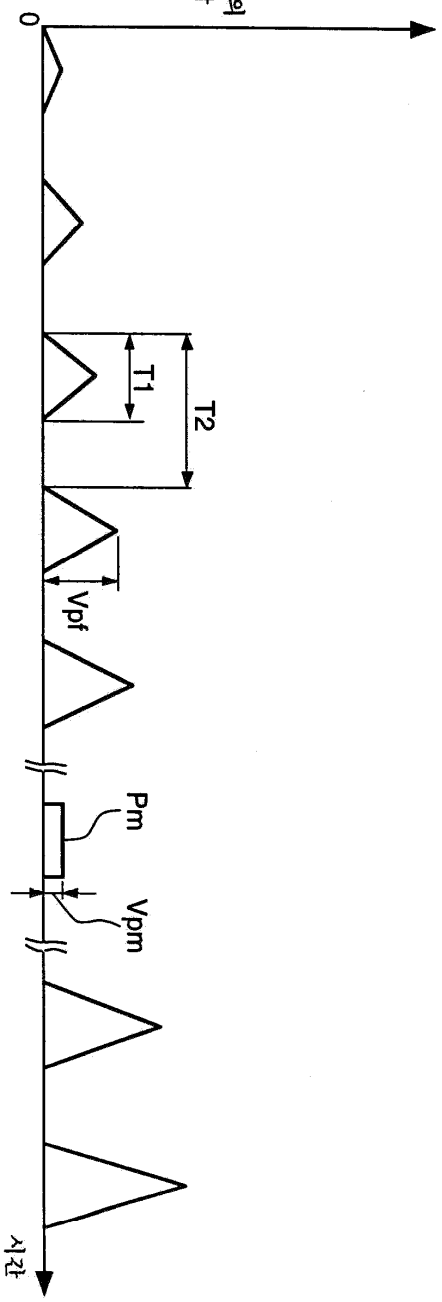
도면8d



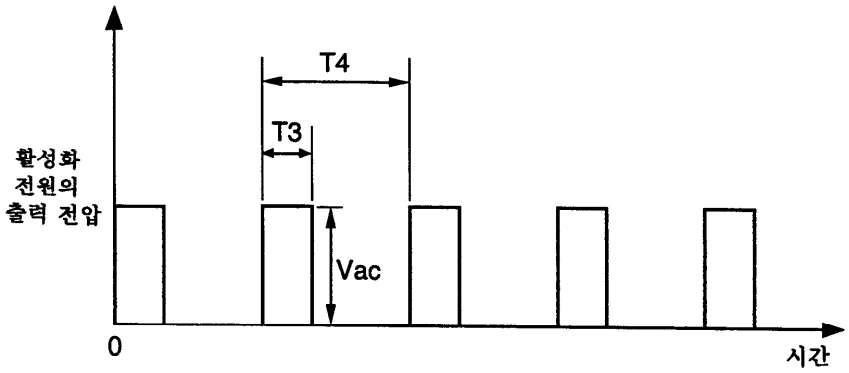
도면8e



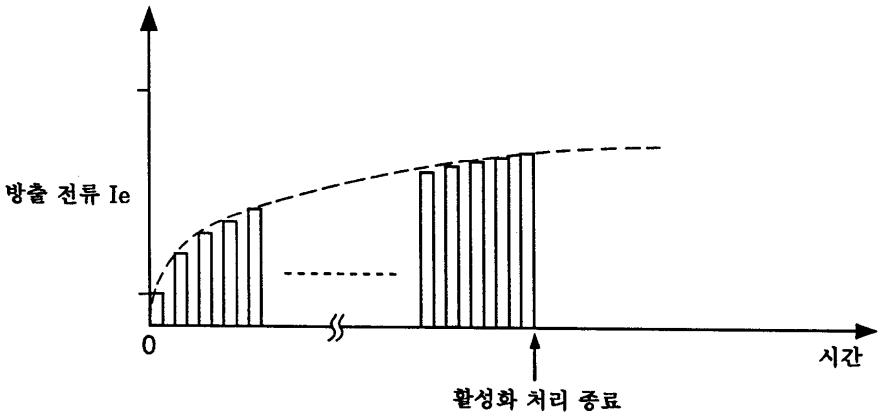
도면9



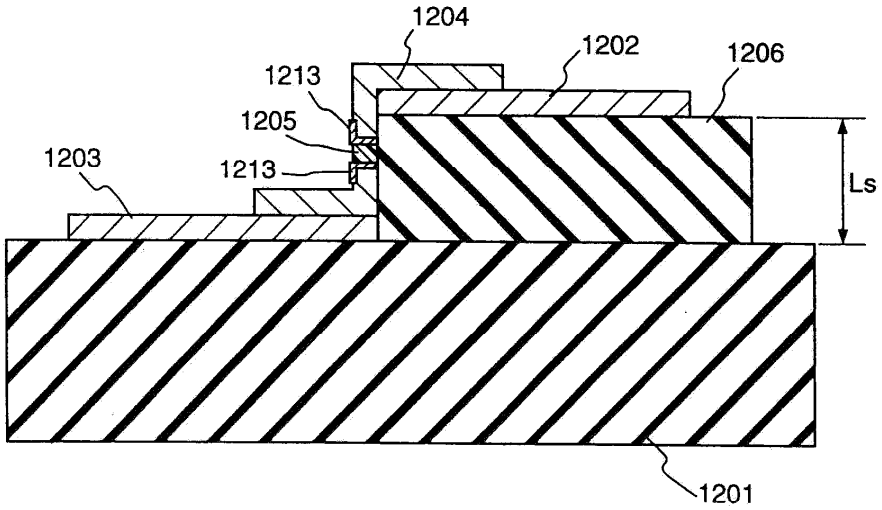
도면10a



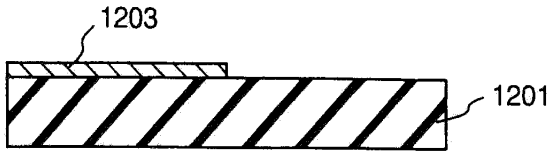
도면10b



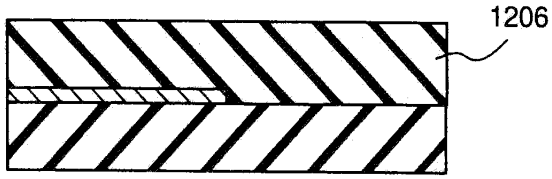
도면11



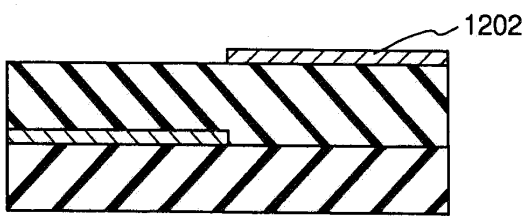
도면12a



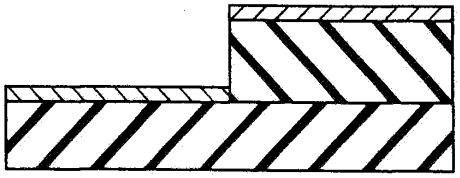
도면12b



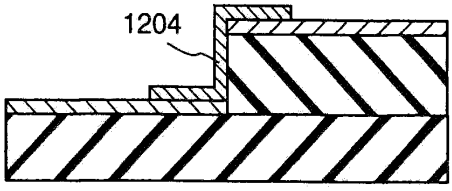
도면12c



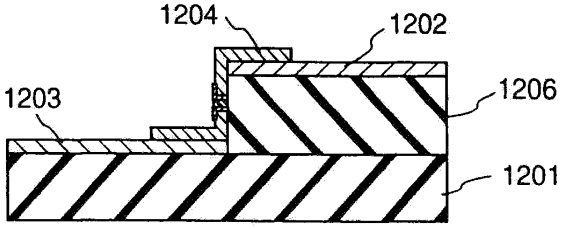
도면12d



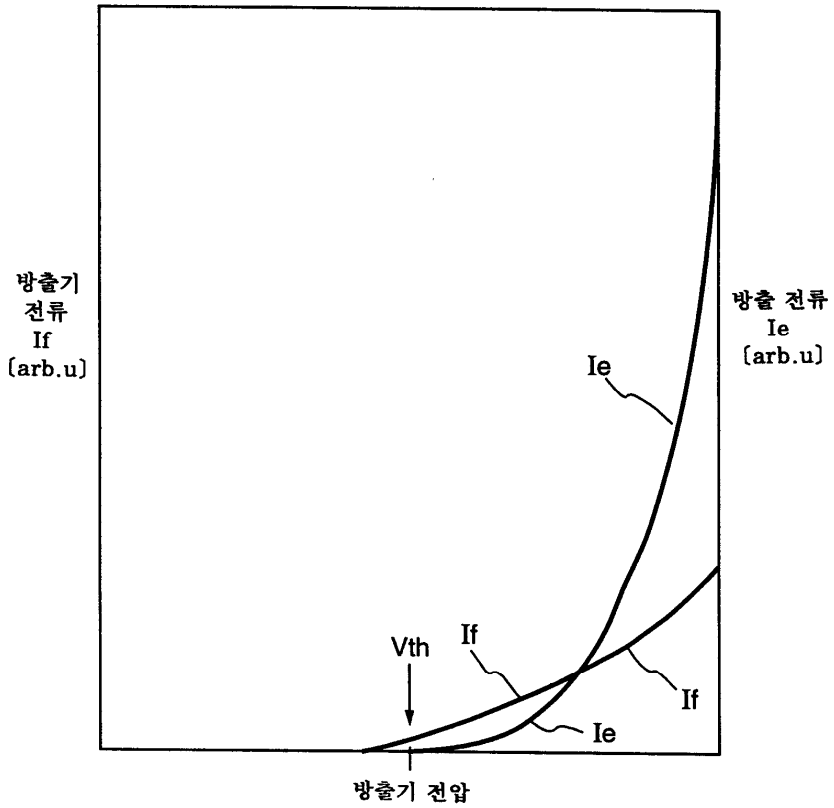
도면12e



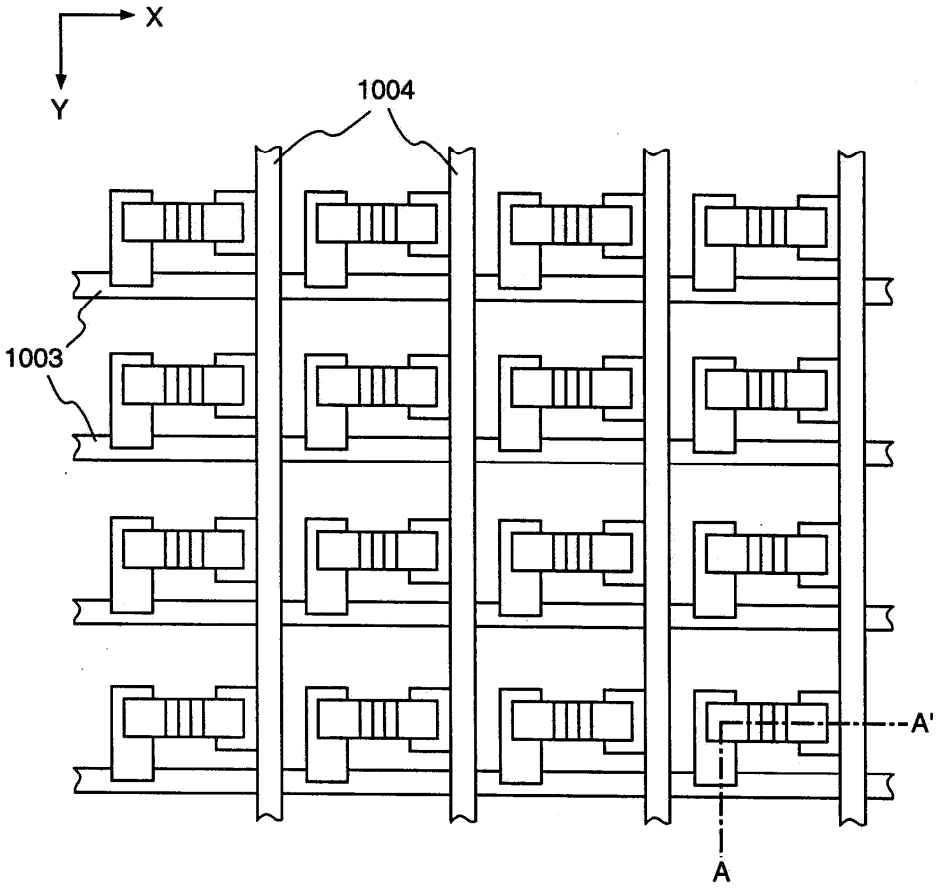
도면12f



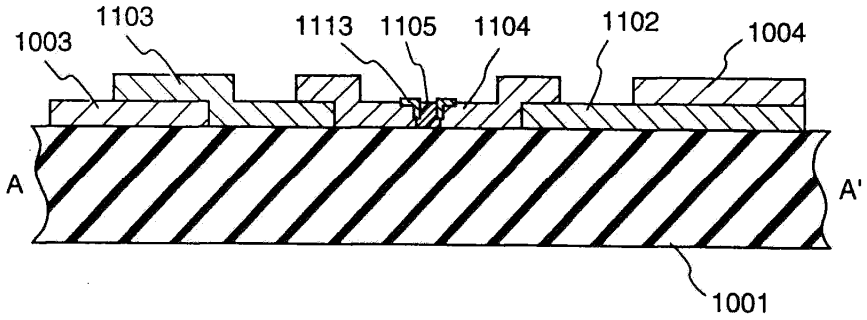
도면13



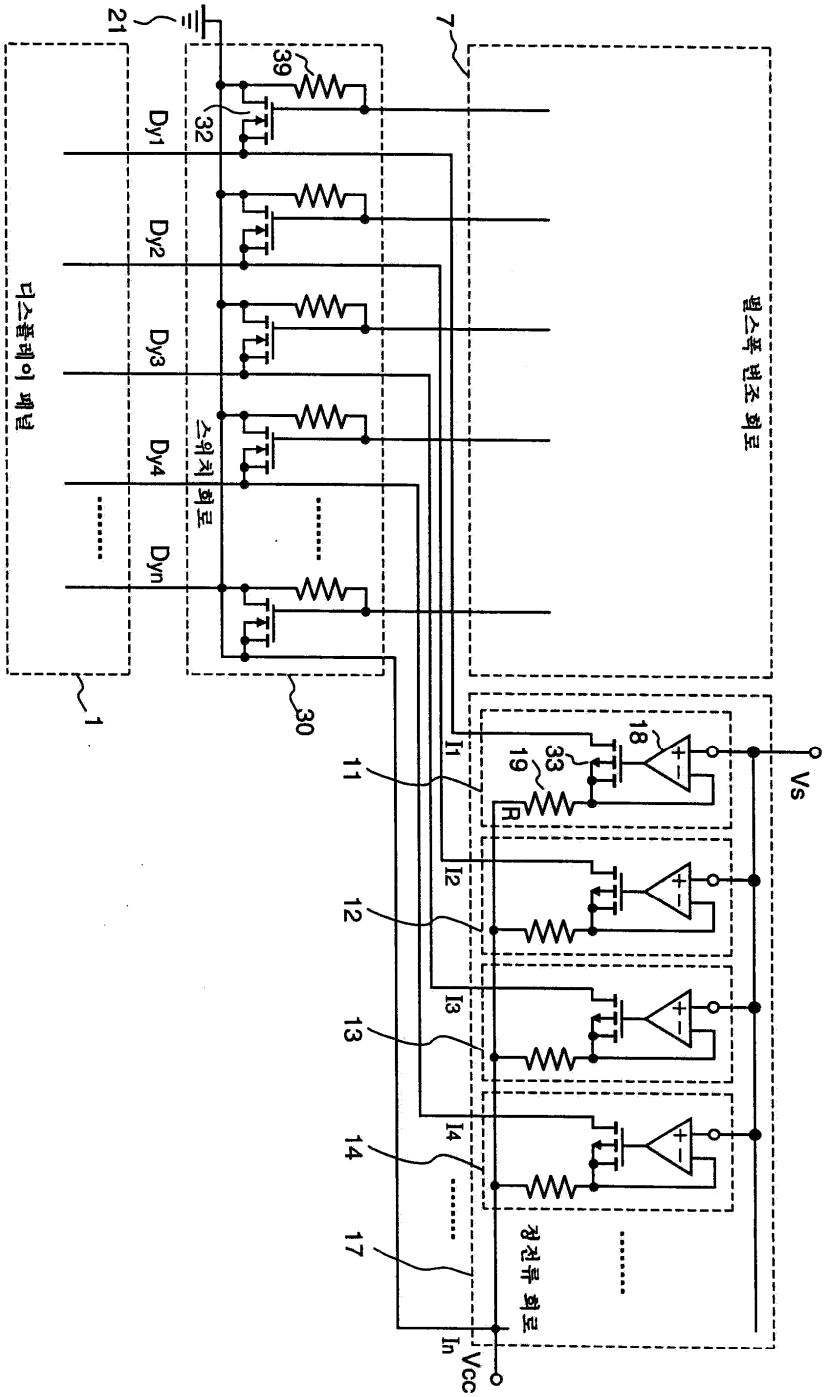
도면14



도면15



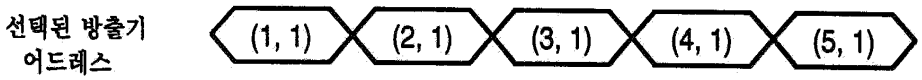
도면16



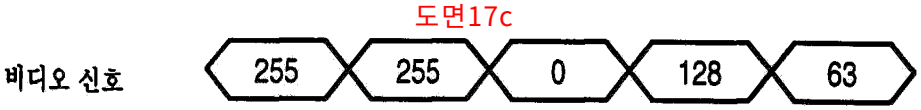
도면17a



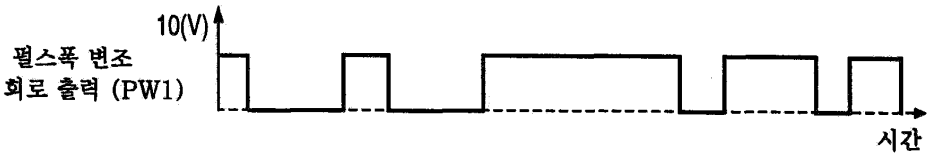
도면17b



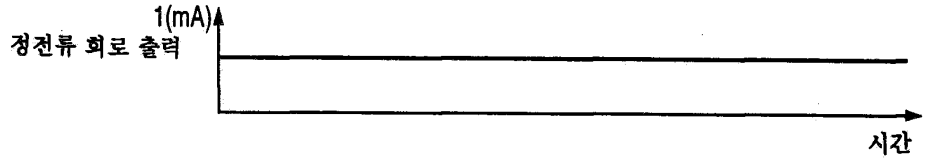
도면17c



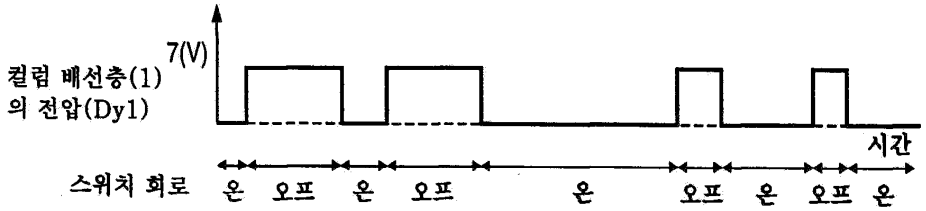
도면17d



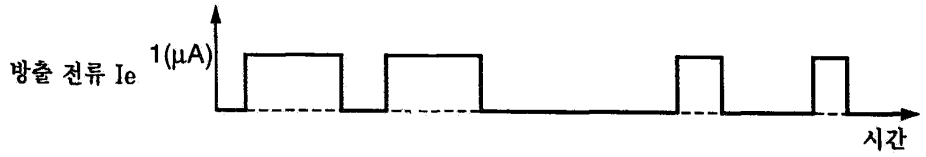
도면17e



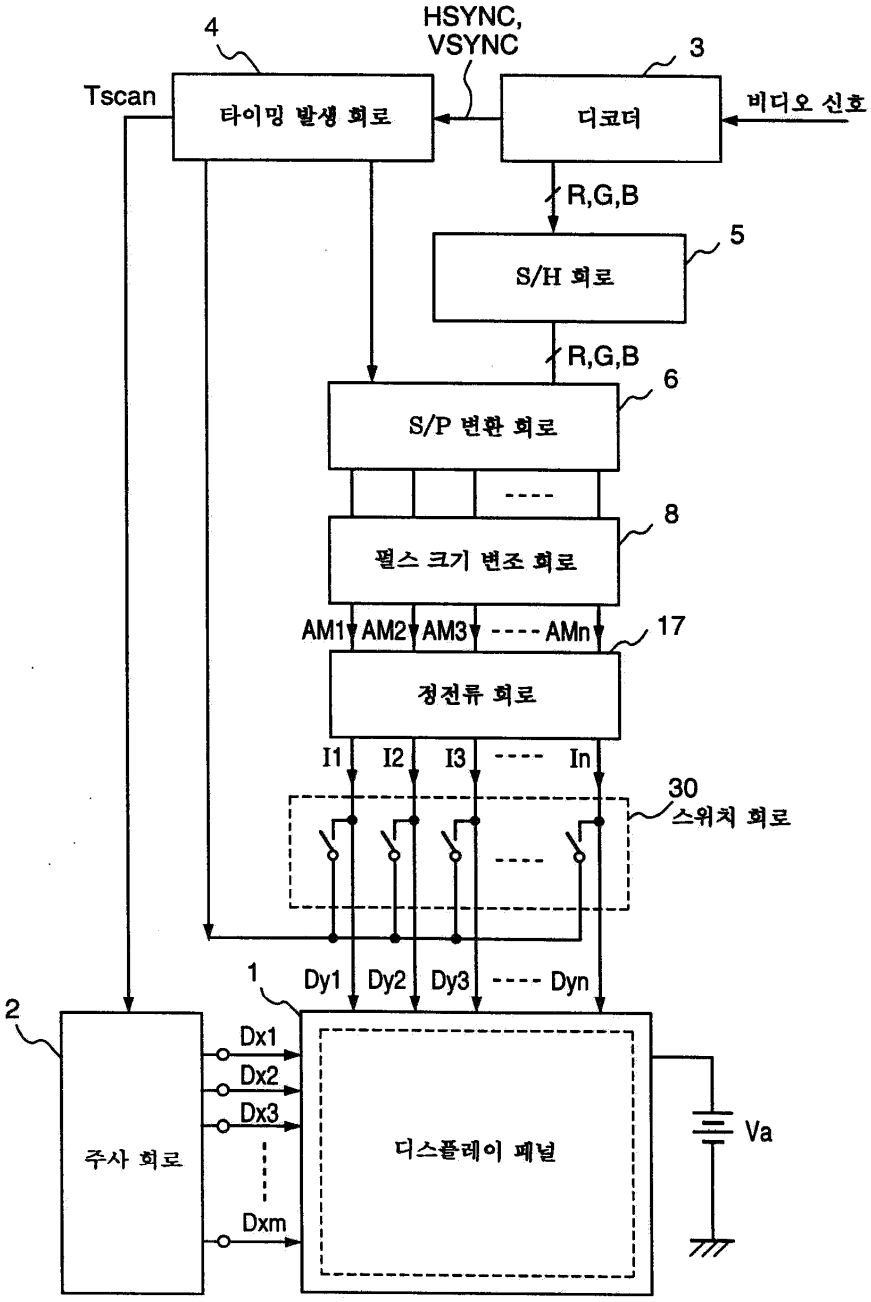
도면17f



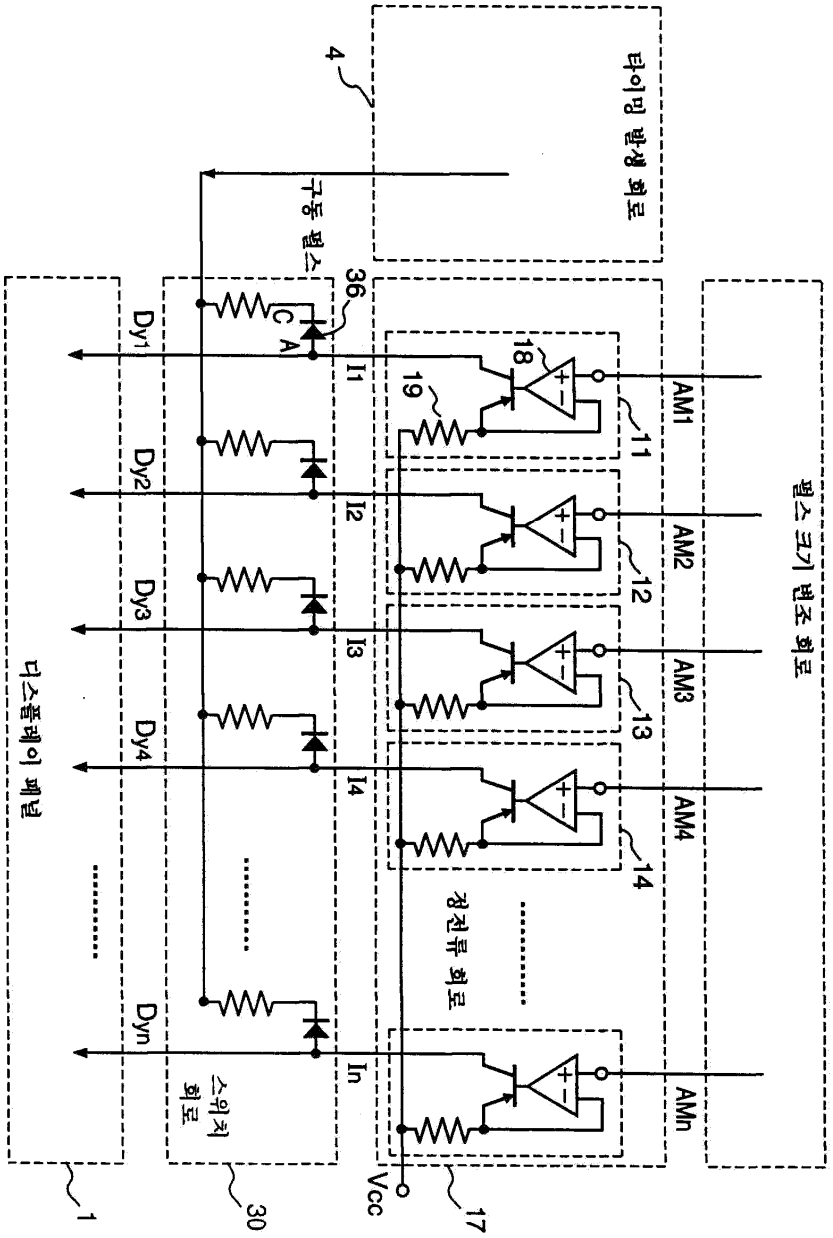
도면17g



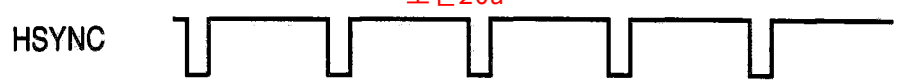
도면18


4
HSYNC,
VSYNC
3
Tscan
타이밍 발생 회로
디코더
비디오 신호
R,G,B
5
S/H 회로
R,G,B
6
S/P 변환 회로
8
펄스 크기 변조 회로
AM1 AM2 AM3 ---- AMn
17
정전류 회로
I1 I2 I3 ---- In
30
스위치 회로
1
Dy1 Dy2 Dy3 ---- Dyn
2
Dx1
Dx2
Dx3
Dxm
주사 회로
디스플레이 패널
Va

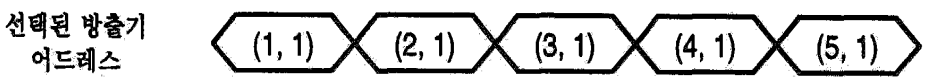
도면19



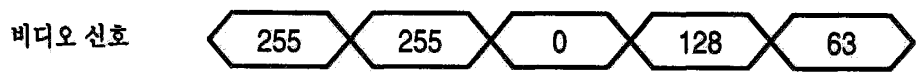
도면20a



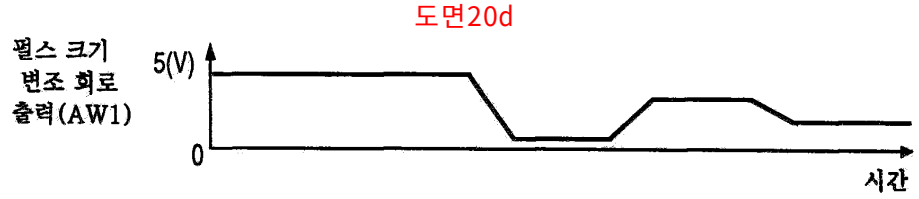
도면20b



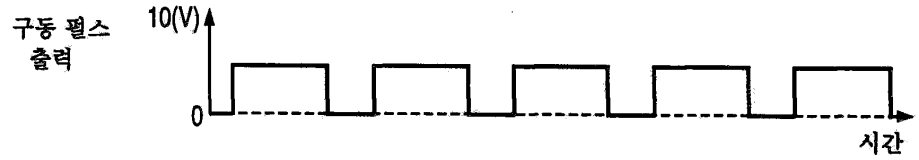
도면20c



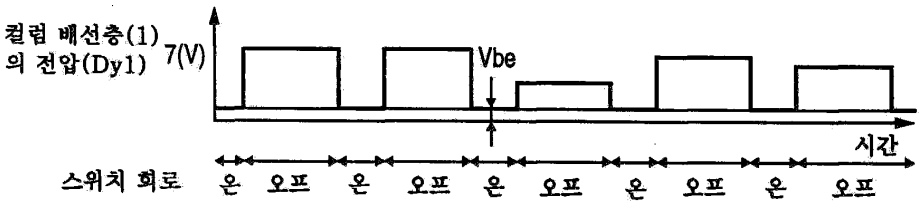
도면20d



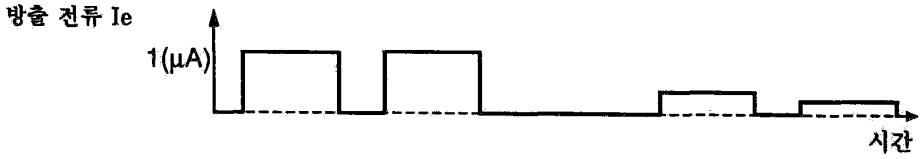
도면20e



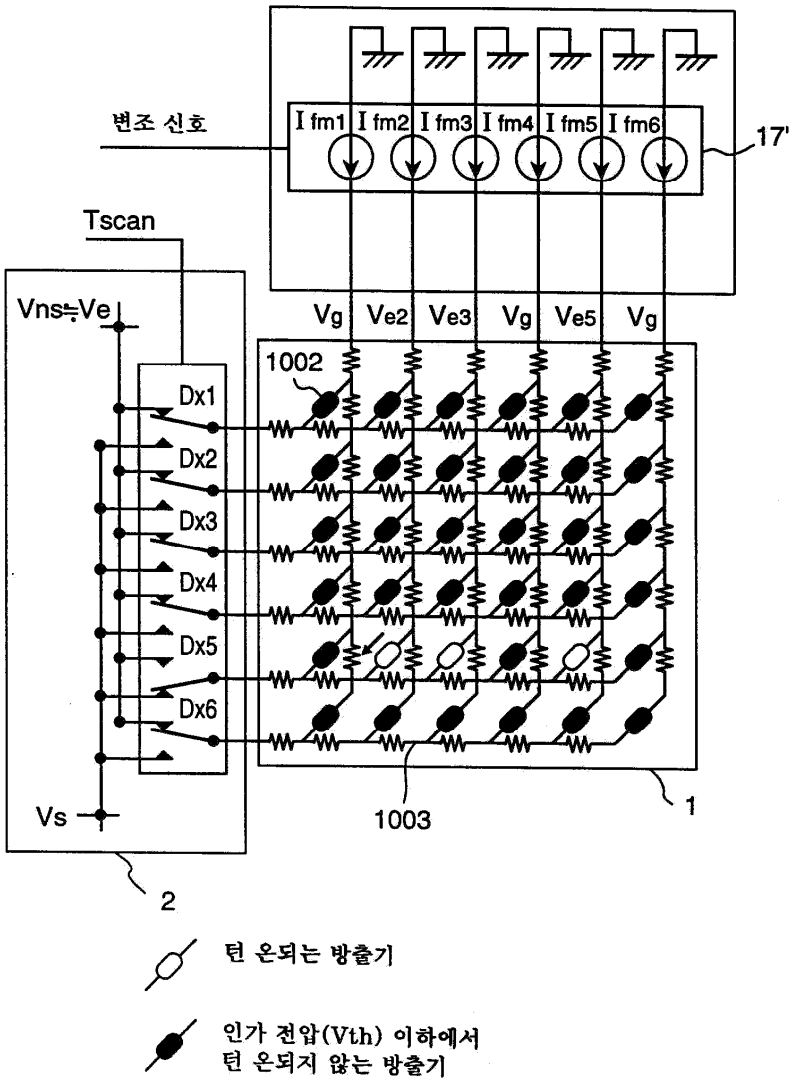
도면20f



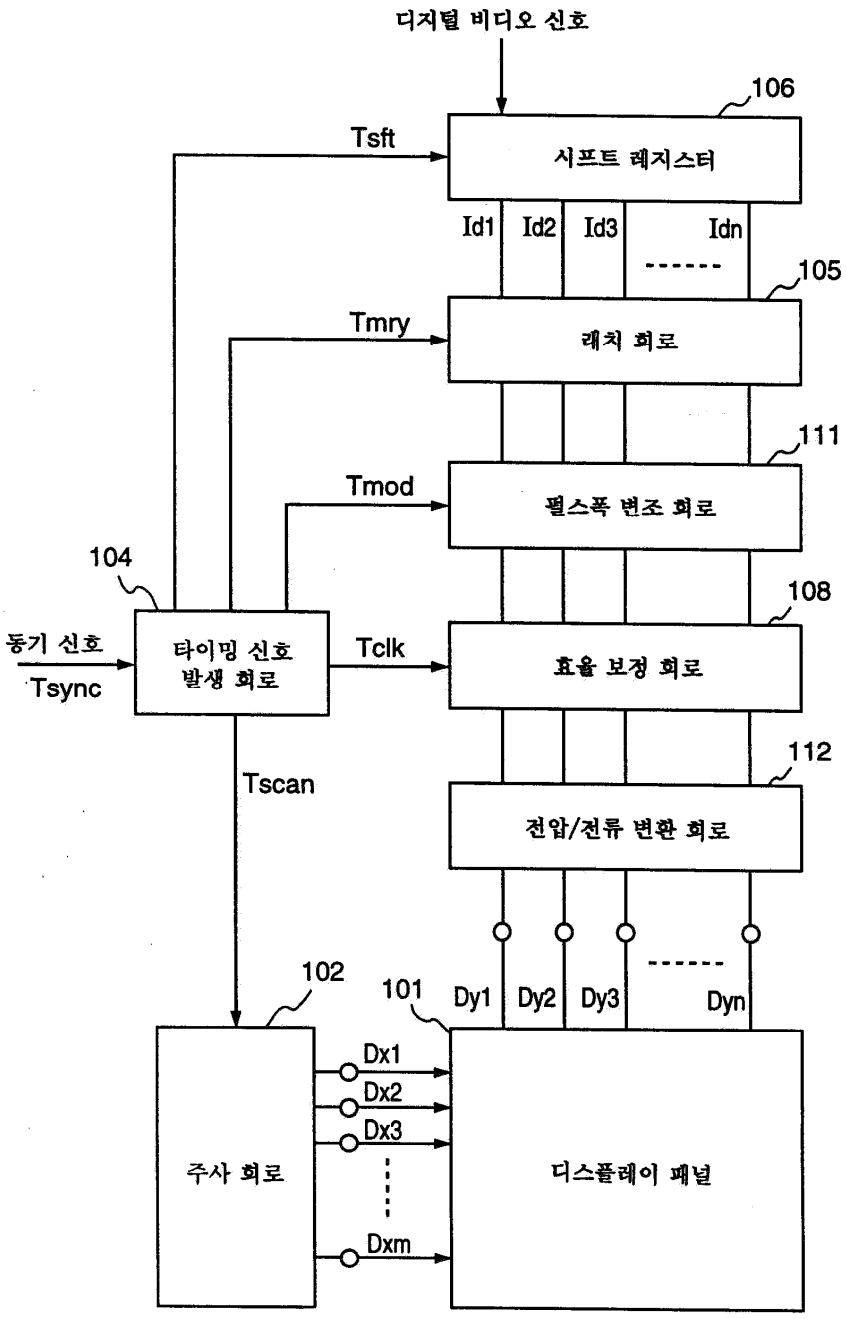
도면20g



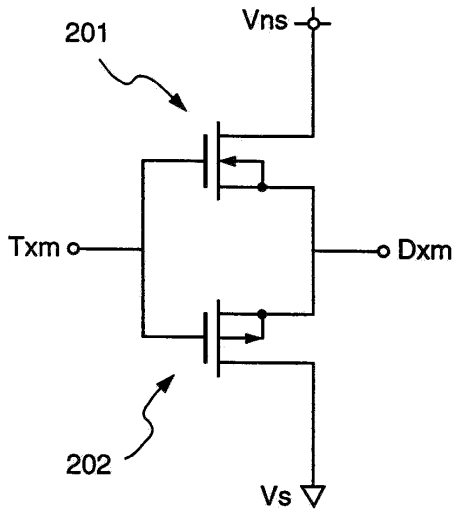
도면21



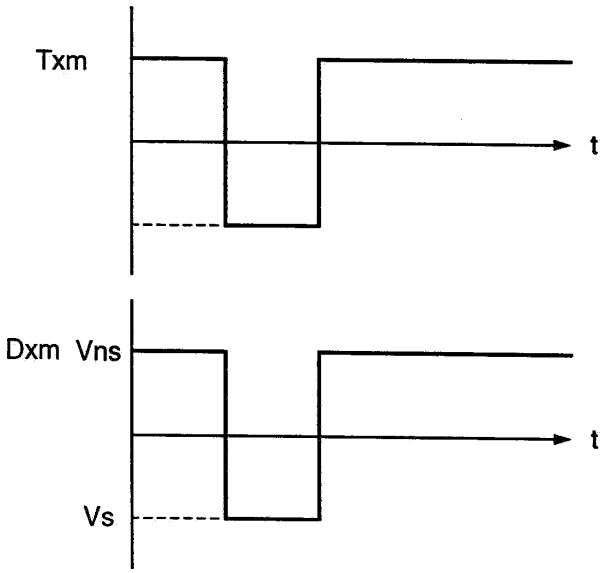
도면22


디지털 비디오 신호
106
Tsft
시프트 레지스터
Id1
Id2
Id3
Idn
105
Tmry
래치 회로
111
Tmod
펄스폭 변조 회로
104
108
동기 신호
Tsync
타이밍 신호
발생 회로
Tclk
효율 보정 회로
112
Tscan
전압/전류 변환 회로
102
101
Dy1
Dy2
Dy3
Dyn
Dx1
Dx2
Dx3
Dxm
주사 회로
디스플레이 패널

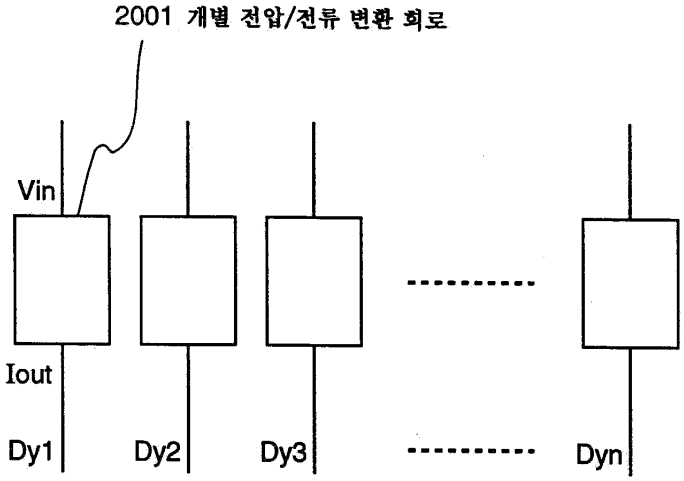
도면23


201
Vns
Txm
Dxm
202
Vs

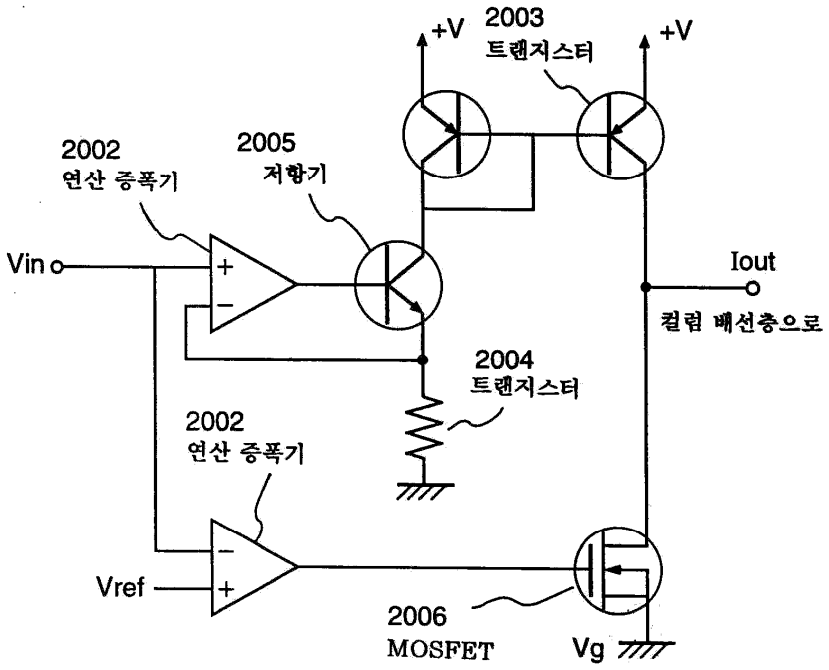
도면24



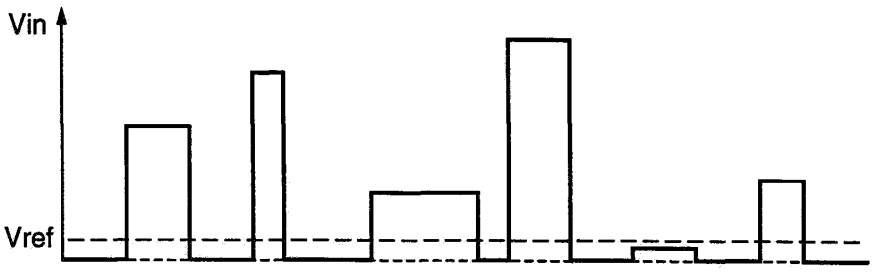
도면25



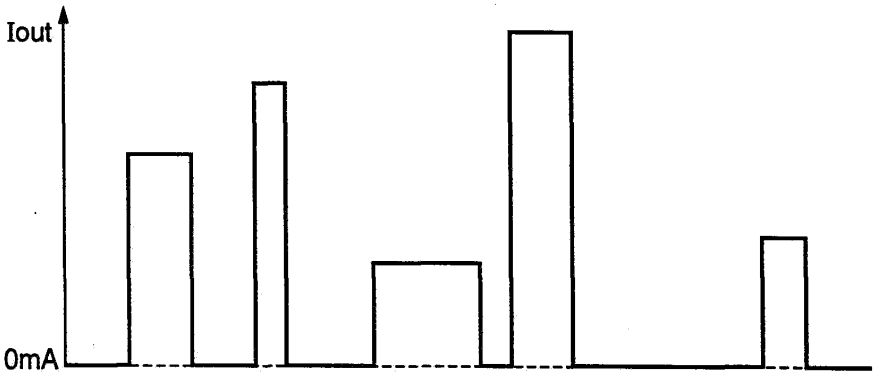
도면26



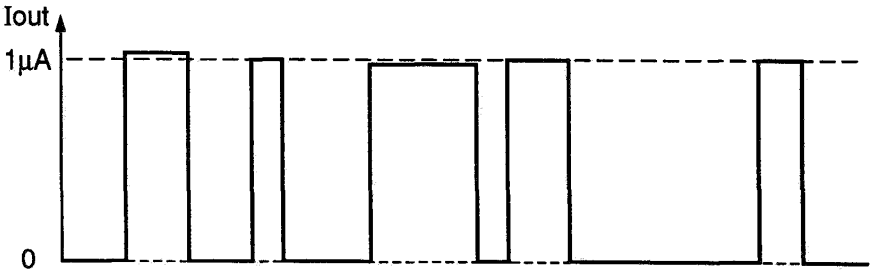
도면27a



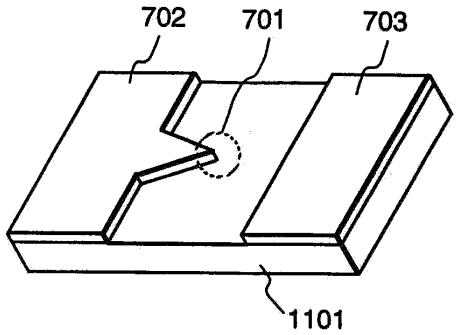
도면27b



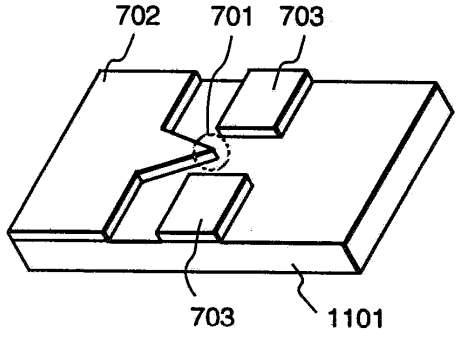
도면27c



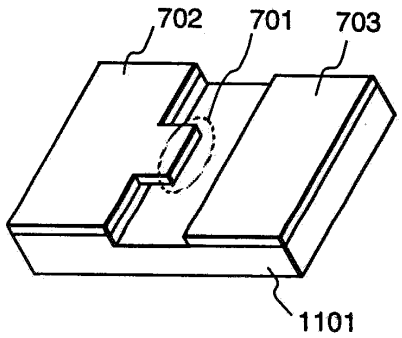
도면28a



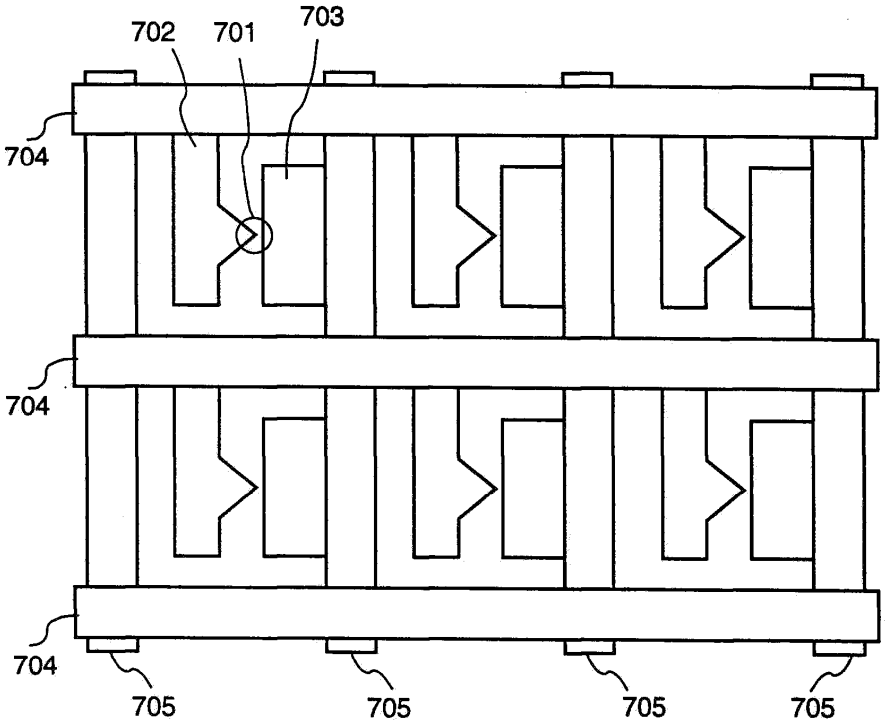
도면28b



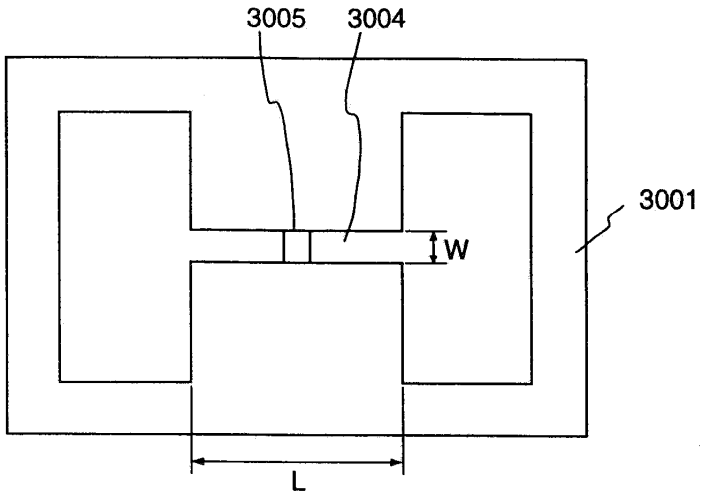
도면28c



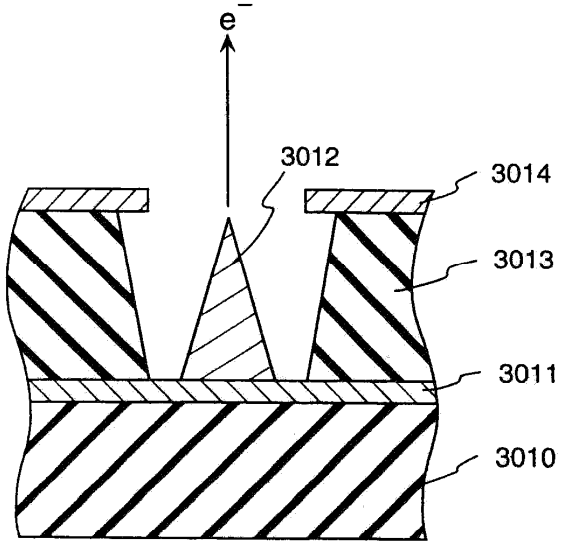
도면29



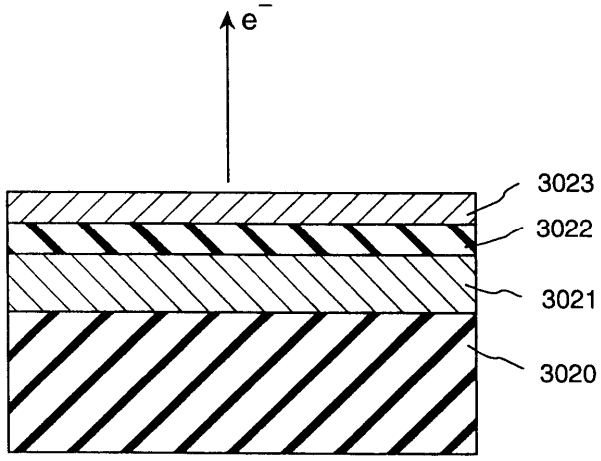
도면30



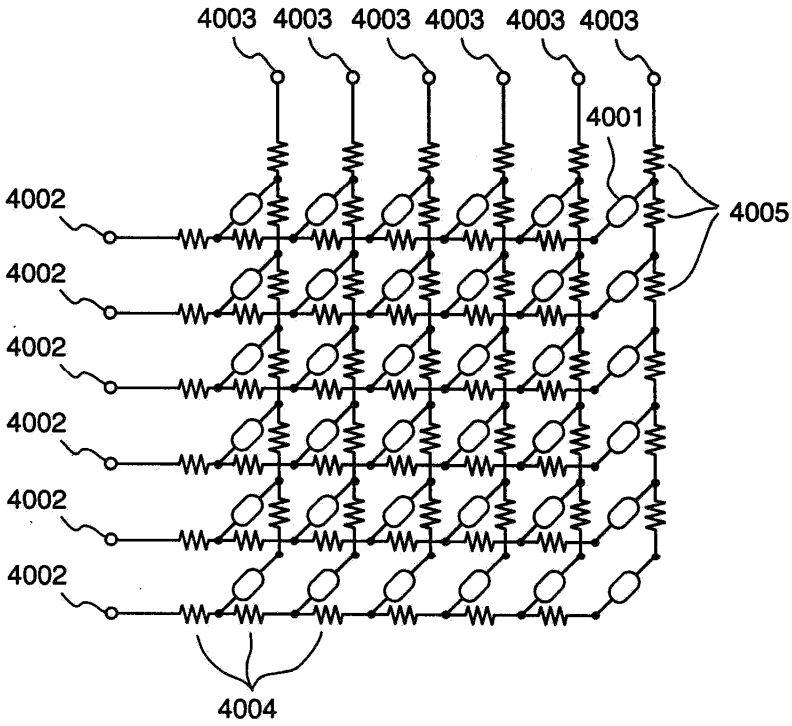
도면31



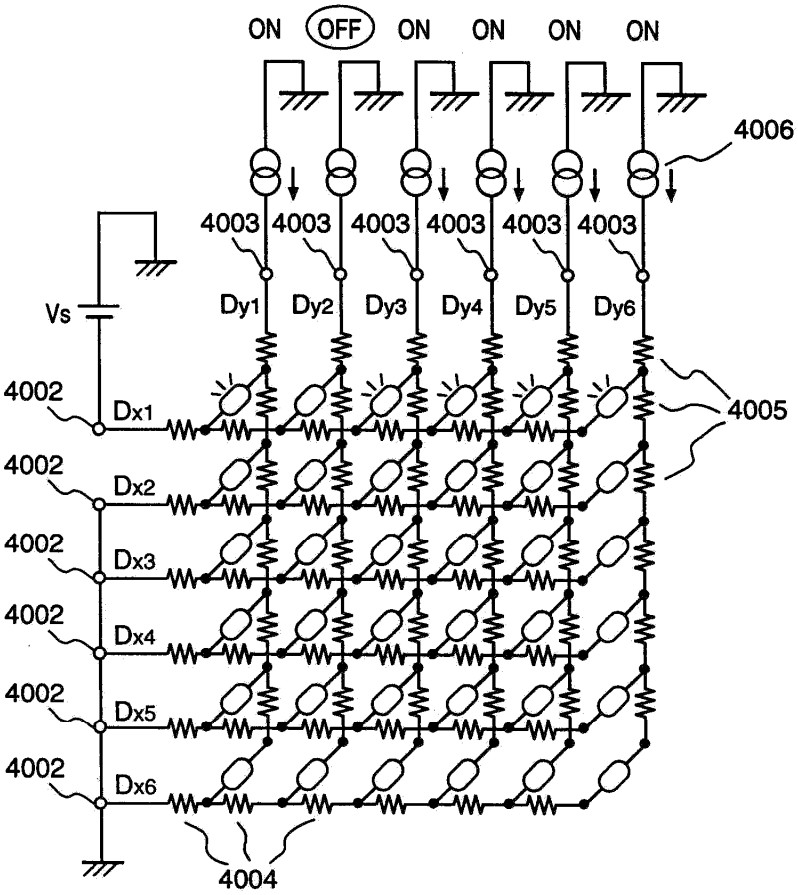
도면32



도면33



도면34


ON
OFF
ON
ON
ON
ON
4006
4003
4003
4003
4003
4003
4003
Vs
Dy1
Dy2
Dy3
Dy4
Dy5
Dy6
4002
Dx1
4005
4002
Dx2
4002
Dx3
4002
Dx4
4002
Dx5
4002
Dx6
4004