



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

212186

(II)

(BI)

(22) Přihlášeno 10 12 80
(21) (PV 8686-80)

(51) Int. Cl.³
G 06 F 7/06

(40) Zveřejněno 31 07 81

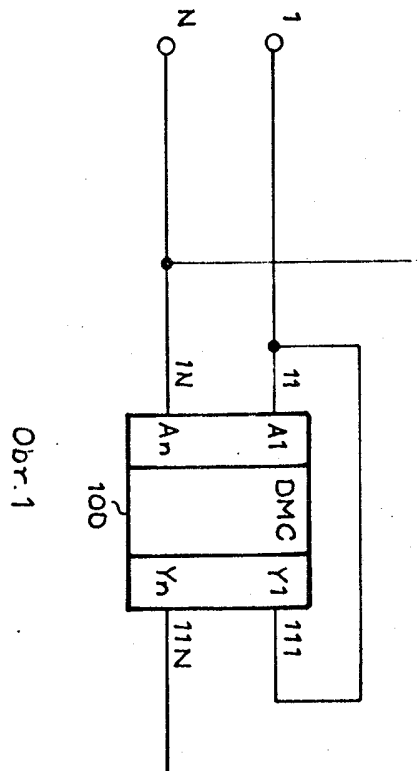
(45) Vydáno 15 02 84

(75)
Autor vynálezu

KRISTEN JIŘÍ, PRAHA

(54) Zapojení vícestavového klopného obvodu vytvořeného z pevné polovodičové paměti

Podstata vynálezu spočívá v zavedení zpětné vazby z výstupů pevné polovodičové paměti na vstupy pevné polovodičové paměti.



Dosud užívané zapojení vícestavových klopných obvodů byla realizována pomocí hradel. Návrh takového obvodu byl poměrně složitý a užitý počet hradel byl nejméně roven počtu stavů, který měl vícestavový klopný obvod procházet. Při větším počtu stavů zároveň narůstaly nároky na počet vstupů užitých hradel a tím rostl i počet užitých pouzder integrovaných obvodů. Celá funkce klopného obvodu pak byla dána způsobem propojení jednotlivých hradel. Při nároku na odlišné chování klopného obvodu bylo nutno celé zapojení pozměnit a to znamenalo nový návrh plošného spoje.

Výhodou tohoto řešení je použití vhodného mikroprogramu, který je do pevné paměti nahrán. Například klopný obvod z hradel s chováním shodným s chováním uvedeného zapojení by byl realizován pěti pouzdry integrovaných obvodů na rozdíl od jediného pouzdra pevné paměti z příkladného zapojení vícecestavového klopného obvodu vytvořeného z pevné polovodičové paměti. Nadto lze chování tohoto klopného obvodu změnit nahráním jiného mikroprogramu do pevné paměti a to bez úprav plošných spojů.

Na výkrese, na obr. 2 je znázorněno zapojení vícestavového klopného obvodu vytvořeného z pevné polovodičové paměti organizace 32 x 8 a s dalším využitím nadbytečných výstupů. V následující tabulce je uveden obsah pevné paměti organizace 32 x 8 z příkladného zapojení:

Dekadická adresa	Binární adresa E D C B A	Binární obsah 1 2 3 4 5 6 7 8
0	0 0 0 0 0	1 1 1 1 1 0 0 0
1	0 0 0 0 1	1 1 1 1 1 0 0 0
2	0 0 0 1 0	1 1 1 1 1 0 0 0
3	0 0 0 1 1	1 1 1 1 1 0 0 0
4	0 0 1 0 0	1 1 1 1 1 0 0 0
5	0 0 1 0 1	1 1 1 1 1 0 0 0
6	0 0 1 1 0	1 1 1 1 1 0 0 0
7	0 0 1 1 1	1 1 1 1 1 0 0 0
8	0 1 0 0 0	1 1 1 1 1 0 0 0
9	0 1 0 0 1	1 1 1 1 1 0 0 0
10	0 1 0 1 0	1 1 1 1 1 0 0 0
11	0 1 0 1 1	1 1 1 1 1 0 0 0
12	0 1 1 0 0	1 1 1 1 1 0 0 0
13	0 1 1 0 1	1 1 1 1 1 0 0 0
14	0 1 1 1 0	1 1 1 1 1 0 0 0
15	0 1 1 1 1	1 1 1 1 0 1 1 1
16	1 0 0 0 0	1 1 1 1 1 0 0 0
17	1 0 0 0 1	1 1 1 1 1 0 0 0
18	1 0 0 1 0	1 1 1 1 1 0 0 0
19	1 0 0 1 1	1 1 1 1 1 0 0 0

Dekadická adresa	Binární adresa					Binární obsah							
	E	D	C	B	A	1	2	3	4	5	6	7	8
20	1	0	1	0	0	1	1	1	1	1	0	0	0
21	1	0	1	0	1	1	1	1	1	1	0	0	0
22	1	0	1	1	0	1	1	1	1	1	0	0	0
23	1	0	1	1	1	1	1	1	0	1	0	1	1
24	1	1	0	0	0	1	1	1	1	1	0	0	0
25	1	1	0	0	1	1	1	1	1	1	0	0	0
26	1	1	0	1	0	1	1	1	1	1	0	0	0
27	1	1	0	1	1	1	1	0	1	1	1	1	0
28	1	1	1	0	0	1	1	1	1	1	0	0	0
29	1	1	1	0	1	1	0	1	1	1	0	1	0
30	1	1	1	1	0	0	1	1	1	1	1	0	0
31	1	1	1	1	1	1	1	1	1	1	0	0	0

Zapojení uvedené na výkrese, na obr. 1 sestává z pevné polovodičové paměti 100 na s n vstupy a n výstupy, kde n je rovno nejméně dvěma. První vstup a zároveň výstup 1 je spojen s prvním adresovým A_1 vstupem 11 pevné polovodičové paměti 100 a současně je spojen s prvním Y_1 výstupem 111 polovodičové paměti 100 až konečně n -tý vstup a zároveň výstup N je spojen s n -tým adresovým A_n vstupem 1N pevné polovodičové paměti 100 a současně je spojen s n -tým Y_n výstupem 11N polovodičové paměti 100. Po přivedení nízké logické úrovně L na některý vstup je výstupní slovo změněno na slovo odpovídající stavu na vstupu paměti. Tím dojde k přechodu na jiné slovo, překlopí vícestavového klopného obvodu. Výstupní slovo přiváděné na vstup nyní udrží klopný obvod v novém stavu i po odpojení nízké logické úrovně L od vstupu.

Příkladné zapojení vícestavového klopného obvodu vytvořeného z pevné polovodičové paměti je uvedeno na obr. 2. Sestává z pevné polovodičové paměti 100 s organizací 32×8 bitů a osmi zakončovacích odporů 10, 20, 30, 40, 50, 60, 70 a 80 připojených k otevřeným kolektorovým výstupům pevné polovodičové paměti 100. Konkrétní zapojení má první vstup a zároveň výstup 1 spojen s prvním adresovým A vstupem 11 pevné polovodičové paměti 100 a současně je spojen s prvním Y_1 otevřeným kolektorovým výstupem 111 a nadto je spojen s prvním přívodem prvního zakončovacího odporu 10, zatímco druhý vstup a zároveň výstup 2 je spojen s druhým adresovým B vstupem 12 a současně je spojen s druhým Y_2 otevřeným kolektorovým výstupem 112 a nadto je spojen s prvním přívodem druhého zakončovacího odporu 20, přičemž třetí vstup a zároveň výstup 3 je spojen s třetím adresovým C vstupem 13 pevné polovodičové paměti 100 a současně je spojen s třetím Y_3 otevřeným kolektorovým výstupem 113 a nadto je spojen s prvním přívodem třetího zakončovacího odporu 30, zatímco čtvrtý vstup a zároveň výstup 4 je spojen se čtvrtým adresovým D vstupem 14 pevné polovodičové paměti 100 a současně je spojen se čtvrtým Y_4 otevřeným kolektorovým výstupem 114 a nadto je spojen s prvním přívodem čtvrtého zakončovacího odporu 40, přičemž pátý vstup a zároveň výstup 5 je spojen s pátým adresovým E vstupem 15 pevné polovodičové paměti 100 a současně je spojen s pátým Y_5 otevřeným kolektorovým výstupem 115 a současně je spojen s prvním přívodem pátého zakončovacího odporu 50.

Šestý výstup 6 je spojen s šestým Y_6 otevřeným kolektorovým výstupem 116 a současně je spojen s prvním přívodem šestého zakončovacího odporu 60. Sedmý výstup 7 je spojen se sedmým Y_7 otevřeným kolektorovým výstupem 117 a současně je spojen s prvním přívodem sedmého zakončovacího odporu 70. Osmý výstup 8 je spojen s osmým Y_8 otevřeným kolektorovým výstupem 118 a současně je spojen s prvním přívodem osmého zakončovacího odporu 80. Napěťový vstup U_2 je propojen na druhé přívody prvního až osmého zakončovacího odporu 10, 20, 30, 40, 50, 60, 70 a 80, zatímco na strobovací V vstup 19 pevné polovodičové paměti 100 je připojeno zemním potenciálem napětí o nízké logické úrovni L .

Je-li vícestavový klopný obvod například ve stavu, kdy na prvním otevřeném kolektoru

rovém výstupu 111 a tedy i na prvním adresovém vstupu 11 je logická úroveň L, podle vpředu uvedené tabulky, to znamená, že na dalších čtyřech adresových B, C, D a E vstupu 12, 13, 14 a 15, je napětí v logické úrovni H. Je-li na některý jiný, třeba druhý adresový B vstup 12 pevné polovodičové paměti 100 přivedeno přes druhý vstup 2 napětí s logickou úrovní L, potom přejde pevná polovodičová paměť 100 podle tabulky do stavu, ve kterém na druhém Y 2 otevřeném kolektorovém výstupu 112 je logická úroveň L a zároveň na prvním Y 1 otevřeném kolektorovém výstupu 111 a tedy i na prvním adresovém A vstupu 11 přejde napětí do logické úrovně H.

Tím se v tomto novém stavu pevná polovodičová paměť 100 udrží i po odpojení napětí s nízkou logickou úrovní L od druhého vstupu 2, neboť z druhého Y 2 otevřeného kolektorového výstupu 112 bude logická úroveň L přivedena i na druhý adresový B vstup 12 pevné polovodičové paměti 100. Vstupy slouží zároveň jako výstupy pro indikaci stavu, ve kterém pevná polovodičová paměť 100 setrvává. Navíc je nadbytečný počet výstupů použit pro zakódování stavu pevné polovodičové paměti 100 do tvaru binárního slova.

Uvedené příkladné zapojení je navrženo pro pět stabilních stavů charakterizovaných tím, že v každém stavu je pouze jediný výstup s odlišnou logickou úrovní od ostatních výstupů. Volbou vhodného mikroprogramu lze realizovat klopný obvod až se 16 stabilními stavy při shodném zapojení. Místo jediného výstupu jsou pak vybírány zvolené kombinace výstupních signálů.

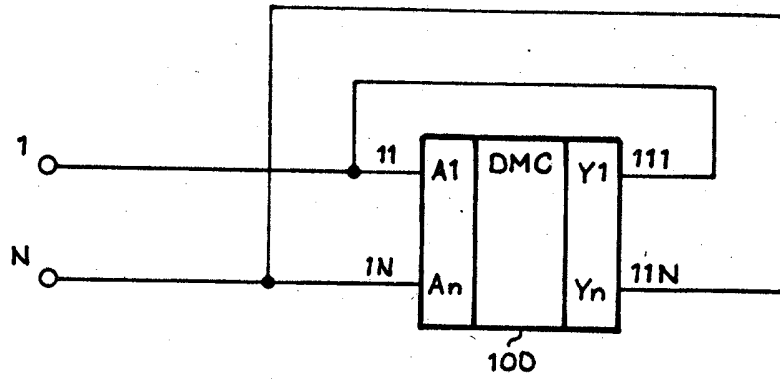
Kromě výhod vpředu uvedených je navržené zapojení možno kombinovat s jinou funkcí pevné polovodičové paměti, na které bude realizováno, jestliže u ní neobsadí všechny vstupy nebo výstupy, jak bylo naznačeno v příkladném zapojení vícecestavového klopného obvodu vytvořeného z pevné polovodičové paměti organizace 32 x 8.

Řešení podle výsledku lze s výhodou využít v oboru výpočetní techniky, v měřicí a regulační technice.

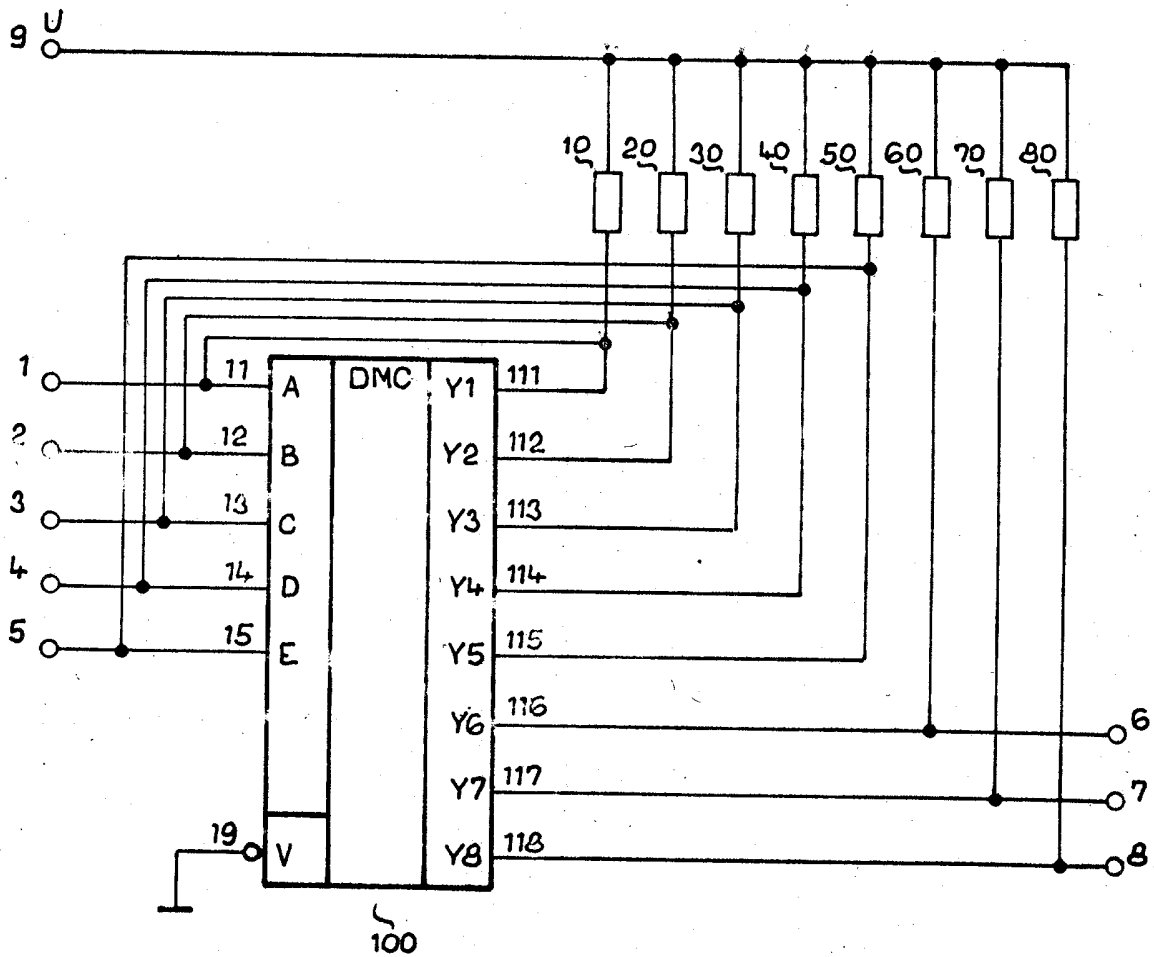
P R E D M Ě T V Y N Á L E Z U

Zapojení vícecestavového klopného obvodu vytvořeného z pevné polovodičové paměti s nejméně dvěma vstupy a nejméně dvěma výstupy, vyznačené tím, že první vstup a zároveň výstup (1) je spojen s prvním vstupem (11) pevné polovodičové paměti (100) a současně je spojen s prvním výstupem (111) pevné polovodičové paměti (100), přičemž n-tý vstup a zároveň výstup (N) je spojen s n-tým vstupem (1N) pevné polovodičové paměti (100) a současně je spojen s n-tým výstupem (11N) pevné polovodičové paměti (100).

1 list výkresů



Obr. 1



Obr. 2