



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월28일  
(11) 등록번호 10-2813655  
(24) 등록일자 2025년05월23일

(51) 국제특허분류(Int. Cl.)  
G06Q 40/04 (2023.01) G06N 20/00 (2019.01)  
(52) CPC특허분류  
G06Q 40/04 (2023.01)  
G06N 20/00 (2021.08)  
(21) 출원번호 10-2022-0043472  
(22) 출원일자 2022년04월07일  
심사청구일자 2022년04월07일  
(65) 공개번호 10-2023-0144337  
(43) 공개일자 2023년10월16일  
(56) 선행기술조사문헌  
W02020075304 A1\*  
Cartea, Alvaro, et al. "Buy low, sell high: A high frequency trading perspective." SIAM Journal on Financial Mathematics 5.1, pp.415-444, 2014.\*  
iego Albo Martinez et al. "Courier: Real-Time Optimal Batch Size Prediction for Latency SLOs in BigDL", ICPE '21: Proceedings of the ACM/SPEC Inter. Conf. on Performance Engineering, 9. April. 2021.\*  
JP2017117152 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
리벨리온 주식회사  
경기도 성남시 분당구 정자일로 239, 102동 801호(정자동, 아이파크분당1)  
(72) 발명자  
김현성  
경기도 성남시 분당구 정자일로 239, 102동 908호  
유성엽  
경기도 성남시 분당구 정자일로 239, 102동 908호  
오진욱  
경기도 성남시 분당구 정자일로 239, 102동 908호  
(74) 대리인  
김한솔, 김세환, 김준식, 안제성

전체 청구항 수 : 총 17 항

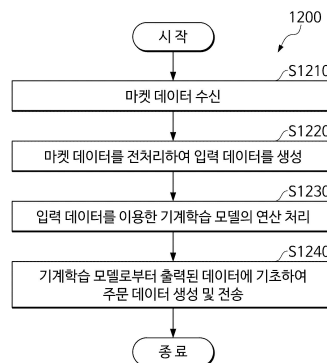
심사관 : 석상문

(54) 발명의 명칭 **고빈도 증권 거래 방법 및 시스템**

(57) 요약

본 개시는 적어도 하나의 프로세서에 의해 수행되는 고빈도 증권 거래 방법을 제공한다. 이 방법은 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하는 단계, 복수의 후보 배치 사이즈 중에서, 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하는 단계, 타겟 종목에 대한 마켓 데이터를 이용하여 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하는 단계, 기계학습 모델을 이용하여, 생성된 입력 데이터를 기초로 선택된 배치 사이즈와 연관된 미래 시점에서의 타겟 종목에 대한 예측 데이터를 생성하는 단계 및 생성된 예측 데이터에 기초하여 타겟 종목에 대한 주문 데이터를 생성하는 단계를 포함한다.

대표도 - 도12



이 발명을 지원한 국가연구개발사업

과제고유번호 1711153007  
 과제번호 2021-0-00310-002  
 부처명 과학기술정보통신부  
 과제관리(전문)기관명 정보통신기획평가원  
 연구사업명 SW컴퓨팅산업원천기술개발(R&D, 정보화)  
 연구과제명 인공지능 학습/추론 효율성 향상을 위한 서버용 SW 프레임워크 개발  
 기여율 60/100  
 과제수행기관명 리벨리온 주식회사  
 연구기간 2022.01.01 ~ 2022.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1711125953  
 과제번호 2020-0-01847-002  
 부처명 과학기술정보통신부  
 과제관리(전문)기관명 정보통신기획평가원  
 연구사업명 정보통신방송혁신인재양성(R&D)  
 연구과제명 비대면·인공지능 사회를 위한 반도체 시스템 융합혁신기술 개발  
 기여율 40/100  
 과제수행기관명 한국과학기술원 인공지능반도체시스템 연구센터  
 연구기간 2022.01.01 ~ 2022.12.31

---

## 명세서

### 청구범위

#### 청구항 1

적어도 하나의 프로세서에 의해서 수행되는, 고빈도 증권 거래 방법에 있어서,

상기 적어도 하나의 프로세서의 데이터 전처리부에 의해, 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하는 단계;

상기 데이터 전처리부에 의해, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하는 단계;

상기 데이터 전처리부에 의해, 타겟 종목에 대한 마켓 데이터를 이용하여 상기 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하는 단계;

기계학습 모델을 위한 전용 가속기에 의해, 상기 기계학습 모델을 이용하여, 상기 생성된 입력 데이터를 기초로 상기 선택된 배치 사이즈와 연관된 미래 시점에서의 상기 타겟 종목에 대한 예측 데이터를 생성하는 단계; 및

상기 적어도 하나의 프로세서의 주문 생성부에 의해, 상기 생성된 예측 데이터에 기초하여 상기 타겟 종목에 대한 주문 데이터를 생성하는 단계

를 포함하고,

상기 배치 사이즈를 선택하는 단계는,

복수의 미리 결정된 미래 시점의 각각에 대해, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간의 종료 시점이 상기 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택하는 단계를 포함하는,

고빈도 증권 거래 방법.

#### 청구항 2

삭제

#### 청구항 3

적어도 하나의 프로세서에 의해서 수행되는, 고빈도 증권 거래 방법에 있어서,

상기 적어도 하나의 프로세서의 데이터 전처리부에 의해, 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하는 단계;

상기 데이터 전처리부에 의해, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하는 단계;

상기 데이터 전처리부에 의해, 타겟 종목에 대한 마켓 데이터를 이용하여 상기 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하는 단계;

기계학습 모델을 위한 전용 가속기에 의해, 상기 기계학습 모델을 이용하여, 상기 생성된 입력 데이터를 기초로 상기 선택된 배치 사이즈와 연관된 미래 시점에서의 상기 타겟 종목에 대한 예측 데이터를 생성하는 단계; 및

상기 적어도 하나의 프로세서의 주문 생성부에 의해, 상기 생성된 예측 데이터에 기초하여 상기 타겟 종목에 대한 주문 데이터를 생성하는 단계

를 포함하고,

상기 배치 사이즈를 선택하는 단계는,

복수의 미리 결정된 미래 시점의 각각에 대해, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간의 종료 시점이 상기 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택하는 단계;

상기 복수의 미리 결정된 미래 시점의 각각에 대해 선택된 배치 사이즈의 각각에 대한 기대 수익을 산출하는 단계; 및

상기 복수의 미리 결정된 미래 시점의 각각에 대해 선택된 배치 사이즈 중에서, 상기 산출된 기대 수익이 가장 높은 배치 사이즈를 선택하는 단계

를 포함하는, 고빈도 증권 거래 방법.

#### 청구항 4

제3항에 있어서,

상기 기대 수익을 산출하는 단계는,

상기 복수의 미리 결정된 미래 시점의 각각에 대해, 상기 선택된 배치 사이즈의 각각, 쿼리당 수익률 및 상기 선택된 배치 사이즈의 각각에 대한 상기 기계학습 모델의 연산 시간에 기초하여, 상기 선택된 배치 사이즈의 각각의 기대 수익을 산출하는 단계를 포함하는,

고빈도 증권 거래 방법.

#### 청구항 5

제1항에 있어서,

상기 주문 생성부에 의해, 상기 생성된 주문 데이터를 타겟 증권 거래소로 전송하는 단계

를 더 포함하는, 고빈도 증권 거래 방법.

#### 청구항 6

제1항에 있어서,

상기 적어도 하나의 프로세서는 FPGA(Field Programmable Gate Array)와 상기 기계학습 모델을 위한 전용 가속기를 포함하고,

상기 지연 시간을 산출하는 단계는,

상기 복수의 후보 배치 사이즈의 각각에 대하여, 데이터 레이트(data rate), 상기 FPGA와 상기 전용 가속기 간의 입출력 데이터의 대역폭, 상기 입출력 데이터의 크기, 상기 전용 가속기에 의한 상기 기계학습 모델의 연산 속도, 상기 FPGA의 처리속도, 또는 상기 전용 가속기의 비지(busy) 상태 중 적어도 하나에 기초하여 상기 지연 시간을 산출하는 단계

를 포함하는, 고빈도 증권 거래 방법.

#### 청구항 7

적어도 하나의 프로세서에 의해서 수행되는, 고빈도 증권 거래 방법에 있어서,

상기 적어도 하나의 프로세서의 데이터 전처리부에 의해, 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하는 단계;

상기 데이터 전처리부에 의해, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간에 기초하여, 배치

사이즈를 선택하는 단계;

상기 데이터 전처리부에 의해, 타겟 종목에 대한 마켓 데이터를 이용하여 상기 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하는 단계;

기계학습 모델을 위한 전용 가속기에 의해, 상기 기계학습 모델을 이용하여, 상기 생성된 입력 데이터를 기초로 상기 선택된 배치 사이즈와 연관된 미래 시점에서의 상기 타겟 종목에 대한 예측 데이터를 생성하는 단계; 및

상기 적어도 하나의 프로세서의 주문 생성부에 의해, 상기 생성된 예측 데이터에 기초하여 상기 타겟 종목에 대한 주문 데이터를 생성하는 단계

를 포함하고,

상기 적어도 하나의 프로세서는 FPGA(Field Programmable Gate Array)와 상기 기계학습 모델을 위한 전용 가속기를 포함하고,

상기 지연 시간을 산출하는 단계는,

상기 복수의 후보 배치 사이즈의 각각에 대하여, 데이터 레이트(data rate), 상기 FPGA와 상기 전용 가속기 간의 입출력 데이터의 대역폭, 상기 입출력 데이터의 크기, 상기 전용 가속기에 의한 상기 기계학습 모델의 연산 속도, 상기 FPGA의 처리속도, 또는 상기 전용 가속기의 비지(busy) 상태 중 적어도 하나에 기초하여 상기 지연 시간을 산출하는 단계

를 포함하고,

상기 지연 시간은,

상기 FPGA에 의해 상기 마켓 데이터가 전처리되기까지 걸린 소요 시간, 상기 FPGA에서 상기 전용 가속기로 상기 전처리된 데이터를 전달하는데 소요되는 시간, 상기 전용 가속기에 의해 상기 기계학습 모델의 연산이 완료되기까지 걸린 소요 시간, 상기 전용 가속기에서 상기 FPGA로 연산 결과가 전달되는데 걸린 소요 시간 및 상기 FPGA에 의해 상기 연산 결과를 기초로 상기 주문 데이터가 생성되기까지 걸린 소요 시간을 포함하는,

고빈도 증권 거래 방법.

## 청구항 8

제1항에 있어서,

상기 데이터 전처리부에 의해, 상기 입력 데이터의 데이터 정확도(data precision)를 획득하는 단계

를 더 포함하고,

상기 지연 시간을 산출하는 단계는,

상기 복수의 후보 배치 사이즈의 각각에 대하여, 상기 입력 데이터의 정확도에 기초하여 지연 시간을 산출하는 단계

를 포함하는, 고빈도 증권 거래 방법.

## 청구항 9

제8항에 있어서,

상기 지연 시간은, 상기 입력 데이터의 데이터 정확도가 줄어들수록 늘어나는 프로세싱 요소(processing element)에 기초하여 산출되는,

고빈도 증권 거래 방법.

## 청구항 10

적어도 하나의 프로세서에 의해서 수행되는, 고빈도 증권 거래 방법에 있어서,

상기 적어도 하나의 프로세서의 데이터 전처리부에 의해, 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하는 단계;

상기 데이터 전처리부에 의해, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하는 단계;

상기 데이터 전처리부에 의해, 타겟 종목에 대한 마켓 데이터를 이용하여 상기 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하는 단계;

기계학습 모델을 위한 전용 가속기에 의해, 상기 기계학습 모델을 이용하여, 상기 생성된 입력 데이터를 기초로 상기 선택된 배치 사이즈와 연관된 미래 시점에서의 상기 타겟 종목에 대한 예측 데이터를 생성하는 단계; 및

상기 적어도 하나의 프로세서의 주문 생성부에 의해, 상기 생성된 예측 데이터에 기초하여 상기 타겟 종목에 대한 주문 데이터를 생성하는 단계

를 포함하고,

상기 전용 가속기는, 상기 기계학습 모델의 연산을 처리하기 위한 제1 전용 가속기와 제2 전용 가속기를 포함하고,

상기 지연 시간을 산출하는 단계는,

상기 복수의 후보 배치 사이즈의 각각에 대하여, 상기 제1 전용 가속기의 연산 시간을 포함하는 제1 지연 시간 및 상기 제2 전용 가속기의 연산 시간을 포함하는 제2 지연 시간을 산출하는 단계를 포함하고,

상기 배치 사이즈를 선택하는 단계는,

복수의 미리 결정된 미래 시점의 각각에 대해, 상기 산출된 제1 지연 시간 및 제2 지연 시간 중에서, 낮은 지연 시간의 종료 시점이 상기 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택하는 단계를 포함하는,

고빈도 증권 거래 방법.

### 청구항 11

제1항 및 제3항 내지 제10항 중 어느 한 항에 따른 방법을 컴퓨터에서 실행하기 위해 컴퓨터 판독 가능한 기록 매체에 저장된 컴퓨터 프로그램.

### 청구항 12

정보 처리 시스템에 있어서,

하나 이상의 인스트럭션을 저장하는 제1 메모리;

상기 제1 메모리의 하나 이상의 인스트럭션을 실행함으로써 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하고, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하고, 타겟 종목에 대한 마켓 데이터를 이용하여 상기 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하도록 구성된 적어도 하나의 프로세서;

하나 이상의 인스트럭션을 저장하는 제2 메모리; 및

상기 제2 메모리의 하나 이상의 인스트럭션을 실행함으로써 기계학습 모델을 이용하여, 상기 생성된 입력 데이터를 기초로 상기 선택된 배치 사이즈와 연관된 미래 시점에서 상기 타겟 종목에 대한 예측 데이터를 생성하고, 상기 생성된 예측 데이터를 상기 적어도 하나의 프로세서에 제공하도록 구성된 상기 기계학습 모델을 위한 전용 가속기를 포함하고,

상기 적어도 하나의 프로세서는,

상기 전용 가속기로부터 제공된 예측 데이터에 기초하여 상기 타겟 종목에 대한 주문 데이터를 생성하도록 더 구성되고,

상기 배치 사이즈를 선택하는 것은,

복수의 미리 결정된 미래 시점의 각각에 대해, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간의 종료 시점이 상기 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택하는 것을 포함하는,

정보 처리 시스템.

### 청구항 13

삭제

### 청구항 14

정보 처리 시스템에 있어서,

하나 이상의 인스트럭션을 저장하는 제1 메모리;

상기 제1 메모리의 하나 이상의 인스트럭션을 실행함으로써 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하고, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하고, 타겟 종목에 대한 마켓 데이터를 이용하여 상기 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하도록 구성된 적어도 하나의 프로세서;

하나 이상의 인스트럭션을 저장하는 제2 메모리; 및

상기 제2 메모리의 하나 이상의 인스트럭션을 실행함으로써 기계학습 모델을 이용하여, 상기 생성된 입력 데이터를 기초로 상기 선택된 배치 사이즈와 연관된 미래 시점에서 상기 타겟 종목에 대한 예측 데이터를 생성하고, 상기 생성된 예측 데이터를 상기 적어도 하나의 프로세서에 제공하도록 구성된 상기 기계학습 모델을 위한 전용 가속기를 포함하고,

상기 적어도 하나의 프로세서는,

상기 전용 가속기로부터 제공된 예측 데이터에 기초하여 상기 타겟 종목에 대한 주문 데이터를 생성하도록 더 구성되고,

상기 배치 사이즈를 선택하는 것은,

복수의 미리 결정된 미래 시점의 각각에 대해, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간의 종료 시점이 상기 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택하고, 상기 복수의 미리 결정된 미래 시점의 각각에 대해 선택된 배치 사이즈의 각각에 대한 기대 수익을 산출하고, 상기 복수의 미리 결정된 미래 시점의 각각에 대해 선택된 배치 사이즈 중에서, 상기 산출된 기대 수익이 가장 높은 배치 사이즈를 선택하는 것을 포함하는,

정보 처리 시스템.

### 청구항 15

제14항에 있어서,

상기 기대 수익을 산출하는 것은,

상기 복수의 미리 결정된 미래 시점의 각각에 대해, 상기 선택된 배치 사이즈의 각각, 쿼리당 수익률 및 상기 선택된 배치 사이즈의 각각에 대한 상기 기계학습 모델의 연산 시간에 기초하여, 상기 선택된 배치 사이즈의 각각의 기대 수익을 산출하는 것을 포함하는,

정보 처리 시스템.

**청구항 16**

제12항에 있어서,

상기 적어도 하나의 프로세서는, FPGA(Field Programmable Gate Array)로 구현되고, 상기 기계학습 모델을 위한 전용 가속기는 뉴럴 처리 유닛을 위한 집적회로(NPU ASIC)로 구현되고,

상기 지연 시간을 산출하는 것은,

상기 복수의 후보 배치 사이즈의 각각에 대하여, 데이터 레이트(data rate), 상기 FPGA와 상기 전용 가속기 간의 입출력 데이터의 대역폭, 상기 입출력 데이터의 크기, 상기 전용 가속기에 의한 상기 기계학습 모델의 연산 속도, 상기 FPGA의 처리속도, 또는 상기 전용 가속기의 비지(busy) 상태 중 적어도 하나에 기초하여 상기 지연 시간을 산출하는 것을 포함하는,

정보 처리 시스템.

**청구항 17**

제12항에 있어서,

상기 적어도 하나의 프로세서는,

상기 입력 데이터의 데이터 정확도를 획득하도록 더 구성되고,

상기 지연 시간을 산출하는 것은,

상기 복수의 후보 배치 사이즈의 각각에 대하여, 상기 입력 데이터의 정확도에 기초하여 지연 시간을 산출하는 것을 포함하는,

정보 처리 시스템.

**청구항 18**

제17항에 있어서,

상기 지연 시간은, 상기 입력 데이터의 데이터 정확도가 줄어들수록 따라 늘어나는 프로세싱 요소에 기초하여 산출되는,

정보 처리 시스템.

**청구항 19**

정보 처리 시스템에 있어서,

하나 이상의 인스트럭션을 저장하는 제1 메모리;

상기 제1 메모리의 하나 이상의 인스트럭션을 실행함으로써 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하고, 상기 복수의 후보 배치 사이즈 중에서, 상기 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하고, 타겟 종목에 대한 마켓 데이터를 이용하여 상기 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하도록 구성된 적어도 하나의 프로세서;

하나 이상의 인스트럭션을 저장하는 제2 메모리; 및

상기 제2 메모리의 하나 이상의 인스트럭션을 실행함으로써 기계학습 모델을 이용하여, 상기 생성된 입력 데이터를 기초로 상기 선택된 배치 사이즈와 연관된 미래 시점에서 상기 타겟 종목에 대한 예측 데이터를 생성하고,

상기 생성된 예측 데이터를 상기 적어도 하나의 프로세서에 제공하도록 구성된 상기 기계학습 모델을 위한 전용 가속기를 포함하고,

상기 적어도 하나의 프로세서는,

상기 전용 가속기로부터 제공된 예측 데이터에 기초하여 상기 타겟 종목에 대한 주문 데이터를 생성하도록 더 구성되고,

상기 전용 가속기는, 상기 기계학습 모델의 연산을 처리하기 위한 제1 전용 가속기와 제2 전용 가속기를 포함하고,

상기 지연 시간을 산출하는 것은, 상기 복수의 후보 배치 사이즈의 각각에 대하여, 상기 제1 전용 가속기의 연산 시간을 포함하는 제1 지연 시간 및 상기 제2 전용 가속기의 연산 시간을 포함하는 제2 지연 시간을 산출하는 것을 포함하고,

상기 배치 사이즈를 선택하는 것은,

복수의 미리 결정된 미래 시점의 각각에 대해, 상기 산출된 제1 지연 시간 및 제2 지연 시간 중에서, 낮은 지연 시간의 종료 시점이 상기 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택하는 것을 포함하는,

정보 처리 시스템.

### 발명의 설명

#### 기술 분야

[0001] 본 개시는 고빈도 증권 거래 방법 및 시스템에 관한 것으로서, 구체적으로, 기계학습 모델을 이용하여 획득된 타겟 종목에 대한 예측 데이터에 기초하여 주문 데이터를 생성하는 고빈도 증권 거래 방법 및 시스템에 관한 것이다.

#### 배경 기술

[0002] 고빈도 증권 거래(high frequency trading)는 주식, 채권, 파생상품 등 유가 증권의 미세한 가격 변동을 이용하여, 짧은 시간 안에 높은 빈도(예를 들어, 1초에 수백 번에서 수천 번)로 거래하는 거래 방식이다. 고빈도 증권 거래에 있어서는 빠른 처리 속도가 매우 중요하다. 일반적으로, 입력된 정보를 기초로 트레이딩 알고리즘을 처리하여 출력을 내보내기까지의 시간이 단축될수록 거래에서의 우위가 선점될 수 있다.

[0003] 한편, 기계학습 모델을 이용한 고빈도 증권 거래 기법은 마켓으로부터 획득되는 대량의 데이터를 분석하기 때문에, 특정 종목의 시세 예측 시 기존의 고전적인 알고리즘을 통해 획득될 수 있는 예측의 정확성에 영향을 미치는 인자들보다 더 많은 인자들을 고려할 수 있다. 다만, 기계학습 모델을 이용하여 대량의 데이터를 분석하기 위해서는, 기계학습의 연산에 많은 저장 공간과 처리 자원이 요구될 수 있다. 그러나, 기존의 프로세서는, 이러한 고빈도 증권 거래 기법을 지원하기에는 적합하지 않을 수 있다.

[0004] 또한, 기계학습 모델에서, 대량의 데이터에 대한 복잡한 연산이 요구되기 때문에, 기계학습 모델을 이용하는 경우 증권 주문을 위한 지연 시간(latency)이 생겨날 수 있다. 이러한 지연 시간으로 인하여, 기계학습 모델을 통해서 증권 종목의 예측 데이터가 출력되는 시점이 이미 과거의 시점이 되는 시점 괴리 현상이 발생할 수 있다. 예컨대, 기계학습 모델이 T1 미래 시점(T1은 양수임)에서의 타겟 종목에 대한 예측 데이터를 출력하였으나, 지연 시간으로 인하여 예측 데이터가 획득되는 시점이 T1 + n(n은 양수임)가 되어, 예측 데이터가 과거에 대한 데이터가 되는 문제점이 발생할 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0005] 본 개시는 상기와 같은 문제점을 해결하기 위한 고빈도 증권 거래 방법, 기록매체에 저장된 컴퓨터 프로그램 및 장치(시스템)를 제공한다.

#### 과제의 해결 수단

- [0006] 본 개시는 방법, 장치(시스템) 및/또는 컴퓨터 판독 가능 저장 매체에 저장된 컴퓨터 프로그램, 컴퓨터 프로그램이 저장된 컴퓨터 판독 가능 저장 매체를 포함한 다양한 방식으로 구현될 수 있다.
- [0007] 본 개시의 일 실시예에 따르면, 적어도 하나의 프로세서에 의해 실행되는 고빈도 증권 거래 방법은, 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하는 단계, 복수의 후보 배치 사이즈 중에서, 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하는 단계, 타겟 종목에 대한 마켓 데이터를 이용하여 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하는 단계, 기계학습 모델을 이용하여, 생성된 입력 데이터를 기초로 선택된 배치 사이즈와 연관된 미래 시점에서의 타겟 종목에 대한 예측 데이터를 생성하는 단계 및 생성된 예측 데이터에 기초하여 타겟 종목에 대한 주문 데이터를 생성하는 단계를 포함할 수 있다.
- [0008] 또한, 배치 사이즈를 선택하는 단계는, 복수의 미리 결정된 미래 시점의 각각에 대해, 복수의 후보 배치 사이즈 중에서, 산출된 지연 시간의 종료 시점이 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택하는 단계를 포함할 수 있다.
- [0009] 또한, 배치 사이즈를 선택하는 단계는, 복수의 미리 결정된 미래 시점의 각각에 대해 선택된 배치 사이즈의 각각에 대한 기대 수익을 산출하는 단계 및 복수의 미리 결정된 미래 시점의 각각에 대해 선택된 배치 사이즈 중에서, 산출된 기대 수익이 가장 높은 배치 사이즈를 선택하는 단계를 더 포함할 수 있다.
- [0010] 또한, 기대 수익을 산출하는 단계는, 복수의 미리 결정된 미래 시점의 각각에 대해, 선택된 배치 사이즈의 각각, 쿼리당 수익률 및 선택된 배치 사이즈의 각각에 대한 기계학습 모델의 연산 시간에 기초하여, 선택된 배치 사이즈의 각각의 기대 수익을 산출하는 단계를 포함할 수 있다.
- [0011] 또한, 고빈도 증권 거래 방법은, 생성된 주문 데이터를 타겟 증권 거래소로 전송하는 단계를 더 포함할 수 있다.
- [0012] 또한, 적어도 하나의 프로세서는 FPGA(Field Programmable Gate Array)와 기계학습 모델을 위한 전용 가속기를 포함할 수 있다. 이 경우, 지연 시간을 산출하는 단계는, 복수의 후보 배치 사이즈의 각각에 대하여, 데이터 레이트(data rate), FPGA와 전용 가속기 간의 입출력 데이터의 대역폭, 입출력 데이터의 크기, 전용 가속기에 의한 기계학습 모델의 연산속도, FPGA의 처리속도, 또는 전용 가속기의 비지(busy) 상태 중 적어도 하나에 기초하여 지연 시간을 산출하는 단계를 포함할 수 있다.
- [0013] 또한, 지연 시간은, FPGA에 의해 마켓 데이터가 전처리되기까지 걸린 소요 시간, FPGA에서 전용 가속기로 전처리된 데이터를 전달하는데 소요되는 시간, 전용 가속기에 의해 기계학습 모델의 연산이 완료되기까지 걸린 소요 시간, 전용 가속기에서 FPGA로 연산 결과가 전달되는데 걸린 소요 시간 및 FPGA에 의해 연산 결과를 기초로 주문 데이터가 생성되기까지 걸린 소요 시간을 포함할 수 있다.
- [0014] 또한, 고빈도 증권 거래 방법은, 입력 데이터의 데이터 정확도(data precision)를 획득하는 단계를 더 포함하고, 지연 시간을 산출하는 단계는, 복수의 후보 배치 사이즈의 각각에 대하여, 입력 데이터의 정확도에 기초하여 지연 시간을 산출하는 단계를 포함할 수 있다.
- [0015] 또한, 지연 시간은, 입력 데이터의 데이터 정확도가 줄어들어 따라 늘어나는 프로세싱 요소(processing element)에 기초하여 산출될 수 있다.
- [0016] 또한, 적어도 하나의 프로세서는, 기계학습 모델의 연산을 처리하기 위한 제1 전용 가속기와 제2 전용 가속기를 포함하고, 지연 시간을 산출하는 단계는, 복수의 후보 배치 사이즈의 각각에 대하여, 제1 전용 가속기의 연산 시간을 포함하는 제1 지연 시간 및 제2 전용 가속기의 연산 시간을 포함하는 제2 지연 시간을 산출하는 단계를 포함하고, 배치 사이즈를 선택하는 단계는, 복수의 미리 결정된 미래 시점의 각각에 대해, 산출된 제1 지연 시간 및 제2 지연 시간 중에서, 낮은 지연 시간의 종료 시점이 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택하는 단계를 포함할 수 있다.
- [0017] 본 개시의 일 실시예 따른 고빈도 증권 거래 방법을 컴퓨터에서 실행하기 위해 컴퓨터 판독 가능한 기록 매체에 저장된 컴퓨터 프로그램이 제공될 수 있다.
- [0018] 본 개시의 일 실시예 따르면, 정보 처리 시스템은 하나 이상의 인스트럭션을 저장하는 제1 메모리, 제1 메모리의 하나 이상의 인스트럭션을 실행함으로써 복수의 후보 배치 사이즈의 각각에 대한 증권 주문을 위한 지연 시간을 산출하고, 복수의 후보 배치 사이즈 중에서, 산출된 지연 시간에 기초하여, 배치 사이즈를 선택하고, 타겟 종목에 대한 마켓 데이터를 이용하여 선택된 배치 사이즈에 대응하는 입력 데이터를 생성하도록 구성된 적어도 하나의 프로세서, 하나 이상의 인스트럭션을 저장하는 제2 메모리, 및 제2 메모리의 하나 이상의 인스트럭션을

실행함으로써 기계학습 모델을 이용하여, 생성된 입력 데이터를 기초로 선택된 배치 사이즈와 연관된 미래 시점에서 타겟 종목에 대한 예측 데이터를 생성하고, 생성된 예측 데이터를 적어도 하나의 프로세서에 제공하도록 구성된 기계학습 모델을 위한 전용 가속기를 포함할 수 있다. 또한, 적어도 하나의 프로세서는, 전용 가속기로부터 제공된 예측 데이터에 기초하여 타겟 종목에 대한 주문 데이터를 생성하도록 더 구성될 수 있다.

**발명의 효과**

- [0019] 본 개시의 일부 실시예에 따르면, 현재 수신되거나 수집되는 주식 데이터의 빈도에 따라 기계학습 모델의 입력을 위한 배치 사이즈를 결정함으로써, 예측 가격의 정확도가 향상되거나 유지되면서 기계학습 모델에서의 불필요한 연산이 최소화되거나 방지될 수 있다.
- [0020] 본 개시의 일부 실시예에 따르면, 시점 괴리가 발생하지 않은 시간 이내에 기계학습 모델이 처리할 수 있는 최대 배치(batch) 사이즈에 대응하는 입력 데이터가 생성되고, 생성된 입력 데이터가 기계학습 모델에 입력될 수 있다. 이에 따라, 시점 괴리가 발생되지 않으면서 타겟 종목에 대한 보다 정확한 예측 데이터가 기계학습 모델로부터 획득될 수 있다.
- [0021] 본 개시의 일부 실시예에 따르면, 복수의 후보 배치 사이즈의 각각에 대한 지연 시간이 예측되고, 예측된 지연 시간의 종료 시점이 미래 시점보다 앞선 배치 사이즈를 선택함으로써, 불필요한 연산(예컨대, 시점 괴리를 발생시키는 연산)이 기계학습 모델에서 수행되는 것이 방지될 수 있다.
- [0022] 본 개시의 일부 실시예에 따르면, 단일의 기계학습 모델을 이용하여 복수의 미래 시점에서의 타겟 종목의 가격이 정확하게 예측되고, 예측된 결과에 기초로 기대 수익이 최대치가 되는 미래 시점에 증권이 주문될 수 있다. 이에 따라, 증권 매매 수익률이 극대화될 수 있다.
- [0023] 본 개시의 일부 실시예에 따르면, 복수의 전용 가속기 중에서 최대 수익을 기대할 수 있는 전용 가속기가 선택되고, 선택된 전용 가속기를 통해서 기계학습 모델을 이용한 연산이 수행될 수 있다. 이러한 경우, 연산 속도가 향상되고 더욱 빠른 주문 데이터가 생성되어, 증권 매매 수익률이 극대화될 수 있다.
- [0024] 본 개시의 효과는 이상에서 언급한 효과로 제한되지 않으며, 언급되지 않은 다른 효과들은 청구범위의 기재로부터 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자('통상의 기술자'라 함)에게 명확하게 이해될 수 있을 것이다.

**도면의 간단한 설명**

- [0025] 본 개시의 실시예들은, 이하 설명하는 첨부 도면들을 참조하여 설명될 것이며, 여기서 유사한 참조 번호는 유사한 요소들을 나타내지만, 이에 한정되지는 않는다.
- 도 1은 본 개시의 일 실시예에 따른 정보 처리 시스템의 작동 예시를 나타내는 개요도이다.
- 도 2는 본 개시의 일 실시예에 따른 정보 처리 시스템의 내부 구성을 나타내는 블록도이다.
- 도 3은 본 개시의 일 실시예에 따른 프로세서의 내부 구성을 나타내는 도면이다.
- 도 4는 프로세서와 전용 가속기에서 발생하는 지연 시간을 시각화한 것이다.
- 도 5는 증권 주문을 위한 지연 시간을 시각화하여 예시한 도면이다.
- 도 6은 복수의 미래 시점을 시각화하여 예시한 도면이다.
- 도 7은 후보 배치 사이즈 별로 산출된 지연 시간을 시각적으로 예시한 도면이다.
- 도 8은 각 전용 가속기의 배치 사이즈 별로 산출된 지연 시간을 시각적으로 예시한 도면이다.
- 도 9는 본 개시의 일 실시예에 따른 기계학습 모델이 입력 데이터를 기초로 출력 데이터를 출력하는 예시를 나타내는 도면이다.
- 도 10은 본 개시의 일 실시예에 따른 기계학습 모델의 입력 데이터의 구성의 예시를 나타내는 도면이다.
- 도 11은 본 개시의 일 실시예에 따른 인공신경망 모델을 나타내는 예시도이다.
- 도 12는 본 개시의 일 실시예에 따른, 증권 거래 방법을 설명하기 위한 흐름도이다.
- 도 13은 본 개시의 일 실시예에 따른, 마켓 데이터의 전처리 방법을 설명하기 위한 흐름도이다.

도 14는 복수의 미래 시점별 기대 수익을 예시적으로 나타내는 도면이다.

도 15는 본 개시의 다른 실시예에 따른 증권 거래 방법을 설명하기 위한 흐름도이다.

도 16은 출력 데이터에 기초하여 주문 데이터가 생성되는 과정을 예시적으로 나타낸 도면이다.

도 17은 본 개시의 일 실시예에 따른 증권 거래 생성과 연관된 임의의 컴퓨팅 장치의 구성도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 이하, 본 개시의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 상세히 설명한다. 다만, 이하의 설명에서는 본 개시의 요지를 불필요하게 흐릴 우려가 있는 경우, 널리 알려진 기능이나 구성에 관한 구체적 설명은 생략하기로 한다.
- [0027] 첨부된 도면에서, 동일하거나 대응하는 구성요소에는 동일한 참조부호가 부여되어 있다. 또한, 이하의 실시예들의 설명에 있어서, 동일하거나 대응되는 구성요소를 중복하여 기술하는 것이 생략될 수 있다. 그러나, 구성요소에 관한 기술이 생략되어도, 그러한 구성요소가 어떤 실시예에 포함되지 않는 것으로 의도되지는 않는다.
- [0028] 개시된 실시예의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 개시는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 개시가 완전하도록 하고, 본 개시가 통상의 기술자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것일 뿐이다.
- [0029] 본 명세서에서 사용되는 용어에 대해 간략히 설명하고, 개시된 실시예에 대해 구체적으로 설명하기로 한다. 본 명세서에서 사용되는 용어는 본 개시에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 관련 분야에 종사하는 기술자의 의도 또는 판례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서, 본 개시에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 개시의 전반에 걸친 내용을 토대로 정의되어야 한다.
- [0030] 본 명세서에서의 단수의 표현은 문맥상 명백하게 단수인 것으로 특정하지 않는 한, 복수의 표현을 포함한다. 또한, 복수의 표현은 문맥상 명백하게 복수인 것으로 특정하지 않는 한, 단수의 표현을 포함한다. 명세서 전체에서 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있음을 의미한다.
- [0031] 또한, 명세서에서 사용되는 '모듈' 또는 '부'라는 용어는 소프트웨어 또는 하드웨어 구성요소를 의미하며, '모듈' 또는 '부'는 어떤 역할들을 수행한다. 그렇지만, '모듈' 또는 '부'는 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '모듈' 또는 '부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서, '모듈' 또는 '부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 또는 변수들 중 적어도 하나를 포함할 수 있다. 구성요소들과 '모듈' 또는 '부'들은 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '모듈' 또는 '부'들로 결합되거나 추가적인 구성요소들과 '모듈' 또는 '부'들로 더 분리될 수 있다.
- [0032] 본 개시의 일 실시예에 따르면, '모듈' 또는 '부'는 프로세서 및 메모리로 구현될 수 있다. '프로세서'는 범용 프로세서, 중앙 처리 장치(CPU), 마이크로프로세서, 디지털 신호 프로세서(DSP), 제어기, 마이크로제어기, 상태머신 등을 포함하도록 넓게 해석되어야 한다. 몇몇 환경에서, '프로세서'는 주문형 반도체(ASIC), 프로그램가능 로직 디바이스(PLD), 필드 프로그램가능 게이트 어레이(FPGA) 등을 지칭할 수도 있다. '프로세서'는, 예를 들어, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들의 조합, DSP 코어와 결합한 하나 이상의 마이크로프로세서들의 조합, 또는 임의의 다른 그러한 구성들의 조합과 같은 처리 디바이스들의 조합을 지칭할 수도 있다. 또한, '메모리'는 전자 정보를 저장 가능한 임의의 전자 컴포넌트를 포함하도록 넓게 해석되어야 한다. '메모리'는 임의 액세스 메모리(RAM), 판독-전용 메모리(ROM), 비-휘발성 임의 액세스 메모리(NVRAM), 프로그램가능 판독-전용 메모리(PROM), 소거-프로그램가능 판독 전용 메모리(EPROM), 전기적으로 소거가능 PROM(EEPROM), 플래쉬 메모리, 자기 또는 광학 데이터 저장장치, 레지스터들 등과 같은 프로세서-판독가능 매체의 다양한 유형들을 지칭할 수도 있다. 프로세서가 메모리로부터 정보를 판독하고/하거나 메모리에 정보를 기록할 수 있다면 메모리는 프로세서와 전자 통신 상태에 있다고 불린다. 프로세서에 집적된 메모리는 프로세서

와 전자 통신 상태에 있다.

- [0033] 본 개시에서, '시스템'은 서버 장치와 클라우드 장치 중 적어도 하나의 장치를 포함할 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 시스템은 하나 이상의 서버 장치로 구성될 수 있다. 다른 예로서, 시스템은 하나 이상의 클라우드 장치로 구성될 수 있다. 또 다른 예로서, 시스템은 서버 장치와 클라우드 장치가 함께 구성되어 동작될 수 있다. 또 다른 예로서, 시스템은 고빈도 증권 주문을 위한 클라이언트 장치를 지칭할 수 있다.
- [0034] 또한, 이하의 실시예들에서 사용되는 제1, 제2, A, B, (a), (b) 등의 용어는 어떤 구성요소를 다른 구성요소와 구별하기 위해 사용되는 것일 뿐, 그 용어에 의해 해당 구성요소의 본질이나 차례 또는 순서 등이 한정되지는 않는다.
- [0035] 또한, 이하의 실시예들에서, 어떤 구성요소가 다른 구성요소에 '연결', '결합' 또는 '접속'된다고 기재된 경우, 그 구성요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성요소 사이에 또 다른 구성요소가 '연결', '결합' 또는 '접속'될 수도 있다고 이해되어야 한다.
- [0036] 또한, 이하의 실시예들에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0037] 본 개시에서, '복수의 A의 각각' 또는 '복수의 A 각각'은 복수의 A에 포함된 모든 구성 요소의 각각을 지칭하거나, 복수의 A에 포함된 일부 구성 요소의 각각을 지칭할 수 있다.
- [0038] 본 개시의 다양한 실시예들을 설명하기에 앞서, 사용되는 용어에 대하여 설명하기로 하기로 한다.
- [0039] 본 개시에서, '종목'이란, 증권 시장에서 매매 거래의 대상이 되는 주식, 채권, 파생상품(옵션, 선물 등)과 같은 유가 증권을 내용과 형식에 따라 분류한 것을 지칭할 수 있다. 종목은 개별 종목 이외에 지수 관련 종목, 산업 섹터와 관련된 종목, 특정 상품(예를 들어, 원유, 농산물, 금 등)에 대한 종목, 환율 관련 종목 등도 포함할 수 있다.
- [0040] 본 개시에서, '증권 거래소'란, 적어도 하나의 국가에서 유통되는 유가 증권을 유통하는 곳으로서, 각 기업이나 정보 등이 발행한 유가 증권을 상장하여 거래할 수 있도록 중개하는 곳을 지칭할 수 있다. 일 실시예에서, 증권 거래소는 증권 거래소의 시스템을 포함할 수 있다.
- [0041] 본 개시에서, '오더북(Order Book; OB)'은 증권 시장에 존재하는 매수 희망자와 매도 희망자의 매수 주문 또는 매도 주문(호가, 수량, 매수 희망자 또는 매도 희망자 정보 등)에 대한 정보를 기록한 목록을 포함할 수 있다.
- [0042] 본 개시에서, '오더북의 상단(Top of the Book; ToB)'은 가장 높은 매수가와 가장 낮은 매도가에 대한 정보를 포함할 수 있다.
- [0043] 본 개시에서, '마켓 데이터'는 증권 거래소에서 거래되는 종목들에 대한 데이터를 포함할 수 있다. 예를 들어, 마켓 데이터는 증권 거래소에서 거래되는 종목들(중 적어도 일부)의 오더북, 공시, 뉴스 등을 포함할 수 있다.
- [0044] 본 개시에서, '기계학습 모델'은 주어진 입력에 대한 해답(answer)을 추론하는데 사용하는 임의의 모델을 포함할 수 있다. 일 실시예에 따르면, 기계학습 모델은 입력 레이어(층), 복수 개의 은닉 레이어 및 출력 레이어를 포함한 인공신경망 모델을 포함할 수 있다. 여기서, 각 레이어는 복수의 노드를 포함할 수 있다. 또한, 본 개시에서, 기계학습 모델은 인공신경망 모델을 지칭할 수 있으며, 인공신경망 모델은 기계학습 모델을 지칭할 수 있다.
- [0045] 본 개시의 실시예들에서, '인스트럭션(instruction)'은 기능을 기준으로 묶인 일련의 컴퓨터 판독가능 명령어로서 컴퓨터 프로그램의 구성요소이자 프로세서에 의해 실행되는 것을 가리킨다.
- [0046] 이하, 본 개시의 다양한 실시예들에 대하여 첨부된 도면에 따라 상세하게 설명한다.
- [0047] 도 1은 본 개시의 일 실시예에 따른 정보 처리 시스템(110)의 작동 예시를 나타내는 개요도이다. 일 실시예에 따르면, 정보 처리 시스템(110)은 마켓 데이터를 기초로 하나 이상의 미래 시점(가까운 미래 시점, 예를 들어, 미리 정해진 시간 후)의 시장 상황을 예측할 수 있으며, 이를 기초로 타겟 종목에 대한 주문을 생성하여 타겟 증권 거래소(제2 증권 거래소)에 전송할 수 있다. 고빈도 증권 거래에 있어서, 마켓 데이터를 기초로 빠른 속

도로 주문을 생성하여 전송하는 것이 매우 중요하다. 이 때문에, 고빈도 증권 거래에서는 마이크로초 단위의 지연 시간(latency)까지 고려되어야 하며, 지연 시간을 감소시키기 위해 정보 처리 시스템(110)은 타겟 증권 거래소(제2 증권 거래소)의 서버와 가까운 곳에 위치(colocation)할 수 있다.

[0048] 일 실시예에 따르면, 정보 처리 시스템(110)은 제1 증권 거래소(120)로부터 마켓 데이터를 수신할 수 있다. 또한, 정보 처리 시스템(110)은 제1 증권 거래소(120) 이외에 웹 사이트로부터 마켓 데이터를 수신할 수 있다. 여기서, 웹 사이트는 하나 이상의 거래소에서 발생하는 마켓 데이터를 취합하는 사이트일 수 있고, 또는 사설 회사가 독자적으로 운영하는 웹 사이트일 수 있다. 마켓 데이터는 복수의 종목들에 대한 오더북, 공시, 뉴스 등이 포함될 수 있다. 일 실시예에서, 마켓 데이터는 타겟 종목에 대한 데이터를 포함할 수 있다. 예를 들어, 마켓 데이터는 타겟 종목의 오더북의 상단, 타겟 종목에 대한 (유효한) 주문 목록, 타겟 종목에 관한 이전 주문에 대한 제1 증권 거래소(120)의 응답 등을 포함할 수 있다.

[0049] 마켓 데이터는 단위 시간 동안에 동적으로 수신될 수 있다. 즉, 증권 시장 환경에 따라, 단위 시간 동안에 정보 처리 시스템(110)에서 수신되는 마켓 데이터의 크기 또는 개수가 상이할 수 있다. 예컨대, 증권 시장이 변동이 큰 경우에는 단위 시간 동안에 수신되는 마켓 데이터의 크기가 크거나 또는 데이터의 개수가 많을 수 있다. 즉, 증권 시장의 변동성이 커지는 경우에 오더북의 변동 크기 또는 횡수도 증가하여, 이에 따라 단위 시간당 정보 처리 시스템(110)에서 수신되는 마켓 데이터의 크기 또는 개수도 많아질 수 있다.

[0050] 도 1에서 제1 증권 거래소(120)는 하나의 증권 거래소인 것처럼 도시되었으나, 이는 설명의 편의를 위한 것일 뿐이며, 제1 증권 거래소(120)는 하나 이상의 증권 거래소를 포함할 수 있다. 또한, 도 1에서 제1 증권 거래소(120)는 제2 증권 거래소(130)와 다른 별개의 거래소인 것처럼 도시되었으나, 이 역시 설명의 편의를 위한 것일 뿐이며, 제1 증권 거래소(120)는 제2 증권 거래소(130)를 포함하거나, 제2 증권 거래소(130)는 제1 증권 거래소(120)를 포함할 수도 있다.

[0051] 일 실시예에 따르면, 정보 처리 시스템(110)은 마켓 데이터를 분석하여 주문을 생성할 수 있다. 예를 들어, 정보 처리 시스템(110)은 마켓 데이터 및/또는 마켓 데이터를 기초로 생성된 데이터를 분석하여, 하나 이상의 미래 시점(예를 들어, n초 후, 여기서 n은 양의 실수임)에서의 시장 상황(예를 들어, 타겟 종목의 가격)을 예측하고, 이를 기초로 주문을 생성할 수 있다. 여기서, 마켓 데이터 및/또는 마켓 데이터에 기초하여 생성된 데이터를 분석하는 과정은 기계학습 모델(예를 들어, DNN 등)에 의해 수행될 수 있다.

[0052] 한편, 고빈도 증권 거래에 있어서 마켓 데이터를 빠르게 분석하여 주문을 생성하는 것이 매우 중요한데, 일반적인 프로세서의 경우 기계학습 모델의 복잡하고 대량의 연산을 지원하기 위한 저장 공간과 연산 자원을 보유하고 있지 않아 일반적인 프로세서를 이용하여 기계학습 모델을 구동하는 경우, 처리 속도 및/또는 효율이 떨어질 수 있다. 이러한 점을 감안하여, 본 개시의 일 실시예에 따른 정보 처리 시스템(110)은, 기계학습 모델을 위한 전용 가속기(예를 들어, 뉴럴 처리 유닛(Neural Processing Unit; NPU))를 포함할 수 있으며, 전용 가속기는 뉴럴 처리 유닛을 위한 집적회로(예를 들어, Application-Specific Integrated Circuit; ASIC)로 구현될 수 있다.

[0053] 한편, 기계학습 모델을 이용하는 경우, 적절한 전/후 처리 과정이 필요할 수 있다. 예를 들어, 마켓 데이터로부터 기계학습 모델의 입력 데이터를 생성하거나, 기계학습 모델로부터 출력된 데이터를 기초로 주문 데이터를 생성하는 과정이 필요할 수 있다. 이러한 전/후 처리 과정은 시장 상황, 규율, 마켓 메이커에 대한 보상 규정 등의 변화에 따라 지속적으로 변경될 수 있다. 이러한 전/후 처리 과정을 처리하는 프로세서를 특정 용도로 맞춤 제작된 주문형 반도체(예를 들어, ASIC)로 구현하는 경우, 재설계가 불가능하여 전/후 처리 과정이 변경되는 경우 변경된 전/후 처리 과정을 수행하기 위한 프로세서를 다시 제작해야 한다는 문제점이 있다. 이에 따라, 기계학습 모델의 구동을 제외한 과정은 재프로그래밍 및/또는 설계 변경이 가능한 프로세서(예를 들어, 필드 프로그래머블 게이트 어레이(Field Programmable Gate Array; FPGA)로 구현된 프로세서)에 의해 수행될 수 있다.

[0054] 상술한 바와 같이, 기계학습 모델을 구동하는 프로세서가 전용 가속기(예를 들어, NPU ASIC)로 구성됨으로써 빠르고 효율적으로 기계학습 모델의 연산을 처리할 수 있다. 또한, 전/후 처리 과정은 재프로그래밍 또는 재설계가 가능한 프로세서(예를 들어, FPGA)를 이용하여 처리함으로써, 계속적으로 변화하는 시장 상황에 맞춰 유연하게 전/후 처리 과정이 변경될 수 있다. 이와 같이, 고빈도 증권 거래를 처리하기 위해 적합한 상이한 2이상의 프로세서를 사용함으로써, 유연한 전/후 처리 과정의 구현 및 효율적이고 빠른 기계학습 모델의 연산 처리가 동시에 실현될 수 있다. 정보 처리 시스템(110)의 내부 구성과 데이터 흐름에 대해서는 도 2 내지 도 4를 참조하여 상세히 후술된다.

[0055] 도 2는 본 개시의 일 실시예에 따른 정보 처리 시스템(110)의 내부 구성을 나타내는 블록도이다. 정보 처리 시

시스템(110)은 메모리(210), 프로세서(220), 통신 모듈(230) 및 입출력 인터페이스(240)를 포함할 수 있다. 도 2에 도시된 바와 같이, 정보 처리 시스템(110)은 통신 모듈(230)을 이용하여 네트워크를 통해 정보 및/또는 데이터를 통신할 수 있도록 구성될 수 있다.

[0056] 메모리(210)는 비-일시적인 임의의 컴퓨터 판독 가능한 기록매체를 포함할 수 있다. 일 실시예에 따르면, 메모리(210)는 ROM(read only memory), 디스크 드라이브, SSD(solid state drive), 플래시 메모리(flash memory) 등과 같은 비소멸성 대용량 저장 장치(permanent mass storage device)를 포함할 수 있다. 다른 예로서, ROM, SSD, 플래시 메모리, 디스크 드라이브 등과 같은 비소멸성 대용량 저장 장치는 메모리와는 구분되는 별도의 영구 저장 장치로서 정보 처리 시스템(110)에 포함될 수 있다. 또한, 메모리(210)에는 운영체제와 적어도 하나의 프로그램 코드(예를 들어, 정보 처리 시스템(110)에 설치되어 구동되는 기계학습 모델의 연산 처리, 전/후 처리, 증권 주문 전송 등을 위한 코드)가 저장될 수 있다. 도 2에서, 메모리(210)는 단일 메모리인 것으로 도시되었지만, 이는 설명의 편의를 위한 것일 뿐이며, 메모리(220)는 복수의 메모리를 포함할 수 있다.

[0057] 이러한 소프트웨어 구성요소들은 메모리(210)와는 별도의 컴퓨터에서 판독 가능한 기록매체로부터 로딩될 수 있다. 이러한 별도의 컴퓨터에서 판독 가능한 기록매체는 이러한 정보 처리 시스템(110)에 직접 연결가능한 기록매체를 포함할 수 있는데, 예를 들어, 플로피 드라이브, 디스크, 테이프, DVD/CD-ROM 드라이브, 메모리 카드 등의 컴퓨터에서 판독 가능한 기록매체를 포함할 수 있다. 다른 예로서, 소프트웨어 구성요소들은 컴퓨터에서 판독 가능한 기록매체가 아닌 통신 모듈(230)을 통해 메모리(210)에 로딩될 수도 있다. 예를 들어, 적어도 하나의 프로그램은 개발자들 또는 어플리케이션의 설치 파일을 배포하는 파일 배포 시스템이 통신 모듈(230)을 통해 제공하는 파일들에 의해 설치되는 컴퓨터 프로그램(예를 들어, 마켓 데이터 분석, 미래 시장 예측, 증권 주문 생성 및 전송 등을 위한 프로그램 등)에 기반하여 메모리(210)에 로딩될 수 있다.

[0058] 프로세서(220)는 기본적인 산술, 로직 및 입출력 연산을 수행함으로써, 컴퓨터 프로그램의 명령을 처리하도록 구성될 수 있다. 명령은 메모리(210) 또는 통신 모듈(230)에 의해 사용자 단말(미도시) 또는 다른 외부 시스템으로 제공될 수 있다. 예를 들어, 프로세서(220)는 기계학습 모델을 이용하여 입력 데이터에 기초하여 타겟 종목에 대한 예측 데이터를 생성하고, 생성된 예측 데이터를 기초로 주문 데이터를 생성할 수 있다. 이렇게 생성된 주문 데이터는 타겟 증권 거래소로 전송될 수 있다.

[0059] 통신 모듈(230)은 네트워크를 통해 사용자 단말(미도시)과 정보 처리 시스템(110)이 서로 통신하기 위한 구성 또는 기능을 제공할 수 있으며, 정보 처리 시스템(110)이 외부 시스템(일례로 별도의 클라우드 시스템 등)과 통신하기 위한 구성 또는 기능을 제공할 수 있다. 일례로, 정보 처리 시스템(110)의 프로세서(220)의 제어에 따라 제공되는 제어 신호, 명령, 데이터 등이 통신 모듈(230)과 네트워크를 거쳐 사용자 단말 및/또는 외부 시스템의 통신 모듈을 통해 사용자 단말 및/또는 외부 시스템으로 전송될 수 있다. 예를 들어, 외부 시스템(증권 거래소 시스템)은 정보 처리 시스템(110)으로부터 주문 데이터 등을 전달받을 수 있다.

[0060] 또한, 정보 처리 시스템(110)의 입출력 인터페이스(240)는 정보 처리 시스템(110)과 연결되거나 정보 처리 시스템(110)이 포함할 수 있는 입력 또는 출력을 위한 장치(미도시)와의 인터페이스를 위한 수단일 수 있다. 예를 들면, 입출력 인터페이스(240)는 PCI express 인터페이스, 이더넷(ethernet) 인터페이스 중 적어도 하나를 포함할 수 있다. 도 2에서는 입출력 인터페이스(240)가 프로세서(220)와 별도로 구성된 요소로서 도시되었으나, 이에 한정되지 않으며, 입출력 인터페이스(240)가 프로세서(220)에 포함되도록 구성될 수 있다. 정보 처리 시스템(110)은 도 2의 구성요소들보다 더 많은 구성요소들을 포함할 수 있다.

[0061] 정보 처리 시스템(110)의 프로세서(220)는 복수의 사용자 단말 및/또는 복수의 외부 시스템으로부터 수신된 정보 및/또는 데이터를 관리, 처리 및/또는 저장하도록 구성될 수 있다. 일 실시예에 따르면, 프로세서(220)는 제1 증권 거래소 시스템 및 제2 증권 거래소 시스템으로부터 마켓 데이터를 수신할 수 있다. 프로세서(220)는 수신된 마켓 데이터를 기초로 타겟 종목에 대한 하나 이상의 미래 시점의 예측 데이터를 생성하고, 생성된 예측 데이터에 기초하여 주문 데이터를 생성할 수 있다. 도 2에서, 프로세서(220)는 단일 프로세서인 것으로 도시되었지만, 이는 설명의 편의를 위한 것일 뿐이며, 프로세서(220)는 복수의 프로세서를 포함할 수 있다. 예를 들어, 프로세서(220)는 전처리 및 후처리를 위한 FPGA로 구현된 적어도 하나의 프로세서, 기계학습 모델을 위한 ASIC으로 구현된 하나 이상의 전용 가속기를 포함할 수 있다. 이 경우, FPGA로 구현된 적어도 하나의 프로세서는 제1 메모리에 저장된 하나 이상의 인스트럭션을 실행하고, ASIC으로 구현된 하나 이상의 전용 가속기는 제2 메모리에 저장된 하나 이상의 인스트럭션을 실행할 수 있다.

[0062] 도 3은 본 개시의 일 실시예에 따른 프로세서의 내부 구성을 나타내는 도면이다. 도 3와 도 4에서는 프로세서(300)가 보드(board) 형태로 구현된 것으로 예시하고 있다. 예를 들어, 정보 처리 시스템(110)의 프로세서

(220)는 도 3와 도 4의 프로세서(300)의 형태로 구현될 수 있다. 다른 예로서, 정보 처리 시스템(110)의 프로세서(220)는 도 3와 도 4의 프로세서(300)를 포함할 수 있다.

- [0063] 일 실시예에 따르면, 프로세서(300)는 데이터 전/후 처리를 위한 적어도 하나의 프로세서(320) 및 기계학습 모델을 위한 전용 가속기(예를 들어, ASIC으로 구현된 전용 가속기)(340)를 포함할 수 있다. 설명의 편의를 위해, 도 3 및 도 4에서는 전/후 처리를 위한 적어도 하나의 프로세서(320)는 FPGA(320)이고, 기계학습 모델을 위한 전용 가속기(340)는 NPU(340)인 것으로 지칭하여 설명한다.
- [0064] FPGA(320)는 데이터 수신부(322), 데이터 전처리부(324) 및 주문 생성부(326)를 포함할 수 있다. 도 3에서 프로세서의 내부 구성을 기능별로 구분하여 설명하지만, 이는 반드시 물리적으로 구분되는 것을 의미하지 않는다는 것을 밝혀 둔다. 또한, 도 3에서 도시한 FPGA(320)의 내부 구성은 예시일 뿐이며, 필수 구성만을 도시한 것은 아니다.
- [0065] 일 실시예에 따르면, FPGA(320)의 데이터 수신부(322)는 하나 이상의 증권 거래소(예를 들어, 제1 증권 거래소, 제2 증권 거래소 등)로부터 마켓 데이터를 수신할 수 있다. 일 실시예에서, 하나 이상의 증권 거래소는 타겟 증권 거래소를 포함할 수 있다. 여기서, 타겟 증권 거래소는 주문 데이터를 전송하는 목적지로서, 주문 데이터에 기초하여 증권 매도 또는 매수를 진행할 수 있다.
- [0066] 마켓 데이터는 하나 이상의 증권 거래소에서 거래되는 종목들에 대한 데이터를 포함할 수 있다. 예를 들어, 마켓 데이터는 증권 거래소에서 거래되는 종목들(중 적어도 일부)의 오더북을 포함할 수 있으며, 추가적으로 마켓 데이터는 타겟 종목에 대한 데이터를 포함할 수 있다. 예를 들어, 마켓 데이터는 타겟 종목의 오더북의 상단, 타겟 종목에 대한 (유효한)주문 목록, 타겟 종목에 관한 이전 주문에 대한 타겟 증권 거래소의 응답 등을 포함할 수 있다.
- [0067] 데이터 수신부(322)는 마켓 데이터의 갱신이 필요할 때마다 또는 주기적으로 증권 거래소로부터 마켓 데이터를 수신할 수 있다. 한편, 증권 시장 또는/및 타겟 증권의 변동폭이 크면, 마켓 데이터의 수신 횟수가 많아질 수 있고, 증권 시장 또는/및 타겟 증권의 변동폭이 작으면 마켓 데이터의 수신 횟수가 적어질 수 있다. 예를 들어, 타겟 종목의 가격 변동폭이 큰 경우, 데이터 수신부(322)는 타겟 종목의 오더북을 포함하는 마켓 데이터를 단위 시간 동안에 더욱 많은 횟수로 수신할 수 있다. 반대로, 타겟 종목의 가격 변동폭이 작으면 경우, 데이터 수신부(322)는 타겟 종목의 오더북을 포함하는 마켓 데이터를 단위 시간 동안에 적은 횟수로 수신할 수 있다.
- [0068] 고빈도 증권 거래에서는 빠른 속도로 데이터를 처리하는 것이 중요하기 때문에, 마켓 데이터는 데이터 전송 속도가 빠른 사용자 데이터그램 프로토콜(User Datagram Protocol; UDP)을 통해 수신될 수 있다. 다만, 일부 실시예에서, 필요에 따라(예를 들어, 데이터의 신뢰도를 확보하기 위해) 마켓 데이터 수신에 다른 통신 프로토콜(예를 들어, TCP/IP)이 사용될 수 있다.
- [0069] 데이터 전처리부(324)는 수신된 하나 이상의 마켓 데이터를 기초로 기계학습 모델에 대한 입력 데이터를 생성할 수 있다. 일 실시예에 따르면, 데이터 전처리부(324)는 마켓 데이터 중 하나 이상의 종목에 대한 하나 이상의 입력 특징을 선별하여 입력 데이터를 구성할 수 있다. 예를 들어, 데이터 전처리부(324)는 입력 데이터에 포함되는 입력 특징을 추출하거나 선별하기 위한 특징 추출부를 포함할 수 있다.
- [0070] 일 실시예에서, 입력 데이터에 포함되는 하나 이상의 종목은 타겟 종목의 시장 상황 변동의 선행 지표가 될 수 있는 종목을 포함할 수 있다. 예를 들어, 주문의 대상이 되는 타겟 종목이 A사 주식(현물) 종목인 경우, A사 주식과 관련된 선물 종목, A사 주식과 관련된 옵션 종목, 다른 거래소에 포함된 A사 관련 종목, A사와 연관된 상품(예: 원유 등)에 대한 선물 종목 등에 대한 데이터가 입력 데이터에 포함될 수 있다. 또한, 일 실시예에서, 입력 데이터에 포함되는 하나 이상의 입력 특징은 타겟 종목의 시장 상황 예측에 의미 있는 정보를 포함할 수 있다. 예를 들어, 입력 특징은 시장 가격(거래 가격), 매수 측 오더북 상단의 가격, 수량, 매도 측 오더북 상단의 가격, 수량, 매수 희망자 수, 매도 희망자 수, 오더북 상단 다음 단계의 매수 호가, 오더북 상단 다음 단계의 매도 호가, 오더북에 포함된 호가의 분산 등 하나 이상의 종목의 오더북으로부터 추출할 수 있는 여러 정보, 이를 가공한 정보 및/또는 정보의 신뢰도 등을 포함할 수 있다. 입력 데이터의 구성은 도 10을 참조하여 보다 상세히 후술하기로 한다.
- [0071] 일 실시예에 따르면, 데이터 전처리부(324)는 미리 결정된 복수의 후보 배치 사이즈 중에서 어느 하나를 선택하고, 선택된 후보 배치 사이즈에 대응하도록 기계학습 모델에 대한 입력 데이터를 생성할 수 있다. 서로 다른 복수의 배치 사이즈를 포함하는 후보 배치 사이즈 목록이 미리 생성될 수 있으며, 데이터 전처리부(324)는 후보

배치 사이즈 목록에서 어느 하나의 배치 사이즈를 선택할 수 있다. 데이터 전처리부(324)는 증권 주문을 위한 지연 시간(latency)을 산출하고, 산출된 지연 시간을 기초로 배치 사이즈 목록에서 하나의 배치 사이즈를 결정할 수 있다. 지연 시간이 산출되는 방법에 대해서는 도 4 및 도 5를 참조하여, 상세하게 후술하기로 한다.

[0072] 데이터 전처리부(324)에서 의해 생성된 입력 데이터는 기계학습 모델을 위한 전용 가속기인 NPU(340)로 전달되어, 기계학습 모델(예를 들어, DNN)로 입력될 수 있다. 일 실시예에 따르면, NPU(340)는 기계학습 모델의 구동을 위해 특화된 주문형 반도체(ASIC)로서 구현될 수 있다. NPU(340)는 기계학습 모델에 입력 데이터를 입력하는 것에 응답으로, 타겟 종목에 대한 예측 데이터를 획득할 수 있다. 예를 들어, NPU(340)는 기계학습 모델에 입력 데이터를 입력하여, 하나 이상의 미래 시점의 타겟 종목의 가격(예를 들어, 시장 가격)을 예측한 출력 데이터를 도출할 수 있다. 타겟 종목에 대한 주문과 연관된 출력 데이터를 도출하는 기계학습 모델과 관련하여서는, 도 9 내지 도 11을 참조하여 상세히 후술된다.

[0073] 주문 생성부(326)는 기계학습 모델로부터 출력된 예측 데이터를 제공받을 수 있고, 예측 데이터를 기초로 타겟 증권 거래소에서의 주문 데이터를 생성할 수 있다. 예를 들어, 주문 생성부(326)는 기계학습 모델로부터 추론된 미래 시점에서의 타겟 종목의 가격 변동 예측 및/또는 예측 가격을 기초로, 미리 결정된 규칙에 따라 타겟 종목에 대한 주문 데이터를 생성할 수 있다. 구체적인 예로, 타겟 종목의 가격이 상승할 것으로 예측된 경우, 주문 생성부(326)는 즉시 새로운 매수 요청 주문을 생성하거나, 기존의 매도 요청 주문의 호가를 정정할 수 있다. 일 실시예에 따르면, 주문 데이터는 타겟 종목에 대한 주문 종류(신규 주문, 주문 취소, 주문 정정), 매수 또는 매도 여부, 가격(호가), 수량 등에 대한 정보를 포함할 수 있다.

[0074] 마켓 데이터에 기초하여 주문 데이터를 생성하기까지 정보 처리 시스템 내의 지연 시간이 발생할 수 있다. 지연 시간은 데이터 레이트(data rate), FPGA(320)와 NPU(340) 간의 입출력 데이터의 대역폭, 입출력 데이터의 크기, NPU(340)에 의한 기계학습 모델의 연산속도, FPGA(320)의 처리속도, 또는/및 NPU(320)의 비지(busy) 상태에 기초하여 산출될 수 있다

[0075] 배치 사이즈가 클수록 기계학습 모델의 연산 속도가 느려질 수 있는데, 지연 시간을 고려하지 않고 배치 사이즈가 크게 설정하면, 기계학습 모델에서의 예측된 미래 시점의 결과가 출력 시점에서는 이미 과거가 되는 시점 괴리 문제가 발생할 수 있다. 예를 들어, 제1 배치 사이즈에 대응하는 입력 데이터를 기계 학습 모델에 입력하는 것에 대한 응답으로, T1 미래 시점에 대한 타겟 증권의 예측 데이터를 T1 + 1 시점에 획득한 경우, 예측 데이터를 획득한 T1 + 1 시점에서는 T1 시점이 이미 과거가 된다. 이러한 경우, T1 시점의 출력 데이터를 기초로 주문 데이터를 생성하게 되면 기계학습 모델의 예측 결과에 따른 수익을 예상하기가 어려울 수 있다.

[0076] 한편, 지연 시간을 감소시키기 위하여, 배치 사이즈를 가장 적게 하는 방법도 고려할 수도 있다. 그런데, 배치 사이즈가 작을수록 기계학습 모델의 예측 정확도가 낮아질 수 있다. 따라서, 정확도와 기대 수익을 높이기 위해서는 배치 사이즈를 크게 하는게 유리할 수 있으나, 배치 사이즈를 너무 크게 하는 경우에 기계학습 모델로부터 획득된 미래 시점의 데이터가 이미 과거 데이터가 되는 시점 괴리 문제가 발생할 수 있다. 이에 따라, 증권 주문을 위한 지연 시간이 정확하게 예측되고, 시점 괴리 현상이 발생되지 않은 허용 범위 내에서 기대 수익이 가장 높은 배치 사이즈(예를 들어, 최대한 큰 배치 사이즈)를 결정하는 것이 중요할 수 있다. 이에 따라, 증권 주문을 위한 지연 시간이 정확하게 산출되고, 산출된 지연 시간에 기초하여 시점 괴리 현상이 발생되지 않은 범위 내에서 최대한 기대 수익이 가장 높은 배치 사이즈가 선택될 수 있다.

[0077] 도 4와 도 5를 참조하여, 본 개시의 일 실시예에 따른, 증권 주문을 위한 지연 시간을 산출하는 방법을 설명한다.

[0078] 도 4는 프로세서와 전용 가속기에서 발생하는 지연 시간을 시각화하여 예시한 것이다. 도 4에 예시된 바와 같이, 마켓 데이터가 수신되면, 마켓 데이터가 저장수단(예컨대, 수신 버퍼, 메모리 등)에 저장되는 제1 서버 지연 시간(t1)이 FPGA(320)에서 발생할 수 있다. 제1 서버 지연 시간(t1)은 데이터 레이트(data rate) 또는 마켓 데이터의 크기 중 적어도 하나에 기초하여 산출될 수 있다. 예컨대, 데이터 레이트가 높을수록 제1 서버 지연 시간(t1)은 짧아질 수 있고, 마켓 데이터의 크기가 클수록 제1 서버 지연 시간(t1)이 길어질 수 있다.

[0079] 추가적으로, 저장된 마켓 데이터가 전처리되어 입력 데이터가 생성되는데 소요되는 제2 서버 지연 시간(t2)이 FPGA(320)에서 발생할 수 있다. 제2 서버 지연 시간(t2)은 배치 사이즈의 크기 또는/및 FPGA(320)의 처리 속도에 기초하여 산출될 수 있다. 즉, 데이터 전처리부(324)에 의해서, 복수의 후보 배치 사이즈 중에서 입력 데이터에 대한 배치 사이즈가 선택되고, 선택된 배치 사이즈에 대응하는 입력 데이터를 생성되기까지 제2 서버 지연 시간(t2)이 발생할 수 있다. 배치 사이즈가 클수록 제2 서버 지연 시간(t2)이 증가될 수 있다. 또한,

FPGA(320)의 처리속도가 느릴수록 제2 서브 지연 시간( $t_2$ )이 증가할 수 있다.

- [0080] 입력 데이터가 수신되어 메모리에 로드되기까지 소요되는 제3 서브 지연 시간( $t_3$ )이 NPU(340)에서 발생할 수 있다. 제3 서브 지연 시간( $t_3$ )은 입력 데이터의 크기 또는/및 FPGA(320)와 NPU(340) 간의 입출력 대역폭에 기초로 산출될 수 있다. 예컨대, 입출력 대역폭이 클수록 제3 서브 지연 시간( $t_3$ )이 짧아질 수 있고, 입력 데이터의 크기가 클수록 제3 서브 지연 시간( $t_3$ )이 증가할 수 있다.
- [0081] 추가적으로, 로드된 입력 데이터를 기초로 기계학습 모델이 연산되기까지 소요되는 제4 서브 지연 시간( $t_4$ )이 NPU(340)에서 발생할 수 있다. 제4 서브 지연 시간( $t_4$ )은 NPU(340)에 의한 기계학습 모델의 연산 속도 또는/및 입력 데이터의 크기에 기초하여 산출될 수 있다. 입력 데이터의 크기가 클수록 제4 서브 지연 시간( $t_4$ )이 증가될 수 있고, 기계학습 모델의 연산 속도가 느릴수록 제4 서브 지연 시간( $t_4$ )이 증가될 수 있다.
- [0082] 또한, 기계학습 모델의 결과값(즉, 예측 데이터)이 FPGA(320)로 전달되기까지 소요되는 제5 서브 지연 시간( $t_5$ )이 NPU(340)에서 발생할 수 있다. 제5 서브 지연 시간( $t_5$ )은 예측 데이터의 크기 또는/및 FPGA(320)와 NPU(340) 간의 입출력 대역폭에 기초하여 산출될 수 있다. 예컨대, FPGA(320)와 NPU(340) 간의 입출력 대역폭이 클수록 제5 서브 지연 시간( $t_5$ )이 감소될 수 있고, 예측 데이터의 크기가 클수록 제5 서브 지연 시간( $t_5$ )이 증가될 수 있다.
- [0083] NPU(340)로부터 수신한 기계학습 모델의 예측 데이터(즉, 결과값)에 기초하여 주문 데이터를 생성 및 전송하기까지 소요되는 제6 서브 지연 시간( $t_6$ )이 FPGA(320)에서 발생할 수 있다. 제6 서브 지연 시간( $t_6$ )은 FPGA(320)의 처리 속도 또는/및 데이터 레이트에 기초하여 산출될 수 있다. 데이터 레이트가 높을수록 제6 서브 지연 시간( $t_6$ )이 감소될 수 있고, FPGA(320)의 처리 속도가 높을수록 제6 서브 지연 시간( $t_6$ )이 감소될 수 있다.
- [0084] 상술된 서브 지연 시간( $t_1$  내지  $t_6$ )의 각각을 합하여 증권 주문을 위한 지연 시간이 산출될 수 있다.
- [0085] 도 5는 증권 주문을 위한 지연 시간(500)을 시각화한 도면이다. 도시된 바와 같이, FPGA(320) 또는/및 NPU(340)에서 발생하는 서브 지연 시간( $t_1$  내지  $t_6$ )을 합산하면, 증권 주문을 위한 지연 시간(500)이 산출될 수 있다.
- [0086] 한편, FPGA(320)가 비지(busy) 상태인 경우, FPGA(320)의 비지 상태에 따른 서브 지연 시간이 지연 시간(500)에 합산될 수 있다. 또한, NPU(340)가 비지 상태인 경우, NPU(340)의 비지 상태에 따른 서브 지연 시간이 지연 시간(500)에 합산될 수 있다. 예를 들어, FPGA(320) 및/또는 NPU(340)의 비지 상태에 따른 추가되는 서브 지연 시간은 FPGA(320) 및/또는 NPU(340)의 현재 처리 상황 및 추후 처리해야 될 작업들을 고려하여 결정될 수 있다. 다른 예로서, FPGA(320) 및/또는 NPU(340)의 비지 상태에 따른 추가되는 서브 지연 시간은 사전에 미리 설정될 수 있다.
- [0087] 기계학습 모델은 입력 데이터에 기초하여 미래 시점의 증권에 대한 예측 데이터를 출력할 수 있다. 이와 달리, 입력 데이터에 기초하여 서로 상이한 미래 시점이 예측되도록 기계학습 모델이 설계되고 학습될 수 있다. 이 경우, 현재 시점을 기준으로 한 복수의 미래 시점은 미리 결정될 수 있다.
- [0088] 도 6은 복수의 미래 시점을 시각화하여 예시한 도면이다. 도 6의 가로 축은 시간을 나타낼 수 있다. 도 6의 (a)에서와 같이 낮은 데이터 레이트 환경에서는 단위 시간의 가로 폭이 상대적으로 길 수 있고, 도 6의 (b)에서와 같이 높은 데이터 레이트 환경에서는 단위 시간의 가로 폭이 상대적으로 짧을 수 있다.
- [0089] 도 6에 도시된 바와 같이, 기계학습 모델은 미래 시점에서의 타겟 종목의 가격 및/또는 가격 변동 여부를 예측하도록 설계될 수 있다. 도 6에서는 시간 간격( $k$ )이 5배수가 되는 미래 시점을 예측하는 것으로 예시되어 있다. 일 실시예에 따르면, 프로세서(예컨대, FPGA)는 미리 결정된 미래 시점의 각각에 대해, 각 후보 배치 사이즈별 증권 주문을 위한 지연 시간을 산출하고, 산출된 지연 시간에 기초하여 미래 시점 각각에 대한 후보 배치 사이즈를 선택할 수 있다. 이때, 프로세서는 복수의 미리 결정된 미래 시점의 각각에 대해, 복수의 후보 배치 사이즈 중에서, 지연 시간의 종료 시점이 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택할 수 있다. 즉, 프로세서는 특정 미래 시점에서 선택할 수 있는 복수의 후보 배치 사이즈 중에서, 지연 시간의 종료 시점이 특정 미래 시점 보다 앞서는 하나 이상의 후보 배치 사이즈를 식별하고, 식별된 후보 배치 사이즈 중에서 가장 큰 후보 배치 사이즈를 특정 미래 시점의 후보 배치 사이즈로 선택할 수 있다.
- [0090] 도 6에서는 각각의 미래 시점별로 최대치의 배치 사이즈가 선택되는 것으로 예시되어 있다. 도 6를 예를 들어 설명하면, 5번째( $k = 5$ ) 미래 시점에 대해서는 지연 시간의 종료 시점이 5번째 미래 시점 보다 앞서는 후보 배

치 사이즈가 '1'과 '2'이고, 이에 따라 최대치의 배치 사이즈인 '2'가 5번째( $k = 5$ ) 미래 시점에 대한 후보 배치 사이즈로서 선택될 수 있다. 다른 예로서, 10번째( $k = 10$ ) 미래 시점에 대해서는 지연 시간의 종료 시점이 10번째 미래 시점 보다 앞서는 후보 배치 사이즈가 '4' 이하의 사이즈이고, 이에 따라 최대치의 배치 사이즈인 '4'가 10번째( $k = 10$ ) 미래 시점에 대한 후보 배치 사이즈로서 선택될 수 있다.

[0091] 설명한 바와 같이,  $k$ 번째의 미래 시점에 대한 기계학습 모델의 예측 데이터가 유효하게 사용되려면, 예측 데이터에 기초한 주문 데이터가  $k$ 번째의 미래 시점 이전에 타겟 증권 거래소로 전송되어야 한다. 그런데 증권 주문을 위한 지연 시간이 길어지는 경우, 타겟 증권 거래소로 전송되는 주문 데이터의 전송 시점이  $k$ 번째의 미래 시점 이후가 될 수 있다. 이 경우, 예측된 증권 종목의 가격이 유효하지 않고, 특히 고빈도 증권 거래에서는 손실이 발생할 수도 있다. 이에 따라, 지연 시간과 미래 시점에 기초하여 후보 배치 사이즈가 선택되고, 선택된 배치 사이즈와 대응되는 입력 데이터에 생성하는 것이 고빈도 증권 거래에서 중요할 수 있다.

[0092] 도 7은 후보 배치 사이즈 별로 산출된 지연 시간을 시각적으로 예시한 도면이다. batch 4에서부터 batch 16으로 갈수록 배치 사이즈가 커지는 것을 나타내고, 제1 미래 시점에서부터 제3 미래 시점으로 갈수록 현재 시점보다 먼 미래 시점일 수 있다. 도 7에 예시된 바와 같이, 각각의 후보 배치 사이즈에 기초하여 복수의 지연 시간(latency#1 내지 latency#3)이 산출될 수 있다. 그런데 제1 지연 시간(latency#1)의 종료 시점이 batch 4를 기초로 예측된 제1 미래 시점을 경과하여, batch 4의 사이즈에 대응하는 입력 데이터를 생성하면 기계학습 모델의 예측 데이터를 기초한 주문 데이터의 생성 시점이 제1 미래 시점 이후일 수 있다. 마찬가지로, 제3 지연 시간(latency#3)의 종료 시점이 batch 16을 기초로 예측된 제3 미래 시점을 경과하여, batch 16의 사이즈에 대응하는 입력 데이터를 생성하면 기계학습 모델의 예측 데이터를 기초한 주문 데이터의 생성 시점이 제3 미래 시점 이후일 수 있다. 이러한 시점 괴리로 인하여, batch 4 또는 batch 16에 대응하는 입력 데이터는 유효한 결과를 도출하지 못할 수 있다.

[0093] 한편, 제2 지연 시간(latency#2)의 종료 시점이 batch 8을 기초로 예측된 제2 미래 시점을 경과하지 않아, batch 8의 사이즈와 대응하는 입력 데이터를 생성하면 기계학습 모델의 출력 데이터가 유효하게 되고, 정확한 타이밍에 주문 데이터를 타겟 증권 거래소로 전송할 수 있다. 이에 따라, 도 7과 같이 지연 시간이 산출되는 경우, 시점 괴리 현상을 발생시키지 않은 최대치의 후보 배치 사이즈에 해당하는 batch 8이 선택될 수 있고, 선택된 후보 배치 사이즈에 대응하는 입력 데이터가 생성되어 기계학습 모델에 입력될 수 있다.

[0094] 한편, 프로세서는 복수의 전용 가속기를 포함할 수 있다. 이 경우, 프로세서는 복수의 전용 가속기의 각각의 연산 시간으로 고려하여 지연시간을 산출하고, 지연 시간에 기초하여 후보 배치 사이즈와 기계학습 모델의 연산을 위한 NPU를 선택할 수 있다.

[0095] 도 8은 각 전용 가속기의 배치 사이즈 별로 산출된 지연 시간을 시각적으로 예시한 도면이다. 도 8에 도시된 바와 같이, 전용 가속기 1(NPU 1)에 대한 후보 배치 사이즈별 지연 시간(latency#1, latency#2)이 산출되고, 전용 가속기 2(NPU 2)에 대한 후보 배치 사이즈별 지연 시간(latency#3, latency#4)이 산출될 수 있다. 동일한 배치 사이즈이더라도, 전용 가속기별로 서로 상이한 지연 시간이 산출되는 이유는, 각 전용 가속기에 의한 기계학습 모델의 연산 속도 또는/및 비지(busy) 상태가 상이하기 때문일 수 있다.

[0096] 각 전용 가속기의 후보 배치 사이즈별 지연 시간에 기초하여, 프로세서는 기계학습 연산을 수행하는 어느 한 전용 가속기와 후보 배치 사이즈를 선택할 수 있다. 도 8에 도시된 바와 같이 지연 시간이 산출된 경우, 프로세서는 복수의 전용 가속기 중에서 제2 전용 가속기(NPU 2)를 기계학습 모델의 연산을 위한 전용 가속기로 선택하고, 더불어 batch 8를 후보 배치 사이즈로서 선택할 수 있다. 이렇게 후보 배치 사이즈와 전용 가속기가 선택되면, 마켓 데이터를 기초로 후보 배치 사이즈에 대응하는 입력 데이터가 생성되고, 생성된 입력 데이터가 선택된 전용 가속기(NPU 2)로 제공될 수 있다.

[0097] 이하, 도 9 내지 도 11을 참조하여, 기계학습 모델의 학습 방법과 기계학습 모델로부터 획득되는 예측 데이터에 대해서 설명한다.

[0098] 도 9는 본 개시의 일 실시예에 따른 기계학습 모델이 입력 데이터(910)를 기초로 출력 데이터(920)를 출력하는 예시를 나타내는 도면이다. 일 실시예에 따르면, 기계학습 모델(900)은 입력 데이터(910)를 기초로, 타겟 종목의 주문과 연관된 출력 데이터(920)를 출력할 수 있다. 일 실시예에 따르면, 기계학습 모델은 입력 데이터(910)를 기초로 미래 특정 시점에서의 타겟 종목의 예측 가격(예를 들어, 시장 가격 또는 중간 가격 등)을 출력할 수 있다. 다른 실시예에 따르면, 입력 데이터(910)를 기초로 복수의 미래 시점에서의 타겟 종목의 예측 가격이 출력될 수 있다. 이때, 기계학습 모델(900)을 이용하여 다중 전망 예측(multi horizon forecasting)에

기반하여, 복수의 미래 시점 각각에서의 타겟 종목의 가격이 예측될 수 있다.

- [0099] 일 실시예에 따르면, 기계학습 모델(900)에 입력되는 입력 데이터(910)는 하나 이상의 시점에서의 하나 이상의 종목에 대한 하나 이상의 입력 특징을 포함하는 입력 특징 맵(input feature map)을 포함할 수 있다. 기계학습 모델(900)의 입력 데이터(910)에 관하여는 도 10을 참조하여 상세히 후술된다.
- [0100] 일 실시예에 따르면, 기계학습 모델(900)은 참조 마켓 데이터를 기초로 생성된 참조 입력 데이터를 이용하여 타겟 증권 거래소에서의 증권 주문과 연관된 참조 출력 데이터를 추론하도록 학습될 수 있다. 예를 들어, 기계학습 모델(900)은 제1 증권 거래소의 제1 참조 마켓 데이터 및 제2 증권 거래소의 제2 참조 마켓 데이터를 기초로 생성된 시점  $t$ 부터 시점  $t+M-1$ 까지의 참조 입력 데이터, 시점  $t+1$ 에서의 타겟 종목의 중간 가격 데이터를 이용하여, 총  $M$ 개의 연속된 시점을 포함하는 시간 구간에서의 입력 데이터를 기초로 다음 시점에서의 타겟 종목의 중간 가격을 추론하도록 지도 학습될 수 있다.
- [0101] 일 실시예에 따르면, 기계학습 모델(900)은 특정 시점의 특정 종목에 대한 마켓 데이터와 정답 데이터(ground truth data)를 포함하는 트레이닝셋을 기초로, 특정 시점보다 미래인 복수의 시점에서의 특정 종목에 대한 예측 데이터를 추론하도록 학습될 수 있다. 여기서, 정답 데이터는 미래인 복수의 시점 각각에서의 특정 종목에 가격일 수 있다. 기계학습 모델(900)로부터 출력된 특정 미래 시점에서의 특정 종목에 대한 추론 가격과, 정답 데이터에 포함된 특정 미래 시점에서의 특정 종목에 대한 가격의 차이(loss)가 산출되고, 산출된 차이가 기계학습 모델(900)로 반영(피드백)되어, 인공지능망에 포함된 각 노드의 가중치가 조정될 수 있다.
- [0102] 기계학습 모델(900)에 의해 출력된 출력 데이터(920)는 타겟 증권 거래소에서의 증권 주문과 연관된 정보를 포함할 수 있으며, 프로세서(예컨대, 정보 처리 시스템의 프로세서)는 출력 데이터(920)를 기초로 미리 지정된 규칙에 기반하여, 타겟 종목에 대한 주문 데이터를 생성할 수 있다.
- [0103] 일 실시예에 따르면, 본 개시의 기계학습 모델(900)은 인공지능망 모델(예를 들어, DNN 등)일 수 있다. 인공지능망 모델에 관하여는, 도 11을 참조하여 상세히 후술된다.
- [0104] 도 10은 본 개시의 일 실시예에 따른 기계학습 모델의 입력 데이터(1010)의 구성의 예시를 나타내는 도면이다. 정보 처리 시스템은 하나 이상의 거래소로부터 수신된 마켓 데이터를 기초로, 입력 데이터(1010)를 생성할 수 있다. 입력 데이터(1010)는 배치 사이즈와 대응되는 크기를 가진 데이터일 수 있다. 일 실시예에 따르면, 입력 데이터(1010)는 하나 이상의 시점에서의 하나 이상의 종목에 대한 하나 이상의 입력 특징을 포함하는 입력 특징 맵(input feature map)을 포함할 수 있다.
- [0105] 예를 들어, 입력 특징 맵은, 도 10에 도시된 바와 같이  $M$ 개(여기서,  $M$ 은 자연수임)의 시점에서의  $K$ 개의 종목에 대한  $N$ 개(여기서,  $N$ 은 자연수임)의 입력 특징을 포함할 수 있다. 도시된 예에서, 입력 데이터에 포함된 입력 특징 맵 중 특정 시점(도 10에서, 시점  $m$ )에서의 데이터(1020)는, 특정 시점에서의 하나 이상의 종목(도 10에서, 제1 종목, 제2 종목, 제3 종목 등)에 대한 하나 이상의 입력 특징(도 10에서, 매수 측 오더북 상단의 가격, 수량, 매도 측 오더북 상단의 가격, 수량 등)을 포함할 수 있다. 또한, 입력 데이터에 포함된 입력 특징 맵 중 특정 입력 특징(도 10에서,  $n$ 번째 입력 특징)에 대한 데이터(1030)는 하나 이상의 시점(도 10에서, 시점  $t-M+1$ 부터 시점  $t$ 까지)에서의 하나 이상의 종목에 대한 특정 입력 특징을 포함할 수 있다. 일 실시예에서, 입력 특징 맵은 서로 다른 종목에 대한 하나 이상의 입력 특징이 서로 교차되도록 생성될 수 있다.
- [0106] 일 실시예에 따르면, 입력 데이터(1010)에 포함되는 하나 이상의 종목은 주문 대상이 되는 타겟 종목의 시장 상황의 선행 지표가 되는 종목일 수 있다. 예를 들어, 주문의 대상이 되는 타겟 종목이 A사 주식(현물) 종목인 경우, A사 주식과 관련된 선물 종목, A사 주식과 관련된 옵션 종목, 다른 거래소에 포함된 A사 관련 종목, A사 관련 상품에 대한 선물 종목 중 적어도 하나가 선행이 되는 지표가 되는 종목일 수 있다. 일 실시예에서, 하나 이상의 종목은 타겟 종목을 포함할 수 있다. 즉, 정보 처리 시스템은 타겟 종목에 대한 데이터를 포함한 입력 데이터를 기반으로, 타겟 종목의 미래 시장 상황을 예측할 수 있다. 또한, 일 실시예에서, 각 입력 종목에 대한 정보는 각 입력 종목과 연관된 코드(symbol)로서 포함될 수 있다.
- [0107] 일 실시예에 따르면, 입력 데이터(1010)에 포함되는 하나 이상의 입력 특징은 타겟 종목의 시장 상황 예측에 의미 있는 정보를 포함할 수 있다. 예를 들어, 입력 특징은 시장 가격(거래 가격), 매수 측 오더북 상단의 가격, 수량, 매도 측 오더북 상단의 가격, 수량, 매수 희망자 수, 매도 희망자 수, 오더북 상단 다음 단계의 매수 호가, 오더북 상단 다음 단계의 매도 호가, 오더북에 포함된 호가의 분산 등 하나 이상의 종목의 오더북으로부터 추출할 수 있는 여러 정보, 이를 가공한 정보 및/또는 정보의 신뢰도 등을 포함할 수 있다. 일 실시예에서, 이러한 하나 이상의 입력 특징은 하나 이상의 종목 각각으로부터 추출될 수 있다.

- [0108] 상술한 바와 같이 구성된 입력 데이터(1010)는 프로세서(예를 들어, FPGA 등)에 의해 기계학습 모델을 위한 전용 가속기로 전달되어, 기계학습 모델에 입력될 수 있다. 일 실시예에 따르면, 지연 시간에 기초하여 미래 시점과 후보 배치 사이즈가 결정되고, 결정된 후보 배치 사이즈에 대응하는 입력 데이터(1010)가 전용 가속기로 제공될 수 있다.
- [0109] 도 11은 본 개시의 일 실시예에 따른 인공신경망 모델(1100)을 나타내는 예시도이다. 인공신경망 모델(1100)은, 기계학습 모델의 일 예로서, 기계학습(Machine Learning) 기술과 인지과학에서, 생물학적 신경망의 구조에 기초하여 구현된 통계학적 학습 알고리즘 또는 그 알고리즘을 실행하는 구조이다.
- [0110] 일 실시예에 따르면, 인공신경망 모델(1100)은, 생물학적 신경망에서와 같이 시냅스의 결합으로 네트워크를 형성한 인공 뉴런인 노드(Node)들이 시냅스의 가중치를 반복적으로 조정하여, 특정 입력에 대응한 올바른 출력과 추론된 출력 사이의 오차가 감소되도록 학습함으로써, 문제 해결 능력을 가지는 기계학습 모델을 나타낼 수 있다. 예를 들어, 인공신경망 모델(1100)은 기계학습, 딥러닝 등의 인공지능 학습법에 사용되는 임의의 확률 모델, 뉴럴 네트워크 모델 등을 포함할 수 있다.
- [0111] 일 실시예에 따르면, 인공신경망 모델(1100)은 하나 이상의 증권 거래소의 마켓 데이터를 기초로 생성된 입력 데이터를 이용하여 미래의 한 시점에서 타겟 증권 거래소에서의 증권 주문과 연관된 데이터(예를 들어, 가격, 가격 변동 등에 대한 데이터)를 추론하도록 구성된 인공신경망 모델을 포함할 수 있다. 다른 실시예에서 따르면, 인공신경망 모델(1100)은 다중 전망 예측(multi horizon forecasting) 모델을 포함하여, 복수의 미래 시점에서 타겟 증권 거래소에서의 증권 주문과 연관된 데이터(예: 가격, 가격 변동 등에 대한 데이터)를 예측할 수도 있다.
- [0112] 인공신경망 모델(1100)은 다층의 노드들과 이들 사이의 연결로 구성된 다층 퍼셉트론(MLP: multilayer perceptron)으로 구현된다. 본 실시예에 따른 인공신경망 모델(1100)은 MLP를 포함하는 다양한 인공신경망 모델 구조들 중의 하나를 이용하여 구현될 수 있다. 도 11에 도시된 바와 같이, 인공신경망 모델(1100)은, 외부로부터 입력 신호 또는 데이터(1110)를 수신하는 입력층(1120), 입력 데이터에 대응한 출력 신호 또는 데이터(1150)를 출력하는 출력층(1140), 입력층(1120)과 출력층(1140) 사이에 위치하며 입력층(1120)으로부터 신호를 받아 특성을 추출하여 출력층(1140)으로 전달하는 n개(여기서, n은 양의 정수)의 은닉층(1130\_1 내지 1130\_n)으로 구성된다. 여기서, 출력층(1140)은 은닉층(1130\_1 내지 1130\_n)으로부터 신호를 받아 외부로 출력한다.
- [0113] 인공신경망 모델(1100)의 학습 방법에는, 교사 신호(정답)의 입력에 의해서 문제의 해결에 최적화되도록 학습하는 지도 학습(Supervised Learning) 방법과, 교사 신호를 필요로 하지 않는 비지도 학습(Unsupervised Learning) 방법이 있다. 일 실시예에서, 인공신경망 모델(1100)은 타겟 증권 거래소에서의 증권 주문과 연관된 데이터를 추론하도록 지도 학습 및/또는 비지도 학습될 수 있다. 예를 들어, 인공신경망 모델(1100)은 참조 입력 데이터로부터 하나 이상의 미래 시점에서의 타겟 종목의 참조 가격을 추론하도록 지도 학습될 수 있다.
- [0114] 이렇게 학습된 인공신경망 모델(1100)은 정보 처리 시스템의 메모리(미도시)에 저장될 수 있으며, 통신 모듈 및/또는 메모리로부터 수신된 데이터의 입력에 응답하여 타겟 증권 거래소에서의 증권 주문과 연관된 데이터를 추론할 수 있다.
- [0115] 일 실시예에 따르면, 타겟 증권 거래소에서의 증권 주문과 연관된 데이터를 추론하기 위한 인공신경망 모델의 입력 데이터는, 하나 이상의 시점에서의 하나 이상의 종목에 대한 하나 이상의 입력 특징을 포함할 수 있다. 예를 들어, 인공신경망 모델(1100)의 입력층(1120)에 입력되는 입력 데이터는, 하나 이상의 시점에서의 하나 이상의 종목에 대한 하나 이상의 입력 특징에 대한 정보를 포함하는 데이터를 하나의 벡터 데이터 요소로 구성한, 벡터(1110)가 될 수 있다. 데이터의 입력에 응답하여, 인공신경망 모델(1100)의 출력층(1140)에서 출력되는 출력 데이터는 타겟 증권 거래소에서의 증권 주문과 연관된 데이터를 나타내거나 특징화하는 벡터(1150)가 될 수 있다. 즉, 인공신경망 모델(1100)의 출력층(1140)은 하나 이상의 미래 시점에서 타겟 증권 거래소에서의 증권 주문과 연관된 데이터를 나타내거나 특징화하는 벡터를 출력하도록 구성될 수 있다. 본 개시에 있어서, 인공신경망 모델(1100)의 출력 데이터는, 이상에서 설명된 유형에 한정되지 않으며, 하나 이상의 미래 시점에서 타겟 증권 거래소에서의 증권 주문과 연관된 데이터를 나타내는 임의의 정보/데이터를 포함할 수 있다.
- [0116] 이와 같이, 인공신경망 모델(1100)의 입력층(1120)과 출력층(1140)에 복수의 입력 데이터와 대응되는 복수의 출력 데이터가 각각 매칭되고, 입력층(1120), 은닉층(1130\_1 내지 1130\_n) 및 출력층(1140)에 포함된 노드들 사이의 시냅스 값이 조정됨으로써, 특정 입력에 대응한 올바른 출력이 추출될 수 있도록 학습될 수 있다. 이러한 학습 과정을 통해, 인공신경망 모델(1100)의 입력 데이터에 숨겨져 있는 특성이 파악될 수 있고, 입력 데이터에

기초하여 산출된 출력 데이터와 목표 출력 간의 오차가 줄어들도록 인공신경망 모델(1100)의 노드들 사이의 시냅스 값(또는 가중치)이 조정될 수 있다. 이렇게 학습된 인공신경망 모델(1100)은 입력된 데이터에 응답하여, 타겟 증권 거래소에서의 증권 주문과 연관된 데이터를 출력할 수 있다.

- [0117] 이하, 도 12 내지 도 14를 참조하면, 본 개시의 일 실시예에 따른 기계학습 모델을 이용한 증권 거래 방법에 대해서 설명한다.
- [0118] 도 12는 본 개시의 일 실시예에 따른, 증권 거래 방법(1200)을 설명하기 위한 흐름도이다. 도 12에 도시된 방법은, 본 개시의 목적을 달성하기 위한 일 실시예일 뿐이며, 필요에 따라 일부 단계가 추가되거나 삭제될 수 있음은 물론이다. 또한, 도 12에 도시된 방법은, 정보 처리 시스템에 포함된 적어도 하나의 프로세서에 의해서 수행될 수 있다. 설명의 편의를 위해서 도 12에 도시된 정보 처리 시스템에 포함된 프로세서에 의해서, 도 12에 도시된 각 단계가 수행되는 것으로 설명하기로 한다. 또한, 프로세서는 데이터 전/후처리용 제1 프로세서와 기계학습 모델을 위한 전용 가속기를 포함하는 제2 프로세서를 포함하는 있는 것으로 설명하기로 한다. 여기서, 제1 프로세서는 FPGA일 수 있고, 제2 프로세서는 NPU일 수 있다.
- [0119] 제1 프로세서는 증권 거래소 및/또는 지정된 웹 사이트 중 적어도 하나로부터 하나 이상의 마켓 데이터를 수신할 수 있다(S1210). 여기서, 마켓 데이터는 증권 거래소에서 거래되는 종목들에 대한 거래, 평가 정보 등을 포함할 수 있다. 예를 들어, 마켓 데이터는 증권 거래소 및/또는 웹 사이트로부터 수집되는 하나 이상의 타겟 종목에 대한 거래, 평가 정보 등을 포함할 수 있다.
- [0120] 이어서, 제1 프로세서는 마켓 데이터를 전처리하여 기계학습 모델에 대한 입력 데이터를 생성하고, 제2 프로세서로 입력 데이터를 제공할 수 있다(S1220). 마켓 데이터가 전처리되어 입력 데이터가 생성되는 구체적인 방법에 대해서는 도 12을 참조하여 설명하기로 한다.
- [0121] 그 후, 제2 프로세서는 입력 데이터를 이용하여 기계학습 모델의 연산 처리를 수행하고, 이에 대한 응답으로 타겟 종목에 대한 예측 데이터를 획득한 후, 획득된 예측 데이터를 제1 프로세서로 제공할 수 있다(S1230). 예를 들어, 제2 프로세서는 제1 프로세서로부터 입력 데이터를 제공받고, 입력 데이터를 기계학습 모델에 입력하여, 입력 데이터에 대해 일련의 연산을 수행하여 기계학습 모델의 출력 데이터(예측 데이터)를 획득할 수 있다. 기계학습 모델의 예측 데이터에는 미래 시점, 타겟 종목 및 예상 가격에 대한 데이터가 포함될 수 있다.
- [0122] 그런 다음, 제1 프로세서는 제2 프로세서로부터 제공받은 기계 학습 모델의 출력 데이터(예측 데이터)에 기초하여 주문 데이터를 생성한 후, 주문 데이터를 타겟 증권 거래소로 전송할 수 있다(S1240). 예컨대, 제1 프로세서는 예측 데이터에 포함된 타겟 종목을 매수 또는 매도하는 주문 데이터를 생성할 수 있다. 이때, 제1 프로세서는 예측 데이터에 포함된 미래 시점이 도래하는지 여부를 모니터링하여, 미래 시점 또는 미래 시점보다 t초만큼 앞선 시점에 생성된 주문 데이터를 타겟 증권 거래소로 전송할 수 있다. 다른 예로서, 제1 프로세서는 예측 데이터에 포함된 미래 시점이 도래하는지 여부를 모니터링하여, 미래 시점 또는 미래 시점보다 t초만큼 앞선 시점에 주문 데이터를 생성한 후, 생성된 주문 데이터를 타겟 증권 거래소로 전송할 수 있다.
- [0123] 도 13은 본 개시의 일 실시예에 따른, 마켓 데이터의 전처리 방법(1220)을 설명하기 위한 흐름도이다. 마켓 데이터가 수신되면, 제1 프로세서는 미리 결정된 복수의 미래 시점 중에서 어느 한 미래 시점을 검증 대상으로서 선택할 수 있다(S1310). 일 실시예에서, 제1 프로세서는 미리 결정된 복수의 미래 시점 중에서 선택되지 않은 가장 가까운 미래 시점을 선택할 수 있다.
- [0124] 그 후, 제1 프로세서는 선택된 미래 시점에 대한 후보 배치 사이즈별 지연 시간을 산출할 수 있다(S1320). 일 실시예에서, 제1 프로세서는 데이터 레이트, 제1 프로세서와 제2 프로세서 간의 입출력 데이터의 대역폭, 입출력 데이터의 크기, 제2 프로세서 의한 기계학습 모델의 연산속도, 제1 프로세서의 처리속도, 또는/및 제2 프로세서의 비지(busy) 상태에 기초하여 후보 배치 사이즈의 각각에 대한 지연 시간을 산출할 수 있다.
- [0125] 이어서, 제1 프로세서는 산출된 지연 시간의 종료 시점이 선택된 미래 시점을 앞서는 하나 이상의 후보 배치 사이즈를 식별하고, 식별된 후보 배치 사이즈 중에서 최대 사이즈를 가지는 배치 사이즈를 선택된(즉, 검증중인) 미래 시점의 후보 배치 사이즈로서 선택할 수 있다(S1330). 이에 따라, 하나의 미래 시점에는 하나의 후보 배치 사이즈가 선택될 수 있다.
- [0126] 선택된 미래 시점에 대한 후보 배치 사이즈가 선택되면, 제1 프로세서는 미래 시점의 후보 배치 사이즈에 대한 기대 수익을 산출할 수 있다(S1340). 여기서, 기대 수익은 주문 데이터를 생성하기까지 단위 시간당 예상되는 수익일 수 있다. 기대 수익은 쿼리당 수익률, 후보 배치 사이즈 및 후보 배치 사이즈에 대한 기계학습 모델의 연산 시간에 기초로 획득될 수 있다. 예를 들어, 기대 수익(profit)은 아래의 수학적 식 1을 통해서 획득될 수 있

다.

수학식 1

$$profit = \frac{(price \times bs)}{t\_dnn}$$

[0127]

[0128] 여기서, 'price'는 쿼리당 수익률을 나타내고, 미리 결정된 상수로서 정의될 수 있다. 또한, bs는 배치 사이즈를 나타내고, t\_dnn은 기계학습 모델에서의 연산 시간으로서 기계학습 모델의 연산 속도(즉, NPU에서의 처리 속도) 또는/및 입력 데이터의 크기에 기초하여 산출될 수 있다.

[0129]

미래 시점의 후보 배치 사이즈에 대한 기대 수익의 산출이 완료되면, 제1 프로세서는 미리 결정된 미래 시점 모두에 대한 선택(검증)이 완료되어 있는지 여부를 판정할 수 있다 (S1350).

[0130]

미리 결정된 복수의 미래 시점 중에서 선택(검증)되지 않은 미래 시점이 남아 있다는 판정에 응답하여, 제1 프로세서는 검증 대상으로 선정되지 않은 미래 시점을 검증 대상으로서 다시 선정할 수 있다(S1360). 이어서, 제1 프로세서는 검증 대상으로서 선정된 다른 미래 시점을 대상으로 단계 S1320부터의 프로세스를 진행할 수 있다.

[0131]

한편, 단계 S1350의 판정 결과, 미리 결정된 미래 시점들 중에서 선택(검증)되지 않은 미래 시점이 남아 있지 않다는 판정에 응답하여, 제1 프로세서는 각 미래 시점에서 선택된 후보 배치 사이즈의 기대 수익을 식별하고, 이 중에서 최대 수익을 가지는 미래 시점의 후보 배치 사이즈를 최종적으로 선택할 수 있다(S1370). 그리고 나서, 제1 프로세서는 마켓 데이터를 이용하여 선택된 미래 시점의 후보 배치 사이즈에 대응하는 입력 데이터를 생성하고, 생성된 입력 데이터를 제2 프로세서로 제공할 수 있다(S1380).

[0132]

본 실시예에 따르면, 시점 괴리를 발생시키는 배치 사이즈가 선택되지 않도록 하여, 불필요한 연산이 기계학습 모델에서 진행되는 것이 방지될 수 있다. 또한, 본 실시예에 따르면, 최대 수익을 거둘 수 있는 미래 시점과 후보 배치 사이즈를 선택하고, 선택된 후보 배치 사이즈에 대응하는 입력 데이터가 기계학습 모델에 입력되게 할 수 있다.

[0133]

추가적으로 또는 대안적으로, 입력 데이터의 데이터 정확도(data precision)가 사전에 설정될 수 있으며, 이 경우 제1 프로세서는 입력 데이터의 데이터 정확도에 기초하여 지연 시간을 산출할 수 있다. 여기서, 데이터 정확도는 입력 데이터가 손실되지 않고 보존되는 척도를 나타내는 것일 수 있다. 예컨대, 데이터 정확도 100%인 경우, 입력 데이터가 손실되지 않고 온전하게 제2 프로세서로 제공되어 기계학습 모델에 입력되는 것을 의미할 수 있다. 다른 예로서, 데이터 정확도 50%인 경우, 입력 데이터가 1/2에 해당하는 비트(예컨대, int8에서 int4)로 양자화되거나 2배로 압축되어 기계학습 모델에 입력되는 것을 의미할 수 있다. 또 다른 예로서, 데이터 정확도 50%인 경우, 1/2에 해당하는 비트로 양자화되거나 마켓 데이터가 2배로 압축되고, 양자화되거나 양자화된 마켓 데이터에 기초하여 입력 데이터가 생성되는 것을 의미할 수 있다.

[0134]

일 실시예에 따르면, 제2 프로세서(예: NPU 등)는 입력 데이터의 데이터 정확도에 따라 상이한 크기를 가진 프로세싱 요소(processing element)를 포함할 수 있다. 예를 들어, fixed point 8을 가진 입력 데이터를 처리하기 위한 NPU는 fixed point 8을 처리하기 위한 프로세싱 요소를 포함할 수 있다. 다른 예로서, fixed point 4를 가진 입력 데이터를 처리하기 위한 NPU는 fixed point 4를 처리하기 위한 프로세싱 요소를 포함할 수 있다. 다만, fixed point 8을 처리하는 프로세싱 요소의 크기는 fixed point 4를 처리하는 프로세싱 요소의 크기보다 대략 2배 정도 클 수 있다. 이에 따라, NPU가 동일한 공간에 설치된 경우라면, fixed point 4를 처리하는 프로세싱 요소는 fixed point 8을 처리하는 프로세싱 요소보다 약 2배 정도 많을 수 있다. 예를 들어, fixed point 8을 처리하기 위한 프로세싱 요소(예: 데이터 정확도 100%)의 개수가 fixed point 4를 처리하기 위한 프로세싱 요소(예: 데이터 정확도 50%)보다 2배 많으면, fixed point 4를 처리하기 위한 프로세싱 요소를 포함한 NPU에 입력되는 입력 데이터의 배치 사이즈는 2배 늘어날 수 있다. 이 경우, fixed point 8을 처리하기 위한 프로세싱 요소를 포함한 NPU 및 fixed point 4를 처리하기 위한 프로세싱 요소를 포함한 NPU에서 계산에 필요한 SRAM 크기와 계산에 소요되는 시간은 동일하거나 비슷할 수 있다.

[0135]

입력 데이터의 데이터 정확도가 작아지는 경우, 입력 데이터가 온전하게 기계학습 모델에 입력되지 않고, 일부 손실이 발생할 수 있다. 이에 따라, 예측 정확도가 떨어질 수 있으나, 데이터 정확도가 낮은 입력 데이터를 처

리하는 프로세싱 요소가 더 많기 때문에, 입력 데이터의 배치 사이즈가 증가될 수 있다. 즉, 데이터 정확도가 줄어들어 따라 떨어진 예측 정확도는 쿼리당 수익률이 떨어지도록 영향을 미칠 수 있으나, 데이터 정확도가 줄어들어 따라 늘어난 배치 사이즈는 기대 수익이 향상되도록 영향을 미칠 수 있다. 위 수학적 1을 참조하여 볼 때, 기대 수익은 쿼리당 수익율이 떨어진 만큼 떨어지나, 늘어난 배치 사이즈만큼 증가될 수 있다. 예를 들어, 데이터 정확도가 1/2가 되어 쿼리당 수익율이 50프로로 감소하고 배치 사이즈가 2배로 증가되었다고 가정하였을 때, 기대 수익은 변경되지 않을 수 있다.

[0136] 일 실시예에 따르면, 복수의 전용 가속기가 정보 처리 시스템에 포함될 수 있다. 이러한 경우, 제1 프로세서는 복수의 후보 배치 사이즈의 각각에 대하여, 제1 전용 가속기의 연산 시간을 포함하는 제1 지연 시간 및 제2 전용 가속기의 연산 시간을 포함하는 제2 지연 시간을 산출할 수 있다. 또한, 제1 프로세서는 복수의 미리 결정된 미래 시점의 각각에 대해, 제1 지연 시간 및 제2 지연 시간 중에서, 낮은 지연 시간의 종료 시점이 복수의 미리 결정된 미래 시점의 각각보다 앞서는 가장 큰 후보 배치 사이즈를 선택할 수 있다. 또한, 제1 프로세서는 전용 가속기별로 구분되어 선택된 후보 배치 사이즈에 대한 기대 수익을 산출하고, 기대 수익이 가장 높은 후보 배치 사이즈, 미래 시점 및 전용 가속기를 식별하여 선택할 수 있다. 기대 수익이 가장 높은 후보 배치 사이즈에 대응하여 생성된 입력 데이터는 선택된 전용 가속기(최대 수익이 예측되는 전용 가속기)로 제공될 수 있다.

[0137] 한편, 본 개시의 다른 실시예에 따르면, 기계학습 모델은 복수의 미래 시점 각각에 대한 타겟 종목의 예측 데이터를 출력할 수 있다. 예컨대, 기계학습 모델은 제1 시점에서의 타겟 종목에 대한 제1 예측 데이터, 제2 시점에서의 타겟 종목에 대한 제2 예측 데이터 및 제3 시점에서의 타겟 종목에 대한 제3 예측 데이터를 출력할 수 있다. 예측 데이터는 타겟 증권 식별정보, 타겟 가격 및 기대 수익을 포함할 수 있다.

[0138] 도 14는 복수의 미래 시점별 기대 수익을 예시적으로 나타내는 도면이다. 도 14에 도시된 바와 같이, 기계학습 모델은 입력 데이터를 기초로 복수의 미래 시점별로 기대 수익을 추론하고, 각 미래 시점별 기대 수익과 타겟 종목을 포함하는 예측 데이터를 출력할 수 있다. 여기서, 각 미래 시점에서의 타겟 종목은 서로 동일할 수 있고, 또는 상이할 수 있다. 도 14에서는 미국 달러(USD) 단위로써 기대 수익이 표시되어 있다.

[0139] 제1 프로세서는 도 14과 같은 복수의 미래 시점의 각각에 대한 기대 수익을 포함하는 예측 데이터를 획득하고, 예측 데이터를 기초로 주문 데이터를 생성하여 타겟 증권 거래소로 전송할 수 있다.

[0140] 도 15는 본 개시의 다른 실시예에 따른 증권 거래 방법(1500)을 설명하기 위한 흐름도이다. 도 15에 도시된 방법은, 본 개시의 목적을 달성하기 위한 일 실시예일 뿐이며, 필요에 따라 일부 단계가 추가되거나 삭제될 수 있음은 물론이다. 또한, 도 15에 도시된 방법은, 정보 처리 시스템에 포함된 적어도 하나의 프로세서에 의해서 수행될 수 있다. 또한, 프로세서는 데이터 전처리 및 후처리용 제1 프로세서와 기계학습 모델을 위한 전용 가속기를 포함하는 제2 프로세서를 포함하는 있는 것으로 설명하기로 한다. 여기서, 제1 프로세서는 FPGA일 수 있고, 제2 프로세서는 NPU일 수 있다.

[0141] 제1 프로세서는 증권 거래소 및/또는 웹 사이트로부터 하나 이상의 마켓 데이터를 수신할 수 있다(S1510). 여기서, 마켓 데이터는 증권 거래소에서 거래되는 종목들에 대한 거래, 평가 정보 등을 포함할 수 있다. 예를 들어, 마켓 데이터는 증권 거래소 및/또는 웹 사이트로부터 수집되는 하나 이상의 타겟 종목에 대한 거래, 평가 정보 등을 포함할 수 있다.

[0142] 이어서, 제1 프로세서는 마켓 데이터에 기초하여 기계학습 모델의 입력 데이터를 생성하고, 전용 가속기로 입력 데이터를 제공할 수 있다(S1520). 예컨대, 제1 프로세서는 사전에 설정된 배치 사이즈에 대응하는 입력 데이터를 생성할 수 있다. 다른 예로서, 제1 프로세서는 수신되는 마켓 데이터의 빈도 및/또는 크기에 따라 배치 사이즈를 결정하고 배치 사이즈에 대응하는 입력 데이터를 생성할 수 있다.

[0143] 그 후, 제2 프로세서는 입력 데이터를 기계학습 모델에 입력하여, 기계학습 모델로부터 복수 미래 시점 각각에 대한 타겟 종목의 예측 데이터를 획득할 수 있다(S1530). 예컨대, 제2 프로세서는 제1 시점에서의 타겟 종목에 대한 제1 예측 데이터, 제2 시점에서의 타겟 종목에 대한 제2 예측 데이터 및 제3 시점에서의 타겟 종목에 대한 제3 예측 데이터를 기계학습 모델로부터 획득할 수 있다. 예측 데이터에는, 각 미래 시점별 타겟 종목에 대한 기대 수익이 포함될 수 있다.

[0144] 그런 다음, 제1 프로세서는 제2 프로세서로부터 복수의 미래 시점별 예측 데이터를 제공받고, 복수의 미래 시점 중에서 적어도 하나를 선택할 수 있다(S1540). 일 실시예에서, 제1 프로세서는 주문 데이터 생성을 위한 지연 시간을 산출하고, 지연 시간에 기초하여 복수의 미래 시점 중 적어도 하나의 미래 시점을 선택할 수 있다. 일례로, 제1 프로세서는 복수의 미래 시점 중에서 지연 시간 이후의 가장 빠른 미래 시점을 선택할 수 있다. 다

른 예로서, 제1 프로세서는 지연 시간 이후의 하나 이상의 미래 시점을 식별하고, 식별된 미래 시점 각각에 대한 기대 수익을 식별 또는 산출한 후, 기대 수익이 최대의 미래 시점을 선택할 수 있다. 예컨대, 기대 수익 산출은 미리 결정된 알고리즘 또는 수학적(예: 위 수학적 1)을 기초로 수행될 수 있다. 다른 예로서, 기계학습 모델로부터 각각의 기대 수익이 산출되어 출력될 수 있다. 이때, 기대 수익은 예측 데이터에 포함될 수 있다.

[0145] 그 후, 제1 프로세서는 선택된 미래 시점의 예측 데이터에 기초하여 주문 데이터를 생성한 후, 주문 데이터를 타겟 증권 거래소로 전송할 수 있다(S1550). 예컨대, 제1 프로세서는 선택된 미래 시점에 대한 예측 데이터에 포함된 타겟 종목을 타겟 가격으로 매수 또는 매도하는 주문 데이터를 생성할 수 있다. 이때, 제1 프로세서는 선택된 미래 시점이 도래하는지 여부를 모니터링하여, 미래 시점 또는 미래 시점보다 t초 만큼 앞선 시점에 생성된 주문 데이터를 타겟 증권 거래소로 전송할 수 있다. 다른 예로서, 제1 프로세서는 선택된 미래 시점이 도래하는지 여부를 모니터링하여, 미래 시점 또는 미래 시점보다 t초 만큼 앞선 시점에 주문 데이터를 생성한 후, 생성된 주문 데이터를 타겟 증권 거래소로 전송할 수 있다.

[0146] 도 16은 출력 데이터에 기초하여 주문 데이터가 생성되는 과정을 예시적으로 나타낸 도면이다. 기계학습 모델을 통해서 복수의 미래 시점(k=5, k=10, k=25)에 대한 예측 데이터가 획득될 수 있다. 지연 시간(latency)으로 인하여, 예측 데이터들 중에서 가장 빠른 미래 시점(k = 5)를 가지는 예측 데이터는 지연 시간 범위를 이탈하여 유효하지 않은 것으로 처리될 수 있다. 유효성이 있는(즉, 지연 시간의 종료 시점이 미래 시점 보다 앞서) 나머지 예측 데이터들 중에서 가장 빠른 미래 시점(k = 10)을 가지는 제2 예측 데이터(도 16에서 원으로 표시된 예측 데이터)가 선택되고, 선택된 제2 예측 데이터에 기초하여 주문 로직이 실행되어 주문 데이터가 생성될 수 있다. 다른 예로서, 유효성이 있는 나머지 예측 데이터들 중에서 최대의 기대 수익이 예상되는 미래 시점이 선택되고, 선택된 미래 시점에 대한 예측 데이터에 기초하여 주문 로직이 실행되어 주문 데이터가 생성될 수 있다.

[0147] 또 다른 예로서, 제1 프로세서는 유효한 예측 데이터 각각을 시간 순서에 따라 순차적으로 이용하여 복수 개의 주문 데이터를 생성하여 타겟 증권 거래소로 전송할 수 있다. 도 16을 예를 들어 설명하면, 제1 프로세서는 제2 미래 시점(k =10)에 제2 예측 데이터를 기초로 생성된 제2 주문 데이터를 타겟 증권 거래소로 전송할 수 있고, 제3 미래 시점(k =15)에 제3 예측 데이터를 기초로 생성된 제3 주문 데이터를 타겟 증권 거래소로 전송할 수 있으며, 제4 미래 시점(k = 20)에 제4 예측 데이터를 기초로 생성된 제4 주문 데이터를 타겟 증권 거래소로 전송할 수 있고, 제5 미래 시점(k = 25)에 제5 예측 데이터를 기초로 생성된 제5 주문 데이터를 타겟 증권 거래소로 전송할 수 있다.

[0148] 도 17은 본 개시의 일 실시예에 따른 증권 거래 생성과 연관된 임의의 컴퓨팅 장치(1700)의 구성도이다. 예를 들어, 컴퓨팅 장치(1700)는 정보 처리 시스템(120) 및/또는 사용자 단말(미도시)과 관련될 수 있다. 도시된 바와 같이, 컴퓨팅 장치(1700)는 하나 이상의 프로세서(1720), 버스(1710), 통신 인터페이스(1730), 프로세서(1720)에 의해 수행되는 컴퓨터 프로그램(1760)을 로드(load)하는 메모리(1740) 및 컴퓨터 프로그램(1760)을 저장하는 스토리지(1750)를 포함할 수 있다. 다만, 도 17에는 본 개시의 실시예와 관련 있는 구성요소들만이 도시되어 있다. 따라서, 본 개시가 속한 기술분야의 통상의 기술자라면 도 17에 도시된 구성요소들 외에 다른 범용적인 구성 요소들이 더 포함될 수 있음을 알 수 있다.

[0149] 프로세서(1720)는 컴퓨팅 장치(1700)의 각 구성의 전반적인 동작을 제어한다. 프로세서(1720)는 CPU(Central Processing Unit), MPU(Micro Processor Unit), MCU(Micro Controller Unit), GPU(Graphic Processing Unit), NPU(Neural Processing Unit) 또는 본 개시의 기술 분야에 잘 알려진 임의의 형태의 프로세서를 포함하여 구성될 수 있다. 또한, 프로세서(1720)는 본 개시의 실시예들에 따른 방법을 실행하기 위한 적어도 하나의 애플리케이션 또는 프로그램에 대한 연산을 수행할 수 있다. 컴퓨팅 장치(1700)는 하나 이상의 프로세서를 구비할 수 있다. 예를 들어, 컴퓨팅 장치(1700)는 FPGA로 구현된 프로세서, ASIC으로 구현된 기계학습 모델을 위한 전용 가속기(NPU ASIC)를 포함할 수 있다.

[0150] 메모리(1740)는 각종 데이터, 명령 및/또는 정보를 저장할 수 있다. 메모리(1740)는 본 개시의 다양한 실시예들에 따른 방법/동작을 실행하기 위하여 스토리지(1750)로부터 하나 이상의 컴퓨터 프로그램(1760)을 로드할 수 있다. 메모리(1740)는 RAM과 같은 휘발성 메모리로 구현될 수 있으나, 본 개시의 기술적 범위는 이에 한정되지 아니한다. 컴퓨팅 장치(1700)가 복수의 프로세서를 포함하는 경우, 컴퓨팅 장치(1700)는 제1 프로세서를 위한 제1 메모리 및 제2 프로세서를 위한 제2 메모리를 포함할 수 있다. 이 경우, 제1 프로세서는 제1 메모리에 저장된 하나 이상의 인스트럭션을 실행함으로써, 상술한 데이터 전처리 또는/및 후처리를 수행할 수 있다. 제2 프로세서는 제2 메모리에 저장된 하나 이상의 인스트럭션을 실행함으로써, 기계학습 모델의 연산을 수행하여 예

측 데이터를 제1 프로세서로 제공할 수 있다.

- [0151] 버스(1710)는 컴퓨팅 장치(1700)의 구성 요소 간 통신 기능을 제공할 수 있다. 버스(1710)는 주소 버스(Address Bus), 데이터 버스(Data Bus) 및 제어 버스(Control Bus) 등 다양한 형태의 버스로 구현될 수 있다.
- [0152] 통신 인터페이스(1730)는 컴퓨팅 장치(1700)의 유무선 인터넷 통신을 지원할 수 있다. 또한, 통신 인터페이스(1730)는 인터넷 통신 외의 다양한 통신 방식을 지원할 수도 있다. 이를 위해, 통신 인터페이스(1730)는 본 개시의 기술 분야에 잘 알려진 통신 모듈을 포함하여 구성될 수 있다.
- [0153] 스토리지(1750)는 하나 이상의 컴퓨터 프로그램(1760)을 비임시적으로 저장할 수 있다. 스토리지(1750)는 ROM(Read Only Memory), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리 등과 같은 비휘발성 메모리, 하드 디스크, 착탈형 디스크, 또는 본 개시가 속하는 기술 분야에서 잘 알려진 임의의 형태의 컴퓨터로 읽을 수 있는 기록 매체를 포함하여 구성될 수 있다.
- [0154] 컴퓨터 프로그램(1760)은 메모리(1740)에 로드될 때 프로세서(1720)로 하여금 본 개시의 다양한 실시예들에 따른 동작/방법을 수행하도록 하는 하나 이상의 인스트럭션들(instructions)을 포함할 수 있다. 즉, 프로세서(1720)는 하나 이상의 인스트럭션들을 실행함으로써, 본 개시의 다양한 실시예들에 따른 동작/방법들을 수행할 수 있다.
- [0155] 상술한 흐름도 및 상술한 설명은 일 예시일 뿐이며, 일부 실시예에서는 다르게 구현될 수 있다. 예를 들어, 일부 실시예에서는 각 단계의 순서가 바뀌거나, 일부 단계가 반복 수행되거나, 일부 단계가 생략되거나, 일부 단계가 추가될 수 있다.
- [0156] 상술한 방법은 컴퓨터에서 실행하기 위해 컴퓨터 판독 가능한 기록 매체에 저장된 컴퓨터 프로그램으로 제공될 수 있다. 매체는 컴퓨터로 실행 가능한 프로그램을 계속 저장하거나, 실행 또는 다운로드를 위해 임시 저장하는 것일 수도 있다. 또한, 매체는 단일 또는 수개 하드웨어가 결합된 형태의 다양한 기록 수단 또는 저장수단일 수 있는데, 어떤 컴퓨터 시스템에 직접 접속되는 매체에 한정되지 않고, 네트워크 상에 분산 존재하는 것일 수도 있다. 매체의 예시로는, 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM 및 DVD 와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto optical medium), 및 ROM, RAM, 플래시 메모리 등을 포함하여 프로그램 명령어가 저장되도록 구성된 것이 있을 수 있다. 또한, 다른 매체의 예시로, 애플리케이션을 유통하는 앱 스토어나 기타 다양한 소프트웨어를 공급 내지 유통하는 사이트, 서버 등에서 관리하는 기록매체 내지 저장매체도 들 수 있다.
- [0157] 본 개시의 방법, 동작 또는 기법들은 다양한 수단에 의해 구현될 수도 있다. 예를 들어, 이러한 기법들은 하드웨어, 펌웨어, 소프트웨어, 또는 이들의 조합으로 구현될 수도 있다. 본원의 개시와 연계하여 설명된 다양한 예시적인 논리적 블록들, 모듈들, 회로들, 및 알고리즘 단계들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 양자의 조합들로 구현될 수도 있음을 통상의 기술자들은 이해할 것이다. 하드웨어 및 소프트웨어의 이러한 상호 대체를 명확하게 설명하기 위해, 다양한 예시적인 구성요소들, 블록들, 모듈들, 회로들, 및 단계들이 그들의 기능적 관점에서 일반적으로 위에서 설명되었다. 그러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지의 여부는, 특정 애플리케이션 및 전체 시스템에 부과되는 설계 요구사항들에 따라 달라진다. 통상의 기술자들은 각각의 특정 애플리케이션을 위해 다양한 방식으로 설명된 기능을 구현할 수도 있으나, 그러한 구현들은 본 개시의 범위로부터 벗어나게 하는 것으로 해석되어서는 안된다.
- [0158] 하드웨어 구현에서, 기법들을 수행하는 데 이용되는 프로세싱 유닛들은, 하나 이상의 ASIC들, DSP들, 디지털 신호 프로세싱 디바이스들(digital signal processing devices; DSPD들), 프로그램가능 논리 디바이스들(programmable logic devices; PLD들), 필드 프로그램가능 게이트 어레이들(field programmable gate arrays; FPGA들), 프로세서들, 제어기들, 마이크로제어기들, 마이크로프로세서들, 전자 디바이스들, 본 개시에 설명된 기능들을 수행하도록 설계된 다른 전자 유닛들, 컴퓨터, 또는 이들의 조합 내에서 구현될 수도 있다.
- [0159] 따라서, 본 개시와 연계하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 및 회로들은 범용 프로세서, DSP, ASIC, FPGA나 다른 프로그램 가능 논리 디바이스, 이산 게이트나 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본원에 설명된 기능들을 수행하도록 설계된 것들의 임의의 조합으로 구현되거나 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수도 있다. 프로세서는 또한, 컴퓨팅 디바이스들의 조합, 예를 들면, DSP와 마이크로프로세서, 복수의 마이크로프로세서들, DSP 코어와 연계한 하나 이상의 마이크로프로세서들, 또는 임의의 다른 구성의 조합으로서 구현될 수도 있다.

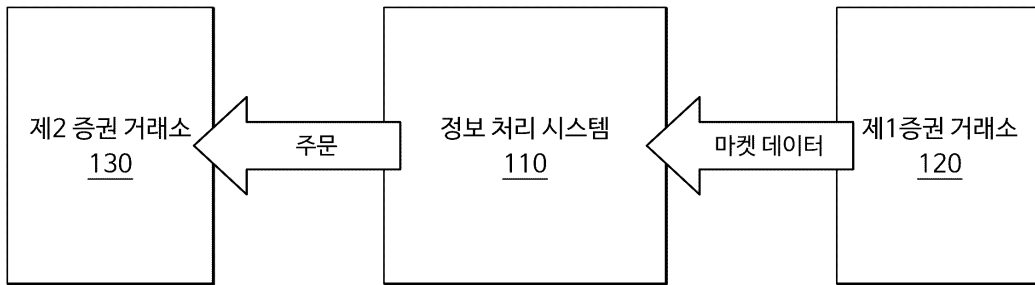
- [0160] 펌웨어 및/또는 소프트웨어 구현에 있어서, 기법들은 랜덤 액세스 메모리(random access memory; RAM), 판독 전용 메모리(read-only memory; ROM), 비휘발성 RAM(non-volatile random access memory; NVRAM), PROM(programmable read-only memory), EPROM(erasable programmable read-only memory), EEPROM(electrically erasable PROM), 플래시 메모리, 콤팩트 디스크(compact disc; CD), 자기 또는 광학 데이터 스토리지 디바이스 등과 같은 컴퓨터 판독가능 매체 상에 저장된 명령들로서 구현될 수도 있다. 명령들은 하나 이상의 프로세서들에 의해 실행 가능할 수도 있고, 프로세서(들)로 하여금 본 개시에 설명된 기능의 특정 양태들을 수행하게 할 수도 있다.
- [0161] 소프트웨어로 구현되는 경우, 상술된 기법들은 하나 이상의 명령들 또는 코드로서 컴퓨터 판독 가능한 매체 상에 저장되거나 또는 컴퓨터 판독 가능한 매체를 통해 전송될 수도 있다. 컴퓨터 판독가능 매체들은 한 장소에서 다른 장소로 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함하여 컴퓨터 저장 매체들 및 통신 매체들 양자를 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용 가능한 매체들일 수도 있다. 비제한적인 예로서, 이러한 컴퓨터 판독가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 스토리지 디바이스들, 또는 소망의 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 이송 또는 저장하기 위해 사용될 수 있으며 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속이 컴퓨터 판독가능 매체로 적절히 칭해진다.
- [0162] 본원에서 사용된 디스크(disk) 와 디스크(disc)는, CD, 레이저 디스크, 광 디스크, DVD(digital versatile disc), 플로피디스크, 및 블루레이 디스크를 포함하며, 여기서 디스크들(disks)은 보통 자기적으로 데이터를 재생하고, 반면 디스크들(discs)은 레이저를 이용하여 광학적으로 데이터를 재생한다.
- [0163] 소프트웨어 모듈은, RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 이동식 디스크, CD-ROM, 또는 공지된 임의의 다른 형태의 저장 매체 내에 상주할 수도 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하거나 저장 매체에 정보를 기록할 수 있도록, 프로세서에 연결될 수 있다. 대안으로, 저장 매체는 프로세서에 통합될 수도 있다. 프로세서와 저장 매체는 ASIC 내에 존재할 수도 있다. ASIC은 유저 단말 내에 존재할 수도 있다. 대안으로, 프로세서와 저장 매체는 유저 단말에서 개별 구성요소들로서 존재할 수도 있다.
- [0164] 이상 설명된 실시예들이 하나 이상의 독립형 컴퓨터 시스템에서 현재 개시된 주제의 양태들을 활용하는 것으로 기술되었으나, 본 개시는 이에 한정되지 않고, 네트워크나 분산 컴퓨팅 환경과 같은 임의의 컴퓨팅 환경과 연계하여 구현될 수도 있다. 또 나아가, 본 개시에서 주제의 양상들은 복수의 프로세싱 칩들이나 장치들에서 구현될 수도 있고, 스토리지는 복수의 장치들에 걸쳐 유사하게 영향을 받게 될 수도 있다. 이러한 장치들은 PC들, 네트워크 서버들, 및 휴대용 장치들을 포함할 수도 있다.
- [0165] 본 명세서에서는 본 개시가 일부 실시예들과 관련하여 설명되었지만, 본 개시의 발명이 속하는 기술분야의 통상의 기술자가 이해할 수 있는 본 개시의 범위를 벗어나지 않는 범위에서 다양한 변형 및 변경이 이루어질 수 있다. 또한, 그러한 변형 및 변경은 본 명세서에 첨부된 특허청구의 범위 내에 속하는 것으로 생각되어야 한다.

**부호의 설명**

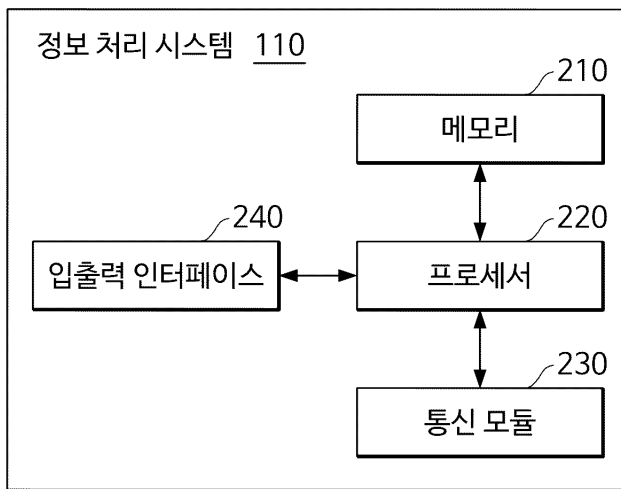
- [0166] 110: 정보 처리 시스템
- 120: 제1 증권 거래소
- 130: 제2 증권 거래소

도면

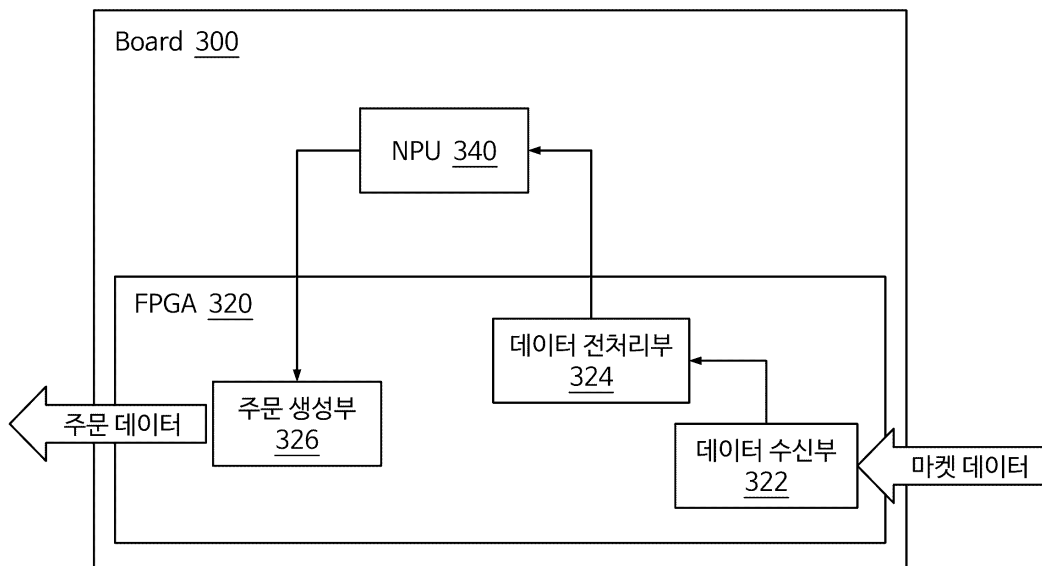
도면1



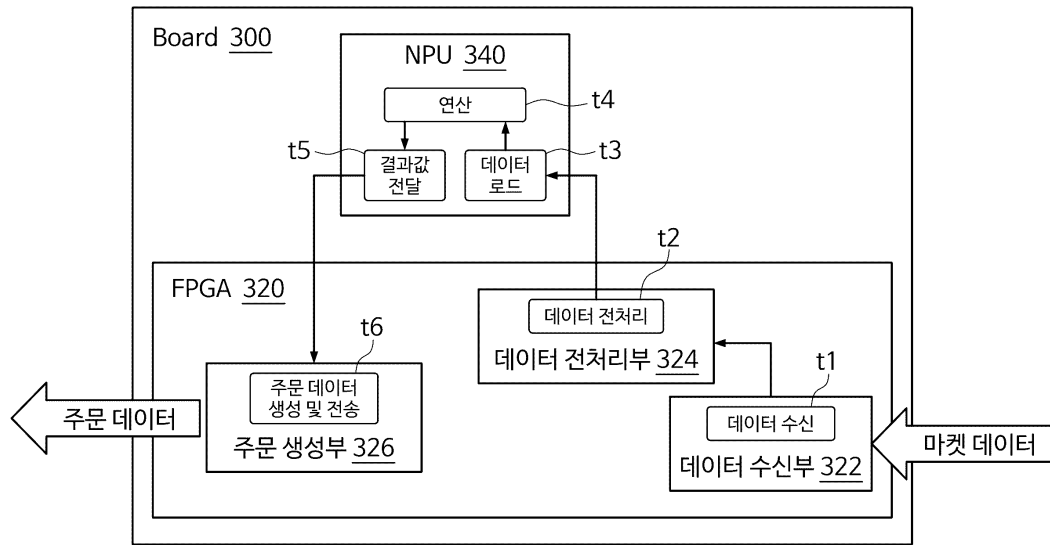
도면2



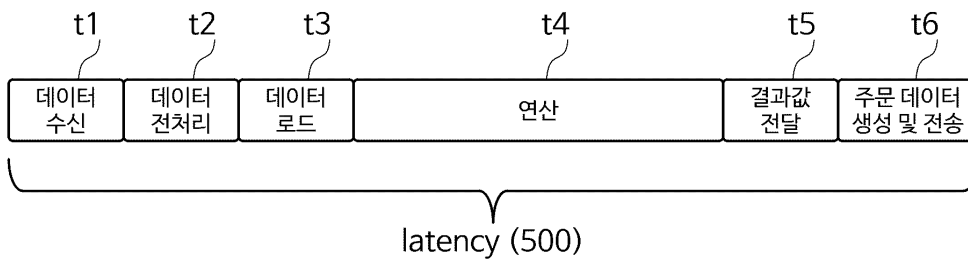
도면3



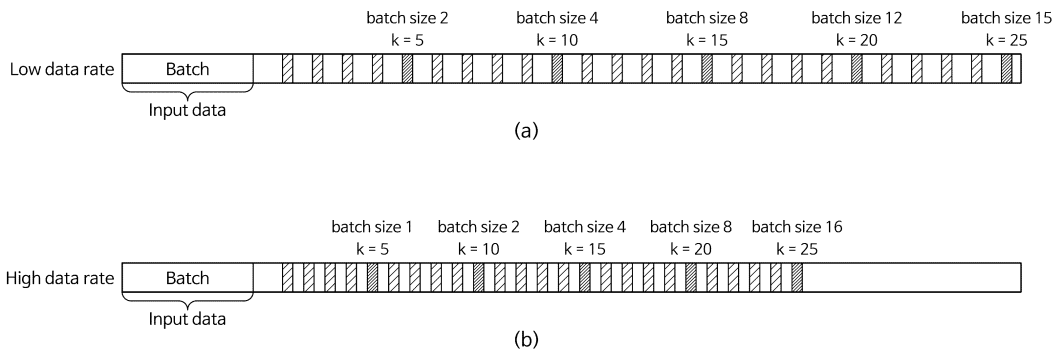
도면4



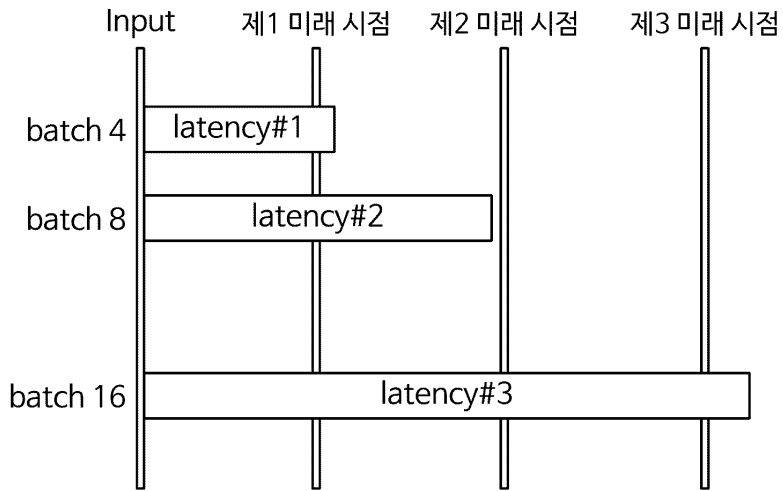
도면5



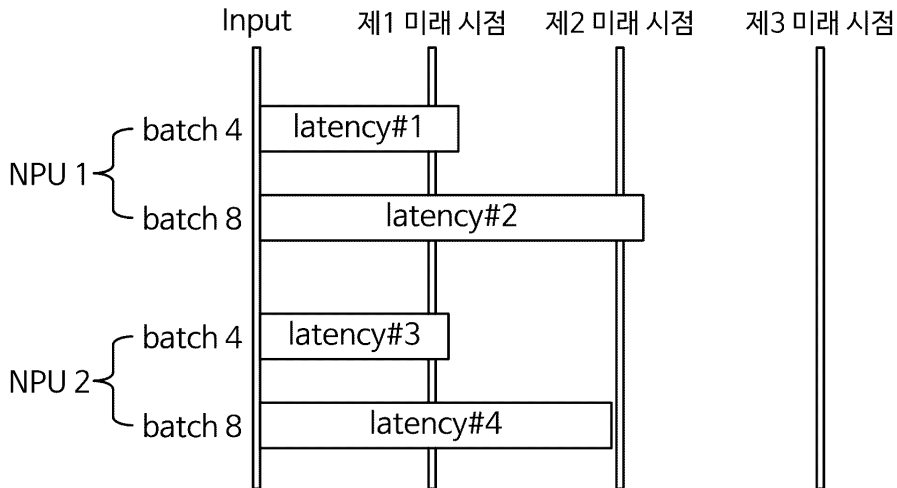
도면6



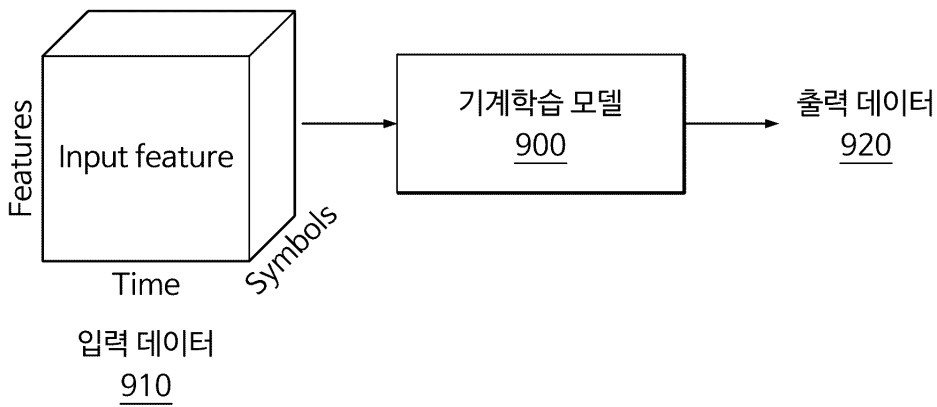
도면7



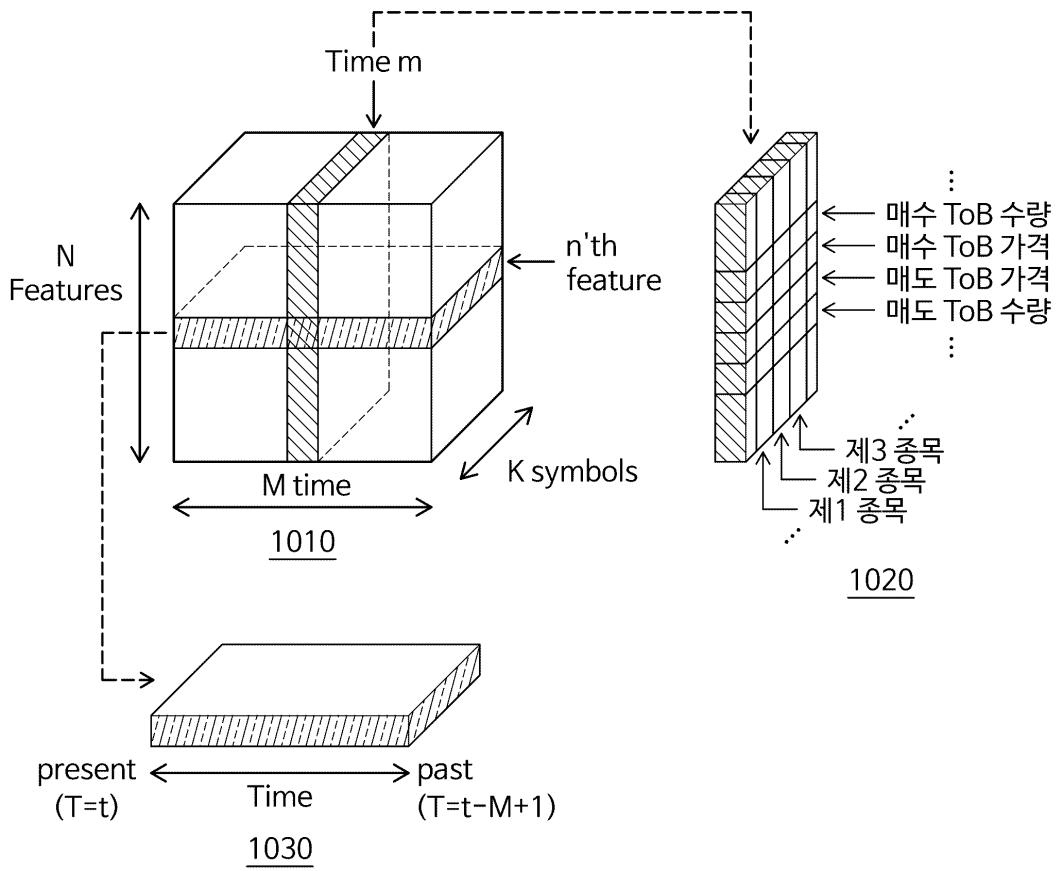
도면8



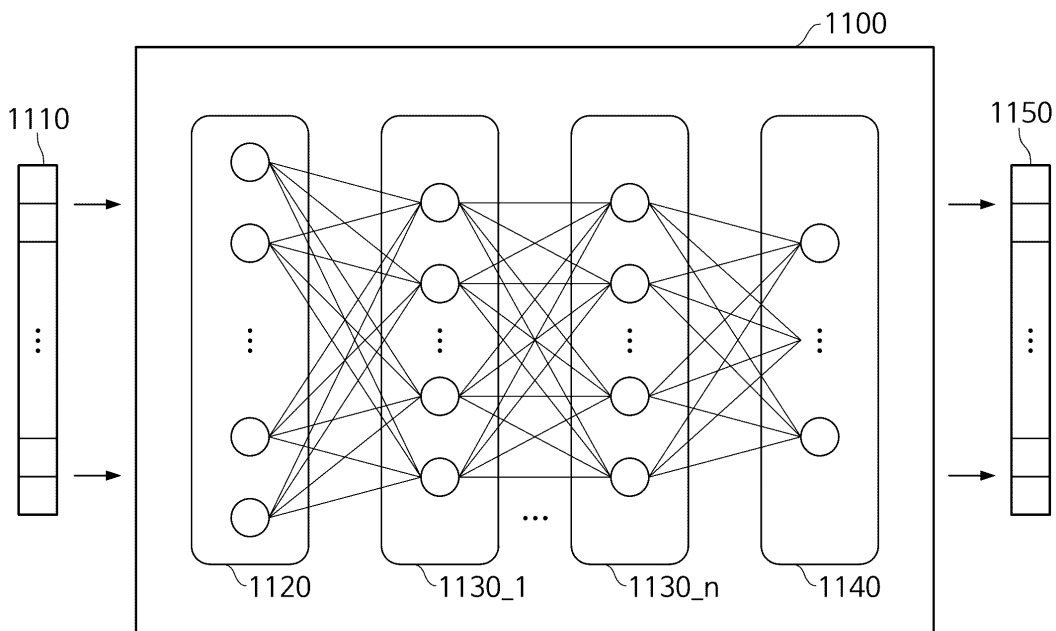
도면9



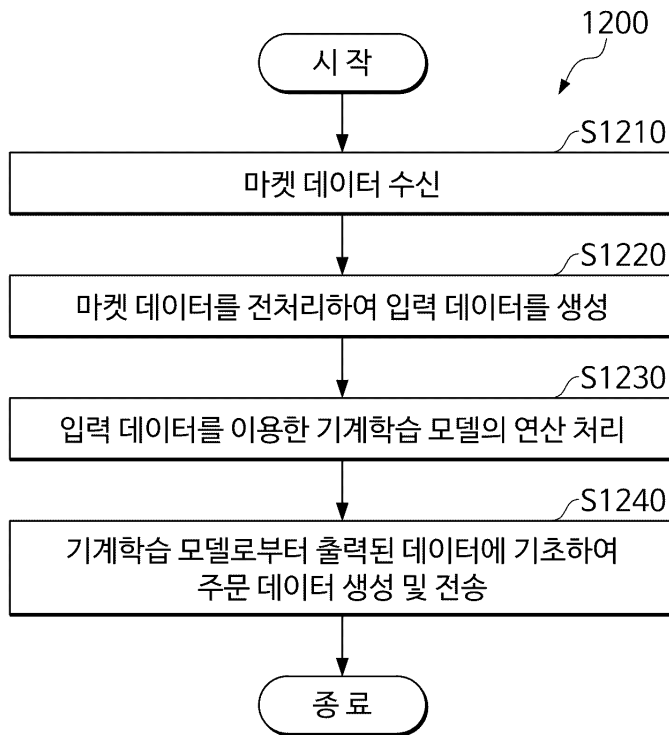
도면10



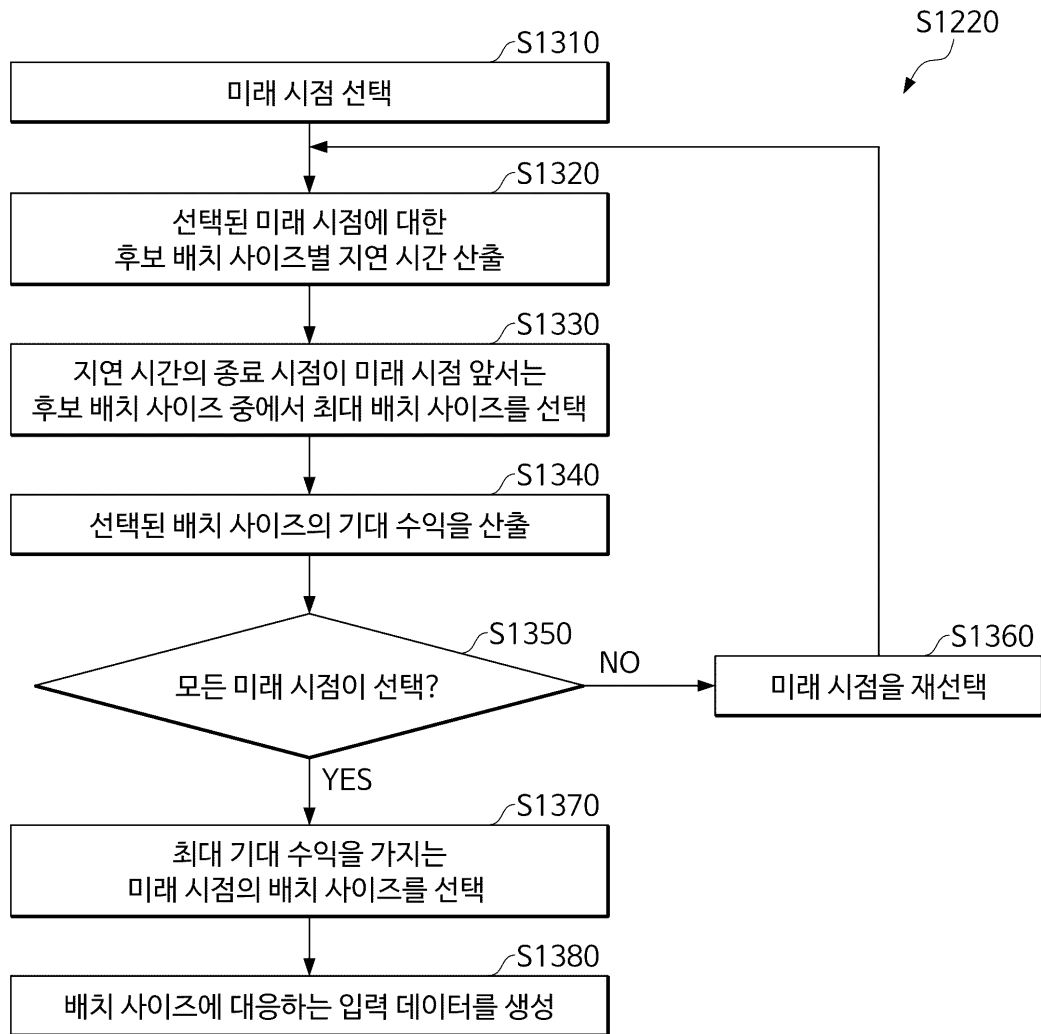
도면11



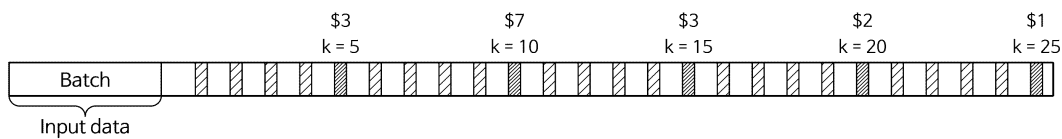
도면12



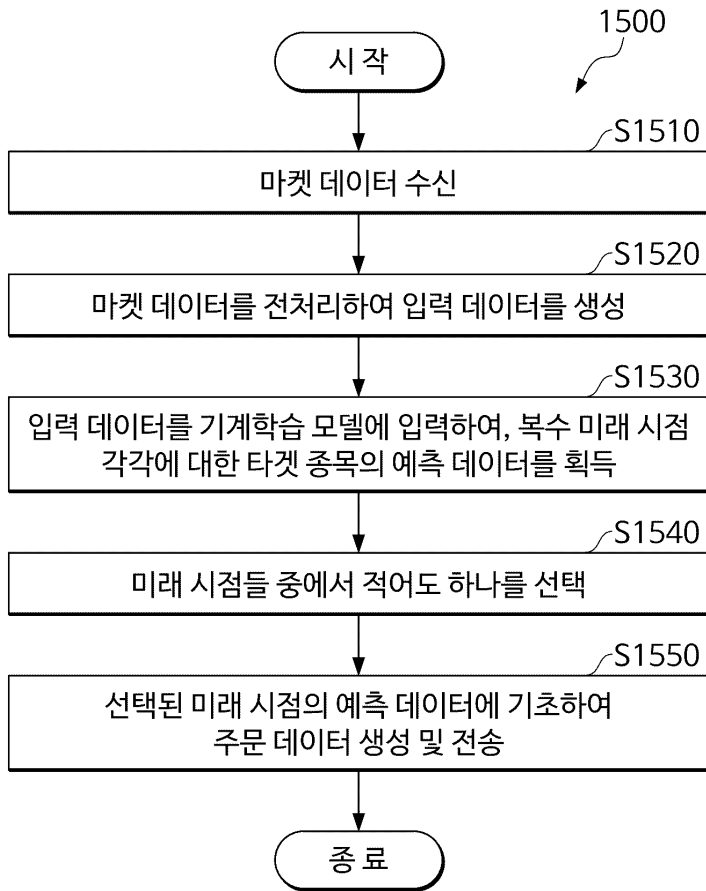
도면13



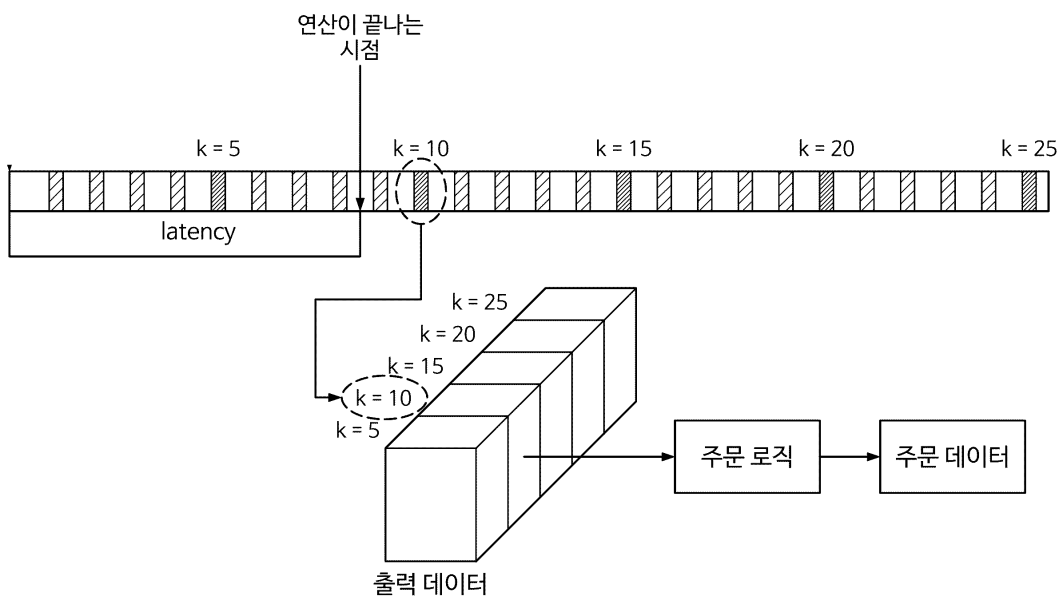
도면14



도면15



도면16



도면17

1700

