

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7673807号
(P7673807)

(45)発行日 令和7年5月9日(2025.5.9)

(24)登録日 令和7年4月28日(2025.4.28)

(51)国際特許分類	F I			
H 0 2 M 1/00 (2007.01)	H 0 2 M 1/00	H		
H 0 2 M 7/48 (2007.01)	H 0 2 M 1/00	E		
	H 0 2 M 1/00	R		
	H 0 2 M 7/48	M		

請求項の数 12 (全20頁)

(21)出願番号	特願2023-535166(P2023-535166)	(73)特許権者	000005234
(86)(22)出願日	令和4年5月25日(2022.5.25)		富士電機株式会社
(86)国際出願番号	PCT/JP2022/021431		神奈川県川崎市川崎区田辺新田 1 番 1 号
(87)国際公開番号	WO2023/286464	(74)代理人	110000877
(87)国際公開日	令和5年1月19日(2023.1.19)		弁理士法人 R Y U K A 国際特許事務所
審査請求日	令和5年6月28日(2023.6.28)	(72)発明者	清水 直樹
(31)優先権主張番号	特願2021-115321(P2021-115321)		神奈川県川崎市川崎区田辺新田 1 番 1 号
(32)優先日	令和3年7月12日(2021.7.12)		富士電機株式会社内
(33)優先権主張国・地域又は機関	日本国(JP)	審査官	武内 大志

最終頁に続く

(54)【発明の名称】 制御装置およびスイッチング装置

(57)【特許請求の範囲】

【請求項 1】

主スイッチング素子に短絡が生じたことに応じて、当該主スイッチング素子に流れる電流を制限する保護動作を行う保護部と、

駆動信号に応じて前記主スイッチング素子を駆動制御する駆動制御部への電源供給が停止され、かつ、前記主スイッチング素子に生じた前記短絡が解消するまで前記保護部に保護動作を継続させる保護動作制御部と、

を備える制御装置。

【請求項 2】

前記保護動作制御部は、

前記短絡が生じた場合に、前記短絡が解消したこと、および、前記電源供給が停止されたことを含む第 1 解除条件が満たされるまで、前記保護動作を実行すべき旨の情報を保持する第 1 保持部を有する、請求項 1 に記載の制御装置。

【請求項 3】

前記保護動作制御部は、

前記短絡が生じた場合に、前記短絡が解消したこと、および、前記電源供給が再開される場合の基準操作が行われたことを含む第 1 解除条件が満たされるまで、前記保護動作を実行すべき旨の情報を保持する第 1 保持部を有する、請求項 1 に記載の制御装置。

【請求項 4】

前記保護動作制御部は、前記第 1 解除条件が満たされることに応じて前記第 1 保持部を

リセットするリセット部を有する、請求項 2 に記載の制御装置。

【請求項 5】

前記第 1 解除条件は、前記主スイッチング素子をオン状態とする前記駆動信号が供給されていないこと、および、前記保護動作の開始から基準時間以上が経過していることをさらに含む、請求項 2 に記載の制御装置。

【請求項 6】

前記保護部は、前記主スイッチング素子が基準温度よりも高温になったこと、前記主スイッチング素子に基準電流よりも大きい電流が流れたこと、および、前記電源供給による供給電圧が基準電圧よりも低下したこと、の少なくとも 1 つの異常が生じたことに応じて前記保護動作を行い、

10

前記保護動作制御部は、前記少なくとも 1 つの異常が生じた場合に、生じた異常が解消したこと、前記主スイッチング素子をオン状態とする前記駆動信号が供給されていないこと、および、前記保護動作の開始から基準時間以上が経過していることを含み、前記電源供給が停止されていることを条件に含まない第 2 解除条件が満たされるまで、前記保護動作を実行すべき旨の情報を保持する第 2 保持部を有する、請求項 2 に記載の制御装置。

【請求項 7】

前記保護動作制御部は、前記駆動制御部とは別の電源から電源供給を受ける、請求項 2 に記載の制御装置。

【請求項 8】

前記保護動作制御部は、前記駆動制御部と共通の電源から電源供給を受けることに応じて、前記保護動作を継続させるか否かの情報を保持する第 3 保持部を有する、請求項 1 に記載の制御装置。

20

【請求項 9】

前記主スイッチング素子に流れる電流に応じたパラメータを測定する測定部と、

測定されたパラメータに応じて前記主スイッチング素子に短絡が生じたことを検知する検知部と、

をさらに備える、請求項 1 に記載の制御装置。

【請求項 10】

前記保護動作が実行される場合にアラーム信号を出力する出力部をさらに備える、請求項 1 に記載の制御装置。

30

【請求項 11】

前記駆動制御部をさらに備える、請求項 1 から 10 の何れか一項に記載の制御装置。

【請求項 12】

請求項 11 に記載の制御装置と、前記主スイッチング素子とを備えるスイッチング装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御装置およびスイッチング装置に関する。

【背景技術】

【0002】

40

従来、主スイッチング素子に短絡が生じた場合には、主スイッチング素子のゲート電圧を制限するなどの保護動作が行われており、短絡の解消に応じて保護動作を解除している（例えば、特許文献 1、2 参照）。

特許文献 1 特開 2011 - 259233 号公報

特許文献 2 特開平 11 - 4150 号公報

【解決しようとする課題】

【0003】

しかしながら、短絡の解消に応じて単純に保護動作を解除すると、改めて短絡が生じて素子破壊を引き起こす虞がある。

【一般的開示】

50

【 0 0 0 4 】

上記課題を解決するために、本発明の第 1 の態様においては、制御装置が提供される。制御装置は、主スイッチング素子に短絡が生じたことに応じて、当該主スイッチング素子に流れる電流を制限する保護動作を行う保護部を備えてよい。制御装置は、駆動信号に応じて主スイッチング素子を駆動制御する駆動制御部への電源供給が停止されるまで保護部に保護動作を継続させる保護動作制御部を備えてよい。

【 0 0 0 5 】

保護動作制御部は、短絡が生じた場合に、短絡が解消したこと、および、電源供給が停止されたことを含む第 1 解除条件が満たされるまで、保護動作を実行すべき旨の情報を保持する第 1 保持部を有してよい。

10

【 0 0 0 6 】

保護動作制御部は、短絡が生じた場合に、短絡が解消したこと、および、電源供給が再開される場合の基準操作が行われたことを含む第 1 解除条件が満たされるまで、保護動作を実行すべき旨の情報を保持する第 1 保持部を有してよい。

【 0 0 0 7 】

保護動作制御部は、第 1 解除条件が満たされることに応じて第 1 保持部をリセットするリセット部を有してよい。

【 0 0 0 8 】

第 1 解除条件は、主スイッチング素子をオン状態とする駆動信号が供給されていないこと、および、保護動作の開始から基準時間以上が経過していることをさらに含んでよい。

20

【 0 0 0 9 】

保護部は、主スイッチング素子が基準温度よりも高温になったこと、主スイッチング素子に基準電流よりも大きい電流が流れたこと、および、電源供給による供給電圧が基準電圧よりも低下したこと、の少なくとも 1 つの異常が生じたことに応じて保護動作を行ってよい。保護動作制御部は、少なくとも 1 つの異常が生じた場合に、生じた異常が解消したこと、主スイッチング素子をオン状態とする駆動信号が供給されていないこと、および、保護動作の開始から基準時間以上が経過していることを含み、電源供給が停止されていることを条件に含まない第 2 解除条件が満たされるまで、保護動作を実行すべき旨の情報を保持する第 2 保持部を有してよい。

【 0 0 1 0 】

保護動作制御部は、駆動制御部とは別の電源から電源供給を受けてよい。

30

【 0 0 1 1 】

保護動作制御部は、駆動制御部と共通の電源から電源供給を受けることに応じて、保護動作を継続させるか否かの情報を保持する第 3 保持部を有してよい。

【 0 0 1 2 】

制御装置は、主スイッチング素子に流れる電流に応じたパラメータを測定する測定部を備えてよい。制御装置は、測定されたパラメータに応じて主スイッチング素子に短絡が生じたことを検知する検知部を備えてよい。

【 0 0 1 3 】

制御装置は、保護動作が実行される場合にアラーム信号を出力する出力部をさらに備えてよい。

40

【 0 0 1 4 】

制御装置は、駆動制御部をさらに備えてよい。

【 0 0 1 5 】

また、本発明の第 2 の態様においては、スイッチング装置が提供される。スイッチング装置は、第 1 の態様の制御装置を備えてよい。スイッチング装置は、主スイッチング素子とを備えてよい。

【 0 0 1 6 】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

50

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】第 1 実施形態に係るスイッチング装置 1 を示す。

【図 2】第 2 実施形態に係るスイッチング装置 1 A を示す。

【図 3】第 3 実施形態に係るスイッチング装置 1 B を示す。

【図 4】第 4 実施形態に係るスイッチング装置 1 C を示す。

【発明を実施するための形態】

【 0 0 1 8 】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

10

【 0 0 1 9 】

[1 . 第 1 実施形態]

[1 . 1 . スイッチング装置]

図 1 は、本実施形態に係るスイッチング装置 1 を示す。スイッチング装置 1 は、モータ駆動用または電力供給用に用いられる装置であってよく、例えば正側端子 1 0 1 および負側端子 1 0 2 から供給される直流電力を交流電力に変換して電源出力端子 1 0 5 から出力するインバータ装置などの電力変換装置であってよい。また、スイッチング装置 1 は、異常時に自動で保護動作を行う I P M (インテリジェントパワーモジュール) であってよい。スイッチング装置 1 は、正側および負側の主スイッチング素子 2 , 3 と、正側および負側の制御装置 4 , 5 とを備えてよい。なお、負側端子 1 0 2 は一例としてグランドに接続されてよい。スイッチング装置 1 には、正側端子 1 0 1 や負側端子 1 0 2 、電源出力端子 1 0 5 に加えて、駆動信号 V i n が入力される入力端子 1 0 3 や、アラーム信号 A L M を出力するアラーム端子 1 0 4 などが設けられてよい。

20

【 0 0 2 0 】

[1 . 1 . 1 . 主スイッチング素子 2 , 3]

主スイッチング素子 2 , 3 は、正側端子 1 0 1 および負側端子 1 0 2 の間に直列に順次接続されている。例えば、主スイッチング素子 2 , 3 は、それぞれ正側端子 1 0 1 の側にコレクタ端子が接続され、負側端子 1 0 2 の側にエミッタ端子が接続される。主スイッチング素子 2 , 3 は、スイッチング装置における上アームおよび下アームを構成してよく、主スイッチング素子 2 および主スイッチング素子 3 の中点には電源出力端子 1 0 5 が接続されてよい。

30

【 0 0 2 1 】

主スイッチング素子 2 , 3 は、対応する制御装置 4 , 5 に接続されるセンスエミッタ端子を有してよい。また、主スイッチング素子 2 , 3 の近傍 (本実施形態では一例として、主スイッチング素子 2 , 3 と同一のチップ内) には、主スイッチング素子 2 , 3 の過熱を検知するためのサーマルダイオード 2 0 , 3 0 が配置されてよく、サーマルダイオード 2 0 , 3 0 それぞれのアノード端子およびカソード端子とも制御装置 4 , 5 に接続されてよい。

【 0 0 2 2 】

なお、本実施形態では一例として、主スイッチング素子 2 , 3 は I G B T であり、正側端子 1 0 1 の側がカソードである寄生ダイオード (図示せず) を有してよい。これに加えて、または、これに代えて、主スイッチング素子 2 , 3 のそれぞれには、正側端子 1 0 1 の側がカソードとなるよう還流ダイオード (図示せず) が逆並列に接続されてよい。主スイッチング素子 2 , 3 は M O S F E T またはバイポーラトランジスタなど、他構造の半導体素子でもよい。

40

【 0 0 2 3 】

[1 . 1 . 2 . 制御装置 4 , 5]

制御装置 4 , 5 は、主スイッチング素子 2 , 3 を制御する。正側の制御装置 4 は主スイッチング素子 2 を制御対象とし、負側の制御装置 5 は主スイッチング素子 3 を制御対象と

50

してよい。なお、制御装置 4, 5 は同様の構成であるため、本実施形態では負側の制御装置 5 について説明を行い、正側の制御装置 4 については説明を省略する。

【0024】

制御装置 5 は、主スイッチング素子 3 を制御する。制御装置 5 は、駆動制御部 50 と、異常検知部 6 と、保護動作制御部 56 と、アラーム出力部 57 と、保護部 58 とを有する。なお、駆動制御部 50 と、保護動作制御部 56 とは、別々の電源から電源供給を受けてよく、例えば制御装置 5 における各構成のうち、駆動制御部 50 と、他の構成とは、別々の電源から電源供給を受けてよい。本実施形態では一例として、駆動制御部 50 は一の電源から電圧（制御電圧とも称する） $V_{cc}(1)$ の電源供給を受けてよく、制御装置 5 における他の構成は他の電源から電圧（制御電圧とも称する） $V_{cc}(2)$ の電源供給を受けてよい。なお、電圧 $V_{cc}(1)$ と電圧 $V_{cc}(2)$ は、同じ電圧であってもよいし、異なる電圧であってもよい。

10

【0025】

[1.1.2(1). 駆動制御部 50]

駆動制御部 50 は、入力端子 103 に入力される駆動信号 V_{in} に応じて主スイッチング素子 3 を駆動制御する。駆動信号 V_{in} は外部から入力されてよく、主スイッチング素子 3 をオン状態とする信号、および、オフ状態とする信号を含んでよい。例えば、駆動信号 V_{in} は、主スイッチング素子 2, 3 に同期整流方式でスイッチングを行わせてよく、一例として主スイッチング素子 2, 3 の両方がオフとなるデッドタイムを挟んで主スイッチング素子 2, 3 を択一的に（一例として交互に）接続状態とするよう設定されてよい。なお、本実施形態では一例として、駆動信号 V_{in} はローレベルの場合に主スイッチング素子 3 をオンにすることを指示し、ハイレベルの場合に主スイッチング素子 3 をオフにすることを指示する。

20

【0026】

駆動制御部 50 は、電流源 500 と、ツェナーダイオード 501 と、反転型シュミットトリガ回路 502 と、NOTゲート 503 と、スイッチング素子 504 と、スイッチング素子 505 とを有する。

【0027】

電流源 500 は、主スイッチング素子 3 をオン状態とする駆動信号 V_{in} が入力端子 103 に入力されていない場合に入力端子 103 の電位をハイレベルに維持する。ツェナーダイオード 501 は、入力端子 103 の側にカソード端子を向けて、入力端子 103 とグランドとの間に接続され、入力端子 103 から制御装置 5 に対して過電圧が加わるのを防止する。反転型シュミットトリガ回路 502 は、入力端子 103 に接続されており、ヒステリシスをもって駆動信号 V_{in} のハイレベル/ローレベルを反転させる。反転型シュミットトリガ回路 502 は、反転した駆動信号 V_{in} を、後述の保護部 58 における ANDゲート 581, 582 などを通じて NOTゲート 503、スイッチング素子 505 に供給してよい。

30

【0028】

NOTゲート 503 は、保護部 58 の ANDゲート 581 と、スイッチング素子 504 との間に設けられる。NOTゲート 503 は、ANDゲート 581 からの出力信号をさらに反転してスイッチング素子 504 に供給してよい。

40

【0029】

スイッチング素子 504 は制御電圧 $V_{cc}(1)$ の電源と主スイッチング素子 3 のゲートとの間に接続されている。スイッチング素子 504 は、ターンオン用のスイッチング素子であり、制御電圧 $V_{cc}(1)$ の電源と主スイッチング素子 3 のゲートとの間を導通させることで主スイッチング素子 3 をターンオンする。スイッチング素子 504 は、NOTゲート 503 から供給される信号がローレベルの場合にターンオンされてよい。なお、本実施形態では一例として、スイッチング素子 504 は、P型の MOSFET であるが、他構造の半導体素子でもよい。

【0030】

50

スイッチング素子 505 は主スイッチング素子 3 のゲートと負側端子 102 との間に接続されている。スイッチング素子 505 は、ターンオフ用のスイッチング素子であり、主スイッチング素子 3 のゲートと負側端子 102 との間を導通させることで主スイッチング素子 3 をターンオフする。スイッチング素子 505 は、AND ゲート 582 から供給される信号がハイレベルの場合にターンオンされてよい。なお、本実施形態では一例として、スイッチング素子 505 は、N 型の MOSFET であるが、他構造の半導体素子でもよい。

【0031】

[1. 1. 2 (2) . 異常検知部 6]

異常検知部 6 は、保護動作を行うべき異常を検知する。本実施形態では一例として、異常には、主スイッチング素子 3 の短絡、主スイッチング素子 3 の過熱、主スイッチング素子 3 の過電流、および、制御電圧低下が含まれる。主スイッチング素子 3 の過熱とは、主スイッチング素子 3 が基準温度よりも高温になることであってよい。主スイッチング素子 3 の過電流とは、主スイッチング素子 3 に基準電流よりも大きい電流が流れることであってよい。制御電圧低下とは、駆動制御部 50 への電源供給による供給電圧 $V_{cc}(1)$ が基準電圧よりも低下することであってよい。異常検知部 6 は、過熱検知部 61 と、測定部 62 と、過電流検知部 63 と、短絡検知部 64 と、制御電圧低下検知部 65 とを有する。

【0032】

[1. 1. 2 (2 - 1) . 過熱検知部 61]

過熱検知部 61 は、主スイッチング素子 3 の過熱を検知する。過熱検知部 61 は、電流源 610 と、コンパレータ 611 と、ローパスフィルタ 612 と、ヒステリシスバッファ 613 とを有する。

【0033】

電流源 610 は、サーマルダイオード 30 のアノード端子と、コンパレータ 611 の反転入力端子との間に接続されており、サーマルダイオード 30 に順方向の電流を流す。サーマルダイオード 30 の順方向電圧は、サーマルダイオード 30 が基準温度よりも高温の場合には、サーマルダイオード 30 が基準温度の場合よりも低くてよい。これにより、主スイッチング素子 3 が過熱状態である場合には、非過熱状態である場合よりも低い電圧がコンパレータ 611 の反転入力端子に印加される。コンパレータ 611 の非反転入力端子には、基準電位が接続される。コンパレータ 611 の基準電位は、主スイッチング素子 3 が基準温度の場合の反転入力端子の電位と等しくてよい。これにより、主スイッチング素子 3 が過熱状態となることに応じてコンパレータ 611 の出力信号がハイレベルとなる。コンパレータ 611 は、ローパスフィルタ 612 およびヒステリシスバッファ 613 を介して出力信号を保護動作制御部 56 に供給してよい。

【0034】

ローパスフィルタ 612 はコンパレータ 611 からの出力信号に含まれる高周波成分を除去してよい。ヒステリシスバッファ 613 は、ヒステリシスをもってコンパレータ 611 からの出力信号をバッファリングし、出力信号のばたつきを防止してよい。

【0035】

[1. 1. 2 (2 - 2) . 測定部 62]

測定部 62 は、主スイッチング素子 3 に流れる電流に応じたパラメータを測定する。主スイッチング素子 3 に流れる電流は、スイッチング素子 3 に流れる電流の瞬時値であってよい。本実施形態においては一例として、測定部 62 は、主スイッチング素子 3 のセンスエミッタ端子とグランドとの間に直列に接続された 2 つの抵抗 620, 621 を有してよい。測定部 62 は、センスエミッタ電流が抵抗 620, 621 の両方を流れることに応じて検出される電圧を過電流検知部 63 に供給し、センスエミッタ電流がグランド側の抵抗 621 を流れることに応じて検出される電圧を短絡検知部 64 に供給してよい。

【0036】

[1. 1. 2 (2 - 3) . 過電流検知部 63]

過電流検知部 63 は、主スイッチング素子 3 の過電流を検知する。過電流検知部 63 は、測定部 62 により測定されたパラメータに応じて主スイッチング素子 3 に過電流が流れ

10

20

30

40

50

たことを検知してよい。過電流とは、基準電流（一例として主スイッチング素子 3 の定格電流）より大きい電流であってよく、主スイッチング素子 3 が短絡した場合に流れる電流よりも小さい電流であってよい。過電流検知部 6 3 は、コンパレータ 6 3 0 と、ローパスフィルタ 6 3 1 とを有する。

【 0 0 3 7 】

コンパレータ 6 3 0 の非反転入力端子には測定部 6 2 の抵抗 6 2 0 と、主スイッチング素子 3 のセンスエミッタ端子との間の接続点が接続され、コンパレータ 6 3 0 の反転入力端子には基準電位が接続される。コンパレータ 6 3 0 の基準電位は、主スイッチング素子 3 に流れる電流が上述の基準電流である場合の非反転入力端子の電位と等しくてよい。これにより、主スイッチング素子 3 が過電流状態となることに応じてコンパレータ 6 3 0 の出力信号がハイレベルとなる。コンパレータ 6 3 0 は、ローパスフィルタ 6 3 1 を介して出力信号を保護動作制御部 5 6 に供給してよい。ローパスフィルタ 6 3 1 はコンパレータ 6 3 0 からの出力信号に含まれる高周波成分を除去してよい。

10

【 0 0 3 8 】

[1 . 1 . 2 (2 - 4) . 短絡検知部 6 4]

短絡検知部 6 4 は、主スイッチング素子 3 の短絡を検知する。短絡検知部 6 4 は、測定部 6 2 により測定されたパラメータに応じて主スイッチング素子 3 に短絡が生じたことを検知してよい。短絡検知部 6 4 は、コンパレータ 6 4 0 と、ローパスフィルタ 6 4 1 とを有する。

【 0 0 3 9 】

20

コンパレータ 6 4 0 の非反転入力端子には測定部 6 2 の抵抗 6 2 0 , 6 2 1 の間の接続点が接続され、コンパレータ 6 4 0 の反転入力端子には基準電位が接続される。コンパレータ 6 4 0 の基準電位は、主スイッチング素子 3 が短絡状態となっていない場合での非反転入力端子の電位より高くてもよく、主スイッチング素子 3 が短絡状態となった場合での非反転入力端子の電位よりも低くてもよい。これにより、主スイッチング素子 3 が短絡状態となることに応じてコンパレータ 6 4 0 の出力信号がハイレベルとなる。コンパレータ 6 4 0 は、ローパスフィルタ 6 4 1 を介して出力信号を保護動作制御部 5 6 に供給してよい。ローパスフィルタ 6 4 1 はコンパレータ 6 4 0 からの出力信号に含まれる高周波成分を除去してよい。

【 0 0 4 0 】

30

[1 . 1 . 2 (2 - 5) . 制御電圧低下検知部 6 5]

制御電圧低下検知部 6 5 は、制御電圧低下を検知する。本実施形態では一例として、制御電圧低下検知部 6 5 は、制御電圧 $V_{cc}(1)$ が低下したこと検知してよい。制御電圧低下検知部 6 5 は、抵抗 6 5 5 , 6 5 6 と、コンパレータ 6 5 1 と、ローパスフィルタ 6 5 2 と、ヒステリシスパッファ 6 5 3 とを有する。

【 0 0 4 1 】

抵抗 6 5 5 , 6 5 6 は、制御電圧 $V_{cc}(1)$ とグランドとの間に直列に接続される。抵抗 6 5 5 , 6 5 6 の間の接続点はコンパレータ 6 5 1 の反転入力端子に接続されてよく、コンパレータ 6 5 1 の非反転入力端子には基準電位が接続されてよい。コンパレータ 6 5 1 の基準電位は、制御電圧 $V_{cc}(1)$ が基準電圧である場合の反転入力端子の電位と等しくてよい。基準電圧は一例として、駆動制御部 5 0 が正常に動作する制御電圧 $V_{cc}(1)$ の最小電圧であってよい。これにより、制御電圧 $V_{cc}(1)$ が基準電圧よりも低下することに応じてコンパレータ 6 5 1 の出力信号がハイレベルとなる。コンパレータ 6 5 1 は、ローパスフィルタ 6 5 2 およびヒステリシスパッファ 6 5 3 を介して出力信号を保護動作制御部 5 6 に供給してよい。

40

【 0 0 4 2 】

ローパスフィルタ 6 5 2 およびヒステリシスパッファ 6 5 3 は、過熱検知部 6 1 のローパスフィルタ 6 1 2 およびヒステリシスパッファ 6 1 3 と同様のものであってよい。

【 0 0 4 3 】

[1 . 1 . 2 (3) . 保護動作制御部 5 6]

50

保護動作制御部 56 は、主スイッチング素子 3 の短絡、主スイッチング素子 3 の過熱、主スイッチング素子 3 の過電流、および、制御電圧低下のうちの何れかの異常が生じたことに応じて保護部 58 に保護動作を行わせる。保護動作制御部 56 は、保護部 58 に供給する保護制御信号 SG をハイレベルにすることで保護動作を行わせて良い。保護動作制御部 56 は、OR ゲート 560 と、SR 型フリップフロップ 561 と、遅延回路 562 と、AND ゲート 563 と、SR 型フリップフロップ 564 と、遅延回路 565 と、AND ゲート 566 と、OR ゲート 569 とを有する。

【0044】

[1 . 1 . 2 (3 - 1) . OR ゲート 560]

OR ゲート 560 は、過熱検知部 61、過電流検知部 63 および制御電圧低下検知部 65 の出力端子に接続される。OR ゲート 560 は、過熱検知部 61、過電流検知部 63 および制御電圧低下検知部 65 からの出力信号の論理和をとってよい。OR ゲート 560 は、演算結果を SR 型フリップフロップ 561 に供給してよい。

10

【0045】

[1 . 1 . 2 (3 - 2) . SR 型フリップフロップ 561]

SR 型フリップフロップ 561 は、OR ゲート 560 の出力端子に接続される。SR 型フリップフロップ 561 は、第 2 保持部の一例であり、主スイッチング素子 3 の過熱、主スイッチング素子 3 の過電流、および、制御電圧低下のうち少なくとも 1 つの異常が生じた場合に、後述の第 2 解除条件が満たされるまで、保護動作を実行すべき旨の情報を保持する。SR 型フリップフロップ 561 は、セット状態となることによって、保護動作を実行すべき旨の情報の保持を行い、リセットされることで、当該情報をリセットしてよい。

20

【0046】

SR 型フリップフロップ 561 のセット端子には OR ゲート 560 の出力端子が接続されてよく、SR 型フリップフロップ 561 は OR ゲート 560 からの信号がハイレベルとなることに応じてセットされてよい。これにより、主スイッチング素子 3 の過熱、主スイッチング素子 3 の過電流、および、制御電圧低下のうち少なくとも 1 つの異常が生じることにより SR 型フリップフロップ 561 がセットされる。

【0047】

SR 型フリップフロップ 561 のリセット端子には後述の AND ゲート 563 の出力端子が接続されてよく、SR 型フリップフロップ 561 は AND ゲート 563 からの出力信号がハイレベルとなることに応じてリセットされてよい。

30

【0048】

SR 型フリップフロップ 561 は、セット状態でハイレベルの信号を出力し、リセット状態でローレベルの信号を出力してよい。SR 型フリップフロップ 561 は、OR ゲート 569 および遅延回路 562 に出力信号を供給してよい。

【0049】

[1 . 1 . 2 (3 - 3) . 遅延回路 562]

遅延回路 562 は、SR 型フリップフロップ 561 の出力端子に接続される。遅延回路 562 は、SR 型フリップフロップ 561 によるハイレベルの信号出力の開始から基準時間以上が経過している場合にハイレベルとなる信号を出力してよい。本実施形態では一例として遅延回路 562 は、SR 型フリップフロップ 561 によるハイレベルの出力信号が基準時間以上に継続する場合にハイレベルとなる信号を出力してよく、SR 型フリップフロップ 561 の出力信号と、SR 型フリップフロップ 561 の出力信号を基準時間だけ遅延させた信号との論理積をとる。遅延回路 562 は、出力信号を AND ゲート 563 に供給してよい。基準時間は、遅延回路 562 に対して任意に設定される時間であってよい。一例として、基準時間は、アラーム出力部 57 がアラーム信号 ALM を出力すべき最小の時間であってよい。

40

【0050】

[1 . 1 . 2 (3 - 4) . AND ゲート 563]

AND ゲート 563 は、OR ゲート 560、遅延回路 562 および反転型シュミット

50

リガ回路 502 と、SR 型フリップフロップ 561 のリセット端子との間に設けられる。AND ゲート 563 は、第 2 解除条件が満たされることに応じて SR 型フリップフロップ 561 をリセットする。

【0051】

第 2 解除条件は、主スイッチング素子 3 の過熱、主スイッチング素子 3 の過電流、および、制御電圧低下のうち、生じた異常が解消したこと、主スイッチング素子 3 をオン状態とする駆動信号 V_{in} が供給されていないこと、および、保護動作の開始から基準時間以上が経過していることを含む。ここで、第 2 解除条件では、後述の第 1 解除条件と異なり、駆動制御部 50 への電源供給が停止されていることが条件に含まれない。異常が解消したことは、異常が生じていない状態にあることであってよい。主スイッチング素子 3 をオン状態とする駆動信号 V_{in} が供給されていないとは、駆動信号 V_{in} の供給が停止されることであってもよいし、主スイッチング素子 3 をオフ状態とする駆動信号 V_{in} が供給されていることであってもよい。

10

【0052】

本実施形態では一例として、AND ゲート 563 は、OR ゲート 560 からの出力信号（本実施形態では一例として、過熱検知部 61、過電流検知部 63 および制御電圧低下検知部 65 からの出力信号の論理和）の反転信号と、反転型シュミットトリガ回路 502 からの出力信号（本実施形態では一例として、反転した駆動信号 V_{in} ）の反転信号と、遅延回路 562 からの出力信号との論理積をとることで、第 2 解除条件が満たされるか否かを検知してよい。AND ゲート 563 は、演算結果を SR 型フリップフロップ 561 のリセット端子に供給してよい。

20

【0053】

[1 . 1 . 2 (3 - 5) . SR 型フリップフロップ 564]

SR 型フリップフロップ 564 は、短絡検知部 64 の出力端子に接続される。SR 型フリップフロップ 564 は、第 1 保持部の一例であり、短絡が生じた場合に、後述の第 1 解除条件が満たされるまで、保護動作を実行すべき旨の情報を保持する。SR 型フリップフロップ 564 は、セット状態となることによって、保護動作を実行すべき旨の情報の保持を行い、リセットされることで、当該情報をリセットしてよい。

【0054】

SR 型フリップフロップ 564 のセット端子には短絡検知部 64 の出力端子が接続されてよく、SR 型フリップフロップ 564 は短絡検知部 64 からの信号がハイレベルとなることに応じてセットされてよい。これにより、主スイッチング素子 3 の短絡が生じることにより SR 型フリップフロップ 564 がセットされる。

30

【0055】

SR 型フリップフロップ 564 のリセット端子には後述の AND ゲート 566 の出力端子が接続されてよく、SR 型フリップフロップ 564 は、AND ゲート 566 からの出力信号がハイレベルとなることに応じてリセットされてよい。

【0056】

SR 型フリップフロップ 564 は、セット状態でハイレベルの信号を出力し、リセット状態でローレベルの信号を出力してよい。SR 型フリップフロップ 564 は、OR ゲート 569 および遅延回路 565 に出力信号を供給してよい。

40

【0057】

[1 . 1 . 2 (3 - 6) . 遅延回路 565]

遅延回路 565 は、SR 型フリップフロップ 564 の出力端子に接続される。遅延回路 565 は、SR 型フリップフロップ 564 によるハイレベルの信号出力の開始から基準時間以上が経過している場合にハイレベルとなる信号を出力してよい。本実施形態では一例として遅延回路 565 は、SR 型フリップフロップ 564 によるハイレベルの出力信号が基準時間以上に継続する場合にハイレベルとなる信号を出力してよく、SR 型フリップフロップ 564 の出力信号と、SR 型フリップフロップ 564 の出力信号を基準時間だけ遅延させた信号との論理積をとる。遅延回路 565 は、出力信号を AND ゲート 566 に供

50

給してよい。基準時間は、遅延回路 5 6 5 に対して任意に設定される時間であってよい。一例として、基準時間は、アラーム出力部 5 7 がアラーム信号 A L M を出力すべき最小の時間であってよい。

【 0 0 5 8 】

[1 . 1 . 2 (3 - 7) . A N D ゲート 5 6 6]

A N D ゲート 5 6 6 は、短絡検知部 6 4、制御電圧低下検知部 6 5、遅延回路 5 6 5 および反転型シュミットトリガ回路 5 0 2 と、S R 型フリップフロップ 5 6 4 のリセット端子との間に設けられる。A N D ゲート 5 6 6 は、リセット部の一例であり、第 1 解除条件が満たされることに応じて S R 型フリップフロップ 5 6 4 をリセットする。

【 0 0 5 9 】

第 1 解除条件は、短絡が解消したこと、および、駆動制御部 5 0 への電源供給が停止されたことを含む。これにより、短絡が生じた場合には、駆動制御部 5 0 への電源供給が停止されるまで保護部 5 8 の保護動作が継続される。短絡が解消したとは、短絡が生じていない状態にあることであってよい。電源供給が停止されたことは、電源供給が停止された状態にあることであってよいし、電源供給が一旦停止されたことであってよい。第 1 解除条件は、主スイッチング素子 3 をオン状態とする駆動信号 V i n が供給されていないこと、および、保護動作の開始から基準時間以上が経過していることをさらに含んでよい。

【 0 0 6 0 】

本実施形態では一例として、A N D ゲート 5 6 6 は、短絡検知部 6 4 からの出力信号の反転信号と、制御電圧低下検知部 6 5 の抵抗 6 5 5、6 5 6 によって検出される電圧信号の反転信号と、反転型シュミットトリガ回路 5 0 2 からの出力信号（本実施形態では一例として、反転した駆動信号 V i n）の反転信号と、遅延回路 5 6 5 からの出力信号との論理積をとってよい。ここで、制御電圧低下検知部 6 5 の抵抗 6 5 5、6 5 6 によって検出される電圧信号は、駆動制御部 5 0 への電源供給が停止されない限りハイレベルであってよく、電源供給が停止される場合にはローレベルであってよい。A N D ゲート 5 6 6 は、演算結果を S R 型フリップフロップ 5 6 4 のリセット端子に供給してよい。

【 0 0 6 1 】

[1 . 1 . 2 (3 - 8) . O R ゲート 5 6 9]

O R ゲート 5 6 9 は、S R 型フリップフロップ 5 6 1、5 6 4 の出力端子に接続される。O R ゲート 5 6 9 は、S R 型フリップフロップ 5 6 1、5 6 4 の出力信号の論理和をとってよい。O R ゲート 5 6 9 は、演算結果の信号を保護制御信号 S G として保護部 5 8 と、アラーム出力部 5 7 とに供給してよい。

【 0 0 6 2 】

[1 . 1 . 2 (4) . アラーム出力部 5 7]

アラーム出力部 5 7 は、出力部の一例であり、保護動作が実行される場合にアラーム端子 1 0 4 からアラーム信号 A L M を出力する。アラーム信号 A L M は、保護動作が実行されていない場合にはハイレベルであってよく、保護動作が実行されている場合にローレベルとなることでオペレータに警報を行ってよい。アラーム端子 1 0 4 には抵抗 5 7 1 が接続されてよい。アラーム出力部 5 7 は、電流源 5 7 2 と、スイッチング素子 5 7 3 と、反転型シュミットトリガ回路 5 7 4 とを有する。

【 0 0 6 3 】

電流源 5 7 2 は、アラーム端子 1 0 4 と接続されており、抵抗 5 7 1 を介してアラーム端子 1 0 4 から外部に電流を流すことで、アラーム端子 1 0 4 から出力されるアラーム信号 A L M をハイレベルに維持する。スイッチング素子 5 7 3 は、電流源 5 7 2 およびアラーム端子 1 0 4 の間の接続点と、グランドとの間に接続されている。スイッチング素子 5 7 3 は、ノーマリーオフであり、保護動作を実行させる場合に保護動作制御部 5 6 からの保護制御信号 S G がハイレベルとなることに応じてターンオンされ、電流源 5 7 2 からの電流をグランドに流す。これにより、アラーム端子 1 0 4 から出力されるアラーム信号 A L M がローレベルになる。スイッチング素子 5 7 3 は、一例として N 型の M O S F E T であってよい。反転型シュミットトリガ回路 5 7 4 は、アラーム端子 1 0 4 に接続されてお

10

20

30

40

50

り、ヒステリシスをもってアラーム信号 A L M のハイレベル / ローレベルを反転させる。アラーム信号 A L M がローレベルからハイレベルに切り替わる場合の第 1 の閾値は、ハイレベルからローレベルに切り替わる場合の第 2 の閾値よりも高くてもよい。これにより、保護動作制御部 5 6 からの保護制御信号 S G がハイレベルからローレベルに切り替わった場合でも、アラーム信号 A L M が第 2 の閾値を超えて確実にハイレベルとなるまでは反転型シュミットトリガ回路 5 7 4 の出力はハイレベルに維持される。反転型シュミットトリガ回路 5 7 4 は、反転したアラーム信号 A L M を保護部 5 8 に供給してよい。

【 0 0 6 4 】

[1 . 1 . 2 (5) . 保護部 5 8]

保護部 5 8 は、過熱や過電流、短絡、制御電圧低下などの異常が検知されたことに応じて、主スイッチング素子 3 に流れる電流を制限する保護動作を行う。保護部 5 8 は、過熱検知部 6 1 や過電流検知部 6 3、短絡検知部 6 4、制御電圧低下検知部 6 5 により異常が検知されたことに応じて保護動作を行ってよい。保護部 5 8 は、O R ゲート 5 8 0 と、A N D ゲート 5 8 1、5 8 2 と、N O T ゲート 5 8 3 と、スイッチング素子 5 8 4 とを有する。

10

【 0 0 6 5 】

O R ゲート 5 8 0 は、保護動作制御部 5 6 およびアラーム出力部 5 7 の出力端子に接続される。O R ゲート 5 8 0 は、保護動作制御部 5 6 からの保護制御信号 S G と、アラーム出力部 5 7 の反転型シュミットトリガ回路 5 7 4 によるアラーム信号 A L M の反転信号との論理和をとってよい。O R ゲート 5 8 0 は、演算結果を A N D ゲート 5 8 2 および N O T ゲート 5 8 3 に供給してよい。

20

【 0 0 6 6 】

A N D ゲート 5 8 1 は、駆動制御部 5 0 の反転型シュミットトリガ回路 5 0 2、保護動作制御部 5 6 およびアラーム出力部 5 7 の出力端子に接続される。A N D ゲート 5 8 1 は、駆動制御部 5 0 の反転型シュミットトリガ回路 5 0 2 により反転された駆動信号 V i n と、保護動作制御部 5 6 からの保護制御信号 S G を反転した信号と、アラーム出力部 5 7 の反転型シュミットトリガ回路 5 7 4 によるアラーム信号 A L M の反転信号をさらに反転した信号との論理積をとってよい。

【 0 0 6 7 】

これにより、保護制御信号 S G により保護動作の実行が指示されている場合、および / または、アラーム信号 A L M により警報が行われている場合には、A N D ゲート 5 8 1 の出力は、反転型シュミットトリガ回路 5 0 2 の出力信号、ひいては駆動信号 V i n に関わらずローレベルとなる。また、保護制御信号 S G により保護動作の実行が指示されておらず、かつ、アラーム信号 A L M により警報が行われていない場合には、A N D ゲート 5 8 1 の出力は、反転型シュミットトリガ回路 5 0 2 の出力と一致する。

30

【 0 0 6 8 】

A N D ゲート 5 8 1 は、N O T ゲート 5 0 3 を介して、主スイッチング素子 3 のターンオン用のスイッチング素子 5 0 4 に出力信号を供給してよい。これにより、保護制御信号 S G により保護動作の実行が指示されている場合、および / または、アラーム信号 A L M により警報が行われている場合には、駆動信号 V i n に関わらず、スイッチング素子 5 0 4 がオフ状態に維持される。また、保護制御信号 S G により保護動作の実行が指示されておらず、かつ、アラーム信号 A L M により警報が行われていない場合には、駆動信号 V i n に応じてスイッチング素子 5 0 4 が制御される。

40

A N D ゲート 5 8 1 は、出力信号を A N D ゲート 5 8 2 にも供給してよい。

【 0 0 6 9 】

A N D ゲート 5 8 2 は、A N D ゲート 5 8 1 および O R ゲート 5 8 0 の出力端子に接続される。A N D ゲート 5 8 2 は、A N D ゲート 5 8 1 の出力信号の反転信号と、O R ゲート 5 8 0 の出力信号の反転信号との論理積をとってよい。

【 0 0 7 0 】

これにより、保護制御信号 S G により保護動作の実行が指示されている場合、および /

50

または、アラーム信号 A L M により警報が行われている場合には、A N D ゲート 5 8 2 の出力は、A N D ゲート 5 8 1 の出力信号、ひいては反転型シュミットトリガ回路 5 0 2 の出力信号や駆動信号 V i n に関わらずローレベルとなる。また、保護制御信号 S G により保護動作の実行が指示されておらず、かつ、アラーム信号 A L M により警報が行われていない場合には、A N D ゲート 5 8 2 の出力は、A N D ゲート 5 8 1 の出力信号の反転信号、ひいては反転型シュミットトリガ回路 5 0 2 の出力の反転信号や駆動信号 V i n と一致する。

【 0 0 7 1 】

A N D ゲート 5 8 2 は、主スイッチング素子 3 のターンオフ用のスイッチング素子 5 0 5 に出力信号を供給してよい。これにより、保護制御信号 S G により保護動作の実行が指示されている場合、および / または、アラーム信号 A L M により警報が行われている場合には、駆動信号 V i n に関わらず、スイッチング素子 5 0 5 がオフ状態に維持される。また、保護制御信号 S G により保護動作の実行が指示されておらず、かつ、アラーム信号 A L M により警報が行われていない場合には、駆動信号 V i n に応じてスイッチング素子 5 0 5 が制御される。

10

【 0 0 7 2 】

N O T ゲート 5 8 3 は、O R ゲート 5 8 0 の出力端子に接続されており、O R ゲート 5 8 0 の出力信号を反転する。N O T ゲート 5 8 3 は、スイッチング素子 5 8 4 に出力信号を供給してよい。

【 0 0 7 3 】

20

スイッチング素子 5 8 4 は、主スイッチング素子 3 のゲートと負側端子 1 0 2 との間に、スイッチング素子 5 0 5 と並列に接続されている。スイッチング素子 5 8 4 は、主スイッチング素子 3 をソフトシャットダウンするためのスイッチング素子であり、主スイッチング素子 3 のゲートと負側端子 1 0 2 との間を導通させることで主スイッチング素子 3 をターンオフする。スイッチング素子 5 8 4 のスイッチング速度は、スイッチング素子 5 0 5 のスイッチング速度よりも低くてよい。スイッチング素子 5 0 5 は、N O T ゲート 5 8 3 から供給される信号がローレベルの場合にターンオンされてよい。なお、本実施形態では一例として、スイッチング素子 5 0 5 は、P 型の M O S F E T であるが、他構造の半導体素子でもよい。

【 0 0 7 4 】

30

以上のスイッチング装置 1 によれば、短絡が生じたことより行われる保護動作は、駆動制御部 5 0 への電源供給が停止されるまで継続される。従って、短絡の原因が除去されずに保護動作が解除されてしまうのを防止し、保護動作の解除による素子の二次的な破壊を防止することができる。

【 0 0 7 5 】

また、短絡が生じた場合に、短絡が解消したこと、および、電源供給が停止されたことを含む第 1 解除条件が満たされるまで、保護動作を実行すべき旨の情報が S R 型フリップフロップ 5 6 4 に保持される。従って、短絡の原因が除去されずに保護動作が解除されてしまうのを確実に防止することができる。

【 0 0 7 6 】

40

また、第 1 解除条件が満たされることに応じて S R 型フリップフロップ 5 6 4 がリセットされるので、第 1 解除条件が満たされた場合に保護動作を解除して正常状態での運転を再開することができる。

【 0 0 7 7 】

また、第 1 解除条件には、主スイッチング素子 3 をオン状態とする駆動信号 V i n が供給されていないことがさらに含まれるので、主スイッチング素子 3 がオフである状態で保護動作を解除して、運転を再開することができる。また、第 1 解除条件には、保護動作の開始から基準時間以上が経過していることが含まれるので、基準時間内で連続して短絡が生じてしまうのを防止することができる。また、少なくとも基準時間が経過するまでは保護動作が解除されないため、アラーム信号 A L M を基準時間に亘って継続して出力させる

50

ことができる。

【 0 0 7 8 】

また、主スイッチング素子 3 の過熱、主スイッチング素子 3 の過電流、および、制御電圧低下の少なくとも 1 つの異常が生じた場合には、第 2 解除条件が満たされるまで、保護動作を実行すべき旨の情報が S R 型フリップフロップ 5 6 1 に保持される。そして、第 2 解除条件は、異常が解消したこと、主スイッチング素子 3 をオン状態とする駆動信号 V i n が供給されていないこと、および、保護動作の開始から基準時間以上が経過していることを含み、電源供給が停止されていることを条件に含まない。従って、主スイッチング素子 3 の過熱や過電流、制御電圧 V c c (1) の低下による保護動作では、電源供給の停止を条件とせず速やかに保護動作を解除して、正常状態での運転を再開することができる。

10

【 0 0 7 9 】

また、保護動作が実行される場合にアラーム信号 A L M が出力されるので、異常を報知して異常要因の除去や電源供給の停止を促すことができる。

【 0 0 8 0 】

また、保護動作制御部 5 6 は駆動制御部 5 0 とは別の電源から電源供給を受けるので、駆動制御部 5 0 への電源供給が停止した場合にも制御を継続することができる。

【 0 0 8 1 】

[2 . 第 2 実施形態]

図 2 は、第 2 実施形態に係るスイッチング装置 1 A を示す。スイッチング装置 1 A の制御装置 5 A は、異常検知部 6 A と、保護動作制御部 5 6 A とを備える。なお、図 2 や、後述の図 3 , 図 4 では、主スイッチング素子 2 や、その制御装置の図示を省略している。また、本実施形態や、後述の他の実施形態において、図 1 に示されたスイッチング装置 1 と略同一のものには同一の符号を付け、説明を省略する。

20

【 0 0 8 2 】

異常検知部 6 A は、過電流検知部 6 3 および短絡検知部 6 4 の出力端子に接続された O R ゲート 6 6 A を有する。O R ゲート 6 6 A は、過電流検知部 6 3 および短絡検知部 6 4 の出力信号の論理和をとって、演算結果を保護動作制御部 5 6 A に供給してよい。

【 0 0 8 3 】

保護動作制御部 5 6 A は、O R ゲート 5 6 0 A 、 S R 型フリップフロップ 5 6 4 A 、 A N D ゲート 5 6 3 A および S R 型フリップフロップ 5 6 1 A を有してよい。

30

【 0 0 8 4 】

O R ゲート 5 6 0 A は、過熱検知部 6 1 、 O R ゲート 6 6 A および制御電圧低下検知部 6 5 の出力端子に接続される。O R ゲート 5 6 0 A は、過熱検知部 6 1 、 O R ゲート 6 6 A および制御電圧低下検知部 6 5 からの出力信号の論理和をとってよい。O R ゲート 5 6 0 A は、演算結果を S R 型フリップフロップ 5 6 1 A のセット端子に供給してよい。これにより、過熱検知部 6 1 、過電流検知部 6 3 、短絡検知部 6 4 および制御電圧低下検知部 6 5 からの出力信号の論理和がとられ、何れかの出力信号がハイレベルとなることに応じて S R 型フリップフロップ 5 6 1 A がセットされる。

【 0 0 8 5 】

S R 型フリップフロップ 5 6 4 A は、短絡検知部 6 4 および A N D ゲート 5 6 6 の出力端子に接続される。S R 型フリップフロップ 5 6 4 A は、上述の第 1 実施形態における S R 型フリップフロップ 5 6 4 と同様に、短絡検知部 6 4 からの信号がハイレベルとなることに応じてセットされ、A N D ゲート 5 6 6 からの出力信号がハイレベルとなることに応じてリセットされてよい。S R 型フリップフロップ 5 6 4 A は、セット状態でハイレベルの信号を、リセット状態でローレベルの信号を、遅延回路 5 6 5 および A N D ゲート 5 6 3 A に供給してよい。

40

【 0 0 8 6 】

A N D ゲート 5 6 3 A は、O R ゲート 5 6 0 、遅延回路 5 6 2 、反転型シュミットトリガ回路 5 0 2 および S R 型フリップフロップ 5 6 4 A と、S R 型フリップフロップ 5 6 1 A のリセット端子との間に設けられる。A N D ゲート 5 6 3 A は、第 3 解除条件が満たさ

50

れることに応じてS R型フリップフロップ5 6 1 Aをリセットする。

【0 0 8 7】

第3解除条件は、駆動制御部5 0への電源供給が停止されていることを条件に含まず、上述の第2解除条件に加えて、S R型フリップフロップ5 6 4 Aの出力がローレベルになっていることを含む。これにより、これまでに短絡が生じていない場合には、S R型フリップフロップ5 6 4 Aの出力信号がローレベルであるため、ANDゲート5 6 3 Aは、第3解除条件の残りの条件、つまり第2解除条件が満たされることに応じてS R型フリップフロップ5 6 1 Aをリセットする。一方、短絡がいったん生じた場合には、第1解除条件が満たされるまでは、S R型フリップフロップ5 6 4 Aの出力信号がハイレベルであるため、ANDゲート5 6 3 Aは、第3解除条件の残りの条件、つまり第2解除条件が満たされるか否かに関わらず、S R型フリップフロップ5 6 1 Aのリセットを行わない。短絡がいったん生じ、第1解除条件が満たされた場合には、S R型フリップフロップ5 6 4 Aの出力信号がローレベルであるため、ANDゲート5 6 3 Aは、第3解除条件の残りの条件、つまり第2解除条件が満たされることに応じてS R型フリップフロップ5 6 1 Aをリセットする。

10

【0 0 8 8】

本実施形態では一例として、ANDゲート5 6 3 Aは、ORゲート5 6 0 Aからの出力信号の反転信号と、反転型シュミットトリガ回路5 0 2からの出力信号の反転信号と、遅延回路5 6 2からの出力信号と、S R型フリップフロップ5 6 4 Aの出力信号の反転信号との論理積をとることで、第3解除条件が満たされるか否かを検知してよい。ANDゲート5 6 3 Aは、演算結果をS R型フリップフロップ5 6 1 Aのリセット端子に供給してよい。

20

【0 0 8 9】

S R型フリップフロップ5 6 1 Aは、ORゲート5 6 0 AおよびANDゲート5 6 2 Aの出力端子に接続される。S R型フリップフロップ5 6 1 Aは、上述の第1実施形態におけるS R型フリップフロップ5 6 1と同様に、ORゲート5 6 0 Aからの信号がハイレベルとなることに応じてセットされ、ANDゲート5 6 6 Aからの出力信号がハイレベルとなることに応じてリセットされてよい。S R型フリップフロップ5 6 1 Aは、セット状態でハイレベルの信号を、リセット状態でローレベルの信号を、遅延回路5 6 2および駆動制御部5 0に供給してよい。

30

【0 0 9 0】

以上のスイッチング装置1 Aによっても、上記第1実施形態におけるスイッチング装置1と同様の効果を得ることができる。

【0 0 9 1】

[3 . 第3実施形態]

図3は、第3実施形態に係るスイッチング装置1 Bを示す。スイッチング装置1 Bは、操作検出端子1 0 8と、制御装置5 Bとを備える。

【0 0 9 2】

操作検出端子1 0 8は、電源供給が再開される場合の基準操作の入力を検出する。基準操作は、駆動制御部5 0に対する電源供給の開始を指示する操作（一例として電源ボタンに対する操作）や、スイッチング装置1 Bや制御装置5 Bの起動後に実行されるべき初期化を指示する操作などであってよい。基準操作が行われた場合には、ハイレベルの信号が操作検出端子1 0 8から制御装置5 Bに供給されてよい。

40

【0 0 9 3】

制御装置5 Bは、S R型フリップフロップ5 6 4 Bと、ANDゲート5 6 6 Bとを有する。

S R型フリップフロップ5 6 4 Bは、短絡検知部6 4の出力端子に接続される。S R型フリップフロップ5 6 4 Bは、本実施形態に係る第1解除条件が満たされるまで、保護動作を実行すべき旨の情報を保持する。

【0 0 9 4】

50

ここで、本実施形態における第1解除条件は、短絡が生じた場合に、短絡が解消したこと、および、電源供給が再開される場合の基準操作が行われたことを含む。これにより、短絡が生じた場合には、電源供給が再開される場合の基準操作が行われるまで保護部58の保護動作が継続される。第1解除条件は、主スイッチング素子3をオン状態とする駆動信号Vinが供給されていないこと、および、保護動作の開始から基準時間以上が経過していることをさらに含んでよい。

【0095】

SR型フリップフロップ564Bのリセット端子にはANDゲート566Bが接続されてよく、SR型フリップフロップ564Bは、ANDゲート566Bからの出力信号がハイレベルとなることに応じてリセットされてよい。SR型フリップフロップ564Bは、出力信号を遅延回路565およびORゲート569に供給してよい。

10

【0096】

ANDゲート566Bは、短絡検知部64、操作検出端子108、遅延回路565および反転型シュミットトリガ回路502と、SR型フリップフロップ564Bのリセット端子との間に設けられる。ANDゲート566Bは、第1解除条件が満たされることに応じてSR型フリップフロップ564Bをリセットする。本実施形態では一例として、ANDゲート566Bは、短絡検知部64からの出力信号の反転信号と、操作検出端子108からの信号と、反転型シュミットトリガ回路502からの出力信号（本実施形態では一例として、反転した駆動信号Vin）の反転信号と、遅延回路565からの出力信号との論理積をとってよい。ANDゲート566は、演算結果をSR型フリップフロップ564Bのリセット端子に供給してよい。

20

【0097】

以上のスイッチング装置1Bによれば、短絡が生じた場合に、短絡が解消したこと、および、電源供給が再開される場合の基準操作が行われたことを含む第1解除条件が満たされるまで、保護動作を実行すべき旨の情報がSR型フリップフロップ564Bに保持される。従って、短絡の原因が除去されずに保護動作が解除されてしまうのを確実に防止することができる。

【0098】

また、第1解除条件が満たされることに応じてSR型フリップフロップ564Bがリセットされるので、第1解除条件が満たされた場合に保護動作を解除して正常状態での運転を再開することができる。

30

【0099】

なお、本実施形態においてSR型フリップフロップ564Bは出力信号をORゲート569に供給することとして説明したが、第2実施形態におけるSR型フリップフロップ564Aと同様にして、出力信号をANDゲート563に供給してもよい。

【0100】

[4. 第4実施形態]

図4は、第4実施形態に係るスイッチング装置1Cを示す。

【0101】

スイッチング装置1Cにおける制御装置5Cの保護動作制御部56Cは、駆動制御部50と共通の電源から電源供給を受ける。例えば制御装置5Cにおける各構成は、共通の電源から電圧Vccの電源供給を受けてよい。保護動作制御部56Cは、ORゲート568Cと、SR型フリップフロップ561Cと、ANDゲート563Cとを有する。

40

【0102】

ORゲート568Cは、短絡検知部64とANDゲート563Cとの間に設けられ、短絡検知部64により短絡が検知される場合のハイレベルの出力信号をラッチする。ORゲート568Cは、短絡検知部64の出力信号と、ORゲート568C自身の出力信号との論理和をとってよい。これにより、短絡検知部64からの出力信号が一旦ハイレベルになると、ORゲート568Cの出力信号はハイレベルに維持される。ORゲート568Cは、出力信号をANDゲート563Cに供給してよい。

50

【 0 1 0 3 】

S R 型フリップフロップ 5 6 1 C は、O R ゲート 5 6 0 および A N D ゲート 5 6 3 C の出力端子に接続される。S R 型フリップフロップ 5 6 1 C は、第 3 保持部の一例であり、保護動作制御部 5 6 C が駆動制御部 5 0 と共通の電源から電源供給を受けることに応じて、保護動作を継続させるか否かの情報を保持する。S R 型フリップフロップ 5 6 1 C は、セット状態となることによって、保護動作を実行すべき旨の情報の保持を行い、リセットされることで、当該情報をリセットしてよい。

【 0 1 0 4 】

S R 型フリップフロップ 5 6 1 C は、上述の第 1 実施形態における S R 型フリップフロップ 5 6 1 と同様に、O R ゲート 5 6 0 からの信号がハイレベルとなることに応じてセットされ、A N D ゲート 5 6 3 C からの出力信号がハイレベルとなることに応じてリセットされてよい。S R 型フリップフロップ 5 6 1 C は、O R ゲート 5 6 9 および遅延回路 5 6 2 に出力信号を供給してよい。

10

【 0 1 0 5 】

A N D ゲート 5 6 3 C は、O R ゲート 5 6 0、遅延回路 5 6 2、反転型シュミットトリガ回路 5 0 2 および O R ゲート 5 6 8 C と、S R 型フリップフロップ 5 6 1 C のリセット端子との間に設けられる。A N D ゲート 5 6 3 C は、第 4 解除条件が満たされることに応じて S R 型フリップフロップ 5 6 1 C をリセットする。

【 0 1 0 6 】

第 4 解除条件は、上述の第 2 解除条件に加えて、O R ゲート 5 6 8 C の出力がローレベルになっていることを含む。これにより、これまでに短絡が生じていない場合には、O R ゲート 5 6 8 C の出力信号がローレベルであるため、A N D ゲート 5 6 3 C は、第 4 解除条件の残りの条件、つまり第 2 解除条件が満たされることに応じて S R 型フリップフロップ 5 6 1 C をリセットする。一方、短絡がいったん生じた場合には、O R ゲート 5 6 8 C の出力信号がハイレベルに維持されるため、A N D ゲート 5 6 3 C は、第 4 解除条件の残りの条件、つまり第 2 解除条件が満たされるか否かに関わらず、S R 型フリップフロップ 5 6 1 C のリセットを行わない。従って、短絡がいったん生じた場合には、S R 型フリップフロップ 5 6 1 C は、電源供給が維持される限りセット状態に維持され、電源供給が停止されることに応じてリセットされる。

20

【 0 1 0 7 】

本実施形態では一例として、A N D ゲート 5 6 3 C は、O R ゲート 5 6 0 からの出力信号の反転信号と、反転型シュミットトリガ回路 5 0 2 からの出力信号の反転信号と、遅延回路 5 6 2 からの出力信号と、O R ゲート 5 6 8 C からの出力信号の反転信号との論理積をとることで、第 4 解除条件が満たされるか否かを検知してよい。A N D ゲート 5 6 3 C は、演算結果を S R 型フリップフロップ 5 6 1 C のリセット端子に供給してよい。

30

【 0 1 0 8 】

以上のスイッチング装置 1 C によれば、保護動作制御部 5 6 C が駆動制御部 5 0 と共通の電源から電源供給を受けることに応じて、保護動作を継続させるか否かの情報が S R 型フリップフロップ 5 6 1 C に保持される。従って、駆動制御部 5 0 への電源供給が停止されるまで確実に保護部 5 8 に保護動作を継続させることができる。また、電源供給が停止された場合に情報がリセットされるため、保護動作を解除し、正常状態での運転を再開することができる。

40

【 0 1 0 9 】

[5 . 変形例]

なお、上記の実施形態においては、制御装置 5 は駆動制御部 5 0 およびアラーム出力部 5 7 を有することとして説明したが、これらの少なくとも 1 つを有しなくてもよい。また、異常検知部 6 は過熱検知部 6 1 と、過電流検知部 6 3 と、制御電圧低下検知部 6 5 とを有することとして説明したが、これらの少なくとも 1 つを有しなくてもよい。

【 0 1 1 0 】

また、主スイッチング素子 3 に流れる電流に応じたパラメータとして、主スイッチング

50

素子 3 のセンスエミッタ電流が抵抗 6 2 0 , 6 2 1 に流れることに応じて検出される電圧を用いることとして説明したが、主スイッチング素子 3 のエミッタ電流が抵抗に流れることに応じて検出される電圧など、他のパラメータを用いてもよい。

【 0 1 1 1 】

また、保護部 5 8 は、短絡や過電流などの異常が生じた場合に主スイッチング素子 3 をソフトシャットダウンすることとして説明したが、主スイッチング素子 3 のゲート電圧を、定常オン状態でのゲート電圧よりも低い基準電圧に低下させて維持してもよい。

【 0 1 1 2 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

【 0 1 1 3 】

請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【 符号の説明 】

【 0 1 1 4 】

- 1 スwitchング装置
- 2 主スイッチング素子
- 3 主スイッチング素子
- 4 制御装置
- 5 制御装置
- 6 異常検知部
- 2 0 サーマルダイオード
- 3 0 サーマルダイオード
- 5 0 駆動制御部
- 5 6 保護動作制御部
- 5 7 アラーム出力部
- 5 8 保護部
- 6 1 過熱検知部
- 6 2 測定部
- 6 3 過電流検知部
- 6 4 短絡検知部
- 6 5 制御電圧低下検知部
- 6 6 O R ゲート
- 1 0 1 正側端子
- 1 0 2 負側端子
- 1 0 3 入力端子
- 1 0 4 アラーム端子
- 1 0 5 電源出力端子
- 1 0 8 操作検出端子
- 5 0 0 電流源
- 5 0 1 ツェナーダイオード
- 5 0 2 反転型シュミットトリガ回路
- 5 0 3 N O T ゲート
- 5 0 4 スwitchング素子

10

20

30

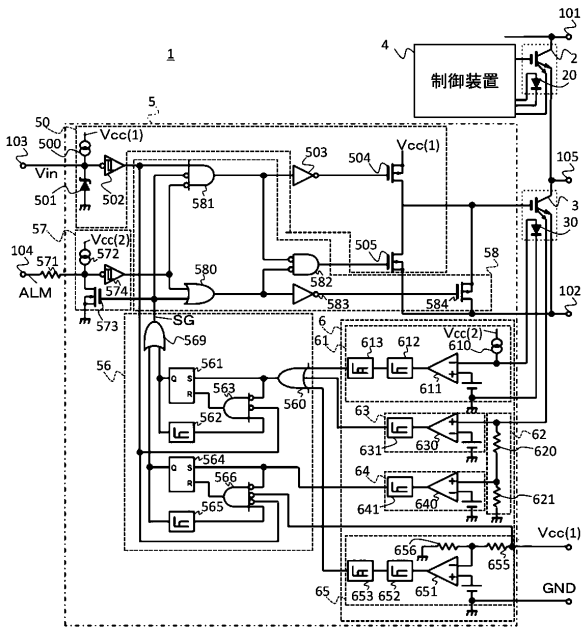
40

50

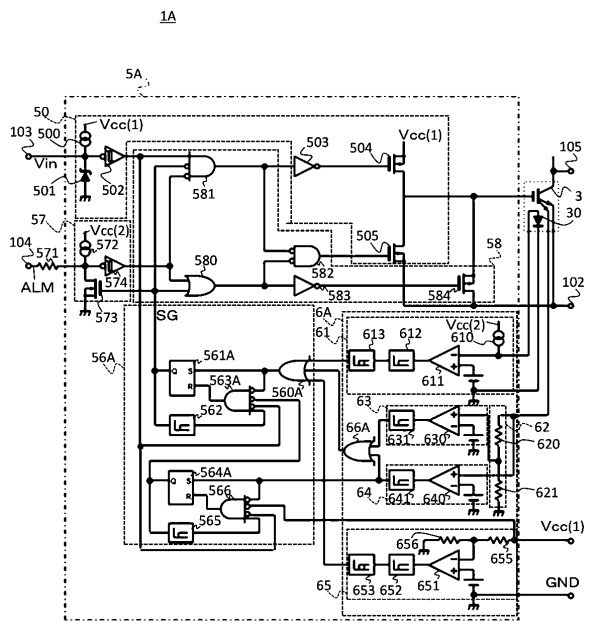
5 0 5	スイッチング素子	
5 6 0	ORゲート	
5 6 1	SR型フリップフロップ	
5 6 2	遅延回路	
5 6 3	ANDゲート	
5 6 4	SR型フリップフロップ	
5 6 5	遅延回路	
5 6 6	ANDゲート	
5 6 8	ORゲート	
5 6 9	ORゲート	10
5 7 1	抵抗	
5 7 2	電流源	
5 7 3	スイッチング素子	
5 7 4	反転型シュミットトリガ回路	
5 8 0	ORゲート	
5 8 1	ANDゲート	
5 8 2	ANDゲート	
5 8 3	NOTゲート	
5 8 4	スイッチング素子	
6 1 0	電流源	20
6 1 1	コンパレータ	
6 1 2	ローパスフィルタ	
6 1 3	ヒステリシスバッファ	
6 2 0	抵抗	
6 2 1	抵抗	
6 3 0	コンパレータ	
6 3 1	ローパスフィルタ	
6 4 0	コンパレータ	
6 4 1	ローパスフィルタ	
6 5 1	コンパレータ	30
6 5 2	ローパスフィルタ	
6 5 3	ヒステリシスバッファ	
6 5 5	抵抗	

【図面】

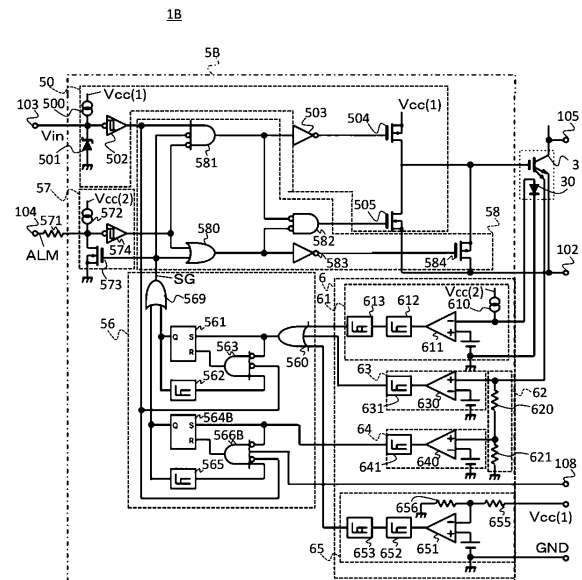
【図 1】



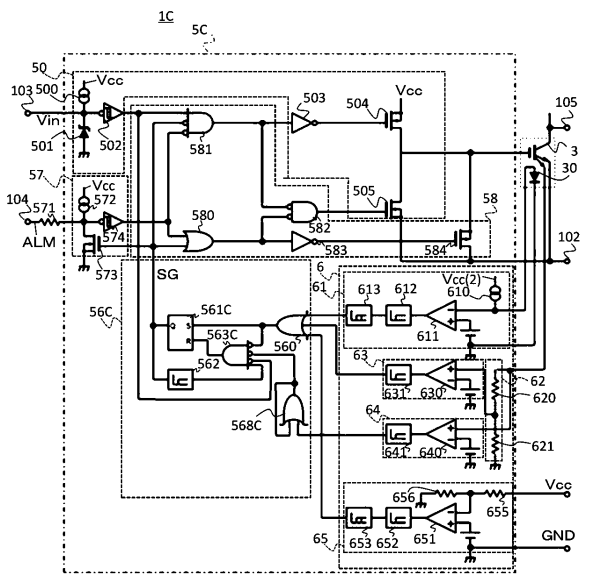
【図 2】



【図 3】



【図 4】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開平 5 - 2 6 7 5 8 0 (J P , A)
 実公平 5 - 3 4 0 2 9 (J P , Y 2)
 特開平 1 1 - 4 1 5 0 (J P , A)
 特開 2 0 1 4 - 1 0 3 8 2 0 (J P , A)
 特開 2 0 1 3 - 2 5 8 8 5 8 (J P , A)
 特開 2 0 1 2 - 1 4 3 1 2 5 (J P , A)
 特開 2 0 0 3 - 8 8 0 9 3 (J P , A)
 特開 2 0 2 0 - 1 5 0 6 6 0 (J P , A)
 特開 2 0 0 0 - 3 2 4 8 4 6 (J P , A)
 特開 2 0 1 2 - 5 0 1 6 3 (J P , A)
 特開 2 0 0 7 - 2 8 7 3 3 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
 H 0 2 M 1 / 0 0
 H 0 2 M 7 / 4 8