

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月1日(01.11.2018)



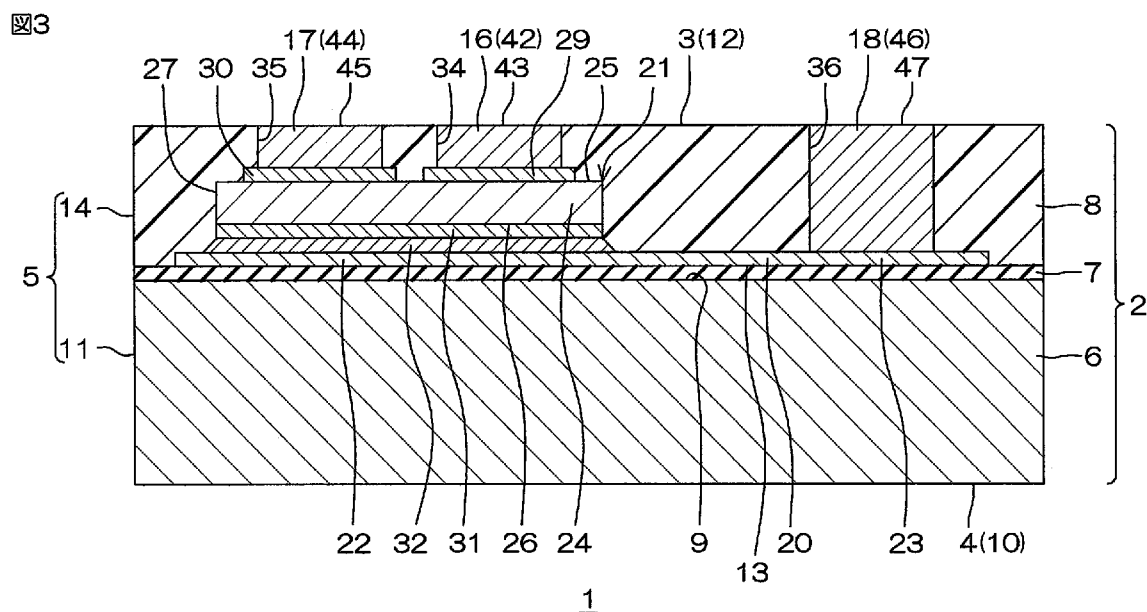
(10) 国際公開番号

WO 2018/198990 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) H01L 25/07 (2006.01)
H01L 23/36 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2018/016373
- (22) 国際出願日: 2018年4月20日(20.04.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-085614 2017年4月24日(24.04.2017) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 明田正俊 (AKETA, Masatoshi);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410054 大阪府大阪市中央区南本町二丁目6番12号 サンマリオンNBFタワー2-1階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: ELECTRONIC COMPONENT AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 電子部品および半導体装置



(57) Abstract: This electronic component comprises: a substrate having a first main surface on one side and a second main surface on the other side; a chip which is disposed on the first main surface of the substrate and which has a first chip main surface on one side and a second chip main surface on the other side and includes a plurality of electrodes formed on the first chip main surface and/or the second chip main surface; a sealing insulating layer which has a sealing main surface opposite to the first main surface of the substrate and which seals the chip on the first main surface of the substrate so that the second main surface of the substrate is exposed; and a plurality of external terminals which are formed penetrating the sealing insulating layer so as to be exposed from the sealing main surface of the sealing insulating layer and which

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

are electrically connected to the plurality of electrodes on the chip.

(57) 要約: 電子部品は、一方側の第1主面および他方側の第2主面を有する基板と、一方側の第1チップ主面および他方側の第2チップ主面、ならびに、前記第1チップ主面および/または前記第2チップ主面に形成された複数の電極を有し、前記基板の前記第1主面に配置されたチップと、前記基板の前記第2主面を露出させるように前記基板の前記第1主面の上で前記チップを封止し、前記基板の前記第1主面对向する封止主面を有する封止絶縁層と、前記封止絶縁層の前記封止主面から露出するように前記封止絶縁層を貫通して形成され、前記チップの前記複数の電極にそれぞれ電氣的に接続された複数の外部端子と、を含む。

明 細 書

発明の名称：電子部品および半導体装置

技術分野

[0001] 本発明は、電子部品および半導体装置に関する。

背景技術

[0002] 特許文献1には、電子部品の一例としてのパワーモジュール半導体装置が開示されている。このパワーモジュール半導体装置は、セラミック基板を含む。セラミック基板の上には、半導体デバイスおよび端子電極が配置されている。

[0003] 端子電極は、セラミック基板の側面を横切って、セラミック基板の内側の領域から外側の領域に引き出されている。端子電極は、ボンディングワイヤを介して半導体デバイスに電氣的に接続されている。

[0004] 半導体デバイスの上には、柱状電極が立設されている。セラミック基板、半導体デバイス、柱状電極および端子電極の一部は、樹脂層によって封止されている。樹脂層は、セラミック基板の外面の全域に亘って形成されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-172044号公報

発明の概要

発明が解決しようとする課題

[0006] 従来のパワーモジュール半導体装置では、セラミック基板の外面の全面が樹脂層によって被覆されているため、半導体デバイスで生じた熱が樹脂層に籠り易い。そのため、樹脂層外に端子電極を引き出すことによって、樹脂層内の熱を樹脂層外に放散させている。端子電極は、ボンディングワイヤ等の接続部材を介して半導体デバイスに接続される必要がある。電子部品の小型化は、この種のデザインによって阻害される。

[0007] そこで、本発明の一実施形態は、小型化および放熱性の向上の両立を図ることができる電子部品および半導体装置を提供する。

課題を解決するための手段

[0008] 本発明の一実施形態は、一方側の第1主面および他方側の第2主面を有する基板と、一方側の第1チップ主面および他方側の第2チップ主面、ならびに、前記第1チップ主面および／または前記第2チップ主面に形成された複数の電極を有し、前記基板の前記第1主面に配置されたチップと、前記基板の前記第2主面を露出させるように前記基板の前記第1主面の上で前記チップを封止し、前記基板の前記第1主面に対向する封止主面を有する封止絶縁層と、前記封止絶縁層の前記封止主面から露出するように前記封止絶縁層を貫通して形成され、前記チップの前記複数の電極にそれぞれ電氣的に接続された複数の外部端子と、を含む、電子部品を提供する。

[0009] この電子部品によれば、基板の第2主面が封止絶縁層から露出している。したがって、基板の側面から外部端子を引き出さなくても、チップで生じた熱を基板の第2主面から外部に放散させることができる。

[0010] しかも、基板の側面から外部端子を引き出す必要がないので、ボンディングワイヤ等の接続部材を使用しなくて済む。これにより、部品点数の削減によるシュリンク化を達成できる。よって、小型化および放熱性の向上の両立を図ることができる電子部品を提供できる。

[0011] 本発明の一実施形態は、一方側の第1主面および他方側の第2主面を有する半導体基板と、前記半導体基板の前記第1主面に形成された主面絶縁層と、複数の電極を有し、前記主面絶縁層に配置された半導体チップと、前記半導体基板の前記第2主面を露出させるように前記半導体基板の前記第1主面において前記半導体チップを封止し、前記半導体基板の前記第1主面に対向する封止主面を有する封止絶縁層と、前記封止絶縁層の前記封止主面から露出するように前記封止絶縁層を貫通して形成され、前記半導体チップの前記複数の電極にそれぞれ電氣的に接続された複数の外部端子と、を含む、半導体装置を提供する。

- [0012] この半導体装置によれば、半導体基板の第2主面が封止絶縁層から露出している。したがって、半導体基板の側面から外部端子を引き出さなくても、半導体チップで生じた熱を半導体基板の第2主面から外部に放散させることができる。
- [0013] しかも、半導体基板の側面から外部端子を引き出す必要がないので、ボンディングワイヤ等の接続部材を使用しなくて済む。これにより、部品点数の削減によるシュリンク化を達成できる。よって、小型化および放熱性の向上の両立を図ることができる半導体装置を提供できる。
- [0014] 特に、この半導体装置によれば、半導体基板の第1主面に主面絶縁層が形成されている。これにより、半導体基板による放熱効果の利益を享受しながら、半導体チップの印加電圧に対する絶縁耐量を向上できる。
- [0015] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

- [0016] [図1]図1は、本発明の第1実施形態に係る電子部品の斜視図である。
- [図2]図2は、図1の電子部品の内部構造を説明するための平面図である。
- [図3]図3は、図2のIII-III線に沿う断面図である。
- [図4]図4は、図2のIV-IV線に沿う断面図である。
- [図5A]図5Aは、図1の電子部品の製造方法の一例を説明するための断面図である。
- [図5B]図5Bは、図5Aの後の工程を示す断面図である。
- [図5C]図5Cは、図5Bの後の工程を示す断面図である。
- [図5D]図5Dは、図5Cの後の工程を示す断面図である。
- [図5E]図5Eは、図5Dの後の工程を示す断面図である。
- [図5F]図5Fは、図5Eの後の工程を示す断面図である。
- [図5G]図5Gは、図5Fの後の工程を示す断面図である。
- [図5H]図5Hは、図5Gの後の工程を示す断面図である。
- [図5I]図5Iは、図5Hの後の工程を示す断面図である。

[図5J]図5 Jは、図5 Iの後の工程を示す断面図である。

[図5K]図5 Kは、図5 Jの後の工程を示す断面図である。

[図6]図6は、図3に対応する部分の断面図であって、本発明の第2実施形態に係る電子部品の構造を説明するための図である。

[図7]図7は、図4に対応する部分の断面図であって、図6の電子部品の構造を説明するための図である。

[図8]図8は、図3に対応する部分の断面図であって、本発明の第3実施形態に係る電子部品の構造を説明するための図である。

[図9]図9は、図4に対応する部分の断面図であって、図8の電子部品の構造を説明するための図である。

[図10A]図10 Aは、図8の電子部品の製造方法の一例を説明するための断面図である。

[図10B]図10 Bは、図10 Aの後の工程を示す断面図である。

[図10C]図10 Cは、図10 Bの後の工程を示す断面図である。

[図10D]図10 Dは、図10 Cの後の工程を示す断面図である。

[図10E]図10 Eは、図10 Dの後の工程を示す断面図である。

[図11]図11は、図3に対応する部分の断面図であって、本発明の第4実施形態に係る電子部品の構造を説明するための図である。

[図12A]図12 Aは、図11の電子部品の製造方法の一例を説明するための断面図である。

[図12B]図12 Bは、図12 Aの後の工程を示す断面図である。

[図12C]図12 Cは、図12 Bの後の工程を示す断面図である。

[図13]図13は、図3に対応する部分の断面図であって、本発明の第5実施形態に係る電子部品の構造を説明するための図である。

[図14]図14は、本発明の第6実施形態に係る電子部品の構造を説明するための図である。

[図15]図15は、本発明の第7実施形態に係る電子部品の内部構造を説明するための平面図である。

[図16]図16は、図15のXVI-XVI線に沿う断面図である。

[図17]図17は、図15に示す電子部品の電氣的構造を説明するための回路図である。

[図18]図18は、図3に対応する部分の断面図であって、本発明の第8実施形態に係る電子部品の構造を説明するための図である。

発明を実施するための形態

[0017] 図1は、本発明の第1実施形態に係る電子部品1の斜視図である。

[0018] 電子部品1は、半導体スイッチング素子の一例としてのMISFET (Metal Insulator Semiconductor Field Effect Transistor) を含む半導体装置である。電子部品1は、大電流のスイッチング制御を行うMISFETを含んでいてもよい。MISFETは、この形態では、チップの一方面側にゲート電極、ソース電極およびソースセンス電極を有し、チップの他方面側にドレイン電極を有する所謂縦型構造を有している。

[0019] 図1を参照して、電子部品1は、直方体形状の部品本体2を含む。部品本体2は、一方側の実装面3、他方側の非実装面4、ならびに、実装面3および非実装面4を接続する側面5を含む。実装面3は、電子部品1が実装基板等の接続対象物に実装される場合に、接続対象物と対向する対向面である。

[0020] 実装面3および非実装面4は、それらの法線方向から見た平面視（以下、単に「平面視」という。）において、四角形状（この形態では長方形）に形成されている。部品本体2の側面5は、研削面であってもよい。側面5は、研削加工痕を有していてもよい。

[0021] 部品本体2は、基板6、主面絶縁層7および封止絶縁層8を含む積層構造を有している。基板6は、直方体形状に形成されている。基板6は、一方側の第1基板主面9、他方側の第2基板主面10、ならびに、第1基板主面9および第2基板主面10を接続する基板側面11を含む。基板6は、MISFETで発生した熱を効率良く外部に放散させる。

[0022] 第1基板主面9および第2基板主面10は、平面視において四角形状（この形態では長方形）に形成されている。基板6の第2基板主面10は、部

品本体 2 の非実装面 4 を形成している。基板 6 の基板側面 11 は、部品本体 2 の側面 5 の一部を形成している。

[0023] 基板 6 は、 100 W/mK 以上の熱伝導率を有する材料によって形成されていることが好ましい。基板 6 は、半導体素子や半導体装置等の製造の用に供する材料によって形成された基板を含んでいてもよい。つまり、基板 6 は、半導体基板を含んでいてもよい。

[0024] 半導体基板は、熱伝導率、入手性、加工性、コスト面等の観点から、他の材料よりも優れている。基板 6 として半導体基板を用いた場合、その厚さは、MISFET への応力および放熱性を考慮して $50\text{ }\mu\text{m}$ 以上 $1000\text{ }\mu\text{m}$ 以下であることが好ましい。

[0025] 基板 6 は、不純物が添加された半導体基板であってもよいし、不純物が添加されていない半導体基板であってもよい。半導体基板は、単結晶基板であってもよいし、多結晶基板であってもよい。

[0026] 半導体基板は、シリコン基板、炭化シリコン基板、サファイア基板または化合物半導体基板を含んでいてもよい。化合物半導体基板には、窒化物半導体基板および酸化物半導体基板が含まれてもよい。この形態では、基板 6 が、半導体基板の一例としてのシリコン基板からなる例について説明する。

[0027] 主面絶縁層 7 は、基板 6 の第 1 基板主面 9 の全域を被覆している。主面絶縁層 7 は、MISFET および基板 6 の間を絶縁するために設けられている。基板 6 に放熱板等が取り付けられる場合、主面絶縁層 7 は、MISFET および放熱板等の間も絶縁する。主面絶縁層 7 は、部品本体 2 の側面 5 の一部を形成している。主面絶縁層 7 は、少なくとも 1 MV/cm 以上の絶縁破壊電界強度を有していることが好ましい。

[0028] 主面絶縁層 7 は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、窒化アルミニウムまたは酸窒化アルミニウムのうちの少なくとも 1 種を含んでいてもよい。

[0029] 主面絶縁層 7 は、CVD (Chemical Vapor Deposition: 化学気相成長) 法や PVD (Physical Vapor Deposition: 物理気相成長) 法等の半導体製造プ

ロセスによって形成されていることが好ましい。これらの方法によれば、主面絶縁層 7 の膜質を向上できる。

[0030] これにより、比較的小さい厚さを有していながらも、十分に高い絶縁破壊電界強度を有する主面絶縁層 7 を形成できる。また、主面絶縁層 7 の厚さを小さくすることにより、熱伝導率の低下を抑制できる。また、第 2 基板主面 10 側に放熱器等を接続させることにより、さらなる放熱効果を得ることができる。

[0031] 主面絶縁層 7 の厚さは、 $0.1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であってもよい。主面絶縁層 7 の厚さは、熱伝導率および製造効率からみて $0.1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。主面絶縁層 7 は、比較的高い熱伝導率を有する絶縁材料によって形成されていることが好ましい。

[0032] たとえば、窒化シリコンの熱伝導率は、酸化シリコンの熱伝導率よりも高い。したがって、主面絶縁層 7 の絶縁材料としては、窒化シリコンが採用されることが好ましい。窒化シリコンの他、酸化シリコンの熱伝導率よりも高い熱伝導率を有する絶縁材料は、主面絶縁層 7 の絶縁材料として適切である。

[0033] 封止絶縁層 8 は、直方体形状に形成されている。封止絶縁層 8 は、たとえば M I S F E T を湿気等から保護する。封止絶縁層 8 は、一方側の第 1 封止主面 12、他方側の第 2 封止主面 13、ならびに、第 1 封止主面 12 および第 2 封止主面 13 を接続する封止側面 14 を含む。第 1 封止主面 12 および第 2 封止主面 13 は、平面視において四角形状（この形態では長方形）に形成されている。

[0034] 封止絶縁層 8 の第 1 封止主面 12 は、部品本体 2 の実装面 3 を形成している。封止絶縁層 8 の第 2 封止主面 13 は、主面絶縁層 7 に接続されている。封止絶縁層 8 の封止側面 14 は、部品本体 2 の側面 5 の一部を形成している。封止絶縁層 8 の封止側面 14 および基板 6 の基板側面 11 は、ほぼ面一に形成されている。

[0035] 封止絶縁層 8 は、酸化シリコン、窒化シリコン、ポリイミド樹脂またはエ

ポキシ樹脂のうちの少なくとも一種を含んでいてもよい。封止絶縁層 8 は、ポジティブタイプまたはネガティブタイプのフォトリソストを含んでいてもよい。封止絶縁層 8 は、この形態では、エポキシ樹脂を含む封止樹脂層からなる。

[0036] 封止絶縁層 8 の厚さは、主面絶縁層 7 の厚さよりも大きい。封止絶縁層 8 の厚さは、 $10\text{ }\mu\text{m}$ 以上 $8000\text{ }\mu\text{m}$ 以下（本実施形態では $300\text{ }\mu\text{m}$ 程度）であってもよい。

[0037] 電子部品 1 は、ゲート外部端子 15、ソース外部端子 16、ソースセンス外部端子 17 およびドレイン外部端子 18 を含む。ゲート外部端子 15、ソース外部端子 16 およびソースセンス外部端子 17 は、それぞれチップ側外部端子として形成されている。ドレイン外部端子 18 は、配線層側外部端子として形成されている。

[0038] ゲート外部端子 15、ソース外部端子 16、ソースセンス外部端子 17 およびドレイン外部端子 18 は、後述する MISFET 24 のゲート端子電極 28、ソース端子電極 29、ソースセンス端子電極 30 およびドレイン端子電極 31 にそれぞれ電氣的に接続される（図 5 等も併せて参照）。

[0039] ゲート外部端子 15、ソース外部端子 16 およびソースセンス外部端子 17 は、平面視において部品本体 2 の一端部側の領域に形成されている。ドレイン外部端子 18 は、平面視において部品本体 2 の他端部側の領域に形成されている。

[0040] ゲート外部端子 15、ソース外部端子 16、ソースセンス外部端子 17 およびドレイン外部端子 18 は、いずれも封止絶縁層 8 を貫通しており、封止絶縁層 8 の第 1 封止主面 12 から露出している。つまり、ゲート外部端子 15、ソース外部端子 16、ソースセンス外部端子 17 およびドレイン外部端子 18 は、いずれも部品本体 2 の実装面 3 から露出している。

[0041] ゲート外部端子 15、ソース外部端子 16、ソースセンス外部端子 17 およびドレイン外部端子 18 は、いずれも、基板 6 の周縁によって取り囲まれた領域内に形成されている。つまり、ゲート外部端子 15、ソース外部端子

16、ソースセンス外部端子17およびドレイン外部端子18は、基板6の基板側面11を横切ることなく、基板6の第1基板主面9の上の領域に配置されている。

[0042] ゲート外部端子15、ソース外部端子16、ソースセンス外部端子17およびドレイン外部端子18は、平面視において四角形状にそれぞれ形成されている。ゲート外部端子15、ソース外部端子16、ソースセンス外部端子17およびドレイン外部端子18は、平面視において四角形状以外の任意の形状にそれぞれ形成されていてもよい。ゲート外部端子15、ソース外部端子16、ソースセンス外部端子17およびドレイン外部端子18は、平面視において円形状にそれぞれ形成されていてもよい。

[0043] このように、電子部品1は、部品本体2の実装面3から複数の外部端子が露出し、部品本体2の非実装面4および側面5からはいずれの外部端子も露出していない構造を有している。

[0044] 図2は、図1の電子部品1の内部構造を説明するための平面図である。図3は、図2のIII-III線に沿う断面図である。図4は、図2のIV-IV線に沿う断面図である。

[0045] 図2～図4を参照して、電子部品1は、配線層20およびMISFETチップ21を含む。配線層20は、主面絶縁層7の上に形成されている。配線層20は、平面視において四角形状に形成されている。配線層20は、より具体的には、基板6の長手方向に沿って延びる長方形形状に形成されている。配線層20は、銅を主成分に含む銅配線層であってもよい。

[0046] 配線層20は、主面絶縁層7側からこの順に積層された銅シード層および銅めっき層を含んでいてもよい。配線層20は、チタンを含むバリア層を含んでいてもよい。この場合、銅シード層は、バリア層の上に形成されていてもよい。

[0047] 配線層20は、第1接続領域22および第2接続領域23を含む。第1接続領域22および第2接続領域23は、それぞれ、異なる部材が接続される領域である。第1接続領域22は、平面視において基板6の一端部側の領域

に形成されている。第2接続領域23は、平面視において第1接続領域22に対して基板6の他端部側の領域に形成されている。

[0048] 配線層20は、第1接続領域22および第2接続領域23を含む限り、任意の形態を取り得る。たとえば、配線層20は、島状の第1接続領域22、島状の第2接続領域23、ならびに、第1接続領域22および第2接続領域23を接続するライン状の接続領域を含んでいてもよい。

[0049] この場合、第1接続領域22および第2接続領域23は、平面視において四角形状、円形状等の任意の形状に形成されていてもよい。また、接続領域は、第1接続領域22および第2接続領域23の間の領域において、選択的に引き回されていてもよい。

[0050] MISFETチップ21は、直方体形状のチップ本体24を含む。チップ本体24は、一方側の第1チップ主面25、他方側の第2チップ主面26、ならびに、第1チップ主面25および第2チップ主面26を接続するチップ側面27を含む。MISFETチップ21の第1チップ主面25は、回路素子（この形態ではMISFET）が形成された素子形成面である。

[0051] MISFETチップ21は、Siを含むチップ本体24を有するSi-MISFETチップであってもよい。Si-MISFETチップの耐圧は、30V以上4500V以下であってもよい。MISFETチップの耐圧は、ドレイン／ソース間に印加可能な最大の電圧VDSによって定義される。

[0052] MISFETチップ21は、化合物半導体を含むチップ本体24を有するMISFETチップであってもよい。チップ本体24は、化合物半導体として、窒化物半導体または酸化物半導体を含んでいてもよい。

[0053] 窒化物半導体は、窒化ガリウム（GaN）を含んでいてもよい。酸化物半導体は、酸化ガリウム（Ga₂O₃）を含んでいてもよい。化合物半導体を含むMISFETチップの耐圧は、600V以上10000V以下であってもよい。

[0054] MISFETチップ21は、SiCを含むチップ本体24を有するSiC-MISFETチップであってもよい。SiC-MISFETチップの耐圧

は、600V以上15000V以下であってもよい。

[0055] とりわけ、化合物半導体を含むMISFETチップやSiC-MISFETチップでは、大電流に起因する発熱によって高温になり得る。電子部品1は、これらハイパワー型のチップに対して有益な構造を有している。

[0056] MISFETチップ21は、ゲート端子電極層28、ソース端子電極層29、ソースセンス端子電極層30およびドレイン端子電極層31を含む。ゲート端子電極層28、ソース端子電極層29およびソースセンス端子電極層30は、チップ本体24の第1チップ主面25の上に選択的に形成されている。ドレイン端子電極層31は、チップ本体24の第2チップ主面26に接続されている。

[0057] MISFETチップ21は、基板6の第1基板主面9にチップ本体24の第2チップ主面26を対向させた姿勢で、配線層20の第1接続領域22に接合されている。ドレイン端子電極層31は、導電性接合材32を介して配線層20の第1接続領域22に接合されている。つまり、配線層20は、ドレイン配線層を形成している。

[0058] 導電性接合材32は、低融点金属または金属製ペーストを含んでいてもよい。低融点金属は、半田等を含んでいてもよい。金属製ペーストは、銅ペースト、銀ペースト、金ペースト等を含んでいてもよい。

[0059] ゲート端子電極層28、ソース端子電極層29、ソースセンス端子電極層30およびドレイン端子電極層31の配置、形状、大きさ等は、特定の形態に限定されるものではない。ゲート端子電極層28、ソース端子電極層29、ソースセンス端子電極層30およびドレイン端子電極層31の配置、形状、大きさ等は、MISFETチップ21の仕様に基づいて種々の形態を採り得る。

[0060] たとえば、ゲート端子電極層28、ソース端子電極層29および／またはソースセンス端子電極層30は、島状のパッド部、および、パッド部からチップ本体24の第1チップ主面25の上に選択的に引き回された線状のライン部を含んでいてもよい。

- [0061] MISFETチップ21は、チップ本体24の第1チップ主面25の上に形成された多層配線構造を含んでいてもよい。多層配線構造は、配線層および絶縁層が交互に積層された構造を有していてもよい。ゲート端子電極層28、ソース端子電極層29および／またはソースセンス端子電極層30は、多層配線構造において最上配線層として形成されていてもよい。
- [0062] 図3および図4を参照して、封止絶縁層8は、基板6の第1基板主面9の上（より具体的には主面絶縁層7の上）においてMISFETチップ21を封止している。封止絶縁層8には、ゲートパッド開口33、ソースパッド開口34、ソースセンスパッド開口35およびドレインパッド開口36が形成されている。
- [0063] ゲートパッド開口33は、MISFETチップ21のゲート端子電極層28を選択的に露出させている。ソースパッド開口34は、MISFETチップ21のソース端子電極層29を選択的に露出させている。
- [0064] ソースセンスパッド開口35は、MISFETチップ21のソースセンス端子電極層30を選択的に露出させている。ドレインパッド開口36は、配線層20の第2接続領域23を選択的に露出させている。
- [0065] ゲート外部端子15は、ゲートパッド開口33に埋め込まれている。ゲート外部端子15は、ゲートパッド開口33内において、ゲート端子電極層28に接続されている。ゲート外部端子15は、チップ本体24の第1チップ主面25の法線方向に沿って立設された柱状のゲート柱状電極層40を含む。
- [0066] ゲート柱状電極層40は、外部接続されるゲート接続部41を含む。ゲート接続部41は、封止絶縁層8の第1封止主面12から露出している。ゲート接続部41は、封止絶縁層8の第1封止主面12に対して面一な接続面を有している。
- [0067] ゲート柱状電極層40は、銅を主成分に含む銅電極層であってもよい。ゲート柱状電極層40は、銅シード層、および、銅シード層の上に形成された銅めっき層を含んでいてもよい。ゲート柱状電極層40は、チタンを含むバ

リア層をさらに含んでもよい。この場合、銅シード層は、バリア層の上に形成されていてもよい。

[0068] ソース外部端子 1 6 は、ソースパッド開口 3 4 に埋め込まれている。ソース外部端子 1 6 は、ソースパッド開口 3 4 内において、ソース端子電極層 2 9 に接続されている。ソース外部端子 1 6 は、チップ本体 2 4 の第 1 チップ主面 2 5 の法線方向に沿って立設された柱状のソース柱状電極層 4 2 を含む。

[0069] ソース柱状電極層 4 2 は、外部接続されるソース接続部 4 3 を含む。ソース接続部 4 3 は、封止絶縁層 8 の第 1 封止主面 1 2 から露出している。ソース接続部 4 3 は、封止絶縁層 8 の第 1 封止主面 1 2 に対して面一な接続面を有している。ソース柱状電極層 4 2 は、ゲート柱状電極層 4 0 の構成と同様の構成を有していてもよい。

[0070] ソースセンス外部端子 1 7 は、ソースセンスパッド開口 3 5 に埋め込まれている。ソースセンス外部端子 1 7 は、ソースセンスパッド開口 3 5 内において、ソースセンス端子電極層 3 0 に接続されている。ソースセンス外部端子 1 7 は、チップ本体 2 4 の第 1 チップ主面 2 5 の法線方向に沿って立設された柱状のソースセンス柱状電極層 4 4 を含む。

[0071] ソースセンス柱状電極層 4 4 は、外部接続されるソースセンス接続部 4 5 を含む。ソースセンス柱状電極層 4 4 は、封止絶縁層 8 の第 1 封止主面 1 2 から露出している。ソースセンス接続部 4 5 は、封止絶縁層 8 の第 1 封止主面 1 2 に対して面一な接続面を有している。ソースセンス柱状電極層 4 4 は、ゲート柱状電極層 4 0 の構成と同様の構成を有していてもよい。

[0072] ドレイン外部端子 1 8 は、ドレインパッド開口 3 6 に埋め込まれている。ドレイン外部端子 1 8 は、ドレインパッド開口 3 6 内において、配線層 2 0 の第 2 接続領域 2 3 に接続されている。

[0073] ドレイン外部端子 1 8 は、配線層 2 0 を介して M I S F E T チップ 2 1 のドレイン端子電極層 3 1 に電氣的に接続されている。ドレイン外部端子 1 8 は、基板 6 の第 1 基板主面 9 の法線方向に沿って立設された柱状のドレイン

柱状電極層 4 6 を含む。

[0074] ドレイン柱状電極層 4 6 は、外部接続されるドレイン接続部 4 7 を含む。

ドレイン柱状電極層 4 6 は、封止絶縁層 8 の第 1 封止主面 1 2 から露出している。ドレイン接続部 4 7 は、封止絶縁層 8 の第 1 封止主面 1 2 に対して面一な接続面を有している。ドレイン柱状電極層 4 6 は、ゲート柱状電極層 4 0 の構成と同様の構成を有していてもよい。

[0075] 以上、電子部品 1 では、基板 6 が、比較的高い熱伝導率を有する半導体基板からなる。基板 6 の基板側面 1 1 は封止絶縁層 8 から露出している。しかも、電子部品 1 では、基板 6 の基板 6 の基板側面 1 1 も封止絶縁層 8 から露出している。

[0076] したがって、基板 6 の基板側面 1 1 から外部端子を引き出さなくても、M I S F E T チップ 2 1 で生じた熱を、基板 6 の第 2 基板主面 1 0 および基板側面 1 1 から外部に効率的に放散させることができる。これにより、封止絶縁層 8 の内部の温度上昇を適切に抑制できる。

[0077] しかも、基板 6 の基板側面 1 1 からゲート外部端子 1 5、ソース外部端子 1 6、ソースセンス外部端子 1 7 およびドレイン外部端子 1 8 を引き出す必要がない。したがって、M I S F E T チップ 2 1 に対するこれらの外部端子の接続に、ボンディングワイヤ等の接続部材を使用しなくて済む。その結果、部品点数の削減によるシュリンク化を達成できる。よって、小型化および放熱性の向上の両立を図ることができる電子部品 1 を提供できる。

[0078] 特に、電子部品 1 では、ゲート外部端子 1 5、ソース外部端子 1 6、ソースセンス外部端子 1 7 およびドレイン外部端子 1 8 は、いずれも、その全域が、基板 6 の周縁によって取り囲まれた領域内に形成されている。

[0079] さらに、ゲート外部端子 1 5、ソース外部端子 1 6 およびソースセンス外部端子 1 7 は、平面視において M I S F E T チップ 2 1 の周縁に取り囲まれた四角形状の領域内に収まっている。

[0080] これにより、基板 6 の第 1 基板主面 9 に沿って隣り合うように、M I S F E T チップ 2 1、ゲート外部端子 1 5、ソース外部端子 1 6 およびソースセ

ンス外部端子 17 を配置しなくて済む。よって、複数の外部端子のレイアウトの観点から、電子部品 1 の小型化を適切に図ることができる。

[0081] また、基板 6 が半導体基板からなる場合には、半導体装置の製造プロセスを利用して電子部品 1 を製造できる。つまり、微細化された基板 6 の上に、微細な M I S F E T チップ 21 を配置できる。よって、基板 6 が半導体基板からなる場合には、半導体装置の製造プロセスの観点からも、電子部品 1 の小型化を図ることができる。

[0082] また、電子部品 1 では、基板 6 の第 1 基板主面 9 の上に主面絶縁層 7 が形成されている。これにより、半導体基板による放熱効果の利益を享受しながら、M I S F E T チップ 21 の印加電圧に対する絶縁耐量を向上できる。特に、主面絶縁層 7 が窒化シリコンからなる場合には、放熱性の向上および絶縁耐量の向上を適切に図ることができる。

[0083] また、電子部品 1 では、基板 6 の第 1 基板主面 9 の上に配線層 20 が形成されている。この配線層 20 は、M I S F E T チップ 21 の平面視面積よりも大きい平面視面積を有している。

[0084] これにより、M I S F E T チップ 21 で生じた熱を、配線層 20 を介して主面絶縁層 7 および基板 6 に効率的に伝達できる。よって、封止絶縁層 8 の内部の温度上昇を効率的に抑制できる。

[0085] 小型の電子部品では、電流経路の面積の縮小に起因して抵抗値が高まると考えられる。この点、電子部品 1 では、ゲート外部端子 15 がゲート柱状電極層 40 を含む。また、ソース外部端子 16 がソース柱状電極層 42 を含む。また、ソースセンス外部端子 17 がソースセンス柱状電極層 44 を含む。また、ドレイン外部端子 18 がドレイン柱状電極層 46 を含む。

[0086] これにより、ボンディングワイヤ等の接続部材と比べて比較的広い面積の電流経路を確保できる。よって、抵抗値の上昇を抑制できる。とりわけ、ゲート柱状電極層 40、ソース柱状電極層 42、ソースセンス柱状電極層 44 およびドレイン柱状電極層 46 が、いずれも銅を含む場合には、抵抗値の上昇を効果的に抑制できる。

- [0087] さらに、電子部品 1 では、ゲート外部端子 15、ソース外部端子 16、ソースセンス外部端子 17 およびドレイン外部端子 18 は、いずれも部品本体 2 の実装面 3 から露出している。
- [0088] これにより、電子部品 1 が実装基板等の接続対象物に実装された場合、これら複数の外部端子を介して、M I S F E T チップ 21 で生じた熱を接続対象物に伝達させることができる。よって、複数の外部端子を放熱性の向上に寄与させることもできる。
- [0089] 図 5 A ~ 図 5 K は、図 1 の電子部品 1 の製造方法の一例を説明するための断面図である。電子部品 1 の製造工程では、複数の電子部品 1 が同時に製造されるが、図 5 A ~ 図 5 K では、説明の便宜上、2 つの電子部品 1 が形成される領域のみが示されている。
- [0090] まず、図 5 A を参照して、基板 6 のベースとなる板状のベース基板 51 が準備される。ベース基板 51 の材料は、基板 6 の材料に応じて選択される。ベース基板 51 は、この形態では、シリコンウエハからなる。
- [0091] ベース基板 51 は、一方側の第 1 基板主面 52 および他方側の第 2 基板主面 53 を含む。ベース基板 51 の第 1 基板主面 52 は、基板 6 の第 1 基板主面 9 に対応している。ベース基板 51 の第 2 基板主面 53 は、基板 6 の第 2 基板主面 10 に対応している。
- [0092] ベース基板 51 には、複数の部品形成領域 54 および複数の部品形成領域 54 を区画する境界領域 55 が設定される。部品形成領域 54 は、電子部品 1 が形成される領域である。境界領域 55 は、ダイシングラインである。
- [0093] 次に、図 5 B を参照して、ベース基板 51 の第 1 基板主面 52 の上に主面絶縁層 7 が形成される。ここでは、窒化シリコンからなる主面絶縁層 7 が形成される。主面絶縁層 7 は、達成すべき絶縁耐圧に応じた厚さで形成される。
- [0094] 主面絶縁層 7 の厚さは、 $0.1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下（好ましくは $0.1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下）であってもよい。主面絶縁層 7 は、CVD 法または PVD 法によって形成されてもよい。

- [0095] 窒化シリコンに代えてまたはこれに加えて、酸化シリコンを含む主面絶縁層 7 が形成されてもよい。この場合、主面絶縁層 7 は、CVD 法によって形成されてもよい。主面絶縁層 7 は、酸化処理法によって、ベース基板 51 の表面を酸化させることにより形成されてもよい。酸化処理法は、熱酸化処理法であってもよいし、ウェット酸化処理法であってもよい。
- [0096] 次に、図 5 C を参照して、配線層 20 が、各部品形成領域 54 に形成される。この工程では、まず、チタンを含むバリア層（図示せず）および銅シード層（図示せず）が、主面絶縁層 7 の上に形成される。バリア層および銅シード層は、スパッタ法によってそれぞれ形成されてもよい。
- [0097] 次に、銅めっき層（図示せず）が、銅シード層の上に形成される。銅めっき層は、電解銅めっき法によって形成されてもよい。次に、バリア層、銅シード層および銅めっき層を含む積層膜が、レジストマスク（図示せず）を介するエッチング法によって選択的に除去される。これにより、配線層 20 が、各部品形成領域 54 に形成される。
- [0098] 次に、図 5 D を参照して、MISFET チップ 21 が、各配線層 20 に接合される。MISFET チップ 21 は、導電性接合材 32 を介して、各配線層 20 の第 1 接続領域 22 に接合される。
- [0099] 導電性接合材 32 は、半田であってもよい。MISFET チップ 21 の構成および各配線層 20 に対する MISFET チップ 21 の接続形態は、図 1 ～図 4 において述べた通りである。
- [0100] 次に、図 5 E を参照して、所定のパターンを有するレジストマスク 56 が、主面絶縁層 7 の上に形成される。レジストマスク 56 は、複数の開口 57 を有している。複数の開口 57 は、レジストマスク 56 において、ゲート柱状電極層 40、ソース柱状電極層 42、ソースセンス柱状電極層 44 およびドレイン柱状電極層 46 を形成すべき領域をそれぞれ露出させている。
- [0101] 次に、図 5 F を参照して、ゲート柱状電極層 40、ソース柱状電極層 42、ソースセンス柱状電極層 44 およびドレイン柱状電極層 46 が、複数の開口 57 内に形成される。ゲート柱状電極層 40、ソース柱状電極層 42、ソ

ースセンス柱状電極層 4 4 およびドレイン柱状電極層 4 6 は、レジストマスク 5 6 の複数の開口 5 7 を介する電解銅めっき法によって形成されてもよい。

[0102] 次に、図 5 G を参照して、レジストマスク 5 6 が除去される。これにより、ゲート柱状電極層 4 0、ソース柱状電極層 4 2、ソースセンス柱状電極層 4 4 およびドレイン柱状電極層 4 6 が立設した状態で残存する。

[0103] ゲート柱状電極層 4 0、ソース柱状電極層 4 2、ソースセンス柱状電極層 4 4 およびドレイン柱状電極層 4 6 は、レジストマスク 5 6 を介する電解銅めっき法に代えて、焼成プロセスを利用して形成されてもよい。

[0104] 焼成プロセスでは、まず、柱状電極層のベースとなる導電性ペーストが主面絶縁層 7 の上に塗布される。導電性ペーストは、銅ペーストであってもよい。次に、ゲート柱状電極層 4 0、ソース柱状電極層 4 2、ソースセンス柱状電極層 4 4 およびドレイン柱状電極層 4 6 に対応するパターンで、導電性ペーストの不要な部分が除去される。

[0105] その後、導電性ペーストが焼成される。これにより、ゲート柱状電極層 4 0、ソース柱状電極層 4 2、ソースセンス柱状電極層 4 4 およびドレイン柱状電極層 4 6 が形成される。

[0106] 次に、図 5 H を参照して、封止絶縁層 8 のベースとなる封止樹脂 5 8 が、主面絶縁層 7 の上に塗布される。封止樹脂 5 8 は、エポキシ樹脂またはポリイミド樹脂を含んでいてもよい。

[0107] 封止樹脂 5 8 は、主面絶縁層 7 の上において、配線層 2 0、M I S F E T チップ 2 1、ゲート柱状電極層 4 0、ソース柱状電極層 4 2、ソースセンス柱状電極層 4 4 およびドレイン柱状電極層 4 6 を一括して封止する。

[0108] 封止絶縁層 8 は、酸化シリコンまたは窒化シリコンによって形成されてもよい。この場合、酸化シリコンまたは窒化シリコンは、C V D 法によって、主面絶縁層 7 の上に堆積されてもよい。

[0109] 次に、図 5 I を参照して、M I S F E T チップ 2 1 の第 2 チップ主面 2 6 側から、封止樹脂 5 8 の外面が部分的に除去される。封止樹脂 5 8 の外面は

、ゲート柱状電極層 4 0、ソース柱状電極層 4 2、ソースセンス柱状電極層 4 4 およびドレイン柱状電極層 4 6 が露出するまで除去される。封止樹脂 5 8 の除去工程は、研削法によって行われてもよい。

[0110] これにより、図 5 J を参照して、ゲート柱状電極層 4 0、ソース柱状電極層 4 2、ソースセンス柱状電極層 4 4 およびドレイン柱状電極層 4 6 が露出する封止絶縁層 8 が形成される。

[0111] 次に、図 5 K を参照して、境界領域 5 5 に沿ってベース基板 5 1 が切断される。ベース基板 5 1 は、ダイシングブレードによる研削によって切断されてもよい。これにより、一枚のベース基板 5 1 から複数の電子部品 1 が切り出される。

[0112] ベース基板 5 1 は、エッチング法によって切断されてもよい。エッチング法は、プラズマエッチング法であってもよい。この場合、研削加工痕を有さない側面 5 を有する部品本体 2 が形成される。以上を含む工程を経て、電子部品 1 が製造される。

[0113] 図 6 は、図 3 に対応する部分の断面図であって、本発明の第 2 実施形態に係る電子部品 6 1 の構造を説明するための図である。図 7 は、図 4 に対応する部分の断面図であって、図 6 の電子部品 6 1 の構造を説明するための図である。以下では、電子部品 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0114] ゲート外部端子 1 5 は、この形態では、ゲート柱状電極層 4 0 の上に形成されたゲート導電接合層 6 2 を含む。ゲート導電接合層 6 2 は、ゲート接続部 4 1 に電氣的に接続されている。ゲート導電接合層 6 2 は、ゲート接続部 4 1 の上に形成されている。

[0115] ゲート導電接合層 6 2 は、封止絶縁層 8 の第 1 封止主面 1 2 を被覆する被覆部を有していてもよい。ゲート導電接合層 6 2 は、その全体が、ゲートパッド開口 3 3 から露出している。ゲート導電接合層 6 2 は、低融点金属を含んでいてもよい。低融点金属は、半田を含んでいてもよい。ゲート導電接合層 6 2 は、凸湾曲状の外面を有していてもよい。

- [0116] ソース外部端子 1 6 は、ソース柱状電極層 4 2 の上に形成されたソース導電接合層 6 3 を含む。ソース導電接合層 6 3 は、ソース接続部 4 3 に電氣的に接続されている。ソース導電接合層 6 3 は、ソース接続部 4 3 の上に形成されている。
- [0117] ソース導電接合層 6 3 は、封止絶縁層 8 の第 1 封止主面 1 2 を被覆する被覆部を有していてもよい。ソース導電接合層 6 3 は、その全体が、ソースパッド開口 3 4 から露出している。ソース導電接合層 6 3 は、低融点金属を含んでいてもよい。低融点金属は、半田を含んでいてもよい。ソース導電接合層 6 3 は、凸湾曲状の外面を有していてもよい。
- [0118] ソースセンス外部端子 1 7 は、ソースセンス柱状電極層 4 4 の上に形成されたソースセンス導電接合層 6 4 を含む。ソースセンス導電接合層 6 4 は、ソースセンス接続部 4 5 に電氣的に接続されている。ソースセンス導電接合層 6 4 は、ソースセンス接続部 4 5 の上に形成されている。
- [0119] ソースセンス導電接合層 6 4 は、封止絶縁層 8 の第 1 封止主面 1 2 を被覆する被覆部を有していてもよい。ソースセンス導電接合層 6 4 は、その全体が、ソースセンスパッド開口 3 5 から露出している。
- [0120] ソースセンス導電接合層 6 4 は、低融点金属を含んでいてもよい。低融点金属は、半田を含んでいてもよい。ソースセンス導電接合層 6 4 は、凸湾曲状の外面を有していてもよい。
- [0121] ドレイン外部端子 1 8 は、ドレイン柱状電極層 4 6 の上に形成されたドレイン導電接合層 6 5 を含む。ドレイン導電接合層 6 5 は、ドレイン接続部 4 7 に電氣的に接続されている。ドレイン導電接合層 6 5 は、ドレイン接続部 4 7 の上に形成されている。
- [0122] ドレイン導電接合層 6 5 は、封止絶縁層 8 の第 1 封止主面 1 2 を被覆する被覆部を有していてもよい。ドレイン導電接合層 6 5 は、その全体が、ドレインパッド開口 3 6 から露出している。ドレイン導電接合層 6 5 は、低融点金属を含んでいてもよい。低融点金属は、半田を含んでいてもよい。ドレイン導電接合層 6 5 は、凸湾曲状の外面を有していてもよい。

- [0123] 電子部品 6 1 は、電子部品 1 の製造方法において、ゲート導電接合層 6 2、ソース導電接合層 6 3、ソースセンス導電接合層 6 4 およびドレイン導電接合層 6 5 を形成する工程をさらに実施することによって製造できる。
- [0124] 導電接合層の形成工程は、前述の封止樹脂 5 8 の研削工程（図 5 J 参照）の後、前述のベース基板 5 1 の切断工程（図 5 K 参照）に先立って実施され得る。導電接合層は、電解半田めっき法によって形成されてもよい。
- [0125] 以上、電子部品 6 1 によっても、電子部品 1 に対して述べた効果と同様の効果を奏することができる。
- [0126] 図 8 は、図 3 に対応する部分の断面図であって、本発明の第 3 実施形態に係る電子部品 7 1 の構造を説明するための図である。図 9 は、図 4 に対応する部分の断面図であって、図 8 の電子部品 7 1 の構造を説明するための図である。以下では、電子部品 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。
- [0127] ゲート外部端子 1 5 は、ゲート柱状電極層 4 0 に代えて、ゲート電極膜 7 2 およびゲート導電接合層 7 3 を含む。ゲート電極膜 7 2 は、ゲート導電接合層 7 3 の下地を成す下地層であり、UBM (under bump metal) 層とも称される。ゲート電極膜 7 2 は、ゲートパッド開口 3 3 の内壁に沿って膜状に形成されている。ゲート電極膜 7 2 は、ゲートパッド開口 3 3 内において、凹状の空間を区画している。
- [0128] ゲート電極膜 7 2 は、ゲートパッド開口 3 3 外の領域において、封止絶縁層 8 の第 1 封止主面 1 2 を被覆する被覆部 7 4 を有している。ゲート電極膜 7 2 は、銅膜、金膜、チタン膜またはニッケル膜のうちの少なくとも一種を含んでいてもよい。
- [0129] ゲート導電接合層 7 3 は、ゲート電極膜 7 2 の上に形成されている。ゲート導電接合層 7 3 は、ゲートパッド開口 3 3 を埋めている。ゲート導電接合層 7 3 は、封止絶縁層 8 の第 1 封止主面 1 2 よりも上方に突出している。
- [0130] ゲート導電接合層 7 3 は、ゲートパッド開口 3 3 外の領域において、ゲート電極膜 7 2 の被覆部 7 4 を被覆している。ゲート導電接合層 6 2 は、低融

点金属を含んでいてもよい。低融点金属は、半田を含んでいてもよい。ゲート導電接合層 62 は、凸湾曲状の外表面を有していてもよい。

[0131] ソース外部端子 16 は、ソース柱状電極層 42 に代えて、ソース電極膜 75 およびソース導電接合層 76 を含む。ソース電極膜 75 は、ソース導電接合層 76 の下地を成す下地層であり、UBM 層とも称される。ソース電極膜 75 は、ソースパッド開口 34 の内壁に沿って膜状に形成されている。ソース電極膜 75 は、ソースパッド開口 34 内において、凹状の空間を区画している。

[0132] ソース電極膜 75 は、ソースパッド開口 34 外の領域において、封止絶縁層 8 の第 1 封止主面 12 を被覆する被覆部 77 を有している。ソース電極膜 75 は、銅膜、金膜、チタン膜またはニッケル膜のうちの少なくとも一種を含んでいてもよい。

[0133] ソース導電接合層 76 は、ソース電極膜 75 の上に形成されている。ソース導電接合層 76 は、ソースパッド開口 34 を埋めて、封止絶縁層 8 の第 1 封止主面 12 よりも上方に突出している。

[0134] ソース導電接合層 76 は、ソースパッド開口 34 外の領域において、ソース電極膜 75 の被覆部 77 を被覆している。ソース導電接合層 76 は、低融点金属を含んでいてもよい。低融点金属は、半田を含んでいてもよい。ソース導電接合層 76 は、凸湾曲状の外表面を有していてもよい。

[0135] ソースセンス外部端子 17 は、ソースセンス柱状電極層 44 に代えて、ソースセンス電極膜 78 およびソースセンス導電接合層 79 を含む。ソースセンス電極膜 78 は、ソースセンス導電接合層 79 の下地を成す下地層であり、UBM 層とも称される。

[0136] ソースセンス電極膜 78 は、ソースセンスパッド開口 35 の内壁に沿って膜状に形成されている。ソースセンス電極膜 78 は、ソースセンスパッド開口 35 内において、凹状の空間を区画している。

[0137] ソースセンス電極膜 78 は、ソースセンスパッド開口 35 外の領域において、封止絶縁層 8 の第 1 封止主面 12 を被覆する被覆部 80 を有している。

ソースセンス電極膜 78 は、銅膜、金膜、チタン膜またはニッケル膜のうちの少なくとも一種を含んでいてもよい。

[0138] ソースセンス導電接合層 79 は、ソースセンス電極膜 78 の上に形成されている。ソースセンス導電接合層 79 は、ソースセンスパッド開口 35 を埋めて、封止絶縁層 8 の第 1 封止主面 12 よりも上方に突出している。

[0139] ソースセンス導電接合層 79 は、ソースセンスパッド開口 35 外の領域において、ソースセンス電極膜 78 の被覆部 80 を被覆している。ソースセンス電極膜 78 は、低融点金属を含んでいてもよい。低融点金属は、半田を含んでいてもよい。ソースセンス電極膜 78 は、凸湾曲状の外表面を有していてもよい。

[0140] ドレイン外部端子 18 は、ドレイン柱状電極層 46（図 3 参照）に代えて、ドレイン電極膜 81 およびドレイン導電接合層 82 を含む。ドレイン電極膜 81 は、ドレイン導電接合層 82 の下地を成す下地層であり、UBM 層とも称される。

[0141] ドレイン電極膜 81 は、ドレインパッド開口 36 の内壁に沿って膜状に形成されている。ドレイン電極膜 81 は、ドレインパッド開口 36 内において、凹状の空間を区画している。

[0142] ドレイン電極膜 81 は、ドレインパッド開口 36 外の領域において、封止絶縁層 8 の第 1 封止主面 12 を被覆する被覆部 83 を有している。ドレイン電極膜 81 は、銅膜、金膜、チタン膜またはニッケル膜のうちの少なくとも一種を含んでいてもよい。

[0143] ドレイン導電接合層 82 は、ドレイン電極膜 81 の上に形成されている。ドレイン導電接合層 82 は、ドレインパッド開口 36 を埋めて、封止絶縁層 8 の第 1 封止主面 12 よりも上方に突出している。

[0144] ドレイン導電接合層 82 は、ドレインパッド開口 36 外の領域において、ドレイン電極膜 81 の被覆部 83 を被覆している。ドレイン導電接合層 82 は、低融点金属を含んでいてもよい。低融点金属は、半田を含んでいてもよい。ドレイン導電接合層 82 は、凸湾曲状の外表面を有していてもよい。

- [0145] 図10A～図10Eは、図8の電子部品71の製造方法の一例を説明するための断面図である。ここでは、前述の第1実施形態に係る電子部品1の製造工程と共通の工程については、具体的な説明を省略する。
- [0146] まず、図10Aを参照して、MISFETチップ21の接合工程後のベース基板51が準備される（図5Dも併せて参照）。
- [0147] 次に、図10Bを参照して、封止絶縁層8のベースとなる封止樹脂84が、主面絶縁層7の上に塗布される。封止樹脂84は、主面絶縁層7の上において、配線層20およびMISFETチップ21を一括して封止する。
- [0148] 次に、図10Cを参照して、封止樹脂84に、ゲートパッド開口33、ソースパッド開口34、ソースセンスパッド開口35およびドレインパッド開口36が形成される。封止樹脂84がフォトリソグラフィからなる場合、各開口は、露光および現像によって形成されてもよい。
- [0149] 封止樹脂84は、酸化シリコンまたは窒化シリコン等の絶縁材料によって形成されてもよい。酸化シリコンまたは窒化シリコンは、CVD法によって、主面絶縁層7の上に堆積されてもよい。封止樹脂84が絶縁材料からなる場合、各開口は、エッチング法によって形成されてもよい。
- [0150] 次に、図10Dを参照して、ゲート電極膜72、ソース電極膜75、ソースセンス電極膜78およびドレイン電極膜81が形成される。この工程では、まず、スパッタ法および／または電解めっき法によって導電材料層が形成される。
- [0151] 次に、導電材料層が、レジストマスク（図示せず）を介するエッチング法によって選択的に除去される。これにより、ゲート電極膜72、ソース電極膜75、ソースセンス電極膜78およびドレイン電極膜81が形成される。
- [0152] 次に、図10Eを参照して、ゲート導電接合層62、ソース導電接合層76、ソースセンス導電接合層79およびドレイン導電接合層82が形成される。各導電接合層は、電解半田めっき法によって形成されてもよい。
- [0153] その後、境界領域55に沿ってベース基板51が切断される（図5Kも併せて参照）。これにより、一枚のベース基板51から複数の電子部品71が

切り出される。以上の工程を経て、電子部品 7 1 が製造される。

[0154] 以上、電子部品 7 1 によっても、電子部品 1 に対して述べた効果と同様の効果を奏することができる。

[0155] 図 1 1 は、図 3 に対応する部分の断面図であって、本発明の第 4 実施形態に係る電子部品 9 1 の構造を説明するための図である。以下では、電子部品 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0156] 電子部品 9 1 は、M I S F E T チップ 2 1 で生じた熱を外部に放散させる放熱構造 9 2 を含む。放熱構造 9 2 は、基板 6 の第 2 基板主面 1 0 に設けられている。

[0157] 放熱構造 9 2 は、この形態では、基板 6 の第 2 基板主面 1 0 に形成されたフィン構造 9 3 を含む。フィン構造 9 3 は、基板 6 の第 2 基板主面 1 0 において、基板 6 の第 2 基板主面 1 0 から第 1 基板主面 9 に向かって掘り下げられた 1 つのまたは複数のトレンチ 9 4 を含む。各トレンチの深さは、 $1\ \mu\text{m}$ 以上 $500\ \mu\text{m}$ 以下であってもよい。

[0158] フィン構造 9 3 が 1 つのトレンチ 9 4 を含む場合、1 つのトレンチ 9 4 は、平面視において格子状、葛折り状、櫛歯状または螺旋状に形成されていてもよい。フィン構造 9 3 が複数のトレンチ 9 4 を含む場合、複数のトレンチ 9 4 は、平面視においてストライプ状またはドット状に形成されていてもよい。これら種々の平面視形状が組み合わされた 1 つのまたは複数のトレンチ 9 4 が形成されていてもよい。

[0159] 図 1 2 A ~ 図 1 2 C は、図 1 1 の電子部品 9 1 の製造方法の一例を説明するための断面図である。ここでは、前述の第 1 実施形態に係る電子部品 1 の製造工程と共通の工程については、具体的な説明を省略する。

[0160] フィン構造 9 3 を形成する工程は、前述のベース基板 5 1 の切断工程（図 5 K 参照）に先立って、任意のタイミングで実施され得る。以下では、フィン構造 9 3 を形成する工程が、ベース基板 5 1 の準備工程（図 5 A 参照）の後、主面絶縁層 7 の形成工程（図 5 B 参照）に先立って実施される例につい

て説明する。

[0161] 図 1 2 A を参照して、ベース基板 5 1 の準備後、所定のパターンを有するレジストマスク 9 5 が、ベース基板 5 1 の第 2 基板主面 5 3 に形成される。レジストマスク 9 5 は、トレンチ 9 4 を形成すべき領域を選択的に露出させる開口 9 6 を有している。

[0162] 次に、図 1 2 B を参照して、レジストマスク 9 5 を介するエッチング法により、ベース基板 5 1 の不要な部分が除去される。これにより、ベース基板 5 1 の第 2 基板主面 5 3 に 1 つのまたは複数のトレンチ 9 4 を含むフィン構造 9 3 が形成される。

[0163] 次に、図 1 2 C を参照して、レジストマスク 9 5 が除去される。その後、図 5 B ～ 図 5 K の工程が順に実行されて、電子部品 9 1 が製造される。

[0164] 以上、電子部品 9 1 によっても、電子部品 1 に対して述べた効果と同様の効果を奏することができる。

[0165] また、電子部品 9 1 によれば、基板 6 の第 2 基板主面 1 0 にフィン構造 9 3 を含む放熱構造 9 2 が形成されている。フィン構造 9 3 によれば、基板 6 の表面積を増加させることができる。これにより、M I S F E T チップ 2 1 から基板 6 に伝達された熱を、外部に効率よく放散させることができる。

[0166] また、電子部品 9 1 によれば、基板 6 の一部の領域を利用して、フィン構造 9 3 を形成できる。これにより、たとえば金属製ヒートシンクなどの放熱器具を、基板 6 の第 2 基板主面 1 0 に取り付けなくて済む。したがって、実装面 3 および非実装面 4 の法線方向に沿って部品本体 2 が厚化することを抑制できる。よって、電子部品 9 1 の小型化を図りながら、放熱性を向上できる。

[0167] 放熱構造 9 2 は、フィン構造 9 3 に加えて、放熱部材としての金属膜を含んでいてもよい。金属膜は、基板 6 の第 2 基板主面 1 0 およびトレンチ 9 4 の内壁に沿って形成されていてもよい。

[0168] 金属膜は、第 2 基板主面 1 0 の全域を被覆し、トレンチ 9 4 の内部の全域を満たしていてもよい。金属膜は、銅膜、金膜、銀膜、ニッケル膜、チタン

膜、アルミニウム膜等を含んでいてもよい。

[0169] 金属膜は、スパッタ法および／またはめっき法によって形成されてもよい。金属膜を形成する工程は、前述のレジストマスク 95 の除去工程（図 12 C も併せて参照）の後、任意のタイミングで実施され得る。このような構造の放熱構造 92 によれば、基板 6 の放熱性を一層高めることができる。

[0170] 第 2 実施形態の構造、または、第 3 実施形態の構造、もしくは、第 2 実施形態の構造および第 3 実施形態の構造が組み合わされた構成が、電子部品 91 に適用されてもよい。

[0171] 図 13 は、図 3 に対応する部分の断面図であって、本発明の第 5 実施形態に係る電子部品 101 の構造を説明するための図である。以下では、電子部品 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0172] 電子部品 101 は、MISFET チップ 21 で生じた熱を外部に放散させる放熱構造 102 を含む。放熱構造 102 は、基板 6 の第 2 基板主面 10 に設けられている。放熱構造 102 は、この形態では、基板 6 の第 2 基板主面 10 を被覆する放熱部材 103 を含む。

[0173] 放熱部材 103 は、基板 6 の第 2 基板主面 10 に接続された放熱板であってもよい。放熱板は、金属板であってもよい。金属板は、銅板、金板、ニッケル板、チタン板、アルミニウム板等を含んでいてもよい。

[0174] 放熱部材 103 は、放熱板に代えて、スパッタ法および／またはめっき法によって形成された金属膜であってもよい。金属膜は、銅膜、金膜、銀膜、ニッケル膜、チタン膜、アルミニウム膜等を含んでいてもよい。放熱部材 103 を形成する工程は、前述のベース基板 51 の切断工程（図 5 K も併せて参照）に先立って実施され得る。

[0175] 以上、電子部品 101 によっても、電子部品 1 に対して述べた効果と同様の効果を奏することができる。

[0176] また、電子部品 101 によれば、基板 6 の第 2 基板主面 10 に放熱部材 103 を含む放熱構造 102 が形成されている。これにより、MISFET チ

ップ21から基板6に伝達された熱を、外部に効率よく放散させることができる。

[0177] 特に、金属膜を含む放熱部材103によれば、実装面3および非実装面4の法線方向に沿って部品本体2が厚化することを抑制できる。よって、電子部品101の小型化を図りながら、放熱性を向上できる。

[0178] 第2実施形態の構造、第3実施形態の構造、または、第4実施形態の構造、もしくは、第2～第4実施形態の構造の内の任意の2つの構成または3つの構成が組み合わされた構成が、電子部品101に適用されてもよい。

[0179] 図14は、本発明の第6実施形態に係る電子部品111の構造を説明するための図である。以下では、電子部品1に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0180] 電子部品111は、半導体整流素子の一例としてのダイオードを含む半導体装置である。ダイオードとしては、pn接合ダイオード、ファーストリカバリーダイオード、ツェナーダイオード、ショットキーバリアダイオード等の種々のダイオードが採用され得る。本実施形態では、ダイオードとしてショットキーバリアダイオードが採用されている。

[0181] 電子部品111は、MISFETチップ21に代えてダイオードチップ112を含む。ダイオードチップ112は、直方体形状のチップ本体113を含む。チップ本体113は、一方側の第1チップ主面114、他方側の第2チップ主面115、ならびに、第1チップ主面114および第2チップ主面115を接続するチップ側面116を含む。

[0182] ダイオードチップ112は、Siを含むチップ本体113を有するSi-ダイオードチップであってもよい。Si-ダイオードチップの耐圧は、30V以上6500V以下であってもよい。Si-ダイオードチップの耐圧は、アノード／カソード間に印加可能な最大の逆方向電圧VRによって定義される。

[0183] ダイオードチップ112は、化合物半導体を含むチップ本体113を有するダイオードチップであってもよい。チップ本体113は、化合物半導体と

しての窒化物半導体または酸化物半導体を含んでいてもよい。

[0184] 窒化物半導体は、窒化ガリウム (Ga N) を含んでいてもよい。酸化物半導体は、酸化ガリウム (Ga_2O_3) を含んでいてもよい。化合物半導体を含むダイオードチップの耐圧は、 600 V 以上 10000 V 以下であってもよい。

[0185] ダイオードチップ112は、 Si C を含むチップ本体113を有する Si C -ダイオードチップであってもよい。 Si C -ダイオードチップの耐圧は、 600 V 以上 15000 V 以下であってもよい。

[0186] とりわけ、化合物半導体を含むダイオードチップや Si C -ダイオードチップでは、大電流に起因する発熱によって高温になり得る。電子部品111は、これらハイパワー型のダイオードチップに対して有益な構造を有している。

[0187] ダイオードチップ112は、カソード端子電極層117およびアノード端子電極層118を含む。カソード端子電極層117は、チップ本体113の第1チップ主面114の上に形成されている。アノード端子電極層118は、チップ本体113の第2チップ主面115の上に形成されている。

[0188] ダイオードチップ112は、基板6の第1基板主面9にチップ本体113の第2チップ主面115を対向させた姿勢で、基板6の第1基板主面9の上に配置されている。アノード端子電極層118は、導電性接合材119を介して配線層20の第1接続領域22に接合されている。つまり、配線層20は、アノード配線層を形成している。

[0189] 導電性接合材119は、低融点金属または金属製ペーストを含んでいてもよい。低融点金属は、半田を含んでいてもよい。金属製ペーストは、銅ペースト、銀ペースト、金ペースト等を含んでいてもよい。

[0190] カソード端子電極層117およびアノード端子電極層118の配置、形状、大きさ等は、特定の形態に限定されるものではない。カソード端子電極層117およびアノード端子電極層118の配置、形状、大きさ等は、ダイオードチップ112の仕様に基づいて種々の形態が採用され得る。

- [0191] カソード端子電極層 117 は、第 1 チップ主面 114 の上に形成された島状のパッド部、および、パッド部から第 1 チップ主面 114 の上に選択的に引き回された線状のライン部を含んでいてもよい。
- [0192] アノード端子電極層 118 は、第 1 チップ主面 114 の上に形成された島状のパッド部、および、パッド部から第 2 チップ主面 115 の上に選択的に引き回された線状のライン部を含んでいてもよい。
- [0193] ダイオードチップ 112 は、チップ本体 113 の第 1 チップ主面 114 および／または第 2 チップ主面 115 の上に形成された多層配線構造を含んでいてもよい。多層配線構造は、配線層および絶縁層が交互に積層された構造を有していてもよい。
- [0194] 第 1 チップ主面 114 の上に多層配線構造が形成されている場合、カソード端子電極層 117 は、多層配線構造において最上配線層として形成されていてもよい。第 2 チップ主面 115 の上に多層配線構造が形成されている場合、アノード端子電極層 118 は、多層配線構造において最上配線層として形成されていてもよい。
- [0195] ダイオードチップ 112 は、複数（2 つ以上）のカソード端子電極層 117 を含んでいてもよい。ダイオードチップ 112 は、複数（2 つ以上）のアノード端子電極層 118 を含んでいてもよい。
- [0196] 封止絶縁層 8 には、カソードパッド開口 120 およびアノードパッド開口 121 が形成されている。カソードパッド開口 120 は、ダイオードチップ 112 のカソード端子電極層 117 を選択的に露出させている。アノードパッド開口 121 は、配線層 20 の第 2 接続領域 23 を選択的に露出させている。
- [0197] 電子部品 111 は、カソード外部端子 122 およびアノード外部端子 123 を含む。カソード外部端子 122 は、チップ側外部端子として形成されている。アノード外部端子 123 は、配線層側外部端子として形成されている。
- [0198] カソード外部端子 122 は、カソードパッド開口 120 に埋め込まれてい

る。カソード外部端子１２２は、カソードパッド開口１２０内において、カソード端子電極層１１７に接続されている。

[0199] カソード外部端子１２２は、チップ本体１１３の第１チップ主面１１４の法線方向に沿って立設された柱状のカソード柱状電極層１２４を含む。カソード柱状電極層１２４は、外部接続されるカソード接続部１２５を含む。

[0200] カソード接続部１２５は、封止絶縁層８の第１封止主面１２から露出している。カソード接続部１２５は、封止絶縁層８の第１封止主面１２に対して面一な接続面を有している。カソード柱状電極層１２４は、銅を含んでいてもよい。

[0201] アノード外部端子１２３は、アノードパッド開口１２１に埋め込まれている。アノード外部端子１２３は、アノードパッド開口１２１内において、配線層２０の第２接続領域２３に接続されている。アノード外部端子１２３は、配線層２０を介してダイオードチップ１１２のアノード端子電極層１１８に電氣的に接続されている。

[0202] アノード外部端子１２３は、基板６の第１基板主面９の法線方向に沿って立設された柱状のアノード柱状電極層１２６を含む。アノード柱状電極層１２６は、外部接続されるアノード接続部１２７を含む。

[0203] アノード接続部１２７は、封止絶縁層８の第１封止主面１２から露出している。アノード接続部１２７は、封止絶縁層８の第１封止主面１２に対して面一な接続面を有している。アノード柱状電極層１２６は、銅を含んでいてもよい。

[0204] 電子部品１１１は、前述の電子部品１の製造方法とほぼ同様の工程を経て製造できる。以上、ＭＩＳＦＥＴチップ２１に代えてダイオードチップ１１２を含む電子部品１１１によっても、電子部品１に対して述べた効果と同様の効果を奏することができる。

[0205] ダイオードチップ１１２は、基板６の第１基板主面９にチップ本体１１３の第１チップ主面１１４を対向させた姿勢で、基板６の第１基板主面９の上に配置されていてもよい。つまり、アノードおよびカソードの接続形態が入

れ替わった構造が採用されてもよい。この場合、カソード端子電極層 117 が、導電性接合材 119 を介して配線層 20 の第 1 接続領域 22 に接合される。つまり、配線層 20 は、カソード配線層を形成する。

[0206] 第 2 実施形態の構造、第 3 実施形態の構造、第 4 実施形態の構造または第 5 実施形態の構造、もしくは、第 2 ～第 5 実施形態の内の任意の 2 つの構造、3 つの構造または 4 つの構造が組み合わされた構成が、電子部品 111 に適用されてもよい。

[0207] 図 15 は、本発明の第 7 実施形態に係る電子部品 131 の内部構造を説明するための平面図である。図 16 は、図 15 の XVI-XVI 線に沿う断面図である。以下では、電子部品 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0208] 図 15 および図 16 を参照して、電子部品 131 は、複数のチップを含む半導体パワーモジュールである。電子部品 131 は、MISFET チップ 21 に加えて、ダイオードチップ 112 および IC チップ 132（制御チップ）を含む。基板 6 の第 1 基板主面 9 に対する MISFET チップ 21、ダイオードチップ 112 および IC チップ 132 の配置位置は任意であり、特定の配置位置に限定されるものではない。

[0209] 電子部品 131 は、MISFET チップ 21 用の第 1 配線層 133、ダイオードチップ 112 用の第 2 配線層 134、および、IC チップ 132 用の第 3 配線層 135 を含む。第 1 配線層 133、第 2 配線層 134 および第 3 配線層 135 は、前述の配線層 20 と同様の構造を有している。

[0210] 第 1 配線層 133 には、MISFET チップ 21 およびドレイン外部端子 18 が接続されている。第 1 配線層 133 に対する MISFET チップ 21 およびドレイン外部端子 18 の接続態様は、前述の電子部品 1 の場合と同様である。

[0211] 第 2 配線層 134 には、ダイオードチップ 112 が接続されている。第 2 配線層 134 に対するダイオードチップ 112 の接続態様は、前述の電子部品 111 の場合と同様である。ただし、この形態では、カソード外部端子 1

22 およびアノード外部端子123は、設けられていない。

[0212] 第3配線層135には、入力外部端子136およびICチップ132が接続されている。入力外部端子136は、配線層側外部端子として形成されている。入力外部端子136は、ICチップ132に電力を供給するための端子である。入力外部端子136は、第3配線層135を介してICチップ132に電氣的に接続されている。

[0213] 入力外部端子136の構成は、ドレイン外部端子18の構成とほぼ同様である。第3配線層135に対する入力外部端子136の接続態様は、第1配線層133に対するドレイン外部端子18の接続態様と同様である。

[0214] ICチップ132は、この形態では、MISFETチップ21のゲートを駆動制御するためのゲートドライバICである。ICチップ132は、直方体形状のチップ本体141を含む。チップ本体141は、一方側の第1チップ主面142、他方側の第2チップ主面143、ならびに、第1チップ主面142および第2チップ主面143を接続するチップ側面144を含む。

[0215] ICチップ132は、出力端子電極層145および入力端子電極層146を含む。出力端子電極層145は、チップ本体141の第1チップ主面142の上に形成されている。入力端子電極層146は、チップ本体141の第2チップ主面143の上に形成されている。

[0216] 入力端子電極層146は、導電性接合材147を介して第3配線層135に接合されている。これにより、ICチップ132は、第3配線層135を介して入力外部端子136に電氣的に接続されている。

[0217] 導電性接合材147は、低融点金属または金属製ペーストを含んでいてもよい。低融点金属は、半田を含んでいてもよい。金属製ペーストは、銅ペースト、銀ペースト、金ペースト等を含んでいてもよい。

[0218] 出力端子電極層145および入力端子電極層146の配置、形状、大きさ等は、特定の形態に限定されるものではない。出力端子電極層145および入力端子電極層146の配置、形状、大きさ等は、ICチップ132の仕様に基づいて種々の形態が採用され得る。

- [0219] 複数の出力端子電極層 145 が、チップ本体 141 の第 1 チップ主面 142 の上に形成されていてもよい。1 つまたは複数の出力端子電極層 145 は、島状のパッド部、および、パッド部から第 1 チップ主面 142 の上に選択的に引き回された線状のライン部を含んでいてもよい。
- [0220] IC チップ 132 は、チップ本体 141 の第 1 チップ主面 142 および／または第 2 チップ主面 143 の上に形成された多層配線構造を含んでいてもよい。多層配線構造は、配線層および絶縁層が交互に積層された構造を有していてもよい。
- [0221] 第 1 チップ主面 142 の上に多層配線構造が形成されている場合、出力端子電極層 145 は、多層配線構造において最上配線層として形成されていてもよい。第 2 チップ主面 143 の上に多層配線構造が形成されている場合、入力端子電極層 146 は、多層配線構造において最上配線層として形成されていてもよい。
- [0222] 図 16 を参照して、電子部品 131 は、中間絶縁層 148 を含む。中間絶縁層 148 は、主面絶縁層 7 の上に形成されている。中間絶縁層 148 の周縁は、この形態では、基板 6 の周縁に対して基板 6 の内方領域に間隔を空けて形成されている。中間絶縁層 148 の周縁および基板 6 の周縁の間の領域には、段差部が形成されている。
- [0223] 中間絶縁層 148 は、基板 6 の第 1 基板主面 9 の全域を被覆していてもよい。この場合、中間絶縁層 148 は、基板 6 の基板側面 11 に対してほぼ面一に形成されていてもよい。中間絶縁層 148 は、封止絶縁層 8 の封止側面 14 および基板 6 の基板側面 11 に対して面一な側面を有していてもよい。
- [0224] 中間絶縁層 148 は、MISFET チップ 21、ダイオードチップ 112 および IC チップ 132 を封止している。中間絶縁層 148 は、酸化シリコン、窒化シリコン、エポキシ樹脂またはポリイミド樹脂のうちの少なくとも一種を含んでいてもよい。中間絶縁層 148 は、この形態では、ポリイミド樹脂を含む中間封止樹脂層からなる。
- [0225] 中間絶縁層 148 には、ゲートコンタクト孔 149、ソースコンタクト孔

150、ソースセンスコンタクト孔151、ドレインコンタクト孔152およびカソードコンタクト孔153が形成されている。中間絶縁層148には、出力コンタクト孔154、第1配線コンタクト孔155、第2配線コンタクト孔156および入力コンタクト孔157が形成されている。

[0226] ゲートコンタクト孔149は、MISFETチップ21のゲート端子電極層28を選択的に露出させている。ソースコンタクト孔150は、MISFETチップ21のソース端子電極層29を選択的に露出させている。

[0227] ソースセンスコンタクト孔151は、MISFETチップ21のソースセンス端子電極層30を選択的に露出させている。ドレインコンタクト孔152は、第1配線層133を選択的に露出させている。

[0228] カソードコンタクト孔153は、ダイオードチップ112のカソード端子電極層117を選択的に露出させている。出力コンタクト孔154は、ICチップ132の出力端子電極層145を選択的に露出させている。

[0229] 第1配線コンタクト孔155は、第1配線層133においてドレインコンタクト孔152とは異なる領域を選択的に露出させている。第2配線コンタクト孔156は、第2配線層134を選択的に露出させている。入力コンタクト孔157は、第3配線層135を選択的に露出させている。

[0230] 電子部品131は、第1接続配線層161、第2接続配線層162および第3接続配線層163を含む。第1接続配線層161、第2接続配線層162および第3接続配線層163は、中間絶縁層148の上にそれぞれ形成されている。

[0231] 第1接続配線層161は、中間絶縁層148の上において選択的に引き回されている。第1接続配線層161は、ソース端子電極層29および第2配線層134の間の領域を選択的に引き回されている。第1接続配線層161は、第1接続部164および第2接続部165を含む。

[0232] 第1接続部164は、MISFETチップ21のソース端子電極層29に接続されている。第1接続部164は、より具体的には、中間絶縁層148の上からソースコンタクト孔150に入り込んでいる。第1接続部164は

、ソースコンタクト孔 150 内においてソース端子電極層 29 に接続されている。

[0233] 第 2 接続部 165 は、第 2 配線層 134 に接続されている。第 2 接続部 165 は、より具体的には、中間絶縁層 148 の上から第 2 配線コンタクト孔 156 に入り込んでいる。第 1 接続配線層 161 の第 2 接続部 165 は、第 2 配線コンタクト孔 156 内において第 2 配線層 134 に接続されている。

[0234] 第 2 接続配線層 162 は、中間絶縁層 148 の上において選択的に引き回されている。第 2 接続配線層 162 は、カソード端子電極層 117 および第 1 配線層 133 の間の領域を選択的に引き回されている。第 2 接続配線層 162 は、第 1 接続部 166 および第 2 接続部 167 を含む。

[0235] 第 1 接続部 166 は、ダイオードチップ 112 のカソード端子電極層 117 に電氣的に接続されている。第 1 接続部 166 は、より具体的には、中間絶縁層 148 の上からカソードコンタクト孔 153 に入り込んでいる。第 1 接続部 166 は、カソードコンタクト孔 153 内においてカソード端子電極層 117 に接続されている。

[0236] 第 2 接続部 167 は、第 1 配線層 133 に電氣的に接続されている。第 2 接続部 167 は、より具体的には、中間絶縁層 148 の上から第 1 配線コンタクト孔 155 に入り込んでいる。第 2 接続部 167 は、第 1 配線コンタクト孔 155 内において第 1 配線層 133 に接続されている。

[0237] 第 3 接続配線層 163 は、中間絶縁層 148 の上において選択的に引き回されている。第 3 接続配線層 163 は、ゲート端子電極層 28 および出力端子電極層 145 の間の領域を選択的に引き回されている。第 3 接続配線層 163 は、第 1 接続部 168 および第 2 接続部 169 を含む。

[0238] 第 1 接続部 168 は、M I S F E T チップ 21 のゲート端子電極層 28 に電氣的に接続されている。第 1 接続部 168 は、より具体的には、中間絶縁層 148 の上からゲートコンタクト孔 149 に入り込んでいる。第 1 接続部 168 は、ゲートコンタクト孔 149 内においてゲート端子電極層 28 に接続されている。

- [0239] 第2接続部169は、ICチップ132の出力端子電極層145に電氣的に接続されている。第2接続部169は、より具体的には、中間絶縁層148の上から出力コンタクト孔154に入り込んでいる。第3接続配線層163の第2接続部169は、出力コンタクト孔154内において出力端子電極層145に接続されている。
- [0240] 封止絶縁層8は、この形態では、基板6の第1基板主面9の上において、中間絶縁層148を封止している。これにより、MISFETチップ21、ダイオードチップ112およびICチップ132は、中間絶縁層148および封止絶縁層8によって一括して封止されている。
- [0241] 封止絶縁層8には、ゲートパッド開口33、ソースパッド開口34、ソースセンスパッド開口35、ドレインパッド開口36および入力端子パッド開口170が形成されている。ドレインパッド開口36は、ドレインコンタクト孔152に連通している。入力端子パッド開口170は、入力コンタクト孔157に連通している。
- [0242] ゲート外部端子15は、ゲートパッド開口33に埋め込まれている。ゲート外部端子15は、第3接続配線層163の第1接続部168を介して、MISFETチップ21のゲート端子電極層28に電氣的に接続されている。
- [0243] ソース外部端子16は、ソースパッド開口34に埋め込まれている。ソース外部端子16は、第1接続配線層161の第1接続部164を介して、MISFETチップ21のソース端子電極層29に電氣的に接続されている。
- [0244] ソースセンス外部端子17は、ソースセンスパッド開口35に埋め込まれている。ドレイン外部端子18は、ドレインパッド開口36に埋め込まれている。入力外部端子136は、入力端子パッド開口170に埋め込まれている。
- [0245] 図17は、図15に示す電子部品131の電氣的構造を説明するための回路図である。
- [0246] 図17を参照して、ダイオードチップ112は、MISFETチップ21に接続されている。ダイオードチップ112は、フリーホイールダイオード

としてM I S F E Tチップ21に接続されている。I Cチップ132は、M I S F E Tチップ21のゲートに接続されている。

[0247] 以上、電子部品131によっても、電子部品1に対して述べた効果と同様の効果を奏することができる。

[0248] また、電子部品131によれば、M I S F E Tチップ21、ダイオードチップ112およびI Cチップ132がワンパッケージ化されている。これにより、電子部品131を実装基板等の接続対象物に実装することにより、M I S F E Tチップ21、ダイオードチップ112およびI Cチップ132を一度のステップで実装基板に実装できる。

[0249] また、電子部品131によれば、中間絶縁層148が、基板6の第1基板主面9および封止絶縁層8の間の領域に介在している。中間絶縁層148は、M I S F E Tチップ21、ダイオードチップ112およびI Cチップ132を被覆している。

[0250] この中間絶縁層148の上には、第1接続配線層161、第2接続配線層162および第3接続配線層163が形成されている。つまり、中間絶縁層148により、M I S F E Tチップ21、ダイオードチップ112およびI Cチップ132に対して基板6の第1基板主面9の法線方向に沿って積層した態様で、第1接続配線層161、第2接続配線層162および第3接続配線層163を作り込むことができる。

[0251] これにより、M I S F E Tチップ21、ダイオードチップ112およびI Cチップ132の間を接続する配線を、基板6の第1基板主面9に沿う横方向に大きく引き出す必要がなくなる。これにより、M I S F E Tチップ21、ダイオードチップ112およびI Cチップ132を互いに近接配置することができる。

[0252] よって、電子部品131によれば、実装基板等の接続対象物に個別的に実装する場合に比べて、M I S F E Tチップ21、ダイオードチップ112およびI Cチップ132を含む回路網が実装基板等の接続対象物に占める専有面積を低減できる。

- [0253] 電子部品 1 3 1 において、カソード外部端子 1 2 2 およびアノード外部端子 1 2 3 が形成された構造が採用されてもよい。電子部品 1 3 1 において、I C チップ 1 3 2 の出力端子電極層 1 4 5 に出力外部端子（図示せず）が接続された構造が採用されてもよい。出力外部端子は、ゲート外部端子 1 5 等と同様の構造を有していてもよい。
- [0254] 電子部品 1 3 1 において、第 1 接続配線層 1 6 1、第 2 接続配線層 1 6 2 および第 3 接続配線層 1 6 3 が形成されていない構造が採用されてもよい。この場合、中間絶縁層 1 4 8 を省くことができる。
- [0255] 電子部品 1 3 1 において、M I S F E T チップ 2 1 に代えて、第 2 のダイオードチップ 1 1 2 が設けられていてもよい。電子部品 1 3 1 において、複数（2 つ以上）のダイオードチップ 1 1 2 が設けられていてもよい。電子部品 1 3 1 において、M I S F E T チップ 2 1 は、省かれてもよい。
- [0256] 電子部品 1 3 1 において、ダイオードチップ 1 1 2 に代えて、第 2 の M I S F E T チップ 2 1 が設けられていてもよい。電子部品 1 3 1 において、複数（2 つ以上）の M I S F E T チップ 2 1 が設けられていてもよい。電子部品 1 3 1 において、ダイオードチップ 1 1 2 は、省かれてもよい。
- [0257] 電子部品 1 3 1 において、ゲートドライバ I C 以外の任意の I C チップが、I C チップ 1 3 2 として採用されてもよい。電子部品 1 3 1 において、I C チップ 1 3 2 は、省かれてもよい。
- [0258] 電子部品 1 3 1 において、I C チップ 1 3 2 に代えてまたはこれに加えて、受動素子チップが設けられていてもよい。受動素子チップは、キャパシタ、抵抗またはインダクタのうちの少なくとも一種を含んでいてもよい。
- [0259] 受動素子チップの接続先は任意である。受動素子チップは、M I S F E T チップ 2 1 のゲート、ソースまたはドレインに電氣的に接続されていてもよい。受動素子チップは、ダイオードチップ 1 1 2 のカソードまたはアノードに電氣的に接続されていてもよい。
- [0260] 第 2 実施形態の構造、第 3 実施形態の構造、第 4 実施形態の構造、第 5 実施形態の構造または第 6 実施形態の構造、もしくは、これらの内の任意の 2

つ、3つ、4つまたは5つの構造が組み合わされた構成が、電子部品131に適用されてもよい。

[0261] 図18は、図3に対応する部分の断面図であって、本発明の第8実施形態に係る電子部品181の構造を説明するための図である。以下では、電子部品1に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0262] 電子部品181では、MISFETチップ21が、導電性接合材32を介さずに、配線層20に直接接合されている。より具体的には、MISFETチップ21のドレイン端子電極層31が、配線層20の第1接続領域22に直接接合されている。

[0263] 配線層20は、焼成プロセスを利用して形成されている。配線層20の焼成プロセスでは、まず、配線層20のベースとなる導電性ペーストが主面絶縁層7の上に塗布される。導電性ペーストは、銅ペーストであってもよい。

[0264] 次に、導電性ペーストにドレイン端子電極層31が接続されるように、MISFETチップ21が導電性ペーストの上に配置される。その後、導電性ペーストが焼成される。これにより、ドレイン端子電極層31が配線層20に接合される。

[0265] 以上、電子部品181によっても、電子部品1に対して述べた効果と同様の効果を奏することができる。

[0266] MISFETチップ21が、導電性接合材32を介さずに、配線層20に直接接合された形態は、第2実施形態の構造、第3実施形態の構造、第4実施形態の構造、第5実施形態の構造、第6実施形態の構造および第7実施形態の構造にも適用できる。

[0267] たとえば、第6実施形態において、ダイオードチップ112は、MISFETチップ21と同様に、導電性接合材119を介さずに配線層20に直接接合されていてもよい。また、第7実施形態において、ダイオードチップ112およびICチップ132は、MISFETチップ21と同様に、導電性接合材147を介さずに第3配線層135に直接接合されていてもよい。

- [0268] 以上、本発明の実施形態について説明したが、本発明は、さらに他の形態で実施することもできる。
- [0269] 前述の各実施形態において、ソースセンス端子電極層30を備えないMISFETチップ21が採用されてもよい。この場合、ソースセンス端子電極層30に起因して形成される構造、たとえばソースセンス外部端子17等を省くことができる。
- [0270] 前述の各実施形態において、ソース端子電極層29よりもインダクタンスの大きいソースセンス端子電極層30を備えないMISFETチップ21が採用されてもよい。
- [0271] 前述の各実施形態において、基板6は、半導体基板に代えて金属基板を含んでいてもよい。金属基板は、銅基板、金基板またはアルミニウム基板を含んでいてもよい。むろん、金属基板は、これらの金属材料以外の金属材料によって形成されていてもよい。
- [0272] 前述の各実施形態において、基板6は、半導体基板に代えて絶縁基板を含んでいてもよい。絶縁基板は、ガラス基板、セラミック基板、または樹脂基板を含んでいてもよい。むろん、絶縁基板は、これらの絶縁材料以外の絶縁材料によって形成されていてもよい。
- [0273] 前述の各実施形態において、主面絶縁層7が省かれてもよい。前述の各実施形態において、基板6が絶縁体の場合は、主面絶縁層7が省かれてもよい。
- [0274] 前述の各実施形態では、いわゆる縦型デバイスからなるMISFETチップ21について説明した。しかし、MISFETチップ21は、横型デバイスであってもよい。つまり、MISFETチップ21は、ゲート端子電極層28、ソース端子電極層29、ソースセンス端子電極層30およびドレイン端子電極層31が、チップ本体24の第1チップ主面25の上に形成された構造を有していてもよい。この場合、ドレイン外部端子18は、チップ本体24の第1チップ主面25の上に形成される。
- [0275] 前述の各実施形態では、いわゆる縦型デバイスからなるダイオードチップ

１１２について説明した。しかし、ダイオードチップ１１２は、横型デバイスであってもよい。つまり、ダイオードチップ１１２は、カソード端子電極層１１７およびアノード端子電極層１１８が、チップ本体１１３の第１チップ主面１１４の上に形成された構造を有していてもよい。この場合、アノード外部端子１２３は、チップ本体１１３の第１チップ主面１１４の上に形成される。

[0276] 前述の各実施形態において、ＭＩＳＦＥＴチップ２１に代えて半導体スイッチング素子の一例としてのＩＧＢＴ（Insulated Gate Bipolar Transistor）を含むＩＧＢＴチップが採用されてもよい。この場合、ＭＩＳＦＥＴの「ソース」が、ＩＧＢＴの「エミッタ」に読み替えられる。また、ＭＩＳＦＥＴの「ドレイン」が、ＩＧＢＴの「コレクタ」に読み替えられる。

[0277] この出願は、２０１７年４月２４日に日本国特許庁に提出された特願２０１７－０８５６１４に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

[0278] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

符号の説明

- [0279]
- | | |
|----|--------------|
| １ | 電子部品 |
| ６ | 基板（半導体基板） |
| ７ | 主面絶縁層 |
| ８ | 封止絶縁層 |
| ９ | 基板の第１基板主面 |
| １０ | 基板の第２基板主面 |
| １２ | 封止絶縁層の第１封止主面 |
| １４ | 封止絶縁層の封止側面 |
| １５ | ゲート外部端子 |

- 1 6 ソース外部端子
- 1 7 ソースセンス外部端子
- 1 8 ドレイン外部端子
- 2 0 配線層
- 2 1 M I S F E T チップ
- 2 4 M I S F E T チップのチップ本体
- 2 5 M I S F E T チップの第 1 チップ主面
- 2 6 M I S F E T チップの第 2 チップ主面
- 2 8 M I S F E T チップのゲート端子電極層
- 2 9 M I S F E T チップのソース端子電極層
- 3 0 M I S F E T チップのソースセンス端子電極層
- 3 1 M I S F E T チップのドレイン端子電極層
- 3 3 ゲートパッド開口
- 3 4 ソースパッド開口
- 3 5 ソースセンスパッド開口
- 3 6 ドレインパッド開口
- 4 0 ゲート外部端子のゲート柱状電極層
- 4 1 ゲート外部端子のゲート接続部
- 4 2 ソース外部端子のソース柱状電極層
- 4 3 ソース外部端子のソース接続部
- 4 4 ソースセンス外部端子のソースセンス柱状電極層
- 4 5 ソースセンス外部端子のソースセンス接続部
- 4 6 ドレイン外部端子のドレイン柱状電極層
- 4 7 ドレイン外部端子のドレイン接続部
- 6 1 電子部品
- 6 2 ゲート外部端子のゲート導電接合層
- 6 3 ソース外部端子のソース導電接合層
- 6 4 ソースセンス外部端子のソースセンス導電接合層

- 6 5 ドレイン外部端子のドレイン導電接合層
- 7 1 電子部品
- 7 2 ゲート外部端子のゲート電極膜
- 7 3 ゲート外部端子のゲート導電接合層
- 7 4 ゲート外部端子の被覆部
- 7 5 ソース外部端子のソース電極膜
- 7 6 ソース外部端子のソース導電接合層
- 7 7 ソース外部端子の被覆部
- 7 8 ソースセンス外部端子のソースセンス電極膜
- 7 9 ソースセンス外部端子のソースセンス導電接合層
- 8 0 ソースセンス外部端子の被覆部
- 8 1 ドレイン外部端子のドレイン電極膜
- 8 2 ドレイン外部端子のドレイン導電接合層
- 8 3 ドレイン外部端子の被覆部
- 9 1 電子部品
- 9 2 放熱構造
- 9 3 フィン構造
- 1 0 1 電子部品
- 1 0 2 放熱構造
- 1 0 3 放熱部材
- 1 1 1 電子部品
- 1 1 2 ダイオードチップ
- 1 1 3 ダイオードチップのチップ本体
- 1 1 4 ダイオードチップの第1チップ主面
- 1 1 5 ダイオードチップの第2チップ主面
- 1 1 7 ダイオードチップのカソード端子電極層
- 1 1 8 ダイオードチップのアノード端子電極層
- 1 2 0 カソードパッド開口

- 1 2 1 アノードパッド開口
- 1 2 2 カソード外部端子
- 1 2 3 アノード外部端子
- 1 2 4 カソード外部端子のカソード柱状電極層
- 1 2 5 カソード外部端子のカソード接続部
- 1 2 6 アノード外部端子のアノード柱状電極層
- 1 2 7 アノード外部端子のアノード接続部
- 1 3 1 電子部品
- 1 3 2 ICチップ
- 1 3 3 第1配線層
- 1 3 4 第2配線層
- 1 3 5 第3配線層
- 1 3 6 入力外部端子
- 1 4 1 ICチップのチップ本体
- 1 4 2 ICチップの第1チップ主面
- 1 4 3 ICチップの第2チップ主面
- 1 4 5 ICチップの出力端子電極層
- 1 4 6 ICチップの入力端子電極層
- 1 4 8 中間絶縁層
- 1 6 1 第1接続配線層
- 1 6 2 第2接続配線層
- 1 6 3 第3接続配線層
- 1 8 1 電子部品

請求の範囲

- [請求項1] 一方側の第1主面および他方側の第2主面を有する基板と、
 一方側の第1チップ主面および他方側の第2チップ主面、ならびに、
 前記第1チップ主面および／または前記第2チップ主面に形成された複数の電極を有し、前記基板の前記第1主面に配置されたチップと、
 、
 前記基板の前記第2主面を露出させるように前記基板の前記第1主面の上で前記チップを封止し、前記基板の前記第1主面に対向する封止主面を有する封止絶縁層と、
 前記封止絶縁層の前記封止主面から露出するように前記封止絶縁層を貫通して形成され、前記チップの前記複数の電極にそれぞれ電氣的に接続された複数の外部端子と、を含む、電子部品。
- [請求項2] 前記封止絶縁層の前記封止主面は、実装面を形成しており、
 前記チップの前記複数の電極にそれぞれ電氣的に接続された前記複数の外部端子の全てが、前記実装面から露出している、請求項1に記載の電子部品。
- [請求項3] 前記基板は、前記第1主面および前記第2主面を接続する側面を含み、
 前記封止絶縁層は、前記基板の前記側面を露出させている、請求項1または2に記載の電子部品。
- [請求項4] 前記封止絶縁層は、前記基板の前記側面に対して面一に形成された封止側面を含む、請求項3に記載の電子部品。
- [請求項5] 前記チップは、前記第1チップ主面側に形成された回路素子を含み、
 前記第2チップ主面を前記基板の前記第1主面に対向させた姿勢で前記第1主面の上に配置されており、
 前記複数の外部端子は、前記封止絶縁層を貫通して前記チップの前記複数の電極にそれぞれ電氣的に接続されたチップ側外部端子を含む、請求項1～4のいずれか一項に記載の電子部品。

- [請求項6] 前記基板は、シリコン基板、炭化シリコン基板、サファイア基板または窒化物半導体基板を含む、請求項1～5のいずれか一項に記載の電子部品。
- [請求項7] 前記基板の前記第1主面の上に形成された配線層をさらに含み、
前記チップは、前記第2チップ主面に形成され、前記配線層に電氣的に接続された配線側電極を含む、請求項1～6のいずれか一項に記載の電子部品。
- [請求項8] 前記複数の外部端子は、前記封止絶縁層を貫通して前記配線層に接続された配線層側外部端子を含む、請求項7に記載の電子部品。
- [請求項9] 前記基板の前記第1主面に形成され、前記基板の前記第1主面および前記チップの間の領域に介在する主面絶縁層をさらに含む、請求項1～8のいずれか一項に記載の電子部品。
- [請求項10] 前記主面絶縁層は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、窒化アルミニウムまたは酸窒化アルミニウムのうちの少なくとも1種を含む、請求項9に記載の電子部品。
- [請求項11] 前記基板の前記第2主面に設けられ、前記チップで生じた熱を外部に放散させる放熱構造をさらに含む、請求項1～10のいずれか一項に記載の電子部品。
- [請求項12] 前記放熱構造は、前記基板の前記第2主面に形成されたフィン構造を含む、請求項11に記載の電子部品。
- [請求項13] 前記放熱構造は、前記基板の前記第2主面を被覆する放熱部材を含む、請求項11または12に記載の電子部品。
- [請求項14] 前記複数の外部端子は、前記基板の前記第1主面の法線方向に沿って柱状に立設された柱状電極層をそれぞれ含む、請求項1～13のいずれか一項に記載の電子部品。
- [請求項15] 前記柱状電極層は、外部接続される接続部を含み、
前記柱状電極層の前記接続部は、前記封止絶縁層の前記封止主面に対して面一に形成されている、請求項14に記載の電子部品。

- [請求項16] 前記複数の外部端子は、前記柱状電極層の上に形成された導電接合層をそれぞれ含む、請求項14または15に記載の電子部品。
- [請求項17] 前記導電接合層の全体が、前記封止絶縁層の前記封止主面から露出している、請求項16に記載の電子部品。
- [請求項18] 前記封止絶縁層の前記封止主面には、複数の開口が形成されており、
前記複数の外部端子は、前記開口の内壁に沿って膜状に形成された電極膜をそれぞれ含む、請求項1～13のいずれか一項に記載の電子部品。
- [請求項19] 前記複数の外部端子は、前記電極膜の上に形成された導電接合層をそれぞれ含む、請求項18に記載の電子部品。
- [請求項20] 前記電極膜は、前記開口の外側で前記封止絶縁層の前記封止主面を被覆する被覆部を含み、
前記導電接合層は、前記開口を埋めて、前記開口の外側で前記電極膜の前記被覆部を被覆している、請求項19に記載の電子部品。
- [請求項21] 前記基板の前記第1主面の上に配置された第2チップをさらに含み、
前記封止絶縁層は、前記基板の前記第1主面において前記チップおよび前記第2チップを封止している、請求項1～20のいずれか一項に記載の電子部品。
- [請求項22] 前記第2チップは、前記チップに電氣的に接続されている、請求項21に記載の電子部品。
- [請求項23] 前記基板の前記第1主面および前記封止絶縁層の間の領域に介在し、前記チップおよび前記第2チップを被覆する中間絶縁層と、
前記中間絶縁層および前記封止絶縁層の間の領域に介在し、前記チップおよび前記第2チップに電氣的に接続されるように、前記中間絶縁層の上に引き回された接続配線層と、をさらに含む、請求項21または22に記載の電子部品。

- [請求項24] 前記チップは、ソース、ドレインおよびゲートを有するM I S F E Tを含み、
前記第2チップは、前記チップの前記ドレインに電氣的に接続されたカソード、および、前記チップの前記ソースに電氣的に接続されたアノードを有するダイオードを含む、請求項21～23のいずれか一項に記載の電子部品。
- [請求項25] 前記チップは、ソース、ドレインおよびゲートを有するM I S F E Tを含み、
前記第2チップは、前記M I S F E Tの前記ゲートを駆動制御する制御チップを含む、請求項21～23のいずれか一項に記載の電子部品。
- [請求項26] 前記M I S F E Tは、シリコン、炭化シリコンまたは窒化物半導体に形成された縦型または横型のデバイスであり、600V以上の耐圧を有している、請求項24または25に記載の電子部品。
- [請求項27] 前記チップは、エミッタ、コレクタおよびゲートを有するI G B Tを含み、
前記第2チップは、前記チップの前記コレクタに電氣的に接続されたカソード、および、前記チップの前記エミッタに電氣的に接続されたアノードを有するダイオードを含む、請求項21～23のいずれか一項に記載の電子部品。
- [請求項28] 前記I G B Tは、シリコン、炭化シリコンまたは窒化物半導体に形成された縦型または横型のデバイスであり、600V以上の耐圧を有している、請求項27に記載の電子部品。
- [請求項29] 一方側の第1主面および他方側の第2主面を有する半導体基板と、
前記半導体基板の前記第1主面に形成された主面絶縁層と、
複数の電極を有し、前記主面絶縁層に配置された半導体チップと、
前記半導体基板の前記第2主面を露出させるように前記半導体基板の前記第1主面において前記半導体チップを封止し、前記半導体基板

の前記第 1 主面に対向する封止主面を有する封止絶縁層と、

前記封止絶縁層の前記封止主面から露出するように前記封止絶縁層を貫通して形成され、前記半導体チップの前記複数の電極にそれぞれ電氣的に接続された複数の外部端子と、を含む、半導体装置。

[請求項30] 前記封止絶縁層の前記封止主面は、実装面を形成しており、
前記半導体チップの前記複数の電極にそれぞれ電氣的に接続された前記複数の外部端子の全てが、前記実装面から露出している、請求項 29 に記載の半導体装置。

[請求項31] 前記半導体基板は、前記第 1 主面および前記第 2 主面を接続する側面を含み、
前記封止絶縁層は、前記半導体基板の前記側面を露出させている、請求項 29 または 30 に記載の半導体装置。

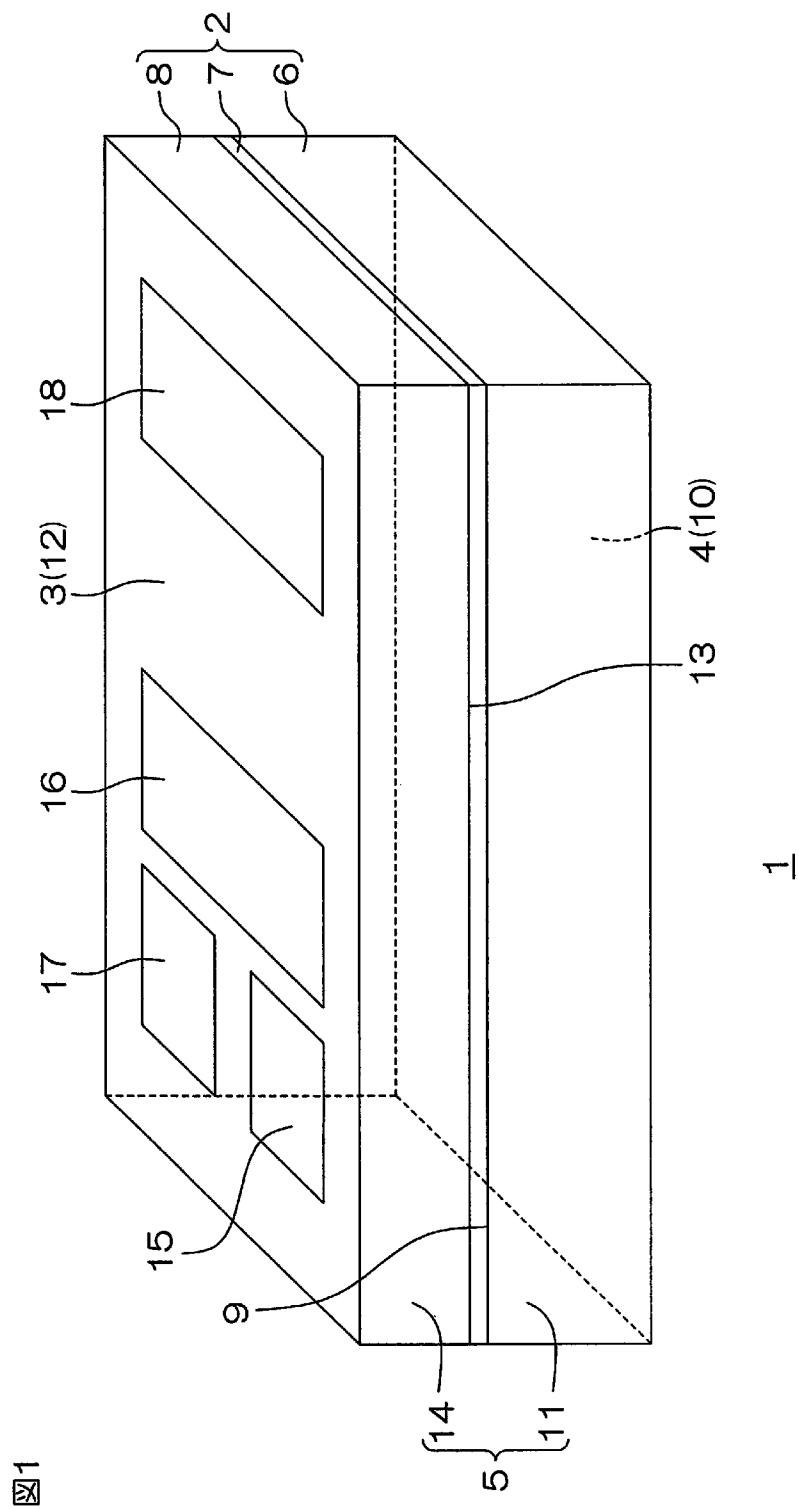
[請求項32] 前記封止絶縁層は、前記半導体基板の前記側面に対して面一に形成された封止側面を含む、請求項 31 に記載の半導体装置。

[請求項33] 前記半導体チップは、シリコン、炭化シリコンまたは窒化物半導体に形成された縦型または横型のトランジスタを有するデバイスであり、600V以上の耐圧を有している、請求項 29～32 のいずれか一項に記載の半導体装置。

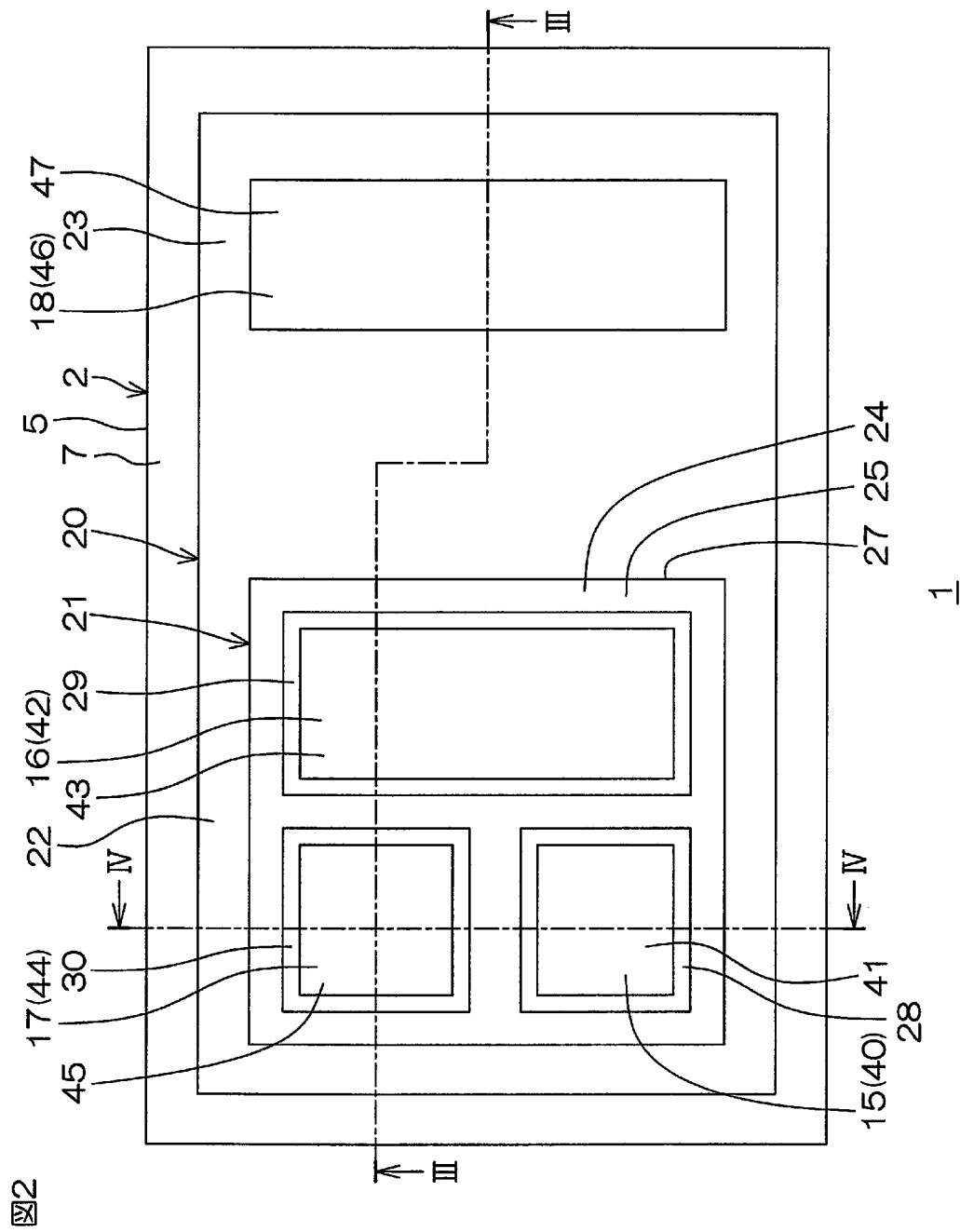
[請求項34] 前記半導体基板は、シリコン基板、炭化シリコン基板、サファイア基板または窒化物半導体基板のうちの少なくとも 1 種を含む、請求項 29～33 のいずれか一項に記載の半導体装置。

[請求項35] 前記主面絶縁層は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、窒化アルミニウムまたは酸窒化アルミニウムのうちの少なくとも 1 種を含み、かつ、 $0.1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下の厚さを有している、請求項 29～34 のいずれか一項に記載の半導体装置。

[図1]



[図2]



【図3】

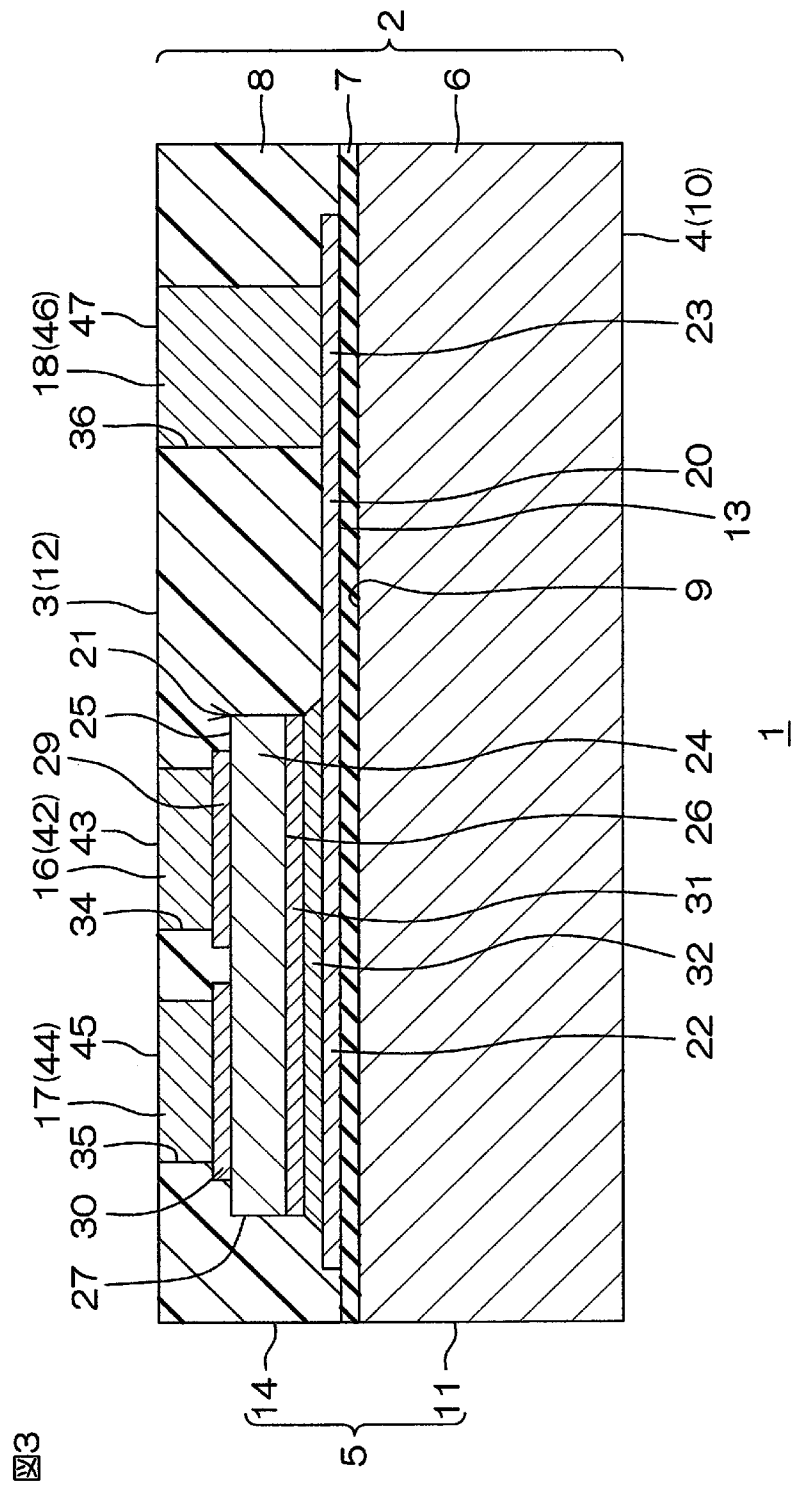
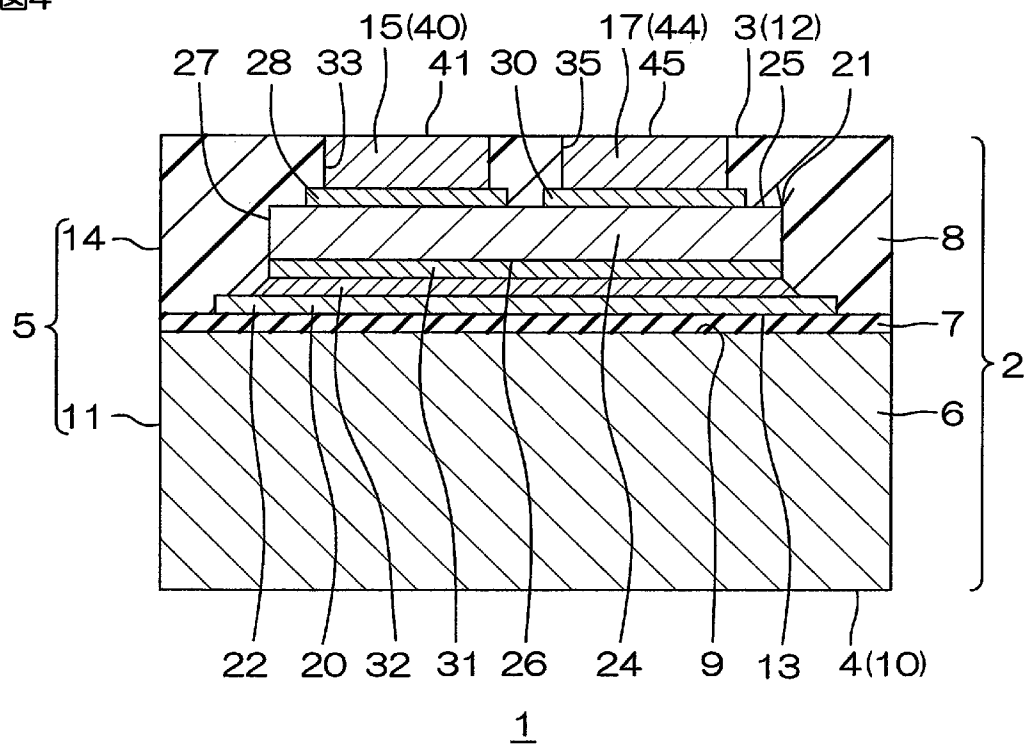
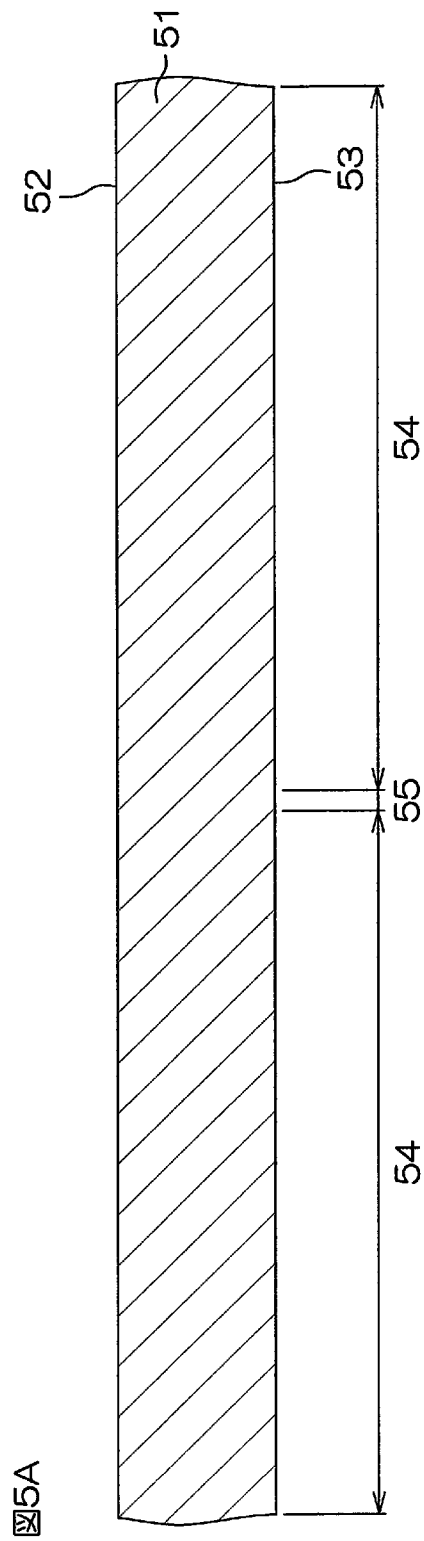


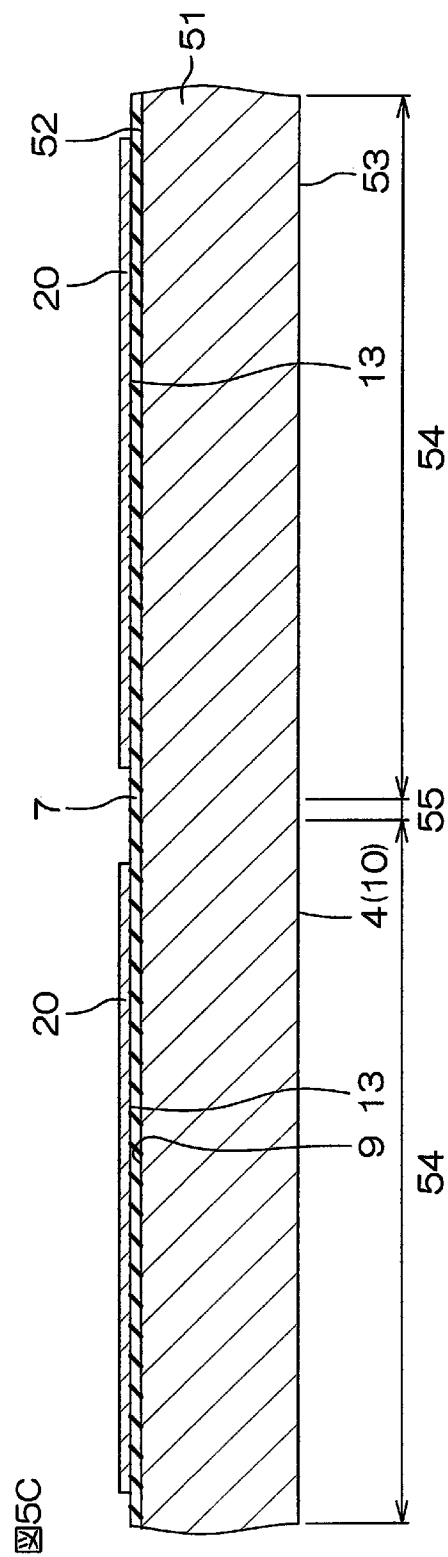
图4



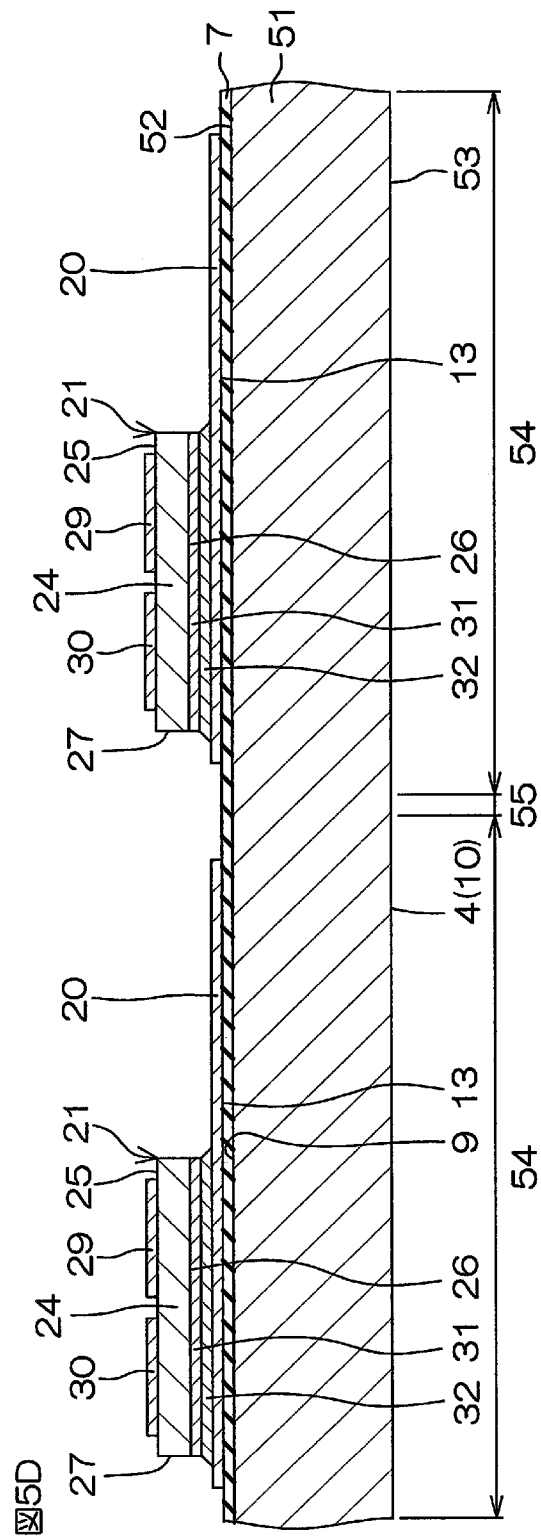
[図5A]



[図5C]

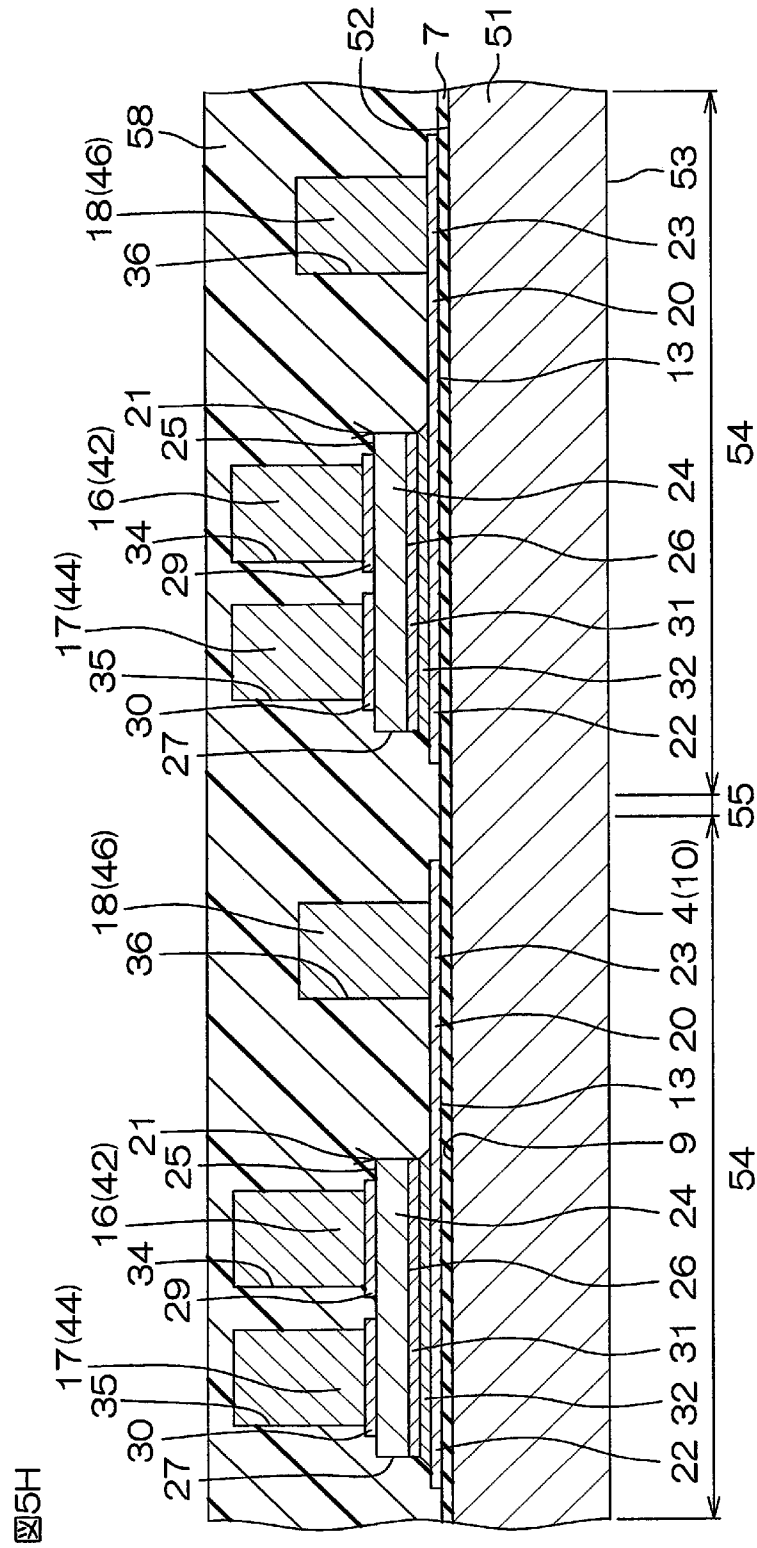


[図5D]

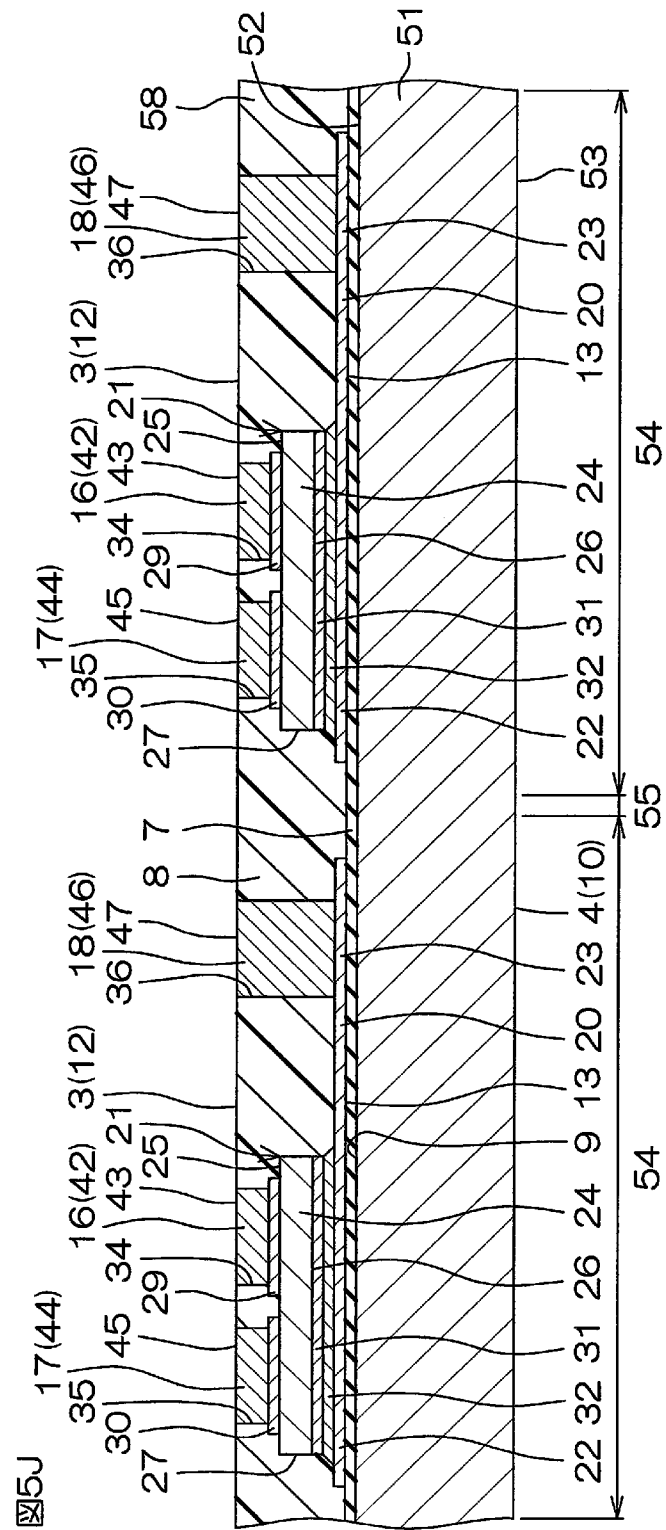


[illegible]

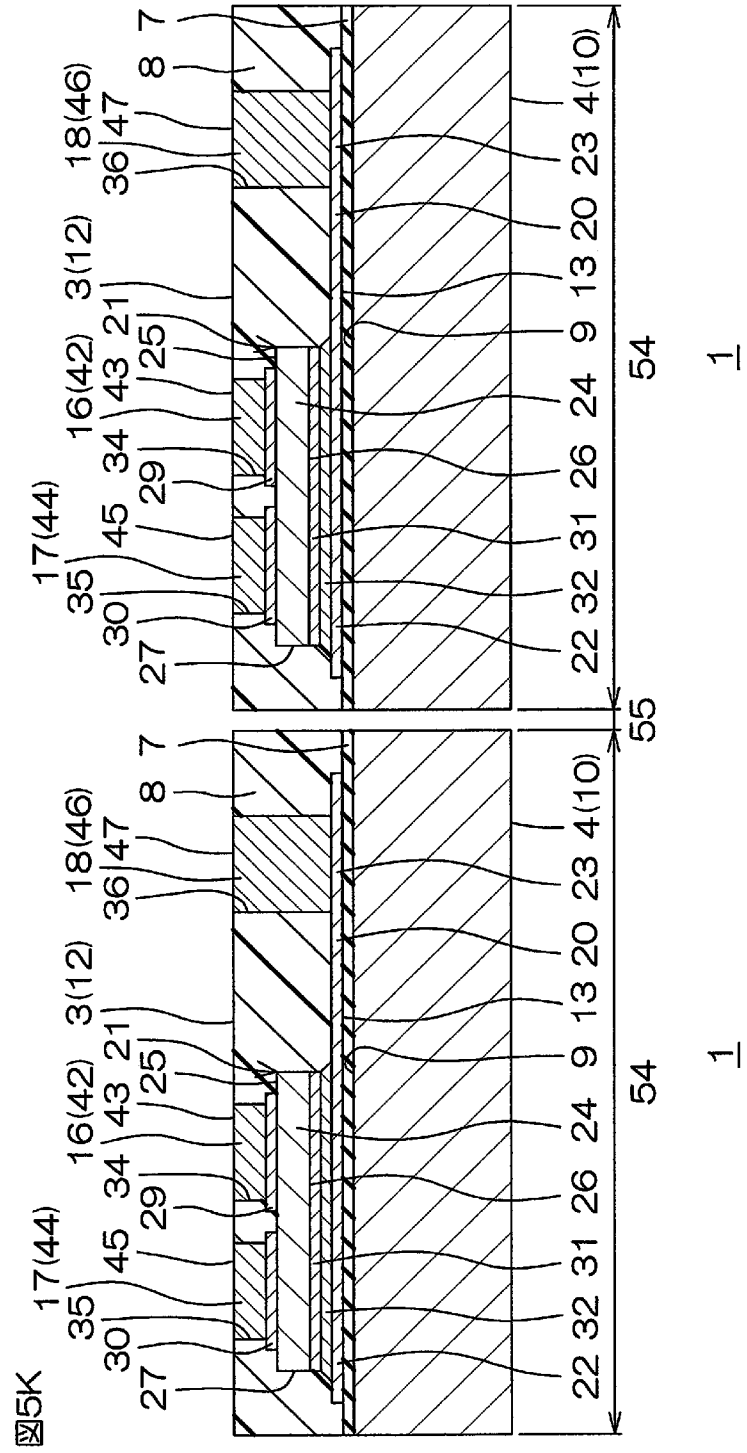
[図5H]



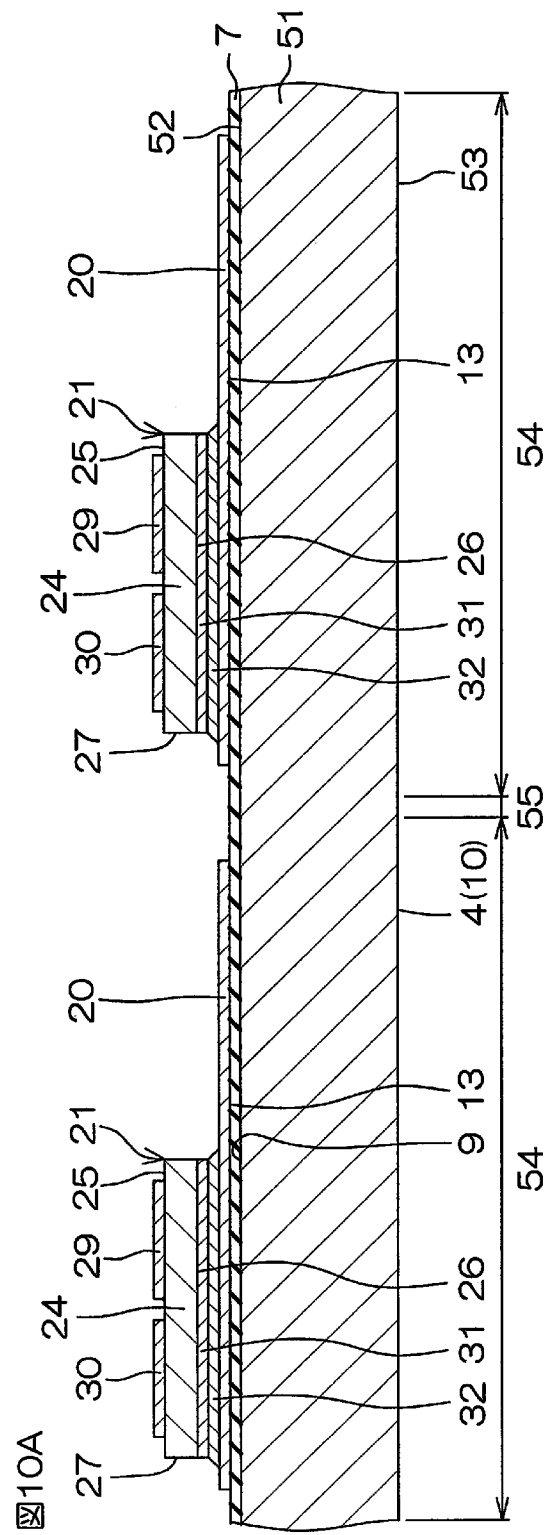
[図5J]



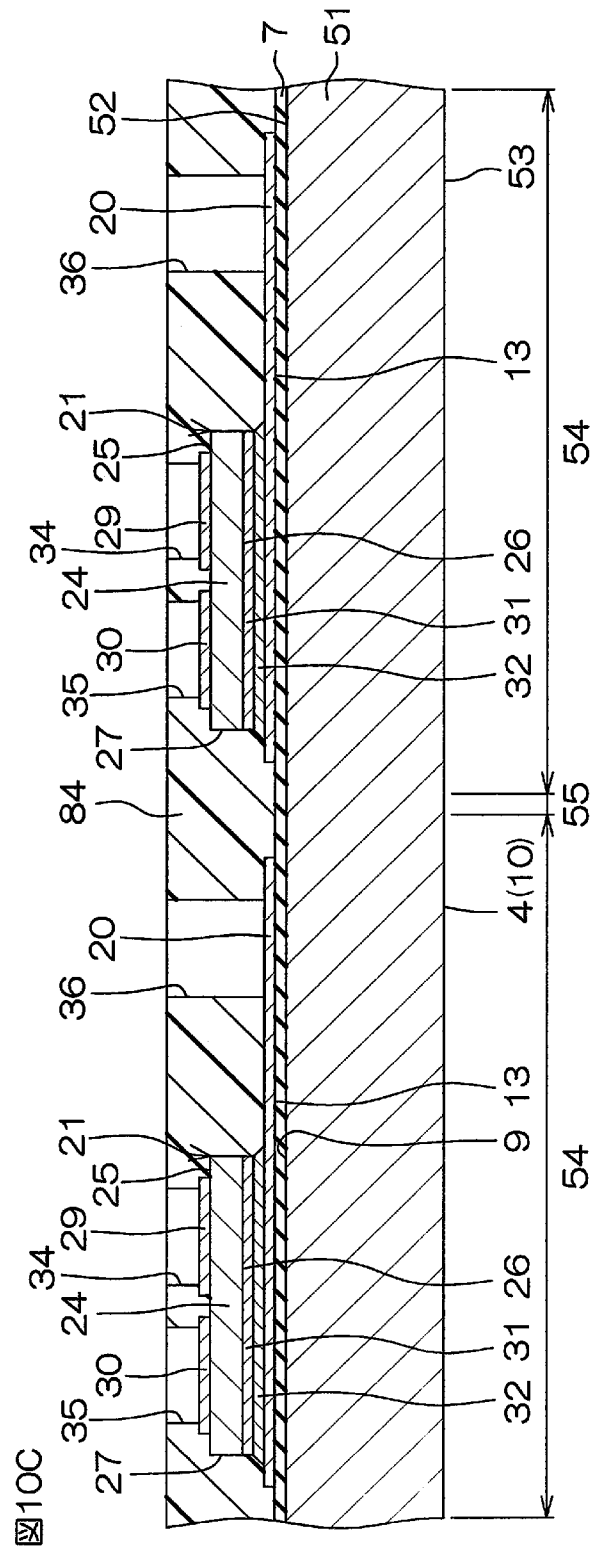
[図5K]



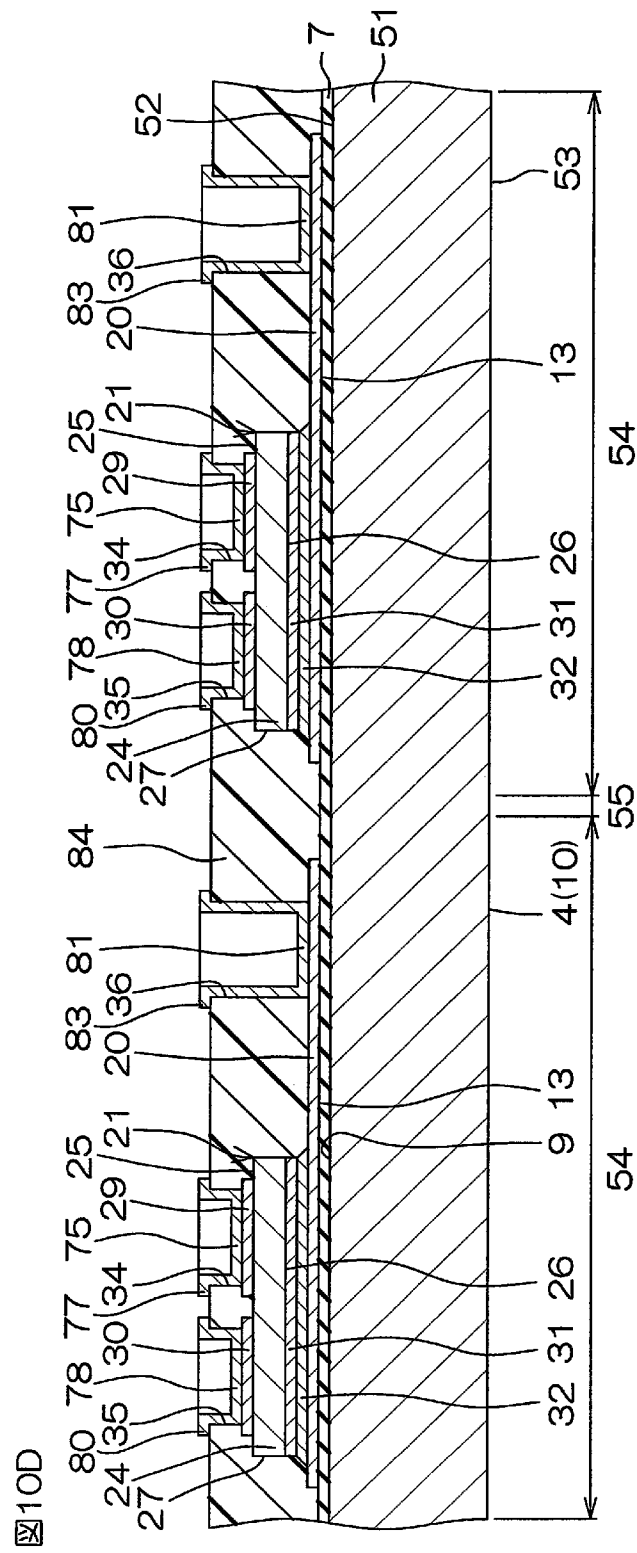
[図10A]



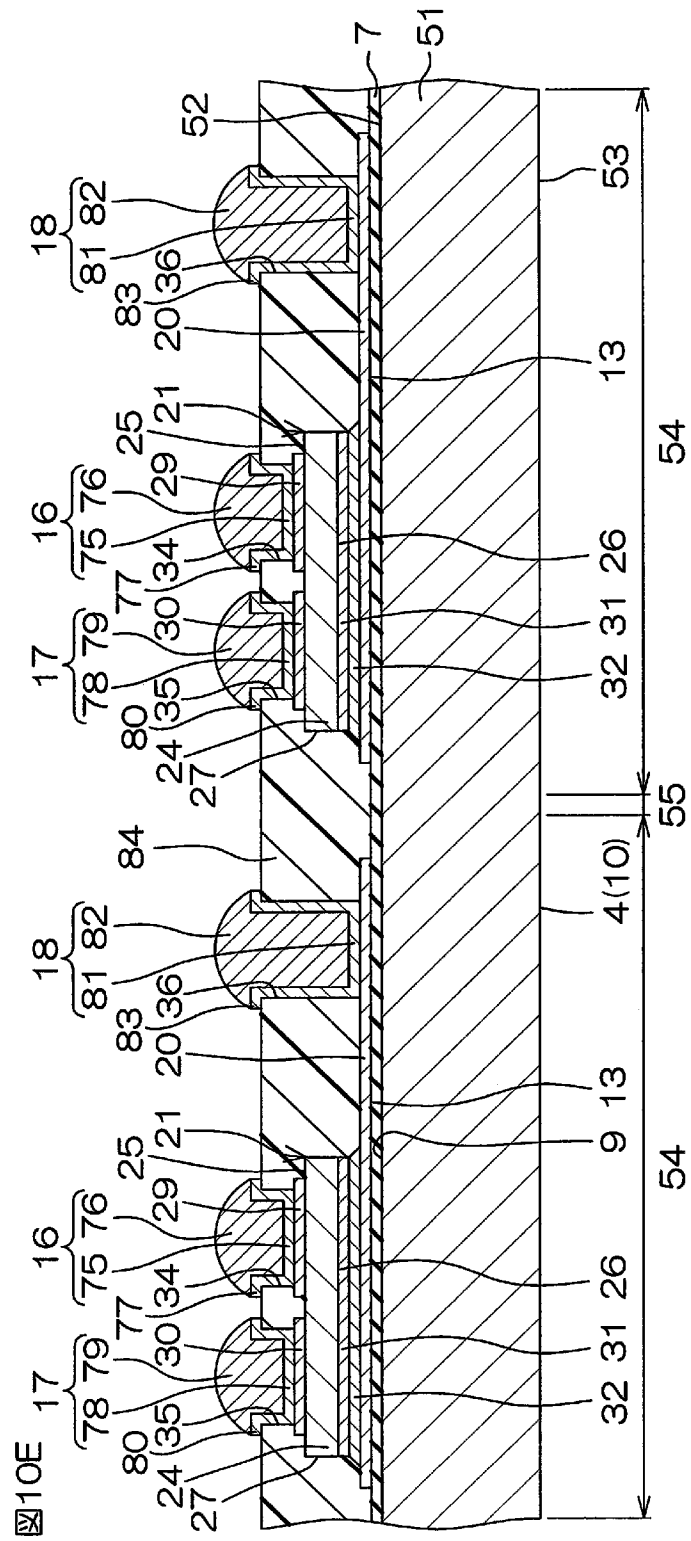
[図10C]



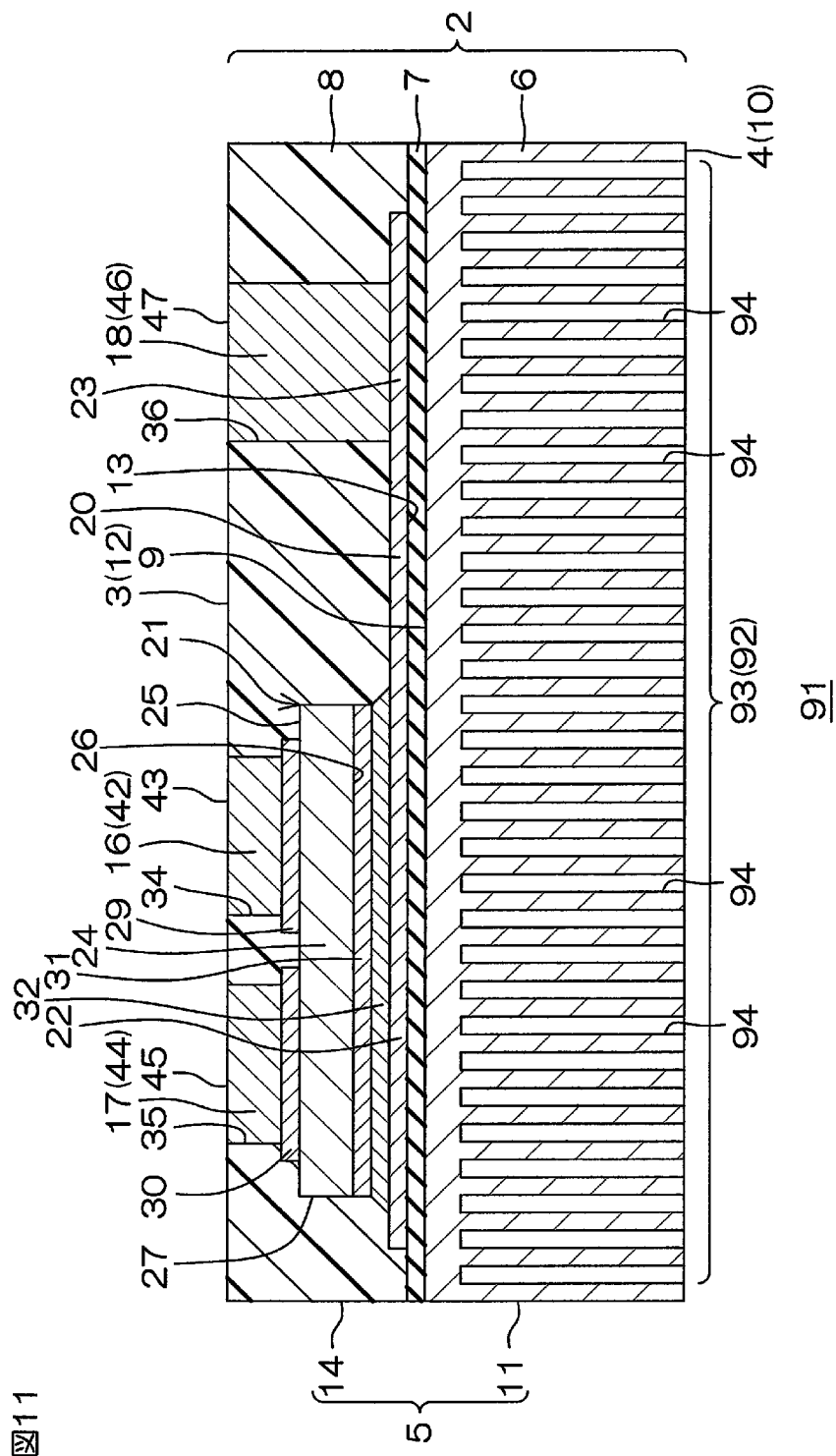
[図10D]



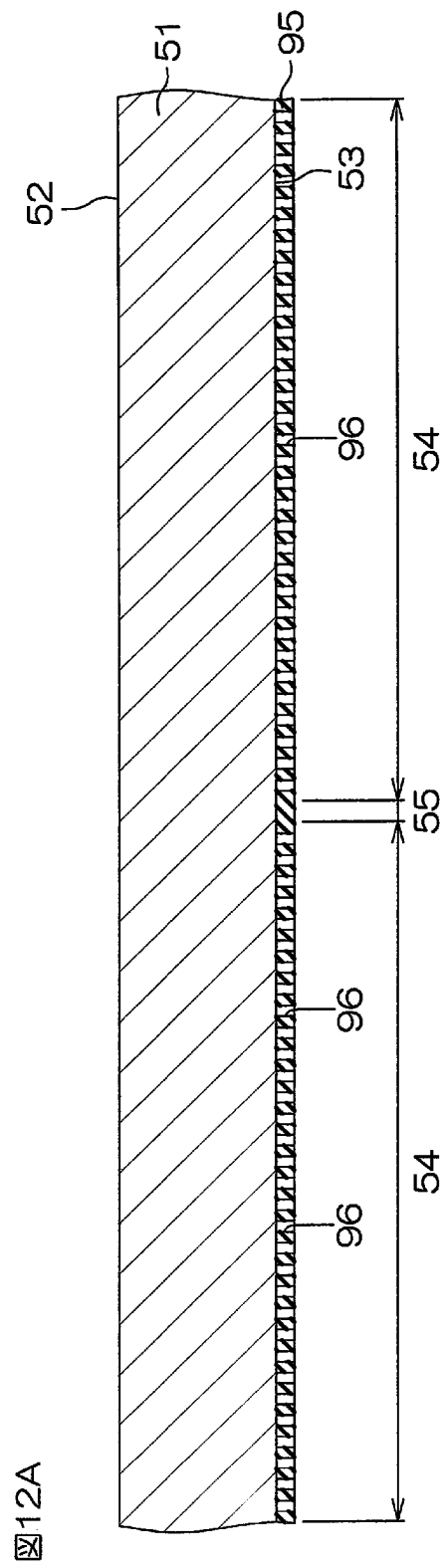
[図10E]



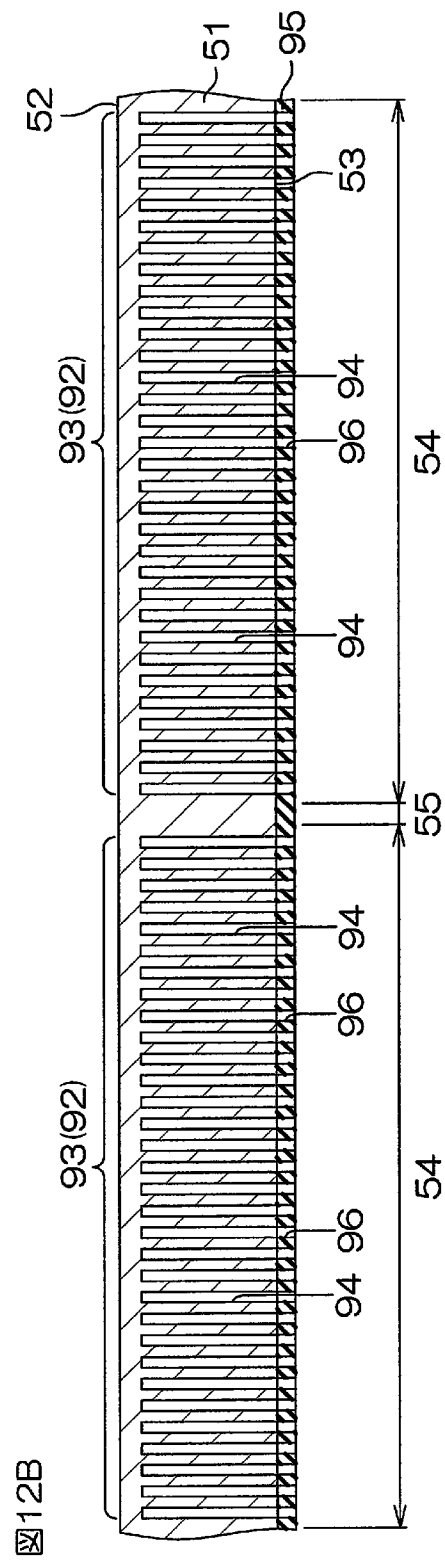
[圖11]



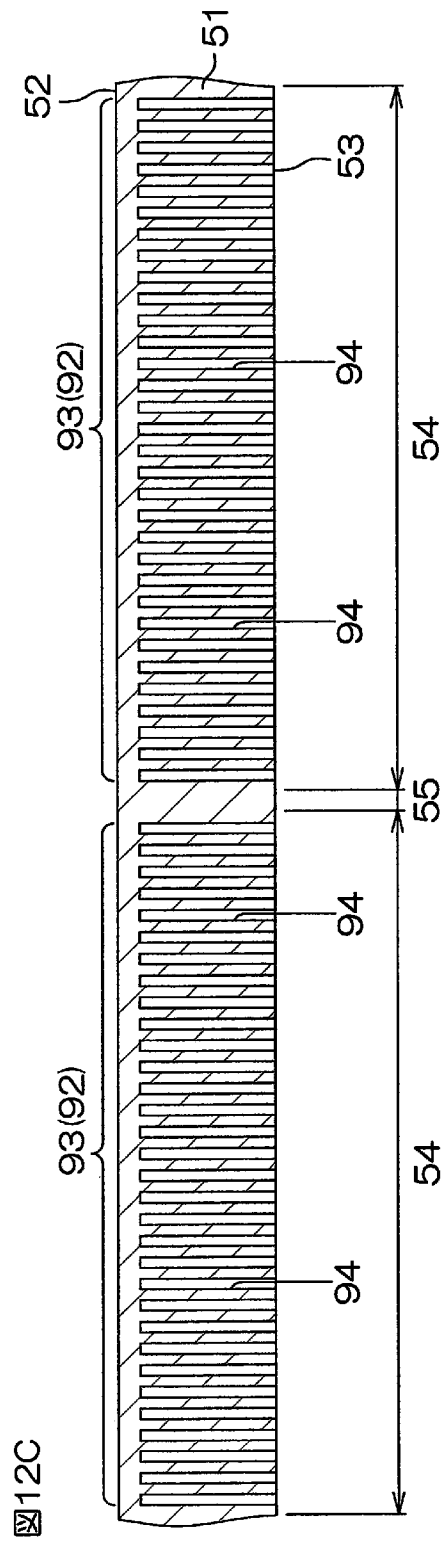
[図12A]



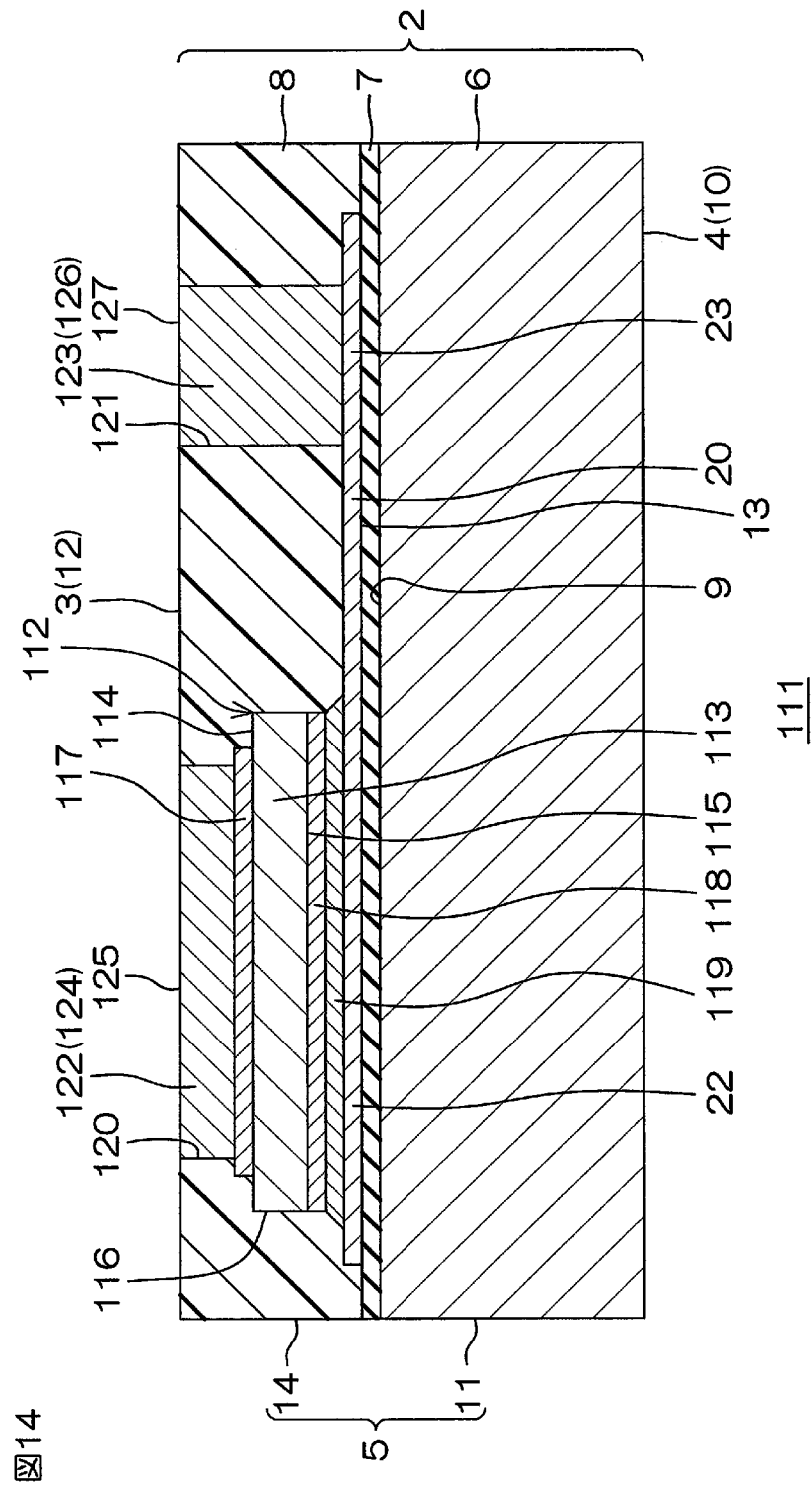
[図12B]



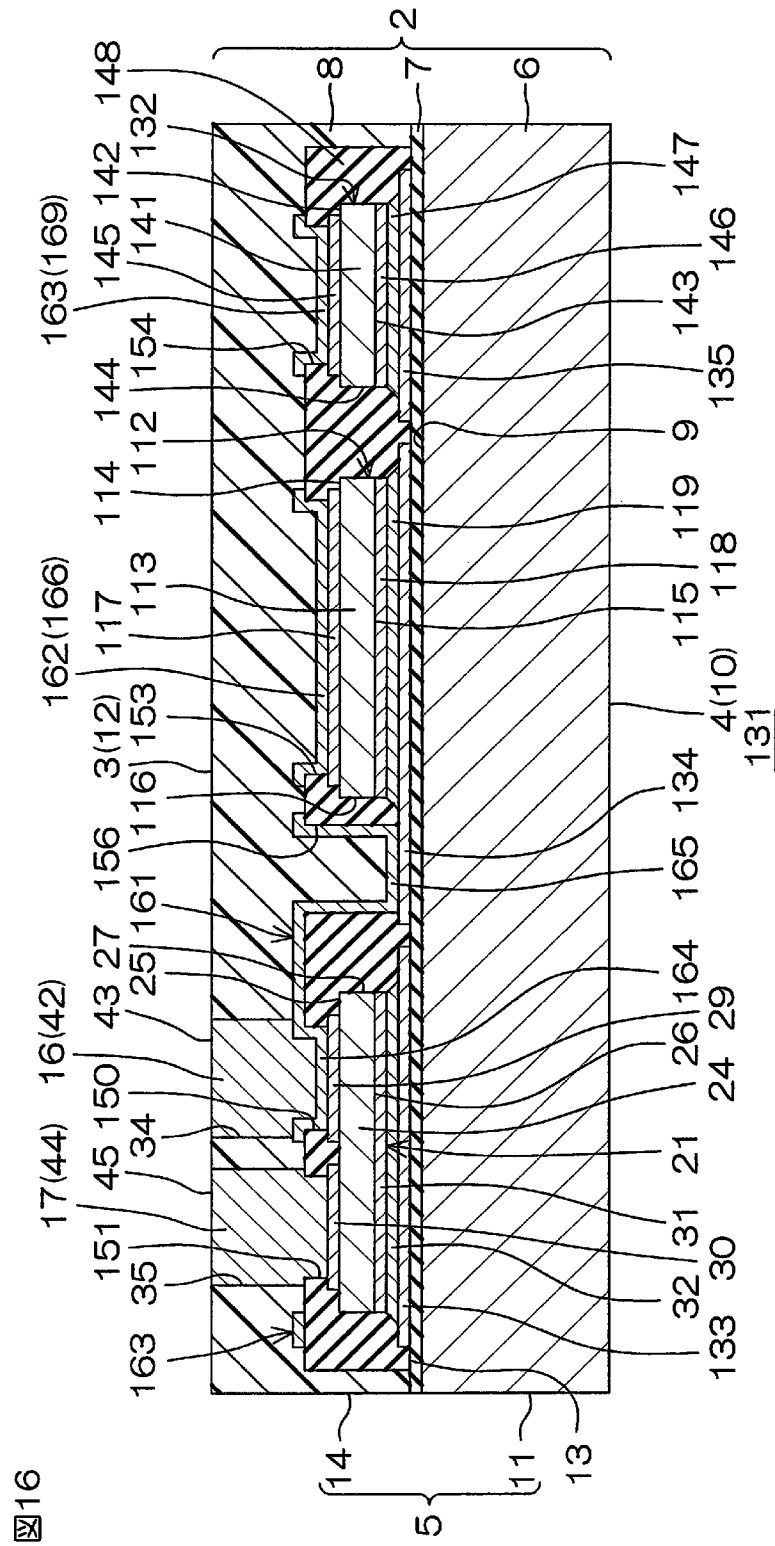
[図12C]



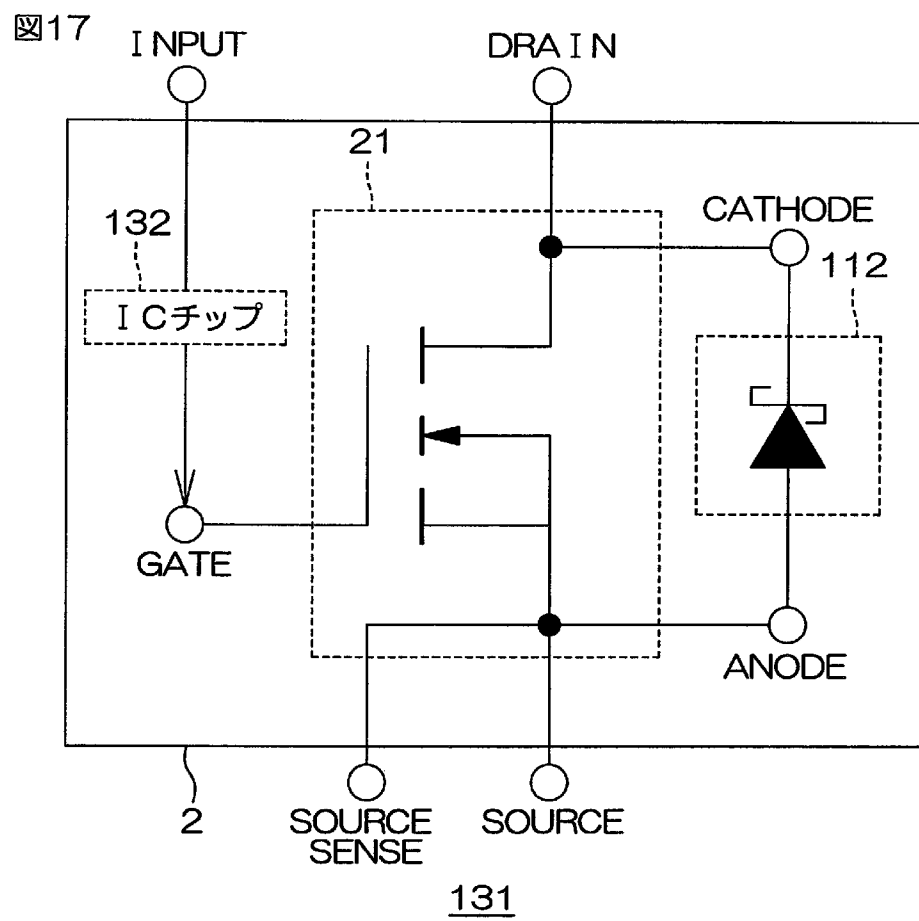
[図14]



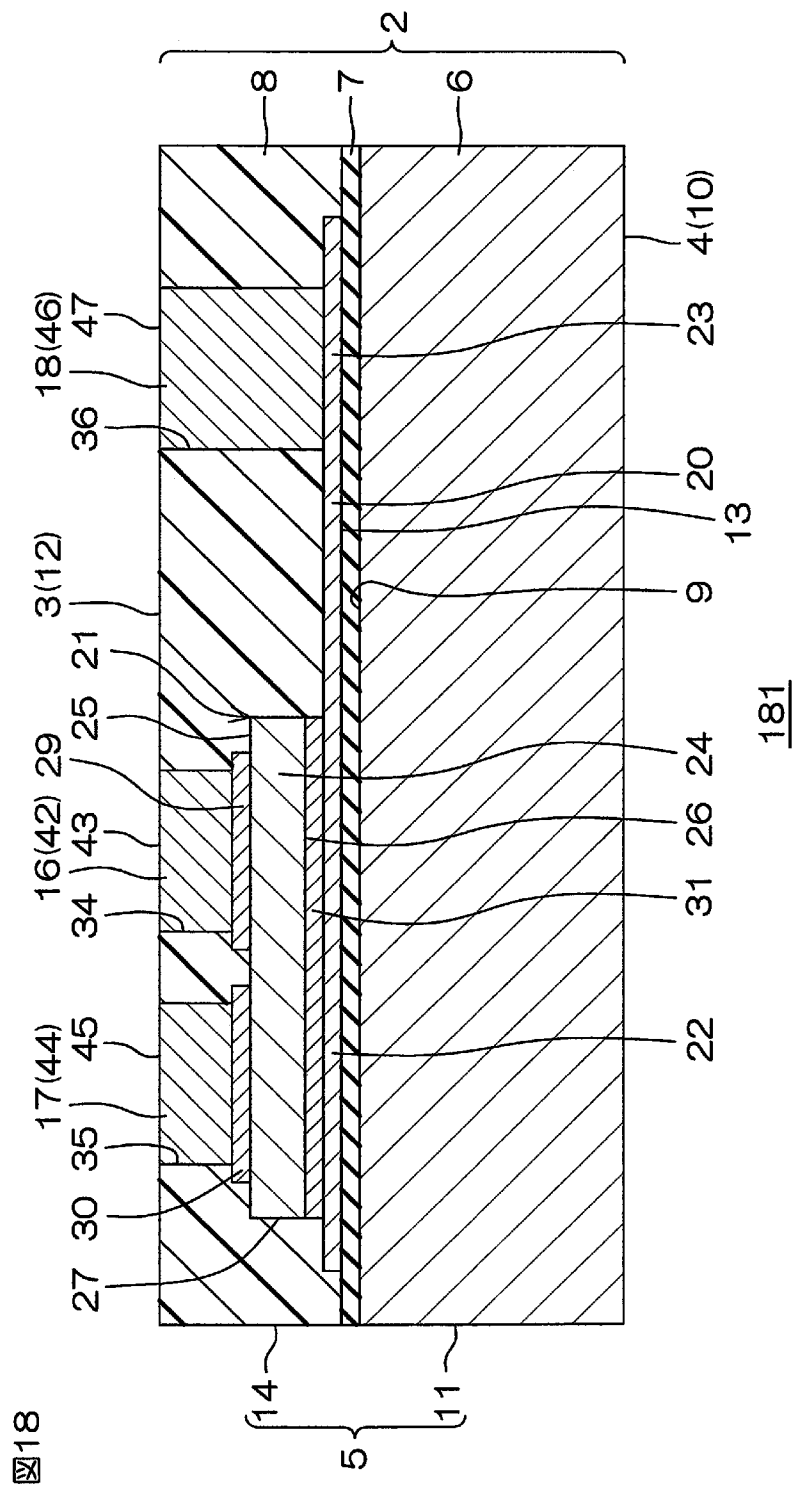
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/016373

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L23/12 (2006.01) i, H01L23/36 (2006.01) i, H01L25/07 (2006.01) i,
H01L25/18 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L23/12, H01L23/36, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-223321 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 17 August 2001, paragraphs [0039]-[0110], fig. 1-13 & US 6864574 B1, column 6, line 55 to column 8, line 63, fig. 1-13 & EP 1104024 A2	1-5, 7-8 11-12, 14-15, 21-22
Y		6, 9-10, 13, 16-20, 24-35
A		23

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 June 2018 (27.06.2018)

Date of mailing of the international search report
10 July 2018 (10.07.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/016373

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2010/147202 A1 (YASKAWA ELECTRIC CORP.) 23 December 2010, paragraphs [0013]-[0203], fig. 1-57	1-3, 5, 7-8, 11-17, 21-22, 24, 27
Y	& US 2012/0235162 A1, paragraphs [0123]-[0278], fig. 1-57 & CN 102460694 A	13, 16-17, 24, 26-28
A		23
Y	JP 2009-26945 A (SONY CORP.) 05 February 2009, paragraphs [0014]-[0020], fig. 1 (Family: none)	6, 9-10
A		29-35
		23
Y	JP 2005-79431 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24 March 2005, paragraphs [0004]-[0005], fig. 5 (Family: none)	18-20
A		23
Y	JP 2016-58594 A (HITACHI, LTD.) 21 April 2016, paragraphs [0027]-[0029], fig. 1-4 & US	25
A	2017/0263516 A1, paragraphs [0081]-[0085], fig. 1-4 & WO 2016/039094 A1 & CN 106605299 A & TW 201622099 A	23
Y	JP 2015-56564 A (FURUKAWA ELECTRIC CO., LTD.) 23 March 2015, paragraph [0009] (Family: none)	26, 33
A		23
Y	JP 2009-231690 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 08 October 2009, paragraph [0046] & US	28
A	2009/0246910 A1, paragraph [0079] & CN 101546716 A	23
A	JP 2006-32556 A (FUJITSU LTD.) 02 February 2006 & US 2006/0012017 A1 & CN 1722414 A & KR 10-2006-0005969 A & TW 200603374 A	23
A	JP 2015-5681 A (MITSUBISHI ELECTRIC CORP.) 08 January 2015 (Family: none)	1-35
A	JP 2009-188376 A (TOYOTA MOTOR CORP.) 20 August 2009 (Family: none)	1-35

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L23/12(2006.01)i, H01L23/36(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L23/12, H01L23/36, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2001-223321 A（松下電器産業株式会社） 2001.08.17, 段落[0039]-[0110], 図 1-13 & US 6864574 B1, 第 6 欄第 55 行-第 8 欄第 63 行及び図 1-13 & EP 1104024 A2	1-5, 7-8, 11-12, 14-15, 21-22
Y		6, 9-10, 13, 16-20, 24-35
A		23

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.06.2018

国際調査報告の発送日

10.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

鈴木 駿平

5 D

5588

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2010/147202 A1 (株式会社安川電機) 2010.12.23, 段落[0013]-[0203], 図 1-57 & US 2012/0235162 A1, 段落[0123]-[0278], 図 1-57 & CN 102460694 A	1-3, 5, 7-8, 11-17, 21-22, 24, 27 13, 16-17, 24, 26-28 23
Y A	JP 2009-26945 A (ソニー株式会社) 2009.02.05, 段落[0014]-[0020], 図 1 (ファミリーなし)	6, 9-10, 29-35 23
Y A	JP 2005-79431 A (松下電器産業株式会社) 2005.03.24, 段落[0004]-[0005], 図 5 (ファミリーなし)	18-20 23
Y A	JP 2016-58594 A (株式会社日立製作所) 2016.04.21, 段落[0027]-[0029], 図 1-4 & US 2017/0263516 A1, 段落[0081]-[0085], 図 1-4 & WO 2016/039094 A1 & CN 106605299 A & TW 201622099 A	25 23
Y A	JP 2015-56564 A (古河電気工業株式会社) 2015.03.23, 段落[0009] (ファミリーなし)	26, 33 23
Y A	JP 2009-231690 A (富士電機デバイステクノロジー株式会社) 2009.10.08, 段落[0046] & US 2009/0246910 A1, 段落[0079] & CN 101546716 A	28 23
A	JP 2006-32556 A (富士通株式会社) 2006.02.02, & US 2006/0012017 A1 & CN 1722414 A & KR 10-2006-0005969 A & TW 200603374 A	23
A	JP 2015-5681 A (三菱電機株式会社) 2015.01.08, (ファミリーなし)	1-35
A	JP 2009-188376 A (トヨタ自動車株式会社) 2009.08.20, (ファミリー なし)	1-35