【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第２区分
【発行日】平成18年6月22日(2006.6.22)

【公開番号】特開2000-28983(P2000-28983A)
【公開日】平成12年1月28日(2000.1.28)
【出願番号】特願平11-162062
【国際特許分類】
Ｇ０２Ｆ　1/133　(2006.01)
Ｇ０９Ｇ　3/20　(2006.01)
Ｇ０９Ｇ　3/36　(2006.01)
【ＦＩ】
Ｇ０２Ｆ　1/133　５０５
Ｇ０９Ｇ　3/20　６３１Ａ
Ｇ０９Ｇ　3/36

【手続補正書】
【提出日】平成18年5月10日(2006.5.10)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】表示装置の画素アレイの液晶を駆動するための方法であって、
マルチビット画素データのフレームの少なくとも主要部分を画素に伝えるステップであって、該マルチビット画素データの複数の画素関連のビットを、画素のそれぞれに一体化されたメモリアレイの複数のメモリセル宛てに送ることを含むステップと、
前記画素のそれぞれにおいて、前記複数の画素関連のビットが送られた前記メモリアレイのメモリセルに、該複数の画素関連のビットを書き込むステップであって、それぞれの該メモリアレイは、該複数の画素関連のビットを格納する容量を持つ、ステップと、
それぞれの該画素内において、前記複数の画素関連のビットが、該それぞれの画素の該メモリアレイから、選択された順番で読み出されるように、該メモリアレイのメモリセルを選択的にアクセスするステップと、
それぞれの前記画素からの前記複数の画素関連のビットの順序読み出しに基づいて、それぞれの該画素内の液晶に電界を印加するステップと、
を含む、方法。
【請求項２】前記伝えるステップは、さらに、
前記マルチビット画素データのフレームの各部分を、前記表示装置の第１および第２のレジスタに交互に一時的に格納し、該マルチビット画素データのフレームが、ほぼ連続的に、前記第１および第２のレジスタを介してリレーされるようにするステップを含む、
請求項１に記載の方法。
【請求項３】前記伝えるステップは、さらに、
前記第１および第２のレジスタに格納された前記マルチビット画素データのフレームの各部分を、交互に、それぞれの前記画素の前記メモリセルに転送し、該転送における交互の順番は、前記第１および第２のレジスタへの前記一時的な格納で用いられる前記交互の順番とは逆である、
請求項２に記載の方法。
【請求項４】前記マルチビット画素データの複数の画素関連のビットを、画素のそれぞれに一体化されたメモリアレイの複数のメモリセル宛てに送ることは、さらに、

それぞれの前記画素について前記複数の画素関連のビットにより表される、包括的な一組の色およびグレースケール情報を送るステップを含む、
請求項１に記載の方法。
【請求項５】前記複数の画素関連のビットを書き込む前記ステップと、前記メモリアレイのセルを選択的にアクセスする前記ステップは、独立したレートで実行される、
請求項１に記載の方法。
【請求項６】さらに、
前記表示装置の読み出し操作の状態を監視することにより、前記メモリセルのうちの１つについて実行される同時の読み出しおよび書き込み操作を禁止するステップを含む、
請求項１に記載の方法。
【請求項７】前記同時の読み出しおよび書き込み操作を禁止する前記ステップは、さらに、
内部的に修正された書き込み信号を提供して、前記書き込み操作を制御するステップであって、該内部的に修正された書き込み信号は、前記読み出し操作の状態と相互に関連する、
請求項６に記載の方法。
【請求項８】前記メモリアレイのメモリセルを選択的にアクセスする前記ステップは、さらに、
前記選択された順番に関連する読み出し信号を生成するステップであって、該読み出し信号は、それぞれの前記画素の前記メモリアレイのメモリセルにおけるデータ劣化を最小にするよう構成される、
請求項１に記載の方法。
【請求項９】前記選択された順番に関連する読み出し信号を生成する前記ステップは、さらに、
前記メモリアレイのメモリセルに前記読み出し信号を提供することにより、該メモリアレイのそれぞれの該メモリセル内における直列にゲートされたスイッチのうちの第１の読み出しスイッチがアクセスされるのを、読み出しサイクルの間に１回に制限するようにした、
請求項８に記載の方法。
【請求項１０】一体化表示装置の画素マトリクスの液晶を駆動するための方法であって、
前記一体化表示装置が、ホストシステムから、複数の画素データを受け取るステップであって、該複数の画素データのそれぞれは、色およびグレースケールを表すビットを有している、ステップと、
前記ビットが、画素のそれぞれに一括して送られて、該ビットが、該画素内のメモリセルに格納されるように、画素レベルにおいて、前記複数の画素データを前記画素マトリクスに並列で転送するステップと、
前記ビットが、予め選択された順番で読み出されるように、それぞれの前記画素の前記メモリセルを個々にアドレスして、それぞれの該画素の該メモリセルに格納された前記ビットを読み出すステップと、
前記メモリセルから読み出された前記ビットに応答して、前記画素マトリクス内の液晶に電界を印加するステップと、
を含む、方法。
【請求項１１】それぞれ前記画素の前記メモリセルを個々にアドレスすることは、さらに、
前記メモリセル内における直列にゲートされた第１および第２のスイッチの両方が閉じられるように、該第１および第２のスイッチを電気的に起動するステップを含む、
請求項１０に記載の方法。
【請求項１２】前記第１および第２のスイッチを電気的に起動する前記ステップは、さらに、
前記予め選択された順番の間に１回だけ、前記第１のスイッチを閉じるステップを含む

、
請求項１１に記載の方法。
【請求項１３】前記複数の画素データを前記画素マトリクスに並列で転送する前記ステップは、さらに、
同じ前記メモリセルに対する同時の書き込みおよび読み出しが起こらないように、前記ビットを読み出す前記ステップに従って、前記画素内のメモリセルに前記複数の画素データを書き込むステップを含む、
請求項１０に記載の方法。
【請求項１４】さらに、
前記一体化表示装置内のフレームバッファに、前記ホストシステムから受け取った前記複数の画素データを一時的に記憶するステップを含む、
請求項１０に記載の方法。
【請求項１５】前記複数の画素データを一時的に格納する前記ステップおよび前記画素マトリクスに並列で転送する前記ステップは、同時に実行される、
請求項１４に記載の方法。
【請求項１６】前記複数の画素データを一時的に記憶する前記ステップは、さらに、
前記複数の画素データを、前記フレームバッファの第１および第２のレジスタに交互に格納するステップを含む、
請求項１４に記載の方法。
【請求項１７】液晶表示装置であって、
画素アレイであって、それぞれの画素は、液晶および複数のメモリセルを有しており、それぞれの該メモリセルは、読み出しおよび書き込み操作に関して独立してアクセスされることができるように、書き込みビット線および読み出しビット線に接続されている、画素アレイと、
前記画素アレイに操作上接続され、外部ソースから受け取ったデジタル画像データを前記画素アレイに選択的にリレーするデータバッファ手段であって、該外部ソースから該デジタル画像データを受け取るための入力を持つ、データバッファ手段と、
前記データバッファ手段に接続され、該データバッファ手段から前記画素アレイに前記デジタル画像データを転送するビット線ドライバであって、前記デジタル画像データの画素関連のビットが、それぞれの前記画素に並列に送られるように、複数の書き込みビット線により該画素に接続されるビット線ドライバと、
を備える液晶表示装置。
【請求項１８】前記データバッファ手段は、さらに、
前記外部ソースからの前記デジタル画像データの各部分を受け取る第１および第２のデータ格納手段であって、交互に、該各部分を前記ビット線ドライバに送る第１および第２のデータ格納手段を備える、
請求項１７に記載の液晶表示装置。
【請求項１９】さらに、
前記画素アレイに操作上接続され、前記画素アレイに読み出し信号を提供して、それぞれの前記画素の前記メモリセルにアクセスする読み出し信号生成手段を備えており、該読み出し信号は、該読み出し操作の間に前記メモリセルにアクセスするための予め選択された順番に対応している、
請求項１７に記載の液晶表示装置。
【請求項２０】さらに、
前記画素アレイに操作上接続され、該画素アレイに書き込み信号を提供する書き込み信号生成手段を備え、
前記書き込み信号生成手段は、さらに、前記読み出し信号生成手段に接続されて、該読み出し信号に応答して前記書き込み信号を生成する、
請求項１９に記載の液晶表示装置。