



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2008년03월25일  
 (11) 등록번호 10-0816271  
 (24) 등록일자 2008년03월18일

(51) Int. Cl.

H05B 33/10 (2006.01)

(21) 출원번호 10-2001-0031504  
 (22) 출원일자 2001년06월05일  
 심사청구일자 2006년06월05일  
 (65) 공개번호 10-2001-0112090  
 (43) 공개일자 2001년12월20일

(30) 우선권주장

2000-168203 2000년06월05일 일본(JP)  
 2000-168214 2000년06월05일 일본(JP)

(56) 선행기술조사문헌

JP 10-312882 A  
 JP 11-031587 A

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키순페이

일본국가나가와Ken 243-0036, 아쓰기시, 하세, 398, 가  
부시키가이샤한도오따이에네루기켄쿠쇼내

코야마준

일본국가나가와Ken 243-0036, 아쓰기시, 하세, 398, 가  
부시키가이샤한도오따이에네루기켄쿠쇼내

아라이야수유키

일본국가나가와Ken 243-0036, 아쓰기시, 하세, 398, 가  
부시키가이샤한도오따이에네루기켄쿠쇼내

(74) 대리인

이병호, 장훈

전체 청구항 수 : 총 62 항

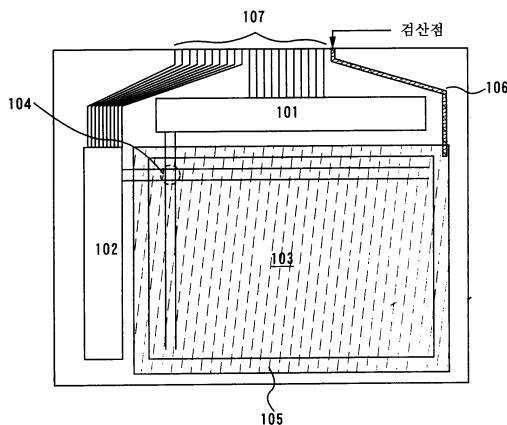
심사관 : 안준형

(54) 디스플레이 패널, 디스플레이 패널 검사 방법, 및 디스플레이 패널 제조 방법

### (57) 요 약

디스플레이 패널(display panel)을 통합하기 전에, EL 패널이 양호한 제품인지 또는 결함이 있는 제품인지의 여부를 구별할 수 있는 디스플레이 패널의 검사 방법이 제공된다. 제 1 검사 방법에서, 도전막에 흐르는 전류를 측정하고 그 측정값에 따라 결함이 있는 픽셀(pixel)을 검출한 후에 픽셀 전극을 형성하도록 도전막이 패터닝된다. 제 2 검사 방법에서, 모든 픽셀 전극이 검사 도전막에 의해 접속되고, 검사 도전막에 흐르는 전류의 값이 측정되고, 또한 측정된 값에 따라 결함이 있는 픽셀을 검출한 후에 검사 도전막이 제거된다.

**대표도 - 도1**



**특허청구의 범위**

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

### 청구항 33

삭제

### 청구항 34

삭제

### 청구항 35

삭제

### 청구항 36

삭제

### 청구항 37

삭제

### 청구항 38

삭제

### 청구항 39

삭제

### 청구항 40

삭제

### 청구항 41

삭제

### 청구항 42

삭제

### 청구항 43

디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공되는 복수의 박막 트랜지스터들 및 측정 배선 모두에 전기적으로 접속된 도전막을 형성하는 단계;

상기 복수의 박막 트랜지스터들을 온(ON) 상태에 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값으로부터 상기 복수의 박막 트랜지스터들에 결함이 있는지의 여부를 판단하는 단계; 및

상기 복수의 박막 트랜지스터들에 각각 전기적으로 접속되도록 상기 도전막을 패터닝하여 복수의 픽셀 전극들을 형성하는 단계를 포함하는, 디스플레이 패널 제조 방법.

### 청구항 44

디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공된 복수의 박막 트랜지스터들을 커버하도록 층간 절연막을 형성하는 단계;

상기 층간 절연막에 접촉 홀들(hole)을 형성하는 단계;

상기 접촉 홀들을 통해 상기 박막 트랜지스터들의 소스 영역들 또는 드레인 영역들에 각각 접속된 복수의 접속

배선들, 및 상기 절연 표면과 접촉하는 측정 배선을 형성하는 단계;

상기 복수의 접속 배선들 및 상기 측정 배선에 전기적으로 접속된 도전막을 형성하는 단계;

상기 복수의 박막 트랜지스터들을 온 상태로 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값을로부터 상기 복수의 박막 트랜지스터들에 결함이 있는지의 여부를 판단하는 단계; 및

상기 복수의 박막 트랜지스터들에 각각 전기적으로 접속되도록 상기 도전막을 패터닝하여 복수의 픽셀 전극들을 형성하는 단계를 포함하는, 디스플레이 패널 제조 방법.

#### 청구항 45

제 43 항 또는 제 44 항에 있어서,

EL 충들 및 대향 전극이, 상기 복수의 픽셀 전극들이 형성된 후 상기 복수의 픽셀 전극들에 순서대로 적층되는, 디스플레이 패널 제조 방법.

#### 청구항 46

삭제

#### 청구항 47

디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공되는 측정 배선과 절연 표면상에 제공되는 복수의 박막 트랜지스터들에 각각 전기적으로 접속된 복수의 픽셀 전극들 모두에 전기적으로 접속되는 검사 도전막(inspection conductive film)을 형성하는 단계;

상기 복수의 박막 트랜지스터들을 온 상태에 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값을로부터 상기 복수의 박막 트랜지스터들 및 상기 복수의 픽셀 전극들에 결함이 있는지의 여부를 판단하는 단계; 및

상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 제조 방법.

#### 청구항 48

디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공된 복수의 박막 트랜지스터들을 커버하도록 충간 절연막을 형성하는 단계;

상기 충간 절연막에 접촉 홀들을 형성하는 단계;

상기 접촉 홀들을 통해 상기 박막 트랜지스터들의 소스 영역들 또는 드레인 영역에 각각 접속된 복수의 접속 배선들, 및 상기 절연 표면과 접촉하는 측정 배선을 형성하는 단계;

상기 복수의 접속 배선들에 전기적으로 접속된 도전막을 형성하는 단계;

상기 도전막을 패터닝함으로써 상기 복수의 박막 트랜지스터들에 각각 전기적으로 접속된 복수의 픽셀 전극들을 형성하는 단계;

상기 복수의 픽셀 전극들 및 상기 측정 배선 모두에 전기적으로 접속된 검사 도전막을 형성하는 단계;

상기 복수의 박막 트랜지스터들을 온 상태로 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값을로부터 상기 복수의 박막 트랜지스터들 및 상기 복수의 픽셀 전극들에 결함이 있는지의 여부를 판단하는 단계; 및

상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 제조 방법.

#### 청구항 49

제 47 항 또는 제 48 항에 있어서,

EL충 및 대향 전극이 상기 검사 도전막이 제거된 후 상기 복수의 픽셀 전극상에 순서대로 적층되는, 디스플레이

패널 제조 방법.

### 청구항 50

삭제

### 청구항 51

제 47 항 또는 제 48 항에 있어서,

상기 검사 도전막은 유동체인, 디스플레이 패널 제조 방법.

### 청구항 52

삭제

### 청구항 53

제 43 항, 제 44 항, 제 47 항 및 제 48 항 중 어느 한 항에 따른 상기 방법에 의해 형성된, 디스플레이 패널.

### 청구항 54

삭제

### 청구항 55

삭제

### 청구항 56

삭제

### 청구항 57

제 53 항에 있어서,

부착된 구동기 회로를 포함하는 디스플레이 패널을 형성하도록, 소스 신호선 구동기 회로 및 게이트 신호선 구동기 회로가 상기 디스플레이 패널에 부착되는, 디스플레이 패널.

### 청구항 58

삭제

### 청구항 59

삭제

### 청구항 60

삭제

### 청구항 61

제 53 항에 있어서,

부착된 제어기 및 구동기 회로를 포함하는 디스플레이 패널을 형성하도록, 소스 신호선 구동기 회로, 게이트 신호선 구동기 회로 및 제어기가 상기 디스플레이 패널에 부착되는, 디스플레이 패널.

### 청구항 62

삭제

### 청구항 63

삭제

**청구항 64**

삭제

**청구항 65**

제 53 항에 있어서,

부착된 마이크로컴퓨터, 제어기 및 구동기 회로를 포함하는 디스플레이 패널을 형성하도록, 소스 신호선 구동기 회로, 게이트 신호선 구동기 회로, 제어기 및 마이크로컴퓨터가 상기 디스플레이 패널에 부착되는, 디스플레이 패널.

**청구항 66**

삭제

**청구항 67**

삭제

**청구항 68**

삭제

**청구항 69**

제 53 항에 있어서,

상기 디스플레이 패널은 EL 디스플레이, 비디오 카메라, 디지털 카메라, 고글 (goggle) 디스플레이 디바이스, 네비게이션 (navigation) 시스템, 사운드-재생 시스템, 노트북형 개인용 컴퓨터, 휴대용 정보 단말기, 및 DVD 디바이스인 전자 디바이스들 중 하나에 사용되는, 디스플레이 패널.

**청구항 70**

삭제

**청구항 71**

삭제

**청구항 72**

삭제

**청구항 73**

박막 트랜지스터와 상기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공되는 복수의 박막 트랜지스터들 모두에 전기적으로 접속된 도전막을 형성하는 단계;

상기 도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 박막 트랜지스터를 온 상태로 놓는 단계;

상기 도전막에 흐르는 전류의 값을 측정하는 단계; 및

상기 값을 부터 상기 박막 트랜지스터에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 제조 방법.

**청구항 74**

스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이

패널을 제조하는 방법에 있어서:

절연 표면상에 제공되는 복수의 박막 트랜지스터들 모두에 전기적으로 접속된 도전막을 형성하는 단계;

상기 도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 전원 공급선의 전위를 제어하고, 상기 게이트 신호선의 전위를 제어하여 상기 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 도전막에 흐르는 전류의 값을 측정하는 단계; 및

상기 값으로부터 상기 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 게이트 신호선, 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 제조 방법.

### 청구항 75

제 1 스위칭 박막 트랜지스터, 제 2 스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 제 1 게이트 신호선, 제 2 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공되는 복수의 박막 트랜지스터들 모두에 전기적으로 접속된 도전막을 형성하는 단계;

상기 도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 전원 공급선의 전위를 제어하고, 상기 제 1 게이트 신호선의 전위를 제어하여 상기 제 1 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 도전막에 흐르는 전류의 제 1 값을 측정하는 단계;

상기 도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 제 2 게이트 신호선의 전위를 제어하여 상기 제 2 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 EL 구동기 박막 트랜지스터를 오프 상태로 놓는 단계;

상기 도전막에 흐르는 전류의 제 2 값을 측정하는 단계;

상기 제 1 값 및 상기 제 2 값으로부터 상기 제 1 스위칭 박막 트랜지스터, 상기 제 2 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 제 1 게이트 신호선, 상기 제 2 게이트 신호선, 및 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 제조 방법.

### 청구항 76

제 73 항 내지 제 75 항 중 어느 한 항에 있어서,

EL층 및 대향 전극이, 상기 픽셀 전극이 형성된 후 상기 픽셀 전극상에 순서대로 적층되는, 디스플레이 패널 제조 방법.

### 청구항 77

삭제

### 청구항 78

삭제

### 청구항 79

제 73 항 또는 제 74 항에 있어서,

상기 도전막에 흐르는 상기 전류의 값을, 상기 도전막에 접속된 측정 배선에 흐르는 전류의 값을 측정함으로써 구해지는, 디스플레이 패널 제조 방법.

**청구항 80**

삭제

**청구항 81**

제 75 항에 있어서,

상기 도전막에 흐르는 상기 전류의 제 1 값 및 제 2 값은 상기 도전막에 접속된 측정 배선에 흐르는 전류의 값들을 측정함으로써 각각 구해지는, 디스플레이 패널 제조 방법.

**청구항 82**

박막 트랜지스터와 상기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널을 제조하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들에 검사 도전막을 형성하는 단계;

상기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 값을 측정하는 단계;

상기 값으로부터 상기 박막 트랜지스터에 결함이 있는지의 여부를 판단하는 단계; 및

상기 복수의 픽셀들 모두에 대해 상기 판단 단계가 순서대로 실행된 후, 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 제조 방법.

**청구항 83**

스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는, 디스플레이 패널을 제조하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들에 검사 도전막을 형성하는 단계;

상기 전원 공급선의 전위를 제어하고, 상기 게이트 신호선의 전위를 제어하여 상기 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 값을 측정하는 단계;

상기 값으로부터 상기 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 게이트 신호선, 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계; 및

상기 복수의 픽셀들 모두에 대해 상기 판단 단계가 순서대로 실행된 후, 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 제조 방법.

**청구항 84**

제 1 스위칭 박막 트랜지스터, 제 2 스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 제 1 게이트 신호선, 제 2 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널을 제조하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들에 검사 도전막을 형성하는 단계;

상기 전원 공급선의 전위를 제어하고, 상기 제 1 게이트 신호선의 전위를 제어하여 상기 제 1 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 제 1 값을 측정하는 단계;

상기 제 2 게이트 신호선의 전위를 제어하여 상기 제 2 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 EL 구동기 박막 트랜지스터를 오프 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 제 2 값을 측정하는 단계;

상기 제 1 값 및 상기 제 2 값으로부터 상기 제 1 스위칭 박막 트랜지스터, 상기 제 2 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 제 1 게이트 신호선, 상기 제 2 게이트 신호선, 및 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계; 및

상기 복수의 픽셀들 모두에 대해 상기 판단 단계가 순서대로 실행된 후, 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 제조 방법.

### 청구항 85

제 82 항 내지 제 84 항 중 어느 한 항에 있어서,

EL 층 및 대향 전극이, 상기 검사 도전막이 제거된 후 상기 픽셀 전극상에 순서대로 적층되는, 디스플레이 패널 제조 방법.

### 청구항 86

삭제

### 청구항 87

삭제

### 청구항 88

제 82 항 또는 제 83 항에 있어서,

상기 검사 도전막에 흐르는 상기 전류의 값은, 상기 검사 도전막에 접속된 측정 배선에 흐르는 전류의 값을 측정함으로써 구해지는, 디스플레이 패널 제조 방법.

### 청구항 89

삭제

### 청구항 90

제 84 항에 있어서,

상기 검사 도전막에 흐르는 상기 전류의 제 1 값 및 제 2 값은, 상기 검사 도전막에 접속된 측정 배선에 흐르는 전류의 값들을 측정함으로써 각각 구해지는, 디스플레이 패널 제조 방법.

### 청구항 91

제 82 항 내지 제 84 항 중 어느 한 항에 있어서,

상기 검사 도전막은 유동체(fluid)인, 디스플레이 패널 제조 방법.

### 청구항 92

삭제

### 청구항 93

삭제

### 청구항 94

디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공된 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 측정 배선에 전기적으로 접속된 도전막을 형성하는 단계;

상기 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 온 상태에 놓고, 상기 측정 배선에 흐르는 전류의 값을

측정하고, 상기 값으로부터 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 결함이 있는지 여부를 판단하는 단계; 및

상기 판단 단계 후에, 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 각각 전기적으로 접속되도록 상기 도전막을 패터닝하여 제 1 픽셀 전극 및 제 2 픽셀 전극을 형성하는 단계를 포함하는, 디스플레이 패널 제조 방법.

### 청구항 95

디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공된 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 커버하도록 충간 절연막을 형성하는 단계;

상기 충간 절연막에 접촉 홀들(hole)을 형성하는 단계;

상기 접촉 홀들을 통해 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터의 소스 영역들 또는 드레인 영역들의 각각에 각각 접속된 제 1 접속 배선 및 제 2 접속 배선과, 상기 절연 표면과 접촉하는 측정 배선을 형성하는 단계;

상기 제 1 접속 배선, 상기 제 2 접속 배선 및 상기 측정 배선에 전기적으로 접속된 도전막을 형성하는 단계;

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터를 온 상태로 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값으로부터 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 결함이 있는지의 여부를 판단하는 단계; 및

상기 판단 단계 후에, 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 각각 전기적으로 접속되도록 상기 도전막을 패터닝하여 제 1 픽셀 전극 및 제 2 픽셀 전극을 형성하는 단계를 포함하는, 디스플레이 패널 제조 방법.

### 청구항 96

디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공되는 측정 배선과 절연 표면상에 제공되는 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터에 각각 전기적으로 접속된 제 1 픽셀 전극 및 제 2 픽셀 전극에 전기적으로 접속되는 검사 도전막을 형성하는 단계;

상기 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 온 상태에 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값으로부터 상기 제 1 박막 트랜지스터, 제 2 박막 트랜지스터, 상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극에 결함이 있는지의 여부를 판단하는 단계; 및

상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 제조 방법.

### 청구항 97

디스플레이 패널을 제조하는 방법에 있어서:

절연 표면상에 제공된 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 커버하도록 충간 절연막을 형성하는 단계;

상기 충간 절연막에 접촉 홀들을 형성하는 단계;

상기 접촉 홀들을 통해 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터의 소스 영역들 또는 드레인 영역들의 각각에 각각 접속된 제 1 접속 배선 및 제 2 접속 배선, 및 상기 절연 표면과 접촉하는 측정 배선을 형성하는 단계;

상기 제 1 접속 배선 및 상기 제 2 접속 배선에 전기적으로 접속된 도전막을 형성하는 단계;

상기 도전막을 패터닝함으로써 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 각각 전기적으로 접속되는 제 1 픽셀 전극 및 제 2 픽셀 전극을 형성하는 단계;

상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극 및 상기 측정 배선에 전기적으로 접속된 검사 도전막을 형성하는

단계;

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터를 온 상태로 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값으로부터 상기 제 1 박막 트랜지스터, 상기 제 2 박막 트랜지스터, 상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극에 결함이 있는지의 여부를 판단하는 단계; 및

상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 제조 방법.

### 청구항 98

제 94 항 또는 제 95 항에 있어서,

EL 층 및 대향 전극이, 상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극이 형성된 후 상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극상에 순서대로 적층되는, 디스플레이 패널 제조 방법.

### 청구항 99

제 96 항 또는 제 97 항에 있어서,

EL 층 및 대향 전극이, 상기 검사 도전막이 제거된 후 상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극상에 순서대로 적층되는, 디스플레이 패널 제조 방법.

### 청구항 100

제 96 항 또는 제 97 항에 있어서,

상기 검사 도전막은 유동체인, 디스플레이 패널 제조 방법.

### 청구항 101

디스플레이 패널을 제조하는 방법에 의해 형성된 디스플레이 패널에 있어서,

상기 방법은:

절연 표면상에 제공되는 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 측정 배선에 전기적으로 접속된 도전막을 형성하는 단계;

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터를 온 상태에 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값으로부터 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 결함이 있는지의 여부를 판단하는 단계; 및

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 각각 전기적으로 접속되도록 상기 도전막을 패터닝하여 제 1 픽셀 전극 및 제 2 픽셀 전극을 형성하는 단계를 포함하는, 디스플레이 패널.

### 청구항 102

디스플레이 패널을 제조하는 방법에 의해 형성된 디스플레이 패널에 있어서,

상기 방법은:

절연 표면상에 제공된 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 커버하도록 충간 절연막을 형성하는 단계;

상기 충간 절연막에 접촉 홀들을 형성하는 단계;

상기 접촉 홀들을 통해 상기 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터의 소스 영역들 또는 드레인 영역들의 각각에 각각 접속된 제 1 접속 배선 및 제 2 접속 배선, 및 상기 절연 표면과 접촉하는 측정 배선을 형성하는 단계;

상기 제 1 접속 배선, 상기 제 2 접속 배선 및 상기 측정 배선에 전기적으로 접속된 도전막을 형성하는 단계;

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터를 온 상태로 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값으로부터 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 결함이 있는지의 여부를 판단하는 단계; 및

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 각각 전기적으로 접속되도록 상기 도전막을 패터닝하여 제 1 픽셀 전극 및 제 2 픽셀 전극을 형성하는 단계를 포함하는, 디스플레이 패널.

#### 청구항 103

디스플레이 패널을 제조하는 방법에 의해 형성된 디스플레이 패널에 있어서,

상기 방법은:

절연 표면상에 제공되는 측정 배선과 절연 표면상에 제공되는 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터에 각각 전기적으로 접속된 제 1 픽셀 전극 및 제 2 픽셀 전극에 전기적으로 접속되는 검사 도전막을 형성하는 단계;

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터를 온 상태에 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값으로부터 상기 제 1 박막 트랜지스터, 상기 제 2 박막 트랜지스터, 상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극에 결함이 있는지의 여부를 판단하는 단계; 및

상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널

#### 청구항 104

디스플레이 패널을 제조하는 방법에 의해 형성된 디스플레이 패널에 있어서,

상기 방법은:

절연 표면상에 제공된 제 1 박막 트랜지스터 및 제 2 트랜지스터를 커버하도록 충간 절연막을 형성하는 단계;

상기 충간 절연막에 접촉 홀들을 형성하는 단계;

상기 접촉 홀들을 통해 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터의 소스 영역들 또는 드레인 영역들의 각각에 각각 접속된 제 1 접속 배선 및 제 2 접속 배선, 및 상기 절연 표면과 접촉하는 측정 배선을 형성하는 단계;

상기 제 1 접속 배선 및 상기 제 2 접속 배선에 전기적으로 접속된 도전막을 형성하는 단계;

상기 도전막을 패터닝함으로써 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터에 각각 전기적으로 접속된 제 1 픽셀 전극 및 제 2 픽셀 전극을 형성하는 단계;

상기 측정 배선 및 상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극에 전기적으로 접속된 검사 도전막을 형성하는 단계;

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터를 온 상태로 놓고, 상기 측정 배선에 흐르는 전류의 값을 측정하고, 상기 값으로부터 상기 제 1 박막 트랜지스터, 상기 제 2 박막 트랜지스터, 상기 제 1 픽셀 전극 및 상기 제 2 픽셀 전극에 결함이 있는지의 여부를 판단하는 단계; 및

상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널.

#### 청구항 105

제 94 항 내지 제 97 항 중 어느 한 항에 있어서,

부착된 구동기 회로를 포함하는 디스플레이 패널을 형성하도록, 소스 신호선 구동기 회로 및 게이트 신호선 구동기 회로를 상기 디스플레이 패널에 부착하는 단계를 더 포함하는, 디스플레이 패널 제조 방법.

#### 청구항 106

제 94 항 내지 제 97 항 중 어느 한 항에 있어서,

부착된 마이크로컴퓨터, 제어기 및 구동기 회로를 포함하는 디스플레이 패널을 형성하도록, 소스 신호선 구동기 회로, 게이트 신호선 구동기 회로, 제어기 및 마이크로컴퓨터를 상기 디스플레이 패널에 부착하는 단계를 더 포함하는, 디스플레이 패널 제조 방법.

#### 청구항 107

제 94 항 내지 제 97 항 중 어느 한 항에 있어서,

상기 디스플레이 패널을 전자 디바이스에 장착하는 단계를 더 포함하고,

상기 전자 디바이스는 EL 디스플레이, 비디오 카메라, 디지털 카메라, 고글 (goggle) 디스플레이 디바이스, 네비게이션 (navigation) 시스템, 사운드-재생 시스템, 노트북형 개인용 컴퓨터, 휴대용 정보 단말기, 및 DVD 디바이스로 구성된 그룹으로부터 선택되는, 디스플레이 패널 제조 방법.

### 청구항 108

제 101 항 내지 제 104 항 중 어느 한 항에 있어서,

상기 디스플레이 패널은 EL 패널인, 디스플레이 패널.

### 청구항 109

제 108 항에 있어서,

상기 EL 패널은, 무기 EL 물질을 포함하는 EL 층을 포함하는, 디스플레이 패널.

### 청구항 110

제 108 항에 있어서,

상기 EL 패널은, 유기 EL 물질을 포함하는 EL 층을 포함하는, 디스플레이 패널.

### 청구항 111

제 101 항 내지 제 104 항에 있어서,

상기 디스플레이 패널은 액정 패널인, 디스플레이 패널.

### 청구항 112

박막 트랜지스터와 상기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 박막 트랜지스터를 온 상태로 놓는 단계;

상기 도전막에 흐르는 전류의 값을 측정하는 단계; 및

상기 값으로부터 상기 박막 트랜지스터에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 검사 방법.

### 청구항 113

배선, 박막 트랜지스터 및 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에 상기 배선의 전위를 제어하여 상기 박막 트랜지스터를 온 상태로 놓는 단계;

상기 도전막에 흐르는 전류의 값을 측정하는 단계; 및

상기 값으로부터 상기 박막 트랜지스터 및 상기 배선에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 검사 방법.

### 청구항 114

스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 전원 공급선의 전위를 제어하고, 상기 게이트 신호선의 전위를 제어하여 상기 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 도전막에 흐르는 전류의 값을 측정하는 단계; 및

상기 값으로부터 상기 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 게이트 신호선, 및 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 검사 방법.

### 청구항 115

스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터의 드레인 영역에 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 전원 공급선의 전위를 제어하고, 상기 게이트 신호선의 전위를 제어하여 상기 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 도전막에 흐르는 전류의 값을 측정하는 단계; 및

상기 값으로부터 상기 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 게이트 신호선, 및 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 검사 방법.

### 청구항 116

제 1 스위칭 박막 트랜지스터, 제 2 스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 제 1 게이트 신호선, 제 2 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 전원 공급선의 전위를 제어하고, 상기 제 1 게이트 신호선의 전위를 제어하여 상기 제 1 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 도전막에 흐르는 전류의 제 1 값을 측정하는 단계;

도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 제 2 게이트 신호선의 전위를 제어하여 상기 제 2 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 EL 구동기 박막 트랜지스터를 오프 상태로 놓는 단계;

상기 도전막에 흐르는 전류의 제 2 값을 측정하는 단계;

상기 제 1 값 및 상기 제 2 값으로부터 상기 제 1 스위칭 박막 트랜지스터, 상기 제 2 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 제 1 게이트 신호선, 상기 제 2 게이트 신호선, 및 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 검사 방법.

### 청구항 117

제 1 스위칭 박막 트랜지스터, 제 2 스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 제 1 게이트 신호선, 제 2 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터의 드레인 영역에 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 전원 공급선의 전위를 제어하고, 상기 제 1 게이트 신호선의 전위를 제어하여 상기 제 1 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위

를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 도전막에 흐르는 전류의 제 1 값을 측정하는 단계;

도전막을 패터닝함으로써 상기 픽셀 전극을 형성하기 전에, 상기 제 2 게이트 신호선의 전위를 제어하여 상기 제 2 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 EL 구동기 박막 트랜지스터를 오프 상태로 놓는 단계;

상기 도전막에 흐르는 전류의 제 2 값을 측정하는 단계;

상기 제 1 값 및 상기 제 2 값으로부터 상기 제 1 스위칭 박막 트랜지스터, 상기 제 2 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 제 1 게이트 신호선, 상기 제 2 게이트 신호선, 및 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계를 포함하고,

상기 단계들은 상기 복수의 픽셀들 모두에 대해 순서대로 실행되는, 디스플레이 패널 검사 방법.

### 청구항 118

제 112 항 내지 제 117 항 중 어느 한 항에 있어서,

EL층 및 대향 전극은, 상기 픽셀 전극이 형성된 후 상기 픽셀 전극상에 순서대로 적층되는, 디스플레이 패널 검사 방법.

### 청구항 119

제 112 항 내지 제 115 항 중 어느 한 항에 있어서,

상기 도전막에 흐르는 상기 전류의 값은, 상기 도전막에 접속된 측정 배선에 흐르는 전류의 값을 측정함으로써 구해지는, 디스플레이 패널 검사 방법.

### 청구항 120

제 116 항 또는 제 117 항에 있어서,

상기 도전막에 흐르는 상기 전류의 제 1 값 및 제 2 값은, 상기 도전막에 접속된 측정 배선에 흐르는 전류의 값들을 각각 측정함으로써 구해지는, 디스플레이 패널 검사 방법.

### 청구항 121

박막 트랜지스터와 상기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들을 검사 도전막에 의해 전기적으로 접속하는 단계;

상기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 값을 측정하는 단계;

상기 값으로부터 상기 박막 트랜지스터에 결함이 있는지의 여부를 판단하는 단계; 및

상기 판단 단계가 상기 복수의 픽셀들 모두에 대해 순서대로 실행된 후, 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 검사 방법.

### 청구항 122

배선, 박막 트랜지스터, 및 상기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들을 검사 도전막에 의해 전기적으로 접속하는 단계;

상기 배선의 전위를 제어하여 상기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 값을 측정하는 단계;

상기 값으로부터 상기 배선 및 상기 박막 트랜지스터에 결함이 있는지의 여부를 판단하는 단계; 및

상기 판단 단계가 상기 복수의 픽셀들 모두에 대해 순서대로 실행된 후 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 검사 방법.

함하는, 디스플레이 패널 검사 방법.

### 청구항 123

스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들을 검사 도전막에 의해 전기적으로 접속하는 단계;

상기 전원 공급선의 전위를 제어하고, 상기 게이트 신호선의 전위를 제어하여 상기 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 값을 측정하는 단계;

상기 값으로부터 상기 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 게이트 신호선, 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계; 및

상기 판단 단계가 상기 복수의 픽셀들 모두에 대해 순서대로 실행된 후 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 검사 방법.

### 청구항 124

스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터의 드레인 영역에 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들을 검사 도전막에 의해 전기적으로 접속하는 단계;

상기 전원 공급선의 전위를 제어하고, 상기 게이트 신호선의 전위를 제어하여 상기 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 값을 측정하는 단계;

상기 값으로부터 상기 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 게이트 신호선, 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계; 및

상기 판단 단계가 상기 복수의 픽셀들 모두에 대해 순서대로 실행된 후 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 검사 방법.

### 청구항 125

제 1 스위칭 박막 트랜지스터, 제 2 스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 제 1 게이트 신호선, 제 2 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터에 전기적으로 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들을 검사 도전막에 의해 전기적으로 접속하는 단계;

상기 전원 공급선의 전위를 제어하고, 상기 제 1 게이트 신호선의 전위를 제어하여 상기 제 1 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 제 1 값을 측정하는 단계;

상기 제 2 게이트 신호선의 전위를 제어하여 상기 제 2 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 EL 구동기 박막 트랜지스터를 오프 상태로 놓는 단계;

상기 검사 도전막에 흐르는 전류의 제 2 값을 측정하는 단계;

상기 제 1 값을 및 상기 제 2 값을으로부터 상기 제 1 스위칭 박막 트랜지스터, 상기 제 2 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 제 1 게이트 신호선, 상기 제 2 게이트 신호선, 및

상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계; 및

상기 판단 단계가 상기 복수의 픽셀들 모두에 대해 순서대로 실행된 후 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 검사 방법.

### 청구항 126

제 1 스위칭 박막 트랜지스터, 제 2 스위칭 박막 트랜지스터, EL 구동기 박막 트랜지스터, 소스 신호선, 제 1 게이트 신호선, 제 2 게이트 신호선, 전원 공급선, 및 상기 EL 구동기 박막 트랜지스터의 드레인 영역에 접속된 픽셀 전극을 각각 포함하는 복수의 픽셀들을 포함하는 디스플레이 패널의 제조 공정에서 상기 디스플레이 패널을 검사하는 방법에 있어서:

상기 복수의 픽셀들의 모든 픽셀 전극들을 검사 도전막에 의해 전기적으로 접속하는 단계;

상기 전원 공급선의 전위를 제어하고, 상기 제 1 게이트 신호선의 전위를 제어하여 상기 제 1 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 소스 신호선의 전위를 제어하여 상기 EL 구동기 박막 트랜지스터를 온 상태에 놓는 단계;

상기 검사 도전막에 흐르는 전류의 제 1 값을 측정하는 단계;

상기 제 2 게이트 신호선의 전위를 제어하여 상기 제 2 스위칭 박막 트랜지스터를 온 상태에 놓고, 상기 EL 구동기 박막 트랜지스터를 오프 상태로 놓는 단계;

상기 검사 도전막에 흐르는 전류의 제 2 값을 측정하는 단계;

상기 제 1 값 및 상기 제 2 값으로부터 상기 제 1 스위칭 박막 트랜지스터, 상기 제 2 스위칭 박막 트랜지스터, 상기 EL 구동기 박막 트랜지스터, 상기 소스 신호선, 상기 제 1 게이트 신호선, 상기 제 2 게이트 신호선, 및 상기 전원 공급선에 결함이 있는지의 여부를 판단하는 단계; 및

상기 판단 단계가 상기 복수의 픽셀들 모두에 대해 순서대로 실행된 후 상기 검사 도전막을 제거하는 단계를 포함하는, 디스플레이 패널 검사 방법.

### 청구항 127

제 121 항 내지 제 126 항 중 어느 한 항에 있어서,

EL층 및 대향 전극은, 상기 검사 도전막이 제거된 후 상기 픽셀 전극상에 순서대로 적층되는, 디스플레이 패널 검사 방법.

### 청구항 128

제 121 항 내지 제 124 항 중 어느 한 항에 있어서,

상기 검사 도전막에 흐르는 상기 전류의 값은, 상기 검사 도전막에 접속된 측정 배선에 흐르는 전류의 값을 측정함으로써 구해지는, 디스플레이 패널 검사 방법.

### 청구항 129

제 125 항 또는 제 126 항에 있어서,

상기 검사 도전막에 흐르는 상기 전류의 제 1 값 및 제 2 값은, 상기 검사 도전막에 접속된 측정 배선에 흐르는 전류의 값들을 각각 측정함으로써 구해지는, 디스플레이 패널 검사 방법.

### 청구항 130

제 121 항 내지 제 126 항 중 어느 한 항에 있어서,

상기 검사 도전막은 유동체인, 디스플레이 패널 검사 방법.

## 명세서

### 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

&lt;25&gt;

#### 기술 분야

본 발명은 EL (Electro Luminescence) 소자가 기판에 형성된 전자 디스플레이에서 EL 소자의 형성 전에 픽셀 (pixel) 부분이 정상적으로 동작할 수 있는지의 여부를 검사하는 방법, 그 검사 방법을 포함하는 전자 디스플레이의 제조 방법, 그 검사 방법으로 형성된 디스플레이 패널 (display panel), 및 그 디스플레이 패널을 포함하는 전자 디바이스에 관한 것이다. 특히, 본 발명은 반도체 소자 (반도체 박막을 사용하는 소자)를 사용하여 EL 디스플레이에 EL 소자를 형성하기 전에 픽셀부가 정상적으로 동작할 수 있는지의 여부를 검사하는 방법 (검사 방법), 그 검사 방법을 포함하는 EL 디스플레이의 제조 방법, 그 검사 방법으로 형성된 EL 패널, 및 그 EL 패널을 포함하는 반도체 디바이스에 관한 것이다.

&lt;26&gt;

#### 종래 기술

기판에 TFT를 형성하는 기술은 최근에 많이 진보되었고, 능동 매트릭스형 (active matrix type) 전자 디스플레이 디바이스에 대한 응용의 개발이 진행 중이다. 특히, 폴리실리콘막을 사용하는 TFT는 종래의 비결정질 실리콘막을 사용하는 TFT 보다 더 높은 전계 효과 이동성 (또한 이동성이라 칭하여지는)을 가지므로, 고속 동작이 가능하다. 그러므로, 종래 기판 외부에 제공된 구동기 회로에 의해 실행되었던 픽셀의 제어를 픽셀과 동일한 기판상에 형성된 구동기 회로에 의해 실행하는 것이 가능해진다.

&lt;27&gt;

상기 종류의 능동 매트릭스 전자 디스플레이 디바이스는 동일한 기판상에 다양한 회로 및 소자를 설립함으로써 낮아진 제조 비용, 더 작은 전자 디스플레이 크기, 증가된 산출량, 및 감소된 처리량과 같이 많은 이점을 갖는다.

&lt;28&gt;

부가하여, 자체 발광 소자로 EL 소자를 포함하는 능동 매트릭스형 EL 디스플레이 디바이스에 대한 연구가 고무되고 있다. EL 디스플레이 디바이스는 또한 유기 EL 디스플레이 (organic EL display, OELD) 또는 유기 발광 다이오드 (organic light emitting diode, OLED)라 칭하여진다.

&lt;29&gt;

EL 디스플레이 디바이스는 자체 발광형으로, 액정 디스플레이 디바이스와 다르다. EL 소자는 EL층이 한쌍의 전극 사이에 샌드위치형으로 위치하는 구조를 갖고, EL층은 일반적으로 적층 구조를 갖는다. Eastman Kodak사의 Tang에 의해 제안된 "홀 (hole) 운송층, 발광층, 및 전자 운송층"의 적층 구조가 전형적인 구조로 주어질 수 있다. 이 구조는 매우 높은 발광 효율성을 갖고, 연구 및 개발이 진행중인 거의 모든 EL 디스플레이 디바이스는 이 구조를 사용한다.

&lt;30&gt;

또한, 픽셀 전극상에 순서대로 형성된 "홀 주입층, 홀 운송층, 발광층, 및 전자 운송층" 또는 픽셀 전극상에 순서대로 형성된 "홀 주입층, 홀 운송층, 발광층, 전자 운송층, 및 전자 주입층"과 같은 부가 구조가 또한 사용될 수 있다. EL층에는 형광 색소와 같은 원소가 도핑 (doping)될 수 있다.

&lt;31&gt;

본 명세서에서는 양극 (anode)과 음극 (cathode) 사이에 형성된 모든 층이 EL층으로 정의됨을 주목한다. 특별히, EL층에는 발광층, 홀 주입층, 홀 운송층, 전자 운송층, 및 전자 주입층과 같은 층이 포함된다.

&lt;32&gt;

상기 구조에서, 한쌍의 전극으로부터 EL층에 소정의 전압을 인가함으로써 EL층에 직류 전계가 발생되므로, 발광층에서는 캐리어 (carrier) 재조합이 일어나 광이 조사된다. EL층에서는 단일 여기 상태 (형광 (fluorescence))로부터 기저 상태로 복귀할 때와 삼중 여기 상태 (인광 (phosphorescence))로부터 기저 상태로 복귀할 때 전계 발광이 있고, 두 종류의 발광 또는 둘 중 한 종류의 발광이 사용될 수 있다.

&lt;33&gt;

양극, EL층, 및 음극으로 형성된 소자는 본 명세서내에서 EL 소자라 칭하여짐을 주목한다. 더욱이, EL 소자의 발광은 EL 소자를 구동하는 것이라 칭하여진다.

&lt;34&gt;

EL층의 변형은 열, 광, 습기, 및 산소와 같은 요소에 의해 촉진되므로, EL 소자는 일반적으로 능동 매트릭스 EL 디스플레이의 제조 동안 픽셀 전극에 배선 (wiring) 및 TFT를 형성한 후에 형성된다.

&lt;35&gt;

EL 소자의 형성 이후, EL소자가 형성된 기판 (EL 패널)과 커버 물질은 EL 소자가 대기에 노출되지 않도록 봉합 물질 등을 사용하여 부착되고 봉합된다 (패키지화 (package)된다).

&lt;36&gt;

접속기 (connector) (FPC 또는 TAB와 같은)는 패키지 처리에 의해 밀폐성을 증가시킨 이후, 기판에 형성되고 기판으로부터 나오는 단자나 소자를 외부 신호 단자에 접속시키기 위해 부착되어, 능동 매트릭스 EL 디스플레이가

완성된다.

- <37> 능동 매트릭스 EL 디스플레이에서 EL 소자의 전극쌍으로부터 EL층에 인가되는 전압은 각 픽셀에 형성된 TFT에 의해 제어된다. 그러므로, 픽셀부의 TFT가 스위칭 소자로 동작하지 않거나 배선이 절단 또는 단락되면, 소정의 전압은 EL 소자의 EL층에 인가될 수 없다. 그 경우, 픽셀은 원하는 등급 순차를 디스플레이할 수 없다.
- <38> 상기와 같은 결함이 EL 소자의 발광을 제어하기 위한 배선이나 TFT에 존재하면, EL 디스플레이가 완성되어 실제 디스플레이가 실행되기 전에 결함의 존재를 확인하기가 어렵다. 그러므로, 양호한 제품에서 제품이 되지 못하는 EL 패널을 구별하기 위해서는 EL 소자를 형성하고, 패키지화하고, 접속기를 부착하여, EL 디스플레이를 완성할 필요가 있다. 이 경우에는 EL 소자를 형성하고, 패키지화하고, 접속기를 접속하는 처리가 낭비되므로, 제조 시간 및 비용이 감소될 수 없다. 또한, 복수의 면의 기판으로부터 취해진 기판을 사용하여 형성된 EL 패널에서도, 패키지화 처리 및 접속기 부착이 낭비되어, 시간 및 비용이 유사하게 감소될 수 없다.

### 발명이 이루고자 하는 기술적 과제

- <39> 능동 매트릭스 EL 디스플레이 보다 전에 대량 생산되었던 능동 매트릭스 액정 디스플레이에서는 픽셀 전극을 포함하는 패널(액정 패널)과 대향 전극을 포함하는 기판 사이에 액정을 주입함으로써 액정 디스플레이를 완성하기 전에, 픽셀부에 배선 및 TFT를 형성한 이후 각 픽셀의 캐패시터에 전하가 누적된다. 픽셀부에 결함이 존재하는지의 여부는 각 픽셀에 대한 전하량을 측정함으로써 확인된다.
- <40> 그러나, 능동 매트릭스 EL 디스플레이의 경우에는 각 픽셀에 일반적으로 2개 이상의 TFT가 형성된다. 또한, EL 소자의 전극 중 하나(픽셀 전극)가 TFT를 통해 캐패시터에 접속되는 경우도 있다. 이 경우에는 캐패시터에 누적되는 전하량이 측정되더라도, 캐패시터와 픽셀 전극 사이에 접속된 배선 및 TFT에 결함이 있는지의 여부를 확인하기 어려워진다.
- <41> 능동 매트릭스 EL 디스플레이의 대량 생산을 위해서는 EL 디스플레이를 완성하기 전에, 픽셀부에서 배선 및 TFT에 결함이 있는지의 여부, 다른 말로 하면 소정의 전압이 각 픽셀의 EL 소자의 픽셀 전극에 인가될 수 있는지의 여부를 결정하는 검사 방법이 필요하다.

### 발명의 구성 및 작용

- <42> 본 발명에 설명되는 EL 패널(panel)을 검사하는 제 1 방법에서, EL 소자의 픽셀 전극(pixel electrode)이 되는 전도성을 갖는 막(도전막)은 픽셀부에 배선(wiring) 및 TFT를 형성한 이후 전체 픽셀부상에 형성된다. 도전막은 픽셀부에서 배선 및 TFT가 단락되지 않도록 그들 사이에 충간 절연막을 샌드위치형으로 위치시키면서 배선 또는 TFT 위에 형성되어야 한다. 도전막은 각 픽셀 중 적어도 하나의 TFT의 소스 영역 또는 드레인 영역에 접속되도록 형성된다.
- <43> 이어서, 각 픽셀의 배선에는 실제 영상을 디스플레이하는데 요구되는 전위가 부여된다. 본 명세서에서, 실제 영상을 디스플레이하는데 요구되는 전위가 픽셀내의 배선, 즉 픽셀에 제공된 EL 소자의 구동을 제어하는 전위가 부여되는 배선에 부여되는 상태는 픽셀이 선택된 상태인 것으로 칭하여짐을 주목한다.
- <44> 도전막에 흐르는 전류는 각 픽셀이 선택될 때 측정된다. 측정된 전류값이 소정의 범위내에 드는지의 여부를 결정함으로써, 각 픽셀의 배선 및 TFT에 결함이 존재하는지의 여부를 판단하는 것이 가능하다.
- <45> 예를 들어, 특정한 픽셀이 선택될 때 도전막을 흐르는 전류가 소정의 범위 밖에 있으면, 픽셀의 TFT가 스위칭 소자로 동작하지 못하는 것, 배선이 절단된 것, 또는 단락된 것과 같은 결함이 존재하는 것으로 결정될 수 있다. 역으로, 특정한 픽셀이 선택될 때 도전막을 흐르는 전류가 소정의 범위내에 들면, 픽셀의 TFT 및 배선은 정상적으로 동작하는 것으로 볼 수 있다.
- <46> TFT 및 배선이 정상적으로 동작하는 것으로 생각될 수 있는 전류값의 범위는 작동자에 의해 적절하게 설정될 수 있음을 주목한다. 또한, 검사 결과로, 결함이 존재하는 픽셀(결함 픽셀)의 수가 n 보다 크거나 같을 때, EL 패널은 결함 제품인 것으로 결정될 수 있다. 결함 제품을 나타내는 결함 픽셀의 수 n은 작동자에 의해 적절하게 설정될 수 있다.
- <47> 도전막은 제 1 검사 방법으로 검사가 완료된 이후 패터닝함으로써 픽셀 전극으로 형성될 수 있다. 그러므로, 검사를 실행하기 위해 처리 단계의 수를 증가시킬 필요가 없다.
- <48> 부가하여, 본 발명의 제 1 검사 방법은 또한 액정 디스플레이에 인가될 수 있다. 액정 디스플레이에서, 픽셀

전극이 되는 도전을 갖는 도전막은 배선 및 TFT를 형성한 이후 액정 패널의 전체 픽셀부에 형성된다. 이 경우에는 픽셀부에서 배선 및 TFT가 도전막으로 인해 단락되지 않도록 충간 절연막을 샌드위치형으로 위치시키면서 배선 또는 TFT상에 도전막을 형성할 필요가 있다.

- <49> 픽셀부를 포함하는 패널은 본 명세서에서 디스플레이 패널이라 칭하여지고, EL 패널 및 액정 패널은 모두 디스플레이 패널 범주내에 포함됨을 주목한다.
- <50> 이어서, 픽셀의 배선에 실제 디스플레이를 실행하는데 요구되는 전위를 인가함으로써 모든 픽셀이 순서대로 선택된다. 액정 패널의 경우, 픽셀의 배선은 각 픽셀에서 픽셀 전극과 대향 전극 사이에 제공되는 액정을 구동시키기 위해 전위가 인가되는 배선을 나타냄을 주목한다.
- <51> 각 픽셀이 선택될 때, 픽셀 전극이 되는 도전막 또는 픽셀 전극에 흐르는 전류의 값이 측정된다. 각 픽셀의 배선 및 TFT에 결함이 존재하는지의 여부는 측정된 전류값이 고정 범위내에 드는지의 여부를 결정함으로써 판단될 수 있다.
- <52> 액정은 검사가 완료된 이후 액정 패널과 대향 전극을 포함하는 대향 기판 사이에 주입되어, 액정 디스플레이가 완성된다. 상기 구조에 따라, 액정 디스플레이를 완성하기 전에 결함이 픽셀부에 존재하는지 여부를 검사하는 것이 가능해진다. 그러므로, 액정을 주입하는 처리 및 주입 이후 접속기를 부착하는 처리가 생략될 수 있어, 시간 및 비용이 모두 감소될 수 있다. 또한, 대향 전극을 포함하는 대향 기판이 낭비되지 않는다.
- <53> 본 발명에 설명되는 EL 패널을 검사하는 제 2 방법에서, 검사되는 모든 픽셀의 픽셀 전극은 EL 소자의 배선, TFT, 및 픽셀 전극이 픽셀부에 형성된 후 형성되는 검사에 사용되고 도전을 갖는 막 (검사 도전막)에 의해 전기적으로 접속된다.
- <54> 이어서, 실제 영상을 디스플레이하는데 요구되는 전위가 각 픽셀의 배선에 부여된다.
- <55> 검사 도전막에 흐르는 전류는 각 픽셀이 선택될 때 측정된다. 측정된 전류값이 소정의 범위내에 드는지의 여부를 결정함으로써, 각 픽셀의 배선 및 TFT에서 결함이 존재하는지의 여부를 판단하는 것이 가능하다.
- <56> 예를 들어, 특정한 픽셀이 선택될 때 검사 도전막에 흐르는 전류가 소정의 범위 밖에 있으면, 픽셀의 TFT가 스위칭 소자로 동작하지 못하는 것, 배선이 절단된 것, 또는 단락된 것과 같은 결함이 존재하는 것으로 결정될 수 있다. 역으로, 특정한 픽셀이 선택될 때 검사 도전막을 흐르는 전류가 소정의 범위내에 들면, 픽셀의 TFT 및 배선은 정상적으로 동작하는 것으로 볼 수 있다.
- <57> TFT 및 배선이 정상적으로 동작하는 것으로 생각될 수 있는 전류값의 범위는 작동자에 의해 적절하게 설정될 수 있음을 주목한다. 또한, 검사 결과로, 결함이 존재하는 픽셀 (결함 픽셀)의 수가 n 보다 크거나 같을 때, EL 패널은 결함 제품인 것으로 결정될 수 있다. 결함 제품을 나타내는 결함 픽셀의 수 n은 작동자에 의해 적절하게 설정될 수 있다.
- <58> 검사 도전막은 검사가 완료된 후에 제거된다.
- <59> 본 발명의 검사 방법에 따라 EL 패널을 EL 디스플레이로 완성하기 전에 결함이 있는 EL 패널과 양호한 EL 패널을 구별하는 것이 가능해진다. 그러므로, 실제 제품이 되지 못하는 결함이 있는 EL 패널을 EL 디스플레이로 완성할 필요가 없어진다. 따라서 결함이 있는 EL 패널에 대해서는 EL 소자를 형성하고, 패키지화하고, 접속기를 부착하는 처리가 생략될 수 있어, 시간 및 비용이 감소될 수 있다. 또한, 다수 면의 기판을 사용하여 EL 패널이 형성된 경우에 패키지 처리 및 접속기 부착 처리가 또한 생략될 수 있어, 시간 및 비용이 유사하게 감소될 수 있다.
- <60> 본 발명의 검사 방법은 EL 소자로부터 조사되는 광을 제어하기 위한 복수의 TFT가 각 픽셀에 형성된 EL 패널에만 적용될 수 있는 것이 아님을 주목한다. EL 패널이 EL 소자로부터 조사되는 광을 제어하기 위해 형성된 TFT를 각 픽셀에 단 하나만을 갖더라도, 본 발명의 검사 방법을 사용하여 양호한 제품과 결함이 있는 제품을 구별하는 것이 또한 가능하다.
- <61> 부가하여, 본 발명의 제 2 검사 방법은 또한 액정 디스플레이에도 적용될 수 있다. 액정 디스플레이에서는 검사되는 픽셀의 모든 픽셀 전극이 액정 패널의 픽셀부에 배선, 픽셀 전극, 및 TFT를 형성한 이후 도전을 갖는 검사 도전막에 의해 전기적으로 접속된다.
- <62> 모든 픽셀은 픽셀의 배선에 실제 디스플레이를 실행하는데 요구되는 전위를 인가함으로써 순서대로 선택된다. 액정 패널의 경우에, 픽셀의 배선은 각 픽셀에서 픽셀 전극과 대향 전극 사이에 제공된 액정을 구동하기 위해

전위가 인가되는 배선을 나타냄을 주목한다.

- <63> 픽셀 전극 또는 검사 도전막에 흐르는 전류의 값은 각 픽셀이 선택될 때 측정된다. 각 픽셀의 배선 및 TFT에 결함이 존재하는지의 여부는 측정된 전류값이 고정된 범위내에 드는지의 여부를 결정함으로써 판단될 수 있다.
- <64> 액정은 검사가 완료된 이후 액정 패널과 대향 전극을 포함하는 대향 기판 사이에 주입되어, 액정 디스플레이가 완성된다. 상기 구조에 따라, 액정 디스플레이를 완성하기 전에 픽셀부에 결함이 존재하는지 여부를 검사하는 것이 가능해진다. 그러므로, 검사 후에 액정을 검사하는 처리 및 접속기를 부착하는 처리가 생략될 수 있어, 시간 및 비용이 모두 감소될 수 있다. 또한, 대향 전극을 포함하는 대향 기판이 낭비되지 않는다.
- <65> <실시예 모드>
- <66> 본 발명에 따라 EL 패널 (panel)을 검사하는 제 1 방법은 도 1을 사용하여 상세히 설명된다. 도 1은 검사하는 동안 EL 패널의 상단 표면도이고, 도면에 도시된 바와 같이, 소스 신호선 구동기 회로(101), 게이트 신호선 구동기 회로(102), 및 픽셀 (pixel) 부분(103)이 형성된다. 픽셀 전극(103)에서 소스 신호선 중 하나, 게이트 신호선 중 하나, 및 전류 소스 공급선 중 하나는 픽셀(104)을 나타낸다. 도전막(105)은 픽셀부(103)상에 형성된다.
- <67> 도전막(105)은 픽셀 전극을 형성하기 위한 막임을 주목한다. 도전막(105)은 픽셀부(103)에 형성된 소스 신호선, 게이트 신호선, 또는 전원 공급선과 단락 회로를 형성하지 않고 형성될 필요가 있고, 실시예 모드에서는 도전막(105)이 픽셀부(103)상에 형성된 충간 절연막 (도면에 도시되지 않음)상에 형성된다.
- <68> 외부 접속 배선 (wiring)(107)은 접속기 (connector)를 통해 EL 패널의 외부로부터 소스 신호선 구동기 회로 (101) 또는 게이트 신호선 구동기 회로(102)에 신호를 입력하기 위한 배선이다.
- <69> 도전막(105)은 측정 배선(106)을 통해 EL 패널 밖에서 전류 미터에 접속된다. 측정 배선(106)은 도전성을 갖는 물질을 사용하여 형성될 수 있다. 도전막(105)에 흐르는 전류는 검산점 (prove point)에서 측정된다.
- <70> 본 발명에 따라 EL 패널을 검사하는 제 2 방법은 다음에 도 2를 사용하여 상세히 설명된다. 도 2는 검사하는 동안 EL 패널의 상단 표면도이고, 도면에 도시된 바와 같이, 소스 신호선 구동기 회로(111), 게이트 신호선 구동기 회로(112), 및 픽셀부(113)가 형성된다. 픽셀 전극(113)에서 소스 신호선 중 하나, 게이트 신호선 중 하나, 및 전류 소스 공급선 중 하나를 포함하는 영역은 픽셀(114)을 나타낸다. 검사 도전막(115)은 픽셀부(113)에 형성된다.
- <71> 검사 도전막(115)은 모든 픽셀(114)의 픽셀 전극을 전기적으로 접속시키기 위한 막임을 주목한다. 검사 도전막 (115)은 픽셀 전극(113)에 형성된 소스 신호선, 게이트 신호선, 또는 전원 공급선과 단락 회로를 형성하지 않도록 형성될 필요가 있다.
- <72> 검사 도전막(115)으로 사용되는 물질은 전도성을 갖고, 검사 도전막만이 검사 이후 제거될 수 있음이 매우 중요하다. 검사 도전막으로 사용되는 물질로는 전도성을 갖는 합성 수지 또는 전도성 물질과 혼합된 합성 수지가 사용될 수 있다. 전자의 예로는 폴리아세틸렌 (polyacethylene) 및 폴리비닐 카바졸 (polyvinyl carbazole)이 포함된다. 후자로는 Au, Ag, Cu, Ni, 카본 블랙 (carbon black), 및 그레파이트 (graphite)와 같은 전도성 가루나 호일 (foil) 또는 금속 섬유 및 탄소 섬유와 같은 전도성 섬유가 폴리이미드 (polyimide), 아크릴 (acrylic), 폴리이미드 아미드 (polyimide amide), BCB (benzocyclobutene), 폴리에틸렌 (polyethylene), 폴리스티렌 (polystyrene), 폴리비닐 클로라이드 (polyvinyl chloride), 및 폴라아미드 (polyamide)와 같은 합성 수지로 대량 혼합되는 등방성 전도성 물질을 사용하는 것이 가능하다. 또한, 전도성을 갖는 합성 수지에 금속 염이 부가될 수 있다.
- <73> 부가하여, 픽셀 전극을 부식시키지 않고 습식 에칭 (wet etching)에 의해 제거될 수 있는 물질이라면, 검사 도전막으로 금속이 사용될 수도 있다.
- <74> 결정화된 ITO가 픽셀 전극으로 사용되면, 검사 도전막으로 비결정질 ITO를 사용하는 것도 가능하다. 결정화된 ITO는 습식 에칭에 의해 영향을 받지 않으므로, 검사 도전막으로 사용되는 비결정질 ITO만이 검사가 완료된 이후 습식 에칭에 의해 제거된다.
- <75> 외부 접속 배선(117)은 EL 패널 밖에서부터 접속기를 통해 소스 신호선 구동기 회로(111) 또는 게이트 신호선 구동기 회로(112)에 신호를 입력하기 위한 배선이다.
- <76> 검사 도전막(115)은 측정 배선(116)을 통해 EL 패널 밖의 전류 미터에 접속된다. 측정 배선(116)은 전도성을

갖는 물질을 사용하여 형성될 수 있다. 검사 도전막(115)에 흐르는 전류는 검산점에서 측정된다.

<77> 도 1에 도시된 픽셀부(103)의 회로도는 도 3에 도시된다. 픽셀부(113)는 픽셀부(103)와 동일한 회로도를 가지므로, 도 3이 참고될 수 있음을 주목한다. 게이트 신호선(G1 내지 Gy) 중 하나, 소스 신호선(S1 내지 Sx) 중 하나, 및 전원 공급선(V1 내지 Vx) 중 하나를 갖는 영역은 픽셀(104) (또는 픽셀(114))이다. 복수의 픽셀(104)은 픽셀부(103) (또는 픽셀부(113))에 매트릭스 형상으로 배열된다.

<78> 선택 신호가 게이트 신호선(102) (또는 112)으로부터 입력되는 게이트 신호선(G1 내지 Gy)은 각 픽셀의 스위칭 TFT(201)의 게이트 전극에 접속된다. 또한, 각 픽셀의 스위칭 TFT(201)에서 소스 영역 및 드레인 영역 중 하나는 소스 신호선(S1 내지 Sx) 중 하나에 접속되고, 다른 하나는 각 픽셀의 EL 구동기 TFT(202)의 게이트 전극 및 각 픽셀의 캐패시터(203)에 접속된다. 아날로그 비디오 신호는 소스 신호선 구동기 회로(101) (또는 111)로부터 소스 신호선(S1 내지 Sx)에 입력된다.

<79> 캐패시터(203)는 스위칭 TFT(201)가 오프 상태일 때 EL 구동기 TFT(202)의 게이트 전압 (게이트 전극과 소스 영역 사이의 전위차)을 저장하기 위해 형성된다. 비록 실시예 모드에서는 캐패시터(203)가 형성된 구조가 도시되지만, 본 발명은 이 구조에 제한되지 않고, 캐패시터(203)가 형성되지 않은 구조도 사용될 수 있음을 주목한다.

<80> 각 픽셀의 EL 구동기 TFT(202)의 소스 영역은 전원 공급선(V1 내지 Vx)에 접속된다. 전원 공급선(V1 내지 Vx)의 전위는 본 명세서에서 전원 전위라 칭하여진다. 전원 전위는 EL 패널에 외부적으로 부착된 IC 등으로 형성된 전원에 의해 부여된다. 또한, 전원 공급선(V1 내지 Vx)은 각 픽셀의 캐패시터(203)에 접속된다. 각 픽셀(104) (또는 114)의 EL 구동기 TFT(202)의 드레인 영역은 모두 도전막(105) (도 2에 도시된 픽셀에서는 검사 도전막(115))에 의해 전기적으로 접속된다. 도전막(105) (도 2에 도시된 픽셀에서는 검사 도전막(115))에 흐르는 전류는 검산점에서 측정된다.

<81> 제 1 및 제 2 검사 방법으로 검산점에서 전류를 측정하는 과정은 이후 도 4a 및 도 4b를 사용하여 설명된다.

<82> 도 3에 도시된 픽셀부(103) (또는 픽셀부(113))에서 픽셀(104) (또는 픽셀(114))의 배열은 간단히 도 4a에 도시된다. 팔호 안의 좌측 숫자는 픽셀의 소스 신호선의 번호를 나타내고, 우측 숫자는 픽셀의 게이트 신호선의 번호를 나타낸다. 예를 들어, (x,y)는 소스 신호선 Sx 및 게이트 신호선 Gy를 갖는 픽셀을 나타낸다.

<83> 먼저, 전원 공급선(V1 내지 Vx)의 전원 전위는 실제 디스플레이를 실행하기 위한 것과 동일한 전위로 유지된다. 특별히, 완성된 EL 디스플레이로 디스플레이를 실행할 때, 픽셀 전극과 대향 전극 사이의 전위차는 전원 전위가 EL 소자의 픽셀 전극에 인가될 때 EL 소자가 광을 조사하도록 유지된다. 대향 전극은 EL 소자의 두 전극 중에서 픽셀 전극이 아닌 전극을 나타냄을 주목한다.

<84> 선택 신호는 게이트 신호선 구동기 회로(102) (또는 112)로부터 게이트 신호선(G1)에 입력된다. 선택 신호는 게이트 신호선(G1)에 접속된 게이트 전극을 갖는 모든 스위칭 TFT(201)를 이상적으로 온 상태로 스위칭하는 전위를 갖는다.

<85> 본 명세서에서, 소정의 전위가 TFT의 소스 전위 및 드레인 전위 중 하나로 인가될 때, 원하는 전위가 다른 하나에 인가될 수 있는 경우 TFT의 상태는 온 상태인 것으로 정의된다. 역으로, 소정의 전위가 TFT의 소스 영역 및 드레인 영역 중 하나로 인가될 때, 원하는 전위가 다른 하나에 인가될 수 없는 경우 TFT의 상태는 오프 상태인 것으로 정의된다.

<86> 검사 비디오 신호는 이어서 소스 신호선 구동기 회로(101) (또는 111)로부터 소스 신호선(S1)에 입력된다. 검사 비디오 신호의 전위는 EL 디스플레이가 실제로 디스플레이를 실행할 때 가장 밝은 디스플레이를 실행하도록 소스 신호선(S1 내지 Sx)에 입력되는 비디오 신호의 전위와 똑같게 설정된다. 또한, 디지털 비디오 신호를 사용하여 디스플레이를 실행하는 EL 디스플레이의 경우, 검사 비디오 신호의 전위는 EL 소자가 실제 디스플레이 동안과 동일한 밝기로 광을 조사하도록 설정될 수 있다.

<87> 실제로 디스플레이를 실행하는 픽셀과 동일한 전위는 픽셀(1,1)이 영상을 디스플레이하는데 필요한 신호선 (도 3의 경우에는 소스 신호선 S1, 게이트 신호선 G1, 및 전원 배선 V1)에 부여된다. 실제 디스플레이를 실행하는 픽셀과 동일한 전위는 이어서 픽셀(1,1)의 디스플레이에 참여하는 신호선에 인가되어, 픽셀(1,1)이 선택된다.

<88> 도 3의 경우에는 특별히, 전원 전위가 실제 영상 디스플레이를 실행할 때와 동일한 전위로 유지되고, 선택 신호가 게이트 신호선(G1)에 입력되고, 또한 검사 비디오 신호가 소스 신호선(S1)에 입력되는 상태를 픽셀(1,1)이

선택된 것이라 칭한다.

<89> 픽셀(1,1)이 선택되면, 전원 공급선(V1)의 전원 전위는 도전막(105) 또는 검사 도전막(115)에 부여되고, 전류의 값은 검산점에서 측정된다.

<90> 이어서, 모든 픽셀(104)이 순서대로 선택되어, 전류의 값이 검산점에서 측정된다.

<91> 각 픽셀의 TFT 중 하나 (도 3의 경우에서는 스위칭 TFT(201) 및 EL 구동기 TFT(202))가 정상적으로 동작하지 않거나, 소스 신호선(S) (소스 신호선(S1 내지 Sx) 중 하나), 게이트 신호선(G) (게이트 신호선(G1 내지 Gy) 중 하나), 전원 공급선(V) (전원 공급선(V1 내지 Vx) 중 하나), 또는 배선 접속 TFT에서 분리 또는 단락이 존재하면, 검산점에서 측정된 전류값은 이상적인 값이 되지 않는다.

<92> 검산점에서 전류의 측정값이 이상적인 값인가 여부를 판단하는 기준은 작동자에 의해 적절하게 설정될 수 있다. 예를 들어, 전류의 측정값이 i1 내지 i2의 범위내에 포함되면, 측정된 값은 도 4b에 도시된 픽셀(1,1) 및 픽셀(1,2)과 같이 이상적인 값으로 결정될 수 있다. i1 및 i2의 값은 작동자에 의해 적절하게 설정될 수 있다. 도 4b에서 "x" 기호는 픽셀이 선택될 때 검산점에서의 전류 측정값을 나타냄을 주목한다.

<93> 측정된 값이 이상적인 값이면, 배선 또는 TFT의 결함이 픽셀에 존재하지 않아서, 소정의 전압이 픽셀에 형성된 EL 소자의 픽셀 전극으로 인가될 수 있는 것으로 결정된다.

<94> 또한, 도 4b에 도시된 픽셀(1,3) 및 픽셀(x-1,y)와 같이 전류의 측정값이 i1 내지 i2의 범위 밖에 있으면, 측정된 값은 이상적인 값이 아닌 것으로 판단될 수 있다. 그러므로, 픽셀의 배선 또는 TFT에 결함이 존재되어, 소정의 전압이 픽셀에 형성된 EL 소자의 픽셀 전극으로 인가될 수 없는 것으로 결정된다.

<95> 존재하는 결함을 갖는 픽셀 (결함 픽셀)을 갖는 EL 패널이 EL 디스플레이로 사용되는지의 여부를 판단한다. 픽셀부(103) 또는 픽셀부(113)에 단 하나의 결함 픽셀이라도 존재하는 EL 패널은 결함이 있는 제품으로 밝혀져 EL 디스플레이로 사용될 수 없거나, 결함 픽셀의 수가 작동자에 의해 결정된 수 보다 많은 EL 패널은 결함이 있는 것으로 밝혀져 EL 디스플레이로 사용될 수 없다.

<96> 한 기판에 형성된 한 EL 패널의 경우 제 1 검사 방법에 따라 EL 패널이 양호한 제품인 것으로 판단되면, 검사가 완료된 이후 도전막(105)을 패터닝함으로써 픽셀 전극 (도면에 도시되지 않음)이 형성된다. 이어서, EL 소자(204)를 완성하도록 EL층 및 대향 전극이 형성되어 순서대로 적층된다. 또한, 결함이 있는 제품으로 판단된 EL 패널에 대해서는 검사 이후의 처리가 생략될 수 있다 (도 5를 참고).

<97> 한 기판에서 복수의 EL 패널을 형성하는 경우, 도전막(105)은 모든 EL 패널이 픽셀 전극 (도면에 도시되지 않음)을 형성하도록 패터닝된다. 이어서, EL 소자(204)를 완성하도록 EL층 및 대향 전극이 형성되어 순서대로 적층된다. 복수의 EL 패널은 기판을 분할함으로써 분리되고, EL 디스플레이는 커버 물질을 봉합하고 접속기를 부착함으로써 양호한 제품으로 판단된 EL 패널로 완성되고, 결함이 있는 제품으로 판단된 EL 패널에 대해서는 분할 이후의 모든 처리가 생략될 수 있다.

<98> 픽셀 전극은 제 1 검사 처리에 따라 검사가 완료된 후에 도전막을 패터닝함으로써 형성될 수 있다. 그러므로, 검사를 위해 처리 과정의 수를 증가시킬 필요가 없다.

<99> 제 2 검사 방법에서, 검사 도전막(115)은 한 기판에서 한 EL 패널이 형성될 때 검사가 완료된 이후 양호한 제품으로 판단된 EL 패널에서 용매로 제거된다. 사용되는 용매는 검사 도전막(115)으로 사용되는 합성 수지만을 용해시킬 수 있는 것이다.

<100> 이어서, EL층 및 대향 전극이 형성되고 순서대로 픽셀 전극에 적층되어, EL 소자(204)가 완성된다. 또한, 결함이 있는 제품으로 판단된 EL 패널에 대해서는 검사 이후의 처리가 생략될 수 있다 (도 5를 참고).

<101> 한 기판에서 복수의 EL 패널이 형성되면, 검사 도전막(115)은 검사가 완료된 이후 모든 EL 패널로부터 제거된다. 다음에는 EL 소자(204)를 완성하도록 EL층 및 대향 전극이 형성되어 순서대로 픽셀 전극에 적층된다. 복수의 EL 패널은 이어서 기판을 분할함으로써 분리되고, 양호한 제품인 것으로 결정된 EL 패널은 커버 물질로 봉합하고 접속기를 부착함으로써 EL 디스플레이로 완성되고, 결함이 있는 제품인 것으로 결정된 EL 패널에 대해서는 검사 이후의 처리가 생략될 수 있다.

<102> EL 소자(204)의 대향 전극의 전위 (대향 전위)는 EL 패널 외부에 있는 IC 등으로 형성된 전원에 의해 인가된다.

<103> EL 소자(204)를 형성한 이후, 보호막 (도면에 도시되지 않음)은 EL 소자를 덮도록 형성되어, EL 패널을 완성한

다. 언제나 보호막을 형성할 필요가 있는 것은 아님을 주목하고, 그 경우에, EL 패널은 EL 소자(204)가 형성될 때 완성되는 것으로 생각된다.

<104> 상술된 본 발명의 검사 방법에 따라, EL 패널을 EL 디스플레이로 완성하지 않고 양호한 EL 패널과 결함이 있는 EL 패널을 구별하는 것이 가능해진다. 그러므로, 실제로 완성된 제품이 되지 못하는 결함이 있는 EL 패널을 EL 디스플레이로 완성할 필요가 없어진다. 결과적으로, EL 소자를 형성하고, 패키지화하고 (봉합하고), 또한 접속 기를 부착하는 처리가 생략될 수 있어, 시간 및 비용이 감소될 수 있다. 더욱이, EL 패널이 다중면의 기판을 사용하여 형성되는 경우에 패키지화하고 접속기를 부착하는 처리가 생략될 수 있어, 시간 및 비용이 유사하게 감소될 수 있다.

<105> 본 발명의 검사 방법은 EL 소자로부터 조사되는 광을 제어하기 위한 복수의 TFT가 각 픽셀에 형성된 EL 패널에만 적용가능한 것이 아님을 주목한다. EL 패널이 각 픽셀에서 EL 소자로부터 조사되는 광의 양을 제어하기 위해 형성된 TFT를 단 하나만을 갖더라도, 본 발명의 검사 방법을 사용하여 양호한 제품 및 결함이 있는 제품을 구별하는 것이 또한 가능하다. 또한, EL 소자로부터 조사되는 광을 제어하기 위해 하나 이상의 TFT가 각 픽셀에 형성된 EL 패널의 경우에도 본 발명의 검사 방법을 사용함으로써 양호한 제품과 결함이 있는 제품 사이를 구별하는 것이 가능하다.

<106> 도 3 및 도 5에 도시된 EL 패널에서 스위칭 TFT(201) 및 EL 구동기 TFT(202)는 n-채널 TFT 및 p-채널 TFT가 될 수 있음을 주목한다. EL 소자(204)의 양극이 EL 구동기 TFT(202)의 드레인 영역에 접속되면, EL 소자(204)의 양극은 픽셀 전극이 되고 음극은 대향 전극이 되어, p-채널 TFT가 EL 구동기 TFT로 사용되는 것이 바람직하다. 역으로, EL 소자(204)의 음극이 EL 구동기 TFT(202)의 드레인 영역에 접속되면, EL 소자(204)의 양극은 대향 전극이 되고 음극은 픽셀 전극이 되어, n-채널 TFT가 EL 구동기 TFT(202)로 사용되는 것이 바람직하다.

<107> 또한, 스위칭 TFT(201) 및 EL 구동기 TFT(202)는 단일 게이트 구조에 제한되지 않고, 이중 게이트 구조 및 삼중 게이트 구조와 같이 다중 게이트 구조를 가질 수 있다.

<108> <실시예>

<109> 후에는 본 발명의 실시예가 설명된다.

<110> <실시예 1>

<111> 실시예 1에서는 실시예 모드에 도시된 EL 패널과 다른 구조로 픽셀부를 포함하는 EL 패널에 본 발명의 검사 방법을 적용한 예가 설명된다.

<112> 실시예 1에서 사용되는 EL 패널의 픽셀부(501)의 회로도는 도 6에 도시된다. 실시예 1에서, 제 1 게이트 신호선(Ga1 내지 Gay) 중 하나, 제 2 게이트 신호선(Ge1 내지 Gey) 중 하나, 소스 신호선(S1 내지 Sx) 중 하나, 및 전원 공급선(V1 내지 Vx) 중 하나를 갖는 영역은 픽셀(502)이다. 픽셀부(501)에는 매트릭스 형상으로 복수의 픽셀(502)이 배열된다.

<113> 제 1 게이트 신호선 구동기 회로로부터 제 1 선택 신호가 입력되는 제 1 게이트 신호선(Ga1 내지 Gay) 중 하나는 각 픽셀(502)의 제 1 스위칭 TFT(503)의 게이트 전극에 접속된다. 또한, 각 픽셀의 제 1 스위칭 TFT(503)의 소스 영역 및 드레인 영역 중 하나는 아날로그 신호를 입력하도록 소스 신호선(S1 내지 Sx) 중 하나에 접속되고, 다른 하나는 각 픽셀의 EL 구동기 TFT(504)의 게이트 전극 및 각 픽셀의 캐패시터(505)에 접속된다.

<114> 캐패시터(505)는 스위칭 TFT(503)가 오프 상태일 때 EL 구동기 TFT(504)의 게이트 전압 (게이트 전극과 소스 영역 사이의 전위차)을 저장하기 위해 형성된다. 비록 실시예 1에서는 캐패시터(505)가 형성된 구조가 도시되지만, 본 발명은 이 구조에 제한되지 않고, 캐패시터(505)가 형성되지 않은 구조가 또한 사용될 수 있음을 주목한다.

<115> EL 구동기 TFT(504)의 소스 영역은 전원 공급선(V1 내지 Vx) 중 하나에 접속된다. EL 구동기 TFT(504)의 드레인 영역은 모두 제 1 검사 방법으로 EL 소자의 픽셀 전극이 되도록 도전막 (도면에 도시되지 않음)에 의해 전기적으로 접속된다. 전원 공급선(V1 내지 Vx) 중 하나는 캐패시터(505)에 접속된다. 제 2 검사 방법에서, EL 구동기 TFT(504)의 드레인 영역은 EL 소자의 픽셀 전극에 접속되고, 모든 픽셀의 픽셀 전극은 검사 도전막 (도면에 도시되지 않음)에 의해 전기적으로 접속된다. 전원 공급선(V1 내지 Vx) 중 하나는 캐패시터(505)에 접속된다.

<116> 또한, 제 2 스위칭 TFT(506)의 소스 영역 및 드레인 영역 중 하나는 제 1 스위칭 TFT(503)의 소스 영역 또는 드

레인 영역에 접속되고, 다른 하나는 전원 공급선(V1 내지 Vx) 중 하나에 접속된다. 제 2 스위칭 TFT(506)의 게이트 전극은 제 2 선택 신호가 제 2 게이트 신호선 구동기 회로로부터 입력되는 제 2 게이트 신호선(Ge1 내지 Gey) 중 하나에 접속된다.

<117> 전원 공급선(V1 내지 Vx)의 전원 전위는 EL 패널 외부에 있는 IC 등으로 형성된 전원에 의해 부여된다. 또한, 전원 공급선(V1 내지 Vx)은 각 픽셀의 캐패시터(505)에 접속된다.

<118> 도전막 또는 검사 도전막에 흐르는 전류는 검산점에서 측정된다. 검산점에서 전류를 측정하는 과정은 이후 도7을 사용하여 설명된다.

<119> 도 7에는 도 6에 도시된 픽셀부(501)에서 픽셀(502)의 배열이 간단히 도시된다. 팔호 안에 좌측 번호는 픽셀의 소스 신호선의 번호를 도시하고, 우측 번호는 픽셀의 제 1 및 제 2 게이트 신호선의 번호를 도시한다. 예를 들어, (x,y)는 소스 신호선(Sx), 제 1 게이트 신호선(Gay), 및 제 2 게이트 신호선(Gey)을 포함하는 픽셀을 나타낸다.

<120> 제 1 선택 신호가 제 1 게이트 신호선에 입력되고 제 2 선택 신호가 제 2 게이트 신호선에 입력될 때, 도 6에 도시된 픽셀부(501)을 갖는 EL 패널의 각 픽셀에 대해 측정을 2회 실행할 필요가 있다.

<121> 먼저, 전원 공급선(V1 내지 Vx)의 전원 전위는 실제 디스플레이를 실행하기 위한 것과 동일한 전위로 유지된다. 특별히, 완성된 EL 디스플레이로 디스플레이를 실행할 때, 픽셀 전극과 대향 전극 사이의 전위차는 전원 전위가 EL 소자의 픽셀 전극에 인가될 때 EL 소자가 광을 조사하도록 유지된다.

<122> 이어서, 제 1 선택 신호는 제 1 게이트 신호선 구동기 회로로부터 제 1 게이트 신호선(Ga1)에 입력된다. 제 1 선택 신호는 게이트 신호선(Ga1)에 접속된 게이트 전극을 갖는 모든 제 1 스위칭 TFT(503)를 이상적으로 온 상태로 스위칭하는 전위를 갖는다.

<123> 검사 비디오 신호는 소스 신호선 게이트 신호선 구동기 회로로부터 소스 신호선(A1)에 입력된다. 검사 비디오 신호의 전위는 EL 디스플레이가 실제로 디스플레이를 실행할 때 가장 밝은 디스플레이를 실행하도록 소스 신호선(S1 내지 Sx)에 입력되는 비디오 신호의 전위와 똑같도록 설정된다. 또한, 디지털 비디오 신호를 사용하여 디스플레이를 실행하는 EL 디스플레이의 경우, 검사 비디오 신호의 전위는 EL 소자가 실제 디스플레이하는 동안과 동일한 밝기로 광을 조사하도록 설정될 수 있다.

<124> 디스플레이를 실행하는 픽셀의 신호선에 실제로 인가되는 것과 동일한 전위는 픽셀(1,1)에 대한 디스플레이에 참여하는 신호선(도 6의 경우에서는 소스 신호선(S1), 제 1 게이트 신호선(Ga1), 및 전원 공급선(V1))에 부여된다. 도 6의 경우에는 특별히 전원 공급선(V1)의 전원 전위가 실제 영상 디스플레이를 실행할 때와 동일한 전위로 유지되고, 제 1 선택 신호가 제 1 게이트 신호선(Ga1)에 입력되고, 검사 비디오 신호가 소스 신호선(S1)에 입력된 상태를 픽셀(1,1)이 선택된 것이라 칭한다.

<125> 픽셀(1,1)이 선택될 때, 전원 공급선(V1)의 전원 전위는 도전막 또는 검사 도전막에 부여되고, 전류의 값은 검산점에서 측정된다.

<126> 이어서, 모든 픽셀(502)이 순서대로 선택되고, 전류의 값이 검산점에서 측정된다.

<127> 다음에는 다시 픽셀(1,1)이 선택된다. 실제 디스플레이를 실행할 때와 똑같이 유지되는 전원 공급선(V1 내지 Vx)의 전원 전위로, 제 2 선택 신호는 제 2 게이트 신호선 구동기 회로로부터 제 2 게이트 신호선(Ge1)에 입력된다.

<128> 제 2 선택 신호는 제 2 게이트 신호선(Ge1)에 접속된 게이트 전극을 갖는 모든 제 2 스위칭 TFT(506)를 이상적으로 온 상태로 스위칭하는 전위를 갖는다.

<129> 도 6에 도시된 픽셀부(501)의 경우, 픽셀 (1,1), (2,1), ..., (x,1)의 모든 EL 구동기 TFT(504)는 제 2 스위칭 TFT(506)가 온 상태로 될 때 오프 상태가 되고, 이상적으로는 도전막 또는 검사 도전막에 전류가 흐르지 않는다.

<130> 따라서 픽셀(1,1)이 디스플레이를 실행하지 않는 전위는 픽셀(1,1)이 선택된 이후 픽셀(1,1)의 디스플레이에 참여한 신호선(도 6의 경우에는 제 2 게이트 신호선(Ge1) 및 전원 공급선(V1))에 부여된다. 이 상태는 본 명세서에서 픽셀이 선택되지 않은 상태에 있다고 칭하여진다. 도 6의 경우에는 특별히 전원 공급선(V1)의 전원 전위가 영상 디스플레이를 실제로 실행할 때와 동일한 전위로 유지되고, 제 2 선택 신호가 제 2 게이트 신호선(Ge1)에 입력되는 상태를 픽셀(1,1)이 선택되지 않았다고 칭한다.

- <131> 픽셀(1,1)은 선택되지 않은 상태로 놓이고, 전류의 값은 검사점에서 측정된다.
- <132> 이어서, 모든 픽셀(502)이 선택되지 않은 상태로 놓이고, 전류의 값은 검산점에서 측정된다.
- <133> 각 픽셀의 TFT (도 6의 경우에, 제 1 스위칭 TFT(503), 제 2 스위칭 TFT(506), 및 EL 구동기 TFT(202)) 중 하나가 정상적으로 동작하지 않거나, 소스 신호선(S) (소스 신호선(S1 내지 Sx) 중 하나), 제 1 게이트 신호선(Ga) (제 1 게이트 신호선(Ga1 내지 Gay) 중 하나), 제 2 게이트 신호선(Ge) (제 2 게이트 신호선(Ge1 내지 Gey) 중 하나), 전원 공급선(V) (전원 공급선(V1 내지 Vx) 중 하나), 또는 TFT를 접속하는 배선이 절단되거나 단락이 존재하면, 검산점에서 측정되는 전류의 값은 이상적인 값이 되지 못한다.
- <134> 픽셀이 선택되지 않은 상태에 있을 때 검산점에서 측정된 전류값이 이상적인 값인가 여부를 판단하는 기준은 작동자에 의해 적절하게 설정될 수 있다. 예를 들어, 측정된 전류값이 i3 내지 i4의 범위내에 포함되면, 측정된 값은 이상적인 값으로 결정된다. 값 i3 및 i4는 작동자에 의해 적절하게 설정될 수 있다.
- <135> 측정된 값이 이상적인 값이면, 픽셀에서 배선 또는 TFT의 결함이 존재하지 않았고 소정의 전압이 픽셀에 형성된 EL 소자의 픽셀 전극에 인가될 수 있는 것으로 결정된다.
- <136> 또한, 전류의 측정된 값이 i3 내지 i4의 범위 밖에 있으면, 측정된 값은 이상적인 값이 아닌 것으로 판단될 수 있다. 그러므로, 픽셀의 배선이나 TFT에 결함이 존재하는 것으로 결정되어, 소정의 전압이 픽셀에 형성된 EL 소자의 픽셀 전극에 인가될 수 없다.
- <137> 존재하는 결함을 포함한 픽셀(결함 픽셀)을 갖는 EL 패널이 EL 디스플레이로 사용되는지의 여부를 판단한다. 픽셀부(501)에 단 하나의 결함 픽셀이라도 존재하는 EL 패널은 EL 디스플레이로 사용될 수 없는 것으로 밝혀지거나, 결함 픽셀의 수가 작동자에 의해 결정된 수 보다 큰 EL 패널은 EL 디스플레이로 사용될 수 없는 것으로 밝혀질 수 있다.
- <138> 한 기판에 형성된 한 EL 패널의 경우 EL 패널이 제 1 검사 방법에 따라 양호한 제품인 것으로 판단되면, 픽셀 전극(도면에 도시되지 않음)은 검사가 완료된 이후 도전막을 패터닝함으로써 형성된다. 이어서, EL 소자(507)를 완성하도록 EL층과 대향 전극이 형성되어 순서대로 적층된다. 또한, 결함 제품인 것으로 판단된 EL 패널에 대해서는 검사 이후의 처리가 생략될 수 있다(도 5를 참고).
- <139> 한 기판에서 복수의 EL 패널을 형성하는 경우에, 도전막은 모든 EL 패널이 픽셀 전극(도면에 도시되지 않음)을 형성하도록 패터닝된다. 이어서, EL 소자(507)를 완성하도록 EL층과 대향 전극이 형성되어 순서대로 적층된다. 복수의 EL 패널은 기판을 분할함으로써 분리되고, EL 디스플레이에는 커버 물질을 봉합하고 접속기를 부착함으로써 양호한 제품으로 판단된 EL 패널로 완성되고, 결함 제품인 것으로 판단된 EL 패널에 대해서는 분할 이후의 모든 처리가 생략될 수 있다.
- <140> 픽셀 전극은 제 1 검사 처리에 따라 검사가 완료된 이후 도전막을 패터닝함으로써 형성될 수 있다. 그러므로, 검사를 위한 처리 단계의 수를 증가시킬 필요가 없다.
- <141> 제 2 검사 방법에서, 검사 도전막(115)은 한 기판에서 한 EL 패널이 형성될 때 검사가 완료된 이후 양호한 제품인 것으로 판단된 EL 패널에 대해 제거된다. 이어서, EL층 및 대향 전극이 픽셀 전극에 형성되어 순서대로 적층되고, EL 소자(507)가 완성된다. 또한, 결함 제품인 것으로 판단된 EL 패널에 대해서는 검사 이후의 처리가 생략될 수 있다(도 8을 참고).
- <142> 한 기판에서 복수의 EL 패널이 형성되면, 검사 도전막은 검사가 완료된 이후 모든 EL 패널로부터 제거된다. 다음에는 EL 소자(507)를 완성하도록 픽셀 전극에 EL층 및 대향 전극이 형성되어 순서대로 적층된다. 복수의 EL 패널은 기판을 분할함으로써 분리되고, 양호한 제품인 것으로 결정된 EL 패널은 커버 물질을 봉합하고 접속기를 부착함으로써 EL 디스플레이로 완성되고, 결함 제품인 것으로 결정된 EL 패널에 대해서는 분할 이후의 처리가 생략될 수 있다.
- <143> EL 소자(507)의 대향 전극의 전위(대향 전위)는 EL 패널 외부에 있는 IC 등으로 형성된 전원에 의해 인가된다.
- <144> EL 소자(507)를 형성한 이후, EL 소자(507)를 커버하도록 보호막 (도면에 도시되지 않음)이 형성되어 EL 패널을 완성한다. 언제나 보호막을 형성할 필요가 있는 것은 아니고, 그 경우, EL 패널은 EL 소자가 형성될 때 완성되는 것으로 생각됨을 주목한다.
- <145> 본 발명의 상술된 검사 방법에 따라, EL 패널을 EL 디스플레이로 완성하지 않고 양호한 EL 패널과 결함이 있는 것을 구별하는 것이 가능해진다. 그러므로, 실제로 완성된 제품이 되지 않는 결함이 있는 EL 패널을 EL 디스플

레이로 완성할 필요가 없어진다. 결과적으로, EL 소자를 형성하고, 패키지화하고 (봉합하고), 또한 접속기를 부착하는 처리가 생략될 수 있어, 시간 및 비용이 감소될 수 있다. 더욱이, 패키지화하고 접속기를 부착하는 처리는 또한 다중면의 기판을 사용하여 EL 패널이 형성된 경우에서도 생략될 수 있어, 시간 및 비용이 유사하게 감소될 수 있다.

<146> 본 발명의 검사 방법은 EL 소자로부터 조사되는 광을 제어하기 위한 복수의 TFT가 각 픽셀에 형성된 EL 패널에만 적용가능한 것은 아님을 주목한다. EL 패널이 각 픽셀에서 EL 소자로부터 조사된 광의 양을 제어하도록 형성된 TFT를 단 하나만을 갖더라도, 본 발명의 검사 방법을 사용함으로써 양호한 제품과 결함이 있는 제품을 구별하는 것이 가능하다. 또한, EL 소자로부터 조사된 광을 제어하기 위해 2개 이상의 TFT가 각 픽셀에 형성된 EL 패널의 경우에 본 발명의 검사 방법을 사용함으로써 양호한 제품과 결함이 있는 제품 사이를 구별하는 것이 가능하다.

<147> 도 6 및 도 8에 도시된 EL 패널에서 제 1 스위칭 TFT(503), 제 2 스위칭 TFT(506), 및 EL 구동기 TFT(504)는 n-채널 TFT 및 p-채널 TFT가 될 수 있음을 주목한다. EL 소자(507)의 양극이 EL 구동기 TFT(504)의 드레인 영역에 접속되면, EL 소자(507)의 양극은 픽셀 전극이 되고 음극은 대향 전극이 되어, EL 구동기 TFT(504)가 p-채널 TFT를 사용하여 형성되는 것이 바람직하다. 역으로, EL 소자(507)의 음극이 EL 구동기 TFT(504)의 드레인 영역에 접속되면, EL 소자(507)의 양극은 대향 전극이 되고 음극은 픽셀 전극이 되어, EL 구동기 TFT(504)가 n-채널 TFT를 사용하여 형성되는 것이 바람직하다.

<148> 또한, 제 1 스위칭 TFT(503), 제 2 스위칭 TFT(506), 및 EL 구동기 TFT(504)는 단일 게이트 구조에 제한되지 않고, 이중 게이트 구조 및 삼중 게이트 구조와 같이 다중 게이트 구조를 가질 수 있다.

<149> <실시예 2>

<150> 실시예 2에서는 본 발명의 검사 방법을 사용하여 검사한 후에 EL 패널의 픽셀의 상단 표면도에 대한 예가 도시된다.

<151> 도 9a는 실시예 2에서 픽셀의 상단 표면도를 도시하고, 도 9b는 픽셀의 회로도를 도시한다. 참조번호(4402)는 스위칭 TFT를 나타내고, 참조번호(4406)는 EL 구동기 TFT를 나타낸다.

<152> 스위칭 TFT(4402)는 게이트 신호선(4404) 일부인 게이트 전극(4404a, 4404b)을 갖는다. 스위칭 TFT(4402)의 소스 영역은 소스 신호선(4415)에 접속되고, 스위칭 TFT(4402)의 드레인 영역은 드레인 배선(4405)에 접속된다. 또한, 드레인 배선(4405)은 EL 구동기 TFT(4406)의 게이트 전극(4407)에 전기적으로 접속된다. EL 구동기 TFT(4406)의 소스 영역은 전원 공급선(4416)에 전기적으로 접속되고, EL 구동기 TFT(4406)의 드레인 영역은 드레인 배선(4417)에 전기적으로 접속된다. 부가하여, 드레인 배선(4417)은 픽셀 전극(4418)에 전기적으로 접속된다.

<153> 캐패시터는 참조번호(4419)로 나타내진 영역내의 한 지점에 형성된다. 캐패시터(4419)는 반도체막(4420), 게이트 절연막과 동일한 층상의 절연막 (도면에 도시되지 않음), 및 게이트 전극(4407)으로 형성된다. 또한, 게이트 전극(4407), 제 1 층간 절연막과 동일한 층, 및 전원 공급선(4416)으로 형성된 캐패시턴스를 캐패시터로 사용하는 것이 가능하다.

<154> 픽셀 전극은 실시예 2에서 소스 신호선(4415) 및 전원 공급선(4416)과 오버랩되지 않지만, 층간 절연막을 통해 오버랩되는 구조도 사용될 수 있다.

<155> 더욱이, 도면에서는 도시되지 않았지만, EL층 및 대향 전극은 픽셀 전극(4418)상에 순서대로 적층되어, EL 소자(4414)를 형성한다.

<156> <실시예 3>

<157> 도 5에 도시된 EL 패널에서, 동일한 기판에 픽셀부 및 그 픽셀부 부근에 제공되는 구동기 회로의 TFT (n-채널 TFT 및 p-채널 TFT)를 제조하고, 동시에 제 1 검사 방법을 적용하는 방법이 실시예 3에서 상세히 설명된다.

<158> 먼저, 도 10a에 도시된 바와 같이, 산화실리콘막, 질화실리콘막, 또는 질산화실리콘막과 같은 절연막으로 구성된 기저막(401)이 바륨 봉규산 유리 (borosilicate glass) 또는 알루미늄 봉규산 유리, 전형적으로 코닝사 (Corning Corp.)의 #7059 유리 또는 #1737 유리와 같은 유리나 수정으로 구성된 기판(400)상에 형성된다. 예를 들면, 플라스마 (plasma) CVD에 의해 SiH<sub>4</sub>, NH<sub>3</sub>, 및 N<sub>2</sub>O로 제조된 질산화실리콘막이 10 내지 200 nm (바람직하게 50 내지 100 nm)의 두께로 형성되고, SiH<sub>4</sub> 및 N<sub>2</sub>O로 제조된 50 내지 200 nm (바람직하게 100 내지 150 nm)의 두

께를 갖는 수소화된 질산화실리콘막이 유사하게 형성되어 적층된다. 도 10a에서는 2 층 구조 기저막(401)이 한 층으로 도시됨을 주목한다. 실시예 1에서는 기저막(401)이 2 층 구조인 예가 도시되지만, 이는 또한 2개 이상의 층이 적층된 적층 구조 또는 상기 절연막 중 하나의 단일층으로 형성될 수 있다.

<159> 반도체층(402 내지 405)은 비결정질 구조를 갖는 반도체막에서 레이저 결정화 방법을 사용함으로써, 또는 공지된 열적 결정화 방법을 사용함으로써 제조되는 결정질 반도체막으로 형성된다. 반도체층(402 내지 405)의 두께는 25 내지 80 nm (바람직하게 30 내지 60 nm)로 설정된다. 결정질 반도체막 물질에는 제한이 없지만, 실리콘 또는 SiGe 합금과 같은 반도체 물질로 막을 형성하는 것이 바람직하다.

<160> 공지된 결정화 방법으로는 전기 용광로를 사용하는 열적 결정화 방법, 레이저광을 사용하는 레이저 어닐링(annealing) 결정화 방법, 적외선광을 사용하는 램프 어닐링 결정화 방법, 및 촉매 금속을 사용하는 결정화 방법이 있다.

<161> 펄스 방사형 또는 연속 방사형 엑사이머(excimer) 레이저, YAG 레이저, 또는 YVO<sub>4</sub> 레이저와 같은 레이저는 결정질 반도체막을 제조하기 위한 레이저 결정화 방법에서 사용되는 레이저 광원으로 사용될 수 있다. 이러한 종류의 레이저가 사용될 때는 레이저 방사 디바이스로부터 조사되는 레이저광을 광학 시스템에 의해 선형으로 모으고 그 광을 반도체막에 검사하는 방법이 사용될 수 있다. 결정화 조건은 작동자에 의해 적절하게 선택될 수 있지만, 펄스 방사 주파수는 300 Hz로 설정되고, 레이저 에너지 밀도는 엑사이머 레이저를 사용할 때 100 내지 400 mJ/cm<sup>2</sup> (전형적으로 200 내지 300 mJ/cm<sup>2</sup> 사이)로 설정된다. 또한, YAG 레이저를 사용할 때는 제 2 조화파(harmonic)가 사용되고, 펄스 방사 주파수는 30 내지 300 KHz로 설정되고, 레이저 에너지 밀도는 300 내지 600 mJ/cm<sup>2</sup> (전형적으로 350 내지 500 mJ/cm<sup>2</sup>)으로 설정될 수 있다. 100 내지 1000 μm, 예를 들면 400 μm의 폭을 갖는 선형으로 모아진 레이저광은 기판의 전체 표면에 걸쳐 조사된다. 이는 선형 레이저광에 대해 50 내지 90%의 오버랩 비율로 실행된다.

<162> 게이트 절연막(406)은 반도체층(402 내지 405)을 커버하도록 형성된다. 실리콘을 포함하는 절연막은 플라스마 CVD 또는 스퍼터링(sputtering)에 의해 40 내지 150 nm의 두께인 게이트 절연막(406)으로 형성된다. 실시예 3에서는 120 nm 두께의 질산화실리콘막이 형성된다. 게이트 절연막(406)은 이 종류의 질산화실리콘막으로 제한되지 않고, 실리콘을 포함하는 다른 절연막이 또한 단일층 또는 적층 구조로 사용될 수 있다. 예를 들어, 산화 실리콘막을 사용할 때, 이는 TEOS (tetraethyl orthosilicate) 및 O<sub>2</sub>의 혼합물로의 플라스마 CVD에 의해, 40 Pa의 반응 압력으로 300 내지 400°C로 설정된 기판 온도에서 0.5 내지 0.8 W/cm<sup>2</sup>의 고주파수 (13.56 MHz) 전력 밀도로 충전함으로써 형성될 수 있다. 이와 같이 게이트 절연막으로 제조된 산화실리콘막의 양호한 특성은 400 내지 500°C에서 순차적으로 열적 어닐링을 실행함으로써 구해질 수 있다.

<163> 이어서, 제 1 게이트 전극 도전막(407) 및 제 2 게이트 전극 도전막(408)은 게이트 전극을 형성하도록 순서대로 게이트 절연막(406)에 형성된다. 실시예 3에서는 제 1 게이트 전극 도전막(407)이 50 내지 100 nm의 두께를 갖는 Ta로 형성되고, 제 2 게이트 전극 도전막(408)이 100 내지 300 nm의 두께를 갖는 W로 형성된다.

<164> Ta 막은 스퍼터링에 의해 형성되고, Ta 타켓의 스퍼터링은 Ar을 사용하여 실행된다. 적절한 양의 Xe 및 Kr이 스퍼터링 동안 Ar에 부가되면, Ta 막의 내부 스트레스(stress)는 완화되어 막 벗겨짐(film peeling)이 방지될 수 있다. α 위상 Ta 막의 저항은 20 μΩcm 정도로, 이는 게이트 전극에서 사용될 수 있지만, β 위상 Ta 막의 저항은 180 μΩcm 정도로, 게이트 전극에 적절하지 못하다. α 위상 Ta 부근에 결정 구조를 갖는 질화탄탈막이 α 위상 Ta 막을 형성하기 위해 Ta에 대한 베이스로 10 내지 50 nm 두께로 형성되면, α 위상 Ta 막은 쉽게 구해질 수 있다.

<165> W 막은 W를 타겟으로 스퍼터링에 의해 형성된다. W 막은 또한 WF<sub>6</sub> (tungsten hexafluoride)를 사용한 열적 CVD에 의해 형성될 수 있다. 어느 것이 사용되든, 이를 게이트 전극으로 사용하기 위해 막을 저저항으로 만들 필요가 있고, W 막의 저항은 20 μΩcm 보다 작거나 같게 하는 것이 바람직하다. 저항은 W 막의 결정을 확대시킴으로서 낮아질 수 있지만, W 막내에 산소와 같은 불순물 원소가 많이 있는 경우에는 결정화가 금지되고, 막은 고저항이 된다. 따라서 순도 99.9999%를 갖는 W 타겟이 스퍼터링에서 사용된다. 부가하여, 막 형성시 기체 위상의 내부로부터 불순물이 도입되지 않도록 충분히 주의하면서 W 막을 형성함으로써, 9 내지 20 μΩcm의 저항이 이루어질 수 있다.

<166> 비록 실시예 3에서는 제 1 게이트 전극 도전막(407)이 Ta이고 제 2 게이트 전극 도전막(408)이 W이지만, 도전막은 선택성을 갖는 전도성 물질이 사용되는 한 이에 제한되지 않는다. 제 1 게이트 전극 도전막(407) 및 제 2

게이트 전극 도전막(408)은 모두 Ta, W, Ti, Mo, Al, 및 Cu로 구성된 그룹에서 선택된 원소, 이들 원소 중 하나를 주성분으로 갖는 합금 물질, 또는 이들 원소의 화학적 화합물로부터 형성될 수 있다. 또한, 인과 같은 불순물 원소가 도핑된 반도체막, 전형적으로 폴리실리콘막이 사용될 수 있다. 실시예 3에서 사용된 것 이외에 바람직한 조합의 예는: TaN으로 형성된 제 1 게이트 전극 도전막과 W로 형성된 제 2 게이트 전극 도전막; TaN으로 형성된 제 1 도전막과 Al로 형성된 제 2 게이트 전극 도전막; 및 TaN으로 형성된 제 1 게이트 전극 도전막과 Cu로 형성된 제 2 게이트 전극 도전막을 포함한다(도 10b를 참고).

<167> 다음에는 마스크(mask)(409 내지 412)가 레지스트(resist)로 형성되고, 전극 및 배선을 형성하기 위해 제 1 에칭 처리가 실행된다. 실시예 3에서는 ICP(inductively coupled plasma) 에칭 방법이 사용된다. 에칭 기체로는 CF<sub>4</sub> 및 Cl<sub>2</sub>의 기체 혼합이 사용되고, 1 Pa로 코일 형상의 전극에 500 W RF 전력(13.56 MHz)를 인가함으로써 플라스마가 발생된다. 100 W RF 전력(13.56 MHz)은 또한 기판측(테스트 스테이지)에 인가되어, 효과적으로 음의 값의 자체-바이어스 전압을 인가한다. W 막과 Ta 막은 모두 CF<sub>4</sub> 및 Cl<sub>2</sub>가 조합될 때 동일한 정도로 에칭된다.

<168> 비록 도 10c에 도시되지 않았지만, 제 1 게이트 전극 도전층 및 제 2 게이트 전극 도전층의 엣지 부분은 적절한 레지스트 마스크 형상을 사용함으로써 상기 에칭 조건으로 기판측에 인가된 바이어스 전압의 효과에 따라 테이퍼(taper) 형상으로 이루어짐을 주목한다. 테이퍼 부분의 각도는 15 내지 45°이다. 에칭 시간은 게이트 절연막상에 잔류물 없이 에칭을 실행하기 위해 대략 10 내지 20% 만큼 증가될 수 있다. W 막에 대한 질산화실리콘막의 선택도는 2 내지 4(전형적으로 3)이므로, 질산화실리콘막의 노출 표면 중 대략 20 내지 50 nm는 이 오버에칭 처리에 의해 에칭된다. 또한, 도 10c에 도시되지 않았지만, 제 1 형상의 도전층(414 내지 417)으로 커버되지 않은 게이트 절연막(406) 부분은 에칭에 의해 대략 20 내지 50 nm 만큼 얇아진다.

<169> 따라서 제 1 형상의 도전층(414 내지 417) (제 1 도전층(414a 내지 417a) 및 제 2 도전층(414b 내지 417b))은 제 1 에칭 처리에 따라 제 1 도전층 및 제 2 도전층으로 형성된다.

<170> 다음에는 제 2 에칭 처리가 도 10d에 도시된 바와 같이 실행된다. ICP 에칭 방법이 유사하게 사용되고, CF<sub>4</sub>, Cl<sub>2</sub>, 및 O<sub>2</sub>의 혼합이 에칭 기체로 사용되고, 1 Pa의 압력으로 코일 형상의 전극에 500 W RF 전력(13.56 MHz)를 공급함으로써 플라스마가 발생된다. 50 W RF 전력(13.56 MHz)은 기판측(테스트 스테이지)에 인가되고, 제 1 에칭 처리와 비교해 더 낮은 자체-바이어스 전압이 인가된다. W 막은 이러한 에칭 조건하에서 이방성으로 에칭되고, Ta(제 1 도전층)는 더 느린 에칭 속도에서 이방성으로 에칭되어, 제 2 형상의 도전층(419 내지 422) (제 1 도전층(419a 내지 422a) 및 제 2 도전층(419b 내지 422b))을 형성한다. 또한, 도 10d에 도시되지 않았지만, 게이트 절연막(406)은 부가하여 20 내지 50 nm의 정도로 에칭되어, 제 2 형상 도전층(419 내지 422)에 의해 커버되지 않은 영역에서 더 얇아진다.

<171> CF<sub>4</sub> 및 Cl<sub>2</sub>의 혼합 기체에 따른 W 막 및 Ta 막의 에칭 반응은 발생된 래디칼(radical) 및 반응물의 이온 종류와 증기 압력으로부터 평가될 수 있다. W 및 Ta 불화물 및 염화물의 증기 입력을 비교하면, W 불화 화합물 WF<sub>6</sub>은 매우 높고, WC<sub>15</sub>, TaF<sub>5</sub>, 및 TaCl<sub>5</sub>의 증기 압력은 유사한 정도이다. 그러므로, W 막 및 Ta 막은 모두 ClF<sub>4</sub> 및 Cl<sub>2</sub> 기체 혼합에 의해 에칭된다. 그러나, 적절한 양의 O<sub>2</sub>가 이 기체 혼합에 부가되면, CF<sub>4</sub> 및 O<sub>2</sub>는 반응하여 CO 및 F를 형성하고, 많은 양의 F 래디칼 또는 F 이온이 발생된다. 그 결과로, 높은 불화물 증기 압력을 갖는 W 막의 에칭 속도는 높아진다. 한편, F가 증가되더라도, Ta의 에칭 속도는 비교적 증가되지 않는다. 또한, Ta는 W와 비교해 쉽게 산화되므로, Ta의 표면은 O<sub>2</sub>의 부가로 산화된다. Ta 산화물은 불화물 및 염화물과 반응하지 않으므로, Ta 막의 에칭 속도는 또한 감소된다. 그러므로, W 막과 Ta 막 사이에 에칭 속도의 차이를 갖는 것이 가능해지고, W 막의 에칭 속도를 Ta 막 보다 더 크게 만드는 것이 가능해진다.

<172> 마스크(409a 내지 412a)는 제거되고, 제 1 도핑 처리는 도 11a에 도시된 바와 같이 실행되어 n-형 전도성을 부여하는 불순물 소자를 부가한다. 예를 들어, 도핑은  $1 \times 10^{13}$  atoms/cm<sup>2</sup>의 선량(dosage)으로 70 내지 120 keV의 가속 전압에서 실행될 수 있다. 도핑 처리는 불순물 소자에 대해 제 2 형상의 도전층(419b 내지 422b)을 마스크로 사용하여 실행되므로, 제 2 도전층(419a 내지 422a) 아래의 영역에도 불순물 원소를 부가하게 된다. 따라서 제 2 도전층(419a 내지 422a)과 오버랩되는 제 2 불순물 영역(419a 내지 422a) 및 제 1 불순물 영역 보다 더 높은 불순물 농도를 갖는 제 2 불순물 영역(429 내지 432)이 형성된다. n-형 전도성 부여 소자는 실시예 3에서 마스크(409a 내지 412a)를 제거한 후에 부가되지만, 본 발명은 이에 제한되지 않음을 주목한다. n-형 전

도성을 부여하는 불순물 원소는 또한 도 11a의 단계에서 부가되고, 이어서 마스크(409a 내지 412a)가 제거될 수 있다.

<173> 다음에는 제 2 도전층(421a, 421b)을 커버하도록 레지스트로부터 마스크(433)가 반도체층(404)에 형성된다. 마스크(433) 일부는 제 2 불순물 영역(431)과 오버랩되고, 게이트 절연막(406)을 샌드위치형으로 포함한다. 이어서, 제 2 도핑 처리가 실행되어, n-형 전도성을 부여하는 불순물 원소가 부가된다. n-형 전도성 부여 불순물 원소의 도핑은 선량이 제 1 도핑 처리 보다 더 높게 상승되는 조건으로 저가속 전압에서 실행된다 (도 11b를 참고). 도핑에서는 이온 도핑 또는 이온 주입이 실행될 수 있다. 이온 도핑은  $1 \times 10^{13}$  내지  $5 \times 10^{14}$  atoms/cm<sup>2</sup>의 선량과 60 내지 100 keV의 가속 전압인 조건하에서 실행된다. n-형 전도성을 부여하는 불순물 원소로는 주기율표 그룹 15 원소, 전형적으로 인(P) 또는 비소(As)가 사용되고, 여기서는 인(P)이 사용된다. 제 2 형상의 도전층(419, 422)은 이 경우에 n-형 전도성 부여 원소에 대한 마스크가 되고, 소스 영역(434 내지 437), 드레인 영역(438 내지 441), 및 Lov 영역(442, 445)은 자체 정렬 방식으로 형성된다. 또한, Loff 영역(446)은 마스크(433)에 따라 형성된다. n-형 전도성을 부여하는 불순물 원소는 소스 영역(434 내지 437) 및 드레인 영역(438 내지 441)에  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>의 범위내의 농도로 부가된다.

<174> 본 발명으로 마스크(433)의 크기를 제어함으로써 캐리어가 이동되는 방향으로 L<sub>off</sub> 영역(446)의 길이를 자유롭게 설정하는 것이 가능하다.

<175> 본 명세서에서, 게이트 절연막을 삽입하여 게이트 절연막과 오버랩되는 LED 영역은 L<sub>ov</sub> 영역이라 칭하여진다. 게이트 절연막과 오버랩되지 않는 LDD 영역은 L<sub>ff</sub> 영역이라 칭하여진다.

<176> n-형 전도성 부여 불순물 원소는 Loff 영역에서  $1 \times 10^{17}$  내지  $1 \times 10^{19}$  atoms/cm<sup>3</sup>의 농도를 형성하고 Lov 영역에서  $1 \times 10^{16}$  내지  $3 \times 10^{18}$  atoms/cm<sup>3</sup>의 농도를 형성하도록 부가된다.

<177> 도 11b에서는 상술된 조건하에서 n-형 전도성 부여 불순물 원소를 도핑하기 전에, 또는 그 후에, 마스크(443)가 반도체층(404)에 형성된 상태로, n-형 전도성을 부여하는 불순물 원소가 또한 70 내지 120 keV의 가속 전압에서 도핑될 수 있음을 주목한다. n-형 전도성을 부여하는 불순물 원소의 농도는 상기 처리에 의해 스위칭 TFT의 L<sub>off</sub> 영역이 되는 부분(446)에서 억제되고, 구동기 회로에 사용되는 TFT의 L<sub>ov</sub> 영역이 되는 부분(442, 443)에서의 n-형 전도성 부여 불순물 원소의 농도는 증가될 수 있다. 스위칭 TFT의 L<sub>off</sub> 영역이 되는 부분(446)에서 n-형 전도성 부여 불순물 원소의 농도를 억제함으로써, 픽셀 TFT에서 off 전류를 줄이는 것이 가능하다. 또한, 구동기 회로에 사용되는 n-채널 TFT의 L<sub>ov</sub> 영역이 되는 부분(443)에서 n-형 전도성 부여 불순물 원소의 농도를 증가시킴으로서, 드레인 부근의 높은 전계에 따라 발생되는 핫 캐리어 (hot carrier) 효과로 인하여 핫 캐리어에 의해 발생되는 저하 현상이 방지될 수 있다.

<178> 불순물 원소가 상기 단일 전도성 종류와 반대인 전도성 종류를 갖는 소스 영역(447, 448), 드레인 영역(449, 450), 및 Lov 영역(451, 452)은 도 11c에 도시된 바와 같이 마스크(433)를 제거한 후에 p-채널 TFT 형성 반도체층(402, 405)에 형성된다. 제 2 형상의 도전층(419, 422)은 불순물 원소에 대해 마스크로 사용되고, 불순물 영역은 자체-정렬 방식으로 형성된다. n-채널 TFT를 형성하는 반도체층(402, 403)의 전체 표면은 이때 레지스트 마스크(453)로 커버된다. 인은 이미 다른 농도로 소스 영역(447, 448), 드레인 영역(449, 450), 및 Lov 영역(451, 452)에 이미 부가되어 있고, 이온 도핑은 B<sub>2</sub>H<sub>6</sub> (diborane)를 사용하여 여기서 실행되므로, 붕소가 또한 각 영역에  $2 \times 10^{20}$  내지  $2 \times 10^{21}$  atoms/cm<sup>3</sup>의 농도로 부가된다.

<179> 불순물 영역 (소스 영역, 드레인 영역, L<sub>ov</sub> 영역, 및 L<sub>off</sub> 영역)은 상기 처리에 의해 각 반도체층(402 내지 405)에 형성된다. 반도체층과 오버랩되는 제 2 형상의 도전층(419 내지 422)은 게이트 전극으로 동작한다.

<180> 이어서, 전도성 종류를 제어할 목적으로 각 반도체층에 부가된 불순물 원소를 활성화하는 처리가 실행된다. 이 처리로는 어닐링 용광로를 사용하는 열적 어닐링이 실행된다. 부가하여, 레이저 어닐링 및 고속 열적 어닐링 (rapid thermal annealing, RTA)이 또한 적용될 수 있다. 열적 어닐링은 400 내지 700°C, 전형적으로 500 내지 600°C의 사이에서 질소 대기로 1 ppm 이하, 바람직하게 0.1 ppm 이하의 산소 농도로 실행된다. 실시예 3에서는 열 처리가 500°C에서 4 시간 동안 실행된다. 그러나, 제 2 도전층(419 내지 422)에서 사용되는 전도성 물질이 열에 대해 약한 경우에는 게이트 전극, 배선 등을 보호하기 위해 층간 절연막 (주성분으로 실리콘을 갖

는)을 형성한 이후 활성화를 실행하는 것이 바람직하다.

<181> 부가하여, 열처리는 1 내지 12 시간 동안 300 내지 450°C에서 3 내지 100%의 수소를 포함하는 대기에서 실행되어, 반도체층의 수소화를 실행한다. 이 처리는 열적으로 여기된 수소에 의해 아일랜드 (island) 형상의 반도체층에 댱글링 결합 (dangling bond)을 종료하는 것이다. 플라스마 수소화 (플라스마에 의해 여기된 수소를 사용하는)는 또한 수소화의 또 다른 수단으로 실행될 수 있다.

<182> 다음에는 제 1 층간 절연막(455)이 100 내지 200 nm의 두께를 갖는 질산화실리콘막으로 형성된다 (도 12a를 참고). 이어서, 유기 절연 물질로 구성된 제 2 층간 절연막(458)이 제 1 층간 절연막(455)에 형성된다.

<183> 접촉 홀 (contact hole)은 게이트 절연막(406), 제 1 층간 절연막(455), 및 제 2 층간 절연막(458)에 형성되고, 소스 배선(459 내지 462)은 접촉 홀을 통해 소스 영역(447, 435, 436, 448)과 접촉하도록 형성된다. 또한, 드레인 배선(463 내지 465)은 동시에 드레인 영역(449, 439, 440, 450)과 접촉하여 형성된다 (도 12b).

<184> 게이트 절연막(406), 제 1 층간 절연막(455), 및 제 2 층간 절연막(458)이 SiO<sub>2</sub> 막 또는 SiON 막일 때, CF<sub>4</sub> 및 O<sub>2</sub>를 사용한 건식 에칭에 의해 접촉 홀을 형성하는 것이 바람직함을 주목한다. 또한, 게이트 절연막(406), 제 1 층간 절연막(455), 및 제 2 층간 절연막(458)이 유기 수지막인 경우에는 CHF<sub>3</sub>를 사용한 건식 에칭에 의해, 또는 BHF (buffered hydrogen fluooride, HF + NH<sub>4</sub>F)에 의해 접촉 홀을 형성하는 것이 바람직하다. 부가하여, 게이트 절연막(406), 제 1 층간 절연막(455), 및 제 2 층간 절연막(458)이 다른 물질로 형성되면, 에칭 방법 및 에친트 (etchant) 또는 각 막에 대한 에칭 기체 종류를 변화시키는 것이 바람직하다. 그러나, 접촉 홀은 또한 동일한 에칭 방법 및 동일한 에친트 또는 에칭 기체를 사용하여 형성될 수 있다.

<185> 다음에는 유기 수지로부터 제3 층간 절연막(467)이 형성된다. 폴리아미드, 폴리아미드, 아크릴, 및 BCB (benzocyclobuene) 유기 수지가 사용될 수 있다. 특히, 제3 층간 절연막(467)이 뛰어난 레벨화로 형성되기 때문에, 뛰어난 레벨성을 갖는 아크릴을 사용하는 것이 바람직하다. 실시예 3에서는 TFT로 형성된 단계가 충분히 레벨화될수 있는 막 두께로 아크릴 막이 형성된다. 막 두께는 바람직하게 1 내지 5 μm (보다 바람직하게 2 내지 4 μm)이다.

<186> 다음에는 드레인 배선(465)에 이르는 접촉 홀이 제3 층간 절연막(467)에 형성되고, 픽셀 전극에 대한 도전막 (466)이 픽셀부에 형성된다 (도 12c를 참고). 실시예 3에서는 ITO (indium tin oxide)막이 110 nm의 두께로 형성되고, 도전막(466)을 형성한다. 또한, 2 내지 20% ZnO (zinc oxide)이 산화인듐과 혼합되는 도전막(466)이 또한 사용될 수 있다. ZnO로 형성된 막 또는 In<sub>2</sub>O<sub>3</sub> (tin oxide)로 형성된 막이 사용될 수 있다. 본 발명에서는 EL 구동기 TFT의 드레인 영역 이외의 영역 및 픽셀 전극에 대한 도전막(466)의 단락 회로 발생이 방지되어야 하고, 이는 제3 층간 절연막에 도전막(466)을 형성함으로써 실현될 수 있다.

<187> 도 12c의 상태에서, 각 픽셀은 본 발명의 제 1 검사 방법에 의해 선택되고, 도전막(467)의 전류값이 측정된다.

<188> 측정 후에, 픽셀 전극(468)은 도전막(466)을 패터닝함으로써 형성된다. 픽셀 전극(468)은 EL 소자의 양극이다 (도 13a를 참고).

<189> 다음에는 제 1 뱅크 (bank)(496) 및 제 2 뱅크(470)가 수지 물질로 형성된다. 제 1 뱅크(469) 및 제 2 뱅크 (470)는 이후 형성될 인접한 픽셀의 음극 및 EL층을 분리하도록 형성된다. 그러므로, 제 2 뱅크(470)는 제 1 뱅크(469) 보다 수평적으로 더 돌출되는 것이 바람직하다. 제 1 뱅크(469) 및 제 2 뱅크(470)의 조합된 두께는 1 내지 2 μm 정도로 이루어지지만, 이후 형성될 인접한 픽셀의 EL 층 및 음극이 분리될 수 없다면, 이 두께에는 제한이 없음을 주목한다. 또한, 절연막으로 제 1 뱅크(469) 및 제 2 뱅크(470)를 형성할 필요가 있으므로, 예를 들어 산화물 또는 수지와 같은 물질을 사용하는 것이 가능하다. 제 1 뱅크(469) 및 제 2 뱅크(470)는 모두 동일한 물질로 형성될 수 있고, 이들은 또한 다른 물질로 형성될 수 있다. 제 1 뱅크(469) 및 제 2 뱅크 (470)는 픽셀 사이에서 스트라이프 형상으로 형성된다. 제 1 뱅크(469) 및 제 2 뱅크(470)는 소스 배선 (소스 신호선)을 따라 그 위에 형성될 수 있고, 게이트 배선 (게이트 신호선)을 따라 그 위에 형성될 수 있다. 제 1 뱅크(469) 및 제 2 뱅크(470)는 또한 색소가 수지로 혼합된 물질로 형성될 수 있음을 주목한다 (도 13a를 참고).

<190> 다음에는 진공 증착을 사용하여 대기에 노출되지 않고 연속하여 EL층(471) 및 음극 (MgAg 전극)(472)이 형성된다. EL층(471)의 막 두께는 80 내지 200 nm (전형적으로 100 내지 120 nm 사이)이고, 음극(472)의 막 두께는 180 내지 300 nm (전형적으로 200 내지 250 nm 사이)이다. 또한, 실시예 3에서는 단 하나의 픽셀만이 도시되지

만, 적색광을 조사하는 EL층, 녹색광을 조사하는 EL층, 및 청색광을 조사하는 EL층이 이 지점에서 동시에 형성될 수 있음을 주목한다. 비록 EL층 및 음극을 형성하는 물질이 뱅크(470)에 적층되지만, 본 명세서에서는 이들 물질이 EL층(471) 및 음극(472)에 포함되지 않는다.

<191> EL층(471) 및 음극(472)은 적색에 대응하는 픽셀, 녹색에 대응하는 픽셀, 및 청색에 대응하는 픽셀에 대해 순서대로 형성된다. 그러나, EL층(471) 및 음극(472)은 용액에 대해 부족한 저항을 가지므로, 각 칼라는 사진식판술 (photolithography)을 사용하지 않고 분리되어 형성되어야 한다. 금속 마스크를 사용하여 원하는 픽셀 이외의 픽셀을 커버하고, 요구되는 위치에만 EL층(471) 및 음극(472)을 선택적으로 형성하는 것이 바람직하다.

<192> 즉, 먼저 적색에 대응하는 것을 제외한 모든 픽셀을 커버하도록 마스크가 설정되고, 적색 발광 EL층 및 음극은 그 마스크를 사용하여 선택적으로 형성된다. 다음에, 마스크는 녹색에 대응하는 것을 제외한 모든 픽셀을 커버하도록 설정되고, 녹색 발광 EL층 및 음극은 그 마스크를 사용하여 선택적으로 형성된다. 마지막으로, 마스크는 청색에 대응하는 것을 제외한 모든 픽셀을 커버하도록 설정되고, 청색 발광 EL층 및 음극은 그 마스크를 사용하여 선택적으로 형성된다. 비록 여기서는 모두 다른 마스크의 사용이 기록되지만, 동일한 마스크가 재사용될 수 있음을 주목한다. 또한, 모든 픽셀 EL층 및 음극이 진공 상태를 해제하지 않고 형성될 때까지 처리를 실행하는 것이 바람직하다.

<193> 실시예 3에서는 발광층으로만 구성된 단일층 구조가 EL층(471)으로 도시되지만, 발광층에 부가하여 홀 운송층, 홀 주입층, 전자 운송층, 및 전자 주입층과 같은 층을 갖는 구조가 또한 EL층으로 사용될 수 있음을 주목한다. 이러한 종류의 조합에 대한 다양한 예는 이미 보고되었고, 이러한 구조가 모두 사용될 수 있다. 공지된 물질은 EL층(471)으로 사용될 수 있다. EL 구동 전압을 고려하여, 공지된 물질로 유기 물질을 사용하는 것이 바람직하다. 본 실시예에서는 EL 소자의 음극으로 MgAg 전극을 사용하는 예가 또한 사용될 수 있다.

<194> 따라서 도 13b에 도시된 바와 같은 구조를 갖는 EL 패널이 완성된다. 제 1 뱅크(469) 및 제 2 뱅크(470)를 형성한 후에, 다중-챔버 (multi-chamber) 방법 (또는 인라인 (in-line) 방법) 박막 형성 장치를 사용함으로써 음극(472)의 형성까지 대기해 노출되지 않고 연속하여 처리를 실행하는 것이 효과적임을 주목한다.

<195> 실시예 3에서, 소스 영역(504), 드레인 영역(505),  $L_{off}$  영역(506),  $L_{ov}$  영역(507), 및 채널 형성 영역(508)은 스위칭 TFT(501)의 반도체층에 포함된다.  $L_{off}$  영역(506)은 게이트 절연막(406)을 통해 게이트 전극(421)과 오버랩되지 않도록 형성된다. 또한,  $L_{ov}$  영역(507)은 게이트 절연막(406)을 통해 게이트 전극(421)과 오버랩되도록 형성된다. 이러한 종류의 구조는 off 전류를 줄이는데 매우 효과적이다.

<196> 또한, 실시예 3에서는 스위칭 TFT(501)로 단일 게이트 구조가 사용되지만, 본 발명은 또한 이중 게이트 구조 또는 다른 종류의 다중 게이트 구조를 스위칭 TFT로 가질 수 있다. 2개의 TFT는 이중 게이트 구조를 사용하여 효과적으로 직렬 접속되므로, 부가적으로 off 전류를 줄이는 이점을 제공한다.

<197> 또한, 실시예 3에서는 스위칭 TFT(501)가 n-채널 TFT이지만, p-채널 TFT가 또한 사용될 수 있다.

<198> EL 구동기 TFT(502)의 반도체층은 소스 영역(510), 드레인 영역(511),  $L_{ov}$  영역(512), 및 채널 형성 영역(513)을 포함한다.  $L_{ov}$  영역(512)은 게이트 절연막(406)을 통해 게이트 전극(422)과 오버랩되도록 형성된다. 실시예 3에서는 EL 구동기 TFT(502)가  $L_{off}$  영역을 갖지 않지만,  $L_{off}$  영역을 갖는 구조도 또한 사용될 수 있음을 주목한다.

<199> 또한, 실시예 3에서는 EL 구동기 TFT(502)가 p-채널 TFT이지만, 이는 또한 n-채널 TFT가 될 수 있다.

<200> 먼저, 동작 속도에서의 매우 큰 강하를 갖지 않도록 핫 캐리어 주입이 감소되는 구조를 갖는 TFT가 구동기 회로 부분을 형성하는 CMOS 회로의 n-채널 TFT(503)로 사용된다. 여기서는 쉬프트 (shift) 레지스터, 버퍼, 레벨 쉬프터 (level shifter), 및 샘플링 회로 (샘플 및 홀드 (hold) 회로)가 구동기 회로로 포함된다. 디지털 구동을 실행할 때는 D/A 변환기와 같은 신호 변환 회로가 또한 포함될 수 있다.

<201> 실시예 3에서, CMOS 회로의 n-채널 TFT(503)의 반도체층은 소스 영역(521), 드레인 영역(522),  $L_{ov}$  영역(523), 및 채널 형성 영역(524)을 포함한다.

<202> 또한, CMOS 회로의 p-채널 TFT(504)의 반도체층은 소스 영역(531), 드레인 영역(532),  $L_{ov}$  영역(533), 및 채널 형성 영역(534)을 포함한다.

- <203> 실제로, 대기에 노출되지 않도록 도 13b의 처리까지 완료된 후에 투명 봉합 물질에 의해, 또는 높은 밀폐 특성 및 밀봉성을 갖는 보호막 (적층막이나 적외선 강화 수지막과 같은)에 의해 패키지화 (봉합)를 실행하는 것이 바람직함을 주목한다. 또한, 봉합 물질의 내부에 불활성 기체가 주어지고 전조제 (예를 들면, 산화바륨)가 봉합 물질 내부에 배열되면, EL 소자의 확실성이 증가된다.
- <204> 또한, 패키지화 처리 등에 따라 밀폐 특성을 증가시킨 이후, 기판에 형성된 소자를 회로로부터 확장된 단자로 외부 신호 단자에 접속시키기 위해 접속기 (FPC (flexible printed circuit))가 부착된다. 이와 같이, 제조된 제품이 완성된다. 이러한 종류의 전달가능한 상태는 본 명세서를 통해 EL 디스플레이 디바이스라 칭하여진다.
- <205> 게이트 전극의 채널 길이 방향의 길이 (후에 게이트 전극의 폭이라 칭하여지는)는 상술된 바와 같은 본 발명의 제조 방법에서 서로 다르다. 그러므로, 게이트 전극을 마스크로 사용하여 이온 주입을 실행할 때, 다른 게이트 전극 두께로 인하여, 이온 주입 깊이에서의 차이를 사용함으로써 제 1 게이트 전극 아래에 배열되지 않은 반도체층내에서의 이온 농도 보다 더 낮은 제 1 게이트 전극 아래에 배열된 반도체층내에서의 이온 농도를 이루는 것이 가능하다.
- <206> 또한, 마스크를 사용하여  $L_{off}$  영역을 형성하기 위해,  $L_{ov}$  영역의 폭만이 예정으로 제어될 필요가 있다. 그러므로,  $L_{ov}$  영역 및  $L_{off}$  영역의 정확한 위치 정렬이 쉬워진다.
- <207> 본 발명의 제 1 검사 방법은 실시예 3에 도시된 EL 디스플레이 디바이스에만 적용되지 않고, 이는 또한 다른 다양한 EL 디스플레이 디바이스에 사용된다.
- <208> 본 발명의 제 1 검사 방법은 픽셀 전극이 되는 전도성을 갖는 도전막 및 도전막에 흐르는 전류의 값을 측정함으로써 실행된다. 따라서 픽셀 전극은 검사 후에 도전막을 패터닝함으로써 형성될 수 있다. 그러므로, 처리 단계의 수가 검사를 위해 증가될 필요가 없다.
- <209> 다음에는 제 2 검사 방법을 사용하는 경우가 설명된다. 도 12c 이전의 단계는 제 1 검사 방법의 제조 방법과 똑같다. 도 12c의 단계 후에는 픽셀 전극에 대한 도전막(466)이 형성되고 픽셀 전극(468)이 패터닝되어 형성된다 (도 14를 참고). 실시예 3에서는 ITO 막이 110 nm의 두께로 형성되고, 픽셀 전극(468)이 패터닝에 의해 형성된다. 또한, 2 내지 20%의 ZnO가 산화인듐과 혼합된 물질이 또한 픽셀 전극(468)으로 사용될 수 있다. ZnO로 형성된 막 또는  $In_2O_3$ 로 형성된 막이 사용될 수 있다. 픽셀 전극(468)은 EL 소자의 양극이 된다.
- <210> 다음에는 검사 도전막(480)이 픽셀 전극(468)과 접촉하도록 상술된 제3 층간 절연막(467) 위에 형성된다. 검사 도전막(480)은 픽셀부에서 모든 픽셀 전극(468)을 전기적으로 접속시키도록 형성된다. 또한, 검사 도전막(480)은 소스 신호 구동기 회로 및 게이트 신호 구동기 회로를 포함하는 구동 부분에 포함되지 않고 픽셀부에만 포함되는 것이 중요하다. 본 실시예에서는 폴리아세틸렌 (polyacetylene)의 검사 도전막(480)이 금속 마스크를 사용하여 20  $\mu m$  두께로 형성된다.
- <211> 본 발명에서는 검사 도전막(480)이 픽셀 전극(468)을 제외하고 TFT 또는 배선과 단락 회로화되는 것을 방지할 필요가 있고, 본 실시예에서는 검사 도전막(480)이 제3 층간 절연막(467)에 형성된다.
- <212> 도 14의 상태에서, 각 픽셀은 본 발명의 검사 방법에 의해 선택되고, 검사 도전막(480)을 흐르는 전류의 값이 측정된다.
- <213> 측정 후에, 검사 도전막(480)은 용매에 의해 제거된다 (도 14를 참고).
- <214> 다음에는 수지 물질로 구성된 제 1 뱅크(469) 및 제 2 뱅크(470)가 형성된다. 이어지는 단계에 대한 생략은 제 1 검사에서와 동일하므로 생략된다.
- <215> 실시예 3에서는 EL층으로부터 조사되는 광이 기판 쪽으로 향하는 예가 설명되지만, 본 발명은 이에 제한되지 않고, EL층으로부터 조사되는 광이 기판 위로 향하는 구조가 또한 사용될 수 있음을 주목한다. 이 경우, EL 소자의 음극은 픽셀 전극이 되어, EL 구동기 TFT가 n-채널 TFT인 것이 바람직하다.
- <216> 본 실시예의 구성은 실시예 1 및 2의 구성과 자유롭게 조합될 수 있다.
- <217> <실시예 4>
- <218> 실시예 4에서는 본 발명의 검사에 의해 뛰어난 물품으로 결정된 EL 패널을 사용하여 EL (Electro Luminescence) 디스플레이 디바이스를 제조하는 예가 설명된다. 도 15a는 본 발명을 사용하는 EL 디스플레이 디바이스의 상면

도이고, 도 15b는 그 단면도임을 주목한다.

<219> 도 15a 및 도 15b에서, 참조번호(4001)는 기판을 나타내고, (4002)는 픽셀부를 나타내고, (4003)은 소스 신호 구동기 회로를 나타내고, (4004)는 게이트 신호 구동기 회로를 나타낸다. 구동기 회로는 배선(4005)을 통해 FPC (flexible printed circuit)(4006)로 외부 장비에 접속된다.

<220> 이때, 제 1 봉합 물질(4101), 커버 물질(4102), 충전재 물질(4103), 및 제 2 봉합 물질(4104)은 픽셀부(4002), 소스 신호 구동기 회로(4003), 및 게이트 신호 구동기 회로(4004)를 둘러싸도록 제공된다.

<221> 선 A-A'을 따라 절단된 도 15a의 단면도는 도 15b에 도시된다. 기판(4001)에는 소스 신호 구동기 회로(4003)에 포함된 구동기 TFT(4201) (여기서는 n-채널 TFT 및 p-채널 TFT가 도시된다) 및 픽셀부(4002)에 포함된 EL 구동기 TFT(4202) (여기서는 EL 소자에 흐르는 전류를 제어하기 위한 TFT가 도시된다)가 형성된다.

<222> 본 실시예에서, 구동기 TFT(4201)는 공지된 방법에 의해 p-채널 TFT 또는 n-채널 TFT 형성을 사용하여 제조되고, EL 구동기 TFT(4202)는 공지된 방법에 의해 p-채널 TFT 형성을 사용하여 제조된다. 또한, EL 구동기 TFT(4202)의 게이트 전극에 접속된 저장 캐패시터 (도면에 도시되지 않음)가 픽셀부(4002)에 제공된다.

<223> 수지 물질로 구성된 충간 절연막 (레벨화 막)(4301)은 구동기 TFT(4201) 및 픽셀 TFT(4202)에 형성되고, 픽셀 전극 (양극)(4302)은 픽셀 TFT(4202)의 드레인에 전기적으로 접속된다. 픽셀 전극(4302)은 큰 작업 기능을 갖는 투명 도전막으로 형성된다. 투명 도전막으로는 산화인듐 및 산화주석의 화합물 또는 산화인듐 및 산화아연의 화합물이 사용될 수 있다. 또한, 갈륨 도핑된 상술된 투명 도전막이 사용될 수 있다.

<224> 이어서, 절연막(4303)이 픽셀 전극(4302)에 형성되고, 개구부가 픽셀 전극(4302)에 형성된다. 개구부에서는 EL (Electro Luminescence)층(4304)이 픽셀 전극(4302)에 형성된다. EL층(4304)으로는 공지된 유기 EL 물질 또는 비유기 EL 물질이 사용된다. 저분자형 (모노머 (monomer) 근거의) 유기 EL 물질 및 고분자형 (폴리머 (polymer) 근거의) 유기 EL 물질이 모두 유기 물질로 사용될 수 있다.

<225> 공지된 기술의 증착 방법 또는 폐인팅 방법이 EL층(4304)을 형성하는데 사용될 수 있다. EL층은 홀 주입층, 홀 운송층, 발광층, 전자 운송층, 및 전자 주입층을 자유롭게 조합하는 적층 구조 또는 단일층 구조를 가질 수 있다.

<226> EL층(4304)에는 광차폐 특성을 갖는 도전막 (전형적으로, 알루미늄, 구리, 또는 은을 주성분으로 포함하는 도전막 또는 이들과 다른 도전막의 적층막)으로 구성된 음극(4305)이 형성된다. 음극(4305)과 EL층(4304) 사이의 인터페이스에 존재하는 습기나 산소를 가능한한 많이 제거하는 것이 바람직하다. 그러므로, 진공 상태에서 음극(4305) 및 EL층(4304)을 연속하여 피착하거나 희가스 (rare gas) 대기나 질소 대기에서 EL층(4304)을 피착하는 방법을 사용할 필요가 있고, 그에 의해 음극(4305)은 산소 및 습기에 노출되지 않고 형성된다. 상기의 막 피착은 실시예 4에서 다중-챔버 방법 (클러스터 툴 방법 (cluster tool method)) 막 피착 장치를 사용함으로써 가능해진다.

<227> 이어서, 음극(4305)은 참조번호(4306)로 나타내진 영역에서 배선(4005)에 전기적으로 접속된다. 음극(4305)에 소정의 전압을 부여하는 배선(4005)은 이방성 도전막(4307)을 통해 FPC(4006)에 접속된다.

<228> 상술된 바와 같이, EL 소자는 픽셀 전극 (양극)(4302), EL층(4304), 및 음극(4305)으로 형성된다. EL 소자는 제 1 봉합 물질(4101)을 통해 기판(4001)과 적층되는 커버 물질(4102) 및 제 1 봉합 물질(4101)로 둘러싸이고, 필러 물질(4103)로 봉합된다.

<229> 커버 물질(4102)로는 유리 물질, 금속 물질 (전형적으로 스테인레스 스틸 플레이트), 세라믹 물질, 및 플라스틱 물질 (플라스틱막을 포함하는)과 같은 물질이 사용될 수 있다. 플라스틱 물질로는 FRP (fiberglass-reinforced plastic) 물질, PVF (polyvinyl fluoride)막, Mylar막, 폴리에스테르 (polyester)막, 및 아크릴 수지막이 사용될 수 있다. 알루미늄 호일이 PVF 막 또는 Mylar 막에 의해 샌드위치형으로 위치하는 시트 (sheet) 구조를 사용하는 것이 바람직하다.

<230> EL 소자로부터 조사되는 광의 조사 방향이 커버 물질측을 향하는 경우, 커버 물질이 투명성을 가질 필요가 있음을 주목한다. 그 경우, 유리 플레이트, 플라스틱 플레이트, 폴리에스테르막, 또는 아크릴막과 같은 투명 물질이 사용될 수 있다.

<231> 부가하여, 필러 물질(4103)은 자외선 경화 수지 또는 열적 경화 수지를 사용하여 형성된다. 필러 물질로는 PVC (polyvinyl chloride), 아크릴, 폴리이미드, 에폭시 (epoxy) 수지, 실리콘 수지, PVB (polyvinyl butyral), 및

EVA (ethylene vinyl acetate)가 사용될 수 있다. 전조제 (바람직하게 산화바륨)가 필러 물질(4103) 내부에 형성되면, 이는 EL 소자의 변형을 억제할 수 있다.

<232> 또한, 필러 물질(4103)에는 스페이서 (spacer)가 포함될 수 있다. 이때, 스페이서는 산화바륨을 사용하여 형성되어, 스페이서 자체가 흡습성을 갖는다. 또한, 스페이서를 제공하는 경우, 스페이서로부터의 압력을 완화시키도록 수지막이 벼퍼층으로 음극(4305)에 제공되는 것이 효과적이다.

<233> 또한, 배선(4005)은 이방성 도전막(4307)을 통해 FPC(4006)에 전기적으로 접속된다. 배선(4005)은 픽셀부 (4002), 소스측 구동기 회로(4003), 및 게이트 신호 구동기 회로(4004)를 통해 FPC(4006)에 신호를 전송하고, FPC(4006)를 통해 외부 장비에 전기적으로 접속된다.

<234> 또한, 본 실시예에서는 제 2 봉합 물질(4104)이 제 1 봉합 물질(4101)의 노출 부분 및 FPC(4006) 일부를 커버하도록 제공되어, EL 소자가 외부로부터 완전히 차단된 구조를 얻는다. 이 방법으로, EL 디스플레이 디바이스는 도 15b에 도시된 단면 구조를 갖는다.

<실시예 5>

<236> 본 실시예에서는 도 16을 참고로 본 발명에 따른 EL 디스플레이 디바이스의 픽셀 구조가 설명된다. 본 실시예에서, 참조번호(4701)는 스위칭 TFT(4702)의 소스 배선을 포함하는 소스 신호선을 나타내고, (4703)은 스위칭 TFT(4702)의 게이트 배선을 포함하는 게이트 신호선을 나타내고, (4704)는 EL 구동기 TFT를 나타내고, (4705)는 캐패시터 (생략될 수 있는)를 나타내고, (4706, 4710)은 전원 공급선을 나타내고, (4707)은 전원 제어 TFT를 나타내고, (4709, 4711)은 전원 제어 게이트 배선을 나타내고, 또한 (4708)은 EL 소자를 나타낸다. 전원 제어 TFT(4707)의 동작에 대해서는 일본 특허 출원 No. 11-341272를 참고한다.

<237> 비록 본 실시예에서는 전원 제어 TFT(4707)가 EL 구동기 TFT(4704)와 EL 소자(4708) 사이에 제공되지만, 전원 제어 TFT(4707)와 EL 소자(4708) 사이에 EL 구동기 TFT(4704)를 제공하는 것이 또한 가능하다. 더욱이, 전원 제어 TFT(4707)는 바람직하게 EL 구동기 TFT(4704)로 동일한 구조를 갖도록, 또는 그에 동일한 활성층을 사용하면서 EL 구동기 TFT(4704)와 직렬 접속되도록 형성된다.

<238> 도 16a는 전원 공급선(4706)이 2개 픽셀과 공유되는 예를 설명한다. 보다 특정하게, 2개 픽셀은 전원 공급선 (4706)에 대해 서로 대칭이 되도록 형성된다. 이 경우, 필요한 전원 공급선의 수는 감소될 수 있으므로, 픽셀 부가 더 높은 정확도로 형성될 수 있다.

<239> 도 16b는 전원 공급선(4710)이 게이트 배선(4703)과 나란히 제공되고, 전원 제어 게이트 배선(4711)이 소스 신호선(4701)과 나란히 제공되는 예를 도시한다. 비록 도 16b는 전원 공급선(4710)이 게이트 배선(4703)과 오버랩되지 않는 구조를 도시하지만, 둘 모두가 다른 층에 형성된 배선이면, 이들은 절연막을 통해 서로 오버랩되도록 제공될 수 있다. 이 경우에는 차지하는 면적이 전원 공급선(4710) 및 게이트 배선(4703)에 공통적으로 이루어질 수 있으므로, 픽셀부가 더 섬세하게 만들어질 수 있다.

<240> 본 발명의 검사 방법은 도 16에 도시된 것 이외에 많은 종류의 구조 픽셀을 갖는 다양한 EL 디스플레이에 적용될 수 있다.

<241> 본 발명에서 설명된 바와 같은 구조는 실시예 2 내지 4의 구조와 자유롭게 조합될 수 있다.

<실시예 6>

<243> 실시예 6에서는 FPC 또는 TAB와 같은 접속기가 본 발명의 디스플레이 패널에 부착되어 운반될 수 있는 실제 완성 제품을 형성하는 경우가 도 17a, 도 17b, 및 도 18을 사용하여 설명된다.

<244> 참조번호(1801)는 본 발명의 검사 방법을 통과한 복수의 픽셀이 형성된 픽셀부를 나타낸다. 픽셀부(1801) 및 외부에 픽셀부(1801)의 배선을 접속시키기 위한 접속기를 갖는 모듈은 본 명세서에서 디스플레이 패널(1806)이라 칭하여진다.

<245> 참조번호(1802)는 소스 신호선 구동기 회로를 나타내고, (1803)은 게이트 신호선 구동기 회로를 나타낸다. 소스 신호선 구동기 회로(1802)로부터 출력되는 비디오 신호는 게이트 신호선 구동기 회로(1803)로부터 출력된 선택 신호에 따라 픽셀부(1801) 중 지정된 픽셀에 입력된다. 비디오 신호는 디지털이거나 아날로그이다. 또한, 임의의 수의 소스 신호선 구동기 회로(1802) 및 게이트 신호선 구동기 회로(1803)가 형성될 수 있다.

<246> 소스 신호선 구동기 회로(1802) 및 게이트 신호선 구동기 회로(1803)로 구성된 구동기 회로, 픽셀부(1801), 및

픽셀부(1801)의 배선과 구동기 회로의 배선을 외부로 접속시키기 위한 접속기를 갖는 모듈은 본 명세서에서 부착된 구동기 회로를 갖춘 디스플레이 패널(1807)로 칭하여진다. 부착된 구동기 회로를 갖춘 디스플레이 패널(1807)은 구동기 회로가 부착된 디스플레이 패널(1806)이다.

<247> 부착된 구동기 회로를 갖춘 디스플레이 패널(1807)에서는 구동기 회로 및 픽셀부(1801)가 분리된 기판에 형성되어 FPC 또는 TAB와 같은 접속기로 접속되는 경우가 있고, 구동기 회로 및 픽셀부(1801)가 동일한 기판에 형성된 경우가 있다. 전자는 외부적으로 부착된 구동기 회로를 갖는 디스플레이 패널이라 칭하여지고, 후자는 접착된 구동기 회로를 갖는 디스플레이 패널이라 칭하여진다.

<248> 도 17a는 외부적으로 부착된 구동기 회로를 갖춘 디스플레이 패널의 상단 표면도이다. 픽셀부(1801)는 기판(1810)에 형성되고, 픽셀부(1801)의 배선은 FPC(1811)를 통해 외부 기판(1813)에 형성된 소스 신호선 구동기 회로(1802) 및 게이트 신호선 구동기 회로(1803)에 접속된다. 소스 신호선 구동기 회로(1802), 게이트 신호선 구동기 회로(1803), 및 픽셀부(1801)는 외부 접속 FPC(1812)에 의해 외부로 접속된다.

<249> 도 17b는 접착 구동기 회로를 갖춘 디스플레이 패널의 상단 표면도이다. 픽셀부(1801), 소스 신호선 구동기 회로(1802), 및 게이트 신호선 구동기 회로(1803)는 기판(1810)에 형성된다. 픽셀부(1801), 소스 신호선 구동기 회로(1802), 및 게이트 신호선 구동기 회로(1803)의 배선은 외부 접속 FPC(1812)를 통해 외부로 접속된다.

<250> 도 18에서, 참조번호(1804)는 제어기를 나타내고, 제어기는 구동기 회로를 구동시키고 픽셀부(1801)에 영상을 디스플레이하도록 동작한다. 예를 들면, 제어기는 외부로부터 소스 신호선 구동기 회로(1802)에 영상 정보를 갖는 신호를 입력하고, 구동기 회로를 구동하기 위한 신호(예를 들면, 클럭 신호 CLK 및 시작 펄스 SP)를 발생하고, 또한 구동기 회로 및 픽셀부(1801)에 전위를 공급하도록 전원으로 동작한다.

<251> 구동기 회로, 픽셀부(1801), 제어기(1804), 및 픽셀부(1801), 구동기 회로, 및 제어기를 외부로 접속시키기 위한 접속기를 갖는 모듈은 본 명세서에서 부착된 제어기 및 구동기 회로를 갖춘 디스플레이 패널(1808)이라 칭하여진다. 부착된 제어기 및 구동기 회로를 갖춘 디스플레이 패널은 구동기 회로 및 제어기가 부착된 디스플레이 패널(1806)이다.

<252> 참조번호(1805)는 제어기의 구동을 제어하는 마이크로컴퓨터를 나타낸다. 마이크로컴퓨터(1805), 구동기 회로, 픽셀부(1801), 제어기(1804), 및 픽셀 부분(1801), 구동기 회로, 및 제어기의 배선을 외부로 접속시키기 위한 접속기를 갖는 모듈은 본 명세서에서 부착된 마이크로컴퓨터, 제어기, 및 구동기 회로를 갖춘 디스플레이 패널(1809)이라 칭하여진다. 부착된 마이크로컴퓨터, 제어기, 및 구동기 회로(1809)를 갖춘 디스플레이 패널은 구동기 회로, 제어기, 및 마이크로컴퓨터가 부착된 디스플레이 패널(1806)이다.

<253> 실제로, 완성된 제품은 디스플레이 패널(1806), 부착된 구동기 회로를 갖춘 디스플레이 패널(1807), 부착된 제어기 및 구동기 회로(1808)를 갖춘 디스플레이 패널(1808), 또는 부착된 마이크로컴퓨터, 제어기, 및 구동기 회로를 갖춘 디스플레이 패널(1809)로 운반됨을 주목한다. 디스플레이 패널(1806), 부착된 구동기 회로를 갖춘 디스플레이 패널(1807), 부착된 제어기 및 구동기 회로를 갖춘 디스플레이 패널(1808), 및 부착된 마이크로컴퓨터, 제어기, 및 구동기 회로를 갖춘 디스플레이 패널(1809)은 모두 본 명세서에서 디스플레이 모듈이라 칭하여진다.

<254> <실시예 7>

<255> 실시예 7에서는 실시예 3 및 실시예 4에 도시된 구조와 다른 EL 소자를 갖춘 픽셀부의 상세한 구조가 설명된다.

<256> 도 19a는 EL 소자(1907)의 단면도이고, 참조번호(1901)은 광차폐막으로의 기능을 부가하도록 수지에 색소가 부가된 층간 절연막으로 구성된 광차폐막을 나타낸다. 양극(1902)은 광차폐막(1901)에 형성되고, EL층(1903)은 양극(1902)에 형성된다.

<257> 클러스터(cluster)(1906)는 EL층(1903)에 형성되고, 투명 전극(1904)은 클러스터(1906)를 덮도록 EL층(1903)에 형성된다. 산소 및 습기가 침투하는 것을 방지하는데 효과적인 보호막(1905)은 투명 전극(1904)에 형성된다.

<258> 클러스터(1906)는 주기율표의 그룹 1 또는 그룹 2에 속하는 원소의 집합이고, 클러스터는 단일 질량 또는 이산적인 점으로 형성된다. 도 19a의 구조에서, 클러스터(1906)의 작업 효율은 장벽(barrier) 대 전자 주입을 결정하고, 전자는 클러스터(1906)를 통해 EL층(1903)에 주입된다.

<259> 클러스터(1906)는 EL층(1903)에 점(dot)으로 형성되므로, EL층(1903)으로부터 조사되는 광은 클러스터(106) 사이의 갭(gap)으로부터 전송될 수 있다.

- <260> 클러스터(1906)는 10 내지 100 nm의 지름 또는 주요 축 크기와 5 내지 10 nm의 높이를 갖는 것이 바람직하고, 클러스터 그 자체는 이 크기로 반투명하다. 이 종류의 클러스터(1906)는 5 내지 10 nm의 박막 두께를 타켓으로 증착을 사용하여 막 피착함으로써 형성될 수 있다.
- <261> 도 19b는 EL층(1903)이 아니라 투명 전극(1904)에 도 19a의 클러스터(1906)를 형성하는 예이다.
- <262> 도 19b에서, 투명 전극(1904)은 수지 층간 절연막에 색소를 부가함으로써 광차폐막으로 동작하는 광차폐막(1901)에 형성된다.
- <263> 클러스터(1906)는 투명 전극(1904)에 형성되고, EL층(1903)은 클러스터(1906)를 커버하도록 투명 전극(1904)에 형성된다.
- <264> 양극(1902)은 EL층(1903)에 형성된다. 도 19b에서는 투명 물질이 양극(1902)으로 사용된다. 산소 및 습기가 침투하는 것을 방지하는데 효과적인 보호막(1905)은 양극(1902)에 형성된다.
- <265> 클러스터(1906)는 주기율표의 그룹 1 또는 그룹 2에 속하는 원소의 집합이고, 클러스터는 단일 질량이나 이산적인 점으로 형성된다. 클러스터(1906)로 도 19a에 도시된 것과 동일한 물질을 사용하는 것이 가능하다. 도 19b의 구조로, 클러스터(1906)의 작업 효율은 장벽 대 전자 주입을 결정하고, 전자는 클러스터(1906)를 통해 EL층(1903)에 주입된다.
- <266> <실시예 8>
- <267> 본 발명의 검사 방법을 실시하여 형성된 EL 디스플레이 디바이스는 자체 발광형 디바이스이고 시야가 넓기 때문에 액정 디스플레이 디바이스와 비교해 밝은 위치에서도 뛰어난 가시력을 갖는다. 따라서, 이는 다양한 전자 디바이스의 디스플레이 부분으로 사용될 수 있다. 예를 들면, 본 발명의 검사 방법을 실시하여 형성된 EL 디스플레이 디바이스를 대형 화면의 TV 감상을 위해 30인치 이상 (전형적으로 40인치 이상)의 지름을 갖는 EL 디스플레이의 디스플레이 부분으로 사용하는 것이 적절하다.
- <268> 개인용 컴퓨터 디스플레이, TV 방송 수신 디스플레이, 또는 광고 디스플레이와 같이 정보를 나타내는 (디스플레이하는) 모든 디스플레이가 EL 디스플레이로 포함됨을 주목한다. 또한, 본 발명의 검사 방법은 다른 다양한 전자 디바이스의 디스플레이 부분으로 사용될 수 있다.
- <269> 다음은 본 발명의 전자 디바이스에 대한 예로 주어질 수 있다: 비디오 카메라; 디지털 카메라; 고글형 디스플레이 (헤드 설치 디스플레이); 자동차 네비게이션 (navigation) 시스템; 오디오 재생 디바이스 (자동차 오디오 시스템, 오디오 컴포 (compo) 시스템과 같은); 노트북 개인용 컴퓨터; 게임 장비; 휴대용 정보 단말기 (이동 컴퓨터, 이동 전화기, 이동 게임 장비, 또는 전자 서적과 같은); 및 기록 매체가 제공되는 영상 재생 디바이스 (특별히, 기록 매체의 재생을 실행하고, 디지털 비디오 디스크(DVD)와 같이, 영상을 디스플레이할 수 있는 디스플레이가 제공된 디바이스). 특별히, 휴대용 정보 단말기는 때로 대각선 방향으로 관찰되기 때문에, 시야의 넓이가 매우 중요하게 고려된다. 따라서 EL 디스플레이 디바이스가 사용되는 것이 바람직하다. 이러한 전자 디바이스의 예는 도 20 및 도 21에 도시된다.
- <270> 도 20a는 캐이스(3301), 지지대(3302), 및 디스플레이 부분(3303)을 포함하는 EL 디스플레이이다. 본 발명의 검사 방법이 적용된 EL 디바이스는 디스플레이 부분(3303)에 사용될 수 있다. EL 디스플레이가 자체 발광형 디바이스로 백라이트 (back light)가 필요하지 않으므로, 디스플레이 부분은 액정 디스플레이 디바이스 보다 더 쉽게 만들어질 수 있다.
- <271> 도 20b는 본체(3311), 디스플레이 부분(3312), 오디오 입력 부분(3313), 동작 스위치(3314), 배터리(3315), 및 영상 수신부(3316)를 포함하는 비디오 카메라이다. 본 발명의 검사 방법이 적용된 EL 디스플레이 디바이스는 디스플레이 부분(3312)에 사용될 수 있다.
- <272> 도 20c는 본체(3321), 단일 케이블(3322), 머리 고정 밴드(3323), 화면 부분(3324), 광학 시스템(3325), 및 디스플레이 부분(3326)을 포함하는 헤드 설치형 EL 디스플레이 디바이스 중 일부(우측)이다. 본 발명의 검사 방법이 적용된 EL 디스플레이 디바이스는 디스플레이 부분(3326)에 사용될 수 있다.
- <273> 도 20d는 본체(3331), 기록 매체 (DVD와 같은)(3332), 동작 스위치(3333), 디스플레이 부분(a)(3334), 및 디스플레이 부분(b)(3335)을 포함하고, 기록 매체가 제공된 영상 재생 디바이스 (특별히, DVD 재생 디바이스)이다. 디스플레이 부분(a)(3334)은 주로 영상 정보를 디스플레이하는데 사용되고, 디스플레이 부분(b)(3335)은 주로 문자 정보를 디스플레이하는데 사용되어, 본 발명의 검사 방법이 적용된 EL 디스플레이 디바이스는 디스플레이

부분(a)(3334) 및 디스플레이 부분(b)(3335)에 사용될 수 있다. 가정용 게임 장비는 기록 매체가 제공된 영상 재생 디바이스로 포함됨을 주목한다.

<274> 도 20e는 본체(3341), 디스플레이 부분(3342), 및 앰(arm) 부분(3343)을 포함하는 고글형 디스플레이 디바이스(헤드 설치 디스플레이)이다. 본 발명의 검사 방법이 적용된 EL 디스플레이 디바이스는 디스플레이 부분(3342)에 사용될 수 있다.

<275> 도 20f는 본체(3351), 케이스(3352), 디스플레이 부분(3353), 및 키보드(3354)를 포함하는 개인용 컴퓨터이다. 본 발명의 검사 방법이 적용된 EL 디스플레이 디바이스는 디스플레이 부분(3353)에 사용될 수 있다.

<276> EL 물질의 방사 발광이 미래에 더 높아지면, 렌즈 등으로 확대될 수 있는 출력 영상을 포함하는 광을 투사함으로써, 본 발명의 EL 디스플레이 디바이스를 전방형 또는 후방형으로 사용하는 것이 가능해짐을 주목한다.

<277> 상기 전자 디바이스는 인터넷이나 CATV (cable television)와 같은 전자 전기통신선을 통해 제공되는 정보를 디스플레이하는데 보다 자주 사용되고 있고, 특히 애니메이션 정보를 디스플레이할 기회가 증가되고 있다. EL 물질의 응답 속도가 매우 높으므로, EL 디스플레이 디바이스는 애니메이션 디스플레이를 실행하는데 좋다.

<278> EL 디스플레이 디바이스의 발광 부분이 전력을 소모하므로, 발광 부분을 가능한한 작게 갖도록 정보를 디스플레이하는 것이 바람직하다. 그러므로, 휴대용 정보 단자, 특히 휴대용 전화기 및 오디오 재생 디바이스와 같이 문자 정보를 주로 디스플레이하는 디스플레이 부분에 EL 디스플레이 디바이스를 사용할 때는 비발광 부분을 배경으로 설정하고 발광 부분에 문자 정보를 형성하여 이를 구동하는 것이 바람직하다.

<279> 도 21a는 본체(3401), 오디오 출력 부분(3402), 오디오 입력 부분(3403), 디스플레이 부분(3404), 동작 스위치(3405), 및 안테나(3406)를 포함하는 휴대용 전화기이다. 본 발명의 검사 방법이 적용된 EL 디스플레이 디바이스는 디스플레이 부분(3404)에 사용될 수 있다. 디스플레이 부분(3404)에서 흑색 배경에 백색 문자를 디스플레이함으로써, 휴대용 전화기의 전력 소모가 줄어들 수 있음을 주목한다.

<280> 도 21b는 본체(3411), 디스플레이 부분(3412), 및 동작 스위치(3413, 3414)를 포함하는 오디오 재생 디바이스, 특별히 자동차 오디오 시스템이다. 본 발명의 검사 방법이 적용된 EL 디스플레이 디바이스는 디스플레이 부분(3412)에 사용될 수 있다. 더욱이, 실시예 8에서는 자동차에 대한 오디오 재생 디바이스가 도시되지만, 휴대용 및 가정용 오디오 재생 디바이스에 사용될 수도 있다. 디스플레이 부분(3412)에서 흑색 배경에 백색 문자를 디스플레이함으로써, 전력 소모가 감소될 수 있다.

<281> 도 21c는 본체(3501), 디스플레이 부분(A)(3502), 대안 부분(3503), 동작 스위치(3504), 디스플레이 부분(B)(3505), 및 배터리(3506)를 포함하는 디지털 카메라이다. 본 발명의 검사 방법이 적용된 EL 디스플레이 디바이스는 디스플레이 부분(A)(3502) 및 디스플레이 부분(B)(3505)에 사용될 수 있다. 디스플레이 부분(B)(3505)을 주로 동작 패널로 사용하는 경우, 흑색 배경에 백색 문자를 디스플레이함으로써, 디지털 카메라의 전력 소모가 감소될 수 있음을 주목한다.

<282> 본 실시예에 도시된 휴대용 전자 디바이스의 경우, 센서 부분은 전력 소모를 낮추는 방법으로 어두운 영역에서 사용될 때 외부 광을 감지하여 디스플레이의 밝기를 낮추도록 동작하게 제공된다.

<283> 이와 같이, 본 발명의 적용 범위는 매우 넓으므로, 모든 분야의 전자 디바이스에 본 발명을 적용하는 것이 가능하다. 더욱이, 실시예 8은 실시예 1 내지 7의 구조와 조합되어 실시될 수 있다.

### 발명의 효과

<284> 본 발명의 검사 방법에 따라, EL 패널(panel)을 EL 디스플레이로 완성하지 않고 양호한 EL 패널과 결함이 있는 EL 패널 사이를 구별하는 것이 가능해진다. 그러므로, 실제 완성된 제품이 되지 못하는 결함이 있는 EL 패널을 EL 디스플레이로 완성할 필요가 없어진다. 결과적으로, EL 소자를 형성하고, 패키지화하고 (봉합하고), 또한 접속기를 부착하는 처리가 생략될 수 있어, 시간 및 비용이 감소될 수 있다. 더욱이, EL 패널이 다중면의 기판을 사용하여 형성되는 경우에도 패키지화하고 접속기를 부착하는 처리가 또한 생략될 수 있어, 시간 및 비용이 유사하게 감소될 수 있다.

<285> 제 1 검사 방법으로, 픽셀 전극은 검사가 완료된 이후 검사하는 동안 사용된 도전막을 패터닝함으로써 형성될 수 있다. 그러므로, 검사를 위한 처리 과정의 수를 증가시킬 필요가 없다.

본 발명의 검사 방법에 따라 다양한 구조의 픽셀을 포함하는 모든 종류의 EL 디스플레이에 대해 양호한 제품과

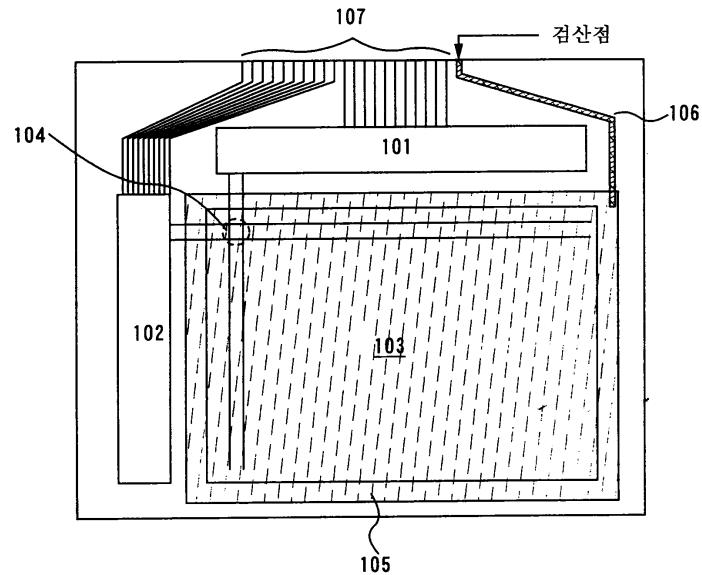
결합이 있는 제품 사이를 구별하는 것이 가능해짐을 주목한다.

### 도면의 간단한 설명

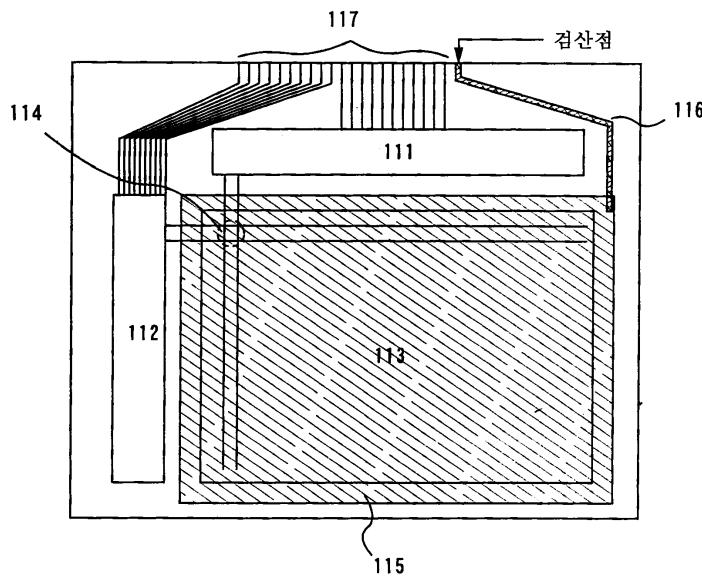
- <1> 도 1은 본 발명의 검사 방법을 적용하는 EL 패널 (panel)의 상단 표면도.
- <2> 도 2는 본 발명의 검사 방법을 적용하는 EL 패널의 상단 표면도.
- <3> 도 3은 본 발명의 검사 방법을 적용하는 EL 패널의 픽셀부의 회로도.
- <4> 도 4a 및 도 4b는 각각 픽셀부 배열 패턴과 측정 판단 표준을 도시하는 그래프.
- <5> 도 5는 본 발명의 검사 방법을 적용한 이후 EL 패널의 픽셀부의 회로도.
- <6> 도 6은 본 발명의 검사 방법을 적용하는 EL 패널의 픽셀부의 회로도.
- <7> 도 7은 픽셀부의 배열 패턴을 도시하는 도면.
- <8> 도 8은 본 발명의 검사 방법을 적용한 이후 EL 패널의 픽셀부의 회로도.
- <9> 도 9a 및 도 9b는 각각 본 발명의 검사 방법을 적용한 이후 EL 패널의 픽셀의 확대도 및 회로도.
- <10> 도 10a 내지 도 10d는 본 발명의 검사 방법을 적용하는 EL 패널을 제조하는 방법을 도시하는 도면.
- <11> 도 11a 내지 도 11c는 본 발명의 검사 방법을 적용하는 EL 패널을 제조하는 방법을 도시하는 도면.
- <12> 도 12a 내지 도 12c는 본 발명의 검사 방법을 적용하는 EL 패널을 제조하는 방법을 도시하는 도면.
- <13> 도 13의 a 및 b는 본 발명의 검사 방법을 적용하는 EL 패널을 제조하는 방법을 도시하는 도면.
- <14> 도 14는 본 발명의 검사 방법을 적용하는 EL 패널을 제조하는 방법을 도시하는 도면.
- <15> 도 15a 및 도 15b는 각각 본 발명의 검사 방법을 적용한 이후 EL 패널을 사용하는 EL 디스플레이의 상단 표면도 및 단면도.
- <16> 도 16a 및 도 16b는 본 발명의 검사 방법을 적용한 이후 EL 패널의 픽셀의 회로도.
- <17> 도 17a 및 도 17b는 본 발명의 검사 방법을 적용한 이후 구동기 회로가 부착된 디스플레이 패널의 표면도.
- <18> 도 18은 본 발명의 검사 방법을 적용한 이후 디스플레이 모듈을 도시하는 도면.
- <19> 도 19a 및 도 19b는 EL 소자의 단면도.
- <20> 도 20a 내지 도 20f는 본 발명의 검사 방법을 적용한 이후 EL 디스플레이를 사용하는 전자 디바이스를 도시하는 도면.
- <21> 도 21a 내지 도 21c는 본 발명의 검사 방법을 적용한 이후 EL 디스플레이를 사용하는 전자 디바이스를 도시하는 도면.
- <22> \* 도면 주요 부분에 대한 부호의 설명\*
- <23> 101 : 소스 신호선 구동기 회로                  102 : 게이트 신호선 구동기 회로
- <24> 103 : 픽셀부                  401 : 기저막

도면

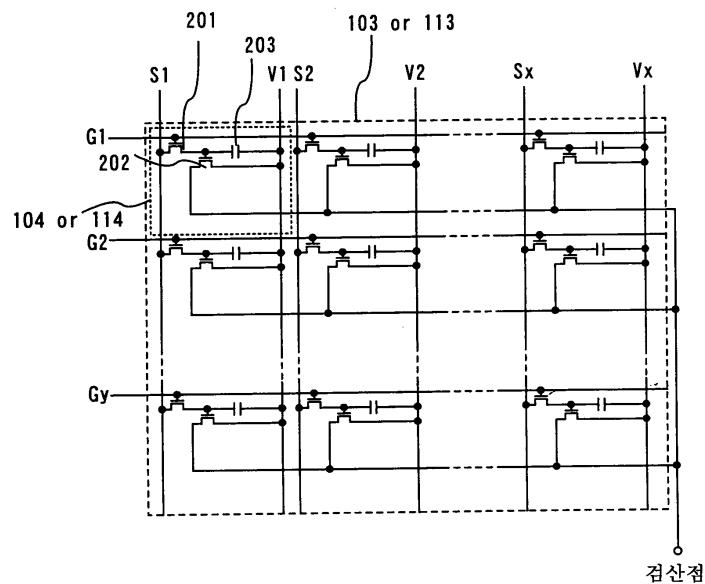
도면1



도면2



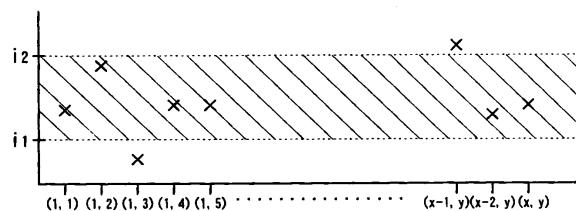
## 도면3



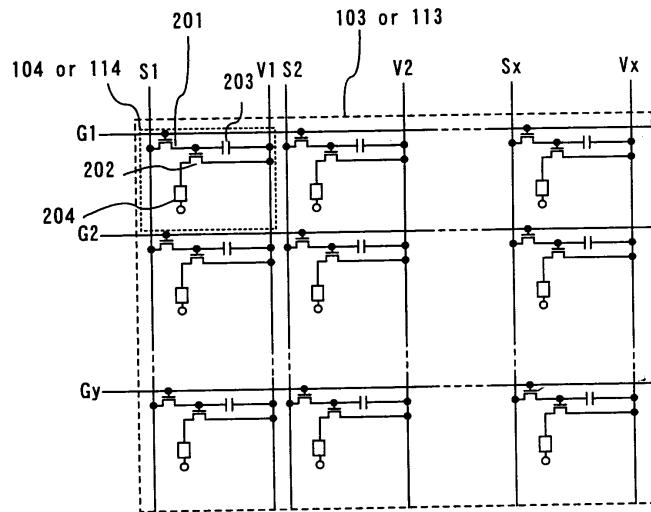
## 도면4a

(1, 1)	(2, 1)	(3, 1)	(4, 1)		(x-1, 1)	(x, 1)
(1, 2)	(2, 2)	(3, 2)	(4, 2)		(x-1, 2)	(x, 2)
(1, 3)	(2, 3)	(3, 3)	(4, 3)		(x-1, 3)	(x, 3)
(1, 4)	(2, 4)	(3, 4)	(4, 4)		(x-1, 4)	(x, 4)
(1, y-1)	(2, y-1)	(3, y-1)	(4, y-1)		(x-1, y-1)	(x, y-1)
(1, y)	(2, y)	(3, y)	(4, y)		(x-1, y)	(x, y)

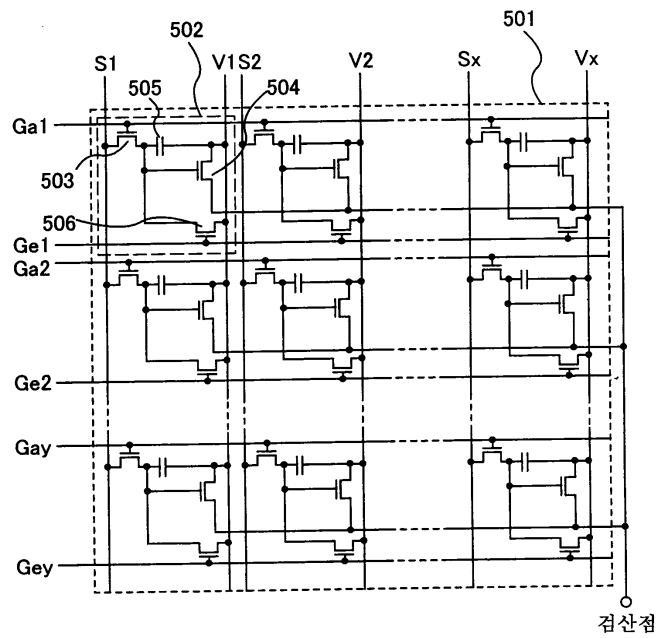
## 도면4b



도면5



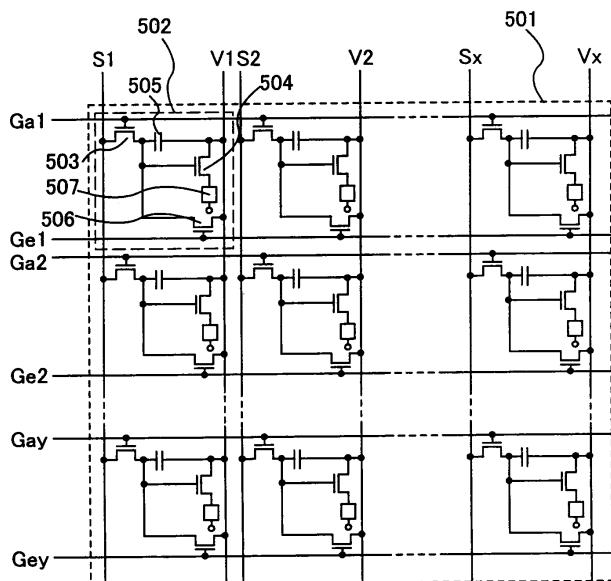
도면6



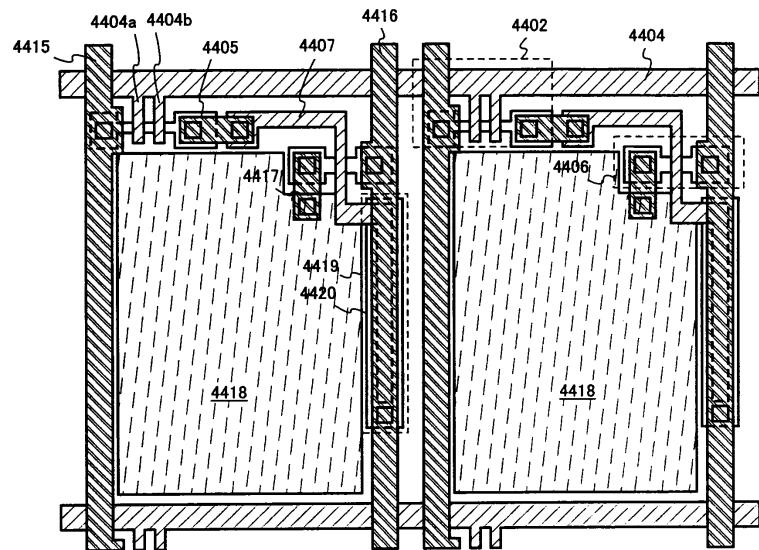
## 도면7

(1, 1)	(2, 1)	(3, 1)	(4, 1)		(x-1, 1)	(x, 1)
(1, 2)	(2, 2)	(3, 2)	(4, 2)		(x-1, 2)	(x, 2)
(1, 3)	(2, 3)	(3, 3)	(4, 3)		(x-1, 3)	(x, 3)
(1, 4)	(2, 4)	(3, 4)	(4, 4)		(x-1, 4)	(x, 4)
(1, y-1)	(2, y-1)	(3, y-1)	(4, y-1)		(x-1, y-1)	(x, y-1)
(1, y)	(2, y)	(3, y)	(4, y)		(x-1, y)	(x, y)

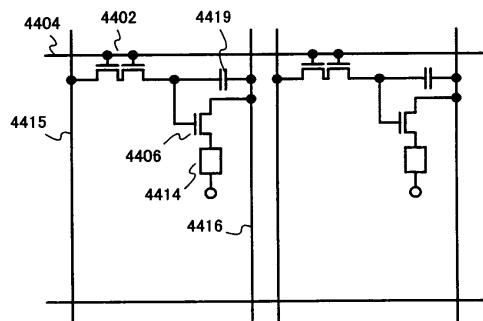
## 도면8



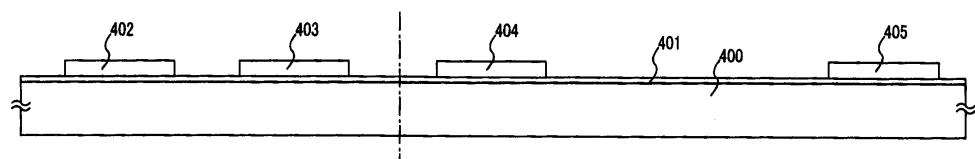
도면9a



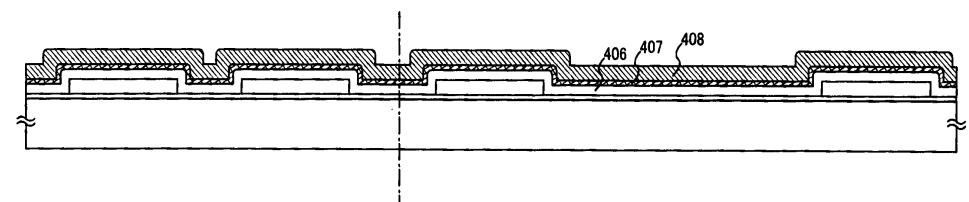
도면9b



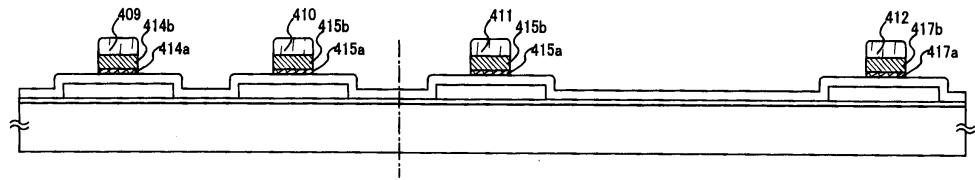
도면10a



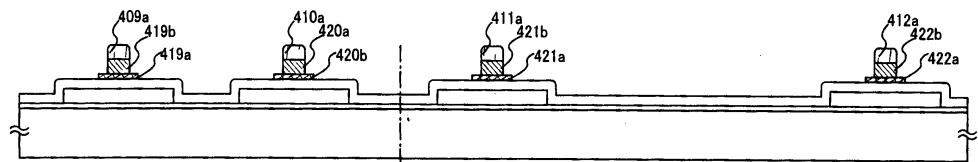
도면10b



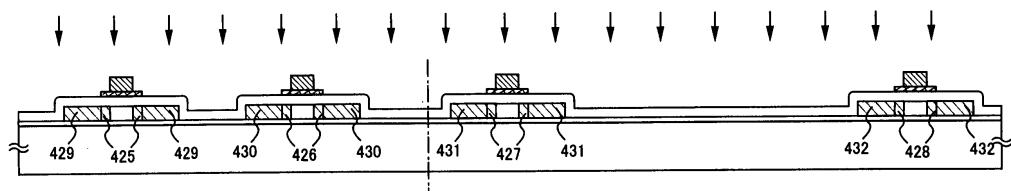
도면10c



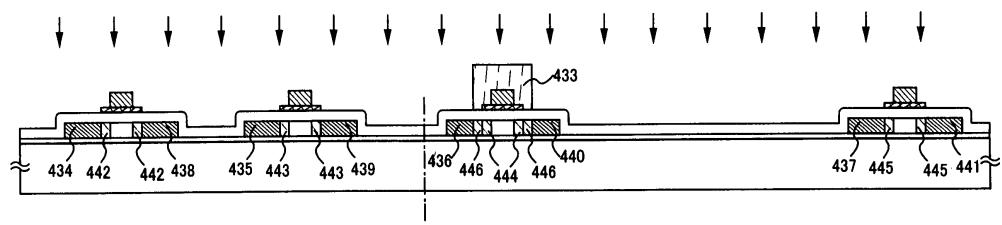
도면10d



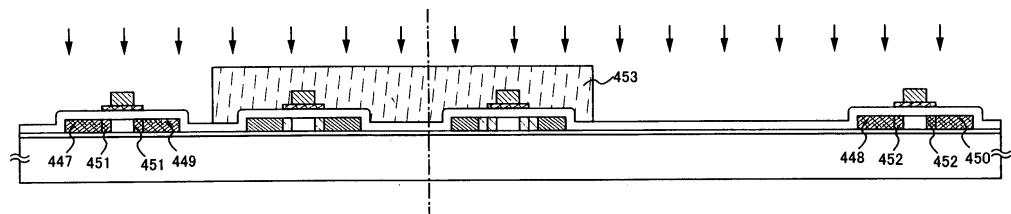
도면11a



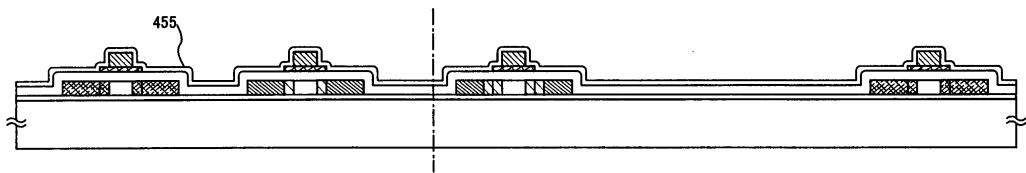
도면11b



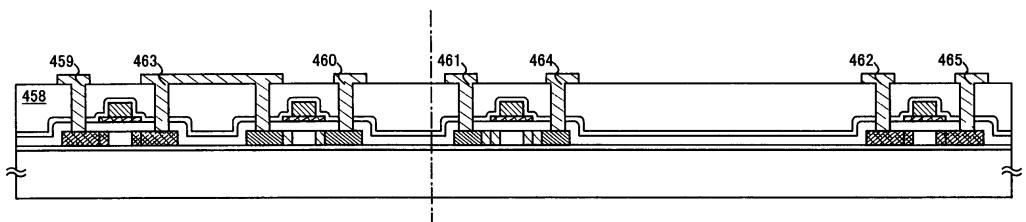
도면11c



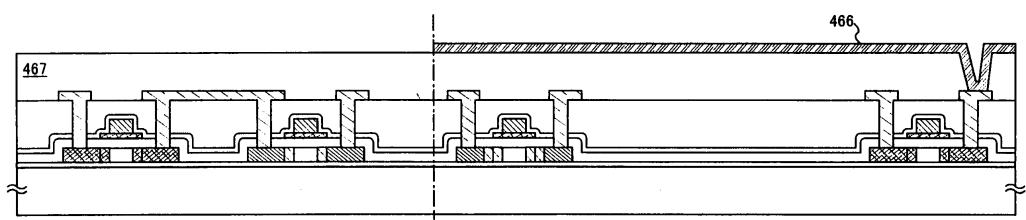
도면12a



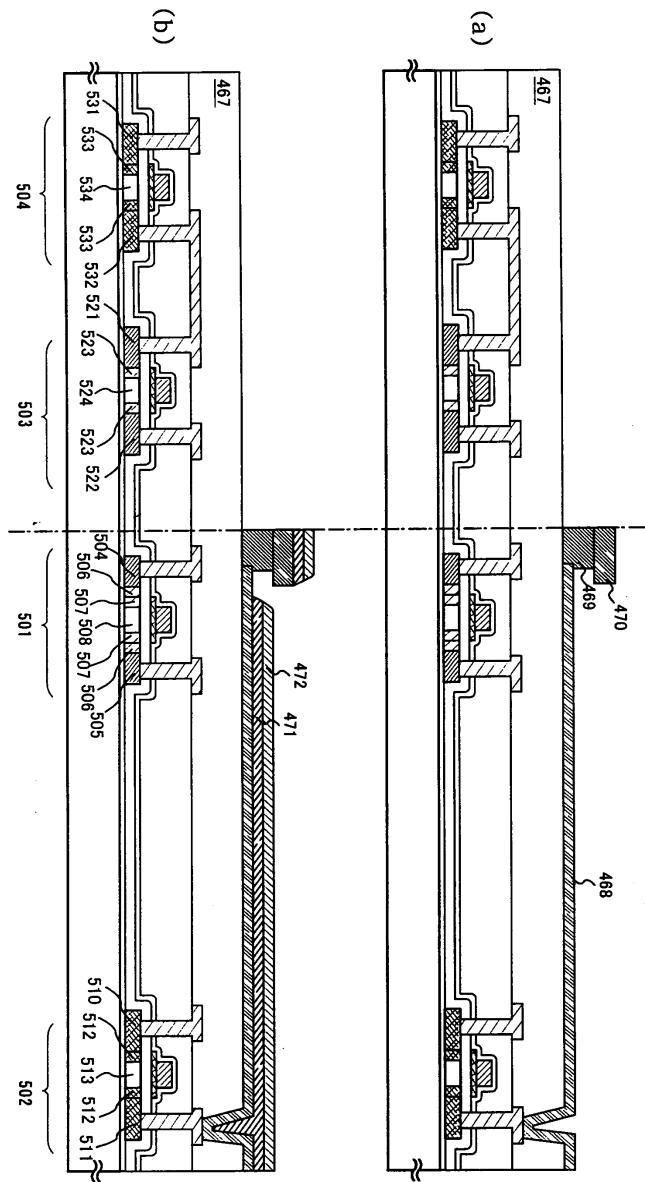
도면12b



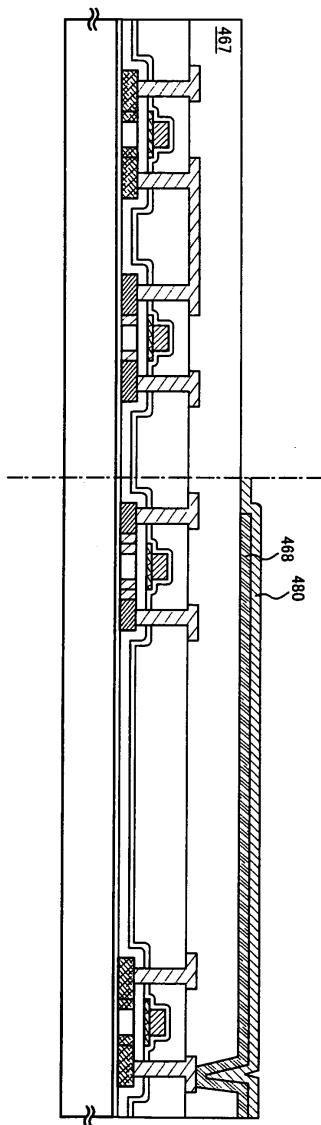
도면12c



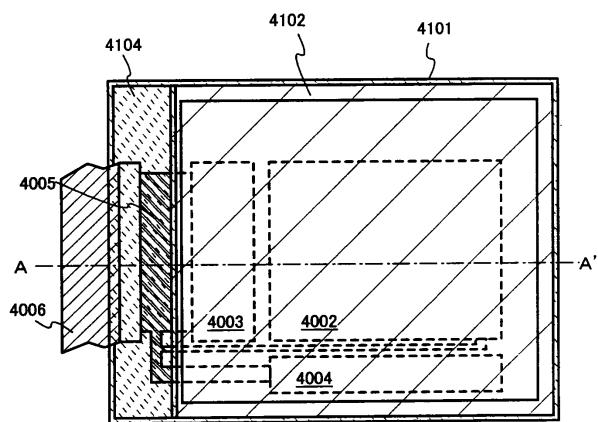
도면13



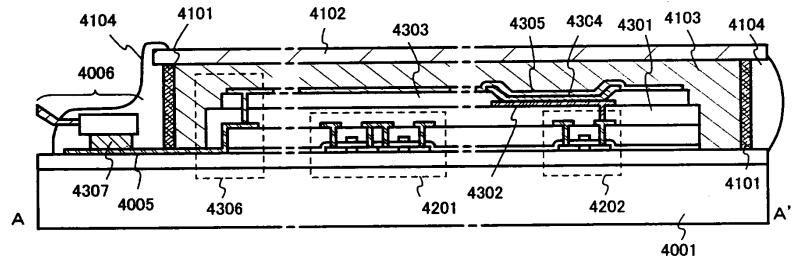
도면14



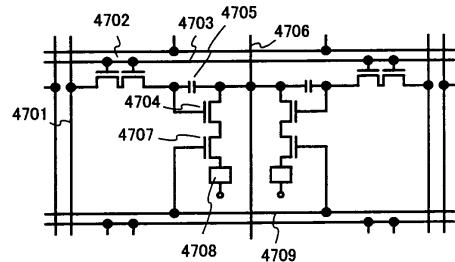
도면15a



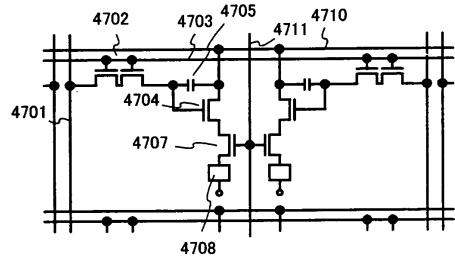
도면15b



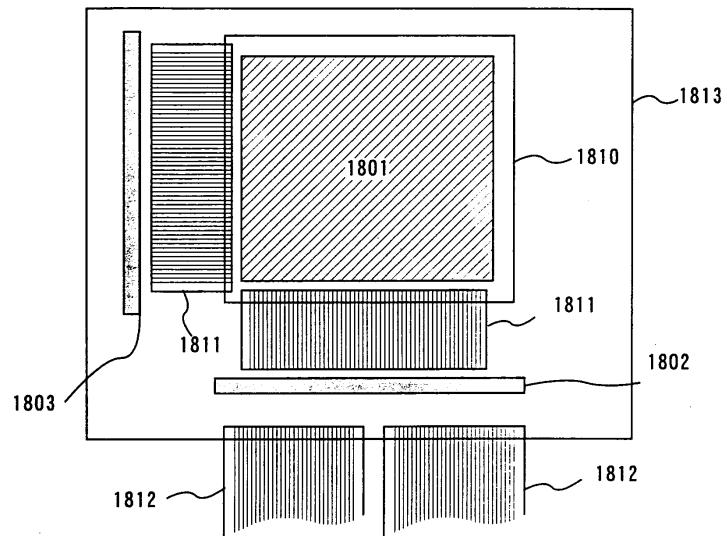
도면16a



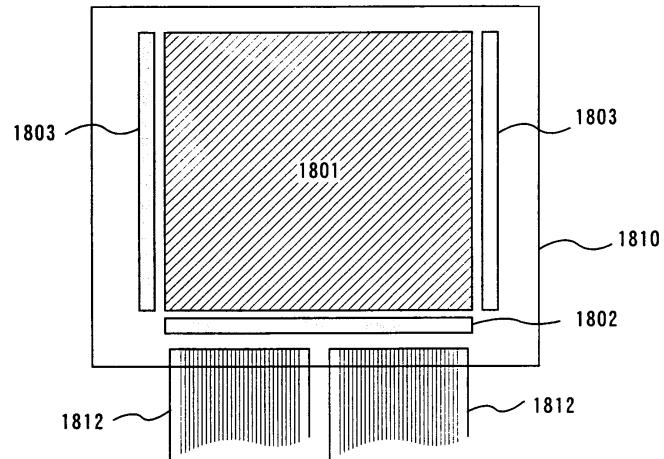
도면16b



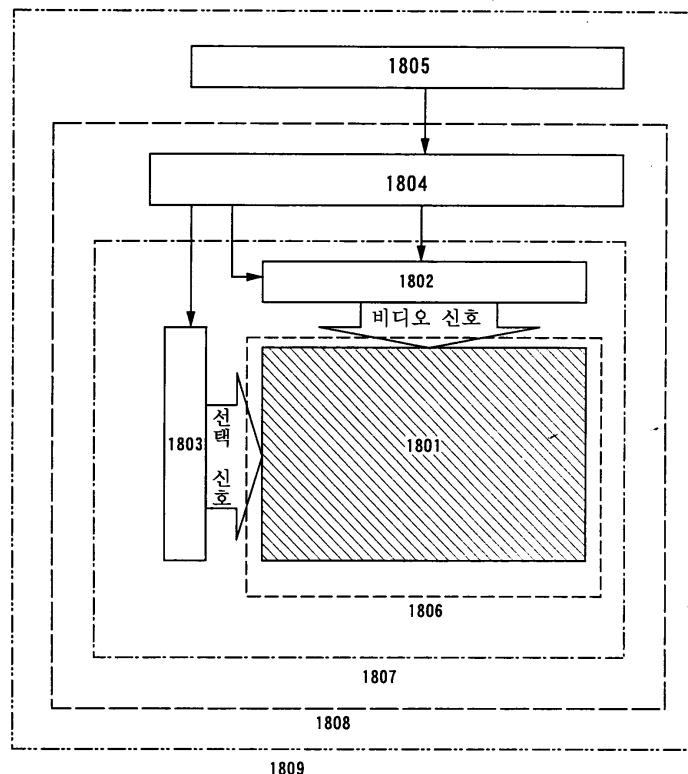
도면17a



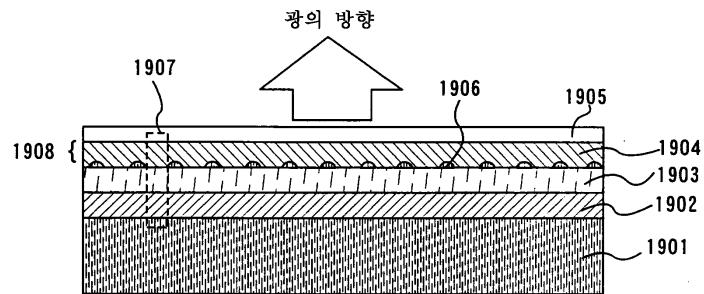
도면17b



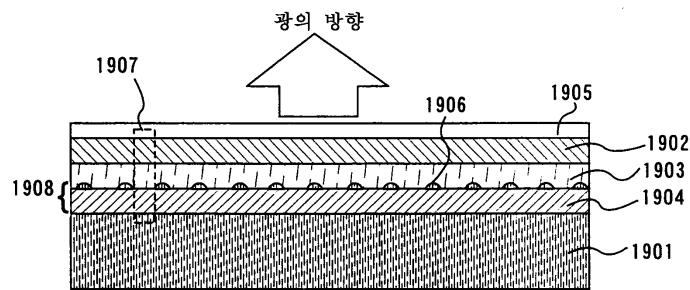
도면18



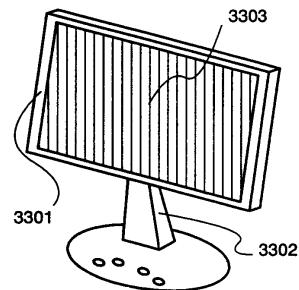
도면19a



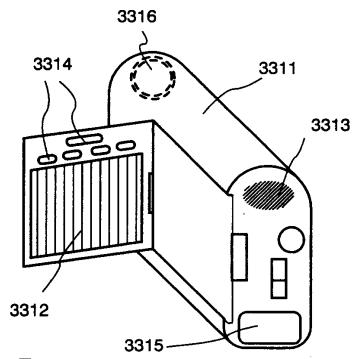
도면19b



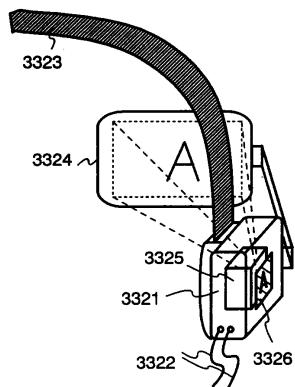
도면20a



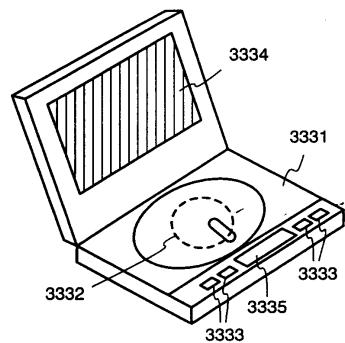
도면20b



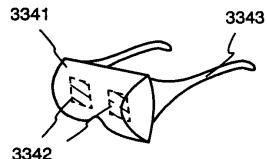
도면20c



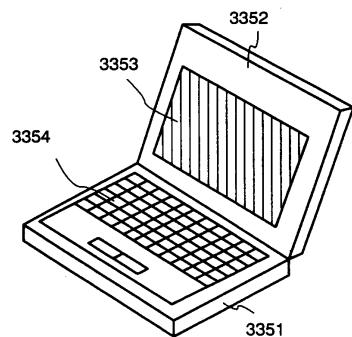
도면20d



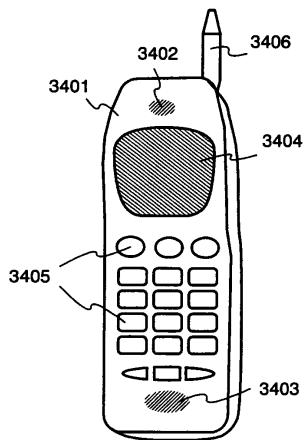
도면20e



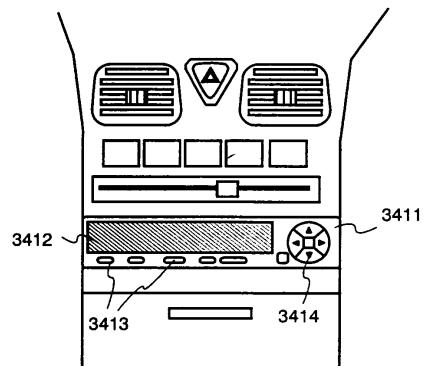
도면20f



도면21a



도면21b



도면21c

