



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明の解決しようとする課題の一つは、サイズがより小さくなってもそのサイズ設計に基づく本質的素子性能を有する基本電子素子及びその基本電子素子を集積して構成した集積化半導体装置を提供することである。本発明の解決手段は、3次元構造のMOS-FETにおいて、異なる複数の結晶面を有するチャネル領域と、該チャネル領域の複数の結晶面に対面して設けられているゲート電極と、該ゲート電極と前記チャネル領域の間に設けてあるゲート絶縁膜と、前記チャネル領域の電流を流す方向に対面し該チャネル領域を挟むように設けられた第一、第二のシリサイド領域と、を備えたことにある。

明 細 書

発明の名称： ３次元構造のＭＯＳＦＥＴ及びその製造方法

技術分野

[0001] 本発明は、３次元構造のＭＯＳＦＥＴ及びその製造方法に関するものである。

背景技術

[0002] ＩＣ（集積回路）やＬＳＩ（大規模集積回路）のような半導体装置の開発の歴史の殆どは、微細化と高集積化によって進展してきた。

[0003] 半導体装置の構成要素の一つである、例えばＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）のような基本電子素子の寸法（特にゲート長）は縮小の一途を辿り、所謂、スケーリング則に沿う形で基本電子素子の微細化が進められてきた。しかも、スケーリングによる高性能化の維持も図られてきている。

[0004] しかし、基本電子素子の微細化の世代が進むごとに種々の課題が生じ、その都度、解決策が施されてきてはいるが、基本電子素子の本来の特性を確保しながら微細化を図って集積度を高めるのに基本電子素子の２次元構造（プレナー構造）・２次元配列では、その限界が見え始めてきている。

[0005] 最近では、多層配線技術による多層化による３次元配列構造の採用で集積度を更に高め、或いは、ＦｉｎＦＥＴに代表されるような立体構造の基本電子素子の採用で、微細化による素子の耐特性低下を図ってより一層の微細化・高集積化が図られている。

[0006] 他方、トランジスタのような基本電子素子、例えばＭＯＳトランジスタの場合でいえば、ソース・ドレイン領域と対応の各電極との間の電氣的接触がオーミックコンタクトであることが理想とされる。そのために、一般的にはシリサイド化の技術が採用されている。

[0007] より微細化を進めながら微細化による素子特性の低下を避けて高機能を達成することが出来る、例えば、ＦｉｎＦＥＴのような３次元構造の基本電子

素子の場合、ソース・ドレイン領域の構造は多結晶面構成であり、複数の異なる結晶面で構成されている。この異なる結晶面のそれぞれに電極が付設されるが、この電極とソース・ドレイン領域との間にシリサイド領域が設けられる。

[0008] 異なる結晶面のそれぞれにおいて設けられるシリサイド領域は、電極・シリサイド領域・ソース領域及び電極・シリサイド領域・ドレイン領域を流れる電流のパスの電気抵抗をできるだけ小さくし、形成されるトランジスタの特性を高める役目を担う。

[0009] 基本電子素子のサイズがこれまでのようにある程度の大きさを有している場合は、前記の電流のパスの電気抵抗はそれ程問題視される必要はなかったが、微細化による集積度の向上が高まり基本電子素子のサイズが小さくなるにつれ前記の電流のパスの電気抵抗の問題が顕在化してきた。

[0010] 電流パスの電気抵抗は、電極とシリサイド領域の間、シリサイド領域とソース領域・ドレイン領域との間の接触抵抗と、シリサイド領域及びソース領域・ドレイン領域の内部抵抗とに大別される。

[0011] 半導体基板にシリコンウェハー若しくはS O I基板を利用する場合、ソース・ドレイン領域は、例えばボロン（B）若しくはリン（P）などの不純物をS i層に高濃度にドーピングして形成された高濃度領域であり、シリサイド領域は、この高濃度領域と適当な金属とをシリサイド化反応させて形成した領域である。ソース領域・ドレイン領域の内部抵抗の低減は、ドーピングする不純物の材料選択を適切にしてそのドーピング量を最適化することでなされる。接触抵抗の低減は、金属の適切な選択と適切なシリサイド化処理によって実現される。

[0012] この素子設計プロトコールは、F i n F E Tのような複数の異なる結晶面で構成されているソース領域・ドレイン領域を有する基本電子素子群で構成されている半導体装置の場合にも適用されてきている。

[0013] しかも、これまでは、F i n F E Tのような複数の異なる結晶面で構成されているソース領域・ドレイン領域を有する基本電子素子の場合であっても

、ソース領域・ドレイン領域が一つの結晶面に形成されている２次元構造の基本電子素子の場合と同様に、結晶面によらず一様にシリサイド領域を形成していた。

発明の概要

発明が解決しようとする課題

[0014] しかしながら、本発明者等が鋭意研究した結果、基本電子素子のサイズがある程度以下になるとシリサイド領域には結晶面依存性が顕在化し、基本電子素子の微細化が高まるに連れその結晶面依存性も高まり、微細化をより高めるには上記のような従来法若しくはその延長にある方法では、基本電子素子の性能向上、如いては多数の基本電子素子を集積して構成する高集積化半導体装置の高性能化を図ることが難しいという知見を得た。

[0015] 本発明の解決しようとする課題の一つは、サイズがより小さくなくてもそのサイズ設計に基づく本質的素子性能を有する基本電子素子及びその基本電子素子を集積して構成した集積化半導体装置を提供することである。

[0016] 本発明の他の課題は、サイズがより小さくなくてもそのサイズ設計に基づく本質的素子性能を有する基本電子素子及びその基本電子素子を集積して構成する集積化半導体装置の製造法を提供することである。

[0017] 本発明の更にもう一つの課題は、複数の異なる結晶面で構成されているソース領域・ドレイン領域を有する構造の基本電子素子及びその基本電子素子を集積して構成した集積化半導体装置を提供することである。

[0018] これらの課題は、結晶面毎に最適なシリサイド領域を形成することによって達成される。

課題を解決するための手段

[0019] 本発明の半導体装置の一つの側面は、基本電子素子が３次元構造のＭＯＳ－ＦＥＴであって、それぞれ電極とシリサイド領域を有し、複数の異なる結晶面で構成されているソース領域・ドレイン領域を有する構造を備え、該ソース領域・ドレイン領域のシリサイド領域の層厚が異なる結晶面で異なることを特徴とする（本発明の「第一の半導体装置」）。

[0020] 本発明の半導体装置のもう一つの側面は、基本電子素子が３次元構造のＭＯＳ－ＦＥＴであって、異なる複数の結晶面を有するチャネル領域と、該チャネル領域の複数の結晶面に対面して設けられているゲート電極と、該ゲート電極と前記チャネル領域の間に設けてあるゲート絶縁膜と、前記チャネル領域の電流を流す方向に対面し該チャネル領域を挟むように設けられた第一、第二の半導体不純物の高濃度領域と、を備え、各高濃度領域は、異なる複数の結晶面を有すると共に各結晶面上に直接設けられたシリサイド領域を有し、該シリサイド領域の層厚が異なる結晶面で異なることを特徴とする（本発明の「第二の半導体装置」）。

[0021] 以後、本発明においては、特別に断ることなければ、「半導体装置」の語は、上記の基本電子素子及びその基本電子素子を集積して構成した集積化半導体装置の両者若しくは何れか一つを意味するものとする。

発明の効果

[0022] 本発明によれば、サイズがより小さくなってもそのサイズ設計に基づく本質的素子性能を有する基本電子素子及びその基本電子素子を集積して構成した集積化半導体装置を得ることができる。

[0023] 本発明のその他の特徴及び利点は、添付図面を参照とした以下の説明により明らかになるであろう。なお、添付図面においては、同じ若しくは同様の構成には、同じ参照番号を付す。

図面の簡単な説明

[0024] 添付図面は明細書に含まれ、その一部を構成し、本発明の実施の形態を示し、その記述と共に本発明の原理を説明するために用いられる。

[0025] [図１]図１は、本発明の３次元構造のＭＯＳ－ＦＥＴの典型例の一つを示す模式的斜視図である。

[図２]図２は、図１に示す線ＡＡでの模式的切断面図である。

[図３]図３は、図２に示す線ＢＢでの模式的切断面図である。

[図４]図４は、本発明の３次元構造のＭＯＳ－ＦＥＴの一つの例の具体的製法の工程例の前工程を示す第一の模式的工程概略説明図である。

[図5]図5は、本発明の3次元構造のMOS-FETの一つの例の具体的製法の工程例の中工程を示す第二の模式的工程概略説明図である。

[図6]図6は、本発明の3次元構造のMOS-FETの一つの例の具体的製法の工程例の後工程を示す第三の模式的工程概略説明図である。

[図7]図7は、本発明に係るシリサイド領域の形成の典型例の一つを模式的に説明するための工程図である。

[図8]図8は、本発明に係るシリサイド領域の形成のもう一つの典型例を模式的に説明するための工程図である。

[図9]図9は、本発明の3次元構造のMOSFETのもう一つの典型例を説明するための模式的切断面である。

発明を実施するための形態

[0026] 以下、本発明を具体的に説明するが、本発明はそれらの例に限定されるものでない。

[0027] 図1、2、3に本発明の3次元構造のMOSFET100の典型例の一つが示される。図1は、その模式的斜視図、図2は、図1に示す線AAでの模式的切断面図、図3は、図2に示す線BBでの模式的切断面図である。

[0028] MOSFET100は、チャネル領域（図示されてない）が形成されるSOI層領域201、該SOI層領域201の外側サイドには、ソース領域（ n^+ 領域）202、ドレイン領域（ n^+ 領域）203がそれぞれ設けられている。

[0029] 前記SOI層領域201の上面にはゲート絶縁膜領域207、ゲート電極層領域208がそれぞれ設けられている。

[0030] 前記ソース領域202、前記ドレイン領域203の外側のそれぞれには、シリサイド領域204a、204bがそれぞれ設けてある。

[0031] 前記シリサイド領域204aには、ソース電極205が、前記シリサイド領域204bには、ドレイン電極206が、それぞれ電氣的に直接接触する状態に設けてある。

[0032] 前記ゲート絶縁膜領域207、前記ゲート電極層領域208のそれぞれは

、前記SOI層領域201の上面だけでなく前記SOI層領域201に形成されるチャンネル領域内を流れる電流の流れ方向に沿う前記SOI層領域201の側面にも延在して設けてある。即ち、前記ゲート絶縁膜領域207、前記ゲート電極層領域208のそれぞれは、前記SOI層領域201内を流れる電流の流れ方向に沿う前記SOI層領域201の外表面の中の3面に前記SOI層領域201を囲うように設けられている。

[0033] 前記シリサイド領域204a, 204bは、それぞれ、前記SOI層領域201の側面であって、前記SOI層領域201内を流れる電流の流れ方向に対して垂直乃至は略垂直な2つの側面の中の対応する側面の全域若しくは実質上の全域に、電氣的に直接接触する状態で設けられてある。

[0034] このように前記シリサイド領域204a, 204bを設けることにより、前記SOI層領域201に形成されるチャンネル領域を前記SOI層領域201の略あるいは実質上の全域に形成することが出来る。

実施例 1

[0035] 図4は、本発明の3次元構造のMOS-FETの一つの例の具体的製法の工程例の前工程を示す第一の模式的工程概略説明図、図5は、その中工程を示す第二の模式的工程概略説明図、図6は、その後工程を示す第三の模式的工程概略説明図、である。図4, 5, 6は、シリサイド領域204を形成する前までの工程を説明するものである。尚、各所定の結晶面にシリサイド領域204を形成する好適な例は、図7, 8に示される。

[0036] 先ず、本発明の3次元構造のMOS-FETを形成するための基体400を用意し、その上にSOI層401を形成する(図4の「工程(4a)」)。基体400は、シリコン基板101とその上に設けたBOX層102とで構成されている。

[0037] 次いで、ドライエッチングなどでSOI層401の除去部分をエッチングしSOI層領域a402を形成する(図4の「工程(4b)」)。

[0038] その後、スパッタ法での成膜と通常のパターニングにより前記SOI層領域a402上にSiO₂などの絶縁材料でゲート絶縁膜(不図示)とゲート電

極層層 404 を形成する。ゲート電極層 404 は、例えば、 Poly-Si などで構成される（図 5 の「工程（5c）」）。

[0039] その後、レジスト塗布、パターン露光、エッチング、洗浄などを施すことでパターニングして、ゲート絶縁膜領域 a403、ゲート電極層領域 208 を形成する（図 5 の「工程（5d）」）。

[0040] SOI 層領域 a402 のソース・ドレインの形成領域に、ボロン（B）などの不純物を高濃度にイオン注入することで、高濃度の n^+ 領域であるソース領域層 405、ドレイン領域層 406 を形成する（図 6 の「工程（6e）」）。

[0041] 次に、 SiO_2 などの絶縁材料をスパッタ法などで堆積させた後、ドライエッチング法で異方性エッチングし、サイドウォール 209a, 209b をそれぞれ図示のように形成する（図 6 の「工程（6f）」）。

[0042] 以上説明した工程（図 4 乃至 5）の要点を以下にまとめて記す。

[0043] 工程（4a） SOI ウェハの準備

- ・ SOI 層の膜厚を所定通りに調整する。

[0044] 工程（4b） SOI 層素子分離

- ・ドライエッチングで素子分離部のパターン形成

[0045] 工程（5c）ゲート絶縁膜の形成、ゲート電極の成膜

- ・ SiO_2 などの絶縁材料でゲート絶縁膜を形成する。
- ・ゲート電極用 Poly-Si のデポジッション

[0046] 工程（5d）ゲート電極のエッチング、ゲート絶縁膜のエッチング

- ・ゲート電極用 Poly-Si （ゲート電極層 404）をドライエッチング処理して、ゲート電極層領域 208 を形成する。
- ・ゲート絶縁膜をエッチング（ドライエッチング又はウェットエッチング）処理して、ゲート絶縁膜領域 a403 を形成する。

[0047] 工程（6e）ソース・ドレイン領域層にイオン注入する

- ・ソース・ドレイン領域層へボロン（B）又は燐（P）等の半導体不純物をイオン注入して不純物の高濃度領域層（ソース領域層 405、ドレイン領域

層 4 0 6) を形成する。

[0048] 工程 (6 f) サイドウォール 2 0 9 の形成

- ・ サイドウォール形成用薄膜のデポジッション
- ・ サイドウォール形成用薄膜をドライエッチング (異方性エッチング) 処理

[0049] [シリサイド領域の形成例 1]

次に、シリサイド領域を設ける例を図 7 に従って説明する。図 7 の工程 (7 c) 乃至 (7 e) において、シリサイド形成用の金属 (メタル) 層 b 7 0 5 を二度に分けて蒸着法により図示のごとく設ける。この際、各結晶面に最適なシリサイド領域の層厚になるように蒸着条件を選択して蒸着する。

[0050] 図の例の場合、(5 5 1) 面 7 0 1 上のメタル層 b 7 0 5 の層厚に比べ (1 0 0) 面 7 0 2 上のメタル層 b 7 0 5 の層厚の方が厚くなっている。従って、後で適用されるシリサイド化処理により形成されるシリサイド領域の層厚も (1 0 0) 面 7 0 2 上の方が厚い。

[0051] 本発明に於いては、(5 5 1) 面 7 0 1 に形成するシリサイド領域 a 7 0 8 の層厚は、シリサイド化に使用される金属にもよるが、例えば、ユーロビウム (E r) の場合だと、好ましくは、4 n m 以下であるのが望ましい。

[0052] 次いで、熱処理して、メタル層 b 7 0 5 とソース領域層 4 0 5 およびドレイン領域層 4 0 6 との各界面領域にシリサイド領域 a 7 0 8、シリサイド領域 7 0 9 a, 7 0 9 b をそれぞれ形成する (図 7 の「工程 (7 f)、(7 g)」)。同時に、ソース領域 2 0 2、ドレイン領域 2 0 3 がそれぞれ形成される (図 2 参照)。

[0053] 次いで、上記のシリサイド化処理で、シリサイドされていない不要メタル層 7 0 7 a, 7 0 7 b (未反応メタル層) を除去する (図 7 の「工程 (7 g)」)。

[0054] その後、電氣的コンタクト形成用の金属を蒸着してコンタクト形成用の金属層を形成し、次いで、パターニングにより該金属層の不要な部分を除去して、ソース電極 2 0 5、ドレイン電極 2 0 6 を形成する (図 2 参照)。

[0055] 以上説明した工程の中、シリサイド領域を形成する要点の形成条件の一例

を以下にまとめて記す。

[0056] (a) 3次元構造のソース・ドレイン領域を形成する(図7の工程7a)。

[0057] (b) スピンコートでレジストを塗布する(図7の工程7b)。

[0058] (c) メタル成膜を行ってメタル層a704を形成する(図7の工程7c)

。

- ・スパッタ法で、Er(ユーロビウム)を成膜する。

- ・スパッタリング条件: Arガス流量・・・20 sccm,

圧力・・・133 Pa(1 Torr),

膜厚・・・8 nm

[0059] (d) レジストおよびレジスト上のメタルの除去(図7の工程7d)。

例えば、有機溶剤でレジストを剥離しながら、メタル膜をリフトオフする

。

[0060] (e) メタル成膜を行って、メタル層b705を形成する(図7の工程7e)。

- ・スパッタ法で、Er(ユーロビウム)を成膜する。

- ・スパッタリング条件: Arガス流量・・・20 sccm,

圧力・・・133 Pa(1 Torr),

膜厚・・・2 nm

[0061] (f) シリサイド化処理する(図7の工程7f)。

600℃で2min間、ランプアニールする。

[0062] (g) 未反応メタルを除去する(図7の工程7g)。

SPM(H₂SO₄:H₂O₂=4:1)を30sec間適用する。

[0063] [シリサイド領域の形成例2]

次に、シリサイド領域を設けるもう一つの例を図8に従って説明する。煩雑さを避けるために、以下にまとめ書きして置くことにする。

[0064] (a) 3次元構造ソース・ドレイン領域を形成する(図8の工程8a)。

[0065] (b) 以下の条件で、基体を傾け、かつ異方的な成膜を行うことでメタル成膜を行って図7の場合と同様にメタル層を形成する(図8の工程8b)。

- ・スパッタ法でE r膜を形成する。
- ・スパッタリング条件：A rガスの流量・・・20 sccm,
圧力・・・0.67 Pa(5 mTorr),
- ・(100)面上に5 nm、(551)面上に1 nm、E r膜を形成する。

[0066] (c) 以下の条件で、基体を傾け、かつ異方的な成膜を行うことでメタル成膜を行って図7の場合と同様にメタル層を形成する(図8の工程8c)。

- ・スパッタリング条件：A rガスの流量・・・20 sccm,
圧力・・・0.67 Pa(5 mTorr),
- ・(100)面上に5 nm、(551)面上に1 nm、E r膜を形成する。

[0067] この2回の成膜で、(100)面上に10 nm、(551)面上に2 nm、E r膜が形成される。

[0068] (d) シリサイド化処理

600℃で2min間、ランプアニールする。

[0069] (e) 未反応メタル除去

S P M(H₂SO₄:H₂O₂=4:1)を30sec間適用する。

[0070] 以下に、ソース電極205、ドレイン電極206を形成する場合の一例を記す。

[0071] (1) コンタクト形成用の金属(タングステン:W)層を形成する。

- ・スパッタ法に依り、タングステン(W)膜を形成する。
- ・スパッタリング条件：A rガスの流量・・・20 sccm,
圧力・・・1.33 Pa(10 mTorr),
膜厚・・・100 nm

[0072] (2) コンタクト形成用の金属(タングステン:W)層の不要部分をドライエッチングで除去する。

- ・Wのドライエッチング条件：A rガスの流量・・・100 sccm,
S F₆ガスの流量・・・20 sccm,
圧力・・・1.33 Pa(10 mTorr),
R Fパワー・・・30W

[0073] 図9には、シリサイド領域を、立体構造のソース・ドレイン領域の4つの面に設けた例が示される。図9の例は、図2の例の変形例である。即ち、図2の例の場合は、3つの面にシリサイド領域が設けてあるが、図9の例の場合は、加えて、シリサイド領域901a、901bが夫々設けてある。このような構造とすることで、電流路の確保がより確実になる。

[0074] 本発明は上記実施の形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、本発明の範囲を公にするために、以下の請求項を添付する。

符号の説明

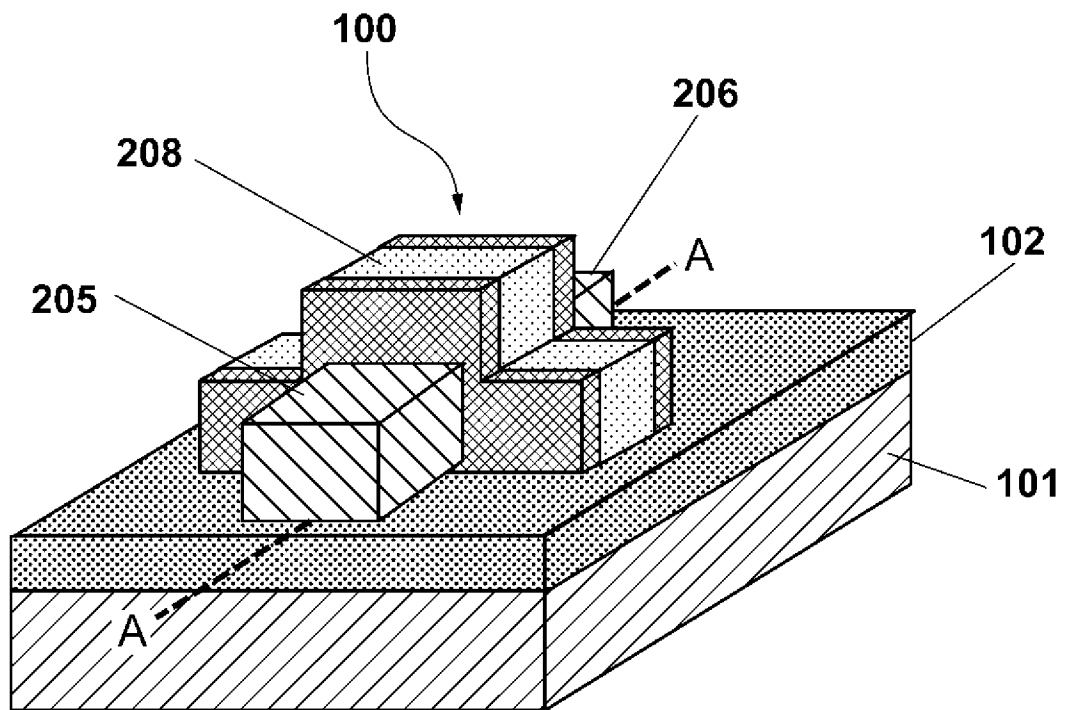
[0075]	100	FET
	101	シリコン基板
	102	BOX層
	201	SOI層領域
	202	ソース領域
	203	ドレイン領域
	204	シリサイド領域
	205	ソース電極
	206	ドレイン電極
	207	ゲート絶縁膜領域
	208	ゲート電極層領域
	209	サイドウォール
	400	基体
	401	SOI層
	402	SOI層領域a
	403	ゲート絶縁膜領域a
	404	ゲート電極層
	405	ソース領域層
	406	ドレイン領域層

407	上面ウォール
701	(551) 面
702	(100) 面
703	レジスト膜
704	メタル層 a (シリサイド形成用の金属層)
705	メタル層 b (シリサイド形成用の金属層)
706	シリサイド化領域
707	不要 (未反応) メタル層
708	シリサイド領域 a
709	シリサイド領域
801	(551) 面
802	(100) 面
803	シリサイド化領域
804	シリサイド領域 a
805	シリサイド領域
806	不要 (未反応) メタル層
901	シリサイド領域

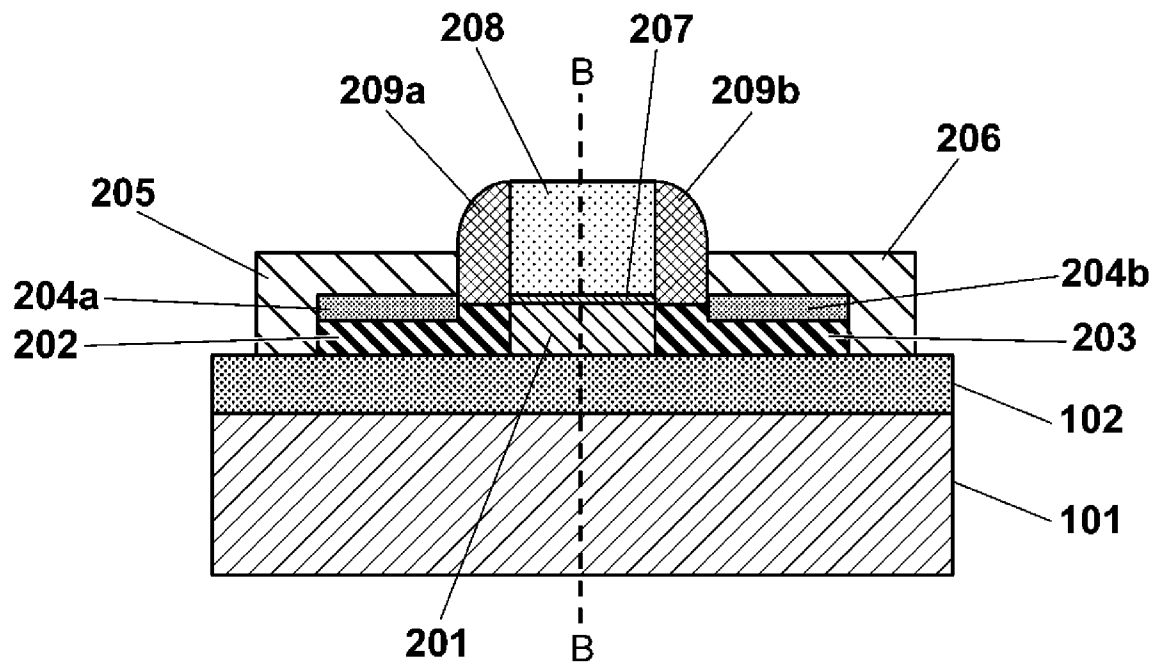
請求の範囲

- [請求項1] 基本電子素子が3次元構造のMOS-FETであって、それぞれ電極とシリサイド領域を有し、複数の異なる結晶面で構成されているソース領域・ドレイン領域を有する構造を備え、該ソース領域・ドレイン領域のシリサイド領域の層厚が異なる結晶面で異なることを特徴とする半導体装置。
- [請求項2] 基本電子素子が3次元構造のMOS-FETであって、異なる複数の結晶面を有するチャネル領域と、該チャネル領域の複数の結晶面に対面して設けられているゲート電極と、該ゲート電極と前記チャネル領域の間に設けてあるゲート絶縁膜と、前記チャネル領域の電流を流す方向に対面し該チャネル領域を挟むように設けられた第一、第二の半導体不純物の高濃度領域と、を備え、各高濃度領域は、異なる複数の結晶面を有すると共に各結晶面上に直接設けられたシリサイド領域を有し、該シリサイド領域の層厚が異なる結晶面で異なることを特徴とする半導体装置。

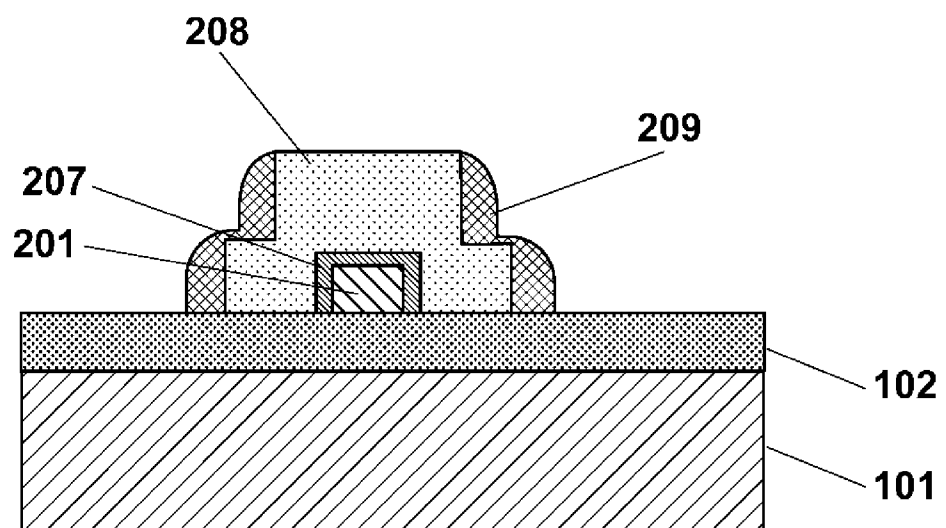
[図1]



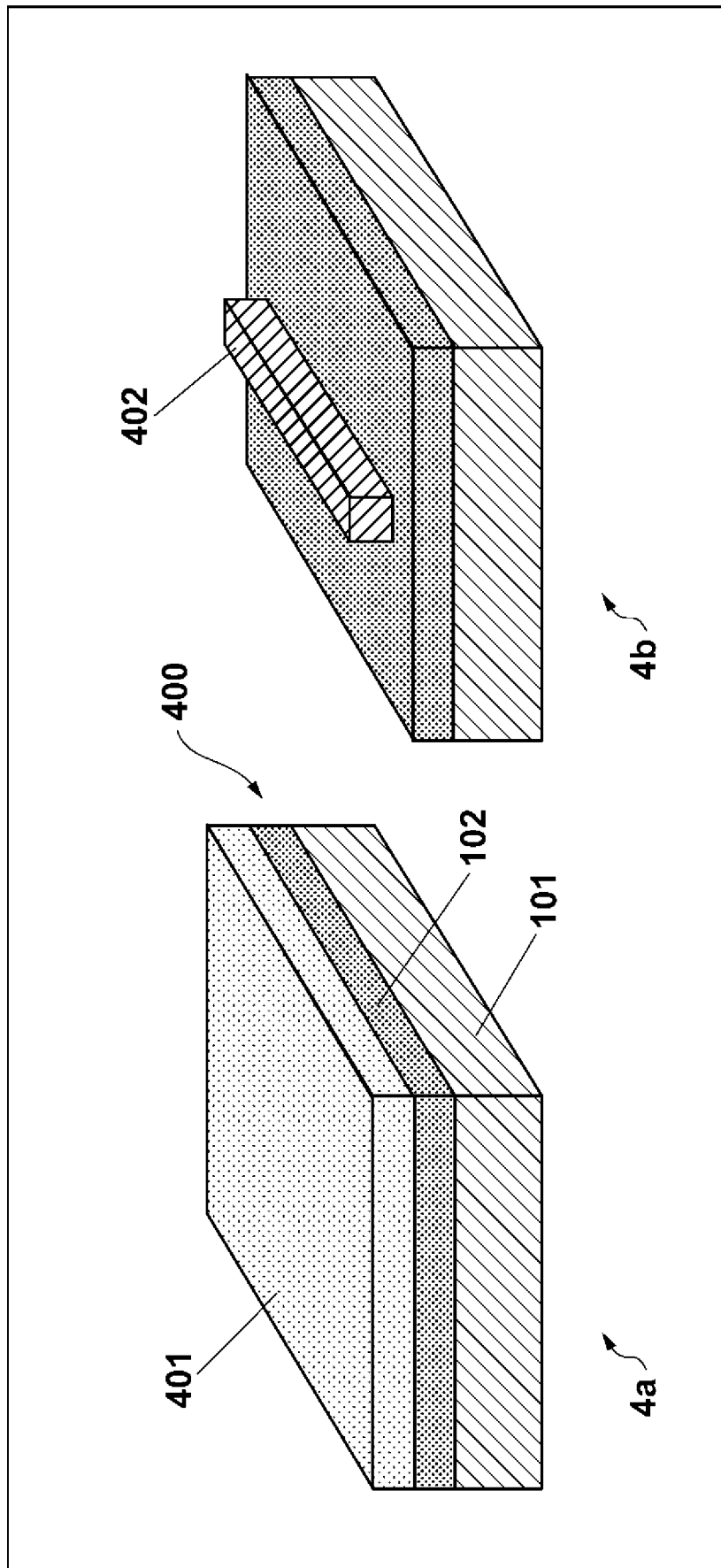
[図2]



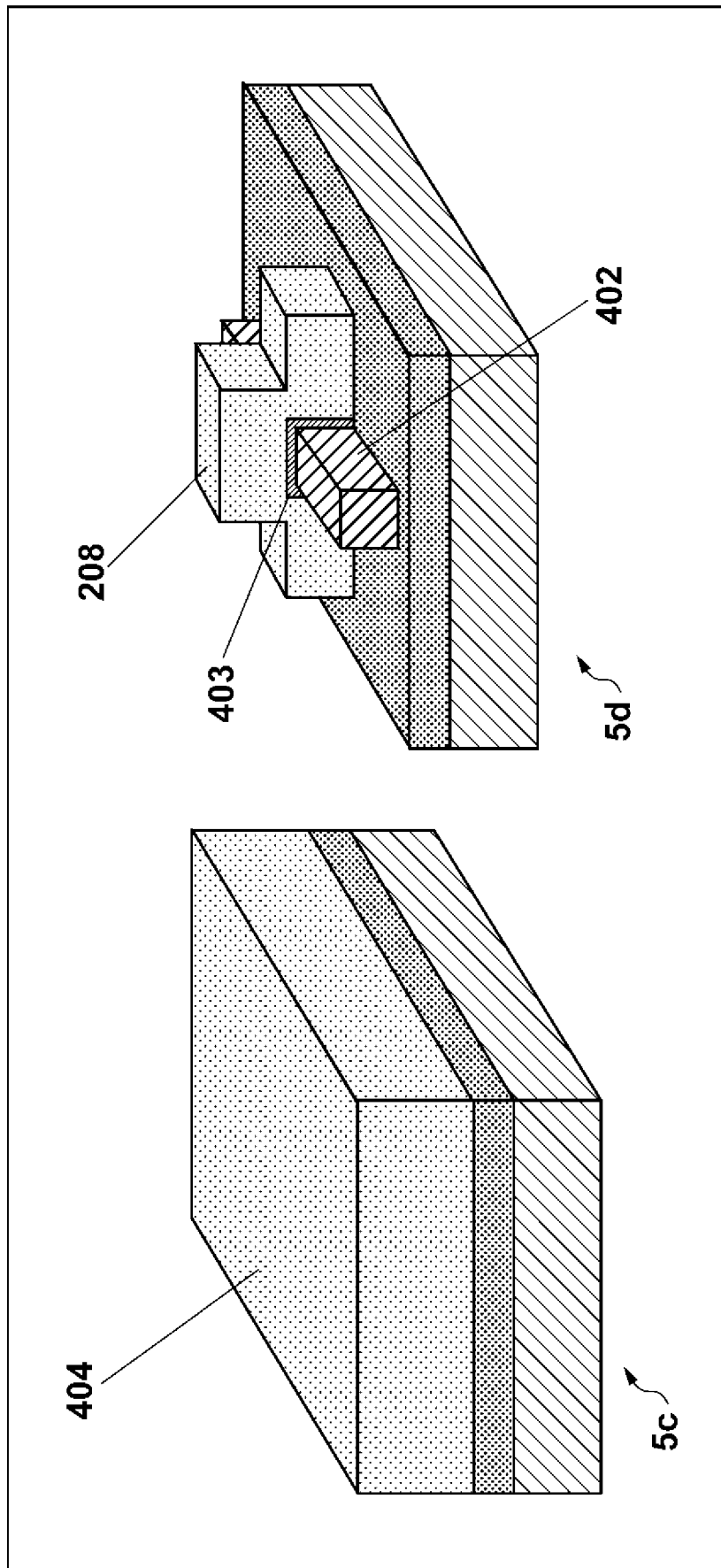
[図3]



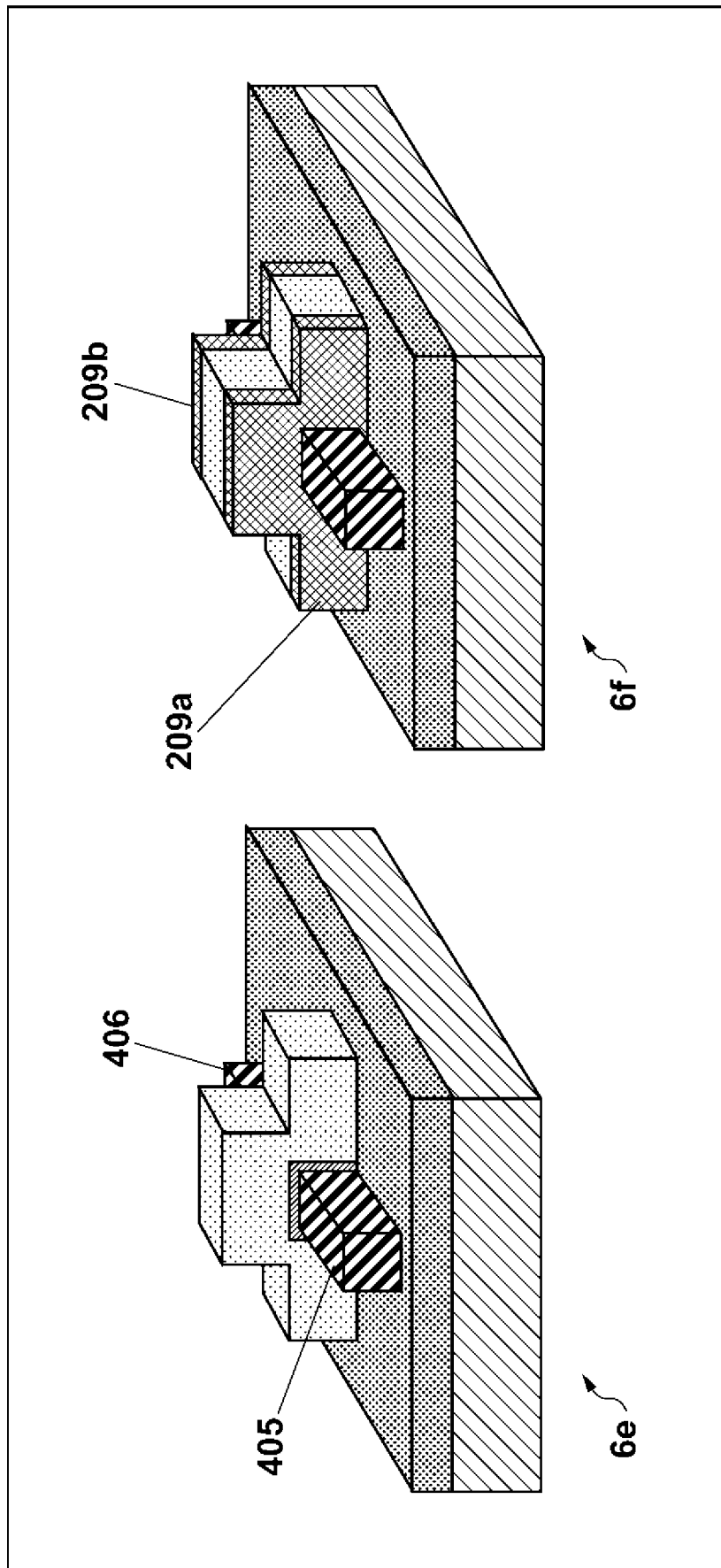
[図4]



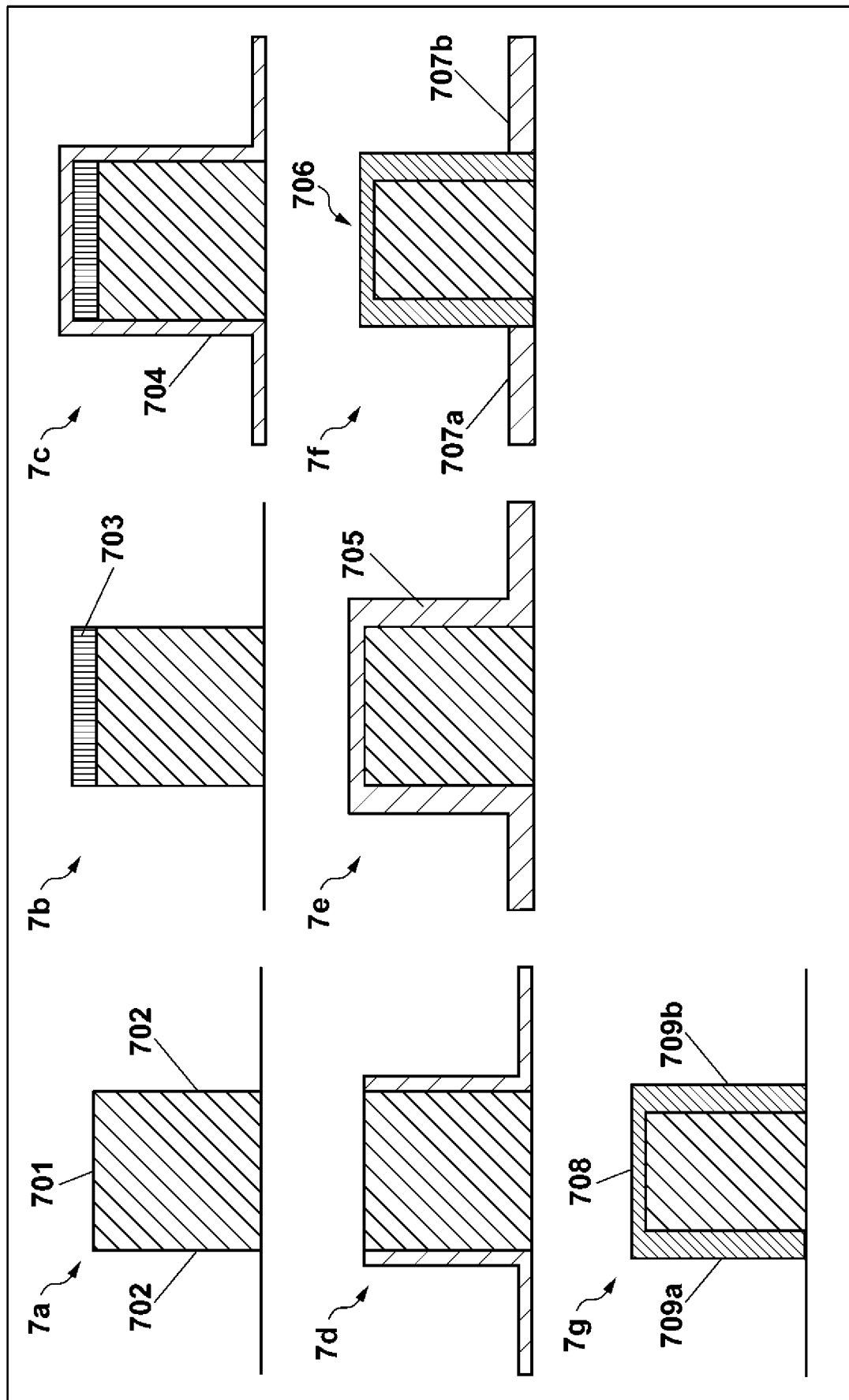
[図5]



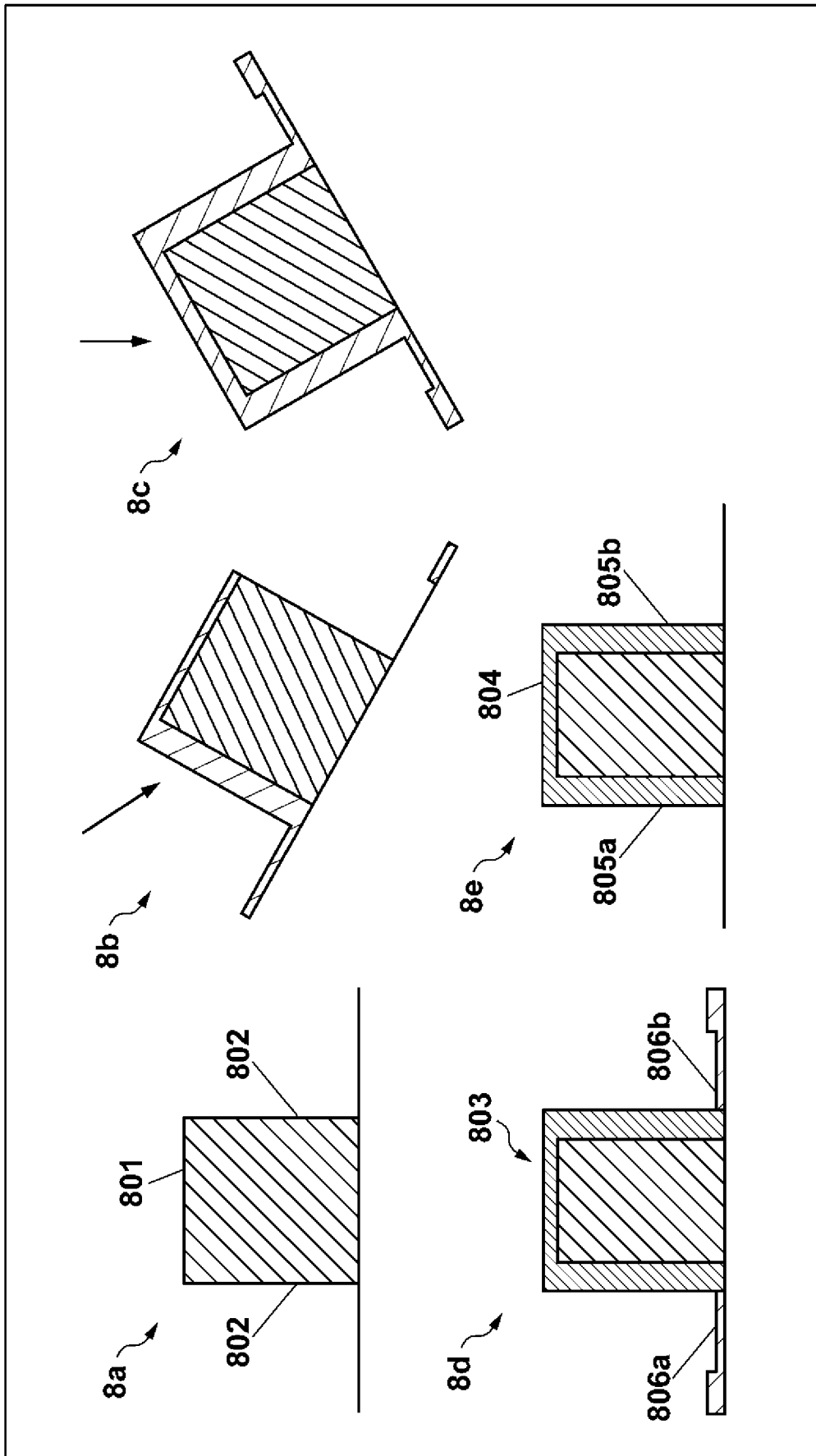
[図6]



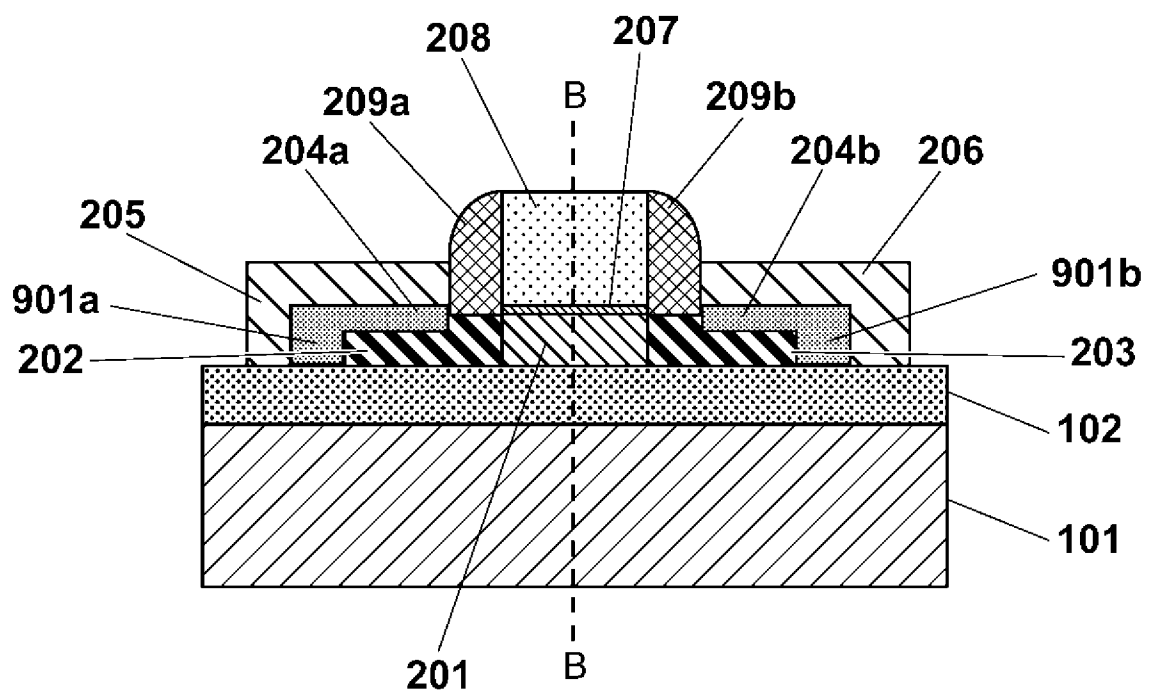
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/004428

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/78(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/78, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 05/036651 A1 (NEC Corp.), 21 April 2005 (21.04.2005), paragraphs [0104] to [0107]; fig. 19 & US 2007/0132009 A1 & CN 1890816 A	1-2
Y	JP 3-166736 A (Toshiba Corp.), 18 July 1991 (18.07.1991), page 5, lower left column, lines 12 to 20 & US 5162263 A & DE 4037699 A1 & KR 10-1994-0010907 B	1-2

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 July, 2012 (30.07.12)Date of mailing of the international search report
07 August, 2012 (07.08.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L29/78, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 05/036651 A1 (日本電気株式会社) 2005.04.21, 段落【0104】 - 【0107】, 図 19 & US 2007/0132009 A1 & CN 1890816 A	1-2
Y	JP 3-166736 A (株式会社東芝) 1991.07.18, 第 5 頁左下欄第 1 2 行 - 第 2 0 行 & US 5162263 A & DE 4037699 A1 & KR 10-1994-0010907 B	1-2

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 7 . 2 0 1 2

国際調査報告の発送日

0 7 . 0 8 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

多賀 和宏

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

4 4 5 1