發明專利分割說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：94143539
※ 申請日期：90.8.22　※IPC 分類：H01L21/00
原申請案號：090120587
分割案

一、發明名稱：（中文/英文）

摻雜且伸長之半導體成品，該成品之成長，包含該成品之元件及該元件之製造

Doped Elongated Semiconductor Articles, Growing Such Articles, Devices Including Such Articles and Fabricating Such Devices

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）
哈佛學院董事評議委員 / President and Fellows of Harvard College

代表人：（中文/英文）
賴瑞 R.史特倫奇 / Larry R. Steranky

住居所或營業所地址：（中文/英文）
美國麻州 02138 康橋麻道 1350 號活力歐克中心 727 室
Suite 727, Holyoke Center, 1350 Massachusetts Avenue, Cambridge, MA 02138, U.S.A.

國　籍：（中文/英文）
美國 / U.S.A.

三、發明人：（共 4 人）

姓　名：（中文/英文）
1. 查爾士 M.李伯 / Lieber, Charles M.
2. 崔儀 / Cui, Yi
3. 段祥丰 / Duan, Xiangfeng
4. 黃玉 / Huang, Yu

國　籍：（中文/英文）
1. 美國 / U.S.A.
2、3、4. 中國大陸 / P.R.O.C.

煩請委員明示本案分割前案是否變更原實質內容

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，

其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1.美國、2000/08/22、60/226,835

2.美國、2001/05/18、60/292,121

3.美國、2000/12/11、60/254,745

4.美國、2001/05/18、60/292,035

5.美國、2001/05/18、60/292,045

6.美國、2001/05/18、60/291,896

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【相關申請案】

本申請案按如 U.S.C.§119(e)主張同有共審之西元 2000 年 8 月 22 日申辦美國臨時專利申請案，序號第 60/226,835 號，標題"Semiconductor Nanowires"，以及西元 2001 年 5 月 18 日申辦美國臨時專利申請案，序號第 60/292,121 號，標題"Semiconductor Nanowires"之優先權，各者全文皆依引用參考方式併入本文。

【發明所屬之技術領域】

本發明概有關於一次微電子半導體裝置，且尤其是關於奈米尺寸之半導體物件，例如奈米線路，經摻雜以提供 n-型及 p-型電導性，該等物件之成長，與該等物件之安排俾以製作各種裝置。

【先前技術】

細微尺寸之電子技術大幅仰賴於各式材質之摻雜作業。將半導體材質摻雜以構成 n-型及 p-型半導體區域，以得製作出諸如場效電晶體、雙極電晶體、互補性反置器、隧穿二極體等等各式裝置，確屬業界所眾知者。

典型的先進技術半導體製造設施會涉及到相當高的成本，並要求潔淨室且須應用到如氫氟酸之劇毒化學物品。此外，對於微小尺寸維度，典型眾知的製程大小尺寸仍屬 100 奈米或是更大的範圍。

不過，半導體與微製程技術雖屬成熟發展者，然確仍存有改善之需求，最好是包含依低成本之更小尺寸、對環境友善的製程方式。

【發明內容】

在一具體實施例中，茲提供一種本體摻雜之半導體，包含至少具有窄於500奈米之最小寬度的部份。

在本具體實施例之另一特點中，該半導體包括一含有一第一半導體之內部核心；一含有不同於該第一半導體之材質的外部覆殼。

在本具體實施例之另一特點中，該半導體可為長化，且於沿該半導體之橫經區段的任何點處上，可具有該區段長度對一最大寬度的比例值高於4：1，或高於10：1，或甚而高於100：1。

在本具體實施例之各式特點中，至少該半導體其一局部可為少於200奈米，或少於150奈米、少於100奈米、少於80奈米、少於70奈米、少於60奈米、少於40奈米、少於20奈米、少於10奈米或甚而少於5奈米之最小寬度。

在本具體實施例之各式特點中，該半導體包含由下列元素群組所構成之半導體：Si、Ge、Sn、Se、Te、B、鑽石、P、B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn和Ge-Sn、BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、InN/InP/InAs、ZnO/ZnS/ZnSe/ ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/ MgSe、GeS、GeSe、

GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)$_2$、Si_3N_4、Ge_3N_4、Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$、Al_2CO 以及兩種或更多該等半導體之適當組合。

在本具體實施例之各式特點中，該半導體包含下列群組之摻入物：週期表上 III 族之 p- 型摻入物；週期表上 V 族之 n- 型摻入物；自如下群組所選出之 p- 型摻入物：B、Al 和 In；自如下群組所選出之 n- 型摻入物：P、As 和 Sb；週期表上 II 族之 p- 型摻入物；自如下群組所選出之 p- 型摻入物：Mg、Zn、Cd 和 Hg；週期表上 IV 族之 p- 型摻入物；自如下群組所選出之 p- 型摻入物：C 和 Si；以及自如下群組所選出之 n- 型摻入物：Si、Ge、Sn、S、Se 和 Te。

又在本具體實施例之另一特點中，該半導體係自立式。

在本具體實施例之另一特點中，該半導體係一裝置之一部份。

在本具體實施例之另一特點中，該半導體係屬 n- 型摻雜者。在本特點之各式可選特性中，該半導體可為輕型 n 摻雜或是重型 n 摻雜者。

又在本具體實施例之另一特點中，該半導體係屬 p- 型摻雜者。在本特點之各式可選特性中，該半導體可為輕型摻 p 或是重型 p 摻雜者。

在本具體實施例之另一特點中，該半導體係單結晶。

在另一具體實施例中，茲提供一種含有單晶之摻雜半導體。

在本具體實施例之一特點中，該半導體可為長化。在本特點之各式可選特性中，沿該半導體之橫經區段的任何點處上，可具有該區段長度對一最大寬度的比例值高於4：1，或高於10：1，或甚而高於100：1。

在本具體實施例之各式特點中，至少該半導體其一局部可為少於200奈米，或少於150奈米、少於100奈米、少於80奈米、少於70奈米、少於60奈米、少於40奈米、少於20奈米、少於10奈米或甚而少於5奈米之最小寬度。

在本具體實施例之各式特點中，該半導體包含由下列元素群組所構成之半導體：Si、Ge、Sn、Se、Te、B、鑽石、P、B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn和Ge-Sn、BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、InN/InP/InAs、ZnO/ZnS/ZnSe/ ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/ MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)$_2$、Si_3N_4、Ge_3N_4、Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$、Al_2CO以及兩種或更多該等半導體之適當組合。

在本具體實施例之各式特點中，該半導體包含下列群

組之摻入物：週期表上 III 族之 p- 型摻入物；週期表上 V 族之 n- 型摻入物；自如下群組所選出之 p- 型摻入物：B、Al 和 In；自如下群組所選出之 n- 型摻入物：P、As 和 Sb；週期表上 II 族之 p- 型摻入物；自如下群組所選出之 p- 型摻入物：Mg、Zn、Cd 和 Hg；週期表上 IV 族之 p- 型摻入物；自如下群組所選出之 p- 型摻入物：C 和 Si；以及自如下群組所選出之 n- 型摻入物：Si、Ge、Sn、S、Se 和 Te。

在又一具體實施例中，茲提供一種本體摻雜之半導體，其中該本體摻雜半導體一區段所產生之現象展現出因該區段維度所生之量子禁限。

在本具體實施例之一特點中，該區段為一縱向區段，且該維度為沿該縱向區段之寬度。

在本具體實施例之另一特點中，該縱向區段能夠回應於激發作用而放射出光線，其中所發出光線的波長會與該寬度相關。在本特點之一可選特性裡，該發出光線的波長係該寬度的函數。

在另一具體實施例中，茲提供一種含有其一或更多摻雜半導體的解決方法，其中各半導體中至少一種為一本體摻雜之半導體，包含至少一具有窄於 500 奈米之最小寬度的部份。

在本具體實施例之一特點中，該至少一半導體可為長化。在本特點之各式可選特性中，沿該半導體之縱向區段的任何點處上，可具有該區段長度對一最大寬度的比例值

高於 4：1，或高於 10：1，或甚而高於 100：1。

在本具體實施例之各式特點中，至少該半導體其一局部可為少於 200 奈米，或少於 150 奈米、少於 100 奈米、少於 80 奈米、少於 70 奈米、少於 60 奈米、少於 40 奈米、少於 20 奈米、少於 10 奈米或甚而少於 5 奈米之最小寬度。

在本具體實施例之各式特點中，該至少一半導體包含由下列元素群組所構成之半導體：Si、Ge、Sn、Se、Te、B、鑽石、P、B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、InN/InP/InAs、ZnO/ZnS/ZnSe/ ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/ MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)$_2$、Si_3N_4、Ge_3N_4、Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$、Al_2CO 以及兩種或更多該等半導體之適當組合。

在本具體實施例之各式特點中，該至少一半導體包含下列群組之摻入物：週期表上 III 族之 p-型摻入物；週期表上 V 族之 n-型摻入物；自如下群組所選出之 p-型摻入物：B、Al 和 In；自如下群組所選出之 n-型摻入物：P、As 和 Sb；週期表上 II 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：Mg、Zn、Cd 和 Hg；週期表上 IV 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：C

和 Si；以及自如下群組所選出之 n－型摻入物：Si、Ge、Sn、S、Se 和 Te。

在另一具體實施例中，茲提供一種含有其一或更多摻雜半導體的裝置，其中各半導體中至少一種為一本體摻雜之半導體，包含至少一具有窄於 500 奈米之最小寬度的部份。

在本具體實施例之各式特點中，該裝置包括下列各項之其一或多者：一切換器、一二極體；一光發二極體；一隧穿二極體、電晶體(即如雙極接合電晶體或一場效電晶體)；一反相器；一感測器(即如光學式者)；一記憶體裝置(如動態或靜態者)；一雷射；一邏輯閘器(即如 AND 閘器、NAND 閘器、EXCLUSIVE-AND 閘器、OR 閘器、NOR 閘器、或是一 EXCLUSIVE-OR 閘器)；一鎖閂器；一暫存器；一時鐘電路；一邏輯陣列；一狀態機；一可程式化電路；一放大器；一變壓器；一信號處理器；一數位電路；一類比電路；或具有數位和類比諸元之電路。

在本具體實施例之一特點中，該至少一半導體可為長化。在本特點之各式可選特性中，沿該半導體之縱向區段的任何點處上，可具有該區段長度對一最大寬度的比例值高於 4：1，或高於 10：1，或甚而高於 100：1。

在本具體實施例之各式特點中，至少該半導體其一局部可為少於 200 奈米，或少於 150 奈米、少於 100 奈米、少於 80 奈米、少於 70 奈米、少於 60 奈米、少於 40 奈米、少於 20 奈米、少於 10 奈米或甚而少於 5 奈米之最小寬度。

在本具體實施例之各式特點中，該至少一半導體包含由下列元素群組所構成之半導體：Si、Ge、Sn、Se、Te、B、鑽石、P、B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn和 Ge-Sn、BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、InN/InP/InAs、ZnO/ZnS/ZnSe/ ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/ MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)$_2$、Si_3N_4、Ge_3N_4、Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$、Al_2CO 以及兩種或更多該等半導體之適當組合。

在本具體實施例之各式特點中，該至少一半導體包含下列群組之摻入物：週期表上 III 族之 p-型摻入物；週期表上 V 族之 n-型摻入物；自如下群組所選出之 p-型摻入物：B、Al 和 In；自如下群組所選出之 n-型摻入物：P、As 和 Sb；週期表上 II 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：Mg、Zn、Cd 和 Hg；週期表上 IV 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：C 和 Si；以及自如下群組所選出之 n-型摻入物：Si、Ge、Sn、S、Se 和 Te。

在本具體實施例之另一特點中，該裝置含有電性耦接於該至少一本體摻雜之半導體的另一半導體。

在本具體實施例之另一特點中，該裝置含有光學耦接

於該至少一本體摻雜之半導體的另一半導體。

在本具體實施例之又另一特點中，該裝置含有磁性耦接於該至少一本體摻雜之半導體的另一半導體。

在本具體實施例之另一特點中，該裝置含有實體接觸於該至少一本體摻雜之半導體的另一半導體。

在本具體實施例之各式特點中，該至少一半導體係按如下其一或更多方式所耦接：電性接觸、光學接觸、或磁性接觸。

在本具體實施例之另一特點中，可回應於一信號而控制該至少一半導體的電導性。在本具體實施例之各式特點中：可控制該至少一半導體的電導性以具備位在某數值範圍之間的任何數值；可切換該至少一半導體於兩種以上的狀態；可藉一信號來切換該至少一半導體於傳導狀態和絕緣狀態間；可無須施加信號而維持住該至少一半導體的兩種以上狀態；可回應於一電子信號而控制該至少一半導體的電導性；可回應於一光學信號而控制該至少一半導體的電導性；可回應於一磁性信號而控制該至少一半導體的電導性；及/或可回應於一閘器終端之信號而控制該至少一半導體的電導性。

在本具體實施例之另一特點中，至少兩個半導體係按陣列方式所安排，且安排於該陣列中的至少其一半導體為一本體摻雜之半導體，包含至少一具有窄於 500 奈米之最小寬度的部份。在本特點之各式可選特性中，該陣列為一有序陣列。而在本具體實施例之另一可選特性中，該陣列

非屬一有序陣列。

在本具體實施例之另一特點中，該裝置含有兩個以上的個別且互接電路，至少其一電路並不包括含有至少一具有窄於500奈米之最小寬度的部份之本體摻雜半導體。

在本具體實施例之另一特點中，該裝置係經實作於一具有一個或更多外向接腳之晶片上。在本具體實施例之一可選特性中，該晶片包含兩個以上的個別且互接電路，至少其一電路並不包括含有至少一具有窄於500奈米之最小寬度的部份之本體摻雜半導體。

在另一具體實施例中，茲提供一介質集組，可用以成長含有至少一具有窄於500奈米之最小寬度的部份之本體摻雜半導體，該集組含有一半導體介質與一摻入物介質。

在本具體實施例之一特點中，該至少一半導體可為長化。在本特點之各式可選特性中，沿該半導體之縱向區段的任何點處上，可具有該區段長度對一最大寬度的比例值高於4：1，或高於10：1，或甚而高於100：1。

在本具體實施例之各式特點中，至少該半導體其一局部可為少於200奈米，或少於150奈米、少於100奈米、少於80奈米、少於70奈米、少於60奈米、少於40奈米、少於20奈米、少於10奈米或甚而少於5奈米之最小寬度。

在本具體實施例之各式特點中，該至少一半導體包含由下列元素群組所構成之半導體：Si、Ge、Sn、Se、Te、B、鑽石、P、B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn和Ge-Sn、BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、

InN/InP/InAs、ZnO/ZnS/ZnSe/ ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/ MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)$_2$、Si_3N_4、Ge_3N_4、Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$、Al_2CO 以及兩種或更多該等半導體之適當組合。

在本具體實施例之各式特點中，該至少一半導體包含下列群組之摻入物：週期表上 III 族之 p-型摻入物；週期表上 V 族之 n-型摻入物；自如下群組所選出之 p-型摻入物：B、Al 和 In；自如下群組所選出之 n-型摻入物：P、As 和 Sb；週期表上 II 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：Mg、Zn、Cd 和 Hg；週期表上 IV 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：C 和 Si；以及自如下群組所選出之 n-型摻入物：Si、Ge、Sn、S、Se 和 Te。

在另一具體實施例中，一半導體係於該半導體成長過程中加以摻雜。

在本具體實施例之各式特點中，該半導體係屬自立式；該半導體具有不超過 100 奈米的最小寬度；該摻入作業之一範圍係經控制；既摻之半導體係藉對該某集組之分子施加一能量所成長發展，該分子集組含有該半導體分子與該摻入物分子；該摻入作業之一範圍係經控制；該半導體分

子量相對於該摻入物分子量的比例係經控制；分子係經雷射所蒸發氣化以構成氣化分子；該半導體係從該等氣化分子所成長；該等氣化分子會被集縮成一液態簇團；該半導體係從該液態簇團所成長；利用雷射輔助觸媒成長方式來執行該半導體成長；該分子集組含有一觸媒材質之分子簇團；該半導體寬度係經控制；及/或該半導體寬度係藉由控制該觸媒材質之寬度所控制。

在本具體實施例之一特點中，該至少一半導體可為長化。在本特點之各式可選特性中，沿該半導體之縱向區段的任何點處上，可具有該區段長度對一最大寬度的比例值高於4：1，或高於10：1，或甚而高於100：1。

在本具體實施例之各式特點中，至少該半導體其一局部可為少於200奈米，或少於150奈米、少於100奈米、少於80奈米、少於70奈米、少於60奈米、少於40奈米、少於20奈米、少於10奈米或甚而少於5奈米之最小寬度。

在本具體實施例之各式特點中，該至少一半導體包含由下列元素群組所構成之半導體：Si、Ge、Sn、Se、Te、B、鑽石、P、B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn和 Ge-Sn、BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、InN/InP/InAs、ZnO/ZnS/ZnSe/ ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/ MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、(Cu, Ag)(Al,

Ga, In, Tl, Fe)(S, Se, Te)$_2$、Si_3N_4、Ge_3N_4、Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$、Al_2CO 以及兩種或更多該等半導體之適當組合。

在本具體實施例之各式特點中，該至少一半導體包含下列群組之摻入物：週期表上 III 族之 p-型摻入物；週期表上 V 族之 n-型摻入物；自如下群組所選出之 p-型摻入物：B、Al 和 In；自如下群組所選出之 n-型摻入物：P、As 和 Sb；週期表上 II 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：Mg、Zn、Cd 和 Hg；週期表上 IV 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：C 和 Si；以及自如下群組所選出之 n-型摻入物：Si、Ge、Sn、S、Se 和 Te。

在另一具體實施例中，可製造一種裝置。其一或更多半導體會接觸於一表面，在此，至少其一半導體為一本體摻雜之半導體，包含至少一具有窄於 500 奈米之最小寬度的部份。在本具體實施例之各式特點中：該表面為一基板；在接觸該表面之前，至少其一半導體係藉由對該半導體分子與該摻入物分子施加一能量所成長發展；一含有其一或更多半導體之溶液會接觸於該表面；利用電場將該些其一或更多半導體對準於該表面上；在至少兩個電極之間產生一電場，且其一或更多半導體係定位於該等電極間；另一含有其一或更多另一半導體之溶液會接觸於該表面；在此該等另款半導體中至少一者包含至少一具有窄於 500 奈米之最小寬度的部份；該表面係經調節以將該等其一或更多

既經接觸之半導體接附於該表面；在該表面上構成出諸多通道；在該表面上構成出樣式；利用電場將該表面上的該等其一或更多半導體對準；該至少一半導體係經長化。

在本特點之各式可選特性中，沿該半導體之縱向區段的任何點處上，可具有該區段長度對一最大寬度的比例值高於 4：1，或高於 10：1，或甚而高於 100：1。

在本具體實施例之各式特點中，至少該半導體其一局部可為少於 200 奈米，或少於 150 奈米、少於 100 奈米、少於 80 奈米、少於 70 奈米、少於 60 奈米、少於 40 奈米、少於 20 奈米、少於 10 奈米或甚而少於 5 奈米之最小寬度。

在本具體實施例之各式特點中，該至少一半導體包含由下列元素群組所構成之半導體：Si、Ge、Sn、Se、Te、B、鑽石、P、B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、InN/InP/InAs、ZnO/ZnS/ZnSe/ ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/ MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)$_2$、Si_3N_4、Ge_3N_4、Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$、Al_2CO 以及兩種或更多該等半導體之適當組合。

在本具體實施例之各式特點中，該至少一半導體包含下列群組之摻入物：週期表上 III 族之 p－型摻入物；週期

表上 V 族之 n- 型摻入物；自如下群組所選出之 p- 型摻入物：B、Al 和 In；自如下群組所選出之 n- 型摻入物：P、As 和 Sb；週期表上 II 族之 p- 型摻入物；自如下群組所選出之 p- 型摻入物：Mg、Zn、Cd 和 Hg；週期表上 IV 族之 p- 型摻入物；自如下群組所選出之 p- 型摻入物：C 和 Si；以及自如下群組所選出之 n- 型摻入物：Si、Ge、Sn、S、Se 和 Te。

在另一具體實施例中，可藉由對其一或更多半導體施加能量致使該半導體發射光線而產發一產生光線，該等半導體至少一者具有一窄於 500 奈米之最小寬度。

在本具體實施例之一特點中，該至少一半導體可為長化。在本特點之各式可選特性中，沿該半導體之橫經區段的任何點處上，可具有該區段長度對一最大寬度的比例值高於 4：1，或高於 10：1，或甚而高於 100：1。

在本具體實施例之各式特點中，至少該半導體其一局部可為少於 200 奈米，或少於 150 奈米、少於 100 奈米、少於 80 奈米、少於 70 奈米、少於 60 奈米、少於 40 奈米、少於 20 奈米、少於 10 奈米或甚而少於 5 奈米之最小寬度。

在本具體實施例之各式特點中，該至少一半導體包含由下列元素群組所構成之半導體：Si、Ge、Sn、Se、Te、B、鑽石、P、B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、InN/InP/InAs、ZnO/ZnS/ZnSe/ ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/ MgSe、GeS、GeSe、

GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)$_2$、Si_3N_4、Ge_3N_4、Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$、Al_2CO 以及兩種或更多該等半導體之適當組合。

在本具體實施例之各式特點中，該至少一半導體包含下列群組之摻入物：週期表上 III 族之 p-型摻入物；週期表上 V 族之 n-型摻入物；自如下群組所選出之 p-型摻入物：B、Al 和 In；自如下群組所選出之 n-型摻入物：P、As 和 Sb；週期表上 II 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：Mg、Zn、Cd 和 Hg；週期表上 IV 族之 p-型摻入物；自如下群組所選出之 p-型摻入物：C 和 Si；以及自如下群組所選出之 n-型摻入物：Si、Ge、Sn、S、Se 和 Te。

在本具體實施例之一特點中，該至少一半導體具有一窄於 100 奈米之最小寬度；該至少一半導體係經本體摻雜；該半導體含有一直接帶溝半導體；會跨越兩個交叉半導體的接合處處施加一電壓，各個半導體具有一窄於 500 奈米之最小寬度；各個半導體具有一窄於 100 奈米之最小寬度；可藉由該具有一窄於 100 奈米最小寬度之至少一半導體的維度來控制既發光線的波長；該至少一半導體係經長化，且該長化半導體的寬度係經控制；該半導體具有一項性質，即如果一半導體質團具有最小的最短維度，則該半導

體質團可發出按於第一波長的光線，且該半導體的受控維度會小於該最小的最短維度。

在另一具體實施例中，可製作一款具有至少一摻雜半導體元件和其一或更多其他元件的裝置。一半導體係經摻雜，以產生該摻雜半導體元件，而該摻雜半導體元件會被接附於該等其一或更多其他元件中的至少一者處。

在本具體實施例之各式特點中：該一半導體元件係至少奈米線路的一部分；該半導體係於該半導體的成長發展過程中所摻雜。

在另一具體實施例中，茲提供一種程序，可藉由控制方式來組裝一擁有具備特徵性維度之長化諸元的半導體裝置，該特徵性維度係依該元件橫斷方向而按奈米尺寸者，該程序包含：產生至少一第一摻雜型態之第一元件，將該第一元件朝指於一第一方向，及將該第一元件連接到至少某一第一接觸處，讓一電流得以行經該第一元件。

在本具體實施例之各式特點中：該程序可進一步包含產生至少一第二摻雜型態之第二元件，將該第二元件朝指向不同於該第一方向的第二方向，供承產生該第一元件與該第二元件之電性接觸處，並且將該第二元件連接到至少某一第二接觸處，讓一電流得以行經該第一元件與該第二元件；該程序可進一步包含將該第一元件連接到許多空間隔置接觸處，並在許多空間隔置接觸之間置放一鄰近於該第一元件的閘器電極，藉此構成一 FET；該第一摻雜型態為 n－型或 p－型者；如該第一摻雜型態為 p－型，則第二

摻雜型態為 n- 型，且如該第一摻雜型態為 n- 型，則為 p- 型；藉由施加電場或液體流至少一者，來調控該第一元件朝指方向；該第一元件係懸浮於該液體流中；藉由施加一器械機具，來調控該第一元件朝指方向；藉由施加電場或液體流至少一者，來調控該第二元件朝指方向；該第二元件係懸浮於該液體流中；藉由施加一器械機具，來調控該第二元件朝指方向。

又在另一具體實施例中，茲提供一種半導體裝置，其中含有：一矽質基板，具有一金屬接觸陣列；一交叉橫棒切換器元件，經構成而為電性連通於該陣列，且具有一按 p- 型半導體奈米線路所構成之第一橫棒，及一按 n- 型半導體奈米線路所構成，而依空間相隔方式置放離於該第一橫棒，並與該者橫斷交置之第二橫棒。

在本具體實施例之一特點中，該第二橫棒係按 1- 10 nm 空間相隔離於該第一橫棒。

在另一具體實施例中，茲提供一種用以製造一奈米半導體裝置的方法，包含藉由於兩個接觸點之間施加一電位，而將一第一奈米線路定位於該等接觸點之間；將一第二奈米線路定位於兩個其他的接觸點之間。

在另一具體實施例中，茲提供一種用以製造一奈米半導體裝置的方法，包含構成一表面，而其一或更多區域可選擇性地吸引奈米線路。

在另一具體實施例中，茲提供一種用以從奈米線路來製造光發二極體的方法，該二極體具有由兩個摻雜奈米線

路間的 p－n 接合維度所決定之發射波長。

又在另一具體實施例中，茲提供一種用以藉由將 p－型奈米線路與 n－型奈米線路相互交叉來製造一半導體接合處的方法。

經覽閱後載詳細說明且併同其隨附圖式，則將益形明瞭如前文所述之各具體實施例特性及優點，與該等具體實施例之其他特性及優點。

【實施方式】

就一特性而言，本發明可提供適用於諸如半導體以極為細微規模而控制材質之摻雜作業，以及既摻材質在相對於彼此位置之安放方式俾產生有效裝置的多項技術。在此，一組具體實施例會涉及到半導體摻雜作業，而其摻入物(如硼、鋁、磷、砷等)係根據所欲者究係為一 n－型或 p－型半導體所選取。

另外一組具體實施例則會涉及到受控之半導體摻雜作業，該等半導體係從等磷化銦、砷化鎵、氮化鎵、硒化鈣和硒化鋅之中所選出。在本組半導體裡，可從這些材質利用像是鋅、鈣或鎂等摻入物來構成 p－型半導體，而可利用像是碲、硫、硒或鍺等摻入物可作為構成 n－型半導體之摻入物。這些材質可定義出直接禁帶寬度半導體材質，且該等與既摻矽質對於熟諳本項技藝之人士而言確屬眾知者。本發明係審思於運用任何既摻矽質或直接禁帶寬度半導體材質以供允各式應用。

本發明審思於半導體物件摻雜作業，即如奈米線路與奈米微管，按其典型大小規模，以令各者具有一窄於 500 奈米或更低之最小寬度。

圖 1 為說明例如像是奈米線路之線路狀半導體物件的圓柱形半導體物件 L1 範例外觀圖。該圓柱形半導體物件 L1 具有長度 L2 和縱軸 L3。在沿該縱軸 L3 的點處 L5 上，該圓柱形半導體物件 L1 具有複數個跨越於該交叉區域 L6 的寬度 L4，在此各寬度 L4 其中一者為位於該點處 L5 上的最窄寬度。

本文中，該物件之"寬度"乙詞係指從該物件周圍上某點經該物件圓心到該物件周圍上另點的直線距離。本文中，位在沿經長化物件之縱軸的點處上之"寬度"乙詞，係指沿一直線之距離，而該直線會行經位於該點處之剖斷面的中心，且會連接該剖斷面周圍上的兩點。

本文中，一"長化"物件(即如一物件或一物件之區段)，係指就該位件而言，在沿該物件之縱軸上的任意點處，該物件長度相對於在該點處上的最大寬度之比例值大於 2：1 者。

本文中，一長化物件的"縱軸"，係指沿該物件最大維度之軸線。

本文中，一長化物件的"長度"，是指沿該縱軸從該物件一端到另端的距離。

本文中，一長化物件的"縱軸區段"，是指沿該長化物件縱軸該長化物件的一部份，該者可為任何大於零值而小

於等於該物件長度之長度值。

本文中，沿一長化物件縱軸任一點處的"剖斷面"，是指一位於該點處而橫截該長化物件之平面，其中該平面係正交於該物件縱軸。

本文中，一"圓柱形"物件係一具有似於一圓柱體之外形的物件，然並未定義或反映任何有關於該物件內部的性質。換言之，一圓柱形物件之內部可為實心或屬中空者。

本文中，一"奈米線路"或"NW"係一具有窄於 500 奈米之最小剖斷面維度的長化物件。

本文中，一"碳質奈管"或"CNT"係一具有窄於 500 奈米之最小剖斷面維度且具有一中空核芯的長化物件。

本文中，一"本體摻雜"物件(即如半導體物件或其區段)係一物件，對該物件而橫越於該者之結晶性格絡併合有一摻入物，在此乃相對於一種其中僅將摻入物併入於特定區域之物件。例如，某些物件，像是碳質 NT，一般會是在該基底材質既已成長之後才予以摻雜，而因此該摻入物僅僅會從該奈米微管的表面或外部向該結晶性晶格的內部延展一段有限距離。此外，NT 通常會被合併為巢狀微管，構成基底材質與摻雜材質的交替各層，因而不會將該摻入物併入橫越於該基底材質的結晶性晶格。

本文中，一"奈米線路"或"NW"、"摻雜"意思是本體摻雜者。因而，如本文所述，一"摻雜奈米線路"或"摻雜 NW"係指一本體摻雜奈米線路。

本文中，一物件"陣列"(即如奈米線路)是指含有複數

個物件。如本文所述，一"交叉陣列"是指一陣列，其中至少各物件中一者會接觸於要不該等物件之另一者，或要不一信號節點(即如一電極)。

本文中，一第一物件(即如奈米線路或較大尺寸的結構)，經"耦接"於一第二物件，其置放方式係讓該第一物件可要不實體性地接觸於該第二物件，要不為距該第二物件足夠鄰近以得影響該第二物件之性質(如電子性質、光學性質、磁性性質)。

如此，本發明在一特性中係審思於具有窄於 500 奈米之最小寬度之材質，可施予任何摻雜方式(n－型或 p－型)。在其他具體實施例中，該材質可具有窄於約 200 奈米，或少於約 150 奈米或甚而少於約 100 奈米之最小寬度。最好該材質具有少於約 80 奈米之最小寬度，或最好少於約 70 奈米更佳，或最好少於約 50 奈米更佳。而亦包括更窄之寬度，即如其寬度尺寸少於約 20 奈米、少於約 10 奈米或少於約 5 奈米之最小寬度。該縱橫比，即如該奈米線路長度對該最小寬度之比例值，為高於 2：1。在其他具體實施例中，該縱橫比可為高於 4：1，或高於 10：1，或甚而高於 100：1。如彼等之物件，按極微之維度，將可發現如後文所述之各式應用性。

該等物件可為可為自立式。本文中，該"自立式"物件係指一未經接附於他者物件的物件。

此外，這種物件可為一本體摻雜之半導體。本文中，該"本體摻雜半導體"物件(即如物件或物件區段)係一半導

體物件，而橫越於該半導體物件之結晶性晶格其內併合有一摻入物，即相對於一種其中僅將摻入物併入於特定區域之物件。例如，某些物件，像是 NT 者，一般會是在該半導體既已成長之後才予以摻雜，而因此該摻入物僅僅會從該奈米微管的表面或外部向該結晶性格絡的內部延展一段有限距離。此外，NT 通常會被合併為巢狀微管(即圓柱形)，構成半導體與摻雜半導體的交替各層，因而不會將該摻入物併入橫越於該半導體的結晶性格絡。應瞭解該"本體摻雜"並未定義或反映出一半導體物件內的摻雜濃度或量值，該者亦未標指該摻入方式必屬均勻者。

對一摻雜半導體物件而言，該半導體物件可為於該半導體成長過程中加以摻雜。於成長過程中對半導體加以摻雜可使得該摻雜半導體的性質成為本體摻雜者。此外，可按可控制方式來對這種摻雜半導體物件進行摻雜，而得控制該摻雜半導體內的摻入物濃度，因此可按照一致方式加以重製，而能夠商業化生產該半導體物件。

可利用如前所述之物件來製作各式裝置。該等物件包括電子裝置、光學裝置、機械裝置或彼等任意組合，包含光電裝置與電機裝置。

在一具體實施例中，利用具有窄於 500 奈米，或其他如前所列寬度，之最小寬度的摻雜半導體來生產場效電晶體(FET)。該摻雜物件可為 p－型或 n－型半導體，即如熟諳該項 FET 製程技藝之人士所眾知者。雖眾知 FET 利用奈米微管，然就本發明人所知，先前安排方式係隨機地選取

奈米微管，而未控制該奈米微管究為金屬性或半導性者。這此情況下，或低於廿分之一，或五十分之一，或甚約百分之一之極低比率的裝置方屬可運作者。本發明係審思於奈米線路的受控摻雜作業，使得製作程序可根據一種供承高於五十分之一的裝置確屬可運作之技術，而涉以製造出可運作的 FET。例如，該項技術可牽涉到奈米線路摻雜，然後由此製作出 FET。

本發明也提供一種輕型摻雜互補性反置器(互補性金屬氧化半導體)，該者係僅藉由將一 n- 型半導體接觸於一 p- 型半導體的方式所排置，即如藉由如後所述之交叉 n- 型與 p- 型半導性奈米線路的安排方式。

又根據本發明，茲提供一種具重摻半導性元件之隧穿二極體。可按類似或完全相同於一互補性反相器的方式來安排一隧穿二極體，而其半導體係為重型摻雜但非輕型摻雜。對於熟諳本項技藝之人士而言，"重型摻雜"與"輕型摻雜"等名詞意義確為顯而易見。

本發明一項重要特點為能夠製造幾乎各種得受惠於鄰接 n- 型及 p- 型半導性元件之電子裝置，其中諸元係屬預製者(按各自或個別程序所摻雜，而當進行摻雜時各個元件間係屬互為隔離者)，然後於摻雜後再被帶予接觸。這是相對於典型的先前技術排置方式，其中單一半導體係於一區域內為 n- 型摻雜，而於其鄰接區域內為 p- 型摻雜，不過該 n- 型摻雜半導體區域與該 p- 型摻雜半導體區域在未摻雜之前最初係屬鄰近，而在對其摻雜之前或之後皆

不會相對彼此移動。亦即，最初為非接觸狀態的該等 n-型與 p-型半導體，會被帶予彼此接觸以構成一有效的電子裝置。基本上，可根據本發明之是項特點，製作出熟諳本項技藝之人士所意欲利用該等 n-型與 p-型半導體組合而製得之任何裝置。該等裝置之範例包括，但不限於，場效電晶體(FET)、雙極接合電晶體(BJT)、隧穿二極體、互補性反置器、光發裝置、光測裝置、閘器、反置器、AND、NAND、OR、NOR 等閘器、鎖栓、覆返器、暫存器、切換器、時鐘電路、靜態或動態記憶體裝置和矩陣、狀態機、閘器陣列與任何其他動態或序列式邏輯，或是其他含有可程式化電路的數位裝置。而亦包括類比裝置及電路，包含，但不限於，放大器、切換器及其他利用電晶體裝置的類比電路，以及混合信號電路與信號處理電路。

可藉由例如電子、光學或磁性信號，來控制併合有半導體奈米線路的電子裝置。可於兩種以上的離散狀態間切換這項控制，或為半導體奈米線的連續性控制，即如類比控制者。除電子信號、光學信號及磁性信號以外，亦可按如下方式控制該裝置：

(1)該裝置可回應於生物性和化學性物種而切換，例如DNA、蛋白質、金屬離子。更廣義而言，這些物種可為帶電性或具雙極性。

(2)該裝置可回應於機械性拉伸、震動與彎曲而切換。

(3)該裝置可回應於溫度而切換。

(4)該裝置可回應於環境壓力而切換。

(5)該裝置可回應於週遭氣體或液體的移動而切換。

本發明的許多裝置特別會應用到交叉 p/n 接合處，該者可為交叉 n- 型與 p- 型奈米線路。交叉 p/n 接合處是由至少一 n- 型半導性材質與至少一 p- 型半導性材質所定義，各個材質的至少一部份會接觸到另一材質的至少一部份，而各材質亦含有不會接觸到另一元件的各部分。而彼等的安排方式，可為藉由對該奈米線路進行預摻雜，然後利用如後所述技術將其等帶入相互鄰近。

亦可根據本發明而提供光發來源，其中電子與電孔合併而發出光線。本發明的一種光發來源包括至少一個交叉 p/n 接合處，特別是交叉 p- 型與 n- 型奈米線路之接合處。在利用交叉奈米線路之本發明是項與其他排置方式中，各線路無需必然而可為垂直。當前向偏離(即正電荷施加於該 p- 型線路而負電荷施加於該 n- 型線路)電子行流朝向該 n- 型線路內的接合處，而電孔則行流朝向該 p- 型線路內的接合處。在該接合處處，電孔及電子合併而發出光線。然亦可採取其他技術，來啟動一個或更多奈米線路或其他半導性物件以發出光線，即如後文中所詳述。

在如本發明之尺寸規模者(奈米尺寸)，可藉由控制經交叉而構成該光發接合處之元件中至少一者，而最好是兩者為宜，的大小，來掌控光線發射的波長。例如，在採用奈米線路的情況下，具有較寬的最小維度之奈米線路(較寬線路)可提供較低頻率的發射結果。例如，在磷化銦的情形裡，在相關於一般製程的尺寸規模中，該材質會發射 920

奈米的光線。而在如本發明之尺寸規模下，該發射波長可被控制為窄於920奈米之波長，即如920到580奈米之間。可於該範圍內根據線路尺寸而選定波長，如為900、850、800、750、700奈米等。

如此，本發明之一特性即為牽涉到一種半導體發光來源，可發射比該半導體為較高頻率之光線，而可按本體狀態來發出光線發射。這種光線發射頻增結果通常是被稱為量子禁限(Quantum Confinement)。"本體"在本文中是指一種狀態，其中該者係按一具有大於500奈米的最小尺寸之元件或一元件局部的方式所呈現。而該"本體"亦可被定義成會讓一材質致發其內定光發波長或頻率的狀態。本發明可提供作為對基本上是任何半導性或摻雜性之半導材質的發射頻率控制。

可藉利用電場來對準奈米線路，以進行奈米線路在表面上的組裝或受控置放作業。在各電極間產生一電場，奈米線路會被排放在該等電極間(可選擇性地流放入一懸浮液體內各電極之間的區域內)，且會於該電場內對準，並藉此令開展於其間距離內，且接觸到各個電極。

在另一安排方式中，會按彼此相對關係來排放諸個別接觸點，各接觸點漸為尖細以構成一彼此朝指的點處。在該等點處所產生之電場會吸引某開展於其間距離內之單一奈米線路，而接觸到各個電極。按此方式，隨即可於各電性接觸組對之間組成個別的奈米線路。可藉由先將各接觸點(電極)定位於各交叉線路之相對端所欲臥放的位置處，

從而構成出交叉線路安排方式，包括多重交叉(按第一方向之多重平行線路與按垂直或近於垂直之第二方向的多重平行線路互為交叉)。在此，可透過典型的微製程技術製作出各電極或接觸點。

可藉由一種牽涉到將一液流導指裝置加以定位，俾將含有懸浮奈米線路之液體導向且指於和該等奈米線路所欲安放之各位置之方向上互為對準的定位排置方式，來替代，或補充彼等組裝技術。

另一種排置方式則涉及到構成含有可選擇性地吸引奈米線路之各區域的許多表面，而諸奈米線路是由該等並不會選擇性地吸引彼等之各區域所環繞。例如，可在一表面上按特定樣式呈現出$-NH_2$，且該樣式會吸引具有可吸引胺類之表面功能性的奈米線路或奈米微管。可利用已知的技術，像是電子射束樣式化，"軟性微影"，來對表面加以樣式化，該者可如 1996 年 7 月 26 日出版之國際專利期刊(International Patent Publication)，No. WO 96/29629，或是如 1996 年 4 月 30 日核發之美國專利案號 No. 5,512,131 等文所載述，茲將各者併入本文而為引用參考。另項技術可如 Lieber 等人所著，1999 年 7 月 2 日申請之美國臨時專利申請案，序號第 60/142,216 號，茲併入本文而為引用參考。最好可按供以利用各種技術以置放奈米線路於表面上之大小尺寸來產生液流通道，該等技術可如 1997 年 9 月 18 日出版之國際專利期刊，No. WO 97/33737，茲併入本文而為引用參考。其他技術包括如 2000 年 5 月 25 日申請之美

國臨時專利申請案，序號第 09/578,589 號，茲併入本文而為引用參考。

圖 7A - 7E 顯示一種該等藉由聚二甲基矽氧烷(polydimethyl siloxane, PDMS)模型以產生液流通道之技術。這可在該表面上產生及施製出諸多通道，且得將模型移除並依不同指向重新施用，以提供交叉的液流排置方式或不同排置方式。

該液流通道排置方式可包括具有窄於 1 毫米之最小寬度的通道，最好是窄於 0.5 毫米、200 微米或更低為宜。這些通道可藉利用對主體之微影蝕刻與鑄模 PDMS 處理而得簡易製作，即如前揭各項參考專利申請案件與國際刊物所載述。亦可製作出較大尺寸組裝。能夠被奈米線路陣列所予樣式化之區域實僅由該通道特性所定義，而這是可依意欲大小而定者。

現有多項技術可供用於成長出 SiNWs，且用於在成長過程中對該等 SiNWs 進行摻雜。

例如，可利用雷射輔助觸媒成長(LCG)來合成 SiNWs。

即如圖 2 及 3 所示，由所欲材質(如 InP)和觸媒材質(如 Au)所組成之組成目標的雷射氣化結果，可產生出高熱稠密蒸氣，而該者經撞擊該緩衝氣體之後，即可快速地濃縮成液態奈米簇團。

當該液態奈米簇團變為過飽和時，即開始按所欲相態而成長，且只要反應劑確屬可用就會持續進行。

當奈米線路超出該熱性反映地帶時或當所欲溫度落降

時，成長過程就會終結。

雷射削除作業會產生液態的奈米簇團，而後續中可定義出該尺寸大小，並可導指該結晶性奈米線路的成長方向。

雷射削除作業可被用來產生用於奈米線路成長的觸媒簇團和氣相反應劑。不過本製作方式並不限於雷射削除作業。確可利用眾多方式來產生用於奈米線路成長的氣相反應劑和觸媒簇團(即如熱性氣化)。

另款可用於奈米線路成長的技術即為觸媒性化學氣相沉積(C-CVD)。該 C-CVD 係利用與 LCG 相同的基本原理，除了在該 C-CVD 方法裡該反應劑分子是來自於氣相分子以外(相對於來自於雷射氣化的蒸氣源)。

藉如 LCG 相同的基本原理，如果均勻直徑的奈米簇團被用來作為觸媒簇團，即可產得具均勻大小(直徑)分布的奈米線路，其中該奈米線路大小是由該觸媒簇團的大小所決定，即如圖 4 所示。藉由控制該成長時間，即可成長出具不同長度的奈米線路。

即如前述，在 LCG 裡，可藉將摻雜元素引入於該合成目標的方式來對奈米線路摻雜。該摻雜濃度可由控制被引入到該合成目標內之摻雜元素的相對量值而加以掌控。如此，沿著奈米線路縱軸，可控制該摻入物濃度為逐緩或銳迅地改變，構成具有不同摻雜濃度的離散區段。在 C-CVD 裡，可藉由將摻雜元素引入於該氣相反應劑來對該奈米線路進行摻雜(即如對於 p－型矽質奈米線路為二硼烷)。該

摻雜濃度可由控制被引入到該合成目標內之摻雜元素的相對量值而加以掌控。

除該項縱軸變化性以外，可藉由具有不同化學合成或摻雜型態之沉積材質，而在前述之奈米線路表面上，製作出展越於其等交叉部分之合成或摻雜調變的奈米線路。這項程序可重複進行兩次以上，以產得多層化之核芯－外殼結構。

尚有其他多種技術可被用來成長發展奈米線路。例如，可直接從氣相透過氣－固處理程序而成長出多種材質任何之奈米線路。並且，也可藉由沉積於表面步階之邊緣或他款樣式化表面上而得產生出奈米線路，即如圖 5 所示。此外，可藉於任何一般性長化模板之內/上按氣相沉積方式成長出奈米線路，即如圖 6 所示者。該孔透薄膜可為孔透性矽質、鍍層陽極鋁或雙方塊共聚合體及任何其他相仿結構。自然纖束可為 DNA 分子、蛋白質分子碳質奈米微管任何其他長化結構。對於所有如上所列之技術，該來源材質可為來自於溶液相態而非氣相。而在溶液相態下，除如上所述之模板外，該模板亦可為表面作用分子所構成之縱行微格。

利用其一或多種如上之技術，即可成長出半導體奈米線路，包括摻雜半導體奈米線路。這種半導體奈米線路可含有各式材質之組合，包括半導體與摻入物。下述項目為該等材質之非窮盡性列表。亦得採用其他材質。

基本半導體：

Si, Ge, Sn, Se, Te, B, 鑽石、P

基本半導體的固性溶液：

B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn、Ge-Sn

IV－IV族半導體：

SiC

III－V半導體：

BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs、InN/InP/InAs

III－V族合金：

任何如上所列化合物兩種以上之組合(即如 AlGaN、GaPAs、InPAs、GaInN、GaInAsP...)

II－VI半導體

ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe

II－VI族合金：

任何如上所列化合物兩種以上之組合(即如(ZnCd)Se、Zn(SSe)...)

II－VI及III－V合金：

任何一為 II－VI 而另一為 III－V 化合物之組合，即如 $(GaAs)_x(ZnS)_{1-x}$

IV－VI半導體：

GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe

I－VII半導體：

CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI

其他半導體化合物：

II-IV-V_2：$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$

I-IV_2-V_3：$CuGeP_3$、$CuSi_2P_3$...

I-III-VI_2：(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)$_2$

IV_3-V_4：Si_3N_4、Ge_3N_4...

III_2-VI_3：Al_2O_3、(Al, Ga, In)$_2$(S, Se, Te)$_3$...

III_2-IV-VI：Al_2CO...

縱軸或對立式異質結構可為按兩項/或更多材質等組合所獲致，只要各材質之間並無顯著的晶格不符即可。這應可包括具有不同摻雜型態(p－或 n－型)或不同摻雜水準之相同/不同材質。像是：(p-Si)-(n-Si)、(p-Si)-(p+-Si)、Si-Si_3N_4、ZnSe-ZnS、GaP-GsAs、(p-GaN)-InGaN-(n-GaN)、GaP-GsAs (p-InP)-(n-InP)以及其他...。

範例

奈米線路內的摻雜作業與電性傳輸

單結晶 n－型與 p－型矽質奈米線路(SiNWs)既已藉由電性傳輸量測結果所備製與特徵化。本文中，一"單結晶"品項是指一種具有共有結合(covalent bonding)、離子結合，或經該品項之彼等組合的品項。這種單結晶品項在結晶內或含具缺陷，但確可和包括其一或更多既非按離子方式亦非按共有方式結合，而僅僅是彼此極為鄰近之結晶性品項互加區別。在先前 SiNWs 氣相成長的過程中，會利用雷射

觸媒成長以按可控制方式來引入硼質或磷質摻入物。兩項對於個別硼－摻雜與磷－摻雜 SiNWs 所進行的終端、閘器相關之測量作業，顯示出這些材質的行為即分別如 p－型與 n－型材質。從該閘器相關傳輸測量結果所獲之載體移動性的估計值，會與擴散性傳輸一致。此外，這些研究資料顯示確有可能對 SiNWs 重度摻雜而趨近於金屬範域。對重度摻雜 SiNWs 所作的溫度相關測量作業，並未顯示在溫度低至 4.2 K 時出現庫倫阻斷的證據，並因此得以驗證出該等 SiNWs 之結構性與電性的均勻度。後文中將說明摻雜 SiNWs 的潛在應用。

目前對於像是奈米線路、奈米微管等之一維(1D)奈米結構極感興趣，這是因為可測試有關於維度與大小究竟如何影響物理性質的基本概念，以及作為新興奈米技術之關鍵性建構方塊的潛能之故。而 1D 奈米結構的最重要處，即在於經由彼等"線路"的電性傳輸，因為對於許多奈米尺寸電子應用而言可預測且可控制的電導性極為關鍵。至今，多數努力既已集中於碳質奈米微管的電性傳輸。這些研究已經顯示出許多有趣的基本特性，包含存在有延擴於數百奈米之一貫性狀態，室溫下的彈道電導性，以及 Luttinger 流體行為，並且既已展示出可作為如場效電晶體之裝置的潛能。不過，奈米微管仍具多項重大限制。首先，無法進行金屬性或半導性微管的特定成長，該者會與半徑和螺旋度具有極為敏感的相關性。因此，與特定傳導行為相關之研究必須要仰賴於機遇性的觀察結果。其次，雖對

裝置應用方面確具潛在關鍵性，然尚無法進行半導性奈米微管之受控摻雜作業。但是，半導體奈米線路確可克服碳質奈米微管之彼等限制。這些奈米線路會與半徑無關而得保持半導性，此外，亦有機會利用到半導體產業的廣泛知識，來對奈米線路進行摻雜。

為此目的，茲提報 SiNWs 受控摻雜作業之第一展示說明，並且利用傳輸測量結果來描述這些摻雜奈米線路之電子性質的特徵。閘器相關之雙終端測量作業可展示該摻硼(B-doped)與摻磷(P-doped) SiNWs 之行為分別可如 p－型與 n－型材質，且該載體移動性的估計值可意指在這些奈米微管內的擴散性傳輸。此外，對於重型摻雜之 SiNWs 溫度相關測量結果，並未顯示出在溫度降為 4.2 K 時出現庫倫阻斷的證據。

SiNWs先前係利用如前所述之雷射輔助觸媒成長(LCG)所合成。簡言之，可利用一 Nd-YAG 雷射(532 nm；8 ns 脈衝寬度，300 mJ/脈衝，10 Hz)削除該金質目標，這會在一反應器中產生出金質奈米簇團觸媒顆粒。該 SiNWs 可開始於作為反應劑之 SiH_4 的液流中成長。可藉由在該反應液流中併入 B_2H_6 而對這種 SiNWs 摻入硼質，同時可在該反應氣體注入口利用 Au-P 目標(99.5：0.5 wt%，Alfa Aesar)及額外的紅磷(99%，Alfa Aesar)而對這種 SiNWs 摻入磷質。傳輸電性顯微影術測量結果顯示利用本項技術所成長之摻雜 SiNWs 可具有一單晶矽質核芯，而如前述般由一稠密 SiO_x 披覆物所覆蓋。

先前係利用採行一 JOEL 6400 寫入器之標準電子射束微影蝕刻方法來對個別的 SiNWs 進行電子接觸。該奈米線路之前係架稱於氧化 Si 基板上(1-10Ω cm 電阻性，600 nm SiO_2，Silicon Sense 企業)，而其底層傳通 Si 用來作為後背閘器。可利用熱性蒸發 Al (50 nm)和 Au (150 nm)來接觸該 SiNWs。在此係利用一自訂系統來進行電性傳輸測量作業，在電腦控制下可具小於等於 1 pA 的雜訊。而於一 Quantum Design 之磁性性質測量系統中進行該項溫度相關測量作業。

雖然這些測量結果並不具有足夠的敏感性來量化在個別線路裡硼質與磷質摻入水準，不過 TEM 研究確顯示摻有硼質與磷質之 SiNWS 為單結晶。然而，可利用電性傳輸圖譜儀來清晰地展示出現了 p－型(硼質)或 n－型(磷質)摻入物，以及相對的摻入水準。在這些測量作業中，可採用一閘器電極以改變該 SiNWs 的靜電電位，且同時測量出相對於該奈米線路電壓之電流值。可利用該 SiNWs 電導性依為閘器電壓之函數的變化，來區分一給定奈米線路究係為 p－型或 n－型，這是因為該電導性會對於增加的正性(負性)閘器電壓而相反地改變。

對於原備且 B－摻雜 SiNWs 上之典型的閘器相關電流相對於偏離電壓(I-V)曲線，可如圖 8A－8C 所記錄者。如圖 8B 與 8C 所示之兩項 B－摻雜線路係先前分別地利用 SiH_4：B_2H_6 按比例 1000：1 與 2：1 所合成。通常，這雙終端 I-V 曲線係屬線性，並因而暗示著該金屬電極會對該

SiNWs 產生歐姆性接觸。在原備奈米線路所觀察到的細微非線性則表指出該項接觸略屬非歐姆性。而經記錄於零閘器電壓(V_g=0)之 I-V 資料分析，即表示來自於該接觸電阻與該 SiNWs上的氧化覆層之貢獻度，會得出一 $3.9\times10^2\ \Omega$/cm 的電阻性。很明顯地，當 V_g(正)負性漸增時，該電導性會增加(遞減)。這項閘器相關性顯示出該 SiNWs 為一款 p-型半導體(即如後文所述)。另外，亦對輕型 B-摻雜 SiNWs 記錄有類似的 I-V 相對 V_g 曲線，且顯示出該者亦為 p-型。此外，該 B-摻雜 SiNWs的 V_g=0 電阻性會小於該原備 SiNWs 超過兩個數量級，並明確地展示出可按化學方式來控制電導性的能力。後者論點可進一步由對如圖 8C 所示之重型 B-摻雜 SiNWs的 I-V 測量結果所支持。該線路具有 6.9×10^{-3} Ω/cm 的極低電阻性，並且對 V_g 無相關性；也就是說，按 V_g 為 0 與 20 V 所記錄之 I-V 資料會相互重疊。這些結果與近於金屬極限之高載體濃度相一致。

在此亦已對輕型與重型 P-摻雜 SiNWs測量出 V_g 相關的傳輸狀態。對輕型摻雜奈米線路所記錄的 I-V (即如圖 9A)會略為非線性，這表示電極與奈米線路之間的非理想性接觸，而 V_g相關性會與對該 B-摻雜 SiNWs所觀察到者相反。顯然地，這項所觀察到的閘器相關性，會如對 P-摻雜預期般與 n-型材質相一致。這條線路在 V_g=0 時的估算電阻性為 $2.6\times10^2\ \Omega$/cm。這個相當高的電阻值表示低摻雜水準及/或低度移動性。此外，亦已備製且探研該重型 P-摻雜 SiNWs。對典型的重型 P-摻雜線路所記錄之 I-V 資料為

線性，具有 $2.3\times10^{-2}\Omega/cm$ 的電阻性，且未顯示出與 V_g 的相關性。這項低電阻性(低於該輕型 P－摻雜樣本者四個數量級)，且該 V_g 無關性表示亦可透過 SiNWs 的 P－摻雜來產生高載體濃度。

上述結果說明硼質與磷質可被用來改變 SiNWs 的電導性甚為多個數量級，而該摻雜 SiNWs 的電導性會對硼質與磷質摻入物反向地回應正(負)性 V_g。該 V_g－相關性可提供強烈證據說明在 SiNWs 中的按硼質的 p－型摻雜(電孔)和按磷質的 n－型摻雜(電子)。可藉由參考如圖 10A 與 10B 之法則而了解所觀察到的閘器相關性，其中顯示在 SiNW 線帶上的靜電電位效果。在該等圖式裡，一 p－型奈米線路(a)與一 n－型奈米線路(b)於兩端會被接觸到金屬電極。對於傳統式金屬半導體介面，該 SiNWs 線帶會彎曲(對 p－型為向上，對 n－型為向下)以將奈米線路的費米(Fermi)水準帶起，而可線齊於該金屬接觸點處者。當 $V_g > 0$ 時，各線帶會彎向下，如此會淨除 B－摻雜 SiNWs 內的電孔，並壓制電導性，但是會導致累積 P－摻雜 SiNWs 內的電子而提高其電導性。相反地，$V_g > 0$ 將會昇起各線帶，增加 B－摻雜(p－型) SiNWs 的電導性而減少 P－摻雜(n－型) SiNWs 的電導性。

此外，也可以從傳導性(transductance)估算出載體移動性，即 $dI/dV_g = (\mu C/L^2)V$，其中 μ 為載體移動性，C 為電容值，而 L 為 SiNWs 的長度。該 SiNWS 電容可如 $C = 2\pi\varepsilon\varepsilon_0 L/\ln(2h/r)$ 乙式給定，其中該 ε 為介電常數，h 為氧化

矽層的厚度，而 r 為 SiNWs 的半徑。可發現到即如所對本項模型所預期般，對於原備者(如圖 8A)與輕型 B－摻雜者(如圖 8B)，該 dI/dV_g 對 V 的圖形為線性。原備與輕型 B－摻雜 SiNWs 的 dI/dV_g 斜度(分別為 2.13×10^{-11} 和 9.54×10^{-9})可分別產得移動性 $5.9\times10^{-3}cm^2/V\text{-}s$ 以及 $3.17\times10^{2}\ cm^2/V\text{-}s$。該 B－摻雜奈米線路的移動性可比較於在按 $10^{20}cm^{-3}$ 摻雜濃度之本體 Si 所預期到者。在此也發現雖然在本項原備(即低度摻入物濃度)SiNWS 裡該移動性會非常地低，不過該移動性仍會被預期到隨著摻入物濃度減少而增加。有可能所降低的移動性係肇因於在較小直徑(原備)SiNWs 內的增強散佈結果。吾人相信未來對於(就以固定的摻入物濃度)按直徑為函數之移動性研究應可說明這項重要論點。

晚近，即已預先進行多項重型 B－摻雜 SiNWs 的溫度相關研究。溫度相關 I-V 曲線顯示該電導性會隨著溫度降低而減少，即如對摻雜半導體所預期者(圖 11A 和 11B)。更重要的是，當溫度降至最低可接取溫度時(如圖 11B)，確並未觀察到庫倫阻斷的證據。當靠近 V=0 時的細微非線性係肇因於接觸效應，因為高解析度的 I-V 相對 V_g 測量結果的曲線並無顯示出庫倫阻斷的痕跡。在諸電極間之同質性線路內(150 nm 厚而 2.3 μm 長的線路)的庫倫充電效應將會要求如 $kT = e^2/2C$ 所估算之低約 26 mK 的溫度。這強烈暗示著 SiNW 直徑與瑕疵的變異性會為足夠地細微，因而不致影響到有效地將 SiNW"擊毀"成為數個島狀物，而在這些溫度下出現庫倫阻斷現象。這些結果可對比於經微

影蝕刻所樣式化之 SiNWs 的研究，這些研究顯示出現了庫倫阻斷現象，故可明證本款自立式奈米線路的高度品質。

單結晶 n－型與 p－型矽質奈米線路(SiNWs)既經備製且已由電性傳輸測量結果所特徵化。利用雷射觸媒成長以按可控制方式於 SiNWs 的氣相成長過程中引入硼質或磷質摻入物。兩項對於個別硼－摻雜與磷－摻雜 SiNWs 所進行的終端、閘器相關之測量作業，顯示出這些材質的行為即分別如 p－型與 n－型材質。從該閘器相關傳輸測量結果所獲之載體移動性的估計值，會與擴散性傳輸一致。此外，這些研究資料顯示確有可能對 SiNWs 重度摻雜而趨近於金屬範域。而對於重度摻雜 SiNWs 所作的溫度相關測量作業顯示，在溫度低至 4.2 K 時並未出現任一電子充電的證據，並因此得以驗證出該等 SiNWs 具有高度的結構性與摻雜性的均勻度。

吾人深信 SiNWs 摻雜以產生 n－型與 p－型材質的成功結果將可位奈米尺寸之科學與技術開啟令人興奮的新機。摻雜之 SiNWs 將會是深入探查 1D 奈米結構的各項基本課題的極佳人選。本文中的結構研究亦有關於場效電晶體(FET)，而這也有可能利用到自組裝技術以將許多 SiNW FET 整合於各結構內以供即如奈米電子應用。亦應可，例如於交叉陣列中，將 p－型及 n－型 SiNWs 合併，藉以產生可供作為未來裝置與感測器之用的 p－n 接合處。

既已藉 p－型(n－型) SiNWs 上對於 n－型(p－型) SiNWs 的方式構成出交叉 p－n 接合處的有向組裝。傳輸

測量結果展現出在反向偏離內的矯正結果及正向偏離內的尖銳電流顯現結果。對組成該接合處之 p-型和 n-型 SiNWs 所作的同時性測量作業顯示出相對於這些奈米線路為歐姆性(非矯正性)，並因而該矯正行為係由於位在這兩個 SiNWs 之間的 p-n 接合處所致。

圖 8A 顯示按一 70 nm 直徑原備 SiNWs，依不同閘器電壓(V_g)而所記錄之電流(I)對偏離電壓(V)曲線圖。曲線 1、2、3、4、5、6 及 7 分別地對應於 V_g=-30、-20、-10、0V、10、20 及 30V。該插圖係一具有金屬接觸之 SiNW 的典型掃描電子微像圖(比例尺=10 um)。圖 8B 為顯示對一 150 nm 直徑 B-摻雜 SiNW 所記錄之 I-V 資料；曲線 1-8 分別地對應於 V_g=-20、-10、-5、0V、5、10、15 及 20V。圖 8C 為對一 150 nm 直徑重型 B-摻雜 SiNW 所記錄之 I-V 資料；V_g=20V (實線)和 0V (粗虛線)。

圖 9A 對一 60 nm 直徑 P-摻雜 SiNW 所記錄之 I-V 資料。曲線 1、2、3、4、5 及 6 分別地對應於 V_g=20、5、1、0、-20 及-30V。圖 9B 為對一 90 nm 直徑重型 P-摻雜 SiNW 所記錄之 I-V 資料；V_g=0V (實線)和-20V (粗虛線)。

圖 10A 顯示 p-型 SiNW 裝置的的能量帶狀圖。圖 10B 顯示 n-型 SiNW 裝置的的能量帶狀圖。該等圖式以略圖說明 V_g 對於這兩種奈米線路型態的靜電電位所產生之效應。

圖 11A 與 11B 顯示對一重型 B-摻雜 SiNW 所記錄之溫度相關 I-V 曲線。在圖 11A 中，曲線 1、2、3、4、5 及

6 分別地對應於 295、250、200、150、100 及 50K 的溫度值。圖 11B 顯示於 4.2 K 時對一奈米線路所記錄之溫度相關 I-V 曲線。

半導體奈米線路之直徑選擇合成

利用良好定義之金質膠體作為雷射觸媒成長(LCG)處理程序中的觸媒，按照直徑為 10、20 及 30 nm 而長度大於 10μm，可合成出單結晶性 GaP 奈米線路的近似單離散樣本。在本方法中，由固相 GaP 雷射削除作業所產生的 Ga 與 P 反應劑，在後續中會被金質奈米結構觸媒所導指進入一奈米線路結構內。按此方式所備置之奈米線路的穿透式電子顯微技術(TEM)研究顯示，奈米線路直徑分布方式是由該等奈米簇團觸媒所定義。高解析度 TEM 顯示該等接線為單晶閃鋅而具[111]成長方向，且能量發散式 X 光分析可確認該奈米線路成分確為當量計算之 GaP。利用單調分散奈米簇團觸媒，合併以本 LCG 方法，將可供允廣泛範圍的半導體奈米線路成長而具備良好定義且確屬受控之半徑，並因而開啟從一維(1D)系統基礎性質到功能性奈米裝置組裝的新機。

利用良好定義之金質膠體作為雷射觸媒成長(LCG)合成方法中的觸媒，按照直徑為 10、20 及 30 nm 而長度大於 10μm，可合成出單結晶性 GaP 奈米線路的近似單離散樣本。按此方式所備置之奈米線路的穿透式電子顯微技術(TEM)研究顯示，奈米線路直徑分布方式是由該等奈米簇

團觸媒所定義。高解析度 TEM 顯示該等接線為單晶閃鋅而具[111]成長方向，且能量發散式 X 光分析(EDAX)可確認該奈米線路成分確為當量計算之 GaP。

晚近由於推動電子與光電裝置微小化，以及為要明瞭奈米尺寸化學和物理基本原理之故，從而激發了對於低尺寸半導體裝置的興趣。特別是，藉基礎性與應用性兩者觀點而言，一維(1D)系統著實令人興奮。令人著迷的物理現象，即如 Luttinger 液流行為，以及無數種從互連到掃描探針顯微鏡的應用方式，皆要求高品質、良好定義之 1D 奈米結構。但在 1D 奈米結構領域的實驗性進展經常是會受限於產生按此尺寸範域而為受控大小、結構與成分之新材質的能力。

早期的 1D 奈米結構合成研究方法會採用薄膜成長與微影蝕刻技術。尤其是，透過分子射束磊晶而藉成長半導體量子井來製造"T－線路"，之後再於該既裂表面上進行劈裂與過成長，而同時於該表面上經蝕刻溝渠而備製出"V－凹槽"奈米線路，然後再於該最終凹槽裡沉積進微量的材質。該等方式的其一顯著限制即為該些奈米線路係嵌入於一基板內，而這會妨礙到複雜的 2D 和 3D 奈米結構組裝。而亦已採取模板方式以供成長出廣泛範圍的奈米線路。這些方法可對於奈米線路的長度及直徑提供良好的控制結果，然因經常須生產聚晶式結構，故彼等確仍受限。

本實驗室對於透過該 LCG 方法，朝向自立式單晶半導體奈米線路之一般性合成法則的發展方面，既已獲致顯著

進步。在 LCG 裡，會同時地應用固態目標的雷射削除作業，以產生奈米尺寸金屬觸媒簇團與反應劑半導體原子，而可透過氣－液－固的成長機制以產生出奈米線路。本方法既已備用來產生廣泛範圍的 IV、III-V 和 II-VI 族奈米線路。既已述及該觸媒奈米簇團的大小可於成長過程中決定線路尺寸，並因而可推想藉由利用單調分散觸媒奈米簇團來產生具有狹窄尺寸分布的線路(如圖 12)。在此，係利用奈米直徑金質膠體來探勘這種方法。

GaP 奈米線路先前是由 LCG 利用 8.4、18.5 及 28.2 nm 直徑金質膠體所成長。在這些實驗裡，該觸媒奈米簇團會被架撐於一 SiO_2 基板上，並利用雷射削除方式來從固態目標 GaP 產生出 Ga 和 P 反應劑。場發掃描電子顯微技術(FESEM)顯示可利用所有的三種觸媒尺寸，來取得具長度超過 10μm 的奈米線路(如圖 13A)。奈米線路終端檢查作業也顯示了出現奈米簇團觸媒(圖 13A，插圖)。無金質膠體所進行的控制實驗並不會產生奈米線路。雖因焦點平面內的變異性會對所觀察到的直徑產生顯著變化，使得 FESEM 對於量化這些分布方式並非良好方法，然該 FESEM 影像確實顯示出奈米線路直徑分布會比起無膠體觸媒之實驗中所獲者為窄。

這些實驗中所採用的成長設備係類似於所列報說明者。基板製作方式是藉將具有 600 nm 熱氧化之矽質晶圓(如 Silicon Sense 企業)置放於一 EtOH：H_2O 為 95：5，而具 0.4% 的 N-[3-(三甲氧苯基)乙撐二胺(N-[3-

(Trimethoxysily)propyl]- ethylenediamine)之溶液內約五分鐘，然後再按 100 - 110°C 烘乾約 10 分鐘。Au 膠體溶液(Ted Pella 公司)既已被稀釋成為 10^9 - 10^{11} 顆粒/毫升的濃度以將團塊最小化，且既已沉積於該些基板之上。基板會被放置於一位於烘爐下游端處之石英管內，而一 GaP 固態目標則會放在該烘爐上游端處的 3 - 4 cm 外側位置。室體會被淨空至低於 100 mTorr，然後被維持在 250 Torr 與一 100 sccm 的氣流。該烘爐會被加熱到 700°C，並以 ArF 激態雷射(λ=193 nm，100mJ/脈衝，10 Hz)來削除該目標物約 10 分鐘。經冷卻後，會以 FESEM (LEO 982)來檢視該基板。對於 TEM 與 EDAX 分析，藉由在乙醇中的音震處理而從該基板移除之後，奈米線路就會被沉積於銅質格線上。

為獲取利用金質膠體所得之奈米線路直徑分布的量化測量結果，並且為更佳描繪出彼等結構和組裝方式，在此採用 TEM。高解析度 TEM 顯示出線路係屬單結晶(如圖 13B)，按[111]方向成長，而 EDAX 則確認了該組成成分係屬當量式 Gap (GaP 1.00：0.94)，落屬於本項技術的界線範圍之內。很明顯地，奈米線路直徑的廣泛 TEM 分析顯示出與膠體觸媒直徑和散佈的極佳相關性(圖 14A 及 14B)；也就是說，對於從 28.2±2.6、18.5±0.9 與 8.4±0.9 nm 膠體所成長的線路，可觀察到平均直徑分別為 30.2±2.3、20.0±1.0 和 11.4±1.9 nm。該平均奈米線路的直徑會大於該膠體者概為 1 - 2 nm。吾人深信這項增加值係肇因於在奈米線路核芯出現之前，Ga 和 P 反應劑與該膠體的合金化所致。

對於 30 nm 及 20 nm 線路(如圖 14A 及 14B)，很明顯地該奈米線路分布的寬度可反映出該膠體者，意味著線路的單調分散性會僅受限於該等膠體的分散性。對於 10 nm 直徑線路(圖 14C)，該線路分布的微量變寬結果(1 nm)係因膠體團塊之故。平均直徑和分布寬度會隨著更濃膠體溶液布散於該基板上而增加。該分布具有按約 2.5 nm 距離而分的數個峰值之事實，表示某些線路會成長自兩種膠體的團塊，即使是仍需要額外的作業來證實這項論點。在所有的情況下，線路直徑的分布會以高過一個數量級的方式窄於該等並未採用膠體觸媒所成長者(如圖 14D)：43±24 nm。

相信本項作業可明確地首次展示出一種可按各式膠體，對半導體奈米線路直徑施予系統性控制的能力。先前嘗試藉由不良定義之觸媒來於表面上成長出奈米線路，結果導致具有大於 50 nm 的不均勻直徑奈米線路。其他嘗試藉由改變背景載體氣體來控制該奈米線路直徑，實僅將線路平均直徑加以移位，而產得相較於在此按照膠體調解成長方式所達者為寬的線路分布結果。

總結說來，吾人已展示具單調分散直徑分布之半導體線路的受控合成作業。這些高品質、單結晶性線路代表著低維度物理，以及在奈米尺寸科學與技術各種領域之應用兩者未來研究的極佳項目。特別是，吾人深信受控直徑樣本的合成作業極有助於將該等奈米尺寸建構性方塊組成為複雜性與功能性的 2D 及 3D 奈米系統。

圖 12 為描繪出應用單調分散金質膠體作為觸媒，以供

成長出良好定義之 GaP 半導體奈米線路圖式。

圖 13A 顯示從 28.2 nm 膠體所合成之奈米線路的 FESEM 影像(刻度尺為 5μm)。插圖為這些線路其中一端的 TEM 影像(刻度尺為 50μm)。其高度對比特性對應於在線路端處的膠體觸媒。圖 13B 顯示該樣本中另一線路的 TEM 影像(刻度尺為 10μm)。該[111]晶格平面係經解析，顯示出線路成長出現在沿本軸線上，與之前的作業相符一致。測量平面間的間隔距離可給定該線路的晶格常數 0.45 nm (±0.05 nm)，與 GaP 的本體數值 0.5451 nm 相符一致。

圖 14A - 14C 顯示從 28.2 nm (圖 14A)、18.5 nm (圖 14B)、8.4 nm (圖 14C)等膠體所成長而得之線路的測得直徑繪圖。該實線顯示線路分布。圖 14D 顯示利用先前方法而無膠體所成長之線路的直徑繪圖，其中會利用雷射來產生該 Au 奈米簇團與該 GaP 反應劑兩者。這項分布情況極為廣闊(標準差為 23.9 nm)，而平均直徑(42.7 nm)會大於那些利用預先定義膠體觸媒所合成者。在所有的情況下，所列報之奈米線路直徑係對應於結晶性核芯。在相同實驗裡，逐一線路所有奈米線路表面上的非晶質氧化層會相當地均勻，但是在各合成作業間厚度會變化 2 - 6 nm。

化合半導體奈米線路的一般性合成作業

現已利用雷射輔助觸媒成長方式，達到多重元件半導體奈米線路之廣泛範圍的可預測式合成作業。二元 III-V 材質(GaAs、GaP、InAs 和 InP)、三元 III-V 材質(GaAs/P、

InAs/P)、二元 II-VI 化合物(ZnS、ZnSe、CdS 和 CdSe)以及二元 SiGe 合金係以本如高純度(>90%)單結晶之體型來備製。諸奈米線路具有從三到數十奈米的直徑，而長度可延伸到數十微米。這種範圍廣泛而具技術重要性的半導體奈米線路之合成作業可擴展到許多其他材質，並開啟奈米尺寸科學與技術的新機。

奈米尺寸材質的合成作業對於為瞭解微小結構之基礎性質、創造奈米結構化材質以及發展奈米技術方面的研究工作極具關鍵性。奈米線路與奈米微管既已為廣大關注之焦點，這是因為彼等具有解開有關於一維系統之基礎問題的潛力，同時預期會扮演從分子電子到新式掃描顯微探針等應用方面的重要腳色。為開發該等各式且令人興奮的機會，將會要求可將化學成分與直徑加以改變之奈米線路材質。在過往數年間，相當多的努力投注在奈米線路的本體合成作業，然即使是確已利用模板、雷射削除、溶液與其他方法得獲進展，但仍無一方法展現出能夠依可預測方式而加以運用以合成出廣泛範圍的奈米線路材質。在此，將說明一種利用雷射輔助觸媒成長(LCG)方法的廣泛範圍二元與三元 III-V、II-VI 及 IV-IV 族半導體奈米線路之可預測式合成作業。

近來，吾人既已列報利用 LCG 方法的基本 Si 和 Ge 奈米線路成長方式，這是採用雷射削除以產生可定義大小尺寸的奈米直徑觸媒簇團，並且藉由氣－液－固(VLS)機制來導引結晶性奈米線路的成長。該 VLS 成長處理程序以及

本 LCG 方法其一關鍵特性，在於可利用均衡相態圖來預測觸媒和成長狀況，並藉此供承新奈米線路材質的適當合成作業。很顯著地，吾人在此展示出可利用本方法，按高產出與高純度方式來合成 III-V 材質 GaAs、GaP、GaAsP、InAs、InP 與 InAsP，II-VI 材質 ZnS、ZnSe、CdS 與 CdSe，以及 IV-IV 合金 SiGe 等的半導體奈米線路。化合半導體，像是 GaAs 及 CdSe，係屬特別值得注意之標的，因為該等的直接能帶間隙可產生引人注目的光學與電子光學性質。奈米線路既已按具有小至 3 nm 之單晶所備製，這會令其等歸屬於強性放射量子禁限的領域內，而其長度超過 10μm。該等研究顯示出 LCG 表示一種頗為廣義性與預兆性的奈米線路合成作業方法，此外，吾人深信所備製之 V、II-VI 及 IV-IV 奈米線路將可開啟奈米尺寸科學與技術的新機。

基本上，預測利用本 LCG 方法之二元甚或更複雜之奈米線路成長狀況，顯然地會相較於先前的基本 Si 及 Ge 奈米線路研究更加困難，這是因為三元或更高階相態圖的複雜性之故。然而，確可藉由考量對於所欲觸媒及化合半導體之虛擬二元式相態圖來大幅降低這項複雜性。例如，Au-GaAs 的虛擬二元式相態圖即顯示出於 GaAs 豐含區域裡，在高過 630°C 時，Au-Ga-As 液體和 GaAs 固體將會為主要相態(如圖 15)。這意味著假使確將目標成分和成長溫度設定在該相態圖的這個區域裡，則可利用 Au 作為一種觸媒，藉由本 LCG 方法來成長出 GaAs 奈米線路。的確，

既已發現利用$(GaAs)_{0.95}Au_{0.05}$目標的 LCG，可產生主要是含有奈米線路的樣本。按溫度 890°C 所備製之材質的典型場發掃描電子顯微技術(FESEM)影像(如圖 16A)，顯示出該產品係屬線路狀，而其長度延展超過 10μm。這些高解析度的 SEM 影像分析結果顯示出由該 LCG 方法所產生之產品的至少 90%為奈米線路，而僅少部分為顆粒材質。從本體樣本而得的 X 光繞射資料可經索引為具有與本體 GaAs 相符一致之晶格常數的閃鋅(ZB)結構，並且也顯示出該材質為純淨達 1%水準之 GaAs。之前，吾人提註利用 Ag 與 Cu 觸媒亦可獲致高量的 GaAs 奈米線路產出。這些資料會與這些材質(M=Ag、Cu)於該虛擬二元式相態圖的 GaAs 豐含區域內展示 M-Ga-As 液體和 GaAs 固體相態之事實相符一致，並且顯示為奈米線路成長之 LCG 方法的可預測性。

既已利用穿透式電子顯微技術(TEM)、收斂性射束電子繞射(ED)與能量發散 X 光螢射(EDX)來詳細描述 GaAs 奈米線路的結構和成分。TEM 研究顯示各奈米線路具有從 3 nm 到約 30 nm 的直徑範圍。單一 20 nm 直徑線路的典型繞射對比影像(如圖 17A)指出該線奈米線路為單結晶(均勻對比)且直徑均勻。該線路的 Ga：As 成分經 EDX 決定係為 51.4：48.6，而在儀器敏銳度範圍裡，這與 GaAs 結晶標準之分析所獲得的成分相同。此外，垂直於該奈米線路之長軸所紀錄的 ED 樣式(插圖，圖 17A)可經索引為該 ZB GaAs結構的<112>區域軸，從而顯示成長是出現在沿該[111]方向。個別 GaAs 奈米線路的廣泛測量結果顯示，在所有

情況下成長皆出現在沿該[111]方向。這個方向和單晶結構可藉由晶格解析 TEM 影像而得進一步確認(如圖 17B)，可清晰地顯示垂直於該線路軸的(111)晶格平面(間距 0.32±0.01 nm；本體 GaAs 0.326 nm)。最後，該等 TEM 研究顯示多數的奈米線路終止於一端，該處具一奈米顆粒(插圖，圖 16A)。EDX 分析指出這些奈米顆粒主要是由 Au 所組成。在奈米線路的端處出現 Au 奈米顆粒會與虛擬二元式相態圖相符一致，並代表提適於 LCG 之 VLS 成長機制的強而有力證據。

LCG 所供承之成功的二元 GaAs 奈米線路合成作業並非孤立個案，而是可通適於廣泛範圍的二元和更複雜奈米線路材質(參見表 1)。為將本合成作業方法擴展到廣泛範圍的奈米線路，茲認知到可藉由辨識出金屬而在缺少詳細相態圖的情形下選定 LCG 觸媒，其中該奈米線路成分元素在液態下係屬可溶，但並不會構成比起所欲之奈米線路相態更為穩定的固態化合物；也就是說，理想的金屬觸媒應為物理性地活化而非化學性地穩定。根據這項論點，對於許多材質而言貴金屬 Au 應可代表一個良好的起點。在以往，亦已在藉由金屬－有機化學氣相沉積(MOCVD)進行表面支撐之奈米線路的 VLS 成長方面採用這種貴金屬。由 MOCVD 方法所製作出的奈米線路與本文中所列報之材質有數項相異之處，包括：(1)MOCVD 奈米線路係產製於表面上，且非用於組裝所需之本體方式，(2)MOCVD 奈米線路明顯地從基底到其端處而逐漸尖細(亦即該等並不具有均

勻直徑)，以及(3)最小奈米線路直徑，10－15 nm，顯著地大於本發明所能達到的 3－5 nm 直徑。最後，即如後文所述，確應認知到本 LCG 方法可僅藉由產生所欲材質之固體目標和觸媒，而隨即擴展為許多不同材質(即如表－1)。

首先，即已顯著地擴展本項對於 GaAs 作業以含納 GaP 和三元合金 $GaAs_{1-x}P_x$。本產品藉 LCG 而從 $(GaP)_{0.95}Au_{0.05}$ 目標所取得的 FE-SEM 影像顯示出具長度超過 10μm 的高純度奈米線路(如圖 16B)。廣泛的 TEM 特徵顯示這些奈米線路(i)屬單結晶 GaP，(ii)沿該<111>方向所成長，以及(iii)即如 LCG 機制所預期般，以 Au 奈米顆粒所終止(如圖 16B 插圖)。係亦已進一步透過三元 GaAsP 合金奈米線路的研究來測試本 LCG 方法的極限。三元 III-V 合金的合成作業對於電子和光學裝置極為關鍵的能帶間隙工程會特別重要。利用 $GaAs_{0.6}P_{0.4}$ 目標而具 Au 觸媒之 GaAsP 奈米線路的 LCG 會產得近乎純淨的奈米線路(如圖 16C)。TEM 影像、ED 和 EDX 顯示這些奈米線路為單晶、沿該<111>方向所成長、具有 Ga：As：P 為 1.0：0.58：0.41，換言之基本上與起始目標成分相同，並以主要含有 Au 奈米簇團所終止(如圖 16C 插圖)。對具直徑約 10 和 6 nm 之奈米線路所紀錄的高解析度 TEM 影像(如圖 17C 和 17D)，顯示經良好排序之(111)晶格平面，且並無成分調變的證據。吾人深信本三元奈米線路成分可由目標成分所控制的觀察結果將會特別重要，因為這可提供探查由於能帶間隙變異性(成分)與量子禁限(大小)兩者所產生的激子(exciton)能量變化的機

會。

根據如上成果，吾人即已成功地利用 LCG 來備製含有 In-As-P 之 III-V 二元和三元材質(如表 1)或許就不會令人驚訝。吾人深信更為顯著特點是，這項合成方法亦可被簡易地被擴展用於備製許多其他類別的奈米線路，包含 II-VI 材質 ZnS、ZnSe、CdS 和 CdSe(如表 1)，IV-IV SiGe 合金。其中，II-VI 奈米線路 CdS 和 CdSe 的例子會特別重要，因為這些材質的穩定結構相態，纖維鋅礦 wurtzite (W)，不同於如前述之 III-V 材質的 ZB 結構，和 ZnS 與 ZnSe 的 ZB 結構。明顯地，吾人發現可利用本 LCG 方法按 Au 觸媒以高產出方式來合成 CdS 和 CdSe 的奈米線路。對於個別 CdSe 奈米線路所獲之 TEM 與 ED 資料(例如圖 18B 和 18C)顯示出這些材質屬具有 W－型態之單晶，且可清晰地辨明異於 ZB 結構<111>方向的<110>成長方向。CdS 奈米線路的研究(如表 1)則顯示略微複雜的行為；也就是說，沿兩個<100>和<002>不同方向的成長之 W－型態。有可能被指配給較少數 CdS 奈米線路的<002>方向可對應於該 ZB 結構的<111>方向。但是對本體奈米線路樣本所進行的 X 光繞射測量結果與該 W 指配相符一致。此外，先前的 W－型態 CdS 和 CdSe 奈米簇團研究即已顯示出沿該<002>方向的長化。吾人深信按以成長溫度為函數的奈米線路結構之系統性研究應有助於認清這些 CdS 結果的起源，並且對於如何控制奈米線路的成長方向也能夠提供進一步了解。

最後，吾人已利用 LCG 來備製 IV-IV 二元 Si-Ge 合金

的奈米線路(如表 1)。利用 Au 觸媒，即有可能在整個 $Si_{1-x}Ge_x$ 成分範圍上合成出單晶奈米線路。不同於前述 GaAsP 的情形，該 Si-Ge 合金並不會展現出與起始目標相同的成分。反之，該成分會在成長反應劑中連續地改變，而在較溫熱之中央區域產生 Si 豐含材質，在較冷涼端處產生 Ge 豐含材質。詳細地說，$(Si_{0.70}Ge_{0.30})_{0.95}$ $Au_{0.05}$ 目標按 1150°C 的 LCG 成長，可自烘爐到端處分別地產生具 95：5、81：19、74：26、34：66 以及 13：87 之 Si：Ge 比例的奈米線路。這種成分變異性來自於一項事實，即兩種個別奈米線路材質的最佳成長溫度相差頗大。這項差異將會提高將受控成分合金予以合成的困難度，即使是吾人的成果也顯示出確可藉此以於單一成長實驗裡備製出某範圍的合金成分。

綜上所述，吾人已利用本 LCG 技術，合成出廣泛範圍的單結晶二元與三元化合半導體奈米線路。吾人深信這些結果清晰地顯示對於合宜之奈米線路合成作業該方法的通用性。預期這些高品質、單結晶半導體奈米線路的可用性確可提供奈米尺寸科學與技術的嶄新機會。例如，可利用這些奈米線路來探查 1D 裡激子的禁限、動力學和傳輸方式，並可作為對奈米結構材質的光學－作用性的建構方塊。此外，藉由進一步控制成長，吾人深信本 LCG 方法可被用來合成出更為複雜的奈米線路結構，包括單一線路同質與異質性接合處及超晶格，並因此可供奈米尺寸發光二極體與雷射裝置的合成作業。

奈米線路 LCG 成長裝置與一般程序方法既已如前文所

述。合成作業中所採用之各種目標含有(材質)$_{0.95}$Au$_{0.05}$。而合成作業所用的典型條件如下：(i)100－500 torr Ar：H_2 (95：5)，(ii)50－150 sscm 氣體流，以及(iii)按脈衝式 Nd：YAG 雷射(λ=1064 nm；10Hz 脈衝速率；2.5W 平均功率)進行削除。成長出不同奈米線路材質所採用的特定溫度可如表 1 所給定。而會在烘爐下游冷卻端處收集該等奈米線路產品。

可利用 X 光繞射(SCINTAG XDS 2000)、FE-SEM (LEO 982)以及 TEM (Philips 420 與 JEOL 2010)來描繪出奈米線路樣本。也會對各 TEM 進行電子繞射及組合分析(EDX)測量作業。可按如下方式備製 TEM 分析的樣本：在乙醇中簡略地音震處理，這會懸浮出該奈米線路材質，然後將乙滴懸浮液置放在 TEM 格線上任其乾化。

既已採取利用薄膜與奈米微管之模板調解方法來備製數種材質。然而，這些奈米線路通常具有大於 10 nm 的直徑，而這比起對強性量子禁限效應所欲者為大，且常常會具有聚晶式結構，因而造成不易探求各種原備物理性質。

表 1 為所合成之單結晶奈米線路的總結歸納。成長溫度對應於在這些研究中所探查之範圍。從 TEM 和 FE-SEM 影像可決定該最小(Min.)與平均(Ave.)奈米線路直徑(Diam.)。利用電子繞射和晶格解析 TEM 攝像可決定出結構：ZB 閃鋅；W wurtzite；以及 D 鑽石結構型態。從對各個奈米線路所作的 EDX 測量結果可決定組成成分。所有的奈米線路皆係利用 Au 為觸媒所合成，除了 GaAs 以外，該

者亦採用了 Ag 和 Cu。按 Ag 和 Cu 為觸媒所合成的 GaAs 具有與按 Au 為觸媒所得之相同的大小、結構和成分。(以下為表 1)

材質	成長溫度 (℃)	最小直徑 (nm)	平均直徑 (nm)	結構	成長方向	成分比例
GaAs	800-1030	3	19	ZB	<111>	1.00:0.97
GaP	870-900	3-5	26	ZB	<111>	1.00:0.98
$GaAs_{0.6}P_{0.4}$	800-900	4	18	ZB	<111>	1.00:0.58:0.41
InP	790-830	3-5	25	ZB	<111>	1.00:0.98
InAs	700-800	3-5	11	ZB	<111>	1.00:1.19
$InAs_{0.5}P_{0.5}$	780-900	3-5	20	ZB	<111>	1.00:0.51:0.51
ZnS	990-1050	4-6	30	ZB	<111>	1.00:1.08
ZnSe	900-950	3-5	19	ZB	<111>	1.00:1.01
CdS	790-870	3-5	20	W	<100>	1.00:1.04
					<002>	
CdSe	680-1000	3-5	16	W	<110>	1.00:0.99
$Si_{1-x}Ge_x$	820-1150	3-5	18	D	<111>	$Si_{1-x}Ge_x$

圖 15 顯示 Au 和 GaAs 的虛擬二元相態圖。該液態 Au-Ga-As 成分可如 L 所表指。

圖 16A - 16C 顯示由 LCG 所備製之 GaAs (圖 16A)、GaP (圖 16B)與 $GaAs_{0.6}P_{0.4}$ (圖 16C)奈米線路的 FE-SEM 影像。圖 16A - 16C 中的比例尺為 2μm。而圖 16A - 16C 的插圖分別為 GaAs、GaP 及 $GaAs_{0.6}P_{0.4}$ 奈米線路的 TEM 影像。所有的比例尺皆為 50 nm。該高對比(暗黑)特性對應為固化奈米簇團觸媒。

圖 17A 顯示約 20 nm 直徑之 GaAs 奈米線路的繞射對比 TEM 影像。該插圖為沿該<112>區域軸所紀錄之收斂射束電子繞射樣式(ED)。該 ED 樣式的[111]方向平行於該線路軸，並因此顯示出沿該[111]方向出現成長。比例尺對應為 20 nm。圖 17B 顯示約 20 nm 直徑之 GaAs 奈米線路的

高解析度 TEM 影像。垂直於該奈米線路軸的晶格間隔，0.32 ±0.01 nm，與該本體 GaAs 裡的(111)平面之 0.326 間隔良好相符。其比例尺對應為 10 nm。圖 17C 和 17D 分別顯示 10 與 6 nm 直徑之 $GaAs_{0.6}P_{0.4}$ 奈米線路的高解析度 TEM 影像。該(111)晶格平面(垂直於該線路軸)清楚地解析於三條奈米線路。圖 17C 和 17D 裡的比例尺為 5 nm。

圖 18A 顯示一由 LCG 所備製之 CdSe 奈米線路 FE-SEM 影像。其比例尺對應為 2μm。圖 18A 內的插圖為一於線路端展現出奈米簇團(暗黑處)之個別 CdSe 奈米線路的 TEM 影像。EDX 顯示該奈米簇團主要是由 Au 所組成。其比例尺為 50 nm。圖 18B 顯示一 18 nm 直徑 CdSe 奈米線路之繞射對比 TEM 影像。其均勻對比表示該奈米線路為單結晶。圖 18B 內的插圖為一 ED 樣式，該者既經索引為 wurtzite 結構，沿該<001>區域軸所紀錄。該 ED 樣式的[110]方向平行於該線路軸，並因此顯示出沿該[110]方向出現成長。其比例尺為 50 nm。圖 18C 顯示一約 13 nm 直徑 CdSe 奈米線路之高解析度 TEM 影像，展現出良好解析之(100)晶格平面。該實驗性晶格間隔，0.36±0.01 nm，與該本體結晶裡的 0.372 間隔分離相符。相對於該奈米線路軸為 30° 指向之(100)晶格平面相符於由 ED 所決定的[110]成長方向。比例尺為 5 nm。

單結晶 GaN 奈米線路之雷射輔助觸媒成長

單結晶 GaN 奈米線路既已利用雷射輔助觸媒成長(LCG)

而按本體方式所合成。(GaN, Fe)合成目標的雷射削除處理會產生液態奈米簇團，該者可作為限制且導向該結晶性奈米線路之觸媒處所。場發掃描電子顯微技術(FESEM)顯示該產品主要是含有線路狀結構，其直徑係為 10 nm 之數階，而長度顯著大於 1 μm。本體奈米線路樣本的粉狀 X 光繞射分析可索引至該 GaN wurtzite 結構，並指出大於 95%的相態純度。個別線路的傳輸電子顯微技術、收斂性射束電子繞射與能量發散 X 光螢射分析結果顯示出彼等為 GaN 單晶而具[100]成長方向。GaN 單結晶奈米線路的本體合成與其他在技術上極為重要的半導性氮化物材質，必然開啟進一步基礎研究與應用的新機。

在此吾人將列報該 GaN 單結晶奈米線路的本體合成作業。對 GaN 與一觸媒金屬的合成目標進行雷射削除，可產生液態奈米簇團，得作為限制且導向該結晶性奈米線路之反應劑處所。場發掃描電子顯微技術(FESEM)顯示該產品主要是含有線路狀結構。本體奈米線路樣本的粉狀 X 光繞射分析可索引至該 GaN wurtzite 結構，並指出大於 95%的相態純度。個別線路的傳輸電子顯微技術(TEM)、收斂性射束電子繞射(CBED)與能量發散 X 光螢射(EDX)分析結果顯示彼等為 GaN 單晶而具[100]成長方向。

由於對於光電方面的顯著潛能之故，在過往十年間奈米結構化之 GaN 材質既已吸引廣泛注意。這些研究即已著重於零維(0D)量子微點與二維(2D)量子井結構，這些可隨即利用既經建構之各式方法所備製。而對於可提供在基礎

和應用探討方面獨具良機之一維(1D) GaN 奈米線路的研究，則因有關於其等合成作業的困難之故一直備受限制。尤其是，目前僅有一份關於 GaN 奈米線路成長的報告資料。在該文件裡，出現 Ga 氧化物與 NH_3 蒸氣時利用碳質奈米微管來作為模板以產得 GaN 奈米線路。吾人既已對 GaN 奈米線路成長開發出可預測合成作業，稱之為雷射輔助觸媒成長(LCG)。在本法中，利用脈衝雷射來氣化一含有所欲材質與觸媒之固態目標物，然後按升高溫度所構成之結果液態奈米簇團會導引該成長，並且透過氣－液－固成長機制來定義出結晶性奈米線路的直徑。這項方法的關鍵性特點在於用以定義 1D 成長之觸媒，可從相態圖資料及/或化學反應性的瞭解中選定。Buhro 等人既已採用一種稱為溶液－液－固相態成長的相關方法，以溶液，而非氮化物，的方式備製許多 III-V 材質的奈米線路。

在 GaN 的情況裡，確實無法獲得關於 LCG 之三元相態圖(即觸媒－Ga－N)的詳細資訊。然而，可利用成長處理的知識來合理地選出一種觸媒。詳細地說，在奈米線路成長的情形下，該觸媒應構成一可與 GaN 相混合的液相態，而非構成更加穩定的固相態。其導引原則意味著可溶解 Ga 與 N，同時不會構成比 GaN 更為穩定之化合物的 Fe，對於藉由 LCG 之 GaN 奈米線路成長而言將會是一種良好的觸媒。在藉雷射削除以產生觸媒奈米簇團後的奈米線路成長整體演進可如圖 19 所示。

顯然地，可發現到利用 GaN/Fe 的 LCG 可獲致高產出

的奈米直徑線路狀結構。由 LCG 所獲之該產品典型 FE-SEM 影像(如圖 20A)顯示該產品主要是由具數量級為 10 nm 之直徑且長度大幅超過 1 μm 的 1D 結構所組成；也就是說，具高縱橫比的奈米線路。該 FE-SEM 資料也顯示該產品含有約 90%奈米線路，餘者則屬奈米顆粒。吾人亦已利用 PXRD 來評估該本體奈米線路樣本的整體結晶結構與相態純度(圖 20B)。在該 PXRD 樣式中，所有的相對尖銳繞射峰值皆可被索引至 wurtzite 結構，而具晶格常數 a=3.187 且 c=5.178Å。這些數值皆良好相符於本體 GaN 的文獻數值：a=3.189 且 c=5.182Å。此外，比較背景信號和所觀察到的峰值，可得知該 GaN Wurtzite 相態代表在本合成作業中產出大於 95%的結晶性材質。

該 LCG 實驗性設備係類似於先前所列報者。將一 GaN/Fe (原子比例(GaN)：Fe = 0.95：0.05)合成目標置放於烘爐中央處的石英管。該實驗性系統會被淨空至 30 mtorr，然後充填以無水氨氣。將壓力與氣流率分別地維持在約 250 torr 和 80 sccm，該烘爐溫度會以 30°C/min 的方式被升高到 900°C。然後利用一脈衝式 Nd-YAG 雷射(1064 nm，8 ns 脈衝寬度，10 Hz 重覆度，2.5 W 平均功率)，以典型的 5 min 削除過程來削除該目標物。接著，將該系統透風，並從內部石英管壁的端處收集微黃粉末。該產品可直接應用於 FE-SEM 及 PXRD 研究。將該產品懸浮於乙醇中，然後轉傳至 TEM 格線以供進行 TEM、CBED 及 EDX 測量。

可利用 TEM、CBED 及 EDX 來進一步描述該 GaN 奈

米線路的型態、結構與成分。該 TEM 研究顯示該奈米線路係屬直線而具均勻直徑，且通常會於一端以奈米顆粒終極。圖 20A 顯示某一奈米線路的代表性繞射對比影像。沿該線路軸的均勻對比，表示該奈米線路係屬單結晶。於奈米線路端處所觀察到的奈米顆粒(暗黑、高對比特點者)係屬刻面者，即如在液態奈米簇團結晶化之後所預期般(如圖 19)。吾人亦已利用 EDX 來針對奈米線路及終端奈米顆粒的成分進行研究。對該奈米線路所紀錄之資料顯示僅 Ga 和 N 係按與 GaN 標準相同的比例，而奈米顆粒含有 Ga、N 及 Fe。而 Fe(連同 Ga 和 N)僅會出現在終端奈米顆粒內，可確認 Fe 在本合成作業中的觸媒性質。

為進一步探討觸媒的重要性，吾人既已研究利用一 Au 觸媒之 GaN 奈米線路成長。金質最近已被當作數種 III-V 和 II-VI 材質之奈米線路成長觸媒使用，且如是得預期亦可在 GaN 奈米線路成長方面有效運作。不過，Au 會展示出不佳的 N 溶解性，並因而無法有效率地將 N 運送給液/固成長介面。與這項分析相符，確實無法利用 Au 觸媒來獲得 GaN 奈米線路。吾人深信這會突顯出觸媒的重要角色，以及應如何合理地加以選定。

最後，吾人已利用 CBED 及高解析度 TEM (HRTEM)來更詳細地說明 GaN 奈米線路的結構。一奈米線路的典型 CBED 樣式(圖 21A 插圖)顯示出尖銳的繞射樣式，這會相符於從許多繞射對比影像所推斷之單晶結構。將該樣式加以索引，可進一步顯示該[100]方向係沿該線路軸而對齊。

此外，圖 21B 顯示一具有約 10 nm 直徑之 GaN 奈米線路的晶格解析 HRTEM。這個沿<001>區域軸所紀錄的影像清晰地顯示出該奈米線路的單晶結構，以及沿[100]、[010]與[-110]方向的晶格平面。該影像說明該[100]方向平行於該線路軸，並因此確認 GaN 奈米線路的[100]成長方向。

總結地說，吾人既已開發供以 GaN 奈米線路之適宜合成作業的 LCG 方法。可獲得按單結晶方式且具唯一性[100]成長方向的高純度 GaN 奈米線路。吾人深信這種根據於觸媒及成長條元件的可預測選項方式，可隨即擴展到 InN、(GaIn)N 合金與相關氮化物奈米線路的合成作業。預期 GaN 與其他技術上極為重要的半導性氮化物材質之本體單晶奈米線路合成作業，勢可開啟眾多對於未來基礎研究和應用的新機。

圖 19 為利用雷射輔助觸媒成長之 GaN 奈米線路略圖。

圖 20A 顯示由 LCG 所合成之本體 GaN 奈米線路 FE-SEM (LEO 982)影像。該比例尺對應為 1 μm。圖 20B 為對本體 GaN 奈米線路所記錄之 PXRD (Scintag，XDS2000)樣式。高於該些峰值的數量會對應於該 wurtzite 結構的(hkl)值。

圖 21A 顯示 GaN 奈米線路之繞射對比 TEM (Philips，EM420)影像，終止於更高對比(更為暗黑)的面化奈米顆粒。該圖 21A 插圖顯示沿<001>區域軸，而在依該白色圓圈標示之範圍上所紀錄的 CBED 樣式。該白色比例尺對應於 50 nm。圖 21B 顯示另一具直徑約 10 nm 之 GaN 奈米線

路的 HRTEM (JEOL 2010)影像。該影像係沿<001>區域軸所取得。該等[100]、[010]及[-110]方向既經標示，而該[100]方向平行於該線路軸。該白色比例尺對應為 5 nm。

從磷化銦奈米線路建構方塊所組裝之奈米電路和光電裝置

一維奈米結構，如奈米線路(NWs)及奈米微管(NTs)可理想地適合於有效傳輸電荷載體與激子，並因而被預期為奈米尺寸之電子和光電設備的關鍵性建構方塊。碳質 NT 的電子傳輸研究既已引領開創出場效電晶體(FETs)，單一電子電晶體、整流接合以及化學感測器。這些結果表示從該等材質所可能產生的令人興奮應用，即使是 NT 建構方塊的應用仍相當有限，這是因為目前仍無法達到半導性或金屬性 NT 的選擇性成長及/或組裝。使用奈米尺寸結構來作為建構方塊以供主動裝置與裝置陣列的從下而上組裝，這可去除掉昂貴的製程生產線，唯將會要求不同方塊具有既經定義與可加控制之電子性質。為此，吾人列報從化合半導體 NW 建構方塊而得的合宜功能性奈米尺寸裝置組裝，其中各電子性質可藉摻雜處理加以控制。閘器相關傳輸測量結果顯示可藉由受控 n－型及 p－型摻雜來合成磷化銦(InP) NWs，且可如奈米尺寸 FET 而運作。此外，良好定義之 n－型及 p－型材質的可用性可供藉由構成交叉 NW 陣列來產生 p－n 接合處。傳輸測量結果顯示該奈米尺寸 p－n 接合處可展現良好定義的電流整流效果。顯然地，

前向偏離 InP p－n 接合處展現強烈、量子禁限光線發射，使得這些結構或許是目前所得製作之最小的發光二極體。最後，將顯示該電場導向組裝係一種能夠從這些新穎奈米尺寸建構方塊中，產生出高度整合性及功能性裝置的策略。

單結晶 InP NWs 既經詳如前文所述之雷射輔助觸媒成長(LCG)所備製。該 n－型及 p－型 InP NWs 是分別利用碲(Te)和鋅(Zn)作為摻入物所備製，並發現具有類似於無添加摻入物所產製之 NW 的高品質。如此合成之 Zn－摻雜 InP NWs 的場發掃描電子顯微技術(FESEM)的影像(如圖 22A)顯示這些線路長度可延展達數十微米，其直徑為 10 奈米之數階。高解析度傳輸電子顯微技術(TEM)影像(圖 22A 插圖)可進一步顯示該摻雜 NWs 係單結晶，並具<111>成長方向。一般說來，TEM 影像中可在 NWs 上看見一 1－2 nm 非晶質覆層。該薄層係歸因於當 NWs 經合成後受曝於空氣時所構成的氧化物。由能量發散 X 光(EDX)分析所決定的能量個別 NWs 之整體成分發現 In：P 為 1：1，如此可確認該 NWs 的當量成分。然而，EDX 和其他基本分析方法確不夠敏銳以決定個別 NWs 內的摻雜水準。

為確認 NWs 內摻入物的存在與型態，吾人既已對個別 NWs 執行閘器相關之雙終端傳輸測量作業。在這些測量作業中，該 NW 電導性會對 n－型及 p－型 NWs 是而按相反於閘器電壓(V_g)變化之方向產生回應。詳細地說，對於 n－型 NWs，$V_g > 0$ 會導致電子累積並增加電導性，而當施加

同者時，對於 p-型 NWs，閘器卻會竭盡電孔並降低電導性。圖 22B 和 22C 和 100c 顯示出分別從個別的 Te-及 Zn-摻雜 NW 所獲得的典型閘器相關 I-V 曲線圖。在 V_g=0 時，對於兩種型態的 NWs 該 I-V 曲線皆為近似線性，表示說該金屬電極對該些 NWs 進行歐姆性接觸。對 Te-摻雜 NWs 所紀錄之傳輸資料(圖 22B)顯示對 $V_g > 0$ 電導性會增加，而對 $V_g < 0$ 電導性會降低。這些資料清楚地顯示該 Te-摻雜 InP NWs 係屬 n-型者。對 Zn-摻雜 NWs 所紀錄之傳輸資料，顯示出相較於 n-型 Te-摻雜 InP NWs 的 V_g 變異時，會出現與其相反的電導性變化。詳細地說，對 $V_g > 0$ 電導性會降低，而對 $V_g < 0$ 電導性會增加(圖 22C)。這些結果顯示該 Zn-摻雜 NWs 係屬 p-型。

吾人所獲之結果相當具有重製性。對超過廿個各別具有直徑從 220 nm 到 100 nm 範圍之 NWs 所進行的測量顯示各個情況下的閘器效應，該等與在 InP NW 合成作業過程中所採用的摻入物相符。此外，閘器電壓可被用來完全地除盡在 n-型和 p-型 NWs 內的電子與電洞，使得電導性變得低微到無法測出。例如，如圖 22B 中的 NW 電導性當 V_g 小於等於-20 V 時可被從導電(on)切換到絕緣(off)狀態，且如是該者可作為一 FET。對某些 NWs 來說，該電導性調變可為高達 4-5 數量級。這個相當大的切換電壓是跟吾人測量作業中所用的厚型(600 nm)的氧化阻障層有關。這項閘器相關行為與金屬-氧化-半導體(MOS) FET 及近來關於半導性 NT FET 的研究結果相類似。本項研究

相對於 NT 之間的重大差別在於確可在每個 NW 裡達到可預測的半導行為。總集而言，這些結果清楚地說明可利用受控載本體態來合成單結晶 InP NWs。由於這些 NWs 係按本體所生產，因此該等代表用於組裝裝置及裝置陣列的隨即可用材質。

良好定義之 n-型與 p-型 NW 建構方塊開啟了藉由在兩條以上線路之間構成接合處來創作複雜功能裝置的可能性。為探索這相令人振奮的新機，吾人已研究分別由兩條 n-型、兩條 p-型以及一條 n-型與一條 p-型 NM 所構成之 n-n、p-p 及 p-n 接合處的傳輸行為。圖 23A 顯示一由 29 nm 和 40 nm 直徑 NW 所構成之代表性交叉 NW 裝置。各分枝係如 A、B、C、D 所標示以便於後文中論述。明顯地，對於各項實驗，由於在組裝之前吾人可選取用以產生該交叉接合處的 NW 型態，因此所研究的接合處型態皆為可控制性。

圖 23B 和 23C 分別顯示對 n-n 及 p-p 接合處所紀錄的電流-電壓(I-V)資料。對於這兩種型態的接合處，就各別 NWs 所紀錄的傳輸資料(AC、BD)顯示線性或近似線性的 I-V 行為(如圖 23B 內的綠色曲線，和圖 23C 內的藍色曲線)。這些結果顯示本實驗中所採用的諸金屬電極會對各 NWs 產生歐姆性或近似歐姆性的接觸，同時不會對跨越各接合處的 I-V 測量作業產生非線性貢獻。一般說來，越於 n-n 及 p-p 接合處所作的傳輸測量作業顯示線性行為，並且可供推斷兩項關於按此所製之接合處的重要論點。首

先，在個別 NWs 間的介面氧化物並不會產生顯著的隧穿阻障，這是由於這種阻障會導致高度非線性 I-V 行為之故。其次，經各鄰近分枝組對(AB、AD、CB、CD)所紀錄的 I-V 曲線示出類似的電流水準，彼等會小於個別 NWs 其本身者。這些結果顯示該接合處主導該傳輸行為。最後，吾人資料顯示即使是僅有細微的接觸區域(10^{-12} - 10^{-10} cm^2)與簡易的接合處製造方法，個別 NWs 彼此間確仍具有良好接觸。

個別 NWs 間的良好接觸可提供探查這些 NW 以製作功能性裝置的基礎。即一範例，吾人既已從交叉 p- 與 n- 型的 NW 中製作出 p-n 接合處。可藉循序沉積 n- 與 p- 型 NW 稀釋溶液，並間介以乾化處理來重製這些接合處。圖 23D 顯示交叉 NW p-n 接合處的典型 I-V 行為。各個 n- 與 p- 型 NW 成分的線性 I-V 行為(綠色和藍色曲線)表示 NWs 與諸金屬電極之間的歐姆性接觸。越於該 p-n 接合處的傳輸行為(紅色曲線)顯示清晰的電流整流結果；亦即，僅少量電流按逆向偏離而流動，但在正向偏離上確具有尖銳的電流突進。很明顯地，這項行為類似於構成許多關鍵性電子與光電裝置的基礎之本體半導體 p-n 接合處。在一標準半導體 p-n 接合裡，整流作用會出現在構成於 n- 與 p- 型材質間之介面的電位阻障處。當該接合處為前向偏離時(p- 側為順向偏壓)，該阻障會被降低而相當大的電流可流過該阻障；另一方面，僅有少量電流可按反向偏壓流動，這是因為該阻障會進一步增高。

存在有許多原因，使得吾人深信所觀察到的整流作用是肇因於構成於 p-型與 n-型 InP NWs 交叉點上的 p-n 接合處。首先，用以製作該接合處之個別 p-型與 n-型 NWs 的線性或近似 I-V 行為顯示出各 NWs 與諸金屬電極之間產生歐姆性或近似歐姆性的接觸。這會排除該整流作用源於金屬-半導體 Schotty 二極體的可能性。其次，透過鄰近電極每一組對(AB、AD、CB、CD)所決定之接合處 I-V 行為(如圖 26D 紅色曲線)，可顯示出一類似的整流效果與電流水準，這也是遠小於經個別 NWs 的電流水準。這些結果顯示該接合處會主導該 I-V 行為。第三，四終端測量，其中電流行經兩個鄰近電極(如 A-B)而該接合電壓降係跨越於兩個獨立電極(如 C-D)而測量，可展現出類似的 I-V 和整流結果，僅有相較於按相同電流水準之雙終端測量的略低之電壓降(0.1-0.2V)。最後，對十個獨立 p-n 接合處所作的測量在 I-V 資料中顯示出類似的整流結果；即當 p-型 NW 為正向偏離時，顯著電流只能流經該 p-n 接合處。

上述資料清晰地顯示現可合宜地製作出奈米尺寸 p-n 接合處。在像是 InP 的直接能帶間隙半導體中，該 p-n 接合處可構成關鍵性光電裝置的基礎，包括發光二極體(LED)和雷射。為評鑑本奈米尺寸裝置之行為是否亦為類似，吾人既已研究該交叉 NW p-n 接合處所產生之光子螢光(PL)與電子螢光(EL 或"冷光")。顯然地，可隨即在前向偏離中從這些奈米尺寸接合處觀察到 EL。圖 24A 顯示在前向偏離中從一典型 NW p-n 接合處所獲取之 EL 影像，而該插

圖顯示交叉NW接合處的PL影像。該PL影像清晰地顯示兩個長化線路狀結構，而該EL影像顯示該光線始自於一點狀來源。比較該等EL及PL影像，可知該EL最大值位置對應到該PL影像內的交叉點處，如此顯示該光線確實是從該NW p－n接合處而來。

該接合處的I-V特徵(如圖24B)明白地顯示整流效果，具一按約1.5 V的尖銳電流突進。該接合處的EL強度相對於電壓曲線顯示可藉本系統按低如1.7伏特電壓而偵測到顯著光線。該EL強度具偏離電壓而迅速提高，並類似於該I-V行為。該EL頻譜圖(圖27C)顯示一最高強度約為820 nm，而這相對於InP本體能帶間隙確是明顯的藍位移(925 nm)。雖然也或有其他因素，但是會出現該藍位移的部分原因確是激子的量子禁限所造成。從對於按較小(與較大)直徑NWs之p－n接合處所紀錄的EL結果(如圖24D)，就可清晰看出量子禁限的重要性，其中顯示較大(小)的藍位移。對按這些奈米LED中的尺寸進行色彩微調之能力在未來是特為有用。這些初始裝置的量子效率(電子到光子)相當地低，約0.001%，而這不會令人感到驚訝，因為並未考慮到最佳化問題。事實上該效率性係與早先本體InP LED的效率性(約0.002%)相比較。吾人可透過表面狀態將低度量子效率歸於非放射性重組，並且相信這項負面性程序可藉表面被動化所減低。

GaN為一直接寬型能帶間隙半導體材質，可於室溫下按短波長區域(UV及藍光)發出光線。對於需要強烈、能量

效益和穩定光源之發射器的場合，藍色 LED 極為重要。並且，這對於在提供生產全彩 LED 顯示器和 LED 白燈方面也很重要，因為藍色是三種原色之一(紅、綠和藍色)。

在此，吾人列報首先製作成功之 BLUE/UV 奈米 LED (光發區域位在 10 nm 數階處)，這是按 P- 型 Si 及 N- 型(未另加摻雜) GaN 奈米線路所製作。連同先前所列報而發出近於 Ir 區域內的光線之奈米 LED，吾人展示出按不同材質製作而可涵蓋完整色彩光譜之 LED 的極大潛能。

圖 25A 顯示一取自於兩個 P- 型 Si 及 N- 型 GaN 交叉奈米接合處的 EL 影像。該 p- Si 摻入有硼質。圖 28B 顯示對各種閘器電壓之電流相對於電壓圖。該奈米接合處顯示在不同閘器電壓下良好的整流效果。顯示於圖 28C 內的 EL 頻譜圖顯示光線發射約為 380 nm 和 470 nm。一 n- InP 與 p- Si 奈米接合處具有良好的整流效果。

為製作高度整合 NW 基礎式裝置最終會需要各項技術來將這些建構方塊對準及組裝於良好定義之陣列內。為展現本項發展次一階段的存用性，既已利用電場(E- 場)來對各個 NW 進行對準及定位而成為平行和交叉之二維陣列基本幾何俾供整合。執作該 E- 場有向組裝的方式是藉由將一 NWs 溶液置放於各電極間(如圖 26A)，然後施加一 50- 100 V 的偏離電壓。在諸電極間氯化苯(chlorobenzene)懸浮 NWs 的情況下，可隨即觀察到這種方式的潛能(如圖 28B)。例如，一電極陣列間的 NWs E- 場組裝(如圖 28C)即顯示可放置個別 NWs 以供橋接各直徑對向之電極組對，並構成

一平行陣列。此外，藉改變該電場方向，可按逐一層級的方式來完成對準作業以產生交叉 NW 接合處(圖 26D)。這些資料清楚地顯示該 E- 場組裝代表一種策略，足可合宜地沉積個別 NWs 並具有高度方向性和空間控制性。吾人深信利用本 NW 建構方塊，連同該等 E- 場及/或其他組裝技術，即可隨即製作出這種高度整合功能性裝置。

整體而言，本文中所載述之這些結果可提供一種用於由下而上之奈米尺寸電子與光電裝置的適宜組裝方式。本揭用以於缺乏數十億資金之製造生產線情況下組裝出主動性裝置的功能，對於業界確具有極為關鍵的重要性，同時吾人深信亦為現今與未來長期進展的絕佳工具。吾人深信當前可用的廣泛範圍 NW 材質，以及控制其等電子性質之顯明定義功能，將可讓製作出涵蓋整個可見及近紅外範圍的奈米尺寸 LED(即如藍色光的 GaN NWs)變成可能。而或可利用這種奈米尺寸光源來產生新型態的高度平行光學感測器，以及為奈米電子中的光學互接。此外，組裝摻雜 NW 建構方塊很顯然地在產生眾多其他型態的電子裝置或甚雷射方面確實具有龐大潛能。

先以利用 LCG 來合成 InP NWs。該 LCD 目標通常包含 94% (原子比例)的 InP，5%的 Au 作為觸媒，而 1%的 Te 或 Zn 作為摻雜元素。於成長過程裡將該烘爐溫度(中)設定成 800°C，且將該目標放置在上游端處，而非在該烘爐的中處。利用一脈衝式(8 ns，10 Hz) Nd-YAG 雷射(1064 nm)來氣化該目標。通常，會進行成長約 10 分鐘，而在該烘

爐的下游冷卻端處收集該 NWs。

在此利用眾知程序來對個別 NWs 進行傳輸測量。簡言之，NWs 首先會被散浸於乙醇中，然後沉積於氧化矽質基板上(600 nm 氧化物，1－10Ω•cm 的電阻性)，而該電導矽質作為背置閘器。可利用電子射束微影蝕刻(JOEL 6400)來定義對該 NWs 的電性接觸。Ni/In/Au 接觸電極會按氣化方式蒸發。在此，利用在電腦控制下具有小於 1pA 雜訊之自建系統來進行電子傳輸測量。

可依隨機沉置方式獲取該 n－n 和 p－p 接合處。吾人首先按相當高的濃度來將 NWs 沉積在氧化矽質基板上，定妥交叉 NWs 的位置，然後再透過電子射束微影蝕刻在該等四個交叉分枝上定義出各電極。Ni/In/Au 電極會被令以接觸到該 NWs。

該 p－n 接合處是藉由逐一層級沉積作業所取獲。首先，將某一型態 NW (即如 n－型)之稀釋溶液沉積在該基板上，然後紀錄下個別 NWs 的位置。在第二步驟裡，沉積另一型態 NW (即如 p－型)之稀釋溶液，然後紀錄下交叉 n－和 p－型 NWs 的位置。然後，定義各金屬電極的位置並測量出傳輸行為。

在此係利用自建微螢光儀器來研究 EL。PL 或散射光線(514 nm，Ar－離子雷射)會被用來定位該接合處位置。當該接合處既經定位後，即關閉激發雷射，然後將該接合處加以前向偏離。利用液態氮冷卻之 CCD 攝影器來取得 EL 影像，而利用其內具有 150 線/mm 光柵的 300 mm 光譜儀

來發散 EL 以供獲致各 EL 譜圖。

圖 22A－22C 顯示 InP NWs 的摻雜作業和電子傳輸。圖 22A 顯示 Zn－摻雜 InP NWs 的典型 FE-SEM 影像。刻度尺為 10μm。插圖中為其一 26 nm 直徑之 NW 的晶格解析 TEM 影像。該(111)晶格平面可見為垂直於該線路軸。刻度尺為 10 nm。圖 22B 與 22C 分別顯示 Te－與 Zn－摻雜 NWs 的閘器相關 I-V 行為。圖 22B 與 22C 內的插圖顯示按雙終端 Ni/In/Au 接觸電極所量測的 NW。刻度尺為 1μm。圖 22B 內的 NW 直徑為 47 nm，而圖 22C 內者為 45 nm。本些測量作業中所採取的特定閘器電壓可如在相對應之 I-V 曲線上各圖右側所示。在此係按室溫紀錄資料。

圖 23A－23D 說明交叉 NM 接合處與電子性質。圖 22A 顯示典型具有 Ni/In/Au 接觸電極之交叉 NW 裝置的 FE-SEM 影像。刻度尺對應為 2μm。該些 NWs 的直徑為 29 nm (A－C)以及 40 nm (B－D)；用以製作裝置的 NWs 直徑落於 20－75 nm 範圍內。圖 23B－23D 分別顯示 n－n、p－p 與 p－n 接合處的 I-V 行為。該綠色和藍色曲線分別對應於接合處內 n－和 p－NW 的個別 I-V 行為。紅色曲線表示跨越於該接合處的 I-V 行為。為便於覽視，對如圖 23D 內之 p－型及 n－型 NWs 所紀錄的電流數值會被除以 10。實線代表跨越一組鄰近分枝的傳輸行為，而虛線則代表其他三項鄰近分枝組對的傳輸行為。在此係按室溫紀錄資料。

圖 24A－24D 說明 NW p－n 接合處之光電特徵。圖 24A 為發自於一既經順向偏壓 NW p－n 接合處而按 2.5 V 之光

線的 EL 影像。圖 24A 內的插圖顯示該接合處的 PL 影像。兩者的刻度尺皆對應為 5μm。圖 24B 顯示該 EL 強度相對於電壓圖。圖 24B 內的插圖顯示 I-V 特徵，而該插圖內的插圖顯示該接合處本身的 FE-SEM 影像。刻度尺對應為 5μm。構成該接合處的 n－型和 p－型 NWs 分別具有直徑 65 及 68 nm。圖 24C 顯示如圖 24A 內之接合處的 EL 譜圖。該譜圖峰值位於 820 nm 處。圖 24D 顯示從一第二順向偏壓之交叉 NW p－n 接合處所紀錄的 EL 譜圖。該 EL 最大值出現在 680 nm 處。圖 24D 內的插圖顯示該 EL 影像，並展現出該 EL 係源自於該接合處區域。刻度尺對應為 5μm。構成該接合處的 n－型和 p－型 NWs 分別具有直徑 39 及 49 nm。

圖 26A－26D 說明藉由 E－場的 NWs 的平行和正交組裝。圖 26A 為一 E－場對準作業的外觀圖式。在 NW 溶液經沉積於該基板(藍色)上後，各電極(橙色)可按 50－100 V 所偏離。圖 26B 顯示一經對準於兩個平行電極間的 NWs 平行陣列。將 NWs 懸浮於 chlorobenzene 中，並利用施加一偏離 100 V 以供對準。圖 26V 顯示利用一偏離 80V 而經 E－場組裝後之空間隔置 NWs 平行陣列。圖 26C 內的上方插圖顯示 15 組平行電極，而個別 NWs 可橋接各個直徑相對之電極組對。圖 26D 顯示一利用逐一層級對準方式所獲之交叉 NW 接合處，而在這兩個組裝步驟中係按正交方向施加一 E－場。於這兩個步驟中所施加之偏離為 80 V。圖 26B－26D 中該刻度尺係對應為 10μm。

自矽質奈米線路所製之奈米尺寸電子裝置的由下而上組裝方式

既已從 p 及 n- 型矽質奈米線路(SiNWs)，並具受控摻入物型態與水準，而藉由合宜之由下而上組裝方式，產生出四種重要型態的功能性奈米裝置。在所有的裝置裡，對個別 p 及 n- 型 SiNWs 所作的電子傳輸測量意指 SiNWs 與各導線之間的歐姆性或近似歐姆性接觸。顯然地，跨於由交叉 p- 型及 n- 型 SiNWs 所組成之 pn 結合處的四個探針測量結果，確顯示出如對於 pn 二極體行為所預期的電流整流行為。可按此組成該 n^+pn 交叉接合處，以令產生雙極電晶體，其中可獲得高達 0.94/16 之共用基極/射極電流增益。按交叉輕型摻雜 pn 接合處所製之互補性反置器顯示出反置於輸入電壓的清晰輸出電壓，其增益為 0.13。按重型摻雜 SiNW pn 交叉形式之隧穿二極體可在前向偏離中顯示出負微分電阻(NDR)行為，且峰谷比例(PVR)為 5 比 1。

近來，業界熱烈發展傳統電子器材的微小化。然而，微影蝕刻方法的基礎限制會使得目前技術無法達到深奈米電子領域。應用奈米尺寸結構作為整合性設備之由下而上組裝方式的建構區塊，在此預期個別區塊的製程與組裝可屬價廉者，將能夠大幅消除製程生產線的成本，但同時仍可維持一些既經實證對於為電子產業確為有效的概念。諸如奈米線路(NWs)和奈米微管(NTs)的一維結構即屬作為奈米電子之關鍵性建構區塊的理想人選。如何藉該等建構區

塊來建構出各種基礎性奈米裝置及裝置陣列，對於奈米科學和技術極具重要性。NTs 既已按場效電晶體，單電子電晶體所測試。並且亦已展示 NT－NW 異質型接合、NT 分子間接合與交叉接合等。不過，NT 在合宜組裝中的應用卻仍受個別微管性質之無可預測性所限制，這是因為目前仍無法控制金屬及半導體 NT 的特定成長，同時亦不易進行半導體 NT 的受控摻雜作業。

先前，即已說明單晶式半導體 SiNWs 的受控摻雜作業，其中該摻入物型態(p－型及 n－型)與相對摻雜濃度(從輕略到濃重)皆得良好控制。因此，這些具有各種可預測及可控制性質的 SiNWs 即可提供關鍵性建構區塊，俾利主動裝置及裝置陣列的從下而上組裝方式。藉由化學組裝的有向組裝，例如聯附於半導體的特定性縮氨酸、DNA 基礎式合配互動作用(62)及/或探查器(ligant)－承載器互動作用，即有可能構成出高密集度的 SiNWs 裝置陣列。為實現出可運作的整合裝置，先決條件式必須瞭解個別從下而上主動裝置電子性質。在此吾人列報從這些具直徑 20 到 50 nm 之 SiNWs 的功能性奈米裝置合宜組裝方式，以及該裝置的各項電子性質。並且也會展示控制摻入物型態和摻雜水準可對吾人提供製作多款型態電子裝置的能力。藉由按可控制方式合併各種 p 及 n－型摻雜水準的 SiNWs，將能夠產製出四款重要的功能性結構，包括 pn 二極體、雙極電晶體、互補性反相器和隧通二極體。可按交叉 SiNWs 接合的形式來製作出奈米尺寸 pn 接合。對這些 pn 接合處所作的

電子傳輸測量結果，可顯示出確能由半導體物理學所預期的電流整流效果。吾人既已利用本項能力以建構出接至雙極電晶體的 n^+pn 交叉 SiNW 接合，該者展現出具有達 0.94/16 的共用基極/射極電流增益。依輕型摻雜 pn 交叉所製之反相器清楚地顯示出反相於輸入電壓的輸出電壓，其增益為 0.13。按重型摻雜 pn 交叉所製之隧穿二極體結果可在順向偏壓中顯示出 NDR 行為，且 PVR 為 5 比 1。在此，可於 SiNWs 的雷射輔助觸媒成長過程中，分別利用二硼烷(diborane)和磷質作為摻雜來源以合成出 p－型與 n－型 SiNWs。金屬導線接觸於位在摻雜矽質基板上的 SiNWs，而其 600 nm 熱性氧化物可由電子射束微影蝕刻所定義。該 pn、pp 和 nn 接合處是分別藉由交叉一個 n－型和一個 p－型、兩個 p－型與兩個 n－型 SiNWs 所構成。接合處型態是藉選取用以產生給定接合處之 SiNWs 的型態所控制。圖 27A 所示者為交叉接合處的典型場發掃描電子顯微技術(FESEM)影像，其中該等四個接觸導線被標示為 1、2、3 和 4 以便於討論。圖 27B 顯示對一 pn 交叉接合處所紀錄得之電流相對於電壓(I-V)資料，而 p 和 n－型 SiNWs 的直徑分別細達 20.3 nm 及 22.5 nm。可藉由在兩個鄰近導線之間(即如導線 1－2 或導線 1－4，正向電流方向是從 p 到 n－型 SiNW)傳流電流，以執行跨於接合處的四終端測量作業，且測量出另外兩個導線之間(即如導線 3－4 或導線 3－2)的電壓降。跨於該接合處的 I-V 曲線(如圖 27B 曲線 100)顯示反向偏離中僅少量電流(在本設定中為負偏離)，而在

前向偏離(正偏離)內為極為尖銳的電流突進。相對地，單一 p (導線 1 - 3 之間)和 n - 型(導線 2 - 4 之間) SiNWs 顯示線性 I-V 行為(分別如圖 27B 的曲線 110 和 112)，這意味著 SiNWs 與各導線之間的歐姆性(非為整流)接觸。且因此必須由該接合處本身來啟動該整流行為。可藉由 pn 接合處二極體能帶圖來解釋這項行為。當 p 和 n - 型 SiNWs 彼此接觸時，就會於構成該接合處介面該內建電位阻障。電子無法隧穿行經構成於該接合處介面的寬廣空間電荷區域，但可被熱性激化作用所傳送。前向偏離會減低該內建電位阻障，因此可流送大量電流(圖 27E)，而同時反向偏離增加該阻障，從而電流水準落低(圖 27F)。

該 p 和 n - 型 SiNWs 會被分別地散浸於丙酮內。再按循序之沉積作業以獲得 p - n 接合處。首先將一種型態的 SiNW (如 n - 型)溶液沉積於該基板上，然後相對於對準標號紀錄下該 SiNWs 的位置。其次，沉積另一種型態的 SiNW (如 p - 型)溶液，並記錄交叉 pn 接合處的位置。可藉沉積僅一種 SiNWs，p - 型或 n - 型，來獲得 pp 或 nn 接合處。然後紀錄該接合處位置。

吾人深信該整流行為係 pn 二極體，而非在該接合處介面上的某些其他非對稱性隧穿阻障之原因，在於(a) SiNWs 的原備氧化物層確屬足夠微薄，而電子可輕易地隧穿通過該氧化物層，而在接合處該 p 和 n - 型線路之間仍存在顯著強度的耦合效應，並因而可構成該內建電位阻障。這點可由對 pp 及 nn 接合處的傳輸測量結果所確認。在 pp (即

如圖 27C 內的曲線 120)和 nn (即如圖 27D 內的曲線 130)接合處中的單一線路(導線 1－3 和 2－4 之間)顯示出線性或近似線性的 I-V 行為，意味著良好的接觸結果。對 pp (即如圖 27C 內的曲線 132)和 nn (即如圖 27D 內的曲線 132)接合處的雙終端測量作業(在導線 1－2、1－4、2－3 和 3－4 之間)，顯示出線性或近似線性的 I-V 行為。將跨接合處之雙終端測量電阻比較於單一 SiNW 電阻，吾人發現該接合處電阻規模類似於線路電阻，這表示說該氧化物並不會造成顯著的電子隧穿阻障。(b)對 20 個獨立 pn 接合處的測量作業顯示出相符一致的正確整流行為。

作為多數半導體裝置的基礎單元，pn 接合處可提供用於整流器、放大器、切換電路及其他電子電路功能所需的特徵。在從 SiNW 交叉製作出 pn 接合處方面的成功，可提供製作出其他重要的功能性裝置之機會。為說明此點，吾人可不僅產生被動元件：p－n 二極體，而是也可製作主動元件，在此吾人既已製作雙極電晶體，該者能夠供以電流增益。一雙極電晶體為 n^+pn (圖 28A 左圖)或 p^+np 接合處裝置，這會要求在射極中為高摻雜水準，而在基極與集極中為低摻雜水準。在 SiNWs 摻雜作業中的良好控制，將可提供吾人製作該項複雜裝置的能力。本 n^+pn 雙極電晶體的製作方式，是藉由機械操控兩個 n－型 SiNWs (其一為重型摻雜，另一為輕型摻雜)置於一輕型摻雜 p－型線路上，並係按共同基礎組態所操作(如圖 28A 右側)。圖 28B 為雙極電晶體的典型 SEM 影像。首先將個別地描述電晶體內

SiNWs 與接合處。三個個別 SiNWs 的 I-V 曲線為線性，而兩個個別接合處具有正確的整流行為。然後，n^+- 型 SiNW 會被用來作為射極，而 n- 型則是作為集極以進行雙極電體測量。該射極 - 基極(E-B)總會是順向偏壓，以將電子注入基極區域內。當該集極 - 基極(C-B)電壓大於零時，電晶體會運作於作用模式下，其中該 C-B 接合處係反向偏壓，且僅極細微的溢漏電流會流經該接合處。然而，從射極所注入的電子會從基極處擴散行經該基極而抵達該 C-B 接合處空間電荷區域，並且會被該集極所收集。真實集極電流會僅根據自該射極所注入之電子而定，並因而只與該 E-B 電壓相關。這可從圖 28C 範圍 II 中清楚看出，其中該集極電流隨該前向 E-B 電流而昇至高位但依 C-B 電壓而緩慢變化，這是起因於 Early 效應，以及溢漏電流隨著反向偏壓而緩慢增加的存在性之故。這點可說明電晶體作用：按反向所偏壓之集極內的大量電流可源自於從鄰近之射極接合處所注入的載體。當該(C-B)電壓低於零值時，雙極電晶體按飽和模式所運作(如圖 28C 內的區域 I)，其中 E-B 和 C-B 兩者接合處係經順向偏壓。來自於射極注入的集極電流會被經順向偏壓之 C-B 電流所補償。因此該集極電流隨著順向 C-B 電壓降至低位。E-B 上的順向偏壓愈高，在 C-B 上就需要愈高的順向偏壓來將電流補償至零值(圖 28C 曲線 1 到 4)。

該 n^+pn 雙極電晶體是藉由沉積作用和機械操控所製作。首先，從溶液將 p- 型 SiNWs 沉積至基板上。在第二

步驟中，n^+與 n－型 SiNWs 會被接附以銳化該 STM 尖頂，並在光學顯微鏡下被釋放至該 p－型 SiNWs 上。

在作用模式下該雙極電晶體的共用基極電流增益可達 0.94 (如圖 28D)，而共用射極電流增益為 16。從這項高電流增益可獲得三個重點：(a)從射極到基極的電子注入效率確屬夠高，使得該射極中會具有相較於基極為高的摻雜濃度。(b)雖然該基極區域寬闊(15 μ m)，但是射極與集極間的作用性互動仍然存在。多數來自於射極的注入電子可行經該基極而抵達該集極，這意味著基極中的電子移動性仍相當地高。(c)基極和集極之間的空間電荷區域對於收集電子並將彼等掃入集極內方面具有高度效率，這表示介面處的氧化物阻障並不會產生顯著貢獻，而這又進一步確認吾等對於單 pn 接合處的分析。可藉由例如減少基極寬度來改善吾人之雙極電晶體俾以趨近於市場產品的效能，其中典型的共用基極電流增益會高於 0.99。

為於邏輯電路中充分開發這些從下而上建構區塊的應用性，並為進一步展示 SiNWs 的受控摻雜作業所得提供之能力，吾人即按輕型 p 和輕型 n－摻雜之 SiNW 交叉形式製作一互補性反置器。圖 29A 中(底部)略繪出該交叉 SiNW 反置器結構圖，而圖 29A 中(上部)略繪出按半導體物體的反相器結構圖。該反相器內的輕型摻雜 p 和 n－型 SiNW 顯示出極大的閘器效應，並可被完全竭除，即如對於圖 29B 插圖內所示之 p－型 SiNW。從圖 29B 可見輸入電壓為正性(負性)則該輸出電壓為負性(零值)，這就是典型的反置器

行為。這項行為可解釋如下：藉負(正)輸入來竭除 n- 型(p-型)線路可讓該輸出等於接地(偏離)。該電壓增益可計得為 0.13，電壓斜坡為反相。該增益值低於商用反置器所具之大於 1 者，但是可利用較薄的閘器氧化物層而非 600 nm 氧化物俾以減少 SiNWs 的閘器回應，以及利用更多的輕型摻雜 SiNWs 來加以改善，但是後者會需要更多努力以獲致歐姆性接觸且須進一步探查。

兩個交叉輕型摻雜 p 和 n- 型 SiNWs 可作出反相器，而兩個交叉重型摻雜 p^+和 n^+- 型 SiNWs 可構成隧穿二極體。相對於該 pn 接合處，該隧穿二極體並不回顯示出整流行為，而是會在順向偏壓裡顯示出 NDR 行為，其 PVR 為如圖 29C 內的 5 比 1。可藉由 Esaki 二極體機制來解釋該差異性。當 p^+與 n^+- 型彼此接觸時可構成該內建電位，但是空間電荷區域寬度繪足夠地微薄以供電子隧穿效果。在反向偏離(圖 29D 左側)以及低度順向偏壓(圖 29D 中間)下，電子可隧穿這個微薄的空間電荷區域而造成電流開始流動。當越過某點後，順向偏壓內進一步增高會導致 n-側的電導帶移動進入該 p- 側的帶溝中(圖 29D 右側)，而這會壓縮到電子隧穿效果，並因此降低電流。進一步增加順向偏壓會減少該內建電位阻障，這可讓熱性激發機制主導該傳導性，並且電流會移至高位。

在此所述之結果可說明多款型態由摻雜 SiNWs 所製，而具摻入物種類與摻雜水準控制之奈米尺寸電子裝置的從下而上組裝。各個裝置顯示出類似於按傳統方式所製作之

裝置的可預測性行為。可藉由化學組裝，並輔以電場及流動溶液對準作業，來實作出這些基礎奈米裝置的大量生產與高整合性，而這可在奈米電子方面產生令人興奮的實際應用性，而同時得避免掉高成本的生產線。此外，即如可預期者，連同於光學信號，pn 二極體交叉可作為光二極體與 pn 太陽電池之用，而雙極電晶體可構成光電阻器。

由電場所進行的 NW 對準與流動溶液可產生一款平行 NW 陣列。切換電場和流動溶液的方向以臥放另一種 NWs 即可構成極為密集的 NW 交叉。

圖 27A－27F 說明交叉 snw 接合處。圖 27A 顯示具 Al/Au 作為接觸導線之交叉 NW 接合處的典型 FE-SEM 影像。該刻度尺為 2μm。NWs 的直徑範圍為 20 到 50 nm。圖 27B－27D 分別顯示 pn、pp 和 nn 接合處的 I-V 行為。該紅色與綠色曲線分別對應於接合處裡個別 p 及 n－型 SiNW 的 I-V 行為。該等黑色曲線分別表示經如圖 27B 內 pn 接合處之四終端 I-V，以及經圖 27C 和 27D 內 pp 與 nn 接合處之雙終端 I-V。在圖 27B 裡，該實線為 I-V 係藉依循導線 1 和 2 之間的電流，並同時地測量導線 3 和 4 間的電壓，而該虛線對應為藉依循導線 1 和 4 之間的電流，並同時地測量導線 3 和 2 之間的電壓，。在圖 27C 和 27D 裡，該等實線為跨於一組鄰近導線(1－2)的 I-V，而虛線為跨於其他三組鄰近導線(1－4、2－3、3－4)的 I-V。圖 27E 和 27F 分別顯示在前向偏離及反向偏離下的 pn 接合處的能帶圖。

圖 28A－28D 為說明 n^+pn 交叉 SiNWs 雙極電晶體。

圖 28A 顯示按半導體物理(左側)以及交叉 SiNWs 結構(右側)之 n^+pn 雙極電晶體的共用基礎組態圖式。該 n^+、p 和 n－型 SiNW 可分別作為射極、基極與集極。基極係經接地。射極係按特定值而負性偏離。在此可由正到負來掃描集極電壓。圖 28B 顯示一 SiNW 雙極電晶體的典型 FE-SEM 影像。該刻度尺為 5μm。圖 28C 顯示對一 n^+pn 電晶體所紀錄之集極電流相對於集極－基極電壓行為，其中該射極與基極 SiNWs 相距 15μm。曲線 1 到 4 對應於按-1、-2、-3、-4 V 的射極－基極電壓之行為。區域 I 和 II 係經虛線所分隔，分別對應為飽和模式及作用模式。圖 28D 顯示共用基極電流增益相對於集極－基極電壓。

圖 29A－29D 顯示互補性反置器與隧穿二極體。圖 29A 圖例顯示按半導體物體的互補性反相器結構(上部)，以及由輕型摻雜 pn 交叉所構成的互補性反相器結構(底部)。在底部圖中，n－型 NW 的一端係按-5V 所偏離，而 p－型 NW 的一端則為接地。輸入電壓為背反閘器電壓，而 p－和 n－型 NW 的另一端既經短路以作為輸出終端。圖 29B 顯示在 pn 交叉反置器內的輸出電壓對輸入電壓資料。圖 29B 內的插圖為該反相器內的 p－型 NW 之 I-V 曲線。曲線 1 到 5 分別對應於背反閘器電壓為-50、-30、-10、0 和 10 V 者。本反置器內的 n－型 NW 具有類似的 I-V 行為，並在閘器電壓為-30 V 時可被完全竭除。圖 29C 顯示一由重型摻雜 pn 交叉所製作之隧穿二極體的雙終端測量資料。個別 p 和 n－型 SiNW 的 I-V 行為既經測試而為線性。圖 29C 內的插

圖延擴於顯示出 NDR 之 I-V 曲線的部分。圖 29D 顯示一交叉 SiNW 隧穿二極體的能帶圖。在反向偏壓上(即如圖 29C 的位置 1)，電子可隧穿通過該接合處(左圖)。在少量順向偏壓下(即如圖 29C 的位置 2)，可可供允電子隧穿效果(中圖)。而進一步增加順向偏壓(即如圖 29C 的位置 3)，則會被阻斷電子隧穿(右圖)。

表面上的奈米線路受控置放作業

1.乙醇中的奈米線路(NWs)穩定懸浮液係按於一浴式聲波震盪器裡對乙醇中的 NWs 進行聲波震盪約 3 分鐘來備置。

2.基板(矽質晶圓)是由具有 $-NH_2$ 結端的自組裝單層(SAM)所覆蓋。

3.該微流模具係按 PDMS 所製。當該基板進入接觸於 PDMS 模具時即可構成一微通道，其三個渠溝的溝壁對應於該模具的模化特定，而第四者則對應於該基板表面，該者係如第 2.點所述之化學方式修改。

4.該 NW 懸浮液流經如是模式之微通道，並在該基板上施加+100 V 偏離電壓。在約 10 分鐘的流動時間之後，該通道會被以乙醇洗淨，然後令以自然乾化。當移除該 PDMS 戳記後，即可在該基板表面上獲得按流動方向而對齊之 NWs 陣列。

5.藉更改該流動方向，並按逐一層級方式施加，即可從 NW 陣列中獲得到多重交叉橫棒，而對於從 NWs 所製得

之裝置而言，該者會被視為具有最重要的組態。

6.藉由表面樣式化處理，在某些處所上吾人可得 NWs 對準(定位)，如此即有機會產生更多常態性的裝置陣列。

樣式化程序：I. 將一層 PMMA 旋鍍於基板表面上，然後利用 EBL (電子射束微影蝕刻)來寫製樣式，亦即選擇性地曝出 Si 表面，稍後以化學方式進行功能化處理(如第 2 項中所述)。II. 現可擁有 PMMA 溝渠，該者底部為曝出 Si 表面而經覆蓋以-NH_2 SAM。當令 NW 懸浮液流經這些樣式時(即如第 4、5 項中所述，唯在本情況下該表面係經樣式化)，該 NWs 會被導入各 PMMA 溝渠內。最後可昇起該 PMMA，並連同在該 PMMA 表面上的 NWs 棒。如此，僅該等會停駐於被遺留在該基板表面上之 PMMA 溝渠的底部，從而得到潔淨的裝置陣列。

<u>將一維奈米結構建置為功能性網路的有向組裝</u>

一維奈米結構，即如奈米線路與奈米微管，代表電子和激子有效傳輸的最小維度，並因而為功能性奈米尺寸之電性與光性結構階層式組裝的理想建構區塊。吾人列報一種將一維奈米結構建置為良好定義之功能性網路的階層式組裝方法。吾人顯示可將奈米線路組裝成具有平均間隔控制性的平行陣列，且藉由將流體性對準作業與表面樣式化技術加以合併，則亦可控制週期性。此外，可依循序步驟利用逐一層級方式組裝而按不同流動方向，來備製出複雜的交叉奈米線路陣列。傳輸研究顯示該交叉奈米線路陣列

可構成電導性網路，而按個別方式定址的裝置可運作於各交叉點接合處。

對於功能性奈米尺寸裝置階層式組裝而言，例如像是奈米簇團和奈米線路(NWs)之奈米尺寸材質代表著極為誘人的建構區塊，可克服傳統微影蝕刻式製程的基礎性及經濟性框限。針對零維奈米簇團的研究既已導引出顯著進展，包括具從奈米到微米長度尺寸之數量級的陣列組裝。相對地，雖然這些材質可供作為建構區塊俾以應用於奈米電子與光學性設備之龐大潛在機會，不過像是 NWs 與碳質奈米微管(NTs)的一維(1D)奈米結構組裝卻仍僅獲致少量成果。

為於該等與其他奈米科技領域內發揮 NWs 和 NTs 的實質潛能，將會要求經良好排序之結構的受控和可預測組裝方式。吾人列報一種用於 1D 奈米結構之階層式組裝的方法，其中可於液體流中對準各 NWs，而即得控制其間隔及空間位置。在此，亦藉由按循序步驟依不同流動方向的逐一層級組裝方式，來備製交叉 NW 陣列。傳輸研究顯示該交叉 NW 陣列可構成電導性網路，而按個別方式定址的裝置可運作於各 NW/NW 交叉點處。這種方式具有適用於將其他的 1D 奈米結構組構成為高度整合性的裝置陣列之潛能，並因而能夠提供一種通用性途徑，俾供承新式電性與光性奈米系統的從下而上組裝。

應用於這些研究內的磷化鎵(GaP)、磷化銦(GaIn)與矽質(Si) NWs 會被雷射輔助觸媒成長技術所合成，然後溶浮

於乙醇溶液內。一般說來，吾人既已藉由讓 NWs 懸浮液通過構成在聚二甲基矽氧烷(PDMS)模具與一平坦基板間之流體通道結構，而組裝出 NWs 陣列(如圖 30A 和 30B)。可對如下所述之組裝程序，分別利用單式(圖 30A)與循序交叉(圖 30B)液流，而隨即製作出平行和交叉 NWs 陣列。

一平行 NWs 組裝的典型範例(圖 31A)顯示該幾為所有 NWs 皆沿某一方向而對準；換言之，此即流動方向。在此亦有一些相對於流動方向的細微偏差，稍後將對此加以探討。檢視按較大長度尺寸的組裝 NWs，顯示出該對準作業確可隨即延展跨越數百微米。的確，根據利用具寬度從 50 到 500μm 而長度從 6 - 20 mm 範圍之通道所做的實驗，既已發現該 NWs 對準作業可延伸達厘米長度尺奈米尺寸，且似乎是由流體通道的大小所限制。

既已執作數種實驗以瞭解控制 NWs 對準結果及平均間隔的各項因素。首先，吾人已發現可由流率來控制該對準程度。隨著流率增加，相對於該流動方向的 NW 角分布寬度(即如圖 31C 插圖)會顯著地變窄。而比較就整個條元件範圍上所測得的寬度分布，可顯示出該寬度從會最緩流率，約 4 mm/s，快速銳減，而於約 10 mm/s 趨向一近似常數值(如圖 31C)。在本項研究中所檢視之最高流率時，超過 80%的 NWs 會對準於流動方向的±5 度內(如圖 31C 插圖)。可在剪流(shear flow)框架內來解釋吾人所觀察到的結果。詳細地說，靠近基板表面處的通道流可類似一剪流，並且在 NWs 被固定於基板之前會將彼等對準於該流動方

向。較高的流率可產生較大的剪流，並因此導致較佳對準結果。

此外，可藉流動時段來控制平均 NW 表面覆蓋(圖 31D)。按固定流率所執作的實驗顯示，NW 密度會隨著流動時段而有系統地增加。在這些實驗中，30 分鐘的流動時段可得約 250 NWs/100 μm 的密度，或是約 400 nm 的平均 NW/NW 間隔。經延長的流動時段可產生具 100 nm 或更低數階之間距的 NW 陣列。吾人注意到沉積速率，並因而平均間隔相對於時間，會與該表面化學功能性極為相關。詳細地說，即以顯示出相較於在甲基－端末單層上或是在僅 SiO_2 表面上，GaP、InP 和 Si NWs 會更快速地沉積在胺基－端末單層上，該者擁有一部份正電荷。而有一項重點也需認知，此即經對準之 NW 在無 NW-NW 接觸下所能達到的最小間隔，會依據應用於組裝程序內之 NWs 的長度而定。近來顯示出將 NW 長度控制於從 100 奈米到數十微米尺寸的進展，應可增加可接取間距而無接觸的範圍。

本結果顯示跨越於多種長度尺寸之 NW 結構的數階級序－即具 100 nm 到微米尺寸間隔越至毫米尺寸區域之奈米直徑線路的組織。雖欲提供具最大控制性之組裝方式仍亦需定義出空間位置，但是這種階層式級序確可隨即橋接微觀及巨觀世界。吾人已藉由應用化學性樣式化基板與 NWs 之間的互補性化學作用，而達到該項重要目標(圖 32A)。代表性實驗的 SEM 影像(圖 32B－32D)顯示具邊側週期相同於表面樣式者的平行 NW 陣列。這些資料顯示該

NWs 最好是組裝於由化學樣式所定義的位置，此外，並顯示該週期樣式可將該 NWs 組織成為常規性的超結構。應認知到單以經樣式化的表面並不足提供良好的 1D 奈米結構組織控制。在將樣式化表面上的 NTs 和 NWs 組裝顯示 1D 奈米結構對準於、橋接和迴繞於具少量方向性控制的樣式區域。在此利用液體流可避免這些顯著問題，並可在其一或許多方向上提供經控制之組裝。藉將本項方法合併於其他的表面樣式方法，像是按雙區塊共聚合物的奈米尺寸領域建構，以及自發性分子排序，應可產生超越於傳統微影蝕刻技術限制的良好排序 NW 陣列。

這種逐一層級組裝法則的一項重要特性，在於各層間係彼此獨立，並因此可在各個交叉點僅藉改變各步驟所使用之 NW 懸浮液的成分，即可獲得各種同質和異質接合處組態。例如，應可利用本項按 n－型及 p－型的 NWs 和 NTs 之方法，直接地組裝並後續地對各別奈米尺寸裝置進行定址，其中該些 NWs/NTs 可作為接線與主動裝置元件。一按 n－型 InP NWs 所製之典型 2×2 交叉橫棒陣列，其中該些 NWs 所有八個端處係由金屬電極所連接，即可顯示出這項要點(如圖 33D)。傳輸測量(如圖 33E)顯示該電流可流過該等八個端處中的任兩者，並可供個別 NWs 與待加評鑑之諸 NW－NW 接合處的電性特徵。對這四個交叉點各者所紀錄之電流－電壓(I-V)資料呈現出線性或近似於線性的行為(曲線 200)，且與對 n-n 型接合處的預期相符一致。由於依隨機沉積所構成的單 NW/NW p-n 接合處呈現出光發二極

體(LED)的行為特徵，因此吾人深信本法則很明顯地確可適用於組裝高密度與個別可定址之奈米 LED 及電性更為複雜之奈米裝置。

這些研究可提供將 1D 奈米材質階層式組裝建構成為良好定義而可橋接奈米通達毫米尺寸領域之功能性網路的一般與合理方法。吾人已展示在平均間隔的控制下，該 NWs 可被組裝為平行陣列，而藉由合併流體對準於表面樣式化技術的作業方式，亦可控制其週期性。此外，即已展示出藉由在逐一步驟中改變流動方向的方式，建構出交叉與更為複雜結構的逐一層級組裝可之能性，且已獲致初步結果，而這意味著本法確可擴展至像是碳質 NTs 之 1D 奈米結構。吾人深信流動組裝代表一種用以將 NW 與 NT 建構區塊組織成為接線、互連及功能性裝置所需結構之通用性策略，並因此可提供作為未來奈米技術的由下而上製作典範。

額外的研究顯示可利用本液流方法，將單壁式碳質奈米微管與雙股 DNA 的懸浮液對準於平行陣列。

圖 30A 與 30B 為對於流體組裝之液流隧穿結構略圖。圖 30A 顯示一當該 PDMS 模具被帶入接觸於一平坦基板時所構成的通道。可令 NW 懸浮液按一受控流率且依一設定時段流入該通道內以執作出 NW 組裝。當移除掉 PDMS 模具時，可按流動方向在基板上觀察到 NWs 的平行陣列。圖 30B 說明可藉由循序地在逐一層級組裝程序中改變流動方向而獲得多重交叉 NW 陣列。

圖 31A－31D 說明 NW 陣列之平行組裝。圖 31A 與 31B 為於通道液流中所對準之平行 InP NWs 陣列的 SEM 影像。圖 31A 與 31B 內的刻度尺分別對應為 2μm 與 50μm。可透過沉浸於 3-aminopropyltriethoxysilane (APTES)的 1mM 氯仿溶液內 30 分鐘，然後加熱至 110°C 持續 10 分鐘，而藉胺基－端末自組裝單層(SAM)將應用於液流組裝內的矽質(SiO_2/Si)基板進行功能化。除另加註既外，後續實驗中所應用的所有基板皆按類似方式功能化接合處理。圖 31C 顯示相對於流向對流率的 NW 角展開量。該圖中的各個資料點是藉約 200 個 NWs 角分布的統計分析所獲得(如插圖)。該插圖中顯示按 9.40 mm/s 之流率的 NW 角分布圖示。圖 31D 顯示 NW 陣列平均密度相對於流動時間。該平均密度是藉通道的任一截面處之 NWs 平均數除以該通道寬度所計算而得。所有的實驗皆按 6.40 mm/s 的流率所進行。

圖 32A－32D 說明週期性 NW 陣列之組裝。圖 32A 為位於經化學方式所樣式化之基板上的 NWs 組裝外觀略圖。該淡灰色區域對應於胺基－端末表面，而深灰色區域對應於甲基－端末或裸僅表面。NWs 最好是被吸引至該表面的胺基－端末區域。圖 32B 和 32C 顯示在聚甲基丙烯酸甲酯(PMMA)樣式化表面上經對準而具 5μm 和 2μm 間隔的 GaP NWs 平行陣列。該影像裡的暗黑區域對應為殘餘 PMMA，而明亮區域則是對應於胺基－端末 SiO_2/Si 表面。NWs 最好是被吸著於胺基－端末區域。該 PMMA 既經標準電子射束(E-射束)微影蝕刻方式所樣式化，而可藉浸入一 0.5%

APTES 之乙醇溶液 10 分鐘，接著加溫於 100°C 的方式將該產得 SiO_2 表面進行功能化。圖 32B 和 32C 內的刻度尺分別為 5μm 及 2μm。圖 32D 顯示具 500 nm 間隔而利用經樣式化 SAM 表面所獲得的 GaP NWs 平行陣列。首先是利用甲基－端末 SAM，藉由浸入純六甲基二矽氮烷(hexamethyldisilazane，HMDS)按 50°C 約 15 分鐘，之後再為按 110°C 約 10 分鐘，將該 SiO_2/Si 表面功能化。該表面係經 E－射束微影蝕刻方式所樣式化，以構成具 500 nm 週期之平行特性的陣列，之後再利用 APTES 進行功能化。刻度尺對應為 500 nm。

圖 33A－33E 說明交叉 NW 陣列的逐一層級組裝和傳輸量測作業。圖 33A 和 33B 顯示一 InP NWs 交叉陣列之典型 SEM 影像，該陣列係透過一按循序步驟為正交流動方向之二步驟組裝程序所獲得。流動方向係由影像中的箭頭所強調。圖 33C 顯示在一項三步驟組裝程序裡所獲得的 GaP NWs 的等邊三角形，其流動方向之間為 60° 角，即如編號箭頭所示者。在這三張影像中，該刻度尺對應為 500 nm。圖 33D 顯示一由 n－型 InP NWs 利用正交液流依序組裝所製得之典型 2×2 交叉陣列的 SEM 影像。透過熱性氣化而沉積的 Ni/In/Au 接觸電極是經 E－射束微影蝕刻方式所樣式化。該等 NWs 略經 6% HF 溶液所蝕刻(3－5 秒)以於進行電極沉積之前，先移除掉非晶質氧化物外層。該刻度尺對應為 2μm。圖 33E 顯示來自於一 2×2 交叉陣列之雙終端測量結果的代表性 I-V 曲線。該曲線 210 表示四個個別

NWs (ad、bg、cf、eh)的 I-V，而該紅色曲線代表四個 n-n 交叉接合處的 I-V。

吾人既已展示場效電晶體、pn 接合、光發二極體、雙極電晶體、互補性反相器、隧穿二極體。可利用奈米線路來製作所有現存的半導體裝置。底下所列者為潛在的應用項目：

(1)化學性與生物性感測器

(2)記憶體與計算裝置

(3)光偵測器和極化光偵測器

(4)利用光激螢光性質的標指籤記

(5)單電子電晶體

(6)雷射

(7)光電壓式太陽電池

(8)用於掃描碳針顯微技術及近鉎式影像之超銳針尖

(9)用於電化學和生物性應用的超微電極

(10)奈米電子與光電設備的互連線路

(11)溫度感測器

(12)壓力感測器

(13)液流感測器

(14)質量感測器

(15)單光子發射器與偵測器

(16)量子計算的彈道性傳輸和共聚性傳輸

(17)旋電裝置

(18)2D 及 3D 光性帶溝材質的奈米線路組裝

底下將說明用於組裝奈米線路以構成多種裝置的替代性技術。可利用液流來組裝奈米線路。

可藉將一奈米線路溶液流導引至表面上來對準奈米線路(或是其他長化結構)，其中該液流可為一通道液流或按任何其他方式流入。

可藉由對該基板表面進行樣式化，及/或按不同功能性來調節奈米線路的表面，俾以重製出具受控位置和週期性的奈米線路陣列。

其中可透過在經樣式化表面與各線路之間設計出特定互補性力度(可為化學性、生物性、電子性、磁性或光學性)的方式，即如A線路接往A'樣式化區域、B線路接往B'樣式化區域、C線路接往C'樣式化區域等等，來控制該位置與週期。

其中可利用不同分子/材質，或是不同電荷、不同磁性或不同光線強度(即如從光線射束的干涉/繞射樣式)或彼等之組合，來調節該基板及/或奈米線路的表面。

如是組裝的奈米線路陣列也可被傳送到另一個基板處(即如藉戳記方式)。

可藉互補性交互作用來組裝奈米線路。前述方法中利用液流來組裝奈米線路，然並非侷限於此液流者。(雖具較低之控制度)僅互補性化學、生物件、靜電、磁性或光學交互作用一者確實亦可被應用於奈米線路組裝。

可利用物理性樣式來組裝奈米線路。可將奈米線路溶液置放於具像是表面步階、溝渠等之物理性樣式的基板

上。

可將奈米線路對準沿於表面步階角落或沿於溝渠。

可藉由自然結晶晶格步驟或自組裝雙區塊共聚合物條帶，或是印刷樣式或任何其他樣式來構成出物理性樣式。

可藉由奈米線路間的靜電或磁性力度來組裝奈米線路。透過將電荷引至奈米線路表面，奈米線路間的靜電力度可將該等對準於某些像是平行陣列的樣式。

可利用 LB 薄膜來組裝奈米線路。首先將奈米線路予以表面條理，並散置至一液態的表面，以構成 Langmuir-Blodgett (LB)薄膜。接著可藉壓縮該表面，以將奈米線路對準至不同樣式(諸如平行陣列)。然後將該奈米線路樣式傳輸到所欲基板上。

可透過剪張處理來組裝奈米線路，該剪張處理係藉由將奈米線路散浸於一彈性矩陣內(這可為聚合物)，然後再在一維度上拉張該矩陣所進行，可經由所引入之剪力而於拉張方向上對準該奈米線路。接著，可將該矩陣移除，並將既經對準的奈米線路陣列傳送到所欲基板上。

其中可透過機械式、電子式、光學式、磁性力度來引動該矩陣拉張作業。且該拉張方向可為該基板平面內或非者。

前文既已說明部分如後載列之本發明示範性具體實施例，然對於熟諳本項技藝之人士而言，前揭延借範例所列纂之各項僅屬說明性而非限制性確為顯而易見。各種修改方式與其他示範性具體實施例仍落屬於後文載陳之申請專

利範圍的疇域內。尤其是，文中所述之許多範例雖牽涉到特定的方法運作或系統元件組合，但應瞭解可按其他方式來合併彼等運作及該些元件，俾以達到相同目的。前述僅關聯於某系統或方法之具體實施例的運作、元件及特性，並非欲為排除在其他具體實施例中扮演類似角色。此外，對於在後載申請專利範圍中所列述之其一或眾多"裝置連帶功能"限制，該等裝置並非受限於本揭以執行所引述之功能的裝置，而係於範圍內涵蓋任何等同而為執行所引述之功能的裝置，無論為現屬眾知或未來發展者。

【圖式簡單說明】

為得更加瞭解本發明，參酌於隨附諸圖並將該等併入本文，而其中：

圖 1 為一根據本發明具體實施例之半導體物件，或奈米線路範例外觀圖；

圖 2 為一用於製造半導體奈米線路之雷射輔助觸媒成長程序範例簡化圖式；

圖 3 為說明奈米線路成長之圖式；

圖 4 為用以控制奈米線路直徑之方法範例圖式；

圖 5 為說明藉由沉積於表面邊緣等步驟以製造奈米線路之圖式；

圖 6 為說明藉由氣相沉積於長化模板之內或之上俾成長出奈米線路的圖式；

圖 7A－7E 說明半導體奈米線路正交組裝以構成一裝

置之圖式；

圖 8A－8C 顯示出對於不同摻入物水準與閘器電壓，按為偏離電壓之函數的矽質奈米線路電流圖式；

圖 9A 與 9B 顯示出對於不同磷質摻入水準與閘器電壓，按為偏離電壓之函數的矽質奈米線路電流圖式；

圖 10A 與 10B 分別顯示出 p－型和 n－型矽質奈米線路裝置的能量帶狀圖；

圖 11A 與 11B 顯示對一重型摻硼矽質奈米線路所記錄之溫度相關電流－電壓曲線；

圖 12 為描繪出利用單調分散金質膠體以作為良好定義之 GaP 半導體奈米線路成長觸媒物略圖；

圖 13A 顯示一從 28.2 奈米膠體所合成之奈米線路 FESEM 影像；

圖 13B 顯示一在該樣本中另一線路之 TEM 影像；

圖 14A－14C 顯示從不同直徑膠體所成長而得之線路的測得直徑柱狀圖；

圖 14D 顯示利用先前方法而無膠體所成長之線路直徑的柱狀圖，其中會利用雷射來產生該金質奈米簇團與該 GaP 反應劑兩者；

圖 15 顯示金質和砷化鎵的虛擬二元相態圖；

圖 16A－16C 顯示藉由雷射輔助觸媒成長所備製之不同奈米線路的 FE－SEM 影像；

圖 17A 顯示約 20 奈米直徑之砷化鎵奈米線路的繞射對比 TEM 影像；

圖 17B - 17D 為不同直徑奈米線路之高解析度 TEM 影像；

圖 18A 顯示一由雷射輔助觸媒成長之 CdSe 奈米線路 FE - SEM 影像；

圖 18B 顯示一 18 奈米直徑 CdSe 奈米線路之繞射對比 TEM 影像；

圖 18C 顯示一約 13 奈米直徑 CdSe 奈米線路之高解析度 TEM 影像；

圖 19 顯示由雷射輔助觸媒成長之 GaN 奈米線路略圖；

圖 20A 顯示由雷射輔助觸媒成長所合成之本體 GaN 奈米線路之 FE - SEM 影像；

圖 20B 為對本體 GaN 奈米線路所記錄之 PXRD 樣式；

圖 21A 顯示 GaN 奈米線路之繞射對比 TEM 影像，終止於更高對比的面化奈米顆粒；

圖 21B 顯示另一 GaN 奈米線路，具約 10 奈米直徑的 HRTEM 影像；

圖 22A - 22C 說明 InP 奈米線路之摻雜作業與電性傳輸；

圖 23A - 23D 說明交叉奈米線路接合處與電子性質；

圖 24A - 24D 說明奈米線路 P - N 接合處之光電特徵；

圖 25A 顯示一取自於一 p - 型 Si 和 n - 型 GaN 奈米接合處的 EL 影像；

圖 25B 顯示對各種閘器電壓而按為電壓函數之電流；

圖 25C 顯示對如圖 25A 之奈米接合處的 EL 譜圖；

圖 26A－26D 說明具電場之奈米線路的平行與正交組裝圖；

圖 27A－27F 說明具交叉矽質奈米線路接合處；

圖 28A－28D 說明 n^+pn 交叉矽質奈米線路雙極電晶體；

圖 29A－29D 說明互補性反置器與隧穿二極體；

圖 30A 與 30B 為對於流體組裝之液流隧穿結構略圖；

圖 31A－31D 說明奈米線路陣列之平行組裝；

圖 32A－32D 說明週期性奈米線路陣列之組裝；以及

圖 33A－33E 說明交叉奈米線路陣列的逐層組裝和傳輸量測作業。

【主要元件符號說明】

L1	圓柱形半導體物件
L2	長度
L3	縱軸
L4	寬度
L5	點處
L6	交叉區域

五、中文發明摘要

一種本體(bulk)摻雜之半導體，包含一至少具有窄於500奈米之最小寬度的部份。該半導體可包括一含有一第一半導體之內部核心；一含有不同於該第一半導體之材質的外部覆殼。該半導體可為長化，且於沿該半導體之縱軸區段的任何點處上，可具有該區段長度對一最大寬度的比例值高於4：1，或高於10：1，或甚而高於100：1。至少該半導體其一局部可為少於200奈米，或少於150奈米、少於100奈米、少於80奈米、少於70奈米、少於60奈米、少於40奈米、少於20奈米、少於10奈米或甚而少於5奈米之最小寬度。這種半導體可為單結晶或自立式。這種半導體或為某一裝置的一部份，可包括下列各項之任意組合：一切換器、一二極體；一光發二極體；一隧穿二極體、電晶體(即如雙極接合電晶體或一場效電晶體)；一反相器；一感測器(即如光學式者)；一記憶體裝置(如動態或靜態者)；一雷射；一邏輯閘器(即如AND閘器、NAND閘器、EXCLUSIVE-AND閘器、OR閘器、NOR閘器、或是一EXCLUSIVE-OR閘器)；一鎖閂器；一暫存器；一時鐘電路；一邏輯陣列；一狀態機；一可程式化電路；一放大器；一變壓器；一信號處理器；一數位電路；一類比電路；或具有數位和類比諸元或彼等組合之電路，以及任何其他元件。這種半導體可為輕型n型摻雜、重型n型摻雜、輕型p型摻雜或是重型摻p型摻雜者。而這種半導體的摻雜方式，可為於各種可製造該半導體裝置之組裝技術的成

長過程中來進行。可將兩項以上的這種半導體，包括一系列的這種半導體，予以合併，俾構成出該裝置的相交 p-n 接合處。這種裝置可展現出量子禁限(Quantum Confinement)，且可藉選取這種裝置的寬度，來控制從其一或許多該等半導體所放射出的光線波長。按此所製作出的這種半導體與裝置可適合於各式應用。

六、英文發明摘要

A bulk-doped semiconductor comprising at least one portion having a smallest width of less than 500 nanometers. Such a semiconductor may comprise an interior core comprising a first semiconductor; and an exterior shell comprising a different material than the first semiconductor. Such a semiconductor may be elongated and may have, at any point along a longitudinal section of such a semiconductor, a ratio of the length of the section to a longest width is greater than 4:1, or greater than 10:1, or even greater than 100:1. At least one portion of such a semiconductor may have a smallest width of less than 200 nanometers, or less than 150 nanometers, or less than 100 nanometers, or less than 80 nanometers, or less than 70 nanometers, or less than 60 nanometers, or less than 40 nanometers, or less than 20 nanometers, or less than 10 nanometers, or even less than 5 nanometers. Such a semiconductor may be a single crystal

and may be free-standing. Such a semiconductor may be part of a device, which may include any combination of the following: a switch, a diode; a Light-Emitting Diode; a tunnel diode, transistor (e.g., a Bipolar Junction Transistor or a Field Effect Transistor); an inverter; a sensor (e.g. optical); a memory device (e.g. dynamic or static); a laser; a logic gate (e.g., AND gate, NAND gate, EXCLUSIVE-AND gate, OR gate, NOR gate, or an EXCLUSIVE-OR gate); a latch; a register; clock circuitry; a logic array; a state machine; a programmable circuit; an amplifier; a transformer; a signal processor; a digital circuit; an analog circuit; or a circuit that has digital and analog components or a combination thereof, and may include other components. Such a semiconductor may be either lightly n-doped, heavily n-doped, lightly p-doped or heavily p-doped. Such a semiconductor may be doped during growth. A variety of assembling techniques may be used to fabricate devices from such a semiconductor. Two or more of such a semiconductors, including an array of such semiconductors, may be combined to form devices, for example, to form crossed p-n junction of a device. Such devices may exhibit quantum confinement, and the wavelength of light emitted from one or more of such semiconductors may be controlled by selecting a width of such semiconductors. Such semiconductors and device made

therefrom may be used for a variety of applications.

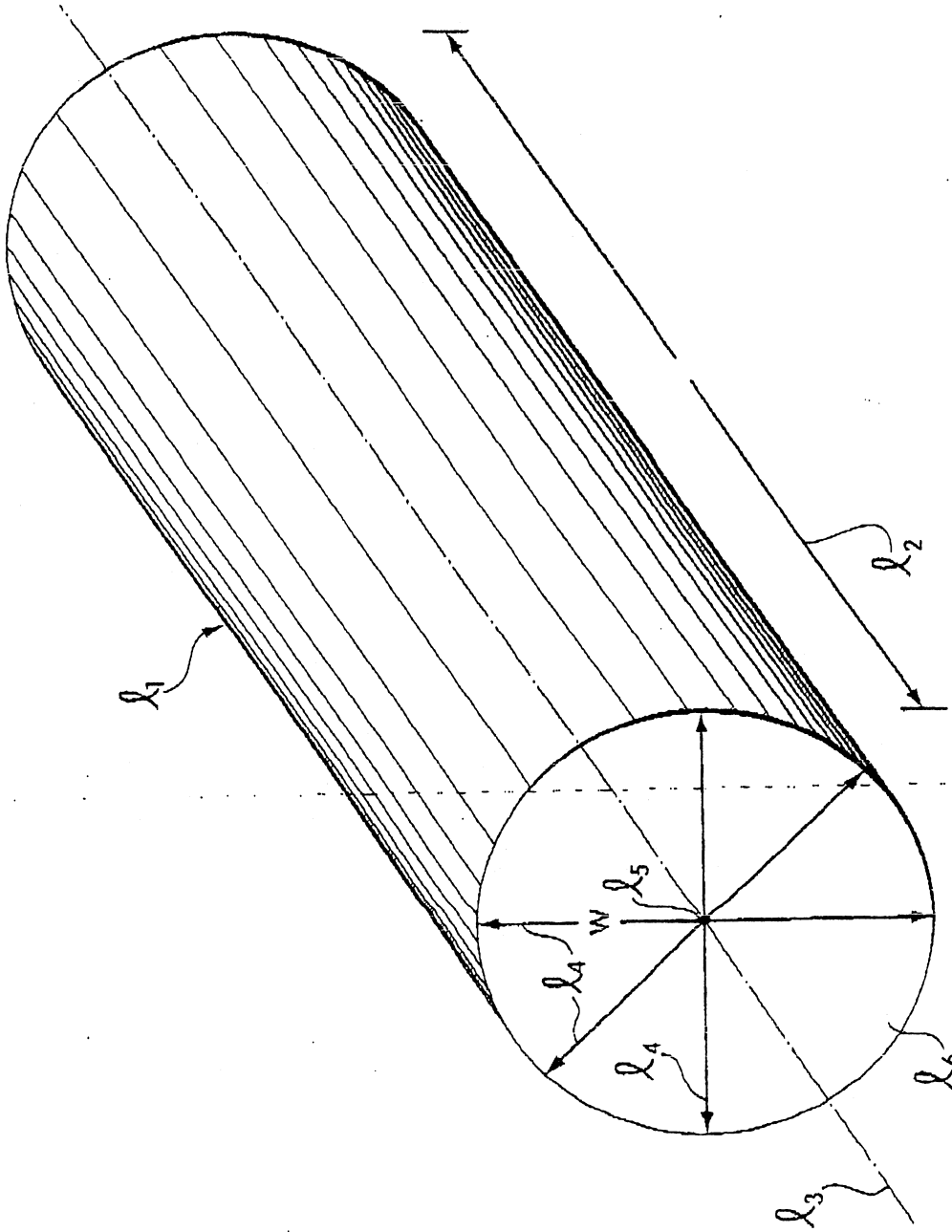


圖 1

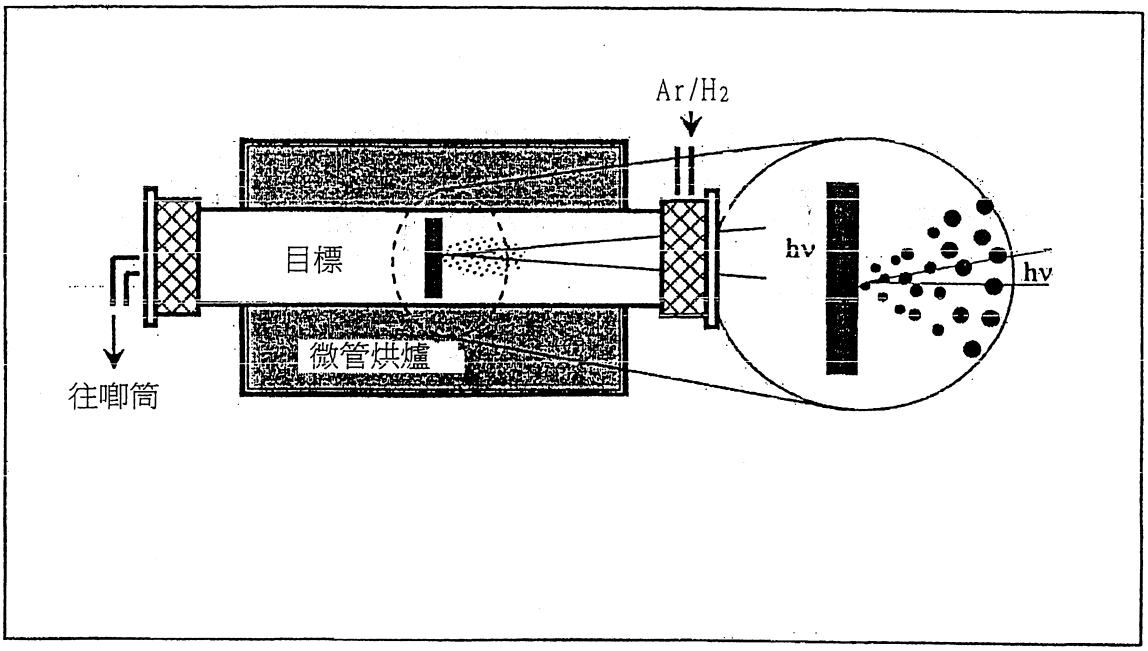


圖 2

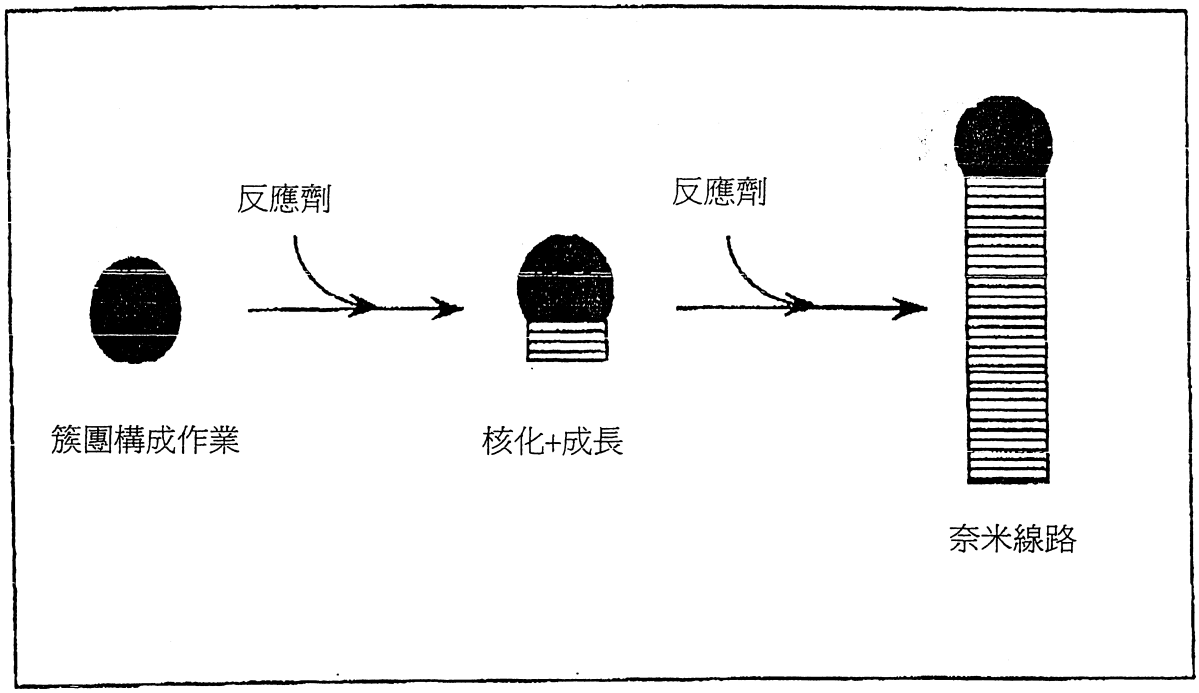


圖 3

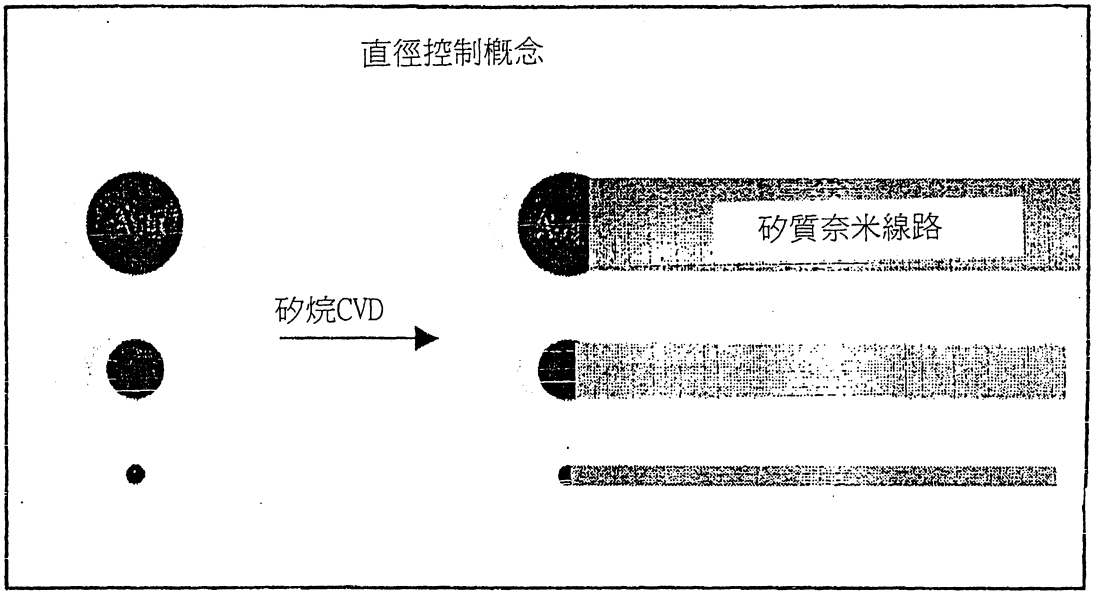


圖 4

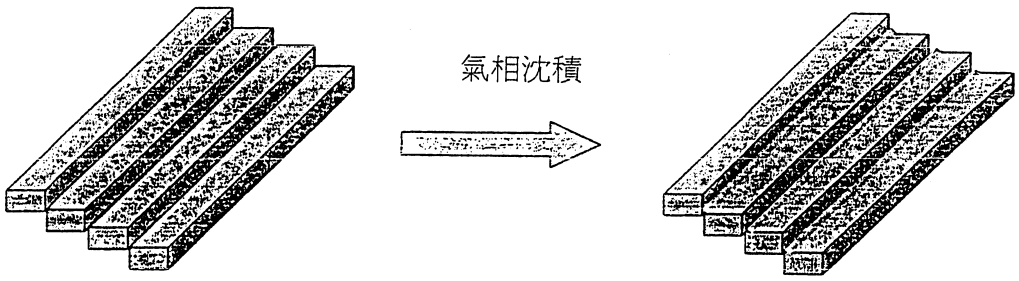


圖 5

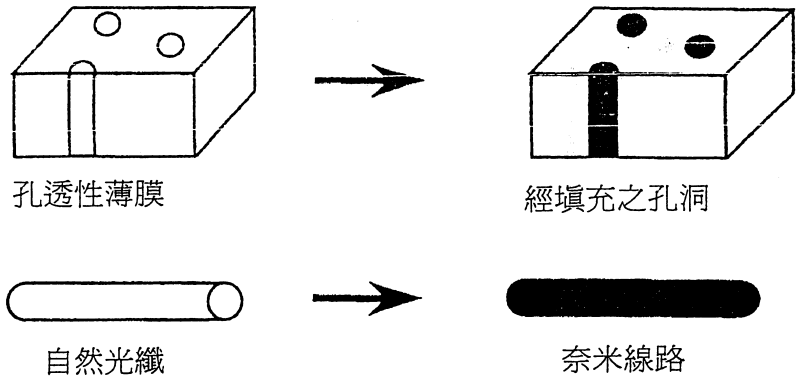


圖 6

半導體奈米線路之正交組裝

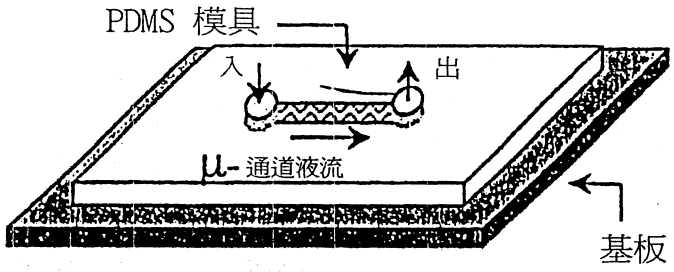


圖 7A

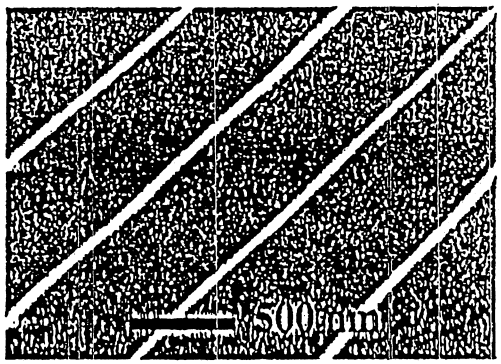
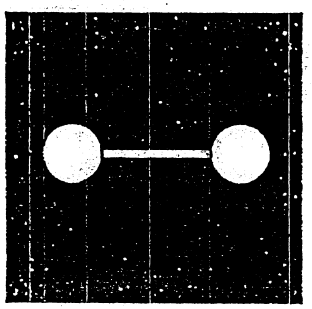
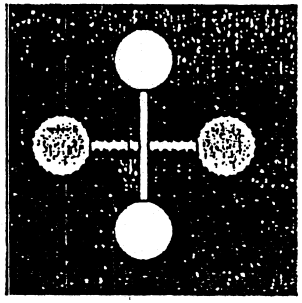


圖 7B



第一層

圖 7C



第二層

圖 7D

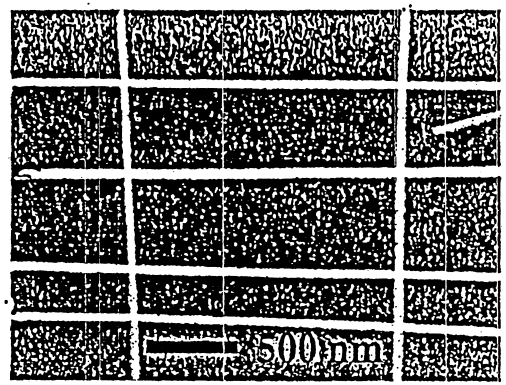


圖 7E

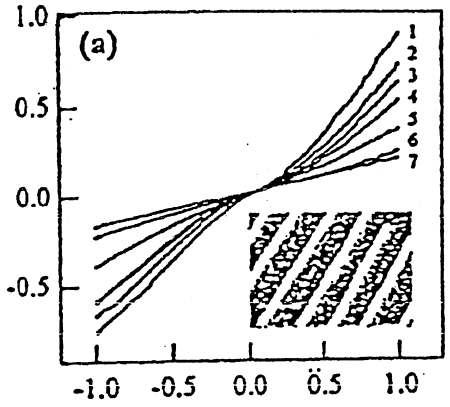

(a)
1.0
0.5
0.0
-0.5
1 2 3 4 5 6 7
-1.0 -0.5 0.0 0.5 1.0
(安培×10)
V(伏特)

圖 8A

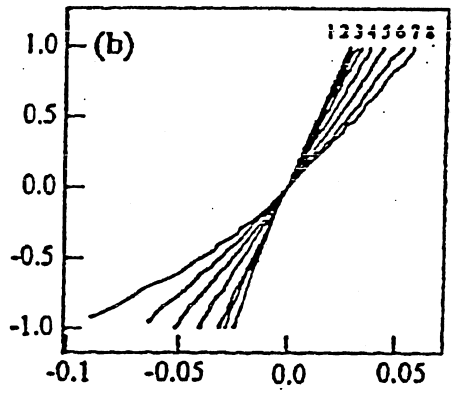

(b)
1.0
0.5
0.0
-0.5
-1.0
-0.1 -0.05 0.0 0.05
(安培×10 -8)
V(伏特)

圖 8B

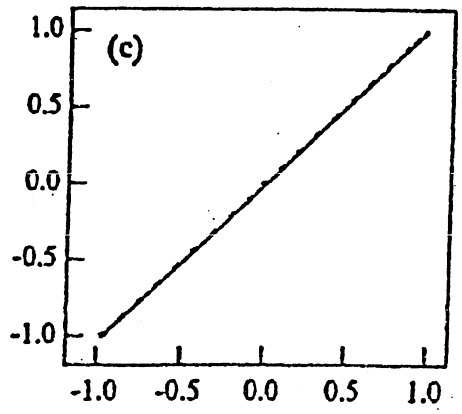

(c)
1.0
0.5
0.0
-0.5
-1.0
-1.0 -0.5 0.0 0.5 1.0
(安培×10 -4)
V(伏特)

圖 8C

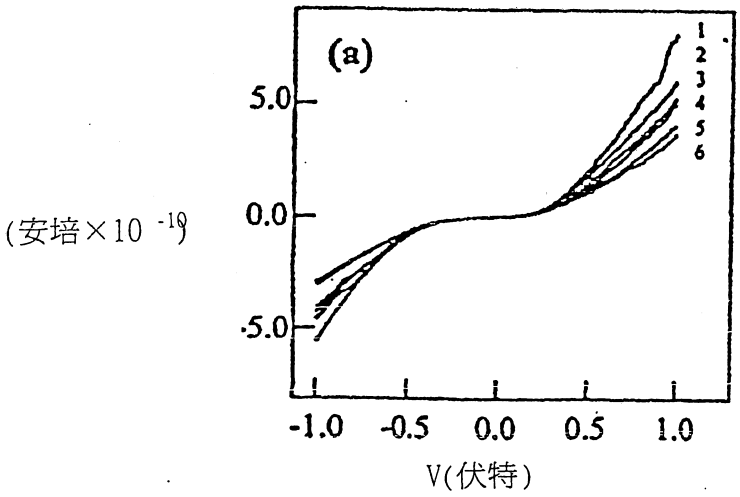

(a)
1
2
3
4
5
6
5.0
0.0
-5.0
(安培×10 -10)
-1.0
-0.5
0.0
0.5
1.0
V(伏特)

圖 9A

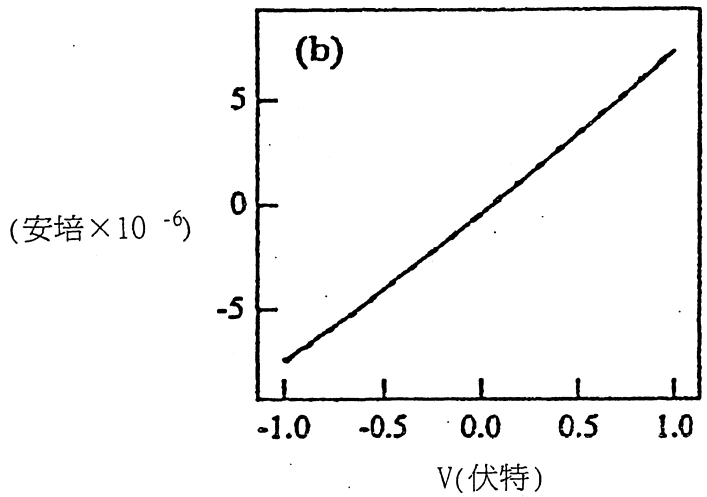

(b)
5
0
-5
(安培×10 -6)
-1.0
-0.5
0.0
0.5
1.0
V(伏特)

圖 9B

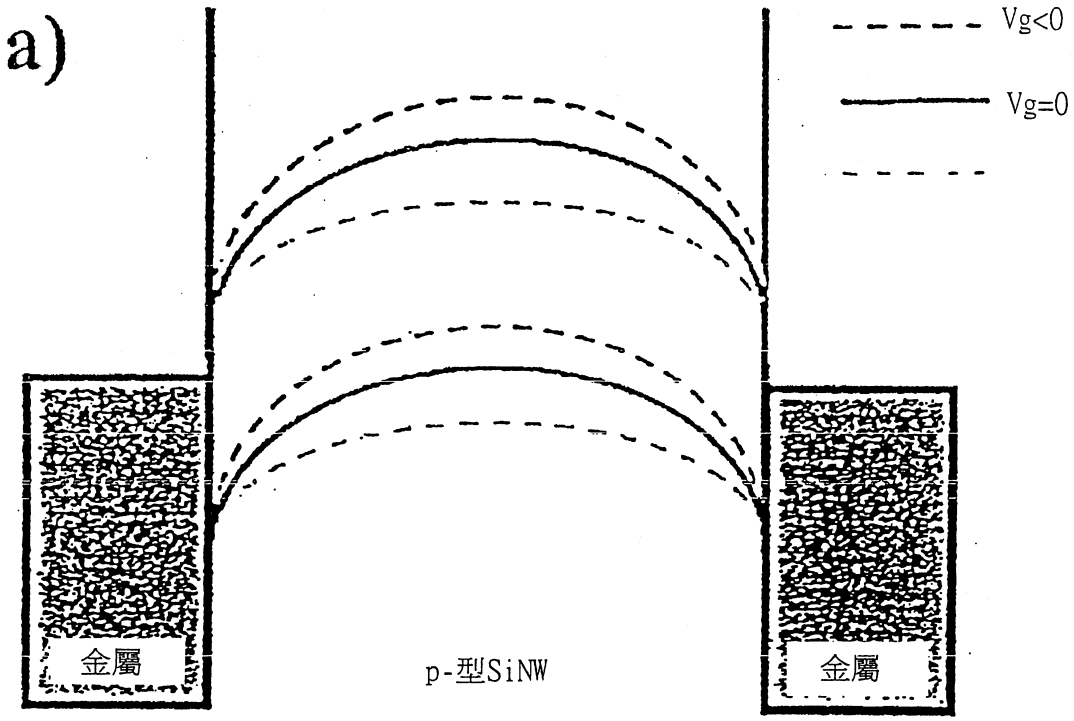


圖 10A

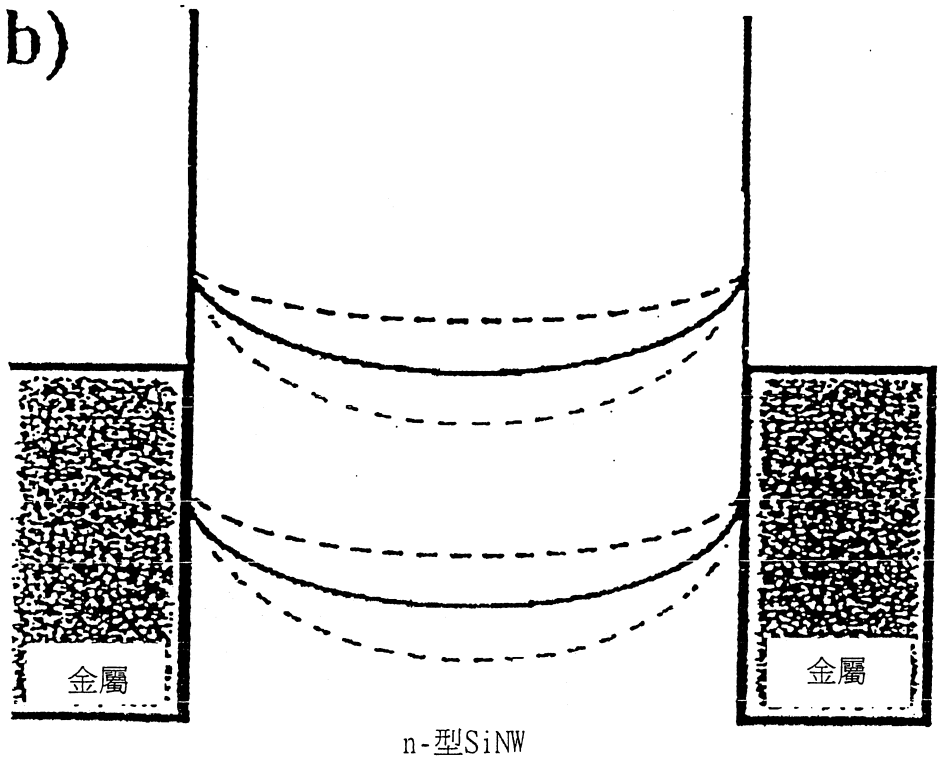
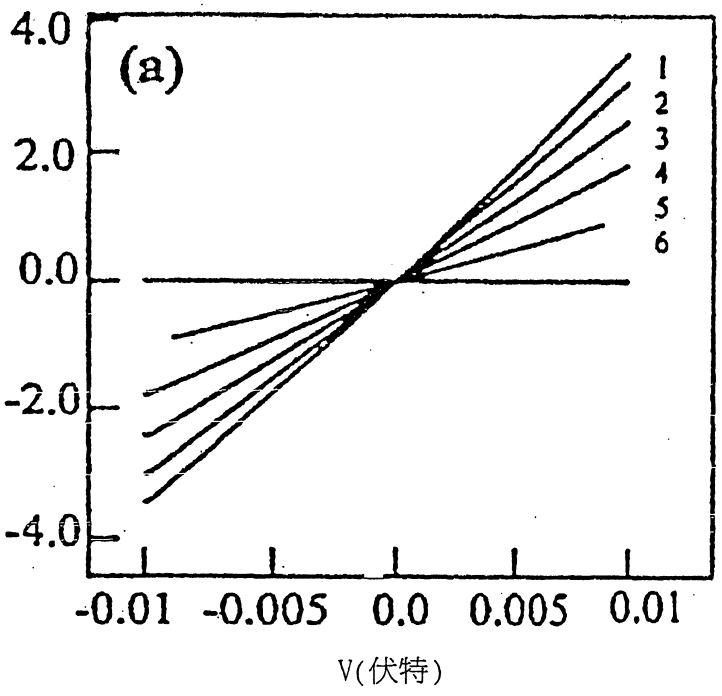
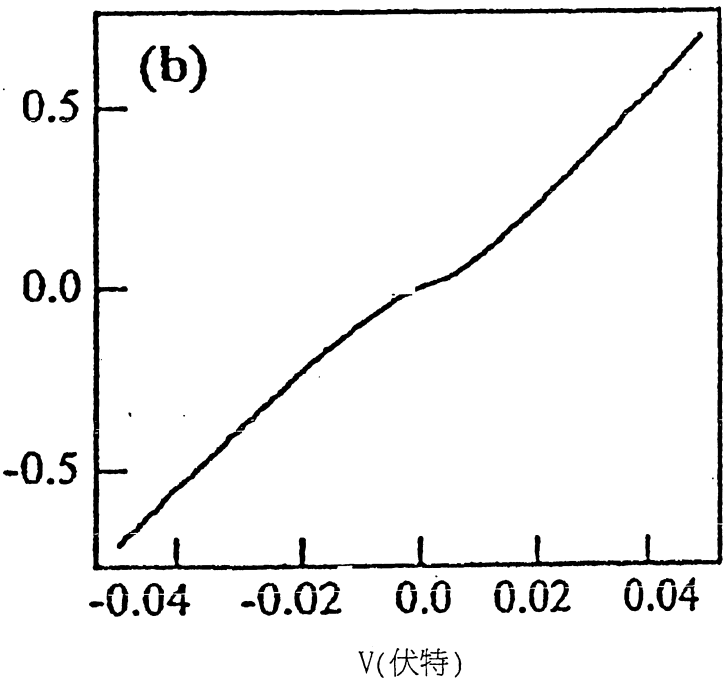


圖 10B



(安培×10 $^{-8}$)

圖 11A



(安培×10 $^{-10}$)

圖 11B

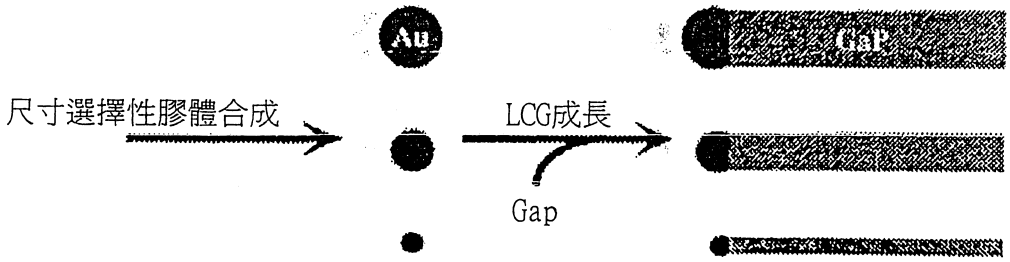


圖 12

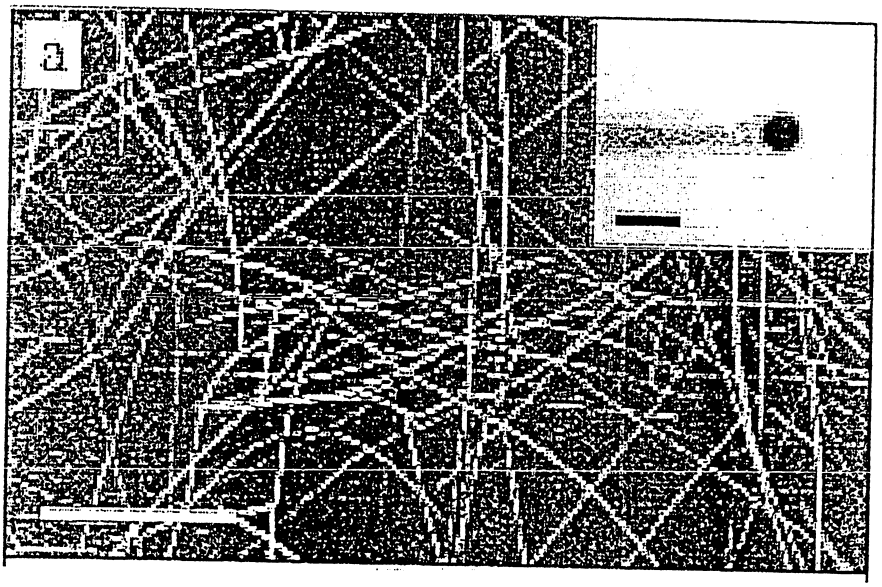


圖 13A

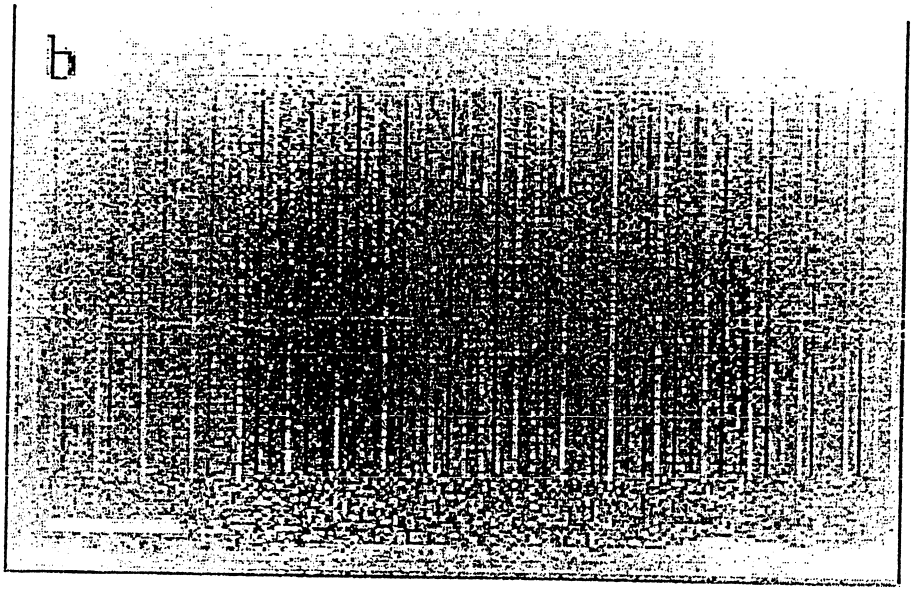


圖 13B

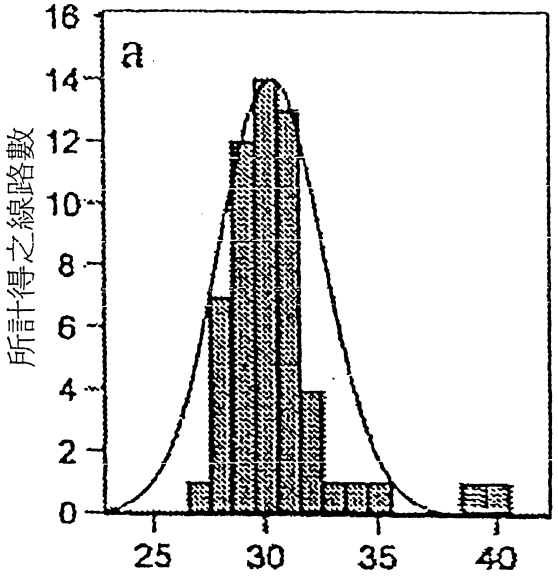


圖 14A

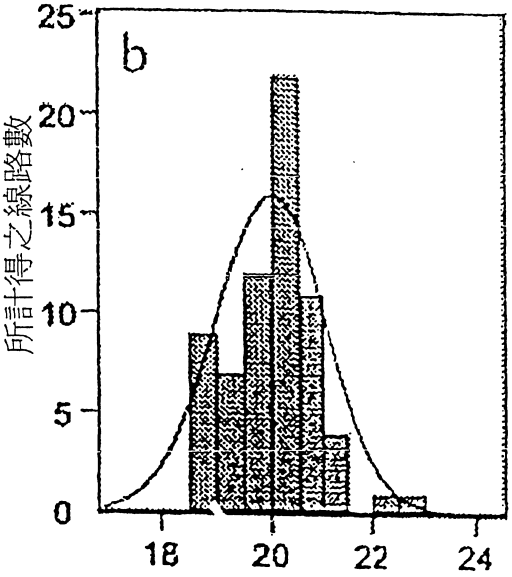


圖 14B

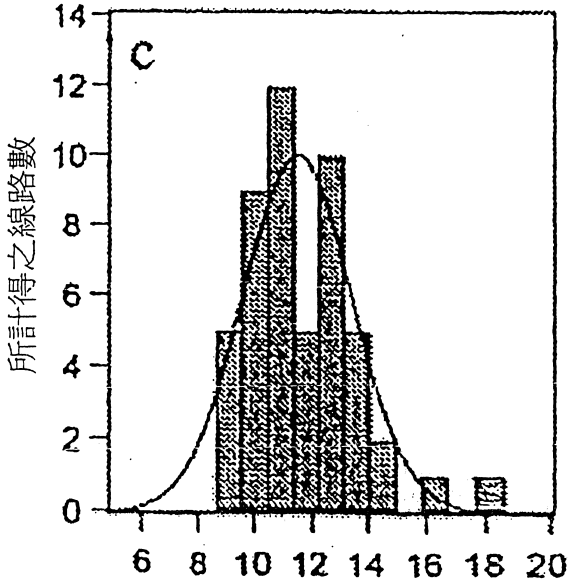


圖 14C

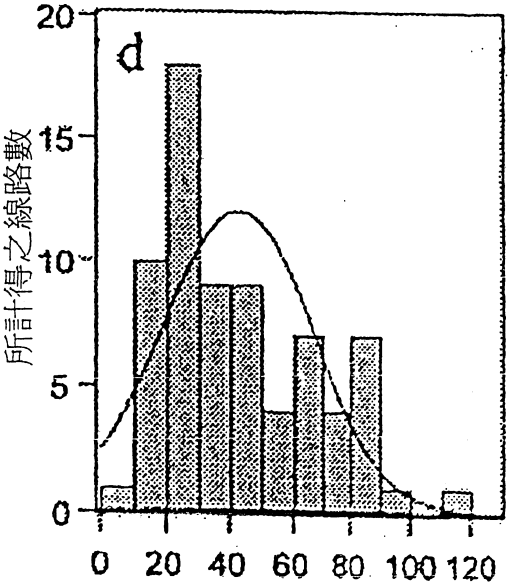


圖 14D

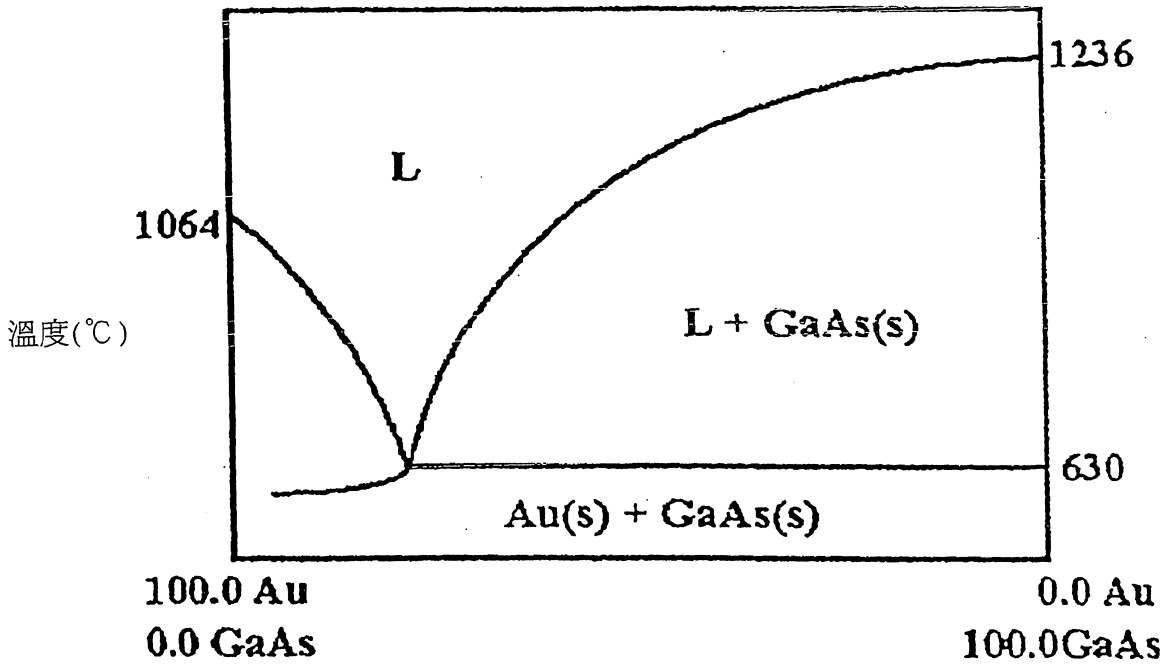

1236
L
1064
溫度(℃)
L + GaAs(s)
630
Au(s) + GaAs(s)
100.0 Au
0.0 GaAs
0.0 Au
100.0GaAs

圖 15

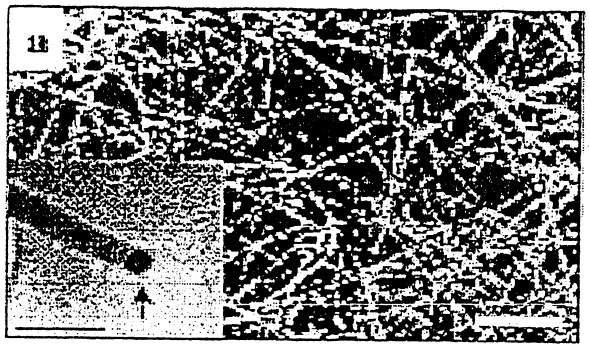


圖 16A

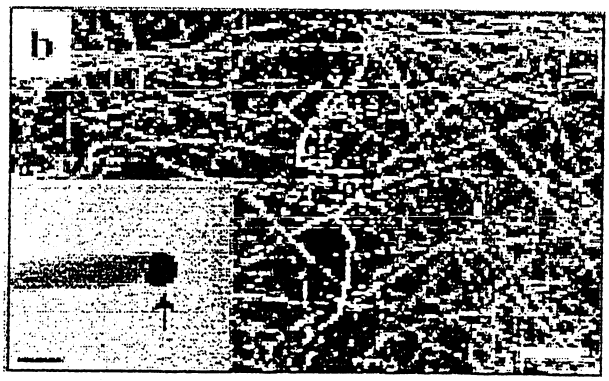


圖 16B

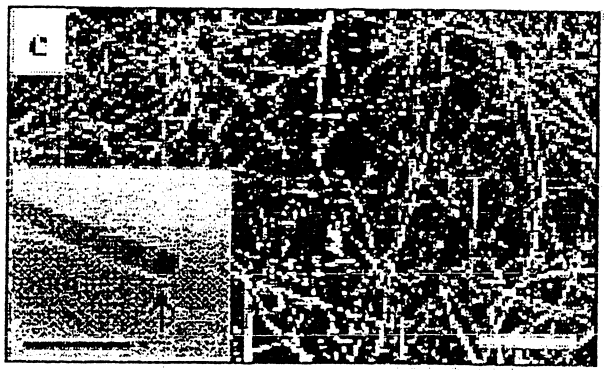


圖 16C

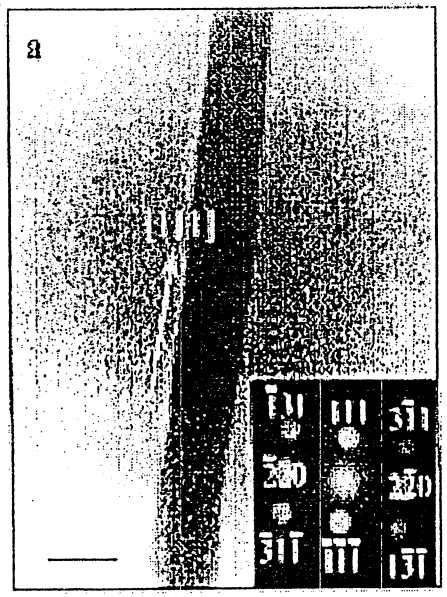


圖 17A

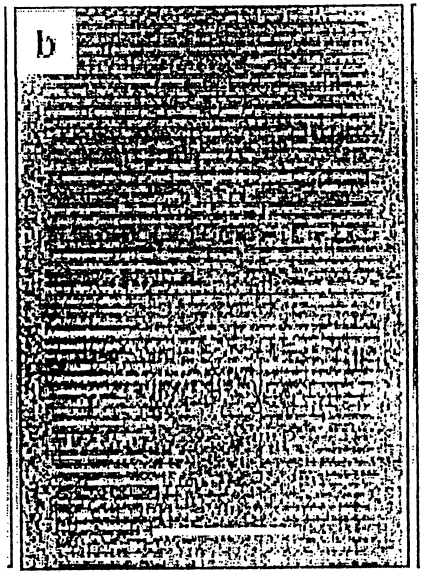


圖 17B

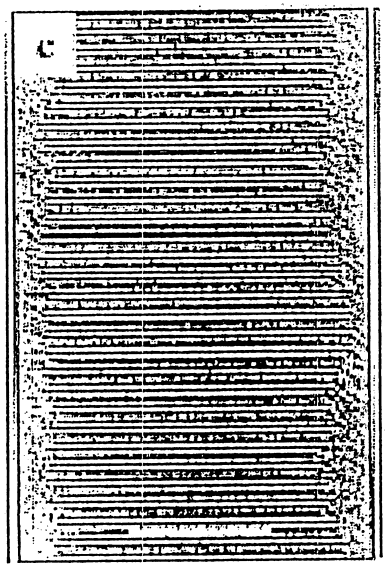


圖 17C

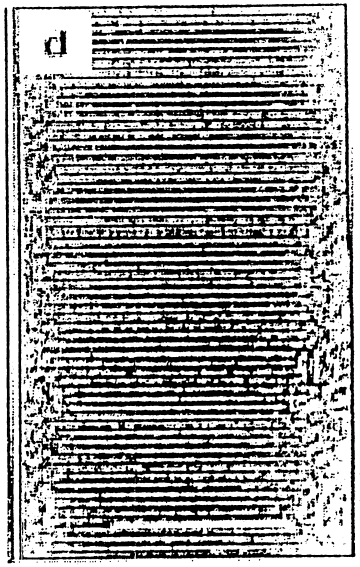


圖 17D

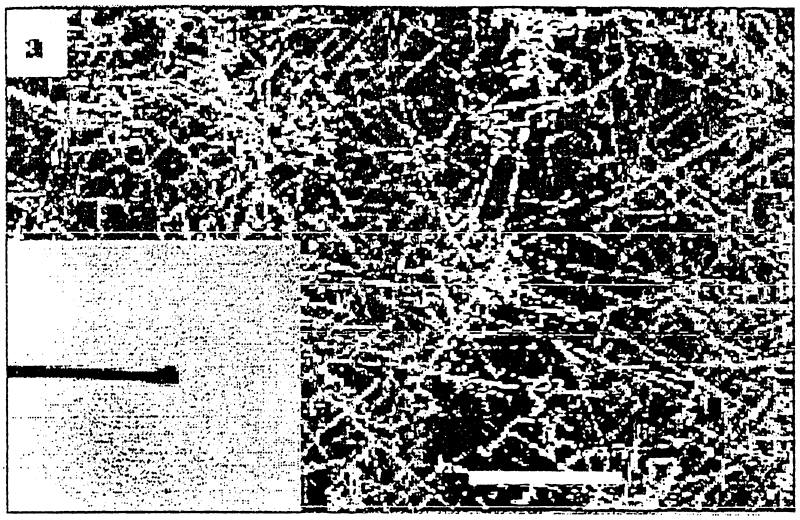


圖 18A

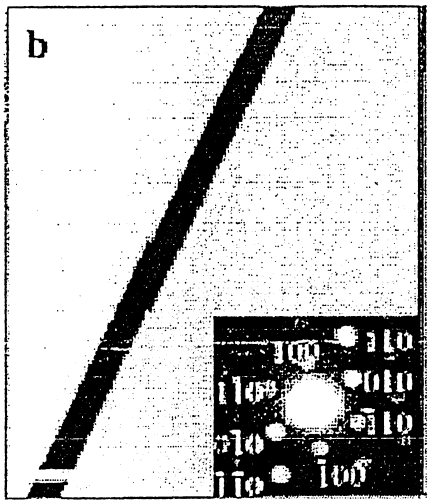


圖 18B

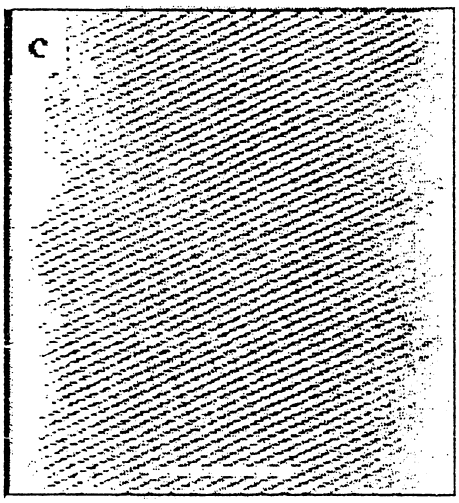


圖 18C

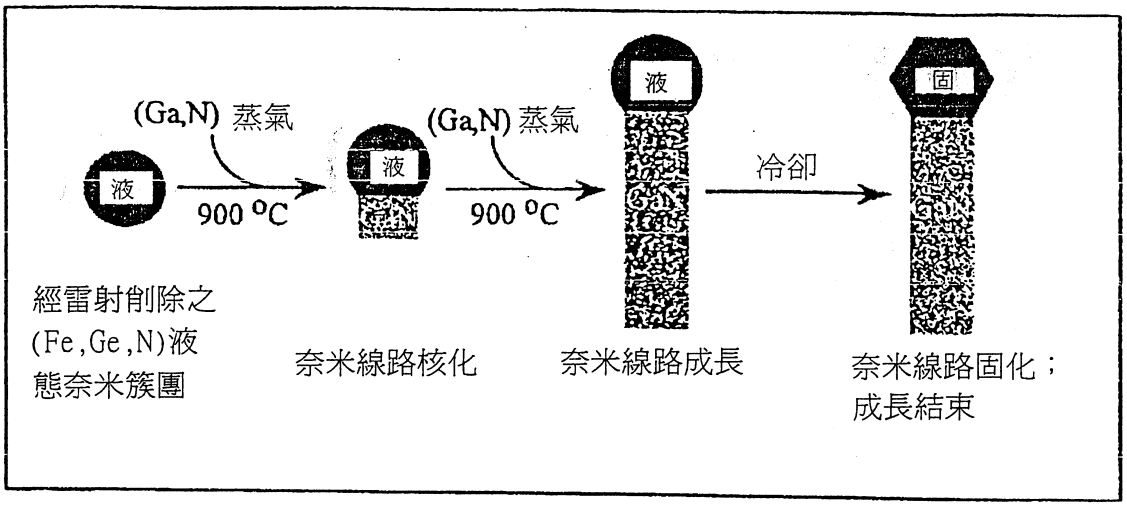

(Ga,N) 蒸氣
液
900 °C
液
(Ga,N) 蒸氣
900 °C
液
冷卻
固
經雷射削除之
(Fe,Ge,N)液
態奈米簇團
奈米線路核化
奈米線路成長
奈米線路固化；
成長結束

圖 19

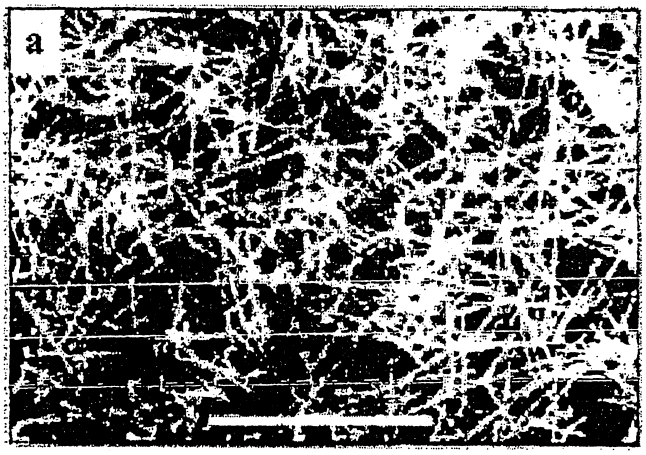


圖 20A

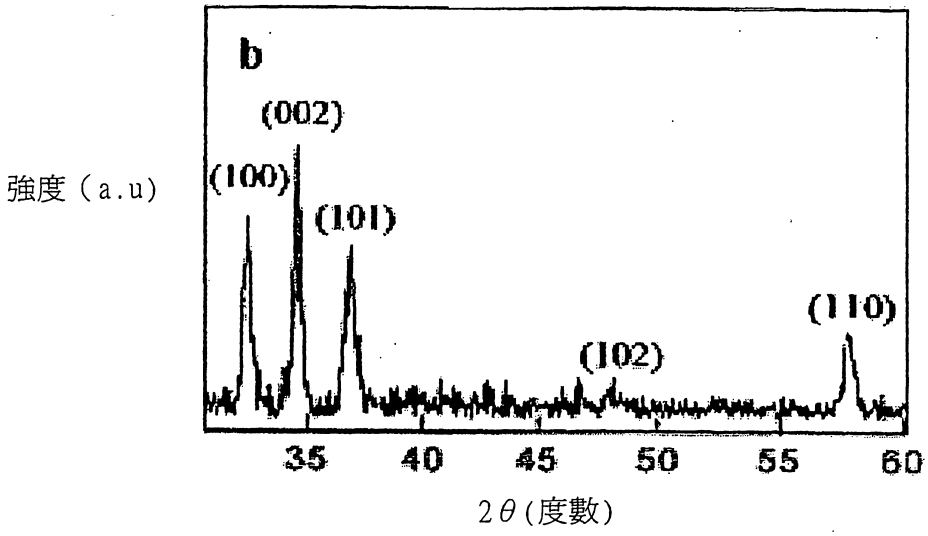


圖 20B

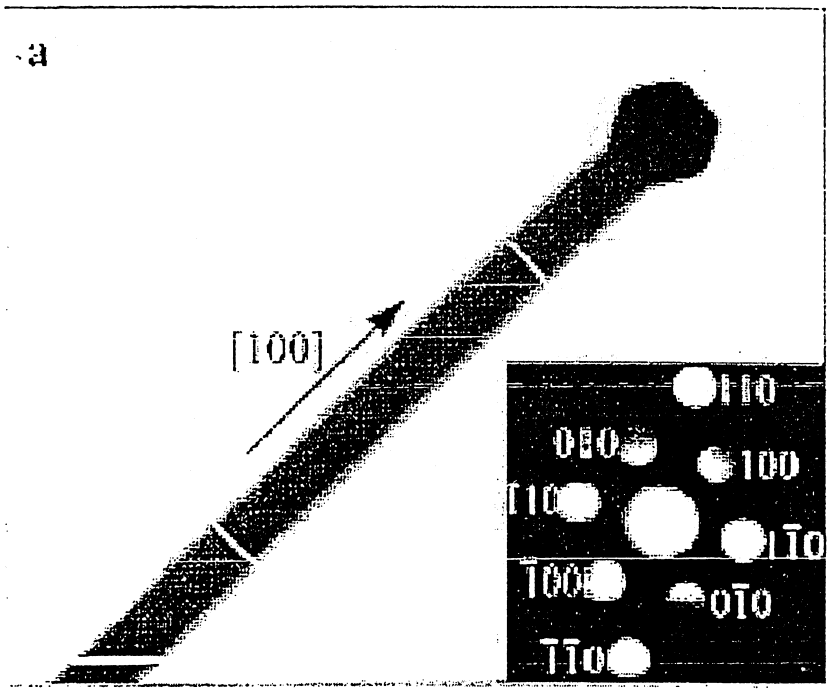


圖 21A

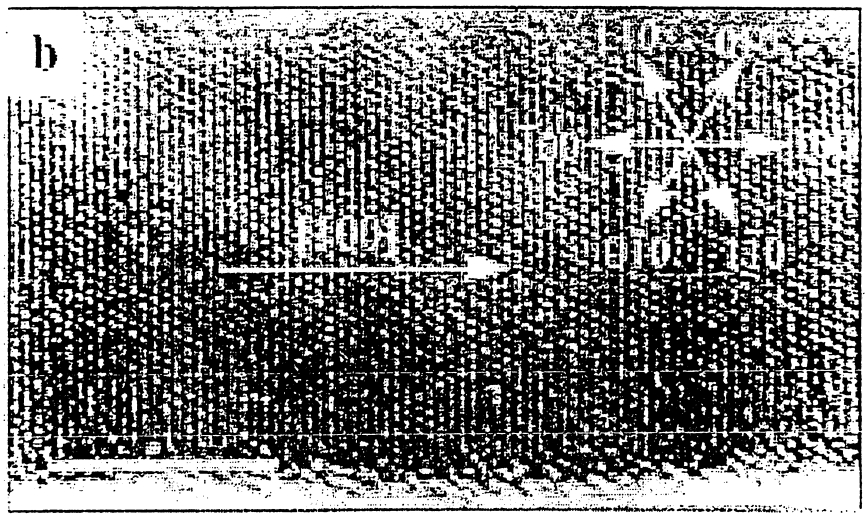


圖 21B

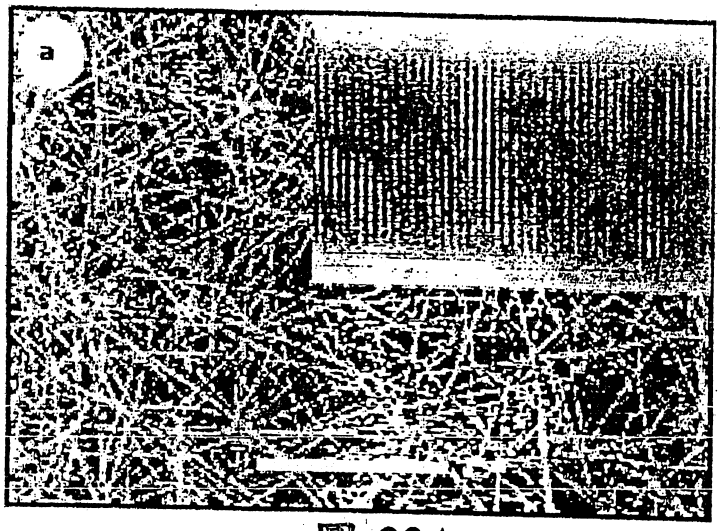


圖 22A

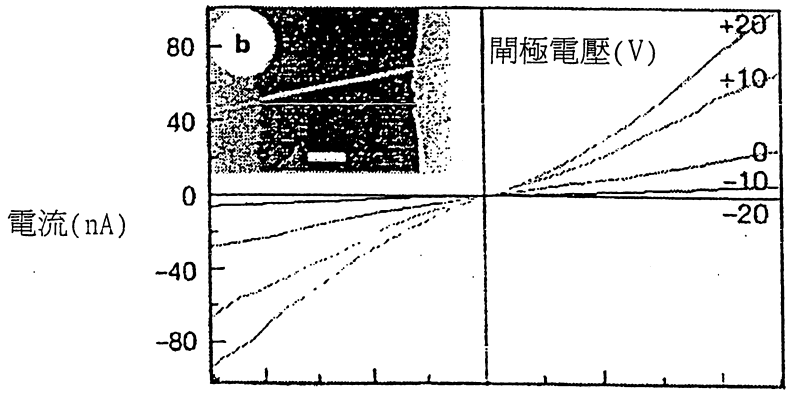


圖 22B

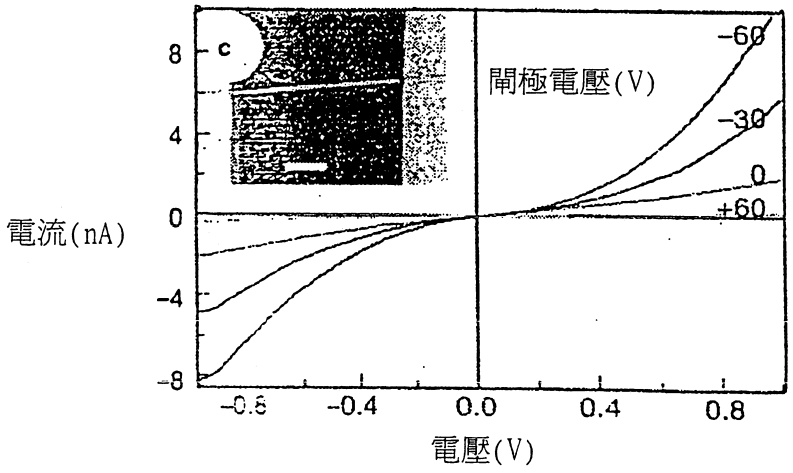


圖 22C

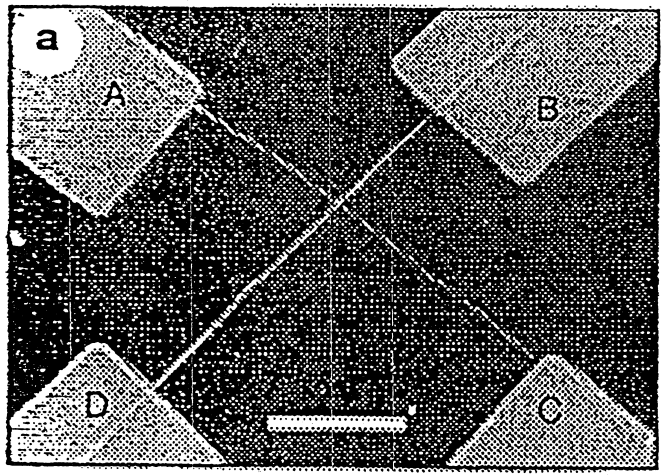


圖 23A

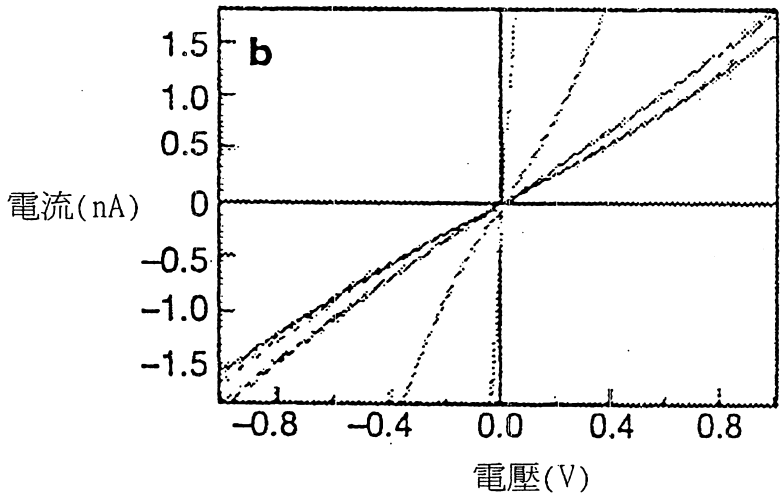


圖 23B

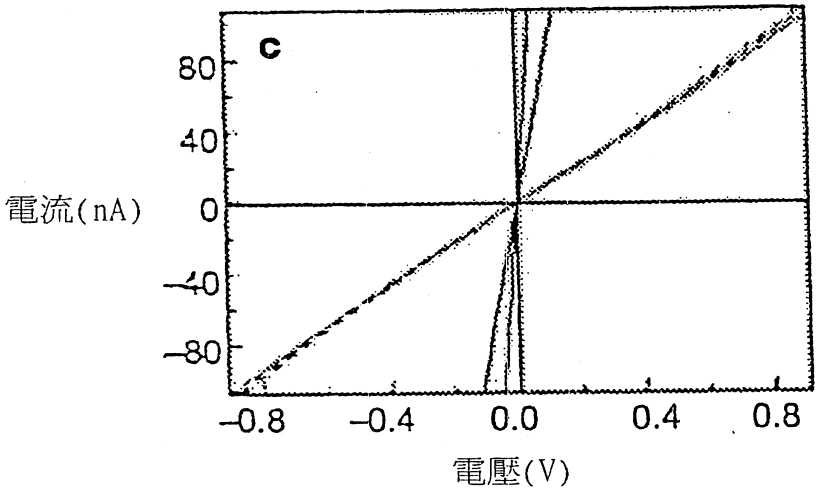


圖 23C

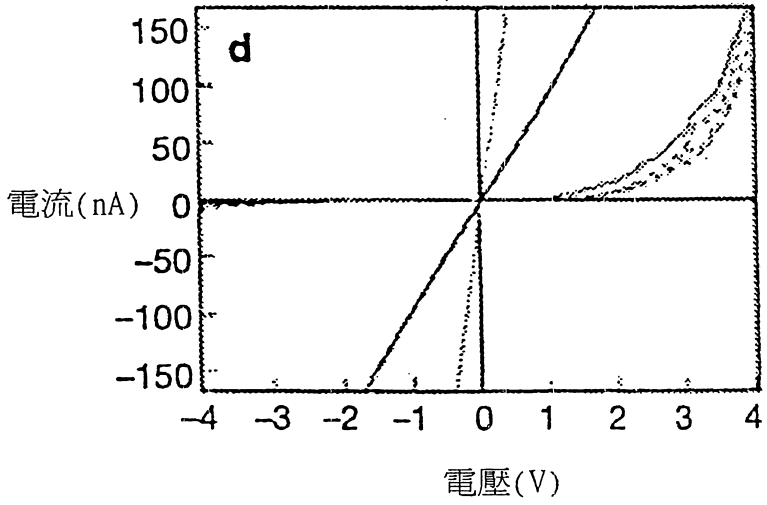


圖 23D

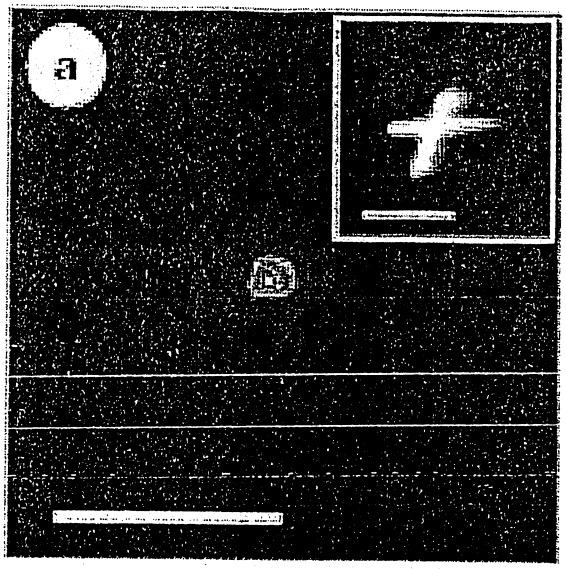


圖 24A

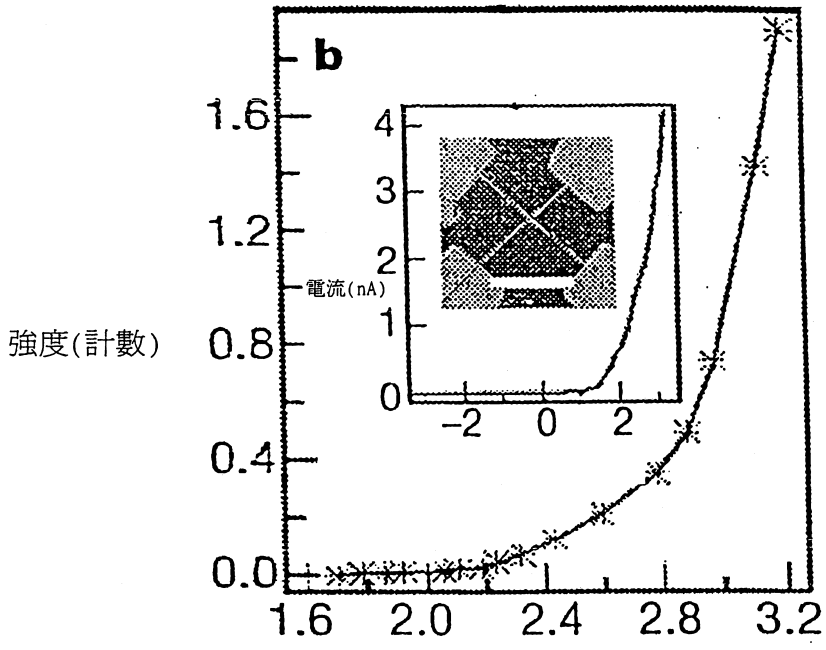


圖 24B

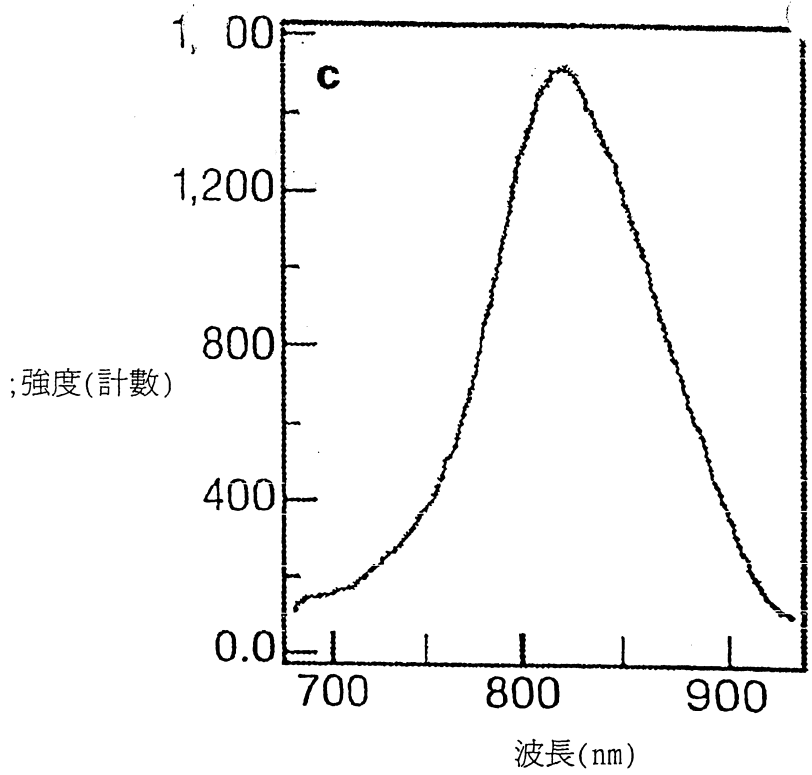

1, 00
1,200
800
400
0.0
c
;強度(計數)
700
800
900
波長(nm)

圖 24C

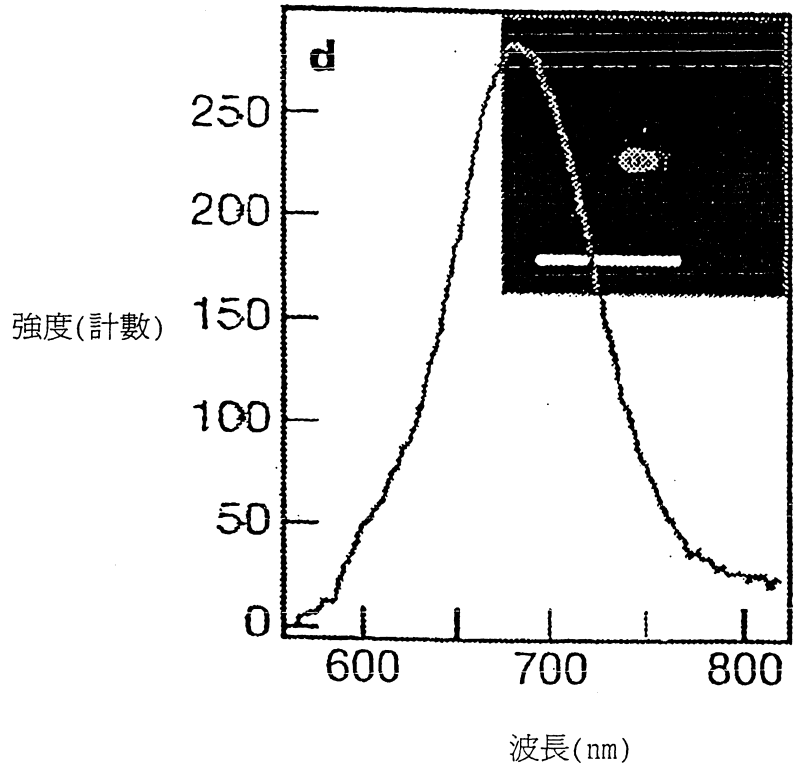

d
250
200
150
100
50
0
強度(計數)
600
700
800
波長(nm)

圖 24D

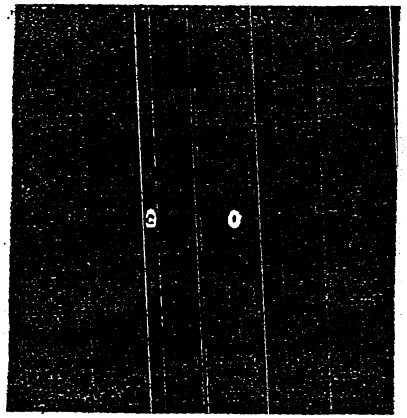


圖 25A

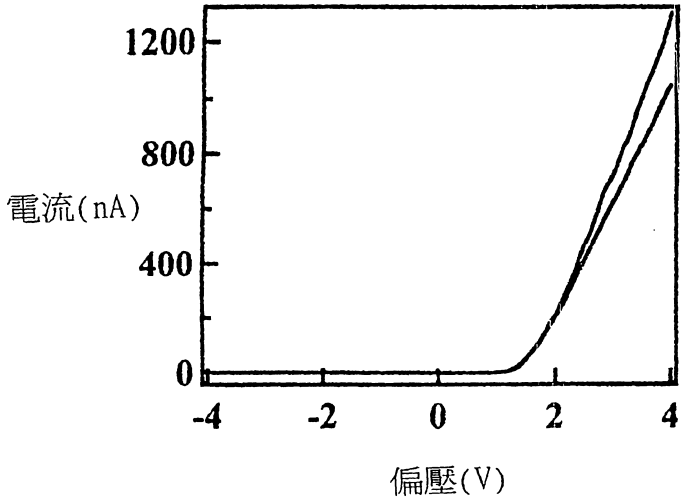


圖 25B

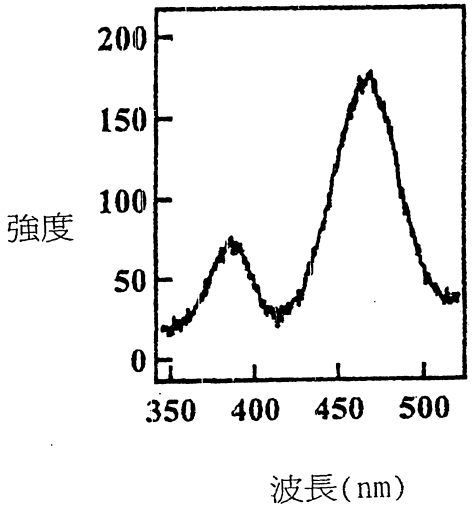


圖 25C

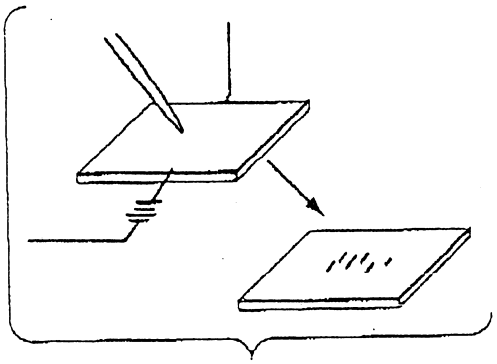


圖 26A

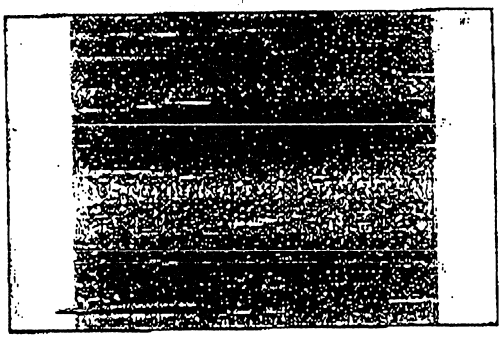


圖 26B

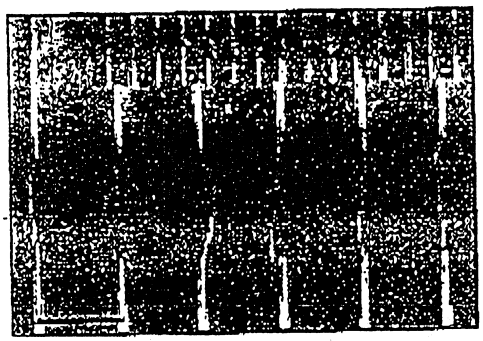


圖 26C

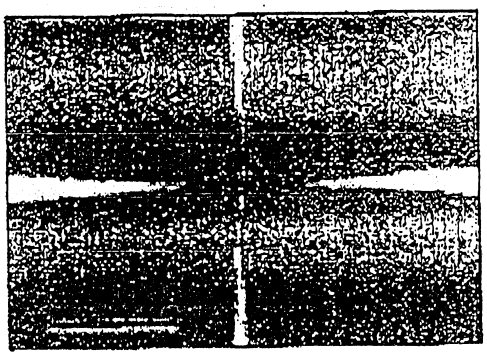


圖 26D

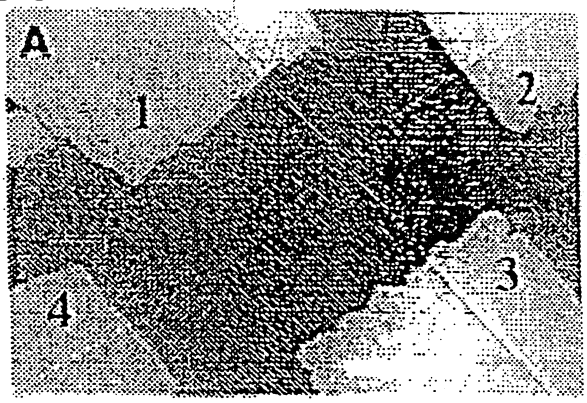


圖 27A

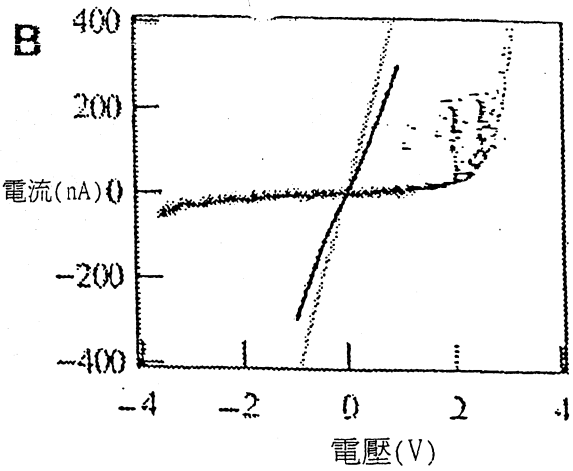


圖 27B

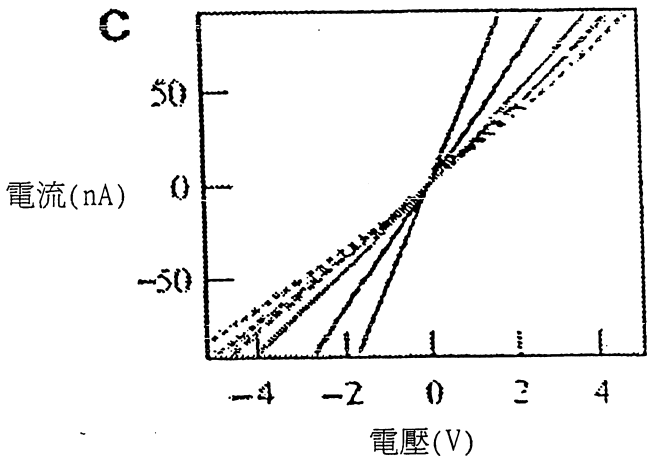


圖 27C

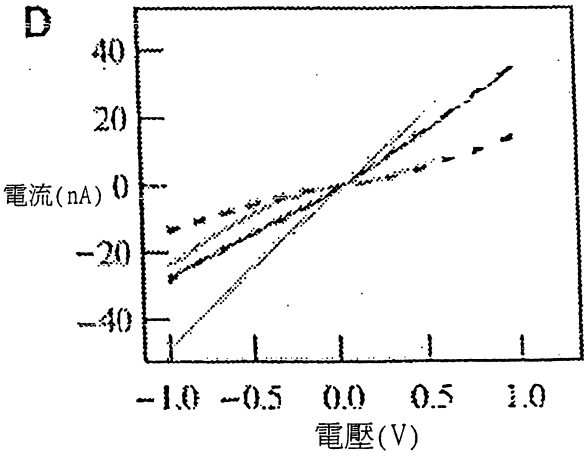
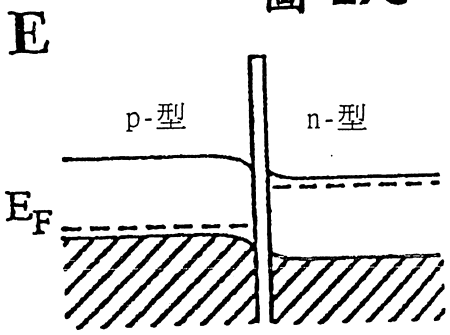
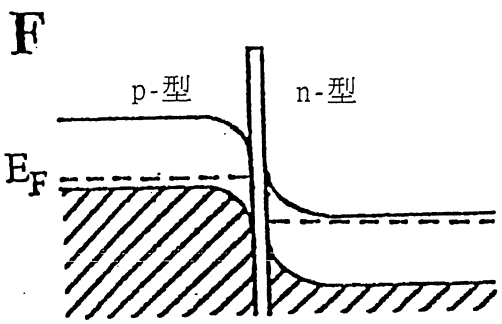


圖 27D



順向偏壓

圖 27E



反向偏壓

圖 27F

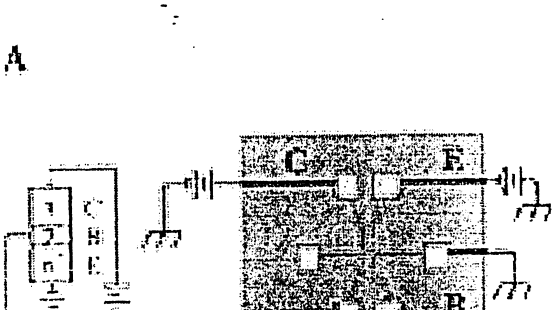


圖 28A

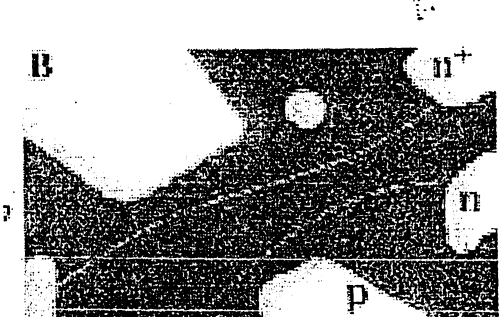


圖 28B

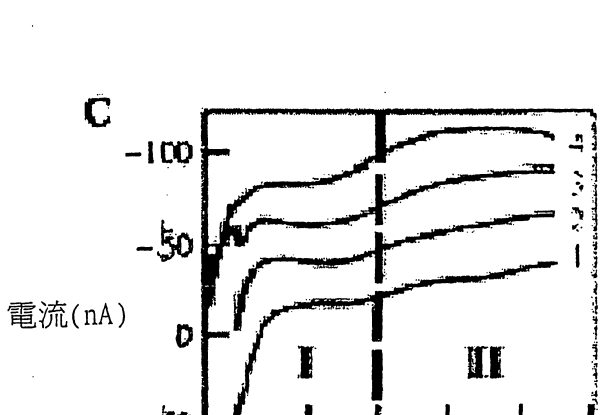


圖 28C

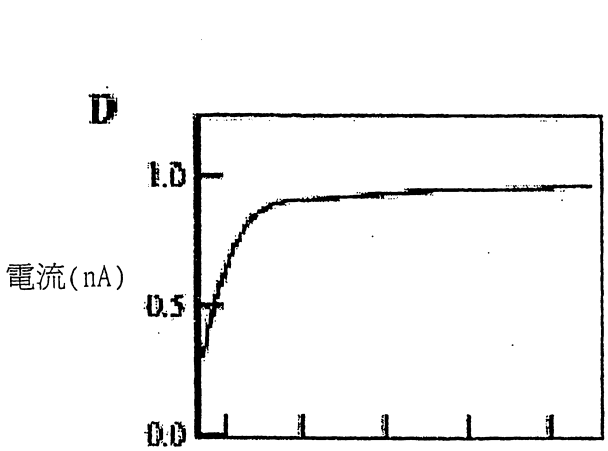


圖 28D

A

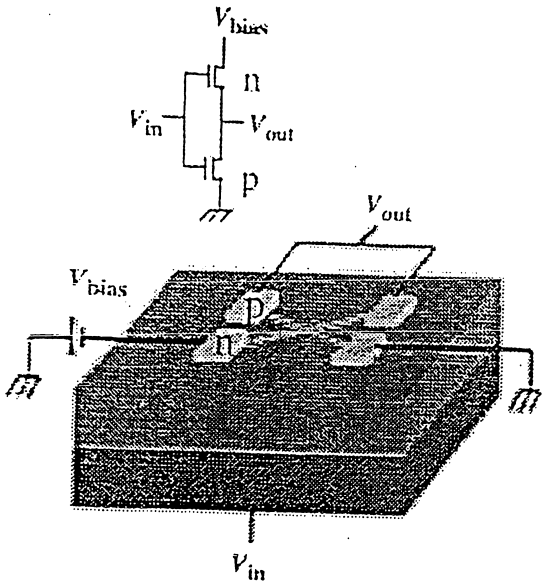

V_{bias}
n
V_{in}
V_{out}
p
V_{out}
V_{bias}
p
n
V_{in}

圖 29A

B

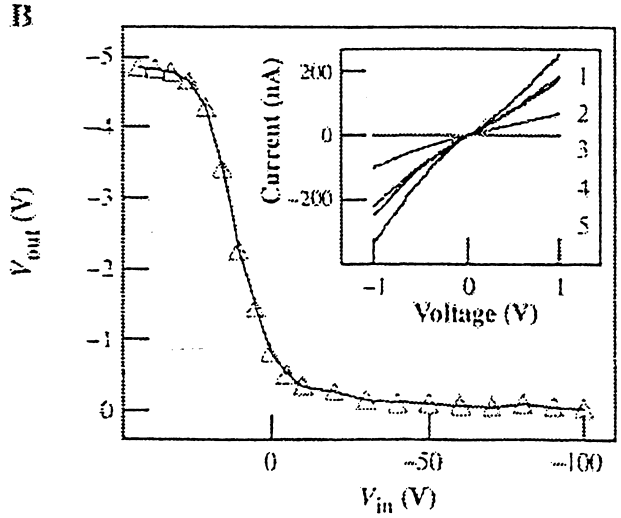

V_{out} (V)
-5
-4
-3
-2
-1
0
0
-50
-100
V_{in} (V)
Current (nA)
200
0
-200
-1
0
1
Voltage (V)
1
2
3
4
5

圖 29B

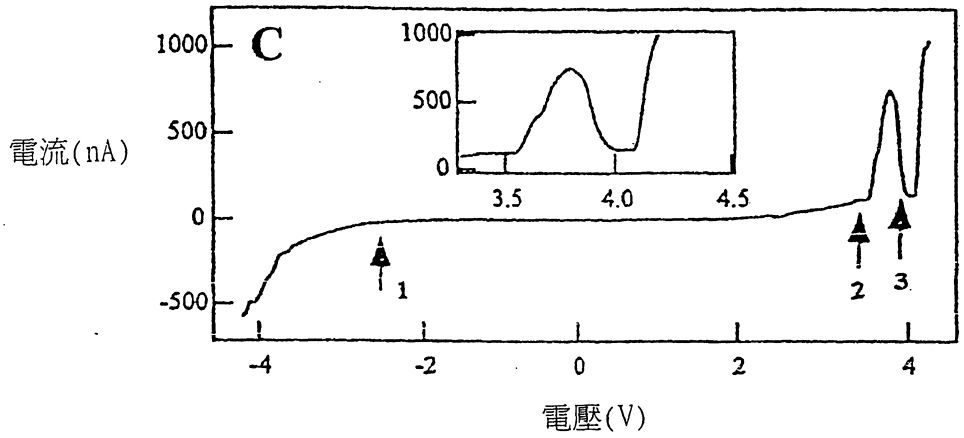

C
1000
500
0
-500
電流(nA)
1000
500
0
3.5
4.0
4.5
1
2
3
-4
-2
0
2
4
電壓(V)

圖 29C

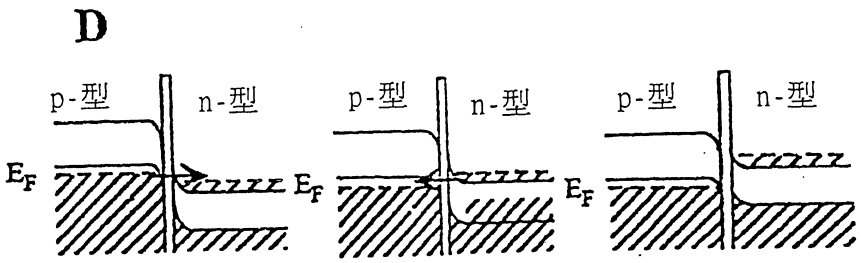

D
p-型
n-型
E_F
p-型
n-型
E_F
p-型
n-型
E_F

圖 29D

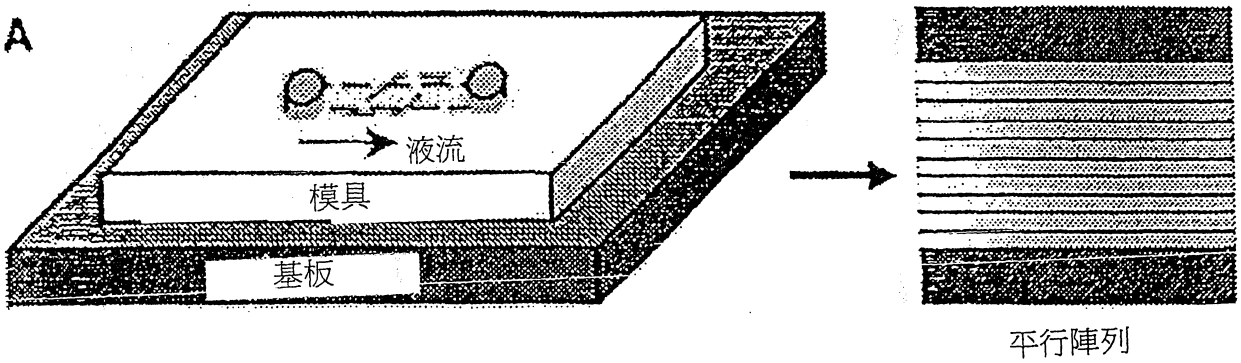


圖 30A

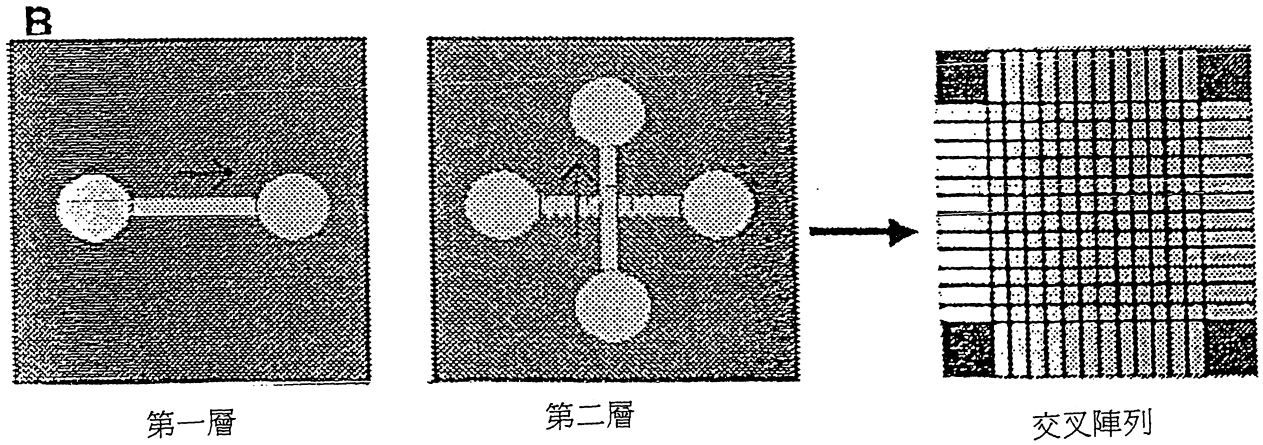


圖 30B

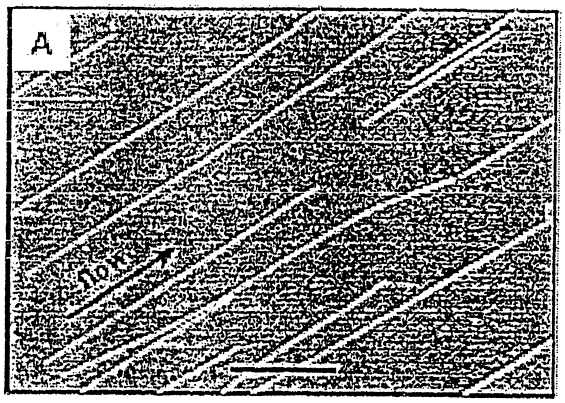


圖 31A

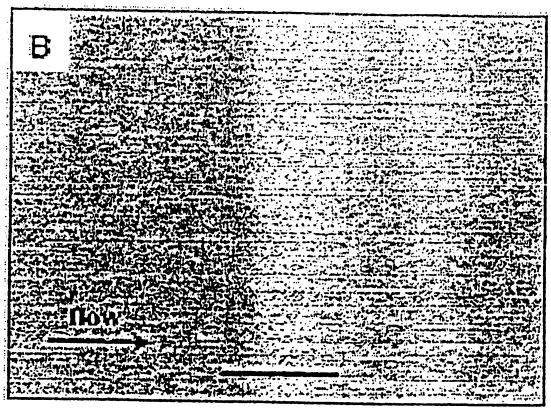


圖 31B

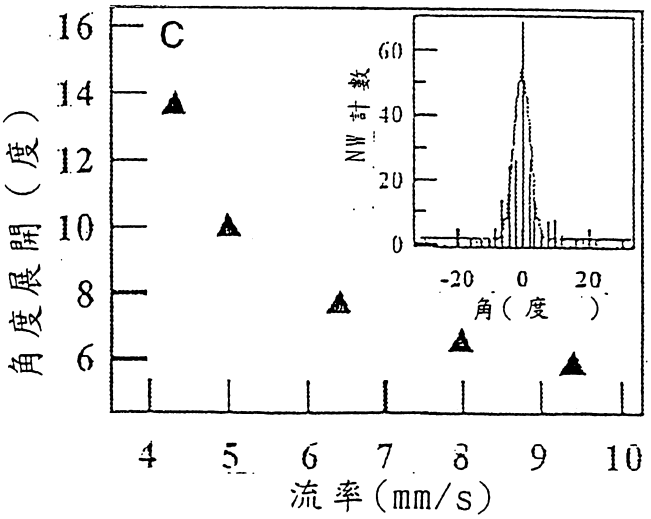


圖 31C

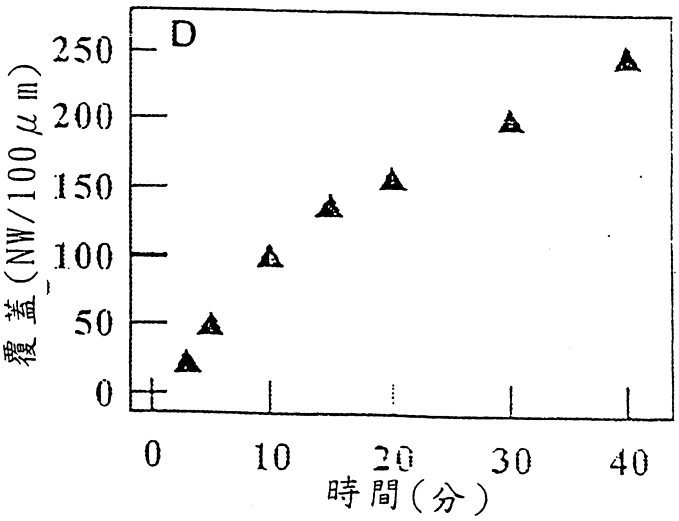


圖 31D

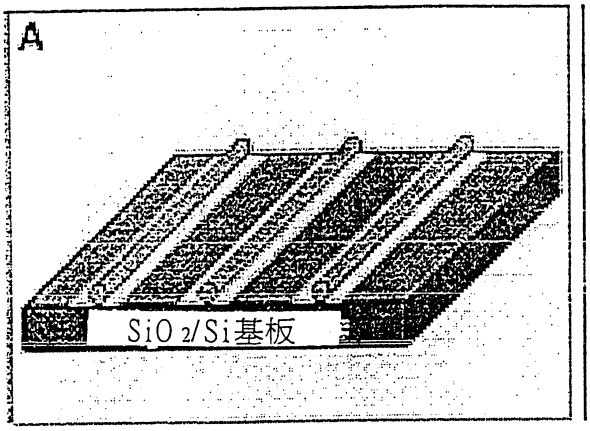


圖 32A

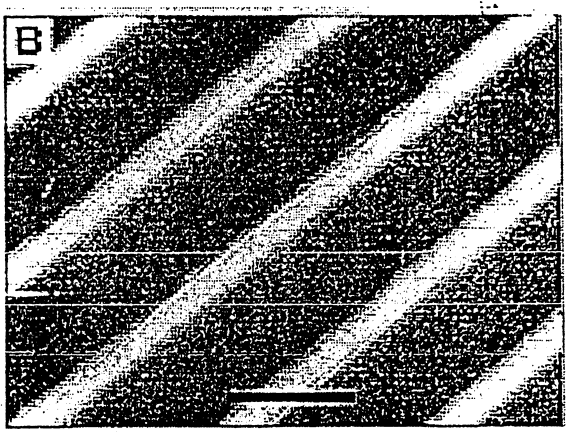


圖 32B

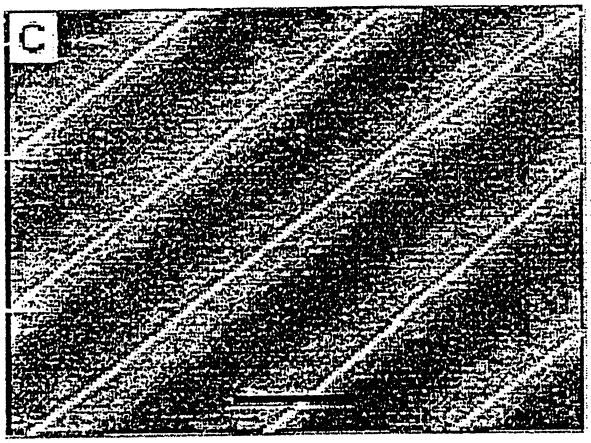


圖 32C

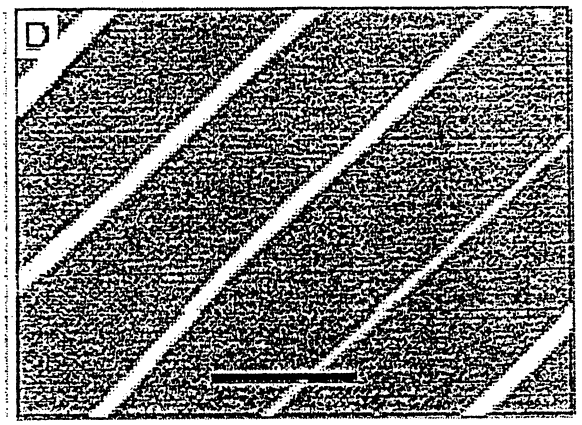


圖 32D

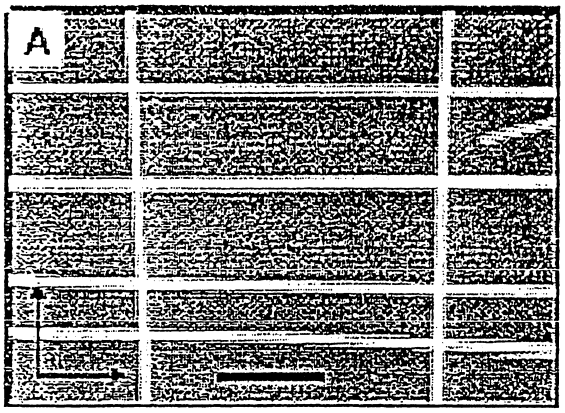


圖 33A

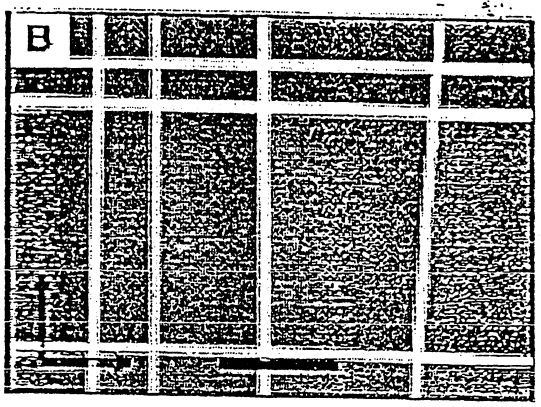


圖 33B

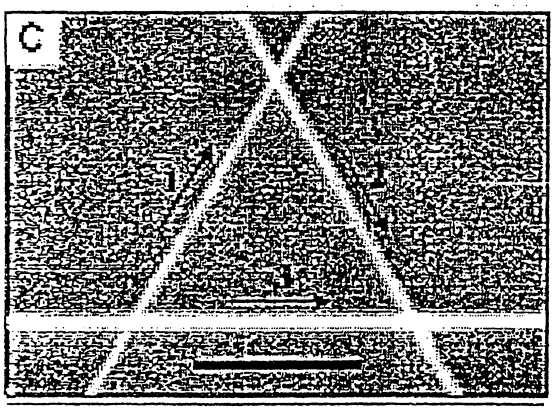


圖 33C

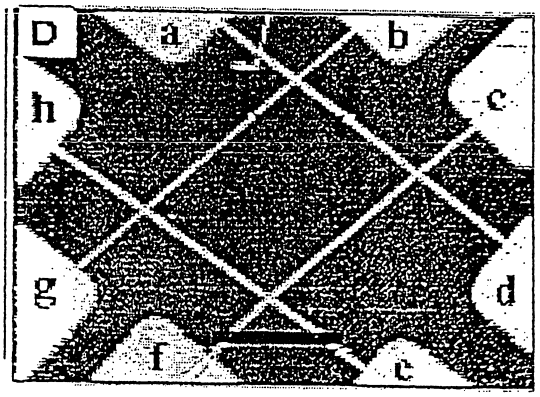


圖 33D

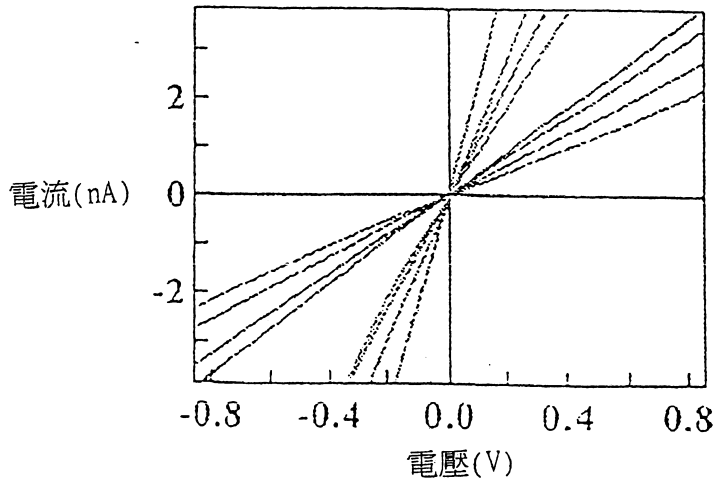


圖 33E

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明:

L1	圓柱形半導體物件
L2	長度
L3	縱軸
L4	寬度
L5	點處
L6	該交叉區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

96年5月9日修(更)正替換頁

十、申請專利範圍：

1. 一種自立式、本體摻雜之半導體，其包含至少一具有窄於 500 奈米之最小寬度的部份，該半導體包括從一群組選取出的組成物，該群組包括：IV 族 - IV 族半導體、III 族 - V 族半導體、II 族 - VI 族半導體和 I 族 - VII 族半導體。

2. 如申請專利範圍第 1 項之半導體，其中該半導體包括：

一含有一第一半導體之內部核心；及

一含有不同於該第一半導體之材質的外部覆殼。

3. 如申請專利範圍第 1 項之半導體，其中該半導體包括一元素性半導體。

4. 如申請專利範圍第 3 項之半導體，其中該元素性半導體係從一群組選取出，該群組包括：Si、Ge、Sn、Se、Te、B、鑽石及 P。

5. 如申請專利範圍第 1 項之半導體，其中該半導體包括一元素性半導體固態溶液。

6. 如申請專利範圍第 5 項之半導體，其中該固態溶液係從一群組選取出，該群組包括：B-C、B-P(BP_6)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn。

7. 如申請專利範圍第 1 項之半導體，其中該半導體包括一 IV 族 - IV 族半導體。

8. 如申請專利範圍第 7 項之半導體，其中該 IV 族 - IV 族半導體為 SiC。

9. 如申請專利範圍第 1 項之半導體，其中該半導體包括一 III 族 - V 族半導體。

10. 如申請專利範圍第 9 項之半導體，其中該 III 族 - V 族半導體係從一群組選取出，該群組包括：BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs 以及 InN/InP/InAs。

11. 如申請專利範圍第 1 項之半導體，其中該半導體包括一含有兩種或更多種從一群組所選取出的 III 族 - V 族半導體之組合的合金，該群組包括：BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs 以及 InN/InP/InAs。

12. 如申請專利範圍第 1 項之半導體，其中該半導體包括一 II 族 - VI 族半導體。

13. 如申請專利範圍第 12 項之半導體，其中該半導體係從一群組選取出，該群組包括：ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe 及 BeS/BeSe/BeTe/MgS/MgSe。

14. 如申請專利範圍第 1 項之半導體，其中該半導體包括一含有兩種或更多種從一群組所選取出的 II 族 - VI 族半導體之組合的合金，該群組包括：ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe 及 BeS/BeSe/BeTe/MgS/MgSe。

15. 如申請專利範圍第 1 項之半導體，其中該半導體包括一合金，該合金含有 II 族 - VI 族半導體和 III 族 - V 族半導體的組合，II 族 - VI 族半導體從以下群組所選取出：ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe

及 BeS/BeSe/BeTe/MgS/MgSe，III 族－V 族半導體從以下群組所選取出：BN/BP/BAs、AlN/AlP/AlAs、GaN/GaP/GaAs 以及 InN/InP/InAs。

16. 如申請專利範圍第 1 項之半導體，其中該半導體包括一 IV 族－VI 族半導體。

17. 如申請專利範圍第 16 項之半導體，其中該半導體係從一群組選取出，該群組包括：GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe。

18. 如申請專利範圍第 1 項之半導體，其中該半導體包括一 I 族－VII 族半導體。

19. 如申請專利範圍第 18 項之半導體，其中該半導體係從一群組選取出，該群組包括：CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI。

20. 如申請專利範圍第 1 項之半導體，其中該半導體包含從一群組選取出之半導體，該群組包括：$BeSiN_2$、$CaCN_2$、$ZnGeP_2$、$CdSnAs_2$、$ZnSnSb_2$、$CuGeP_3$、$CuSi_2P_3$、$(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)_2$、$Si_3N_4$、$Ge_3N_4$、$Al_2O_3$、$(Al, Ga, In)_2(S, Se, Te)_3$ 和 Al_2CO。

21. 如申請專利範圍第 1 項之半導體，其中該半導體包括一週期表上 III 族之 p－型摻入物。

22. 如申請專利範圍第 1 項之半導體，其中該半導體包括一週期表上 V 族之 n－型摻入物。

23. 如申請專利範圍第 1 項之半導體，其中該半導體包括一自如下群組所選出之 p－型摻入物：B、Al 和 In。

24. 如申請專利範圍第 1 項之半導體，其中該半導體包括一自如下群組所選出之 n- 型摻入物：P、As 和 Sb。

25. 如申請專利範圍第 1 項之半導體，其中該半導體包括一週期表上 II 族之 p- 型摻入物。

26. 如申請專利範圍第 25 項之半導體，其中該 p- 型摻入物係自如下群組所選出：Mg、Zn、Cd 和 Hg。

27. 如申請專利範圍第 1 項之半導體，其中該半導體包括一週期表上 IV 族之 p- 型摻入物。

28. 如申請專利範圍第 27 項之半導體，其中該 p- 型摻入物係自如下群組所選出：C 和 Si。

29. 如申請專利範圍第 1 項之半導體，其中該半導體包括 n- 型摻入物，其係自如下群組所選出：Si、Ge、Sn、S、Se 和 Te。

30. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 200 奈米。

31. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 150 奈米。

32. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 100 奈米。

33. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 80 奈米。

34. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 70 奈米。

35. 如申請專利範圍第 1 項之半導體，其中該最小寬

度為少於 60 奈米。

36. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 40 奈米。

37. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 20 奈米。

38. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 10 奈米。

39. 如申請專利範圍第 1 項之半導體，其中該最小寬度為少於 5 奈米。

40. 如申請專利範圍第 1 項之半導體，其中該半導體係自立式。

41. 如申請專利範圍第 1 項之半導體，其中該半導體係經長化。

42. 如申請專利範圍第 1 項之半導體，其中該半導體包含一單結晶。

43. 如申請專利範圍第 1 項之半導體，其中該半導體係裝置之一部份。

44. 如申請專利範圍第 1 項之半導體，其中該半導體為 n－摻雜。

45. 如申請專利範圍第 1 項之半導體，其中該半導體為 p－摻雜。

46. 一種半導體，其中沿一本體摻雜與長化縱軸區段的點處具有窄於 500 奈米之最小寬度。

47. 如申請專利範圍第 46 項之半導體，其中該半導體

包括：

一含有一第一半導體之內部核心；及

一含有不同於該第一半導體之材質的外部覆殼。

48. 如申請專利範圍第 46 項之半導體，其中於沿該半導體之縱軸區段的任何點處上，該區段長度對一最大寬度的比例高於 4：1。

49. 如申請專利範圍第 46 項之半導體，其中於沿該半導體之縱軸區段的任何點處上，該區段長度對一最大寬度的比例高於 10：1。

50. 如申請專利範圍第 46 項之半導體，其中於沿該半導體之縱軸區段的任何點處上，該區段長度對一最大寬度的比例高於 100：1。

51. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 200 奈米之最小寬度。

52. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 150 奈米之最小寬度。

53. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 100 奈米之最小寬度。

54. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 80 奈米之最小寬度。

55. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 70 奈米之最小寬度。

56. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 60 奈米之最小寬度。

57. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 40 奈米之最小寬度。

58. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 20 奈米之最小寬度。

59. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 10 奈米之最小寬度。

60. 如申請專利範圍第 46 項之半導體，其中該點處具有窄於 5 奈米之最小寬度。

61. 如申請專利範圍第 46 項之半導體，其中該半導體包含一單結晶。

62. 如申請專利範圍第 46 項之半導體，其中該半導體係自立式。

63. 如申請專利範圍第 46 項之半導體，其中該半導體係裝置之一部份。

64. 如申請專利範圍第 46 項之半導體，其中該半導體為 n－摻雜。

65. 如申請專利範圍第 46 項之半導體，其中該半導體為 p－摻雜。

66. 一種摻雜之半導體，其基本上由一單晶所構成，其中該半導體包括：

一含有一第一半導體之內部核心；及

在內部核心之外的一或多個外部覆殼，而至少一外部覆殼含有不同於該第一半導體之材質。

67. 如申請專利範圍第 66 項之半導體，其中該半導體

包括：

一含有一第一半導體之內部核心；及

一含有不同於該第一半導體之材質的外部覆殼。

68. 如申請專利範圍第 66 項之半導體，其中該半導體係本體摻雜。

69. 如申請專利範圍第 66 項之半導體，其中該半導體係自立式。

70. 如申請專利範圍第 66 項之半導體，其中該半導體包含窄於 500 奈米之寬度的部份。

71. 如申請專利範圍第 66 項之半導體，其中該半導體係經長化。

72. 如申請專利範圍第 66 項之半導體，其中該半導體係裝置之一部份。

73. 如申請專利範圍第 66 項之半導體，其中該半導體為 n－摻雜。

74. 如申請專利範圍第 66 項之半導體，其中該半導體為 p－摻雜。

75. 一種摻雜之半導體，其係在半導體成長過程中所摻雜，其中該摻雜之半導體為藉由對一或更多半導體分子以及一或更多摻入物分子施加能量所成長。

76. 如申請專利範圍第 75 項之半導體，其中該摻雜半導體為藉由對一或更多半導體分子以及一或更多摻入物分子施加能量所成長。

77. 如申請專利範圍第 1 項之半導體，其中該摻雜半

導體為藉由對一或更多半導體分子以及一或更多摻入物分子施加能量所成長。

78. 如申請專利範圍第 66 項之半導體，其中該摻雜半導體為藉由對一或更多半導體分子以及一或更多摻入物分子施加能量所成長。

79. 如申請專利範圍第 75 項之半導體，其中該半導體係本體摻雜。

80. 如申請專利範圍第 75 項之半導體，其中該半導體包含一單結晶。

81. 如申請專利範圍第 75 項之半導體，其中該半導體係自立式。

82. 如申請專利範圍第 75 項之半導體，其中該半導體包含窄於 500 奈米之寬度的部份。

83. 如申請專利範圍第 75 項之半導體，其中該半導體係經長化。

84. 如申請專利範圍第 75 項之半導體，其中該半導體為 n－摻雜。

85. 如申請專利範圍第 75 項之半導體，其中該半導體為 p－摻雜。

86. 一種本體摻雜之半導體，其係下列當中至少一者：一單晶、一於沿其縱軸的任何點上具有小於 500 奈米之最大截面維度的長化本體摻雜半導體、一具有至少一窄於 500 奈米之最小寬度部份的自立式本體摻雜半導體，其中由一本體摻雜半導體區段所產生之現象可展現出因該區段維度

所造成的量子禁限。

87. 如申請專利範圍第 86 項之半導體，其中該區段為縱軸區段，並且該維度為沿該縱軸區段之寬度。

88. 如申請專利範圍第 87 項之半導體，其中該縱軸區段能夠回應於激發作用而發出光線，其中發出之光線波長與該寬度相關。

89. 如申請專利範圍第 88 項之半導體，其中所發出之光線的波長與該寬度成正比。

90. 一種含有一或多種摻雜半導體之溶液，其中各半導體至少一者係本體摻雜之半導體且包含至少一具有窄於 500 奈米之最小寬度的部份，該一或多種摻雜半導體之至少一者包括：

一含有一第一半導體之內部核心；及

在內部核心之外的一或多個外部覆殼，而至少一外部覆殼含有不同於該第一半導體之材質。

91. 一種包括至少一本體摻雜半導體之裝置，其中該至少一摻雜半導體係下列當中至少一者：一單晶、一於沿其縱軸的任何點上具有小於 500 奈米之最大截面維度的長化本體摻雜半導體、一具有至少一窄於 500 奈米之最小寬度部份的本體摻雜半導體。

92. 如申請專利範圍第 91 項之裝置，其中該至少一半導體係自立式。

93. 如申請專利範圍第 91 項之裝置，其中該至少一半導體係經長化。

94. 如申請專利範圍第 91 項之裝置，其中該至少一半導體包含一單結晶。

95. 如申請專利範圍第 91 項之裝置，其中該至少一半導體包括：

一含有一第一半導體之內部核心；及

一含有不同於該第一半導體之材質的外部覆殼。

96. 如申請專利範圍第 91 項之裝置，其中該裝置包括一切換器。

97. 如申請專利範圍第 91 項之裝置，其中該裝置包括一二極體。

98. 如申請專利範圍第 91 項之裝置，其中該裝置包括一發光二極體。

99. 如申請專利範圍第 91 項之裝置，其中該裝置包括一隧穿二極體。

100. 如申請專利範圍第 91 項之裝置，其中該裝置包括一電晶體。

101. 如申請專利範圍第 91 項之裝置，其中該裝置包括一雙極接合電晶體。

102. 如申請專利範圍第 91 項之裝置，其中該裝置包括一場效電晶體。

103. 如申請專利範圍第 91 項之裝置，其中該裝置包括一反相器。

104. 如申請專利範圍第 103 項之裝置，其中該裝置包括不超過兩個本體摻雜半導體，各個本體摻雜半導體包含

至少一具有窄於500奈米之最小寬度的部份。

105. 如申請專利範圍第91項之裝置，其中該裝置包括一光學式感測器。

106. 如申請專利範圍第91項之裝置，其中該裝置包括一化學式感測器。

107. 如申請專利範圍第91項之裝置，其中該裝置包括一生物式感測器。

108. 如申請專利範圍第91項之裝置，其中該裝置包括一記憶體裝置。

109. 如申請專利範圍第108項之裝置，其中該裝置包括一動態記憶體裝置。

110. 如申請專利範圍第108項之裝置，其中該裝置包括一靜態記憶體裝置。

111. 如申請專利範圍第91項之裝置，其中該裝置包括一雷射。

112. 如申請專利範圍第91項之裝置，其中該裝置包括一邏輯閘器。

113. 如申請專利範圍第112項之裝置，其中該裝置包括一 AND 閘器。

114. 如申請專利範圍第112項之裝置，其中該裝置包括一 NAND 閘器。

115. 如申請專利範圍第112項之裝置，其中該裝置包括一 EXCLUSIVE-AND 閘器。

116. 如申請專利範圍第112項之裝置，其中該裝置包

括一 OR 閘器。

117. 如申請專利範圍第 112 項之裝置，其中該裝置包括一 NOR 閘器。

118. 如申請專利範圍第 112 項之裝置，其中該裝置包括一 EXCLUSIVE-OR 閘器。

119. 如申請專利範圍第 91 項之裝置，其中該裝置包括一鎖閂器。

120. 如申請專利範圍第 91 項之裝置，其中該裝置包括一暫存器。

121. 如申請專利範圍第 91 項之裝置，其中該裝置包括一時鐘電路。

122. 如申請專利範圍第 91 項之裝置，其中該裝置包括一邏輯陣列。

123. 如申請專利範圍第 91 項之裝置，其中該裝置包括一狀態機。

124. 如申請專利範圍第 91 項之裝置，其中該裝置包括一可程式化電路。

125. 如申請專利範圍第 91 項之裝置，其中該裝置包括一放大器。

126. 如申請專利範圍第 91 項之裝置，其中該裝置包括一變壓器。

127. 如申請專利範圍第 91 項之裝置，其中該裝置包括一信號處理器。

128. 如申請專利範圍第 91 項之裝置，其中該裝置包

括一數位電路。

129. 如申請專利範圍第 91 項之裝置，其中該裝置包括一類比電路。

130. 如申請專利範圍第 91 項之裝置，其中該裝置包括具有數位和類比諸元的電路。

131. 如申請專利範圍第 91 項之裝置，其中該裝置包括另一半導體，其經電子耦接於該至少一本體摻雜半導體。

132. 如申請專利範圍第 131 項之裝置，其中該另一半導體為一本體摻雜半導體，其包含至少一具有窄於 500 奈米之最小寬度的部份。

133. 如申請專利範圍第 91 項之裝置，其中該裝置包括另一半導體，其經光學耦接於該至少一本體摻雜半導體。

134. 如申請專利範圍第 133 項之裝置，其中該另一半導體為一本體摻雜半導體，其包含至少一具有窄於 500 奈米之最小寬度的部份。

135. 如申請專利範圍第 91 項之裝置，其中該裝置包括另一半導體，其經磁性耦接於該至少一本體摻雜半導體。

136. 如申請專利範圍第 135 項之裝置，其中該另一半導體為一本體摻雜半導體，其包含至少一具有窄於 500 奈米之最小寬度的部份。

137. 如申請專利範圍第 91 項之裝置，其中該裝置包

括另一半導體，其經實體接觸於該至少一本體摻雜半導體。

138. 如申請專利範圍第 137 項之裝置，其中該另一半導體為一本體摻雜半導體，其包含至少一具有窄於 500 奈米之最小寬度的部份。

139. 如申請專利範圍第 91 項之裝置，其中該至少一半導體係耦接於一電子接觸處。

140. 如申請專利範圍第 91 項之裝置，其中該至少一半導體係耦接於一光學接觸處。

141. 如申請專利範圍第 91 項之裝置，其中該至少一半導體係耦接於一磁性接觸處。

142. 如申請專利範圍第 91 項之裝置，其中該至少一半導體之電導性可回應於一信號所控制。

143. 如申請專利範圍第 142 項之裝置，其中該至少一半導體之電導性係可按一數值範圍內的任何數值所控制。

144. 如申請專利範圍第 142 項之裝置，其中該至少一半導體可於兩種或更多種的狀態間切換。

145. 如申請專利範圍第 144 項之裝置，其中該至少一半導體依據信號可於一導電狀態和一絕緣狀態之間切換。

146. 如申請專利範圍第 144 項之裝置，其中可維持該至少一半導體的兩種或更多種狀態而無須施以信號。

147. 如申請專利範圍第 142 項之裝置，其中該至少一半導體之電導性可回應於一電子信號所控制。

148. 如申請專利範圍第 142 項之裝置，其中該至少一

半導體之電導性可回應於一光學信號所控制。

149. 如申請專利範圍第 142 項之裝置，其中該至少一半導體之電導性可回應於一磁性信號所控制。

150. 如申請專利範圍第 142 項之裝置，其中該至少一半導體之電導性可回應於一閘器終端信號所控制。

151. 如申請專利範圍第 150 項之裝置，其中該閘器終端並非實體接觸於該至少一半導體。

152. 如申請專利範圍第 91 項之裝置，其中該等半導體中至少兩者係按陣列方式排置，且排置於該陣列中至少其一之半導體係本體摻雜半導體，其包含至少一具有窄於 500 奈米之最小寬度的部份。

153. 如申請專利範圍第 152 項之裝置，其中該陣列係一排序陣列。

154. 如申請專利範圍第 152 項之裝置，其中該陣列並非一排序陣列。

155. 如申請專利範圍第 91 項之裝置，其中該裝置包含兩個或更多個個別且互聯的電路，至少其一電路並不包括包含至少一具有窄於 500 奈米之最小寬度部份的本體摻雜半導體。

156. 如申請專利範圍第 91 項之裝置，其中該裝置係經實作於一具有一個或更多腳針之晶片上。

157. 如申請專利範圍第 156 項之裝置，其中該晶片包含個別且互聯的電路，至少其一電路並不包括包含至少一具有窄於 500 奈米之最小寬度部份的本體摻雜半導體。

158. 一組用以成長本體摻雜半導體的試劑，該半導體包含至少一具有窄於 500 奈米之最小寬度的部份，該組試劑包含一半導體試劑和一摻入物試劑。

159. 一種半導體成長之方法，該方法包含一動作：

(A)在半導體成長過程中進行半導體摻雜的同時控制該半導體的寬度，此係藉由對一組分子施加能量來進行，該組分子包括半導體分子、摻入物分子以及觸媒材質分子。

160. 如申請專利範圍第 159 項之方法，其中該半導體係自立式。

161. 如申請專利範圍第 160 項之方法，其中該半導體具有不超過 100 奈米之最小寬度。

162. 如申請專利範圍第 159 項之方法，其中該動作(A)包含：

控制該摻雜作業範圍。

163. 如申請專利範圍第 159 項之方法，其中該動作(A)包含對一組分子施加能量來成長摻雜之半導體，該組分子包含該半導體的分子及一摻入物的分子。

164. 如申請專利範圍第 163 項之方法，其中該動作(A)包含：

控制該摻雜作業範圍。

165. 如申請專利範圍第 164 項之方法，其中該控制摻雜的動作包含控制該半導體分子數量對摻入物分子數量的比例。

166. 如申請專利範圍第 164 項之方法，其中該動作(A)

更包含：

利用雷射氣化該等分子以構成氣化分子。

167. 如申請專利範圍第 166 項之方法，其中該動作(A)更包含：

從氣化分子成長出該半導體。

168. 如申請專利範圍第 166 項之方法，其中該動作(A)更包含：

濃縮該等氣化分子成為液態簇團。

169. 如申請專利範圍第 168 項之方法，其中該動作(A)更包含：

從該液態簇團成長出該半導體。

170. 如申請專利範圍第 166 項之方法，其中係利用雷射輔助觸媒成長來執行該動作(A)。

171. 如申請專利範圍第 163 項之方法，其中該分子組包含一觸媒材質的分子簇團。

172. 如申請專利範圍第 171 項之方法，其中該動作(A)包含：

控制該半導體寬度。

173. 如申請專利範圍第 172 項之方法，其中該控制該半導體寬度包含：

控制該觸媒簇團的寬度。

174. 一種製作一裝置的方法，包含如下動作：

(A)將一或更多半導體接觸至一表面，其中至少其一半導體為本體摻雜半導體，其包含至少一具有窄於 500 奈米

之最小寬度的部份。

175. 如申請專利範圍第 174 項之方法，其中該表面為一基板。

176. 如申請專利範圍第 174 項之方法，更包含下列動作：

(B)在進行動作(A)之前，藉由對半導體分子及摻入物分子施加能量以成長至少一半導體。

177. 如申請專利範圍第 174 項之方法，其中該動作(A)包含：

將一含有一或更多半導體之溶液接觸到該表面。

178. 如申請專利範圍第 177 項之方法，更包含下者：

(B)利用一電場來對準該表面上的一或更多半導體。

179. 如申請專利範圍第 178 項之方法，其中該動作(B)包含：

在至少兩個電極間產生一電場；以及

在各電極間定位該一或更多半導體。

180. 如申請專利範圍第 177 項之方法，更包含如下動作：

(B)以另一含有一或更多其他半導體之溶液而重覆動作(A)，其中該等其他半導體至少一者為本體摻雜半導體，其包含至少一具有窄於 500 奈米之最小寬度的部份。

181. 如申請專利範圍第 174 項之方法，更包含如下動作：

(B)調節該表面，以將該一或更多經接觸之半導體接附

於該表面。

182. 如申請專利範圍第 181 項之方法，其中該動作(B)包含：

在該表面上構成出諸多通道。

183. 如申請專利範圍第 181 項之方法，其中該動作(B)包含：

樣式化該表面上。

184. 如申請專利範圍第 174 項之方法，更包含如下動作：

(B)利用電場將該表面上的該一或更多半導體對準。

185. 如申請專利範圍第 184 項之方法，其中該動作(B)包含：

在至少兩個電極間產生一電場；以及

在各電極間定位該一或更多半導體。

186. 一種產生光線之方法，包含如下動作：

(A)對一或更多半導體施加能量，致使該一或更多半導體發射光線，該等半導體至少一者具有一窄於 500 奈米之最小寬度。

187. 如申請專利範圍第 186 項之方法，其中該至少一半導體具有窄於 100 奈米之最小寬度。

188. 如申請專利範圍第 186 項之方法，其中該至少一半導體係本體摻雜。

189. 如申請專利範圍第 186 項之方法，其中該至少一半導體包含一直接能帶間隙半導體。

190. 如申請專利範圍第 186 項之方法，其中該動作(A)包含跨於兩個交叉半導體的接合處來施加一電壓，各個半導體具有窄於 500 奈米之最小寬度。

191. 如申請專利範圍第 190 項之方法，其中各個半導體具有窄於 100 奈米之最小寬度。

192. 如申請專利範圍第 186 項之方法，更包含如下動作：

(B)藉控制該具有窄於 100 奈米之最小寬度的至少一半導體的維度，來控制所發射出的光線波長。

193. 如申請專利範圍第 192 項之方法，其中該半導體係經長化，且該動作(B)包含：

控制該長化半導體的寬度。

194. 如申請專利範圍第 192 項之方法，其中：

該半導體具有一項性質，即如果半導體的質團具有最小的最短維度，則該半導體質團可發出第一波長的光線，並且

該半導體的受控維度係小於該最小的最短維度。

195. 一種製作一具有至少一摻雜半導體元件和一或更多其他元件之裝置的方法，該方法包含如下動作：

(A)將一半導體予以摻雜，以產生該摻雜半導體元件；以及

(B)將該摻雜半導體元件接附於該一或更多其他元件中的至少一者。

196. 如申請專利範圍第 195 項之方法，其中該半導體

元件為奈米線路的至少一部分。

197. 如申請專利範圍第 195 項之方法，其中該動作(A)包含：

於該半導體的成長過程中進行摻雜。

198. 一種藉可控制方式來組裝半導體裝置的製程，該裝置擁有長化元件，其具備依該元件橫斷方向而在奈米尺寸的特徵性維度，該製程包含：

產生至少一第一摻雜型態之第一元件；

將該第一元件朝指於一第一方向；以及

將該第一元件連接到至少一第一接觸處，讓一電流得以行經該第一元件。

199. 如申請專利範圍第 198 項之製程，其更包含：

產生至少一第二摻雜型態之第二元件，

將該第二元件朝指向不同於該第一方向的第二方向，

產生該第一元件與該第二元件之電性接觸處，並且

將該第二元件連接到至少一第二接觸處，讓一電流得以行經該第一元件與該第二元件之間。

200. 如申請專利範圍第 198 項之製程，其更包含：

將該第一元件連接到多個空間隔置的接觸處，並在多個空間隔置接觸之間置放一鄰近於該第一元件的閘器電極，藉此構成一 FET。

201. 如申請專利範圍第 198 項之製程，其中該半導體裝置係自如下群組所選出之材質所構成：Si、Ge、GaP 和 GaAs。

202. 如申請專利範圍第 198 項之製程，其中該第一摻雜型態為 n- 型或 p- 型其中一者。

203. 如申請專利範圍第 202 項之製程，其中如該第一摻雜型態為 p- 型，則第二摻雜型態為 n- 型，且如該第一摻雜型態為 n- 型，則第二摻雜型態為為 p- 型。

204. 如申請專利範圍第 198 項之製程，其中藉由施加電場或液體流當中至少一者，來調控該第一元件朝指方向。

205. 如申請專利範圍第 204 項之製程，其中該第一元件係懸浮於該液體流中。

206. 如申請專利範圍第 198 項之製程，其中藉由施加一器械機具，來調控該第一元件朝指方向。

207. 如申請專利範圍第 206 項之製程，其中藉由施加電場或液體流當中至少一者，來調控該第二元件朝指方向。

208. 如申請專利範圍第 207 項之製程，其中該第二元件係懸浮於該液體流中。

209 如申請專利範圍第 207 項之製程，其中藉由施加一器械機具，來調控該第二元件朝指方向。

210. 一種半導體裝置，其包含：

一矽質基板，其具有一金屬接觸陣列；

一交叉橫棒切換器元件，經構成而為電性連通於該陣列，且具有一由 p- 型半導體奈米線路所構成之第一橫棒，以及

一第二橫棒，由 n－型半導體奈米線路所構成，而依空間相隔方式置放離開該第一橫棒並與其橫斷交置。

211. 如申請專利範圍第 210 項之半導體裝置，其中該第二橫棒係以 1－10 nm 空間相隔離於該第一橫棒。

212. 一種用以製造奈米線路半導體裝置的方法，其包含：

藉由於兩個接觸點之間施加一電位，而將一第一奈米線路定位於該等接觸點之間；及

將一第二奈米線路定位於其他兩個接觸點之間，

其中第一和第二奈米線路當中至少一者是本體摻雜之半導體而包含至少一具有窄於 500 奈米之最小寬度的部分。

213. 一種用以製造奈米線路半導體裝置的方法，其包含構成一表面，而表面的一或更多區域可選擇性地吸引包含至少一具有窄於 500 奈米之最小寬度部分的本體摻雜半導體之奈米線路。

214. 一種從奈米線路來製造發光二極體的方法，該二極體具有由兩個摻雜之奈米線路間的 p－n 接合維度所決定之發射波長，其中兩個摻雜之奈米線路當中至少一者是本體摻雜之半導體而包含至少一具有窄於 500 奈米之最小寬度的部分。

215. 一種半導體接合處之製法，其藉由將 p－型奈米線路與 n－型奈米線路相互交叉而成，其中 p－型奈米線路與 n－型奈米線路當中至少一者是本體摻雜之半導體而

包含至少一具有窄於500奈米之最小寬度的部分。

216. 一種電裝置，其包括組合在一起而電相通成為該裝置之元件的至少四條半導體奈米線路，該至少四條半導體奈米線路的每一者包含至少一具有窄於 50 奈米之最小寬度的部分；其中該至少四條半導體奈米線路是選自一群半導體奈米線路，該群半導體奈米線路彼此個別的平均直徑變化乃小於 20%，並且是由以下方法所做成：選擇一群直徑變化小於 20%的觸媒膠體顆粒，以及從該觸媒膠體顆粒催化長出該群半導體奈米線路；藉此產生該群半導體奈米線路，其個別的平均直徑變化乃小於 20%，而由此選出該至少四條半導體奈米線路，其個別的平均直徑變化乃小於 20%。

217. 如申請專利範圍第 216 項之裝置，其中該裝置包括的至少一條半導體奈米線路包含：

一含有一第一半導體材質之內部核心；及

在內部核心之外的一或多個外部覆殼，而至少一外部覆殼含有不同於該第一半導體材質的材質。

218. 如申請專利範圍第 216 項之裝置，其中該裝置包括的至少一條半導體奈米線路包含一元素性半導體的固態溶液。

219. 如申請專利範圍第 218 項之裝置，其中該固態溶液係從一群組選取出，該群組包括：B-C、B-P(BP6)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn。

220. 如申請專利範圍第 216 項之裝置，其中該裝置包

括的至少一條半導體奈米線路包含一 IV 族－IV 族半導體材質。

221. 如申請專利範圍第 220 項之裝置，其中該 IV 族－IV 族半導體材質為 SiC。

222. 如申請專利範圍第 216 項之裝置，其中該最小寬度為少於 40 奈米。

223. 如申請專利範圍第 216 項之裝置，其中該最小寬度為少於 20 奈米。

224. 如申請專利範圍第 216 項之裝置，其中該最小寬度為少於 10 奈米。

225. 如申請專利範圍第 216 項之裝置，其中該最小寬度為少於 5 奈米。

226. 如申請專利範圍第 216 項之裝置，其中該至少四條半導體奈米線路的至少一者係經長化，並且該至少一條半導體奈米線路的至少一部分是縱向區段。

227. 如申請專利範圍第 226 項之裝置，其中該縱向區段的長度對一最大寬度的比例高於 4：1。

228. 如申請專利範圍第 226 項之裝置，其中該縱向區段的長度對一最大寬度的比例高於 10：1。

229. 如申請專利範圍第 226 項之裝置，其中該縱向區段的長度對一最大寬度的比例高於 100：1。

230. 如申請專利範圍第 226 項之裝置，其中該縱向區段的長度對一最大寬度的比例高於 1000：1。

231. 如申請專利範圍第 216 項之裝置，其中該裝置包

括的至少一條半導體奈米線路包含一單晶。

232. 一種電裝置，其包括組合在一起而電相通成為該裝置之元件的至少四條半導體奈米線路，該至少四條半導體奈米線路的每一者具有縱軸，使得在沿該縱軸的任何點處上，該半導體的最大截面維度乃小於 50 奈米；其中該至少四條半導體奈米線路是選自一群半導體奈米線路，該群半導體奈米線路彼此個別的平均直徑變化乃小於 20%，並且是由以下方法所做成：選擇一群直徑變化小於 20%的觸媒膠體顆粒，以及從該觸媒膠體顆粒催化長出該群半導體奈米線路；藉此產生該群半導體奈米線路，其個別的平均直徑變化乃小於 20%，而由此選出該至少四條半導體奈米線路，其個別的平均直徑變化乃小於 20%。

233. 如申請專利範圍第 232 項之裝置，其中該至少四條半導體奈米線路的至少一者包含：

一含有一第一半導體材質之內部核心；及

在內部核心之外的一或多個外部覆殼，而至少一外部覆殼含有不同於該第一半導體材質的材質。

234. 如申請專利範圍第 232 項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該區段的長度對一最大寬度的比例高於 4：1。

235. 如申請專利範圍第 232 項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該區段的長度對一最大寬度的比例高於 10：1。

236. 如申請專利範圍第 232 項之裝置，其中在沿該至

少四條半導體奈米線路的至少一者之縱軸的任何點處上，該區段的長度對一最大寬度的比例高於100：1。

237. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該區段的長度對一最大寬度的比例高於1000：1。

238. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於200奈米。

239. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於150奈米。

240. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於100奈米。

241. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於80奈米。

242. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於70奈米。

243. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於60奈米。

244. 如申請專利範圍第232項之裝置，其中在沿該至

少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於40奈米。

245. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於20奈米。

246. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於10奈米。

247. 如申請專利範圍第232項之裝置，其中在沿該至少四條半導體奈米線路的至少一者之縱軸的任何點處上，該至少一條半導體奈米線路的最小寬度為少於5奈米。

248. 如申請專利範圍第232項之裝置，其中該裝置包括的至少一條半導體奈米線路包含一單晶。

249. 如申請專利範圍第232項之裝置，其中該裝置包括的至少一條半導體奈米線路是n-摻雜。

250. 如申請專利範圍第232項之裝置，其中該裝置包括的至少一條半導體奈米線路是p-摻雜。

251. 一種電裝置，其包括組合在一起而電相通成為該裝置之元件的至少四條半導體奈米線路，該至少四條半導體奈米線路的每一者是選自一群半導體奈米線路，該群半導體奈米線路彼此個別的平均直徑變化乃小於20%，而該至少四條半導體奈米線路的每一者獨立地為以下至少一者：單晶、沿縱軸任何點的最大截面維度小於50奈米之經長化的半導體奈米線路、至少一部份的最小寬度小於50

奈米的半導體奈米線路；其中由半導體奈米線路一區段所產生的現象乃呈現由該區段維度所引起的量子禁限；並且其中該至少四條半導體奈米線路是由以下方法所做成：選擇一群直徑變化小於 20%的觸媒膠體顆粒，以及從該觸媒膠體顆粒催化長出該群半導體奈米線路；藉此產生該群半導體奈米線路，其個別的平均直徑變化乃小於 20%，而由此選出該至少四條半導體奈米線路，其個別的平均直徑變化乃小於 20%。

252. 如申請專利範圍第 251 項之裝置，其中該至少四條半導體奈米線路的至少一者係經長化，並且該至少一條半導體奈米線路的維度是沿該半導體奈米線路之縱向區段任何點處的寬度。

253. 一種電裝置，其包括組合在一起而電相通成為該裝置之元件的至少四條摻雜的半導體奈米線路，該至少四條摻雜的半導體奈米線路的每一者是選自一群半導體奈米線路，該群半導體奈米線路彼此個別的平均直徑變化乃小於 20%，而該至少四條摻雜的半導體奈米線路的每一者獨立地為以下至少一者：單晶、沿縱軸任何點的最大截面維度小於 50 奈米之經長化的半導體奈米線路、至少一部份的最小寬度小於 50 奈米的半導體奈米線路；其中該至少四條半導體奈米線路是由以下方法所做成：選擇一群直徑變化小於 20%的觸媒膠體顆粒，以及從該觸媒膠體顆粒催化長出該群半導體奈米線路；藉此產生該群半導體奈米線路，其個別的平均直徑變化乃小於 20%，而由此選出該至

少四條半導體奈米線路，其個別的平均直徑變化乃小於20%。

254. 如申請專利範圍第253項之裝置，其中該裝置包括的至少一條半導體奈米線路係經長化。

255. 如申請專利範圍第253項之裝置，其中該裝置包括的至少一條半導體奈米線路包含一單晶。

256. 如申請專利範圍第253項之裝置，其中該裝置包括的至少一條半導體奈米線路包含：

一含有一第一半導體材質之內部核心；及

一外部覆殼，其含有不同於該第一半導體材質的材質。

257. 如申請專利範圍第253項之裝置，其中該裝置包括另一條半導體奈米線路，其係電耦合於該至少四條摻雜的半導體奈米線路的至少一者。

258. 如申請專利範圍第253項之裝置，其中該裝置包括另一條半導體奈米線路，其係實體接觸於該至少四條摻雜的半導體奈米線路的至少一者。

259. 如申請專利範圍第253項之裝置，其中該至少四條半導體奈米線路的至少一者係耦合於電性接觸處。

260. 如申請專利範圍第253項之裝置，其中該至少四條半導體奈米線路的至少一者之電導性可回應於一信號所控制。

261. 如申請專利範圍第260項之裝置，其中該至少一條半導體奈米線路之電導性係可按一數值範圍內的任何數值所控制。

262. 如申請專利範圍第 260 項之裝置，其中該至少一條半導體奈米線路可於兩種或更多種的狀態間切換。

263. 如申請專利範圍第 262 項之裝置，其中該至少一條半導體奈米線路依據信號可於一導電狀態和一絕緣狀態之間切換。

264. 如申請專利範圍第 260 項之裝置，其中該至少一條半導體奈米線路之電導性可回應於一電信號所控制。

265. 如申請專利範圍第 260 項之裝置，其中該至少一條半導體奈米線路之電導性可回應於一閘器終端信號所控制。

266. 如申請專利範圍第 265 項之裝置，其中該閘器終端並未實體接觸於該至少一條半導體奈米線路。

267. 一種裝置，其包括：

一基板，其包括上面沉積至少四條半導體奈米線路的區域，該至少四條半導體奈米線路組合在一起而電相通成為電裝置之元件，該至少四條半導體奈米線路的每一者包含至少一具有窄於 50 奈米之最小寬度的部分；其中該至少四條半導體奈米線路是選自一群半導體奈米線路，該群半導體奈米線路彼此個別的平均直徑變化乃小於大約 20%。

268. 如申請專利範圍第 267 項之裝置，其中該半導體奈米線路是由溶液沉積到基板上。

269. 如申請專利範圍第 267 項之裝置，其中該至少四條半導體奈米線路的直徑變化乃小於 10%。

270. 如申請專利範圍第 267 項之裝置，其中該至少四條半導體奈米線路是由經選擇尺寸的觸媒膠體顆粒所成長。

十一、圖式：

(如次頁)