

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 11 月 17 日 (17.11.2005)

PCT

(10) 国際公開番号
WO 2005/109506 A1

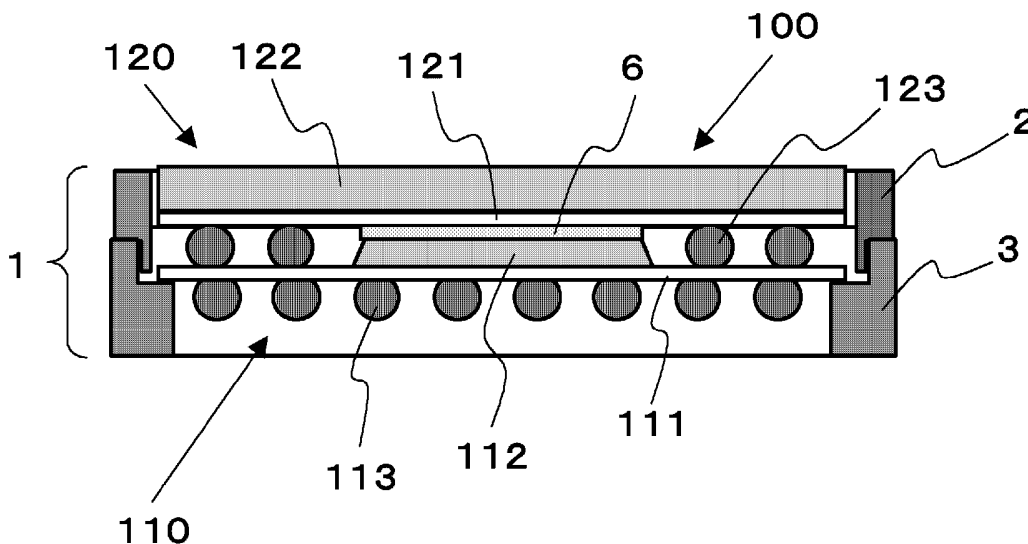
- (51) 国際特許分類: H01L 25/10
(21) 国際出願番号: PCT/JP2004/006265
(22) 国際出願日: 2004 年 5 月 11 日 (11.05.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
94088-3453 カリフォルニア州サニーベイルワンエイ
ムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (Spansion Japan Limited) [JP/JP]; 〒9650845 福島
県会津若松市門田町工業団地 6 番 Fukushima (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 小野寺正徳

(ONODERA, Masanori) [JP/JP]; 〒1600023 東京都
新宿区西新宿四丁目 33 番 4 号 Spansion
Japan 株式会社内 Tokyo (JP). 河西純一 (KASAI,
Junichi) [JP/JP]; 〒1600023 東京都新宿区西新宿四
丁目 33 番 4 号 Spansion Japan 株式
会社内 Tokyo (JP). 目黒弘一 (MEGURO, Kouichi)
[JP/JP]; 〒1600023 東京都新宿区西新宿四丁目
33 番 4 号 Spansion Japan 株式会
社内 Tokyo (JP). 田中淳二 (TANAKA, Junji) [JP/JP];
〒1600023 東京都新宿区西新宿四丁目 33 番 4 号
Spansion Japan 株式会社内 Tokyo (JP).
新聞康弘 (SHINMA, Yasuhiro) [JP/JP]; 〒1600023 東京
都新宿区西新宿四丁目 33 番 4 号 Spansion
Japan 株式会社内 Tokyo (JP). 田谷耕治 (TAYA,
Koji) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目
33 番 4 号 Spansion Japan 株式会
社内 Tokyo (JP).

[続葉有]

(54) Title: CARRIER FOR MULTILAYER SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURING MULTI-
LAYER SEMICONDUCTOR DEVICE

(54) 発明の名称: 積層型半導体装置用キャリア及び積層型半導体装置の製造方法



(57) Abstract: A carrier for a multilayer semiconductor device comprising a lower stage carrier (3) having a first containing section (12) for containing a first semiconductor device (110) to be the lower side device, and an upper stage carrier (2) having a second containing section (14) for containing a second semiconductor device (120) to be stacked on the first semiconductor device (110) and arranging the second semiconductor device (120) at a specified position on the first semiconductor device (110). By having such a structure, no dedicated stacking device is required, and thus cost can be reduced.

(57) 要約: 本発明の積層型半導体装置用キャリアは、下側となる第 1 の半導体装置 110 を収納する第 1 の収納部 12 を有する下段キャリア 3 と、第 1 の半導体装置 110 上に積層する第 2 の半導体装置 120 を収納して、第 2 の半導体装置 120 を第 1 の半導体装置 110 上の所定位置に配置する第 2 の収納部 14 を有する上段キャリア 2 を有して構成している。従って、積層のための専用の装備を備える必要がなくなるため、コストを低減させることができる。

WO 2005/109506 A1



(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋 1-6-1 三井住友海上テプコビル
Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

積層型半導体装置用キャリア及び積層型半導体装置の製造方法

技術分野

- [0001] 本発明は、複数のパッケージを積層して1つのパッケージとする積層型半導体装置用のキャリア及びこの積層型半導体装置の製造方法に関する。

背景技術

- [0002] 近年、移動体電話機のような携帯型電子機器や、ICメモ리카ードのような不揮発性記憶媒体等はより小型化されており、これらの機器や媒体の部品点数の削減及び部品の小型化が要求されている。
- [0003] 従って、これらの機器を構成する部品のうち主要部品である半導体素子を効率的にパッケージする技術の開発が望まれている。そのような要求を満たすパッケージの1つとして、複数のパッケージ、例えばメモリ用パッケージとロジック用パッケージとを積層して1つにした積層型パッケージが知られている。積層型パッケージの製造方法に関して特許文献1〜3に開示がある。

- [0004] 特許文献1: 日本国特許公開公報 特開平8-236694号公報
特許文献2: 日本国特許公開公報 第2003-218273号公報
特許文献3: 日本国特許公開公報 特開平6-13541号公報

発明の開示

発明が解決しようとする課題

- [0005] しかしながら積層型半導体装置の製造には、パッケージを積層するための専用の搭載装置を準備しなければならない。このため設備投資が必要となり、半導体装置の製造の低コスト化を阻害する原因となる。特に生産量が比較的少ない場合には、コスト面で大きな負担になるという問題がある。上述した特許文献1〜3にも製造コストを低減させる有効な技術の開示はない。
- [0006] また積層型半導体装置の製造では、ロジックデバイスやメモリデバイス、又はこれらをパッケージ化したロジック用パッケージやメモリ用パッケージの供給を半導体デバイスメーカーから受けて、供給されたパッケージを積層型半導体装置のメーカーで積層・

一体化して出荷するという流れがある。

[0007] 例えば、半導体デバイスメーカーからロジックデバイスの供給を受ける場合、ロジックデバイスとメモリデバイスを各々パッケージ化した後、ロジック用パッケージのみ供給元の半導体デバイスメーカーに一旦戻す。そして、供給元で試験を行い、良品のみ再び返送してもらう。その後、2つのパッケージを積層・一体化して外観検査と動作試験を実施し、良品を顧客に出荷する。

[0008] 通常、パッケージの移送は、パッケージを直接トレイに収納して行われるが、移動先の半導体デバイスメーカーでは、テストを行うためにパッケージをトレイから出してパッケージのテストを行い、テスト終了後にパッケージをトレイに再度収納して移送元の積層型半導体装置メーカーに返送する。

[0009] すなわち、パッケージをハンドリングする回数がそれだけ増えるので、不良品の発生する機会がそれだけ増えることになる。不良品の発生率が高いと、それだけ製造コストが高くなってしまう。

[0010] 本発明は上記事情に鑑みてなされたものであり、製造コストを極力低減させた積層型半導体装置用キャリア及び積層型半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0011] かかる目的を達成するために本発明の積層型半導体装置用キャリアは、第1の半導体装置を収納する第1の収納部を有する下段キャリアと、前記第1の半導体装置上に積層する前記第2の半導体装置を収納して、該第2の半導体装置を前記第1の半導体装置上の所定位置に配置する第2の収納部を有する上段キャリアとを有して構成される。

[0012] 第1の半導体装置上に積層する第2の半導体装置を収納して、該第2の半導体装置を前記第1の半導体装置上の所定位置に配置する第2の収納部を上段キャリアが有していることで、半導体装置同士の位置ずれを生じさせることなく容易に積層することができる。従って、積層のための専用の装備を備える必要がなくなるため、コストを低減させることができる。

[0013] また積層型半導体装置用キャリアにおいては、前記下段キャリアに収納した前記第

1の半導体装置と、試験用ピンとの電氣的接続を取るための開口部を設けることもできる。

- [0014] 下段キャリアに収納した第1の半導体装置と試験ピンとの電氣的な接続を取ることができるので、キャリアに半導体装置を収納したまま半導体装置のテストを行うことができる。従って、テストのために半導体装置をキャリアから取り外す必要がなくなり、半導体装置に触れる回数を低減させることができる。
- [0015] 前記上段キャリアと前記下段キャリアはそれぞれ係合部を有し、該係合部が互いに係合することで、前記上段キャリアと前記下段キャリアとが取り外し可能に取り付けられる構成とすることもできる。
- [0016] キャリアが接続と分離が可能な上段キャリアと下段キャリアとからなることで、必要なキャリアだけを使用することができる。すなわち、積層前のテスト時には下段キャリアだけをテストを行う半導体装置に取り付けることで、装置構成が大きくなり、場所をとらない。また半導体装置を積層する時には、下段キャリアに上段キャリアを重ねることで積層した半導体装置も上段キャリアによって保護することができる。
- [0017] また積層型半導体装置用キャリアにおいては、前記上段キャリアの前記第2の収納部は前記上段キャリア内に収納される前記第2の半導体装置が通る挿入口を有し、該挿入口はその上端に向かい次第に幅広になる構成とすることができる。
- [0018] この構成により、半導体装置を挿入口に入れやすくすることができ、操作性を向上させることができる。
- [0019] また積層型半導体装置用キャリアにおいては、前記下段キャリアは弾性材料で形成された保持部材を有し、該保持部材は前記第1の半導体装置を前記第1の収納部内に保持する構成を取ることでもできる。
- [0020] 弾性材料からなる保持部材によって第1の半導体装置を第1の収納部に保持しているので、キャリアから着脱する時のストレスから半導体装置を守ることができる。
- [0021] また積層型半導体装置用キャリアにおいて、前記保持部材は、前記第1の収納部に収納した前記第1の半導体装置を辺部分で保持する構成とすることもできる。
- [0022] 保持部材が第1の収納部に収納した第1の半導体装置を辺部分で保持しているので、半導体装置にかかるストレスをさらに弱めることができる。

- [0023] また積層型半導体装置用キャリアにおいては、前記上段キャリア及び前記下段キャリアは、アルミニウム、銅若しくはニッケルを成分として含む金属、セラミック、ポリエーテルエーテルケトンからなる樹脂のいずれかによって構成されているとよい。
- [0024] このような材料からキャリアを構成することで、キャリアに収納した状態で半導体装置のリフローを行うことが可能となる。
- [0025] また積層型半導体装置用キャリアにおいては、上蓋又はリング部材を更に有し、前記下段キャリアは、前記上蓋又はリング部材を取り付ける挿入溝を有する構成することができる。
- [0026] 半導体装置上に上蓋を設けることで、半導体装置の電気的な接続部を粉塵や油脂から保護することができる。また、半導体装置の直上に上蓋やリング部材を取り付けることで、半導体装置の脱落を防止することができる。
- [0027] 本発明の積層型半導体装置の製造方法は、積層型半導体装置用キャリアの下段キャリアに第1の半導体装置を収納する工程と、積層型半導体装置用キャリアの上段キャリアを用いて前記第2の半導体装置上に第2の半導体装置を積層する工程とを有している。操作性かつ精度よく2つの半導体装置を積層することができる。この場合、前記積層する工程は、上段キャリアを下段キャリアに取り付け、その後前記第2の半導体装置を前記上段キャリアに収納する工程を含む構成とすることができる。
- [0028] 更に、前記積層型半導体装置用キャリアに収納された前記第1及び第2の半導体装置をリフロー炉内で電気的に接続して一体構成とする工程を更に含むようにしてもよい。キャリアに半導体装置を収納し、キャリアごとリフロー炉に投入して半導体装置同士の接続を行うことで、半導体装置に触れる回数を低減させ、半導体装置の故障を未然に防ぐことができる。また、積層型半導体装置が製造されるまでの間にキャリアを取り外す必要がないので、半導体装置を保護することができ、半導体装置の品質を保持することができる。
- [0029] また上記の積層型半導体装置の製造方法においては、前記積層型半導体装置用キャリアの前記上段キャリアを除去する工程を有し、前記上段キャリアを除去後に前記下段キャリアをリフロー炉に投入し、前記第1の半導体装置と前記第2の半導体装置とを接続して一体にするとよい。

- [0030] リフローを行う前に上段キャリアを除去することでキャリア全体の熱容量を下げるができる。従って、温度不足によってはんだが十分に溶融しないという問題の発生を防止することができる。
- [0031] 更に、上記の積層型半導体装置の製造方法においては、前記下段キャリアに設けた開口部により前記第1の半導体装置に試験用ピンを接続し、前記第1の半導体装置を前記キャリアに収納した状態で試験を行う工程を有しているといふ。キャリアに半導体装置を収納したまま半導体装置のテストを行うことができるので、テストのために半導体装置をキャリアから取り外す必要がなくなり、半導体装置に触れる回数を低減させることができる。
- [0032] また上記の積層型半導体装置の製造方法においては、前記積層する工程の前に、前記第1の半導体装置の封止樹脂上に接着剤を供給する工程を設けてもよい。確実に半導体装置を接続、固定することができる。
- [0033] また上記の積層型半導体装置の製造方法においては、前記接着剤は、熱硬化性接着剤であるといふ。接着剤に熱硬化性接着剤を使用することで、半導体装置の仕様に合わせて硬化時間や硬化温度を選定することができる。

発明の効果

- [0034] 本発明によって、積層型半導体装置の製造コストを極力低減させることができる。

図面の簡単な説明

- [0035] [図1]上段キャリア2と下段キャリア3との構成を示す図である。
- [図2](A)は上段キャリア2内の第2の収納部14を示す図であり、(B)は下段キャリア3内の第1の収納部13を示す図である。
- [図3]キャリア1内に半導体装置を収納した状態を示す図である。
- [図4]上段キャリア2のガイドによって、第1の半導体装置110上に第2の半導体装置120を積層する時の様子を示す図である。
- [図5]上段キャリア2と下段キャリア3の係合部の他の構成を示す図である。
- [図6]上段キャリア2と下段キャリア3の係合部の他の構成を示す図である。
- [図7]上段キャリア2の他の構成を示す図であり、テーパを付けてパッケージ挿入口を広げた状態を示す図である。

[図8]下段キャリア3に第1の半導体装置110を収納した状態を示す上面図と断面図である。

[図9]下段キャリア3に上蓋9を取り付けた状態を示す上面図と断面図である。

[図10]上蓋9を取り外すための切欠部10が2箇所設けられている例を示す図である。

[図11]第1の半導体装置110上にリング12を取り付けた状態を示す上面図と断面図である。

[図12]積層型半導体装置の製造工程を示すフローチャートである。

[図13]下段キャリア3に第1の半導体装置110を搭載する様子を示す図である。

[図14]プローブによるテストの様子を示す図である。

[図15]モールド樹脂112上に接着剤を塗布する様子を示す図である。

[図16]下段キャリア3と上段キャリア2とを接続する様子を示す図である。

[図17]第1の半導体装置110上に第2の半導体装置120を積層する様子を示す図である。

[図18]ハンダリフローの様子を示す図である。

[図19]プローブによるテストの様子を示す図である。

[図20]キャリア1から積層型半導体装置を取り出す様子を示す図である。

[図21]積層型半導体装置の他の製造工程を示すフローチャートである。

[図22]第2の半導体装置120の積層後に、上段キャリアを除去する様子を示す図である。

[図23]下段キャリア3から積層型半導体装置を取り出す様子を示す図である。

発明を実施するための最良の形態

[0036] 次に、添付図面を参照しながら本発明の最良の実施の形態を説明する。

[0037] まず、積層型半導体装置用キャリアについて説明する。本実施例の積層型半導体装置用キャリア(以下、キャリアと呼ぶ)1は、図1に示すように上段キャリア2と下段キャリア3とから構成される。上段キャリア2は、上面の形状が四角形で、中をくり抜いた中空の筐体であり、筐体内は、図2(A)に示すように半導体装置を収納する第2の収納部14となる。下段キャリア3には、図2(B)に示すように半導体装置を収納する第1

の収納部13が形成され、第1の収納部13の底面には半導体装置に試験用のピンを接続するための開口部4が形成されている。

- [0038] 上段キャリア2と下段キャリア3は、筐体がアルミニウム、銅若しくはSUSのようなニッケルを成分として含む金属、セラミック、ポリエーテルエーテルケトン(PEEK材)からなる樹脂のいずれかにより形成されている。積層された半導体装置の周囲を上段キャリア2と下段キャリア3とで取り囲み、半導体装置のリフローが行われるため、キャリア1には耐熱性と高伝導性が要求される。またキャリア1には、繰り返し使用しても品質が大きく劣化しないことが求められる。
- [0039] 上段キャリア2の下面の周縁部と、下段キャリア3の上面の周縁部には、図1に示すように上段キャリア2と下段キャリア3とを接続するための係合部5が設けられている。図1に示すように上段キャリア2に設けた突起部51が、下段キャリア3に設けた突起部52の内側に嵌まり、上段キャリア2が下段キャリア3に固定される。
- [0040] 図3に、上段キャリア2と下段キャリア3とから構成されるキャリア1に、積層型半導体装置100を収納した状態を示す。積層型半導体装置100は、第1の半導体装置110上に第2の半導体装置120を積層した2段構成からなる。積層型半導体装置100にキャリア1を取り付けるには、まず下段キャリア3の第1の収納部13に第1の半導体装置110を収納し、下段キャリア3と上段キャリア2とを係合部5によって固定する。次に、図4に示すように中空となっている上段キャリア2内を通して、第2の半導体装置120を第1の半導体装置110上に積層する。このとき、上段キャリア2の内側面に沿って第2の半導体装置120を第2の収納部14に収納することで、第1の半導体装置110を第2の半導体装置120との電気的な接続が取れる位置に配置することができる。このように上段キャリア2がガイドの機能を果たすため、半導体装置を積層する専用の設備を設ける必要がなくなり、コストを削減することができる。
- [0041] なお、第1の半導体装置110は、図3に示すように中継基板111の表面側に図示しないICチップが搭載され、このICチップをモールド樹脂112によって封止している。また中継基板111の裏面側には、はんだボール113が設けられ、試験用のプローブの試験ピンや、他の基板との接続に使用される。また第2の半導体装置120も、図3に示すように中継基板121の表面側に図示しないICチップを搭載し、中継基板121

の基板全面をモールド樹脂によって封止している。中継基板121の裏面側には、はんだボール123が設けられ、第1の半導体装置110と第2の半導体装置120との電気的な接続が取られている。また図3に示すように第1の半導体装置110と第2の半導体装置120とは接着剤6によって接着され固定されている。

[0042] また上段キャリア2と下段キャリア3の係合部5の構成は、図1に示すものだけではなく、図5、6に示す構成であってもよい。図5に示す係合部5は、下段キャリア3に設けた突起部52が、上段キャリア2に設けた突起部51の内側に嵌まり、上段キャリア2と下段キャリア3とを固定している。また図6に示す係合部5は、上段キャリア2側に溝部53を設けて、下段キャリア3に設けた突起部52を上段キャリア2の溝部53に挿入している。

[0043] また、上段キャリア2は、図7に示すように第2の収納部14の挿入口の断面積を、挿入口に近い端部ほど広く形成してもよい。つまり、挿入口はその上端に向かい次第に幅広になる。このように、テーパ状に形成して挿入口を広げることで、半導体装置を挿入しやすくすることができ、操作性を向上させることができる。

[0044] 図8に、下段キャリア3に第1の半導体装置110を収納した時の上面図と断面図とを示す。図8の上面図に示すように中継基板111は、下段キャリア3の四辺に設けられた保持部材7上に乗せられ、下段キャリア3上に保持されている。積層型半導体装置100は、半導体装置の低背化を図るため0.3mm厚を下回るような薄い中継基板が使用される。中継基板が薄い場合、この中継基板のコーナ部は、ストレスに弱くなり、コーナ部を起点としたストレスによりはんだ接合部の破断が起きやすくなる。特に半導体装置をキャリアから着脱する際にはんだ接合部が破断してしまう恐れがある。このため本実施例では、ストレスに弱いコーナ部ではなく、ストレスの比較的小さい辺部分に半導体装置を保持する保持部材7を設け、キャリアから離脱する際にかかるストレスから半導体装置を守っている。すなわち、4つのコーナ部は、いずれにも接触していない状態となる。また保持部材7は、弾性を有する材料であって、半導体装置を挿入した際に弾性変形しうる材料、例えばシリコン、ゴムやポリウレタンなどが使用される。

[0045] なお、図8に示す実施例では、保持部7を4辺に設けているが、2辺に保持部7を設

けて半導体装置を保持してもよい。

[0046] 中継基板111上には、図8の上面図に示すように金電極パッド8が形成されている。この金電極パッド8と、第2の半導体装置120の裏面側に設けたはんだボール123とを接触させることで、第2の半導体装置120と第1の半導体装置110とが電氣的に接続される。また中継基板111上には、図示しないICチップと、このICチップを封止するモールド樹脂112とが設けられている。モールド樹脂112によってICチップを封止することで、ICチップに生じる衝撃や、キズを防止することができる。モールド樹脂112として、エポキシ、シリコーン、ポリイミドなどが使用される。また、中継基板111の反対側の面には、はんだボール113が形成されており、積層型半導体装置100を基板上に搭載する時の接続端子となる。

[0047] 下段キャリア3に収納した第1の半導体装置110の上面には、図9に示すような上蓋9が形成される。下段キャリア3の内側側面には、図9の断面図に示すように挿入溝11が形成されており、この挿入溝11に上蓋9が挿入される。第1の半導体装置110の中継基板111上には、図8に示すように金電極パッド8や配線パターンが形成されているので、上蓋9を設けることによってこれらの電氣的接続部分を粉塵や皮脂などから保護することができる。また、中継基板111のすぐ上に上蓋9を重ねることによって、中継基板111を上から抑える役割を果たし、第1の半導体装置110の脱落を防止することができる。

[0048] また、図9の上面図に示すように下段キャリア3の4辺それぞれには、下段キャリア3の挿入溝11に挿入された上蓋9を取り出すための切欠部10が形成されている。上蓋9は、曲げながら挿入溝11に挿入するため、曲げられる材料、例えば薄い金属板やプラスチック板からなる。挿入溝11に挿入した上蓋9を取り出す時には、切欠部10に専用の治工具または指を挿入して上蓋9を溝から取り出す。なお、切欠部10は、下段キャリア3の4辺すべてに設ける必要はなく、例えば図10に示すように2辺に設けてもよい。

[0049] 図11に上蓋9の代わりにOリング12を取り付けた場合を示す。Oリング12には、中継基板111上に形成された電極や配線パターンを粉塵や皮脂から保護する機能はないが、図11に示すように、上蓋9と同様に中継基板111のすぐ上に重ねて設けるこ

とによって、中継基板111を上から抑える役割を果たし、第1の半導体装置110の脱落を防止することができる。

[0050] 次に、図12に示すフローチャートを参照しながら積層型半導体装置100の製造手順について説明する。

[0051] まず始めに、図13に示すように下段キャリア3に第1の半導体装置110を収納する(ステップS1)。第1の半導体装置110は、半導体装置の製造終了後、下段キャリア3に収納される。半導体装置の供給を受けて積層型半導体装置100を製造する場合には、供給された半導体装置を下段キャリア3に収納し、下段キャリア3に収納された半導体装置を製造元に移送する。

[0052] 次に、下段キャリア3を取り付けたまま第1の半導体装置110のテストを行う(ステップS2)。テストは、図14に示すようにプローブ200の試験ピンを第1の半導体装置110に接続し、プローブ200から電源やテスト信号を供給することで行う。下段キャリア3の底面には、試験ピンを挿入するための開口部4が設けられているので、下段キャリア3に収納された状態で第1の半導体装置110のテストを行うことができる。また、半導体装置の製造元で半導体装置のテストを行う場合には、テスト結果から良品だけを返送してもらう。

[0053] 半導体装置の製造元への移送、テスト、返送といった一連の工程の中で、第1の半導体装置110は下段キャリア3によって保護されているので、半導体装置の品質を保持することができる。また、テストを下段キャリア3に納めた状態で実施することにより、第1の半導体装置110に直接触れる頻度を減らすことができる。その結果、外的因子から半導体装置を保護することができ、良品を次工程に安定して供給することができる。

[0054] 次に、図15に示すようにICチップを保護するモールド樹脂112上に、ディスペンサを用いて接着剤6を塗布する(ステップS3)。この接着剤6には熱硬化性を有する接着剤を使用する。熱硬化性を有する接着剤は、硬化温度や硬化時間を調整することが比較的容易であり、対象となる半導体装置の使用にあった接着剤を使用することで、目的の硬化温度や硬化時間とすることができる。また熱硬化性を有する接着剤は、紫外線が照射された部分だけが硬化する光硬化型の接着剤とは異なり、半導体

装置内部に浸透した接着剤の硬化も特に問題なく行うことができる。接着剤6をモールド樹脂112上に塗布すると、上段キャリア2を下段キャリア3上に配置する。上段キャリア2と下段キャリア3には係合部5が設けられているので、これらを接続することで上段キャリア2が下段キャリア3に固定される(ステップS4)。

[0055] 次に、図17に示すように第2の半導体装置120のはんだボール123にフラックス20を塗布する(ステップS5)。この工程は、はんだボール123がフラックス20の塗布を必要とする場合だけに行われる。また、図17では、はんだボール123側にフラックスを塗布した状態を示しているが、第1の半導体装置110の金電極パッド8側にフラックスを塗布してもよい。

[0056] フラックス20をはんだボール123に塗布すると、図17に示すように第2の半導体装置120を第1の半導体装置110上に積載する(ステップS5)。第2の半導体装置120は、中空に形成された上段キャリア2内を通して取り付けられる。このとき第2の半導体装置120は、第1の半導体装置110上の所定の位置に取り付けなければならない。すなわち、第1の半導体装置110の金電極パッド8と、第2の半導体装置120のはんだボール123とを確実に接触させなければならないが、上段キャリア2がガイド機構を果たすことで、容易にしかも正確に第2の半導体装置120を第1の半導体装置110上に積層することができる。

[0057] 第2の半導体装置120を取り付けると、上段キャリア2と下段キャリア3とに収納した積層型半導体装置100を、図18に示すようにリフロー炉に挿入し、はんだのリフローを行う(ステップS6)。上段キャリア2と下段キャリア3とは、アルミニウム、銅若しくはSUSのようなニッケルを成分として含む金属、セラミック、ポリエーテルエーテルケトンならぬ樹脂のいずれかにより構成しているので、リフロー炉の高温にも耐えることができ、さらに繰り返し使用に対する耐久性も備えている。

[0058] はんだリフローが終了すると、フラックス20の洗浄を行い、再度テストを行う(ステップS7)。このテストも図19に示すようにプローブ200の試験ピンを第1の半導体装置110に接続して行う。この時、第2の半導体装置120も第1の半導体装置110と電気的な接続が取られているので第2の半導体装置120のテストを行う。

- [0059] テストが終了し、良品であると判定されると、図20に示すように上段キャリア2と下段キャリア3とを積層型半導体装置100から除去し、製品として出荷される(ステップS8)。
- [0060] 次に、積層型半導体装置の製造手順の第2例を図21に示すフローチャートを参照しながら説明する。
- [0061] 本手順では、第1の半導体装置110上に、第2の半導体装置120を位置決めして取り付けまでの手順は、上述した手順と同じである。本例では、第2の半導体装置120の取り付け後、図22に示すように上段キャリア2を下段キャリア3から取り外してしまう(ステップS16)。リフローを行う前に、上段キャリア2を除去してしまうことで、キャリア全体の熱容量を下げるができる。従って、温度不足によってはんだの溶融が十分に行われないという問題の発生を防止することができる。またリフロー炉の設定温度についてもより低い温度で設定することができ、半導体装置への熱ストレスを低減させることができる。
- [0062] 上段キャリア2を除去するとリフロー炉ではんだリフローが行われ(ステップS17)、上述した手順と同様にフラックス洗浄をして再テストが行われる(ステップS18)。再テストが終了して良品であると判定されると、図23に示すように下段キャリア3を積層型半導体装置100から取り外し、製品として出荷される(ステップS19)。
- [0063] なお、上述した実施例は本発明の好適な実施例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。例えば、上述した実施例では、上段キャリア2と下段キャリア3との2段でキャリア1を構成しているが、キャリアの構成はこれだけに限定されるものではない。例えば、複数の半導体装置を収納可能であって、積層時のガイド機能を有する1つのキャリアであってもよいし、もっと多段のキャリアから構成してもよい。

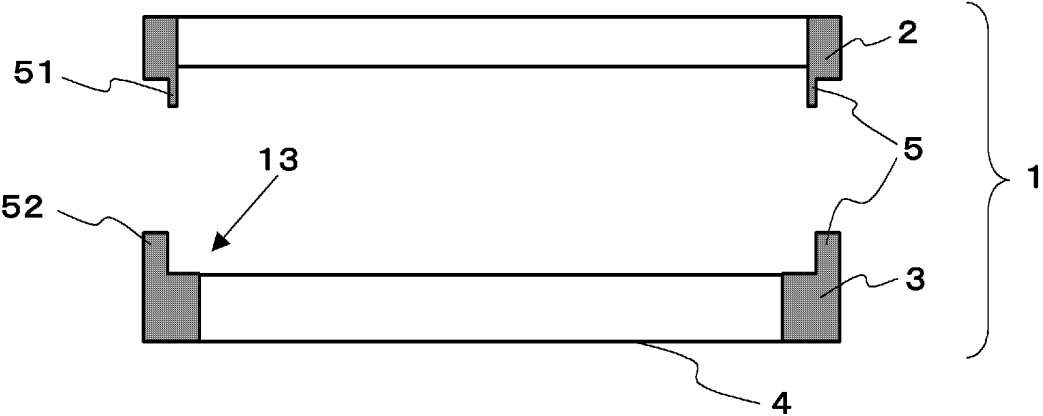
請求の範囲

- [1] 第1の半導体装置を収納する第1の収納部を有する下段キャリアと、
前記第1の半導体装置上に積層する前記第2の半導体装置を収納して、該第2の半導体装置を前記第1の半導体装置上の所定位置に配置する第2の収納部を有する上段キャリアとを有する積層型半導体装置用キャリア。
- [2] 前記下段キャリアに収納した前記第1の半導体装置と、試験用ピンとの電氣的接続を取るための開口部を有する請求項1記載の積層型半導体装置用キャリア。
- [3] 前記上段キャリアと前記下段キャリアはそれぞれ係合部を有し、該係合部が互いに係合することで、前記上段キャリアと前記下段キャリアとが取り外し可能に取り付けられる請求項1又は2記載の積層型半導体装置用キャリア。
- [4] 前記上段キャリアの前記第2の収納部は前記上段キャリア内に収納される前記第2の半導体装置が通る挿入口を有し、
該挿入口はその上端に向かい次第に幅広になる請求項3記載の積層型半導体装置用キャリア。
- [5] 前記下段キャリアは弾性材料で形成された保持部材を有し、該保持部材は前記第1の半導体装置を前記第1の収納部内に保持する請求項1から4のいずれかに記載の積層型半導体装置用キャリア。
- [6] 前記保持部材は、前記第1の収納部に収納した前記第1の半導体装置を辺部分で保持することを特徴とする請求項5記載の積層型半導体装置用キャリア。
- [7] 前記上段キャリア及び前記下段キャリアは、アルミニウム、銅若しくはニッケルを成分として含む金属、セラミック、ポリエーテルエーテルケトンからなる樹脂のいずれかによって構成される請求項1から6のいずれかに記載の積層型半導体装置用キャリア。
- [8] 上蓋又はリング部材を更に有し、
前記下段キャリアは、前記上蓋又はリング部材を取り付ける挿入溝を有する請求項1から7のいずれかに記載の積層型半導体装置用キャリア。
- [9] 積層型半導体装置用キャリアの下段キャリアに第1の半導体装置を収納する工程と、

積層型半導体装置用キャリアの上段キャリアを用いて前記第2の半導体装置上に第2の半導体装置を積層する工程とを有する積層型半導体装置の製造方法。

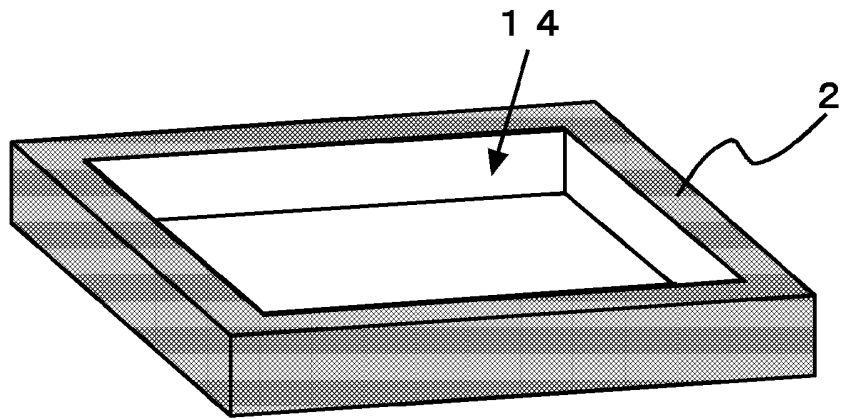
- [10] 前記積層する工程は、上段キャリアを下段キャリアに取り付け、その後前記第2の半導体装置を前記上段キャリアに収納する工程を含む請求項9記載の方法。
- [11] 前記積層型半導体装置用キャリアに収納された前記第1及び第2の半導体装置をリフロー炉内で電氣的に接続して一体構成とする工程を更に有する請求項9又は10に記載の方法。
- [12] 前記積層型半導体装置用キャリアを前記リフロー炉内に載置する前に、前記上段キャリアと取り除く工程を有する請求項11記載の方法。
- [13] 下段キャリアの開口を介して試験用ピンを前記第1の半導体装置に接続し、前記下段に収納された前記第1の半導体装置を試験する工程を有する請求項9から12のいずれか一項記載の方法。
- [14] 前記積層する工程の前に、前記第1の半導体装置の封止樹脂上に接着剤を供給する工程を有する請求項9から13のいずれか一項記載の方法。
- [15] 前記接着剤は、熱硬化性接着剤である請求項14記載の積層型半導体装置の製造方法。

[図1]

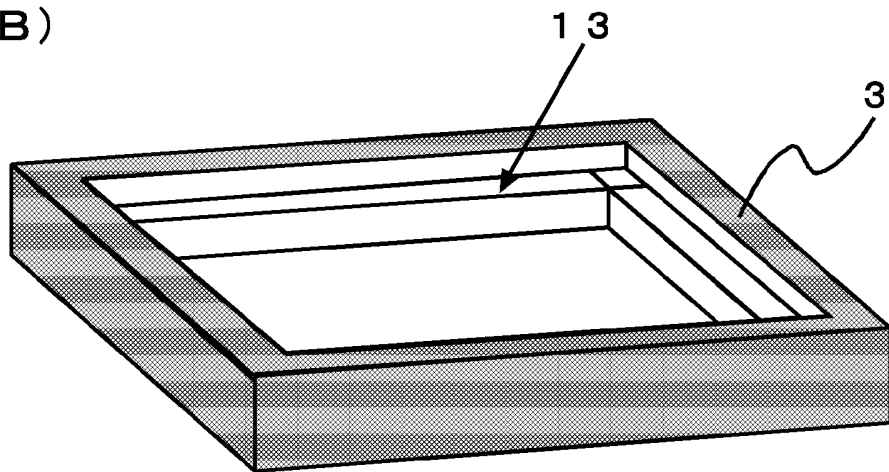


[図2]

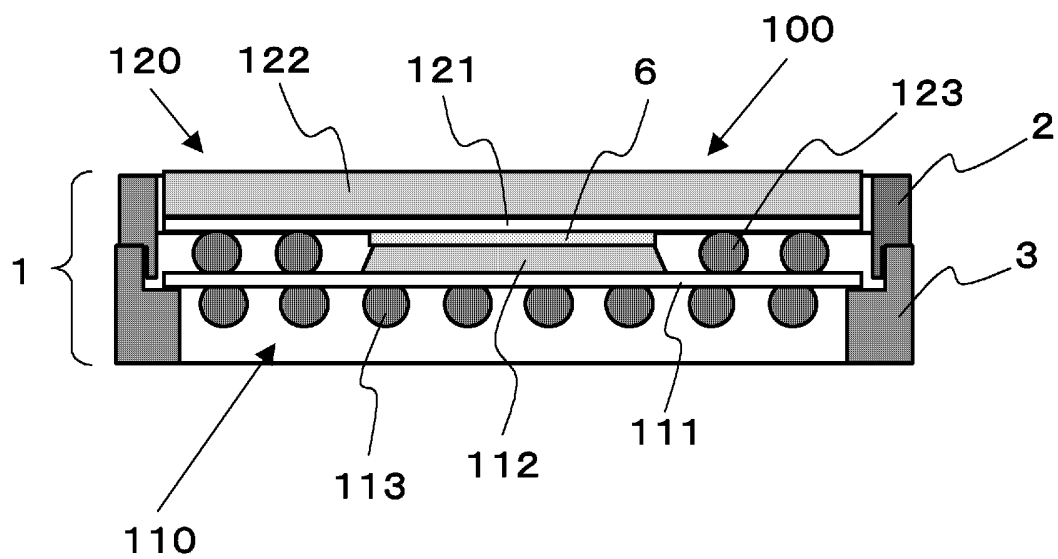
(A)



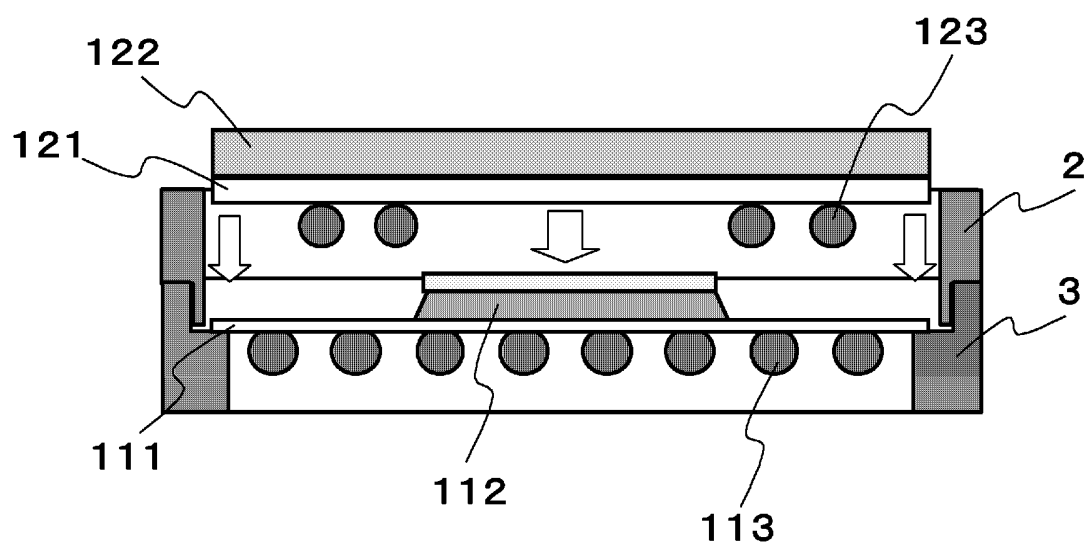
(B)



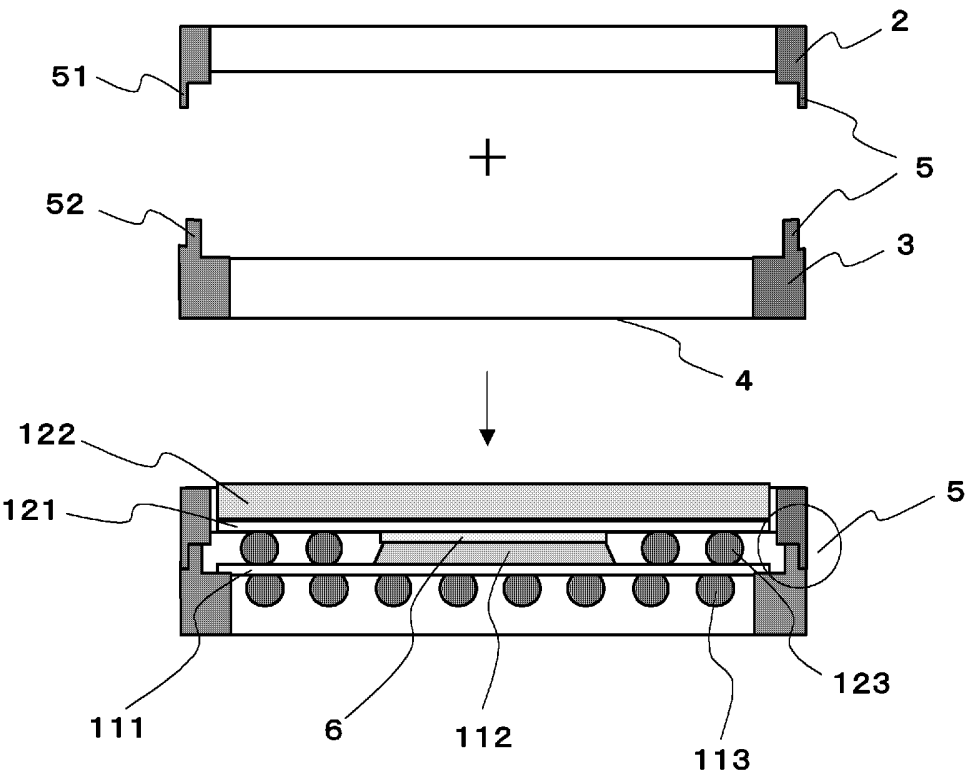
[図3]



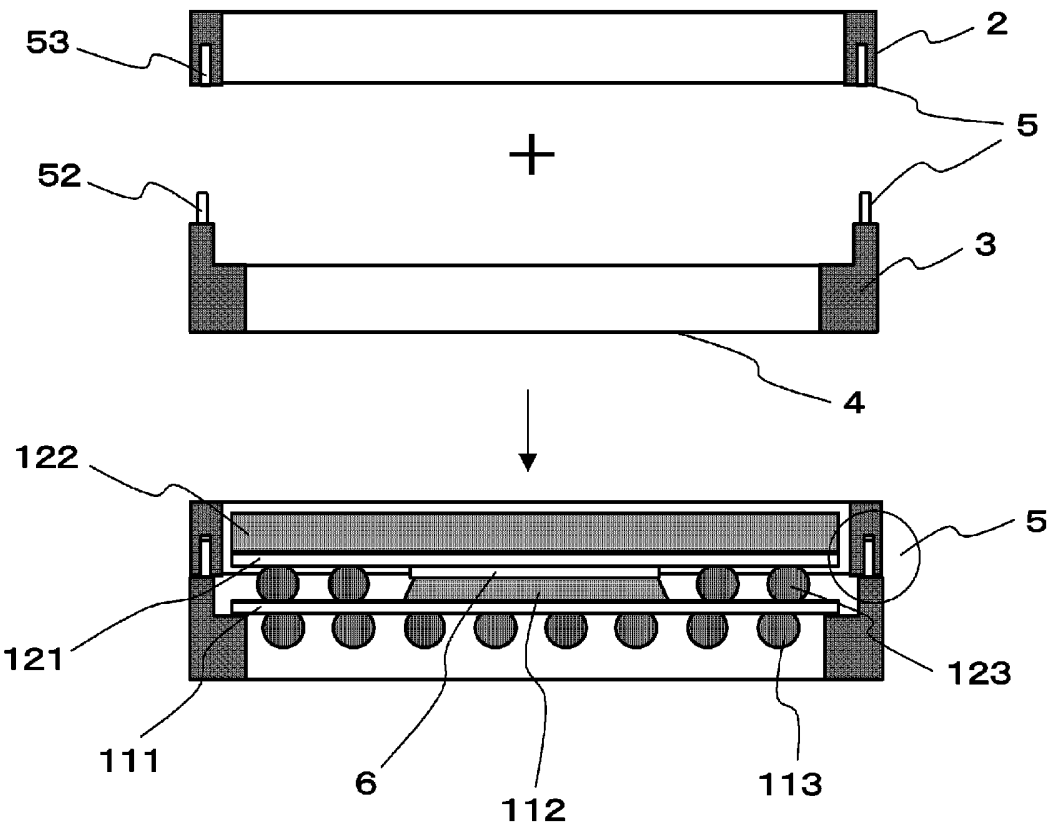
[図4]



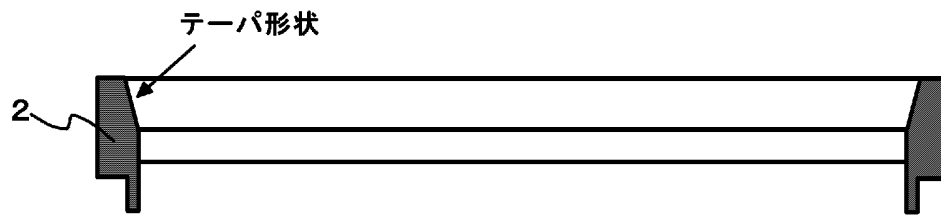
[図5]



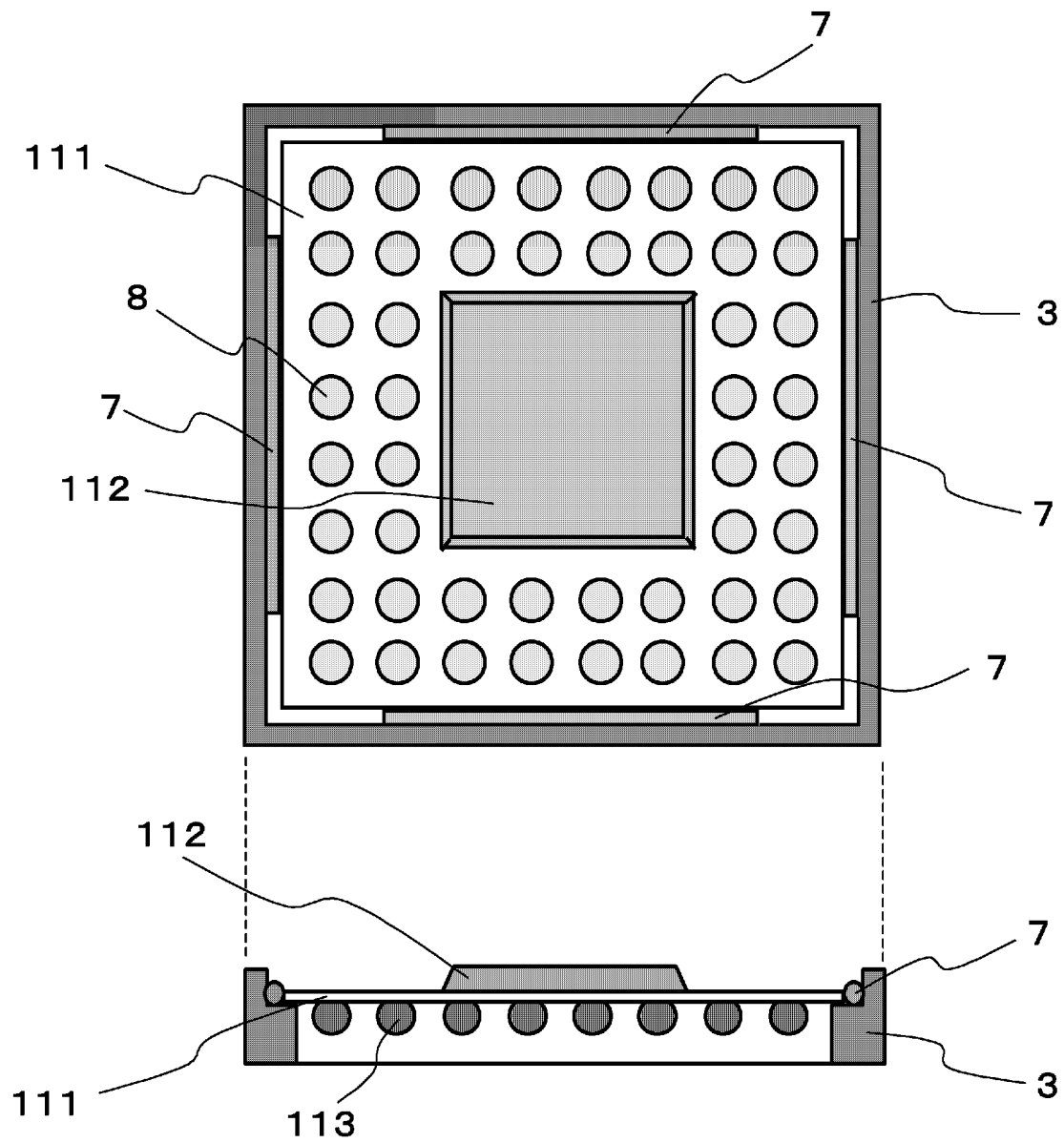
[図6]



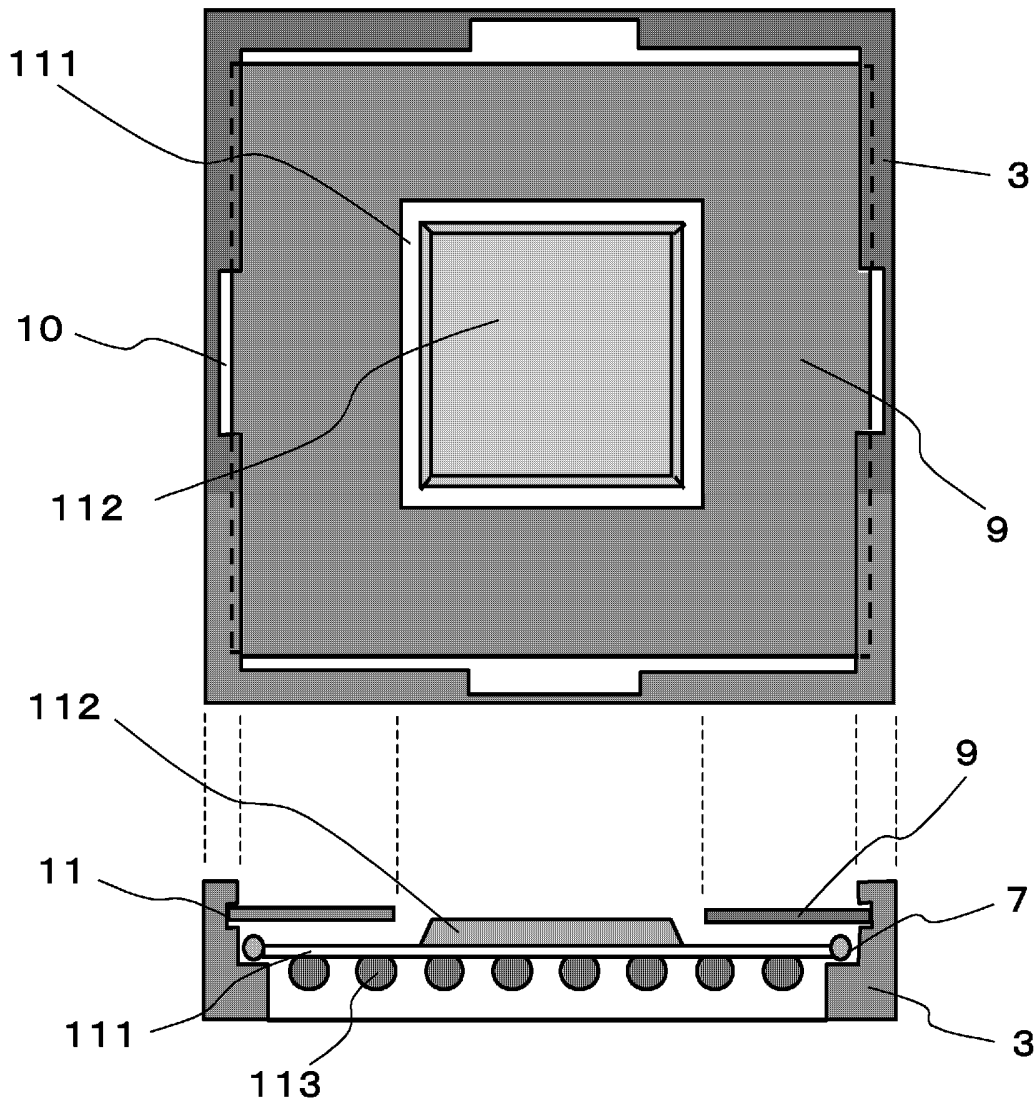
[図7]



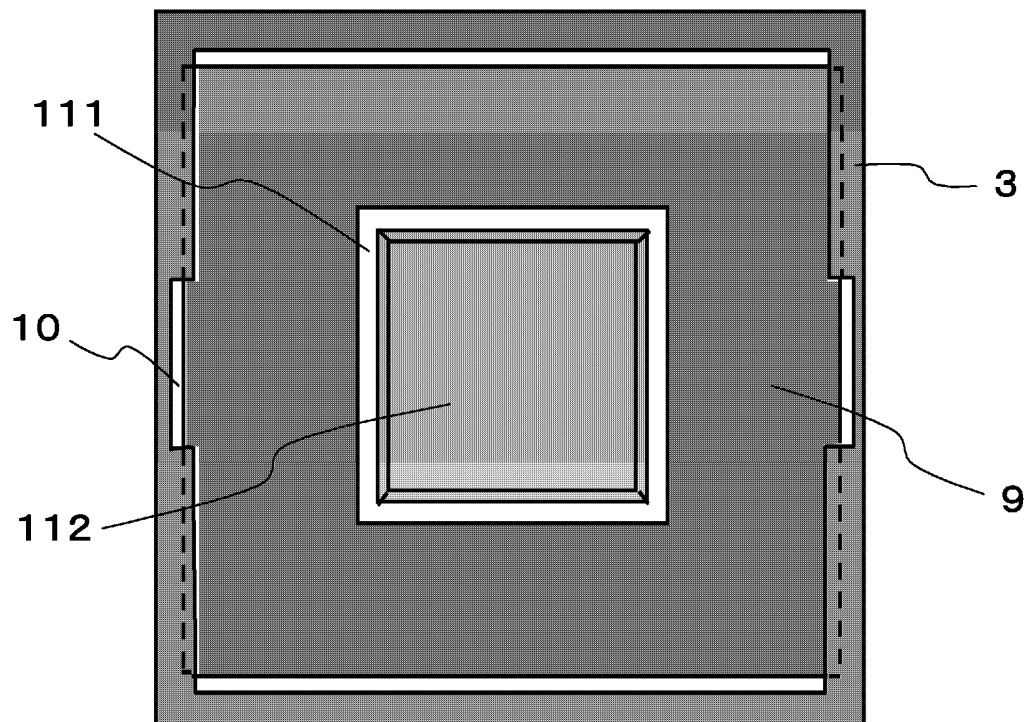
[図8]



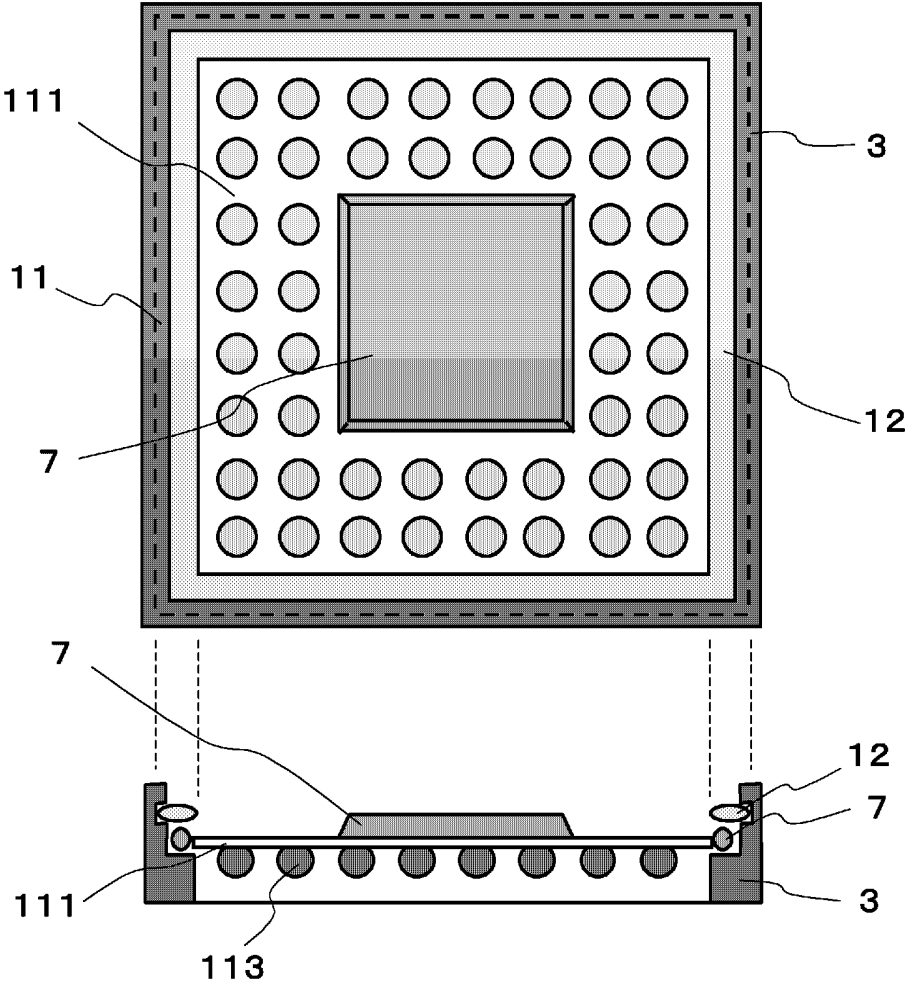
[図9]



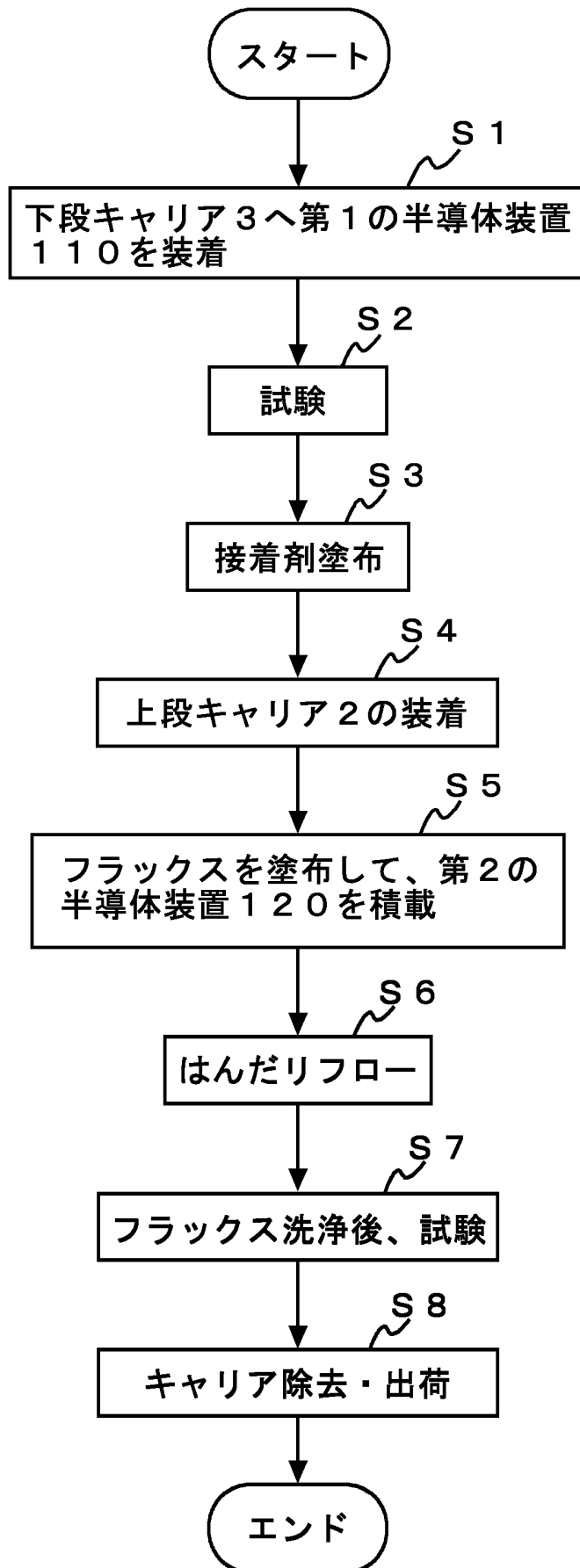
[図10]



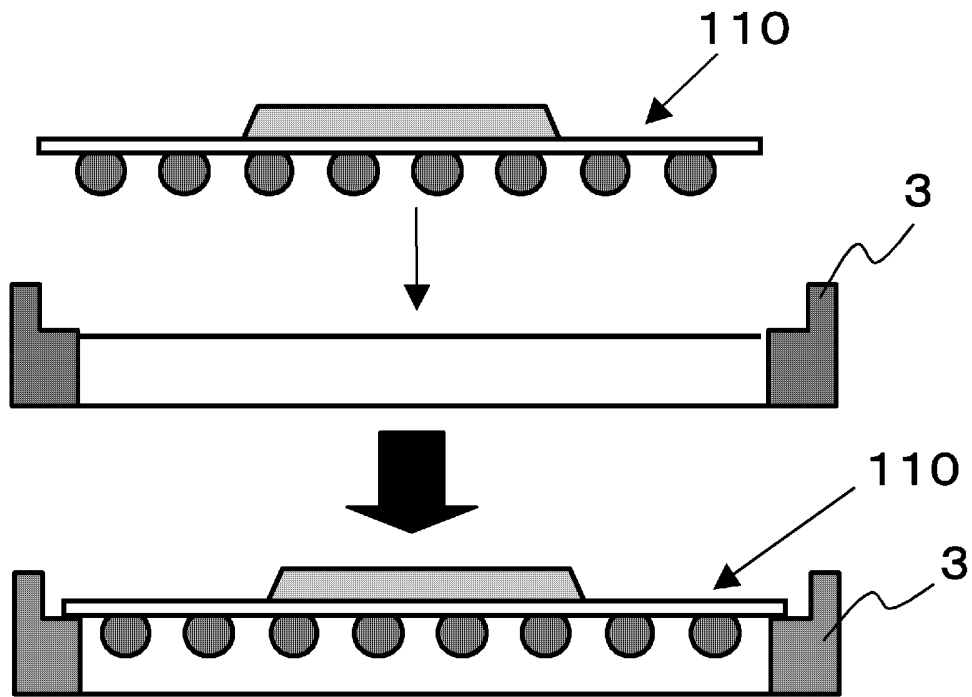
[図11]



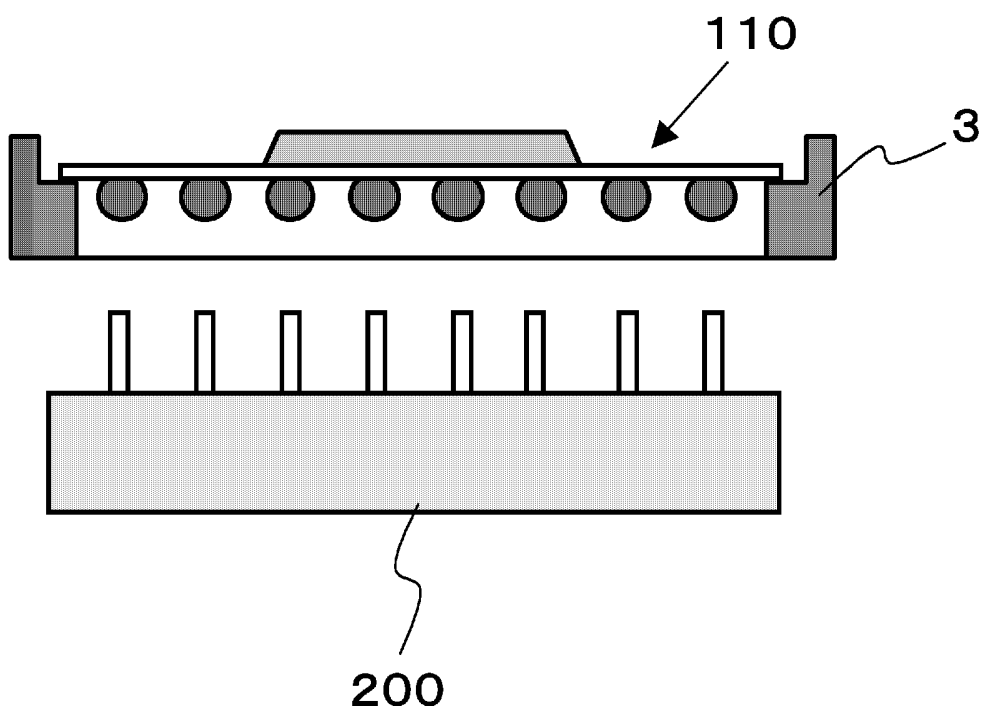
[図12]



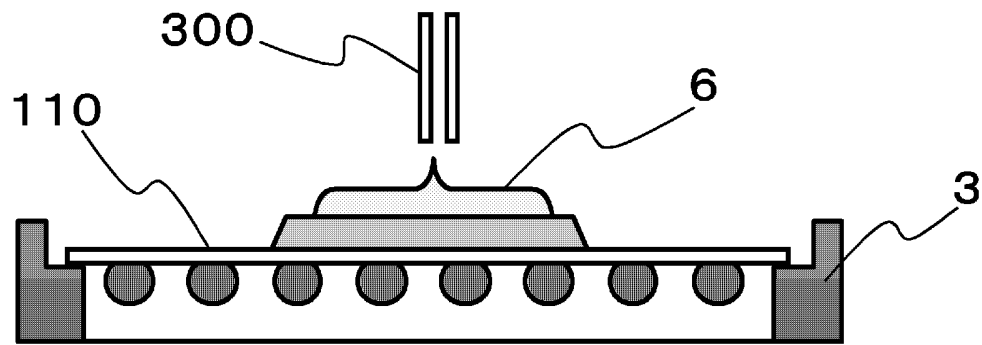
[図13]



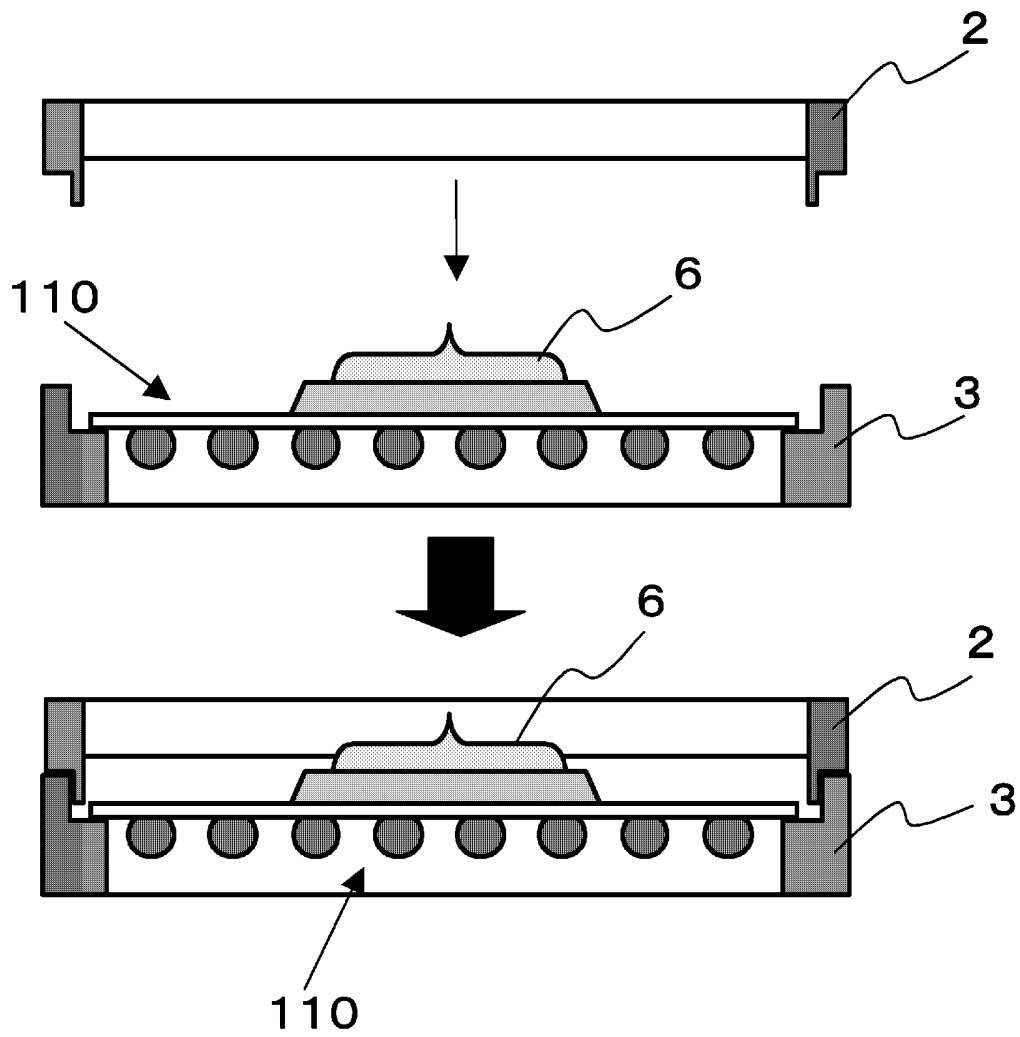
[図14]



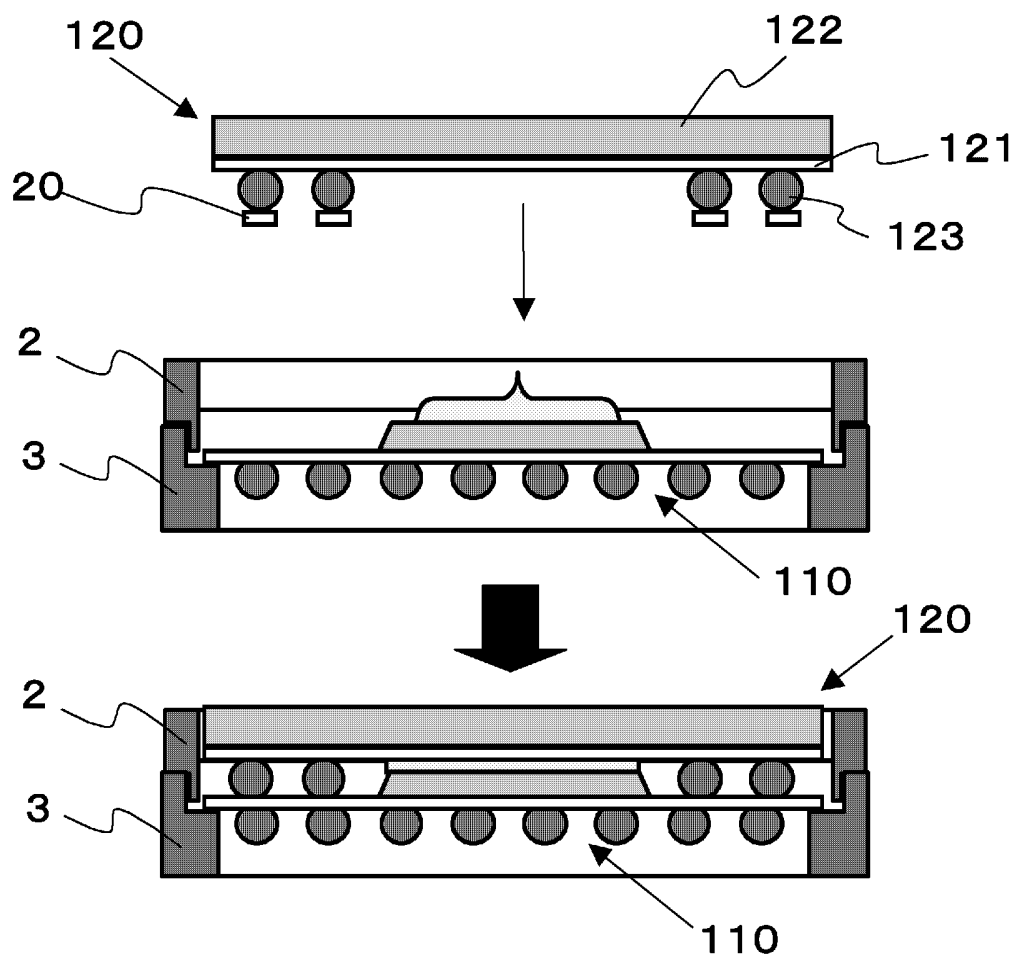
[図15]



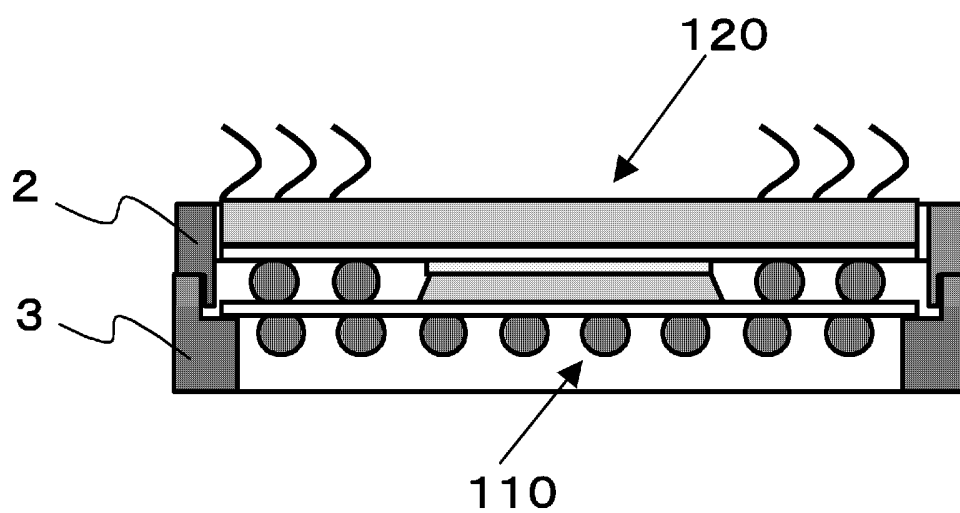
[図16]



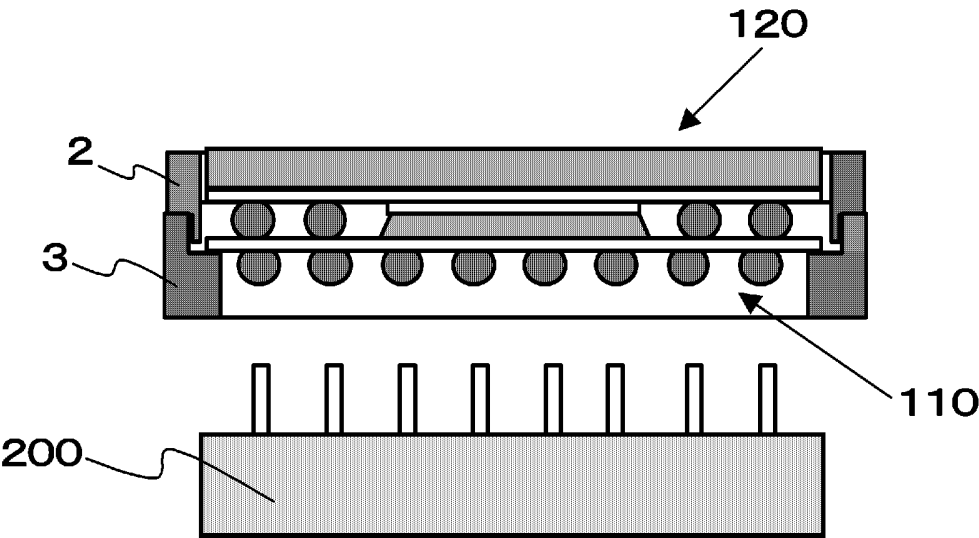
[図17]



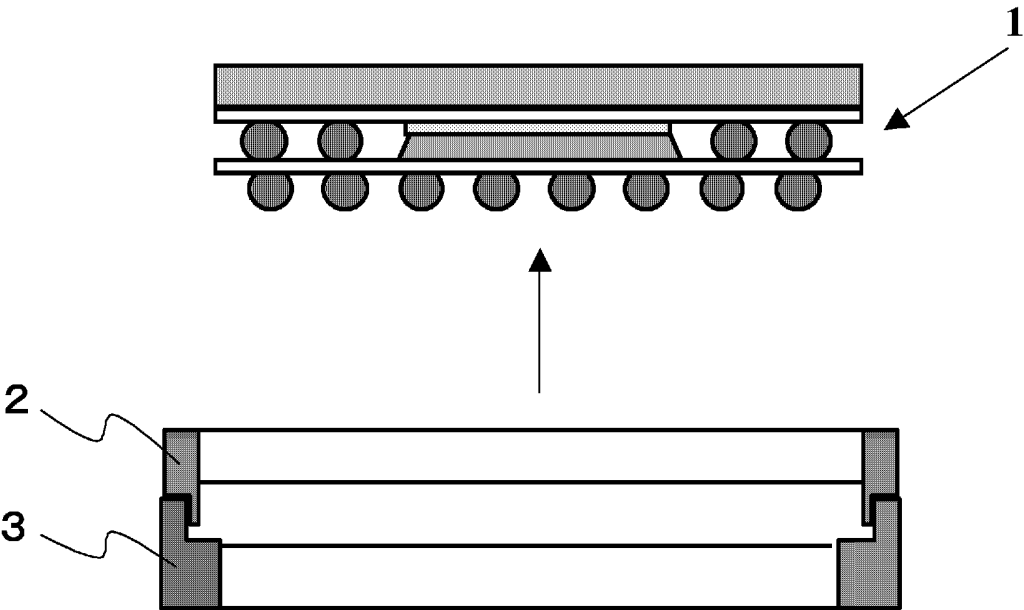
[図18]



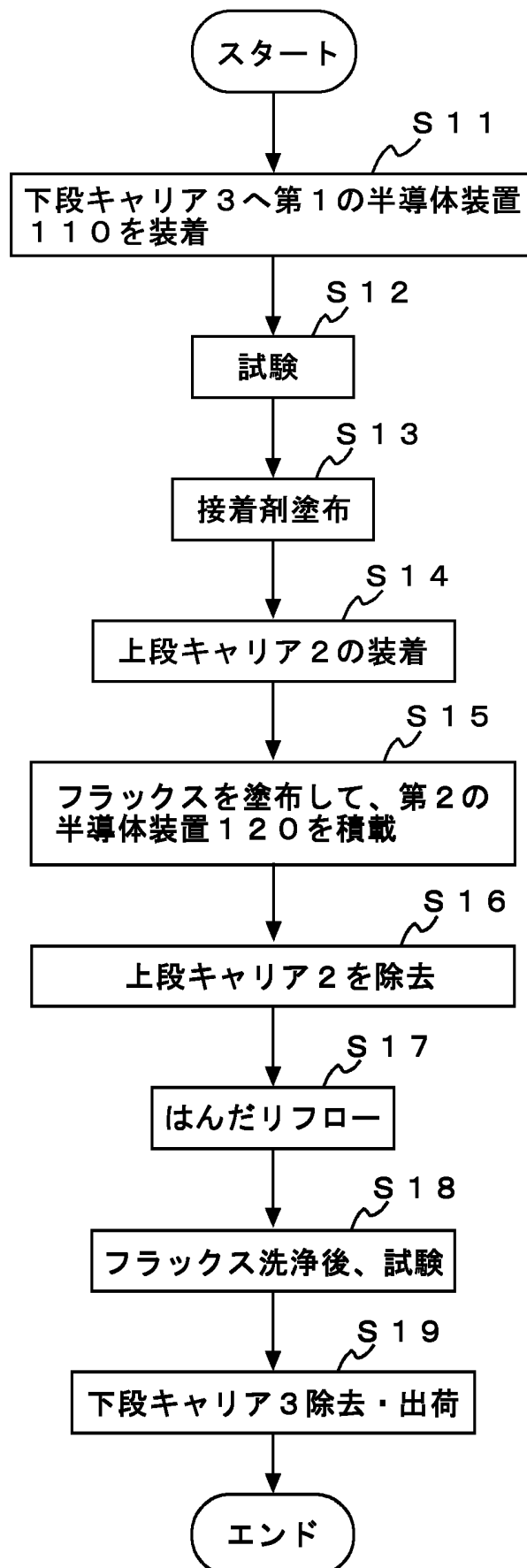
[図19]



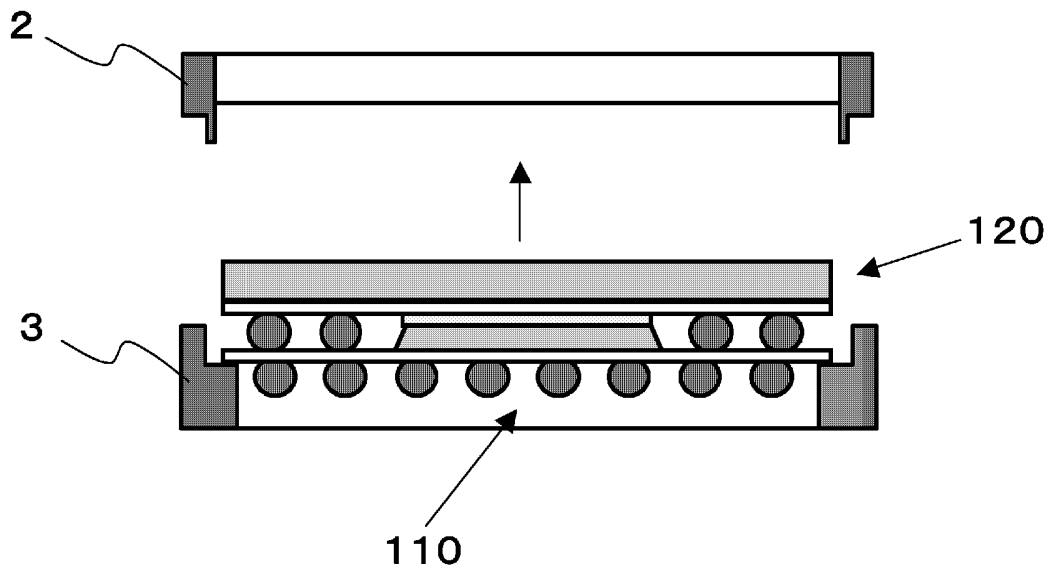
[図20]



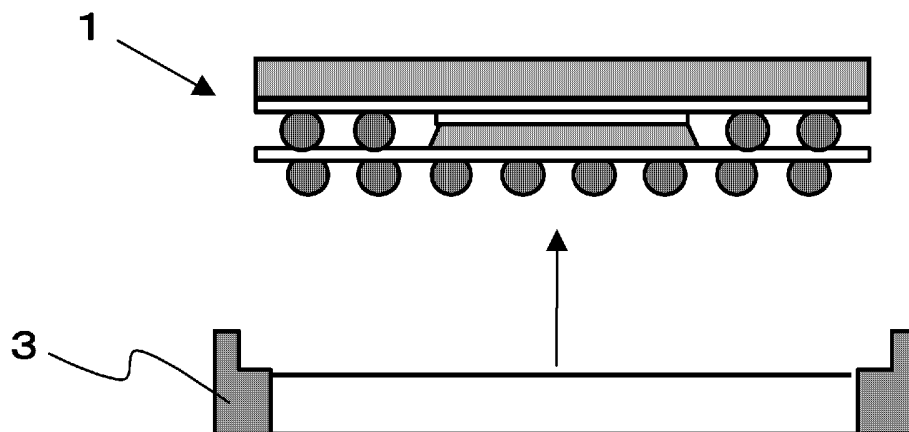
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006265

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L25/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L25/10-25/11, 25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-216333 A (Hyundai Electronics Ind. Co., Ltd.), 04 August, 2000 (04.08.00), Par. Nos. [0029] to [0039]; Figs. 4 to 12	1, 3-4, 7, 9-11, 14-15
A	Par. Nos. [0029] to [0039]; Figs. 4 to 12 & US 6190944 B1 Column 6, line 65 to column 8, line 15; Figs. 6 to 7	2, 5-6, 8, 12-13
A	JP 2001-352035 A (Sony Corp.), 21 December, 2001 (21.12.01), Par. Nos. [0020] to [0048]; Figs. 1 to 5 & US 2002/0017709 A1 Par. Nos. [0030] to [0058]; Figs. 2 to 6 & DE 10127381 A1	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 August, 2004 (06.08.04)

Date of mailing of the international search report
24 August, 2004 (24.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 25/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 25/10 - 25/11, 25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>X</u>	JP 2000-216333 A (ヒュンダイ エレクトロニクス インダストリーズ カンパニー リミテッド), 2000.08.04 【0029】-【0039】, 図4-12	<u>1, 3-4, 7,</u> <u>9-11, 14-15</u>
A	【0029】-【0039】, 図4-12 & US 6190944 B1, 6欄65行-8欄15行, 図6-7	2, 5-6, 8, 12-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06.08.2004

国際調査報告の発送日

24.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

和瀬田 芳正

4 R

2929

電話番号 03-3581-1101 内線 3469

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-352035 A (ソニー株式会社), 2001.12.21 【0020】-【0048】, 図1-5 & US 2002/0017709 A1, [0030]-[0058], 図2-6 & DE 10127381 A1	1-15