



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201236136 A1

(43)公開日：中華民國 101 (2012) 年 09 月 01 日

(21)申請案號：101103486

(22)申請日：中華民國 101 (2012) 年 02 月 03 日

(51)Int. Cl. : **H01L23/60 (2006.01)**

(30)優先權：2011/02/04 美國 61/439,420

2011/09/01 美國 13/223,482

(71)申請人：英特希爾美國公司 (美國) INTERSIL AMERICAS INC. (US)

美國

(72)發明人：寇盧拉 克勞迪歐 COLLURA, CLAUDIO (IT) ; 沃林頓 艾倫 R WARRINGTON,
ALLAN R. (GB) ; 羅賓森 尼爾 E ROBINSON, NEIL E. (GB)

(74)代理人：林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 29 頁

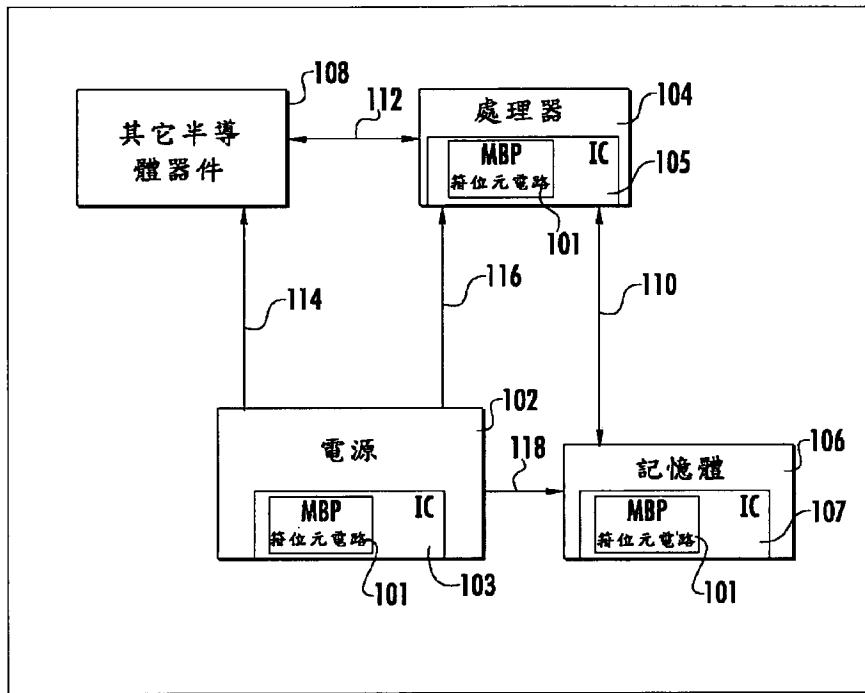
(54)名稱

用於多焊接引腳的 E S D 箝位元電路

ESD CLAMP FOR MULTI-BONDED PINS

(57)摘要

提供了一種電路，該電路包括多個區段和箝位元電路。多個區段中的每個包括：焊盤，其經由相應的焊接導線與多焊接引腳耦合；以及導體，其將焊盤與相應的內部連接耦合。來自多個區段中的每個的焊盤與相同的多焊接引腳耦合。箝位元電路包括多個輸入引腳和多個箝位電晶體。每個輸入引腳經由相應的導體與多個區段中的相應一個的焊盤耦合。每個箝位電晶體與輸入引腳中的相應一個耦合，其中多個箝位電晶體中的每個被構造為防止相應的導體上的電壓超過相應的電壓限值。



電子系統

100：電子系統

101：多焊接引腳角

102：電源

103：積體電路

104：處理器

105：積體電路

106：記憶體

107：積體電路

108：半導體器件

110：資料通信匯流排

112：資料通信匯流排

114：電導線

116：電導線

118：電導線



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201236136 A1

(43)公開日：中華民國 101 (2012) 年 09 月 01 日

(21)申請案號：101103486

(22)申請日：中華民國 101 (2012) 年 02 月 03 日

(51)Int. Cl. : **H01L23/60 (2006.01)**

(30)優先權：2011/02/04 美國 61/439,420

2011/09/01 美國 13/223,482

(71)申請人：英特希爾美國公司 (美國) INTERSIL AMERICAS INC. (US)

美國

(72)發明人：寇盧拉 克勞迪歐 COLLURA, CLAUDIO (IT) ; 沃林頓 艾倫 R WARRINGTON,
ALLAN R. (GB) ; 羅賓森 尼爾 E ROBINSON, NEIL E. (GB)

(74)代理人：林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 29 頁

(54)名稱

用於多焊接引腳的 E S D 箝位元電路

ESD CLAMP FOR MULTI-BONDED PINS

(57)摘要

提供了一種電路，該電路包括多個區段和箝位元電路。多個區段中的每個包括：焊盤，其經由相應的焊接導線與多焊接引腳耦合；以及導體，其將焊盤與相應的內部連接耦合。來自多個區段中的每個的焊盤與相同的多焊接引腳耦合。箝位元電路包括多個輸入引腳和多個箝位電晶體。每個輸入引腳經由相應的導體與多個區段中的相應一個的焊盤耦合。每個箝位電晶體與輸入引腳中的相應一個耦合，其中多個箝位電晶體中的每個被構造為防止相應的導體上的電壓超過相應的電壓限值。

六、發明說明：

參考相關申請案

本申請系有關於於 02/04/2011 提交的題為“ESD TRANSIENT CLAMP FOR MULTI-BONDED PINS”的美國臨時專利申請序號 61/439,420，該專利申請在本文中被稱為’420 申請。因此，’420 申請通過引用併入本文。因此，本申請要求美國臨時專利申請號 61/439,420 的優先權。

【發明所屬之技術領域】

本申請系有關於積體電路中的多焊接引腳。

【先前技術】

在防止多焊接引腳發生靜電放電（ESD）事件時，一些常規的設計將箝位元電路放置在單根導線或導體上。然而，由於焊接寄生的電感器和電阻器，將箝位元電路放置到單根導線或導體上不能充分地保護與多焊接引腳耦合的每根導線。

【發明內容】

電路包括多個區段和箝位元電路。多個區段中的每個包括經由相應的焊接導線與多焊接引腳耦合的焊盤以及將該焊盤與相應的內部連接耦合的導體。來自多個區段中的每個的焊盤與相同的多焊接引腳耦合。箝位元電路包括多個輸入引腳和多個箝位電晶體。每個輸入引腳經由相應的導體與多個區段中的相應一個的焊盤耦合。每個箝位電晶體與輸入引腳的相應一個耦合，其中多個箝位電晶體中的每個構造為防止相應的導體上的電壓超過相應的電壓限

值。

【實施方式】

在下面的詳述中，將參照構成詳述的部分的附圖，並且附圖僅通過示例的方式示出了示例特定示例性實施方案。然而，應理解的系，可以使用其它的實施方案，並且可以進行邏輯的、機械的以及電氣的變型。因此，下面的詳述不應視為限制。

圖 1 為示例性電子系統 100 的一個實施方案的框圖，電子系統 100 包括一個或多個多焊接引腳（MBP）籍位元電路 101。在圖 1 所示的示例性實施方式中，電子系統 100 包括電源 102 和多個耗電器件。特別地，示例性系統 100 中所包括的耗電器件包括處理器 104、記憶體 106 以及一個或多個其它的半導體器件 108。如本文所使用的，耗電器件為需要來自電源 102 的電力來工作的器件。電源 102 可以為主直流（DC）或交流（AC）電源、構造為將主電力轉換為能夠由電子系統使用的電壓和/或頻率的轉換器或適配器、電力管理系統、基於電池的電源系統，等等。

處理器 104 可實施為但不限於微處理器、微控制器、嵌入式處理器、數位訊號處理器、類比信號處理器、資料處理器、光資料處理器或上述的組合。記憶體 106 可實施為但不限於靜態隨機存取記憶體（SRAM）、動態 RAM（DRAM）、唯讀記憶體（ROM）、可程式設計 ROM（PROM）、快擦寫記憶體等。其它的半導體器件 108 可以為例如一個或多個積體電路（IC）、各種電子電路、電子

電路部件、或者包括上述的組合一個或多個電子系統或子系統。電源 102 經由相應的電導線 116、118 和 114 為處理器 104、記憶體 106 和其它半導體器件 108 提供工作功率。處理器 104 經由相應的資料通信匯流排 110、112 與記憶體 106 和其它半導體器件 108 耦合以便在它們之間提供資料通信。

在圖 1 所示的實施方式中，電源 102、處理器 104 和記憶體 106 中的每一個包括相應的 IC 103、105、107。在該實施例中，IC 103、105、107 中的每個包括多焊接引腳箱位元電路 101。如本文所使用的，術語“多焊接引腳”系指在與多於一根的焊接導線焊接或耦合的電路中的引腳。因此，多焊接引腳箱位元電路為構造為保護與相同的單個多焊接引腳耦合的多根焊接導線免於諸如靜電放電（ESD）事件等過電壓情形的箱位元電路。在一些實施方案中，多焊接引腳為供電引腳。然而，應理解的系，在其它實施方案中，MBP 箱位元電路 101 可應用於其它類型的引腳。另外，應理解的系，儘管多焊接引腳箱位元電路的實施方案在本文中描述為在積體電路中實施，在其它實施方案中多焊接引腳箱位元電路可在非積體電路中實施，諸如與單個引腳耦合的離散部件。

儘管在該實施例中電源 102、處理器 104 和記憶體 106 中的每個包括 MBP 箱位元電路，應理解的系，在其它實施方案中，MBP 箱位元電路不包含在每個部件中。另外，應理解的系，在一些實施方式中，MBP 箱位元元元元元電路

101 也包含在其它半導體器件 108 中的一個或多個中。另外，應理解的系，在其它實施方案中可省略處理器 104、記憶體 106 和其它半導體器件中的一個或多個。

在圖 2 中示出了具有多焊接引腳箝位元電路 201 的示例性 IC 200。應理解的系，IC 200 是通過實施例的方式提供的，而不是通過限制的方式提供。特別地，應理解的系，IC 200 可以包括除了所示出的那些部件之外的附加的電子電路部件（例如，電晶體、電阻器、電容器）。例如，如圖 2 所示，焊盤 254-1...254-N 中的每個經由相應的導體 270-1...270-N 與相應的內部連接 1...N 耦合。導體 270 可實施為例如積體電路中的金屬層和/或積體電路中的導電轉接件。每個內部連接 1...N 將相應的焊盤 254 與 IC 中的其它電路部件耦合。可選擇地，箝位元電路 201 可以形成在晶片之外。換句話說，內部連接 1...N 中的每個為與箝位元電路 201 不形成在相同襯底上的積體電路提供連接。在既定 IC 中使用的特定電子電路部件取決於 IC 的實施方式和 IC 的所需功能和特性。

如圖 2 中的實施例所示，IC 200 與多焊接引腳 252 耦合。引腳 252 經由相應的焊接導線 256-1...256-N 與多個焊盤 254-1...254-N 耦合。每根接導線 256-1...256-N 包括在圖 2 中顯示為離散的電感器和電阻器的相應的焊接寄生物 259-1...259-N。由於焊接寄生物 259，施加到每個相應的焊盤 254 上的內部電壓受到其它焊接導線 256 上的電壓的影響。在圖 2 的實施例中，三個焊盤 254 與引腳 252 耦合。

然而，應理解的系，在其它實施方式中，使用兩個或多個三個的焊盤 254。如圖 2 所示，每個焊盤 254 與箝位元電路 201（本文中也可稱作多焊接引腳箝位元電路）電耦合。然而，在該實施方案中，箝位元電路 201 中的觸發器僅與支腿 258-1...258-N 或區段中的一個耦合，如下文更加詳細描述的。在本文中使用的支腿或區段包括焊盤 254、將焊盤與引腳 252 耦合的相應的焊接導線 256 以及相應的導體 270。

圖 3 中所示的示例性 IC 300 描繪了支腿 358-1...358-N 與箝位元電路 301 的連接。如圖 3 所示，輸入電壓經由每個焊盤 354 提供給箝位元電路 301。經由焊盤 354-1...354-N 供給的輸入電壓分別表示為 VIN_1 、 VIN_2 和 VIN_N 。 VIN_1 提供給箝位元電路 301 的加 1 (+1) 輸入。類似地， VIN_2 提供給加 2 (+2) 輸入，而 VIN_N 提供給加 N (+N) 輸入。在正常工作條件下，箝位元電路 301 構造為使得輸入電壓不會被箝位元電路 301 改動。因此，在正常工作條件下由於箝位元電路 301 引起的電力損耗為可忽略的空值。

當發生 ESD 事件時，快速移動的脈衝橫穿引腳 352 和焊盤 354 而進入箝位元電路 301 中。如圖 3 所示，在該實施例中，僅支腿 358-1 與箝位元電路 301 中的觸發器 360 耦合。因此，電壓 VIN_1 被傳遞到觸發器 360 中。觸發器 360 構造為監測電壓 VIN_1 的電壓電平，電壓 VIN_1 代表相應的焊盤 354-1 處的電壓。例如，當 VIN_1 的電壓電平

超過預定值或閾值時，觸發器 360 輸出使得箝位電晶體 362-1...362-N 中的每個幾乎同時導通的信號。在其它的實施方案中，當 VIN_1 的電壓電平的變化率超過預定值或閾值時，觸發器 360 使得箝位電晶體 362-1...362-N 導通。

如本文所使用的，箝位電晶體 362 導通系指將箝位電晶體置於它們能夠將相應的焊盤 354 處的電壓電平限制為小於將使得積體電路 300 受損的電平的電壓水準的狀態。在預定延遲之後，當 VIN_1 的電壓電平下降到另一預定值以下時，或者當 VIN_1 的電壓電平的變化率下降到另一預定值以下時，觸發器 360 使得箝位電晶體 362 關斷。應理解的系，不同的閾值可用於確定箝位電晶體 362 導通的時間和關斷的時間，從而防止箝位電晶體的快速連接的導通和關斷。另外，應理解的系，在其它的實施方案中，單獨的觸發器與每個輸入引腳和對應的箝位電晶體 362 耦合。在這些實施方案中，每個箝位電晶體 362 通過其相應的觸發器導通和關斷。

箝位元電路 301 包括分別與 +1、+2、和 +N 輸入耦合的箝位電晶體 362-1...262-N。在該實施方案中，電晶體實施為金屬氧化物半導體場效應電晶體（MOSFET）。然而，應理解的系，在其它的實施方案中可以使用其它的電晶體，諸如但不限於雙極結型電晶體（BJT）和麵結型柵場效應電晶體（JFET）。每個電晶體 362-1...362-N 被構造為防止相應的輸入線上的電壓超過預定電壓。例如，在一些實施方案中，電晶體 362-1...362-N 可被構造為將電壓限制為

5 伏特。在其它實施方案中，電壓被限制為其它的電壓值。示例性電壓限值包括但不限於 0.8 伏特、1 伏特、1.8 伏特、2 伏特、2.5 伏特、3 伏特、3.3 伏特、7.3 伏特和 12 伏特。電壓限值是基於 IC 300 中的其它電路部件的要求確定的。

每個電晶體 362 的尺寸取決於由電晶體限制的最大電壓。例如，最大電壓越低，電晶體越大。另外，儘管在該實施例中每個電晶體 362 被構造為將相應輸入上的電壓限制為相同的最大電壓，應理解的系，在其它實施方案中，由每個電晶體 362 限制的最大電壓可不同於由其它電晶體 362 限制的最大電壓。因此，電晶體 362-1...362-N 可具有不同的尺寸。下面將結合圖 4 更加詳細地討論示例性多焊接引腳箝位元電路的操作。

圖 4 為多焊接引腳箝位元電路 401 的示例性實施方案的框圖。應理解的系，箝位元電路 401 是通過實施例的方式提供的，而且箝位元電路 401 中所示的電子部件可基於箝位元電路 401 的特定實施方式而不同。箝位元電路 401 包括在圖 4 中標示為 Plus<1>、Plus<2>和 Plus<N>的多個輸入，此處 N 為與 IC 中的相同引腳耦合的焊接導線的總數量。每個輸入與焊接到相同引腳的多根焊接導線中的一根耦合。

箝位元電路 401 的多個輸入中的每個與如圖所示的箝位元電路 401 中的相應的箝位電晶體 462 耦合。箝位電晶體 462-1...462-N 在圖 4 中也標示為 M16、M14 和 M17。本文所使用的箝位電晶體為構造為將相應線路上的電壓箝位

元為最大電壓限值的電晶體。在該實施例中，電晶體 M3、M8、M10、M13 和 M15；邏輯轉換器 409 和 41；以及電阻器 R0 構成了觸發器 460 的部分。因此，如圖 4 所示，每個箝位電晶體與輸入（本文中也可稱作輸入引腳）中的一個耦合，並且觸發器 460 僅與輸入中的一個（例如，在該實施例中為輸入 Plus<1>）耦合。

在觸發器 460 中，電晶體 M15 與 Plus<1>線路耦合並且充當為電容器。當發生 ESD 事件時，Plus<1>線路上的高電壓使得電晶體 M15 上拉柵極驅動信號。當柵極驅動信號被上拉時，電晶體 M16、M14 和 M17 接通並且分別將 Plus<1>、Plus<2>和 Plus<N>線路上的電壓置為電壓限值。在該實施例中，電壓限值為 5 伏特。然而，應理解的系，在其它實施方案中可以使用其它的限值。另外，應理解的系，觸發器 460 以實施例的方式而不同通過限制的方式提供。特別地，其它的觸發器電路可用於使箝位元電晶體 462 導通和關斷。

電阻器 R0 和電晶體 M8 與電壓 Vcap 連接，這使得電壓 Vcap 最初停留在接地軌附近。電晶體 M8 最初保持電壓 Vcap 較低並且通過電阻器 R0 對 Vcap 進行緩慢地放電。緊接著在 Plus<1>線路上的電壓快速升高之後，電晶體 M3 導通，這使得柵極驅動處的電壓被上拉。當發生 ESD 事件時，開關電晶體 M3 和 M15 的組合用於上拉柵極驅動節點 464。上拉柵極驅動節點 464 使得電晶體 M16、M14 和 M17 導通。當導通時，電晶體 M16、M14 和 M17 將相應的

Plus<1>、Plus<2>和 Plus<N>線路上的電壓保持為電壓限值。

在正常工作期間，箝位元電路 401 被構造為使得電晶體 M16、M14 和 M17 不會錯誤地接通。特別地，在正常工作期間，標示為 DISABLE 的信號脈衝變高。當信號脈衝 DISABLE 高時，邏輯轉換器 409 的輸出變低。當邏輯轉換器 409 的輸出變低時，電晶體 M10 被接通。當導通時，電晶體 M10 將電壓 Vcap 保持為高，這使得電晶體 M3 關斷並且防止電晶體 M3 上拉柵極驅動節點 464 處的電壓。

類似地，當信號脈衝 DISABLE 變高時，邏輯轉換器 411 的輸出變高，這使得電晶體 M13 導通。電晶體 M13 下拉柵極驅動節點 464，從而防止電晶體 M16、M14 和 M17 接通。因此，在正常工作期間，電晶體 M13 和 M3 防止電晶體 M16、M14 和 M 17 接通。結果，電晶體 M16、M14 和 M17 僅在 ESD 放電期間接通。由於僅在 ESD 放電期間導通，由於箝位元電路 401 引起的雜訊以及對於箝位元電路 401 造成損壞的風險被降低。

圖 5 為設計具有多焊接引腳箝位元電路的積體電路的方法 500 的一個實施方案的流程圖。應理解的系，圖 5 中的所有或者方法 500 的描述不應被解釋為限制可執行各個動作的次序。在塊 502 處，多焊接引腳與多個焊盤中的每個耦合。特別地，多焊接引腳經由如上文該相應的焊接導線與每個焊盤耦合。在塊 504 處，焊盤中的每個經由如上文該相應的導體與相應的內部連接耦合。內部連接為積體

電路中相應的焊盤和其它電路元件之間的連接。在塊 506 處，每個導體與多焊接引腳箝位元電路的多個輸入引腳的相應一個耦合。在塊 508 處，每個輸入引腳與多個箝位電晶體中的相應一個耦合。每個箝位電晶體被構造為防止相應的導體上的電壓超過相應的電壓限值。在塊 510 處，在該實施方案中，多個輸入引腳中的僅一個與多焊接引腳箝位元電路中的觸發器耦合。因此，觸發器經由相應的輸入引腳和導線連接僅與一個焊盤電耦合。觸發器被構造為回應於與觸發器耦合的相應導體上的電壓電平而使得箝位元電晶體中的每個幾乎同時導通和關斷。儘管在該實施方案中僅使用一個觸發器，應理解的系，在其它實施方案中可以使用多於一個的觸發器。例如，單獨的觸發器可用於每個箝位電晶體。可選擇地，單個觸發器可用於箝位電晶體中的一些，而單獨的觸發器可用於箝位電晶體中的其它。

圖 6 為具有與多焊接引腳耦合的多個焊盤的積體電路中的箝位元電壓的方法 600 的一個實施方案的流程圖。在塊 602 處，通過多焊接引腳箝位元電路來監測在多個焊盤中的僅一個處的電壓電平。特別地，在該實施例中，多焊接引腳箝位元電路中的觸發器僅與焊盤中的一個電耦合以監測該相應的焊盤的電壓電平。在塊 604 處，當由觸發器監測到的電壓電平超過閾值時，多焊接引腳箝位元電路中的多個箝位元電晶體中的每個幾乎同時導通。箝位電晶體中的每個與不同的焊盤耦合並且構造為防止相應焊盤處的電壓電平超過相應的電壓限值。另外，在一些實施方案中，

使得多個箝位電晶體中的每個導通還包括：防止多個箝位電晶體中的每個導通，除非發生靜電放電（ESD）事件，如上文所討論的。

儘管本已經示例和描述了特定的實施方案，熟諳技藝人士應理解的系，被設計以實現相同目的的任何佈置可替代所示的特定實施方案。因此，明顯旨在僅通過申請專利範圍及其等同內容來限制本發明。

【圖式簡單說明】

理解到附圖僅描繪了示例性實施方案並且因此不視為對範圍的限制，將利用附圖額外具體和詳細地描述示例性實施方案，其中：

圖 1 為示例性電子系統的一個實施方案的框圖。

圖 2 為具有多焊接引腳箝位元電路的示例性積體電路的一個實施方案的高級框圖。

圖 3 為具有多焊接引腳箝位元電路的示例性積體電路的一個實施方案的框圖。

圖 4 為示例性多焊接引腳箝位元電路的一個實施方案的電路示意圖。

圖 5 為描繪設計具有多焊接引腳箝位元電路的積體電路的方法的一個實施方案的流程圖。

圖 6 為在具有與多焊接引腳耦合的多個焊盤的積體電路中箝位元電壓的方法的一個實施方案的流程圖。

依照慣例，所描述的各個特徵不是按比例繪製，而是繪製以用於突出與示例性實施方案相關的特定特徵。

【主要元件符號說明】

100	電子系統
101	多焊接引腳角
102	電源
104	處理器
106	記憶體
108	半導體器件
110	資料通信匯流排
112	資料通信匯流排
114	電導線
116	電導線
118	電導線
103	積體電路
105	積體電路
107	積體電路
200	積體電路
201	多焊接引腳箱位元電路
254-1... 254-N	焊盤
1... N	內部連接
270-1... 270-N	導體
252	多焊接引腳
256-1... 256-N	焊接導線
259-1... 259-N	焊接寄生物
258-1... 258-N	支腿

300	積體電路
301	箝位元電路
358-1... 358-N	支腿
354-1... 354-N	焊盤
360	觸發器
362-1... 362-N	箝位電阻器
401	多焊接引腳箝位元電路
462-1... 462-N	箝位電阻器
M3	電晶體
M8	電晶體
M10	電晶體
M13	電晶體
M15	電晶體
409	邏輯轉換器
411	邏輯轉換器
R0	電阻器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101103486

※申請日：101.5.30 ※IPC 分類：H01L 23/60 (2006.01)

一、發明名稱：(中文/英文)

用於多焊接引腳的 ESD 箝位元電路

ESD CLAMP FOR MULTI-BONDED PINS

二、中文發明摘要：

提供了一種電路，該電路包括多個區段和箝位元電路。多個區段中的每個包括：焊盤，其經由相應的焊接導線與多焊接引腳耦合；以及導體，其將焊盤與相應的內部連接耦合。來自多個區段中的每個的焊盤與相同的多焊接引腳耦合。箝位元電路包括多個輸入引腳和多個箝位電晶體。每個輸入引腳經由相應的導體與多個區段中的相應一個的焊盤耦合。每個箝位電晶體與輸入引腳中的相應一個耦合，其中多個箝位電晶體中的每個被構造為防止相應的導體上的電壓超過相應的電壓限值。

三、英文發明摘要：

A circuit comprises a plurality of segments and a clamp circuit. Each of the plurality of segments comprises a bond pad coupled to a multi-bonded pin via a respective bond wire and a conductor coupling the bond pad to a respective internal connection. The bond pad from each of the

plurality of segments is coupled to the same multi-bonded pin. The clamp circuit comprises a plurality of input pins and a plurality of clamp transistors. Each input pin is coupled to the bond pad of a respective one of the plurality of segments via the respective conductor. Each clamp transistor is coupled to a respective one of the input pins, wherein each of the plurality of clamp transistors is configured to prevent a voltage on the respective conductor from exceeding a respective voltage limit.

七、申請專利範圍：

1.一種電路，包括：

多個區段，其中每個該區段包括：

一焊盤，其經由一相應的焊接導線與一多焊接引腳耦合，其中，來自該多個區段中的每個的該焊盤與相同的該多焊接引腳耦合；以及

一導體，其將該焊盤與一相應的內部連接耦合；

該電路進一步包括箝位元電路，其中該箝位元電路包括：

多個輸入引腳，每個輸入引腳經由一相應的該導體與該多個區段中的相應一個的該焊盤耦合；以及

多個箝位電晶體，每個該箝位電晶體與該輸入引腳中的相應一個耦合，其中該多個箝位電晶體中的每個被構造為防止一相應的該導體上的電壓超過相應的電壓限值。

2.如申請專利範圍第 1 項之電路，其中，該多個箝位電晶體中的每個的相應的該電壓限值等於其它箝位電晶體的相應的該電壓限值。

3.如申請專利範圍第 2 項之電路，其中，該多個箝位電晶體中的每個被構造為防止相應的該導體上的該電壓超過 0.8 伏特、1 伏特、1.8 伏特、2 伏特、2.5 伏特、3 伏特、3.3 伏特、5 伏特、7.3 伏特和 12 伏特中的一個。

4.如申請專利範圍第 1 項之電路，其中，該多個箝位元電晶體中的每個為一金屬氧化物半導體場效應電晶體（MOSFET）。

5.如申請專利範圍第 1 項之電路，其中，該箝位元電路進一步包括一觸發器，該觸發器被構造為使得該多個箝位電晶體中的每個導通和關斷；其中，該觸發器僅與該多個輸入引腳中的一個耦合。

6.如申請專利範圍第 5 項之電路，其中，該觸發器被構造為僅在靜電放電（ESD）事件期間使得該多個箝位電晶體中的每個導通。

7.一種電子系統，包括：

一耗電器件；以及

一電源，其構造為向該耗電器件提供電力；

其中，該耗電器件中的至少一個或該電源包括多焊接引腳箝位元電路，該多焊接引腳箝位元電路包括：

多個輸入引腳，每個輸入引腳經由一相應的焊盤與相應的該耗電器件或該電源中的一單個多焊接引腳電耦合；以及

多個箝位電晶體，每個箝位電晶體與該輸入引腳中的相應一個耦合，其中該多個箝位電晶體中的每個被構造為防止在一相應的該焊盤處接收到的電壓超過相應的電壓限值。

8.如申請專利範圍第 7 項之電子系統，其中，該電源包括一主電源、一電力轉換器或適配器、一電力管理系統或一基於電池的電源系統中的一個。

9.如申請專利範圍第 7 項之電子系統，其中該耗電器件包括一處理器和一記憶體中的一個。

10.如申請專利範圍第 7 項之電子系統，其中，該多個箝位電晶體中的每個的相應的該電壓限值等於其它箝位電晶體的相應的該電壓限值。

11.如申請專利範圍第 7 項之電子系統，其中，該多個箝位電晶體中的每個被構造為防止在相應的該焊盤處接收到的該電壓超過 0.8 伏特、1 伏特、1.8 伏特、2 伏特、2.5 伏特、3 伏特、3.3 伏特、5 伏特、7.3 伏特和 12 伏特。

12.如申請專利範圍第 7 項之電子系統，其中，該多個箝位元電晶體中的每個為一金屬氧化物半導體場效應電晶體（MOSFET）。

13.如申請專利範圍第 7 項之電子系統，其中，該多焊接引腳箝位元電路進一步包括一觸發器，該觸發器被構造為使得該多個箝位電晶體中的每個導通和關斷；

其中，該觸發器與該多個輸入引腳中的僅一個耦合。

14.如申請專利範圍第 13 項之電子系統，其中，該觸發器被構造為僅在靜電放電（ESD）事件期間使得該多個箝位電晶體中的每個導通。

15.一種設計具有多焊接引腳箝位元電路的電路的方法，該方法包括：

將一多焊接引腳與多個焊盤中的每個耦合；

經由一相應的導體將每個該焊盤與一相應的內部連接耦合；

將每個該導體與該一多焊接引腳箝位元電路的多個輸入引腳中的相應一個耦合；以及

將每個該輸入引腳與多個箝位電晶體中的相應一個耦合，每個該箝位電晶體被構造為防止相應的該導體上的電壓超過相應的電壓限值。

16.如申請專利範圍第 15 項之方法，其中，將每個該輸入引腳與該多個箝位電晶體中的一相應一個耦合包括：將每個該輸入引腳與多個金屬氧化物半導體場效應電晶體中的相應一個耦合。

17.如申請專利範圍第 15 項之方法，進一步包括：將該多焊接引腳箝位元電路中的一觸發器與該多個輸入引腳中的僅一個耦合，該觸發器被構造為使得該多個箝位電晶體中的每個導通和關斷。

18.一種在具有與多焊接引腳耦合的多個焊盤的電路中箝位元電壓的方法，該方法包括：

通過多焊接引腳箝位元電路來監測該多個焊盤中的一個處的電壓電平；以及

當該電壓電平超過閾值電平時，使得該多焊接引腳箝位元電路中的多個箝位元電晶體中的每個導通，每個該箝位電晶體與該多個焊盤中的一相應一個耦合並且被構造為防止相應的該焊盤處的電壓電平超過相應的電壓限值。

19.如申請專利範圍第 18 項之方法，其中，該多個箝位元電晶體中的每個為一金屬氧化物半導體場效應電晶體。

20.如申請專利範圍第 18 項之方法，進一步包括：

防止該多個箝位電晶體中的每個導通，除非發生靜電放電（ESD）事件。

八、圖式：

(如次頁)

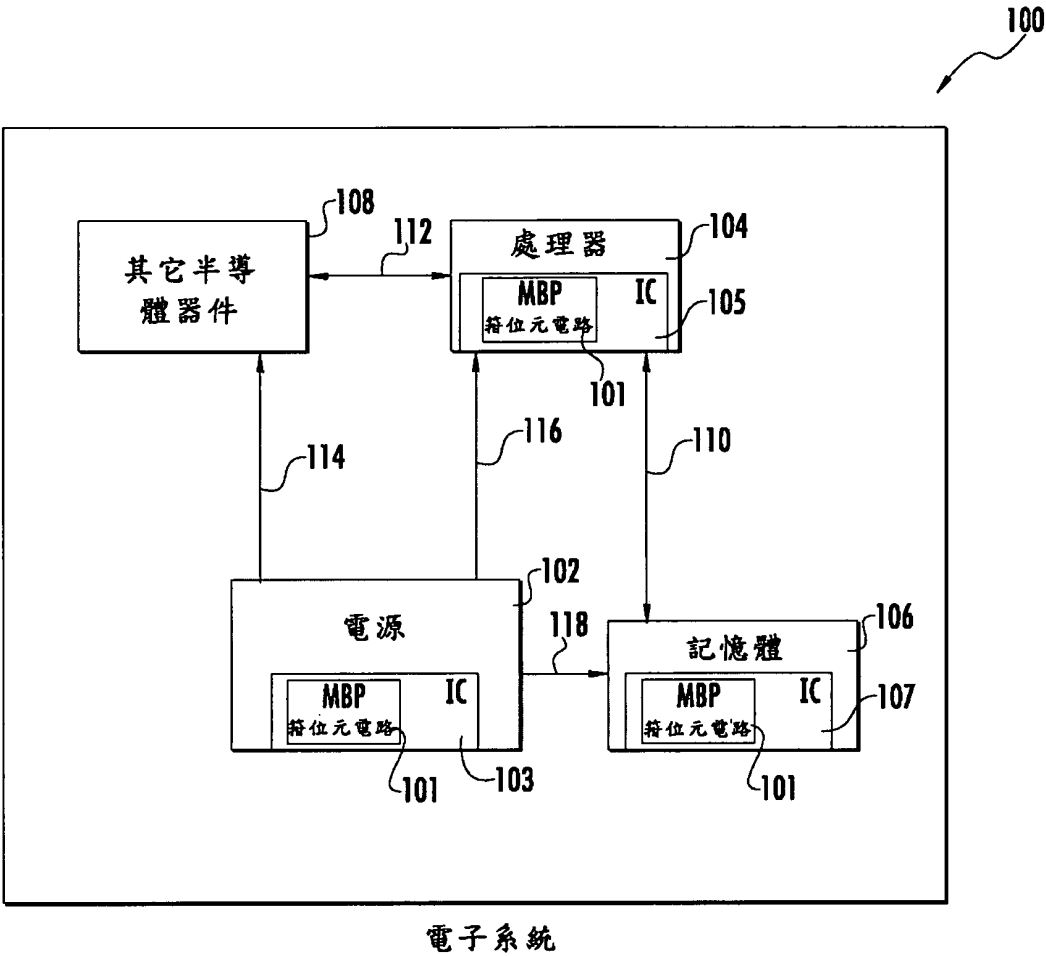


圖 1

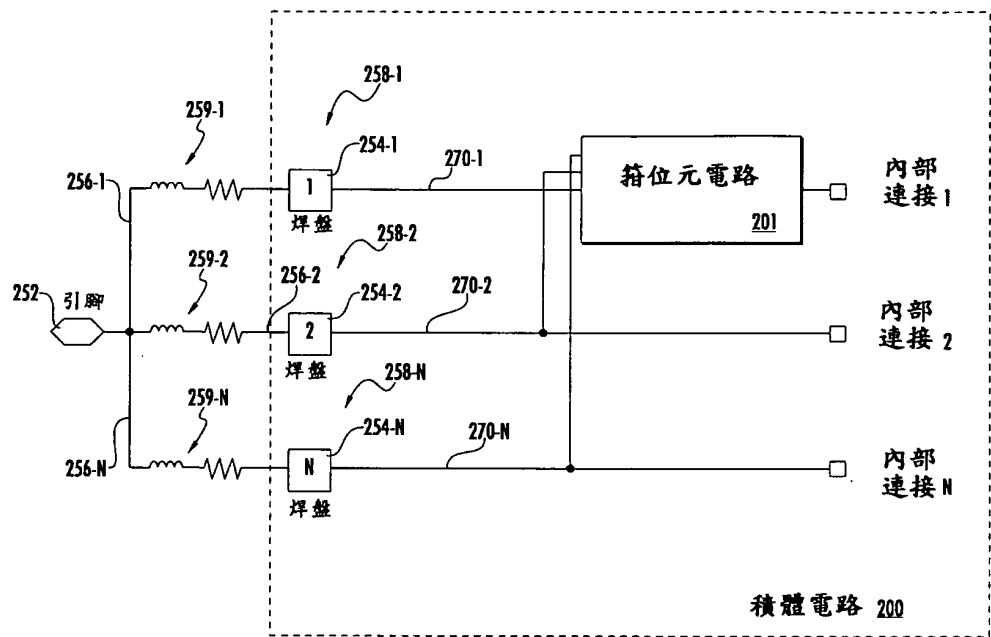


圖 2

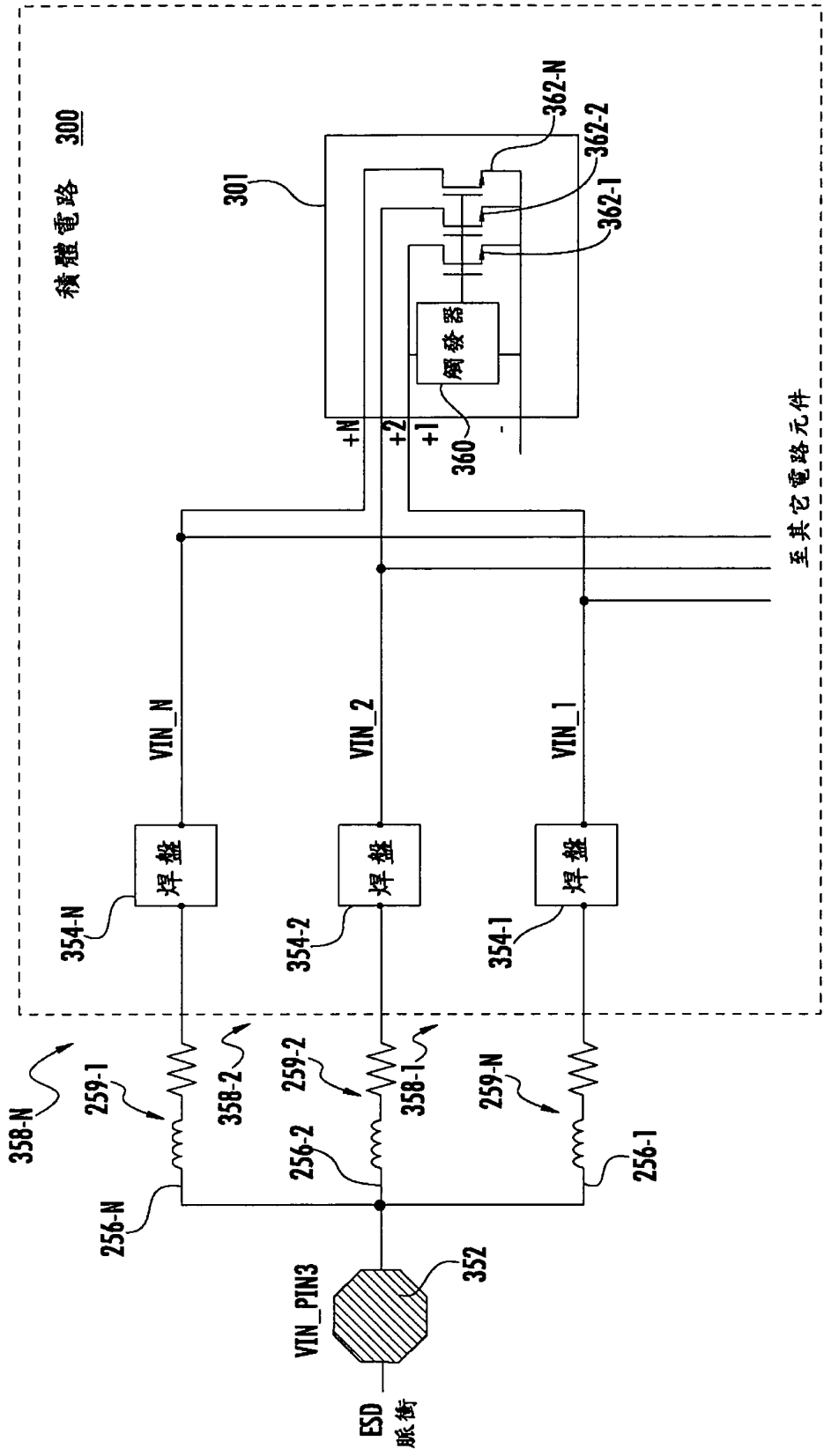
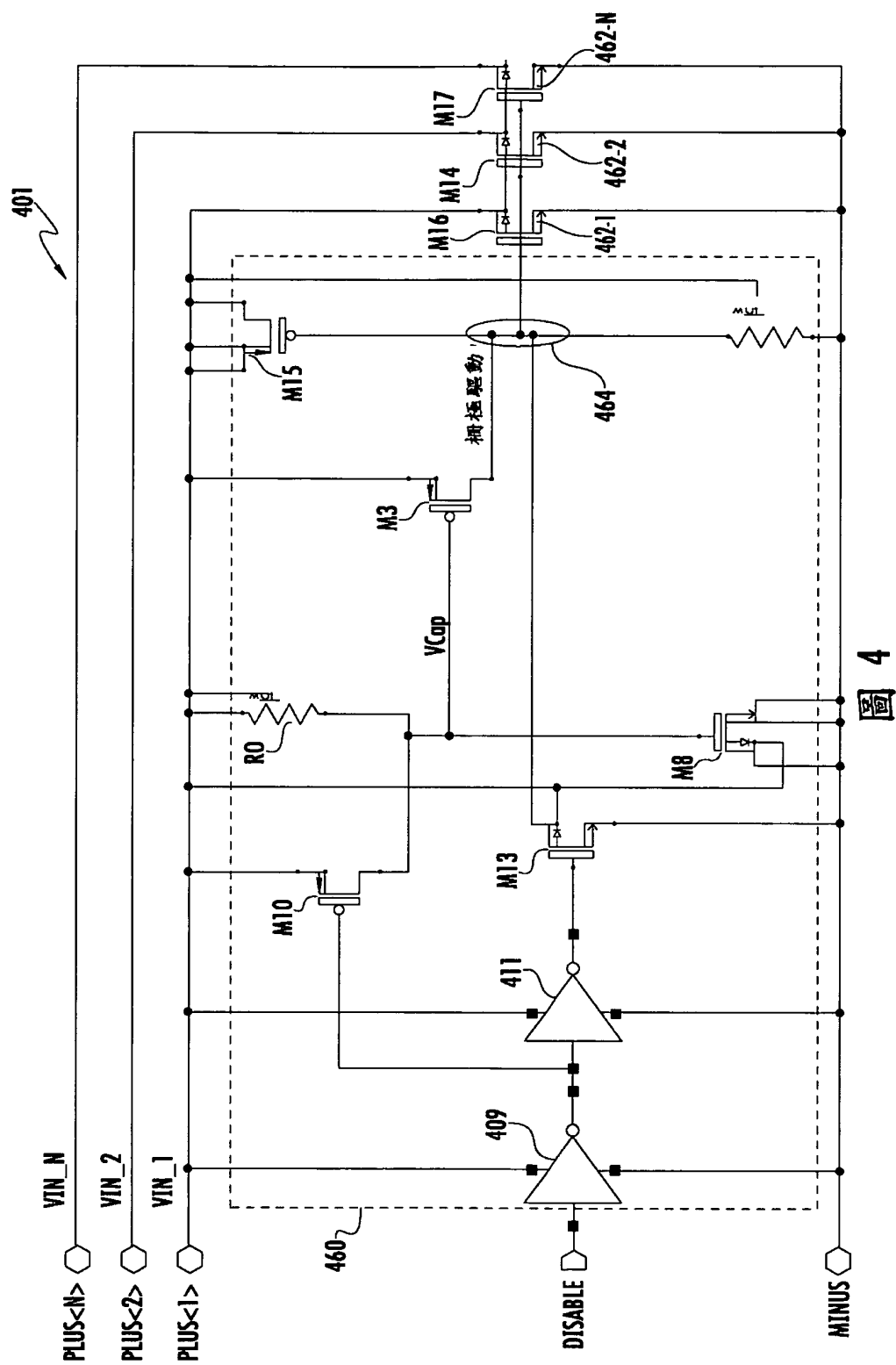


圖 3



4
圖

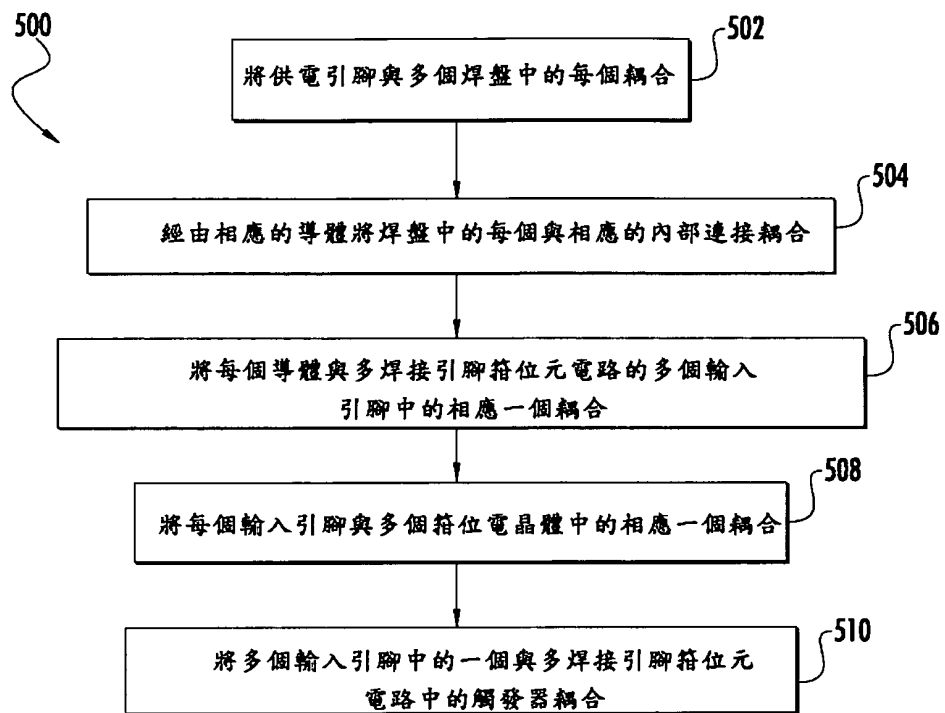


圖 5

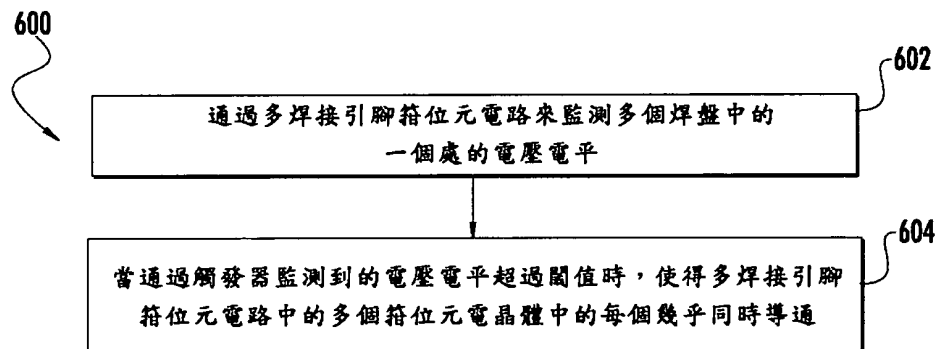


圖 6

四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

100	電 子 系 統
101	多 焊 接 引 腳 角
102	電 源
104	處 理 器
106	記 憶 體
108	半 導 體 器 件
110	資 料 通 信 匯 流 排
112	資 料 通 信 匯 流 排
114	電 導 線
116	電 導 線
118	電 導 線
103	積 體 電 路
105	積 體 電 路
107	積 體 電 路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無