



(12) 发明专利申请

(10) 申请公布号 CN 116075924 A

(43) 申请公布日 2023. 05. 05

(21) 申请号 202180061683.X

(74) 专利代理机构 北京品源专利代理有限公司
11332

(22) 申请日 2021.09.01

专利代理师 吕琳 朴秀玉

(30) 优先权数据

2020-154747 2020.09.15 JP

(51) Int. Cl.

H01L 21/316 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.03.08

(86) PCT国际申请的申请数据

PCT/JP2021/032045 2021.09.01

(87) PCT国际申请的公布数据

W02022/059482 JA 2022.03.24

(71) 申请人 东京毅力科创株式会社

地址 日本东京

(72) 发明人 秋山浩二 田村知大

菲利普·盖伯特

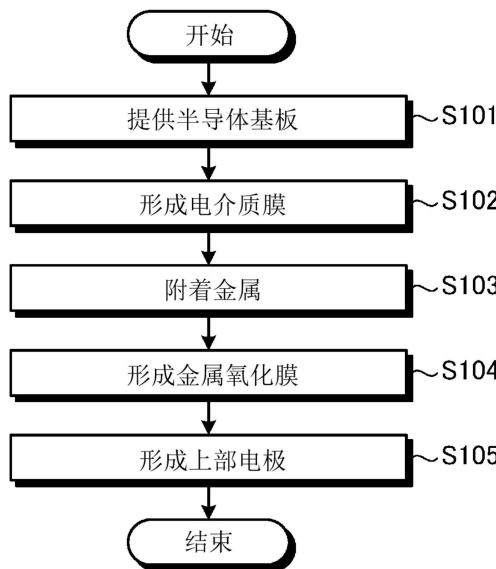
权利要求书1页 说明书5页 附图7页

(54) 发明名称

半导体装置的制造方法

(57) 摘要

本发明的半导体装置的制造方法包括:在半导体基板上或在形成于半导体基板的下部电极上,形成电介质膜的工序;使金属选择性地附着在电介质膜的表面上的规定区域的工序;通过对金属实施热处理,在电介质膜的表面上的规定区域形成绝缘性的金属氧化膜的工序;以及在电介质膜的表面上的规定区域形成有金属氧化膜的状态下,在电介质膜上形成上部电极的工序。



1. 一种半导体装置的制造方法,包括:
在半导体基板上或在形成于半导体基板的下部电极上,形成电介质膜的工序;
使金属选择性地附着在所述电介质膜的表面上的规定区域的工序;
通过对所述金属实施热处理,在所述电介质膜的表面上的规定区域形成绝缘性的金属氧化膜的工序;以及
在所述电介质膜的表面上的规定区域形成有所述金属氧化膜的状态下,在所述电介质膜上形成上部电极的工序。
2. 根据权利要求1所述的半导体装置的制造方法,其中,
在使所述金属附着的工序中,使金属选择性地附着在包含在所述电介质膜的表面上露出的晶界的周缘的区域。
3. 根据权利要求2所述的半导体装置的制造方法,其中,
在使所述金属附着的工序中,通过进行镀敷处理,使金属选择性地附着在包含在所述电介质膜的表面上露出的晶界的周缘的区域,所述镀敷处理是使用了经由存在于所述电介质膜中的晶界进行传导的电子的处理。
4. 根据权利要求1~3中任一项所述的半导体装置的制造方法,其中,
所述金属包含铝即Al或五价过渡金属。
5. 根据权利要求4所述的半导体装置的制造方法,其中,
所述五价过渡金属包含铌即Nb或钽即Ta。
6. 根据权利要求1~5中任一项所述的半导体装置的制造方法,其中,
所述电介质膜包含氧化铪即 HfO_2 或氧化锆即 ZrO_2 。
7. 根据权利要求1~6中任一项所述的半导体装置的制造方法,其中,
形成所述金属氧化膜的工序在 300°C 以下的温度下进行。
8. 根据权利要求1~7中任一项所述的半导体装置的制造方法,其中,
在形成所述金属氧化膜的工序与形成所述下部电极的工序之间,还包括在惰性气氛下对所述金属氧化膜进行退火的工序。
9. 根据权利要求8所述的半导体装置的制造方法,其中,
对所述金属氧化膜进行退火的工序在 500°C 以下的温度下进行。

半导体装置的制造方法

技术领域

[0001] 本公开涉及一种半导体装置的制造方法。

背景技术

[0002] 在专利文献1、2中公开了在半导体装置的制造工序中,在成为下部电极与上部电极之间的电容绝缘膜、栅极绝缘膜的电介质膜上,通过单原子层沉积(ALD:atomic layer deposition)法形成绝缘性的金属氧化膜的技术。通过绝缘性的金属氧化膜,能够降低电介质膜的泄漏电流。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2007-88301号公报

[0006] 专利文献2:日本特开2012-80095号公报

发明内容

[0007] 发明所要解决的问题

[0008] 本公开提供了一种能够在不使电介质膜的电容等效膜厚(CET:Capacitance Equivalent Thickness)增大的情况下降低泄漏电流的技术。

[0009] 用于解决问题的方案

[0010] 本公开的一个方案的半导体装置的制造方法包括:在半导体基板上或在形成于半导体基板的下部电极上,形成电介质膜的工序;使金属选择性地附着在电介质膜的表面上的规定区域的工序;通过对金属实施热处理,在电介质膜的表面上的规定区域形成绝缘性的金属氧化膜的工序;以及在电介质膜的表面上的规定区域形成有金属氧化膜的状态下,在电介质膜上形成上部电极的工序。

[0011] 发明效果

[0012] 根据本公开,起到能够在不使电介质膜的CET增大的情况下降低泄漏电流的效果。

附图说明

[0013] 图1是表示一实施方式的半导体装置的构造的一个例子的图。

[0014] 图2是表示一实施方式的半导体装置的制造方法的一个例子的流程图。

[0015] 图3是表示一实施方式的半导体装置的制造方法的各工序中的被处理体的状态的一个例子的剖面图。

[0016] 图4是表示一实施方式的半导体装置的制造方法的各工序中的被处理体的状态的一个例子的剖面图。

[0017] 图5是表示一实施方式的半导体装置的制造方法的各工序中的被处理体的状态的一个例子的剖面图。

[0018] 图6是表示一实施方式的半导体装置的制造方法的各工序中的被处理体的状态的

一个例子的剖面图。

[0019] 图7是用于说明一实施方式中的金属附着工序的详细情况的图。

[0020] 图8是表示电介质膜的CET和泄漏电流的测定结果的一个例子的图。

[0021] 图9是表示一实施方式的变形例的半导体装置的构造的一个例子的图。

具体实施方式

[0022] 以下,参照附图对各种实施方式详细地进行说明。需要说明的是,公开技术不受以下实施方式的限定。

[0023] 在通过ALD法在电介质膜上形成绝缘性的金属氧化膜的技术中,在不使电介质膜的CET增大的情况下降低泄漏电流这一方面有改善的余地。

[0024] 因此,本公开提供一种能够在不使电介质膜的CET增大的情况下降低泄漏电流的技术。

[0025] [半导体装置的构造]

[0026] 图1是表示一实施方式的半导体装置的构造的一个例子的图。图1所示的半导体装置100为金属—绝缘体—金属(MIM: Metal-Insulator-Metal)构造的半导体装置。半导体装置100具有:半导体基板101、形成在半导体基板101上的下部电极203、形成在下部电极203上的电介质膜102、以及形成在电介质膜102上的上部电极103。在MIM构造的半导体装置100中,电介质膜102被用作上部电极103与下部电极203之间的电容绝缘膜。在电介质膜102的表面上的规定区域局部地形成有绝缘性的金属氧化膜104。

[0027] [半导体装置的制造方法]

[0028] 图2是表示一实施方式的半导体装置的制造方法的一个例子的流程图。图3~图6是表示一实施方式的半导体装置的制造方法的各工序中的被处理体的状态的一个例子的剖面图。

[0029] 首先,提供形成有下部电极203的半导体基板101(步骤S101)。半导体基板101例如为硅基板等。下部电极203例如为氮化钛(TiN)。

[0030] 接着,在下部电极203上形成电介质膜102(步骤S102,参照图3)。电介质膜102例如包含氧化铪(HfO_2)或氧化锆(ZrO_2)。

[0031] 接着,使金属104a选择性地附着在电介质膜102的表面上的规定区域(步骤S103,金属附着工序,参照图4)。金属104a例如包含铝(Al)或五价过渡金属。五价过渡金属例如包含铌(Nb)或钽(Ta)。

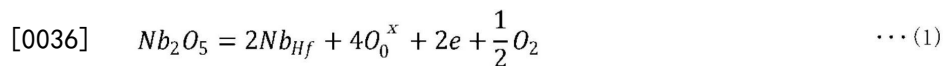
[0032] 在此,参照图7,对步骤S103的金属附着工序的详细情况进行说明。图7是用于说明一实施方式中的金属附着工序的详细情况的图。电介质膜102包含作为结晶化的部分的晶体部分C和作为未结晶化的部分的无定形物质部 α 。在作为晶体部分C的边界面的晶界形成有集约着多个氧缺陷 V_O 的集合体。晶界的一部分在电介质膜102的表面上露出。在金属附着工序中,如图7所示,使金属104a选择性地附着在包含在电介质膜102的表面上露出的晶界的周缘的区域(以下称为“晶界周缘区域”)。在金属附着工序中,通过进行镀敷处理(例如电镀处理),使金属104a选择性地附着在电介质膜102的表面上的晶界周缘区域,该镀敷处理是使用了经由存在于电介质膜102中的晶界进行传导的电子的处理。即,在存在于电介质膜102中的晶界处,通过氧缺陷 V_O 的集合体形成使电子从下部电极203向电介质膜102的表面

传导的路径。在金属附着工序中,通过利用在该路径中传导并供给至电介质膜102的表面上晶界的电子使电解液中的金属离子还原,从而使金属104a选择性地附着在电介质膜102的表面上晶界周缘区域。

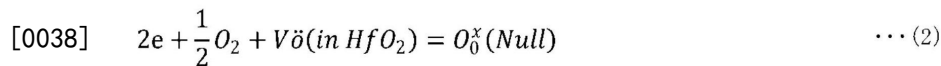
[0033] 接着,通过对金属104a实施热处理,在电介质膜102的表面上规定区域(就是说晶界周缘区域)形成绝缘性的金属氧化膜104(步骤S104,参照图5)。金属氧化膜104例如为氧化铝(Al_2O_3)、氧化铌(Nb_2O_5)或氧化钽(Ta_2O_5)。从使金属氧化膜104适当地生长的观点考虑,优选的是,步骤S104的工序在例如300℃以下的温度下进行。

[0034] 在步骤S104的工序中,例如,在电介质膜102为氧化铪(HfO_2)且金属氧化膜104为氧化铌(Nb_2O_5)的情况下,进行下述化学反应式(1)、(2)所示的化学反应。

[0035] [化学式1]



[0037] [化学式2]



[0039] 根据化学反应式(1)的化学反应,氧化铌(Nb_2O_5)的两个Nb原子进入氧化铪(HfO_2)的晶体中的Hf原子的位点,且氧化铌的四个O原子进入氧化铪的晶体中的O原子的位点。此外,根据化学反应式(1)的化学反应,剩余两个电子和一个O原子。

[0040] 根据化学反应式(2)的化学反应,剩余的两个电子和一个O原子进入氧化铪(电介质膜102)的表面上晶界处的氧缺陷 V_o 。由此,在氧化铪(HfO_2)的表面附近作为电子路径的氧缺陷 V_o 消失,氧化铪的表面上晶界的周缘被金属氧化膜104电密封。作为结果,能够降低电介质膜102的泄漏电流。

[0041] 需要说明的是,即使在金属氧化膜104为氧化钽(Ta_2O_5)的情况下,也推定为进行同样的化学反应,作为结果,能够降低电介质膜102的泄漏电流。此外,在金属氧化膜104为氧化铝(Al_2O_3)的情况下,氧化铝的Al—O键的共价键合性强且带隙大,因此电子的隧穿(tunneling)受到抑制,作为结果,能够降低电介质膜102的泄漏电流。

[0042] 此外,在步骤S104的工序中,与通过ALD法在电介质膜102的整个表面形成金属氧化膜的现有技术不同,仅在电介质膜102的表面上晶界周缘区域选择性地形成金属氧化膜104。由此,能够抑制电介质膜102的CET的增大。

[0043] 接着,在电介质膜102上形成上部电极103(步骤S105,参照图6),结束处理。上部电极103例如为氮化钛(TiN)。

[0044] [电介质膜102的CET和泄漏电流]

[0045] 图8是表示电介质膜102的CET和泄漏电流的测定结果的一个例子的图。图8中示出在氧化锆(ZrO_2)的电介质膜102上形成氮化钛(TiN)的上部电极103情况下的测定结果。

[0046] 图8的比较例1示出在不形成金属氧化膜104的情况下在电介质膜102上直接形成上部电极103的结果。图8的实施例1示出下述情况的结果:在处理时间/电流/总电荷量=1min/3mA/0.2C的处理条件下,通过镀敷处理使金属104a附着在电介质膜102的表面上晶界周缘区域,形成金属氧化膜104,然后形成上部电极103。图8的实施例2示出下述情况的结果:在处理时间/电流/总电荷量=10min/10mA/6.7C的处理条件下,通过镀敷处理使金属104a附着在电介质膜102的表面上晶界周缘区域,形成金属氧化膜104,然后形成上部电

极103。在实施例1、2中,金属104a设为铝(Al),金属氧化膜104设为氧化铝(Al_2O_3)。

[0047] 由图8可知,在形成金属氧化膜104的情况下,与不形成金属氧化膜104的情况相比,电介质膜102的CET的增大受到抑制且泄漏电流降低。即,根据在形成上部电极103之前,在电介质膜102的表面的晶界周缘区域形成金属氧化膜104的一实施方式的半导体装置的制造方法,能够在不使电介质膜102的CET增大的情况下降低泄漏电流。而且,从图8的结果可知,在形成金属氧化膜104的情况下,与不形成金属氧化膜104的情况相比,电介质膜102的CET降低。即,根据在形成上部电极103之前,在电介质膜102的表面的晶界周缘区域形成金属氧化膜104的一实施方式的半导体装置的制造方法,也能够降低电介质膜102的CET。作为电介质膜102的CET降低的理由,可以认为通过镀敷处理在电介质膜102(ZrO_2 膜)的表面形成有基于镀敷物的氧化物的凹凸,随着电介质膜102的有效表面积的增加而电容(Capacitance)增加。

[0048] [变形例]

[0049] 在上述实施方式中,以MIM构造的半导体装置为例进行了说明,但即使在金属-氧化物-半导体(MOS: Metal-Oxide-Semiconductor)构造的半导体装置中也能够应用公开技术。图9是表示一实施方式的变形例的半导体装置100A的构造的一个例子的图。图9所示的半导体装置100A是MOS构造的半导体装置。半导体装置100A具有半导体基板101、形成在半导体基板101上的电介质膜102以及形成在电介质膜102上的上部电极103。在MOS构造的半导体装置100A中,电介质膜102被用作栅极绝缘膜。在电介质膜102的表面的规定区域(就是说,晶界周缘区域)局部地形成有绝缘性的金属氧化膜104。在MOS构造的半导体装置100A中,上部电极103被用作栅极电极。

[0050] 就变形例的半导体装置100A的制造方法而言,在一实施方式的步骤S101的工序中,提供半导体基板101。此外,就半导体装置100A的制造方法而言,在一实施方式的步骤S102的工序中,在半导体基板101上形成电介质膜102。在变形例的半导体装置100A的制造方法中,从金属104a的附着(步骤S103)直至上部电极103的形成(步骤S105)为止的处理与一实施方式是同样的。

[0051] 如此,在MOS构造的半导体装置100A中,在形成上部电极103之前,也在电介质膜102的表面的晶界周缘区域形成金属氧化膜104。由此,能够在不使电介质膜102的CET增大的情况下降低泄漏电流。

[0052] [效果]

[0053] 上述实施方式的半导体装置的制造方法包括:在半导体基板上或在形成于半导体基板的下部电极上,形成电介质膜的工序;使金属选择性地附着在电介质膜的表面的规定区域的工序;通过对金属实施热处理,在电介质膜的表面的规定区域形成绝缘性的金属氧化膜的工序;以及在电介质膜的表面的规定区域形成有金属氧化膜的状态下,在电介质膜上形成上部电极的工序。因此,根据实施方式,能够在不使电介质膜的CET增大的情况下降低泄漏电流。

[0054] 此外,在实施方式中,可以是,在使金属附着的工序中,使金属选择性地附着在包含在电介质膜的表面上露出的晶界的周缘的区域。因此,根据实施方式,能够抑制电介质膜的表面的泄漏电流的发生。

[0055] 此外,在实施方式中,可以是,在使金属附着的工序中,通过进行镀敷处理,使金属

选择性地附着在包含在电介质膜的表面上露出的晶界的周缘的区域,该镀敷处理是使用了经由存在于电介质膜中的晶界进行传导的电子的处理。因此,根据实施方式,能够使金属精度良好地仅附着在电介质膜的表面上露出的晶界的周缘。

[0056] 此外,在实施方式中,可以是,金属包含铝(Al)或五价过渡金属。此外,在实施方式中,可以是,五价过渡金属包含铌(Nb)或钽(Ta)。此外,在实施方式中,可以是,电介质膜包含氧化铪(HfO_2)或氧化锆(ZrO_2)。因此,根据实施方式,使用由铝(Al)或五价过渡金属形成的绝缘性的金属氧化膜,能够在不使电介质膜的CET增大的情况下降低泄漏电流。

[0057] 此外,在实施方式中,可以是,形成金属氧化膜的工序在 300°C 以下的温度下进行。因此,根据实施方式,能够使金属氧化膜在电介质膜的表面上适当地生长。

[0058] [其他]

[0059] 需要说明的是,本申请中公开的技术并不限定于上述的实施方式,在其主旨的范围内可以进行各种变形。

[0060] 例如,在上述实施方式中,可以是,在形成金属氧化膜的工序(步骤S104)与形成下部电极的工序(步骤S105)之间,还包括在惰性气氛下对金属氧化膜进行退火的工序。此外,在该情况下,优选的是,对金属氧化膜进行退火的工序在 500°C 以下的温度下进行。由此,能够使金属氧化膜适当地生长到存在于电介质膜中的晶界为止,作为结果,能够进一步降低泄漏电流。

[0061] 此外,在上述实施方式中,可以是,在形成电介质膜的工序(步骤S102)与使金属附着的工序(步骤S103)之间,还包括在惰性气氛下对电介质膜进行退火的工序。此外,在该情况下,优选的是,对电介质膜进行退火的工序在 500°C 以下的温度下进行。由此,能够使电介质膜适度地结晶化。

[0062] 应该认为,本次公开的各实施方式在所有的方面上都是例示,而不是限制性的。上述的实施方式可以在不脱离权利要求书及其主旨的情况下以各种形式省略、置换、变更。

[0063] 附图标记说明

[0064] 100、100A:半导体装置;101:半导体基板;102:电介质膜;103:上部电极;104:金属氧化膜;104a:金属;203:下部电极。

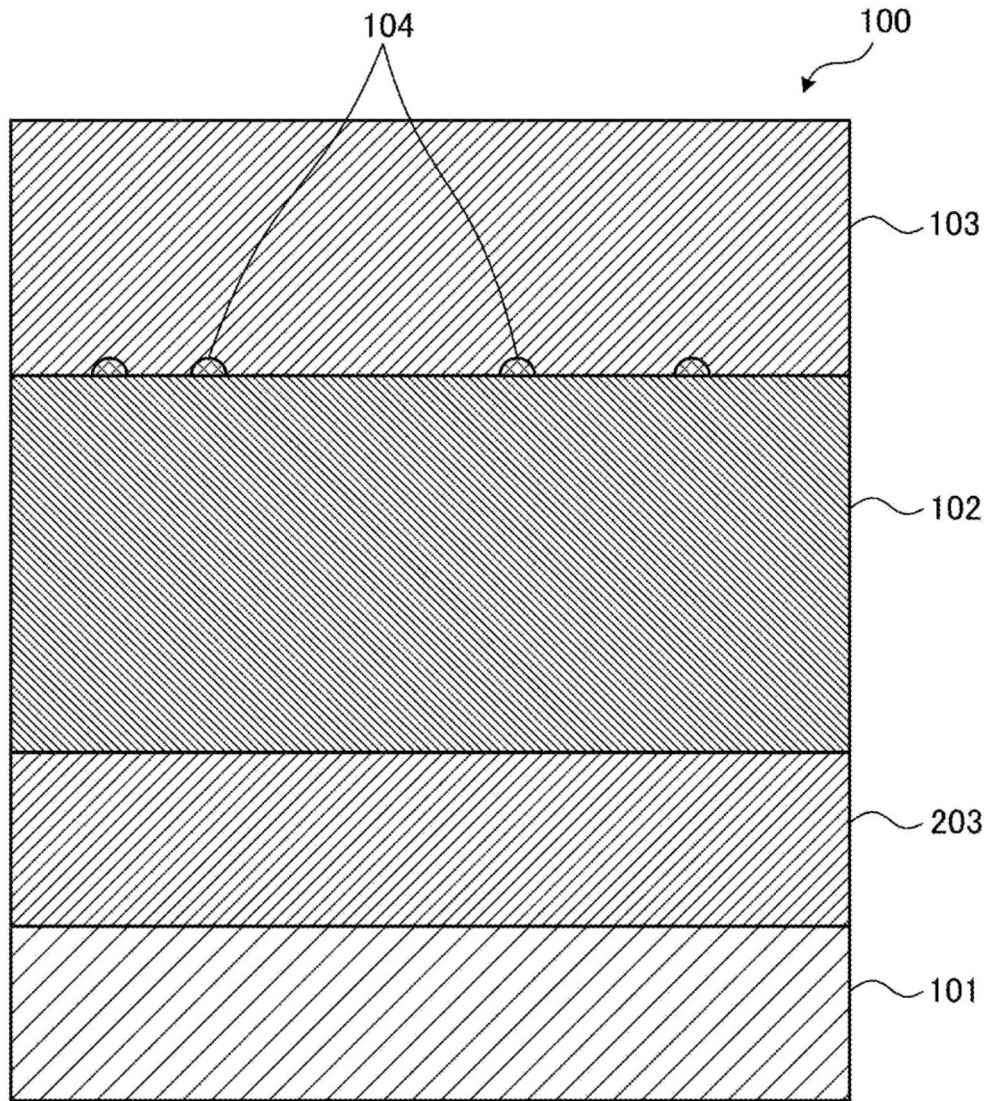


图1

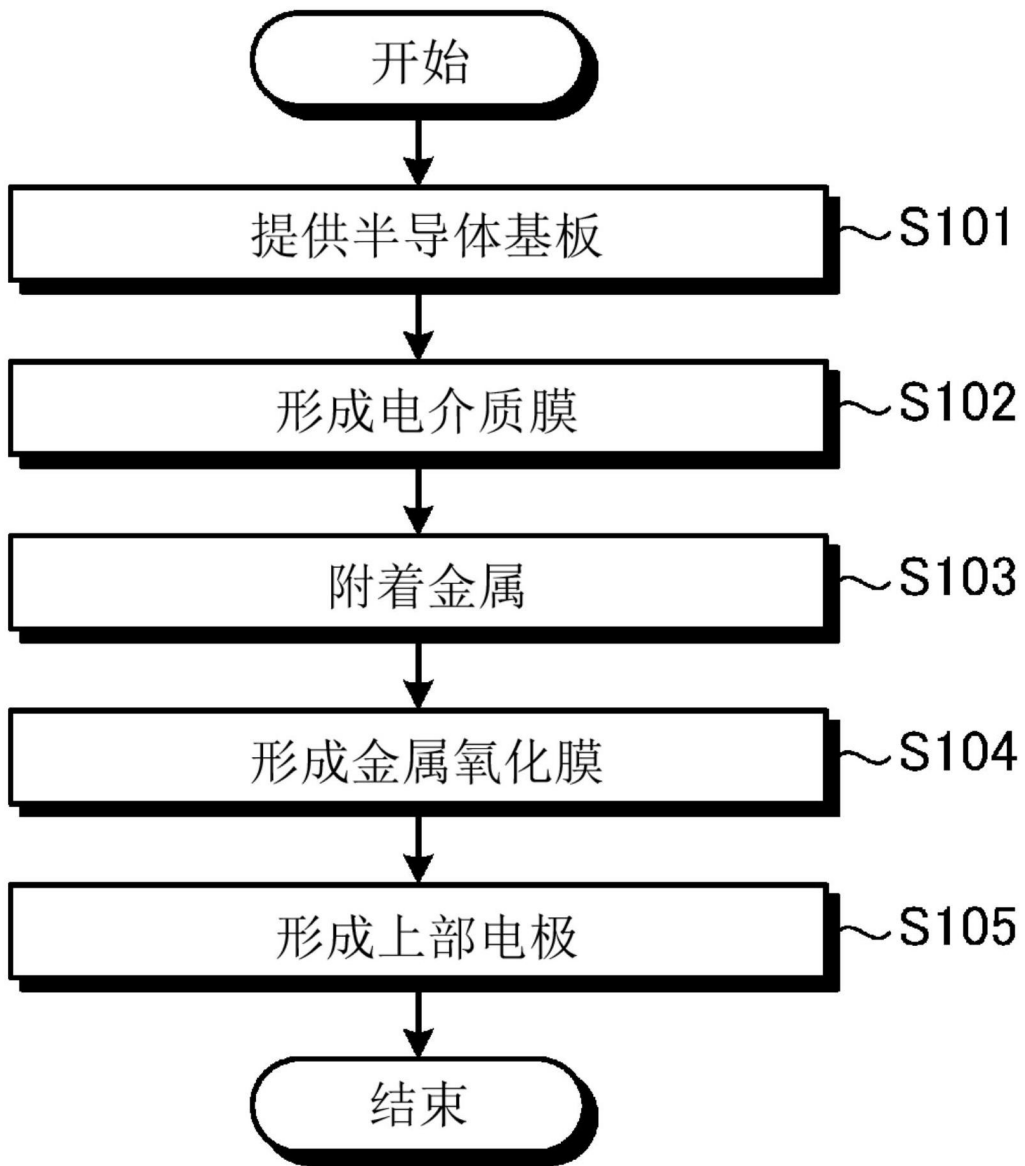


图2

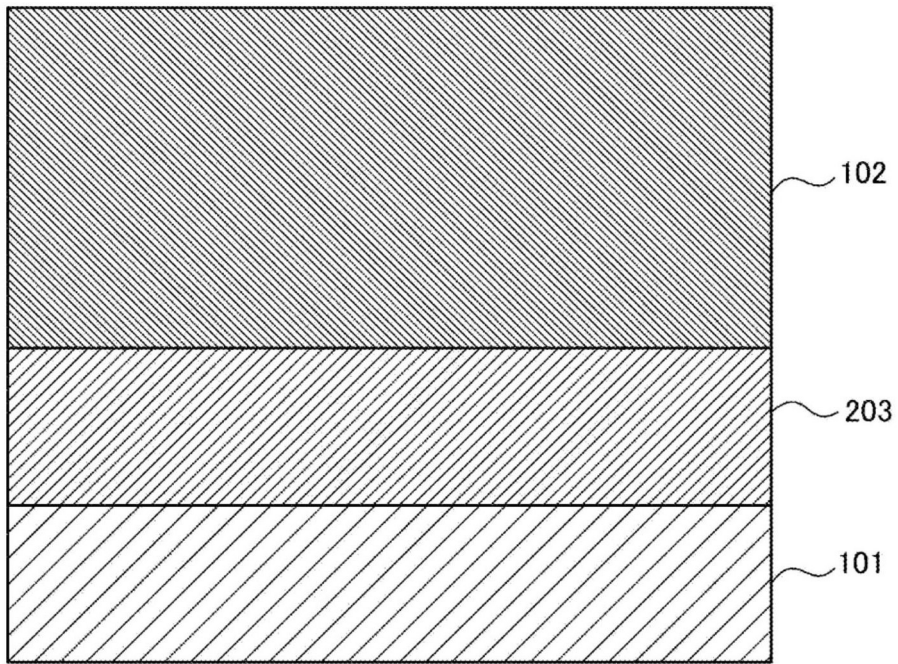


图3

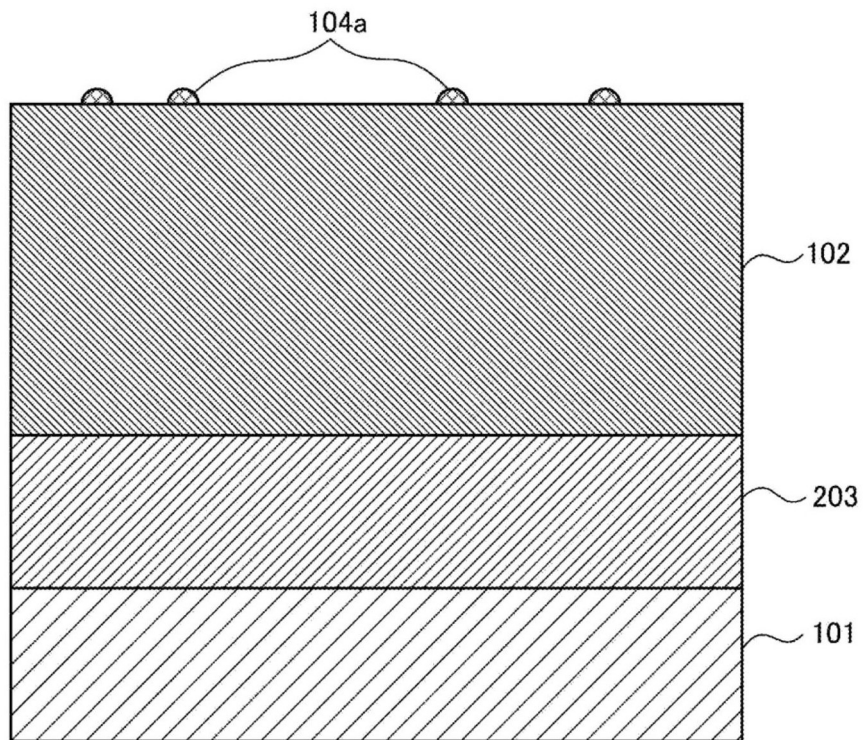


图4

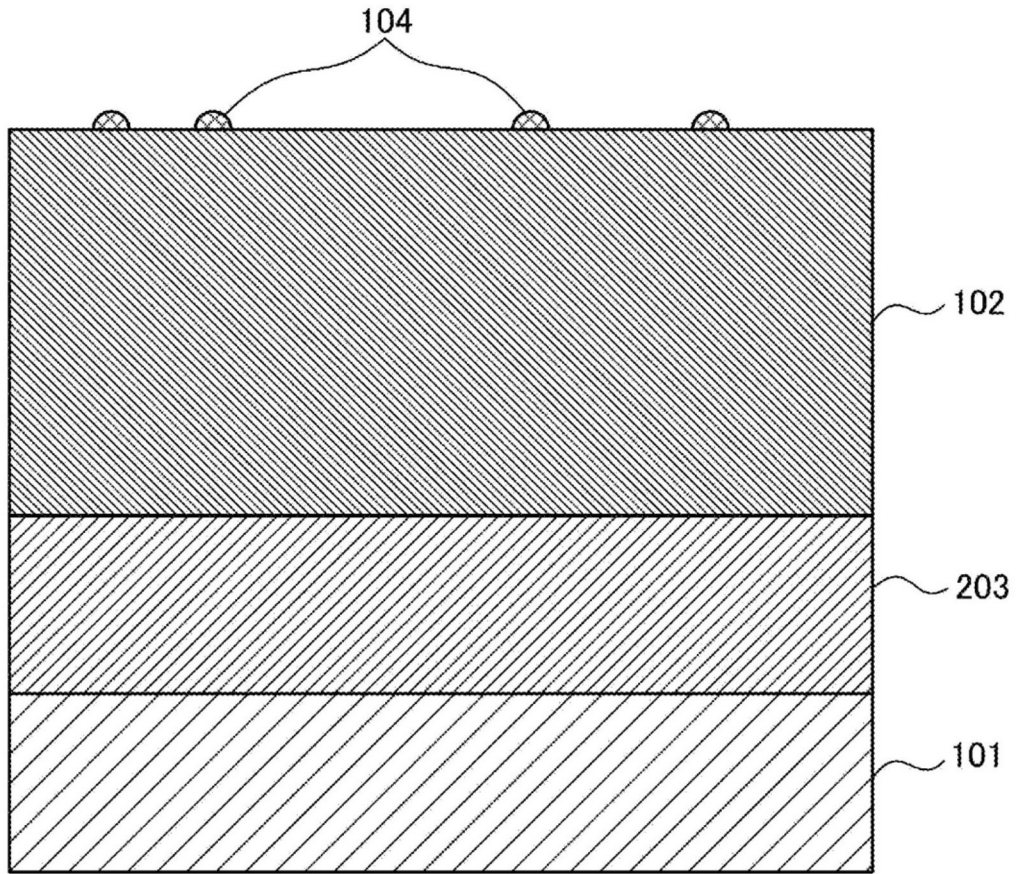


图5

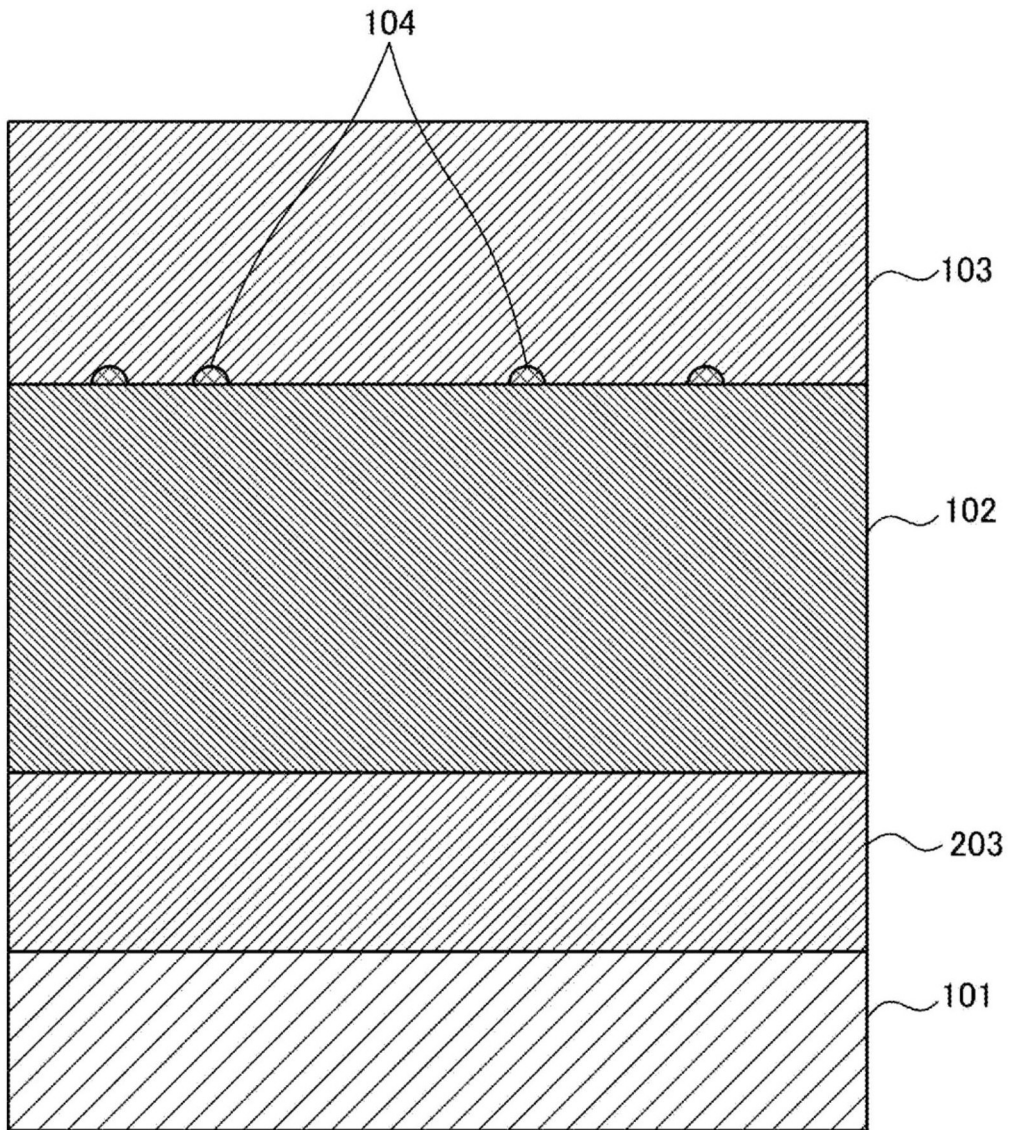


图6

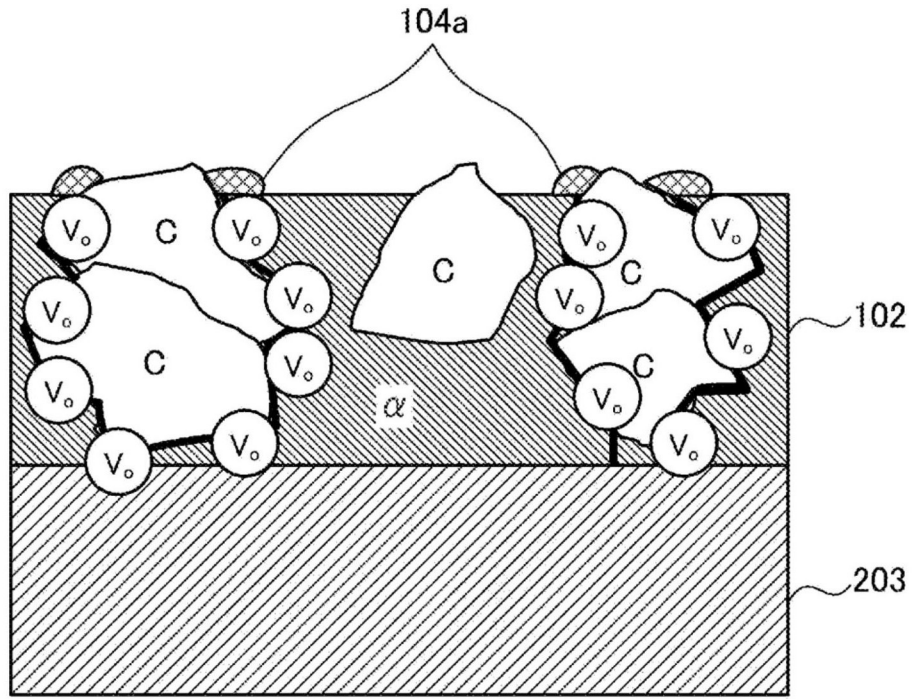


图7

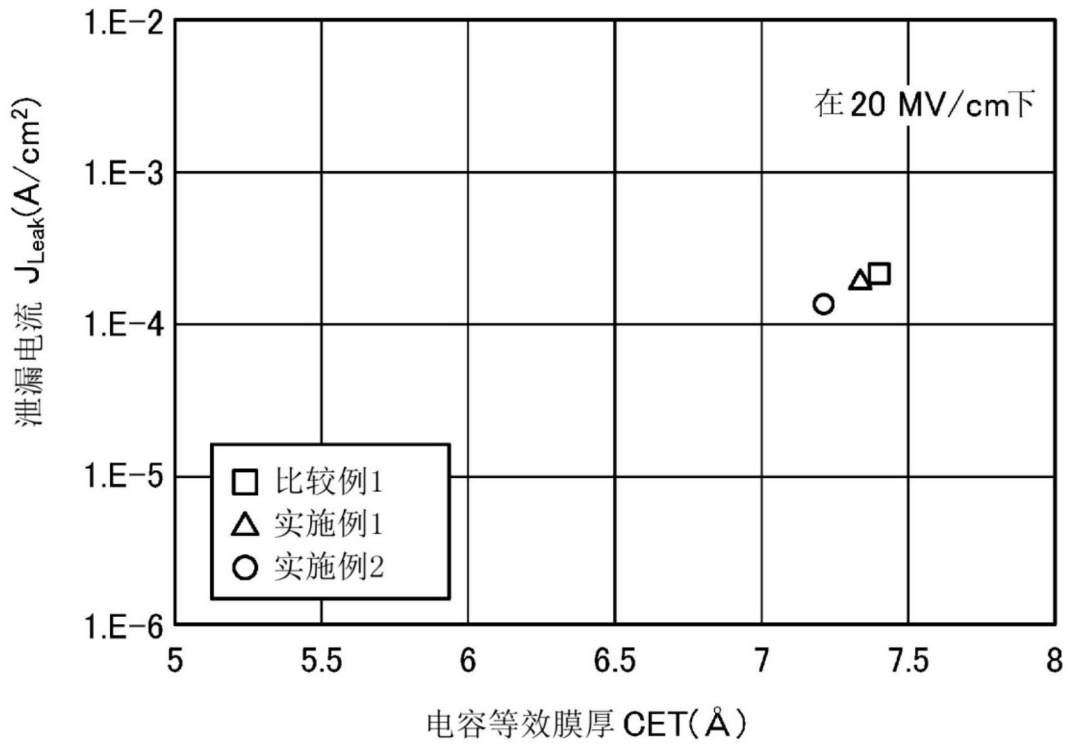


图8

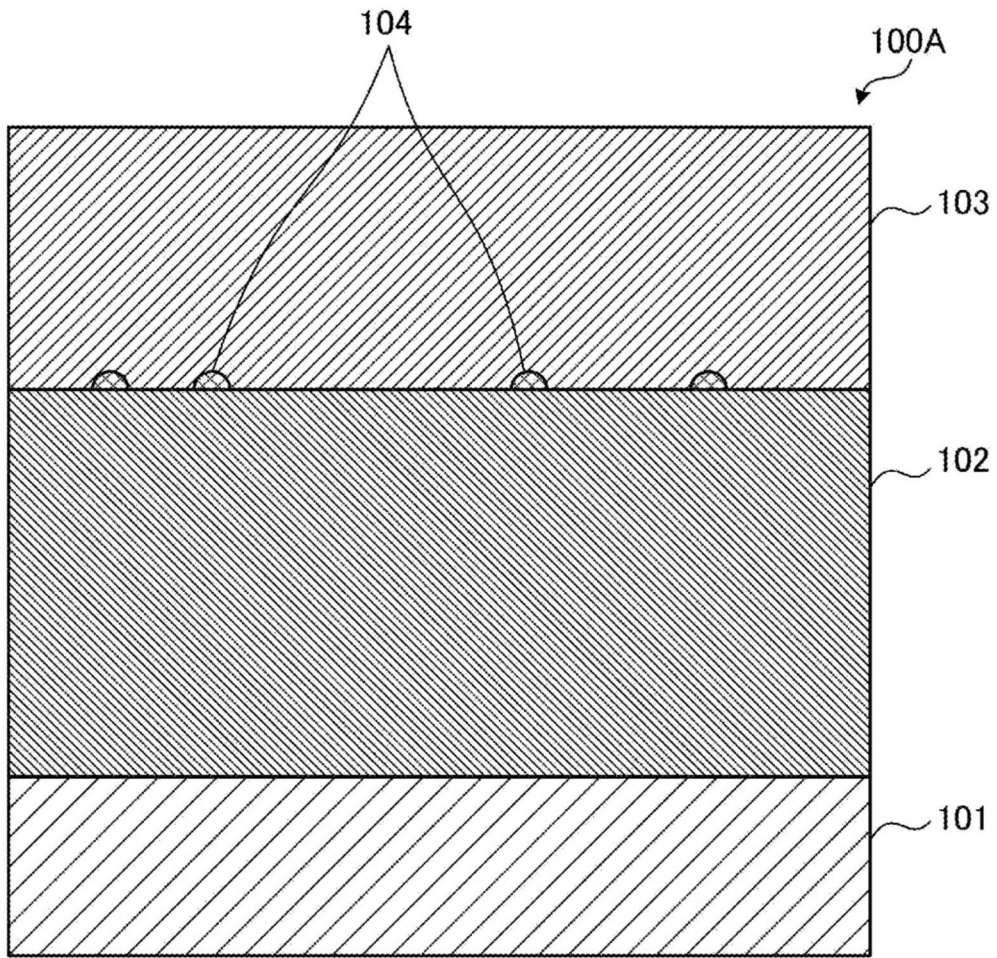


图9