

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4206693号
(P4206693)

(45) 発行日 平成21年1月14日 (2009. 1. 14)

(24) 登録日 平成20年10月31日 (2008. 10. 31)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 A

G 0 9 G 3 / 2 0 6 4 1 D

請求項の数 12 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-142365 (P2002-142365)
 (22) 出願日 平成14年5月17日 (2002. 5. 17)
 (65) 公開番号 特開2003-330415 (P2003-330415A)
 (43) 公開日 平成15年11月19日 (2003. 11. 19)
 審査請求日 平成17年5月6日 (2005. 5. 6)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 景山 寛
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 秋元 肇
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に、複数の画素と、該画素に表示信号であるアナログ電圧信号を入力するための複数の信号線が形成され、前記画素のそれぞれには電流によって発光強度が変化する発光素子と、該発光素子を駆動するための画素回路が形成された画像表示装置であって、前記画素回路には、前記発光素子への電流を、供給および遮断の2状態で制御するスイッチ手段と、表示信号である前記アナログ電圧信号とは無関係に前記スイッチ手段を前記2状態のいずれかにプリセットするプリセット手段と、表示信号である前記アナログ電圧信号に従って前記スイッチ手段の状態を反転するリセット手段を具備し、前記スイッチ手段は、前記発光素子への電流を供給および遮断する少なくとも1つの薄膜トランジスタと、該薄膜トランジスタのゲート電極電圧を保持するキャパシタで構成され、前記リセット手段は、前記アナログ電圧信号を記憶する記憶手段であるキャパシタを具備し、前記リセット手段は少なくとも1つの薄膜トランジスタを具備し、前記スイッチ手段を構成する薄膜トランジスタのゲート電極に、前記リセット手段が具備する薄膜トランジスタのソース電極あるいはドレイン電極が接続し、前記信号線の他に三角波電圧信号を供給する三角波供給配線を具備し、前記信号線に供給されるアナログ電圧信号と前記三角波供給配線に供給される三角波電圧信号のいずれかを選択して前記キャパシタに供給する選択手段を具備し、前記選択手段は、前記三角波供給配線と、前記信号線にそれぞれ接続する2つの薄膜トランジスタで構成され、前記リセット手段のキャパシタの一方の電極は、前記リセット手段が具備する薄膜トランジスタのゲート電極に、もう一方の電極は、前記選択手段を構成する

10

20

2つの薄膜トランジスタに接続していることを特徴とする画像表示装置。

【請求項2】

請求項1の画像表示装置であって、前記画素回路は薄膜トランジスタを用いて形成されていることを特徴とする画像表示装置。

【請求項3】

請求項1の画像表示装置であって、前記画素回路はnチャネル型あるいはpチャネル型のいずれか一方の薄膜トランジスタのみを用いて形成されていることを特徴とする画像表示装置。

【請求項4】

請求項1の画像表示装置であって、前記リセット手段は、前記リセット手段が具備する薄膜トランジスタのスレッシュホールド電圧をキャンセルするためのスレッシュホールド電圧キャンセル手段を具備し、前記スレッシュホールド電圧キャンセル手段は、前記リセット手段が具備する薄膜トランジスタのゲート電極 - ソース電極間あるいはゲート電極 - ドレイン電極間の短絡と開放を制御するもう一つの薄膜トランジスタで構成されていることを特徴とする画像表示装置。

【請求項5】

請求項1の画像表示装置であって、前記プリセット手段は、プリセット信号を伝えるプリセット信号配線と、前記スイッチ手段を構成する前記キャパシタを充電あるいは放電するための少なくとも1つの薄膜トランジスタで構成されることを特徴とする画像表示装置。

【請求項6】

請求項1の画像表示装置であって、前記画素回路には、前記発光素子に供給する電流を一定に保つための定電流回路を具備していることを特徴とする画像表示装置。

【請求項7】

基板上に、複数の画素と、該画素に表示信号であるアナログ電圧信号を入力するための複数の信号線が形成され、前記画素のそれぞれには電流によって発光強度が変化する発光素子と、該発光素子を駆動するための画素回路が形成された画像表示装置であって、前記画素回路には、前記発光素子への電流を、供給および遮断の2状態で制御するスイッチ手段と、表示信号である前記アナログ電圧信号とは無関係に前記スイッチ手段を前記2状態のいずれかにプリセットするプリセット手段と、表示信号である前記アナログ電圧信号に従って前記スイッチ手段の状態を反転するリセット手段を具備し、前記スイッチ手段は、前記発光素子への電流を供給および遮断する少なくとも1つの薄膜トランジスタと、該薄膜トランジスタのゲート電極電圧を保持するキャパシタで構成され、前記リセット手段は、前記アナログ電圧信号を記憶する記憶手段であるキャパシタを具備し、前記リセット手段は少なくとも1つの薄膜トランジスタを具備し、前記スイッチ手段を構成する薄膜トランジスタのゲート電極に、前記リセット手段が具備する薄膜トランジスタのソース電極あるいはドレイン電極が接続し、前記リセット手段が具備するキャパシタの一方の電極は、前記リセット手段が具備する薄膜トランジスタのゲート電極に、もう一方の電極は、前記信号線とに接続しており、前記信号線には、前記アナログ電圧信号と三角波電圧信号が時間的に分割して供給されていることを特徴とする画像表示装置。

【請求項8】

請求項7の画像表示装置であって、前記画素回路は薄膜トランジスタを用いて形成されていることを特徴とする画像表示装置。

【請求項9】

請求項7の画像表示装置であって、前記画素回路はnチャネル型あるいはpチャネル型のいずれか一方の薄膜トランジスタのみを用いて形成されていることを特徴とする画像表示装置。

【請求項10】

請求項7の画像表示装置であって、前記リセット手段は、前記リセット手段が具備する薄膜トランジスタのスレッシュホールド電圧をキャンセルするためのスレッシュホールド電圧キャン

10

20

30

40

50

セル手段を具備し、前記スレッシュホールド電圧キャンセル手段は、前記リセット手段が具備する薄膜トランジスタのゲート電極 - ソース電極間あるいはゲート電極 - ドレイン電極間の短絡と開放を制御するもう一つの薄膜トランジスタで構成されていることを特徴とする画像表示装置。

【請求項 1 1】

請求項 7 の画像表示装置であって、前記プリセット手段は、プリセット信号を伝えるプリセット信号配線と、前記スイッチ手段を構成する前記キャパシタを充電あるいは放電するための少なくとも 1 つの薄膜トランジスタで構成されることを特徴とする画像表示装置。

【請求項 1 2】

請求項 7 の画像表示装置であって、前記画素回路には、前記発光素子に供給する電流を一定に保つための定電流回路を具備していることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像表示装置に関する。特に本発明は画素に発光素子がある画像表示装置に関する。

【0002】

【従来の技術】

画素に発光素子を使用した画像表示装置として、エレクトロルミネッセンス（以下、EL と略す）素子を用いた EL ディスプレイが報告されている。さらに、アクティブマトリクス型の EL ディスプレイでは、信号や電流を伝える配線をマトリクス状に配線し、画素には EL 素子の他に、アクティブ素子である薄膜トランジスタ（以下 TFT と略す）で形成した画素回路を内蔵している。画素回路が EL 素子の発光輝度を制御する方法として、画素回路が EL 素子へ供給する時間を変調する方法があり、SID'00 DIGEST pp924-927 の Fig 1, Fig2, Fig6 に報告されている。

EL 素子を使った従来の画素を図 15 に示す。画素 151 は、画素回路と EL 素子 156 によって構成され、画素回路は TFT 152 ~ 154、キャパシタ 155 によって構成されている。

また、画素 151 には、表示信号であるデジタル信号を入力する信号線 D line、EL 素子 156 に電流を供給する配線 V line、D line の信号をキャパシタ 155 に書き込む信号を供給する信号線 PS、キャパシタ 155 をリセットする信号を供給する信号線 ES が接続している。

画素 151 は次のような駆動方法によって多階調の輝度を発生することができる。たとえば 6 ビット階調 = 64 階調の輝度を発生する場合、1 枚の画像を表示する期間である 1 フレーム期間を 6 つのサブフレーム期間に分け、6 つのサブフレーム期間の各期間において、以下の動作を行う。

サブフレームの始めで、信号線 D1 に表示信号であるデジタル電圧信号 bx を供給し、信号線 PS に H レベルのパルスを提供することで TFT 152 が ON になり、デジタル電圧信号 bx はキャパシタ 155 に記憶される。

サブフレーム期間中はキャパシタ 155 がデジタル電圧信号 bx を記憶しており、その電圧 bx が L レベルの場合には TFT 154 が ON であるので EL 素子 156 は点灯し、H レベルの場合には TFT 154 が OFF であるので EL 素子 156 は消灯する。

所定の点灯時間が経過した後、信号線 ES に H レベルのパルスが供給され、TFT 153 が ON になりキャパシタ 155 をリセットし、TFT 154 は OFF になる。

前記の所定の点灯時間を、各サブフレーム期間で 32 : 16 : 8 : 4 : 2 : 1 の比率になるように設定し、デジタル電圧信号 bx として表示データの各ビットに対応した電圧を MSB から順に供給することで、1 フレーム期間では画素の平均輝度は表示データに比例したものになる。なお、H レベル、L レベルはデジタル電圧信号の 2 値の電圧の意味である。

10

20

30

40

50

画素 1 5 1 を 2 次元的に配列し、各画素に順番に表示信号を書き込むことによって画像を表示することができる。

このように、E L 素子の発光時間を変えることによって平均輝度を制御する方法では、E L 素子 1 5 6 を流れる電流は表示信号に依存しないため、線形性のよい多階調表示が得やすい利点があり、E L ディスプレイは滑らかに明るさが変化する画像を表示することができる。

【 0 0 0 3 】

【発明が解決しようとする課題】

図 1 5 のようにして、1 フレーム期間を複数のサブフレームに分けて表示信号を書き込むと、各画素に表示信号を書き込む回数が増える。たとえば、6 ビット (6 4 階調) の画像を表示する場合は 6 回、8 ビット (2 5 6 階調) の画像を表示する場合は 8 回表示信号を書き込む必要がある。それに反比例して画素に表示信号を書き込む時間は短くなる。すると、画素数が多い高解像度のディスプレイでは書き込み時間が制限されるため、1 フレームに何度も表示信号を書き込むことができなくなる。

また、1 フレーム期間に点灯する時間が複数存在すると、動画像を目で追従するときに擬似輪郭あるいは F a l s e P i x e l と呼ばれるノイズが発生することが報告されている。

さらに、ビットの重みで点灯時間を分割しているので、基本的に画素の平均輝度は表示信号に比例する。そのため、補正をする場合、画像のビット数よりもさらに多くのサブフレームが必要になるため非常に困難である。

本発明では、1 フレーム期間に各画素に書き込む回数を少なくしたので高解像度化が容易である。1 フレーム期間に点灯期間は 1 度であり、擬似輪郭は発生しない。さらに、補正を容易に実現する。

【 0 0 0 4 】

【課題を解決するための手段】

本発明の画像表示装置の画素回路には、発光素子への電流を、供給および遮断の 2 状態で制御するスイッチ手段と、表示信号であるアナログ電圧信号とは無関係に前記スイッチ手段を 2 状態のいずれかにプリセットするプリセット手段と、表示信号であるアナログ電圧信号に従ってスイッチ手段の状態を反転するリセット手段を具備している。

【 0 0 0 5 】

【発明の実施の形態】

(1) 図 1 に本発明の第一の実施例の画素およびその周辺の回路図を示す。画像を表示する表示領域 1 1 には 2 次元的に画素 1 2 が複数配列されている。画素 1 2 は、T F T 1 3 ~ 1 6、キャパシタ 1 7、1 8 で構成される画素回路と、E L 素子 2 1 で構成されている。E L 素子 2 1 の陰極は共通電極 2 9 に接続されている。T F T 1 3 ~ 1 6 は全て n チャネル型の薄膜トランジスタである。表示領域 1 1 には、表示信号を含むアナログ電圧信号を伝える信号線 D 1、D 2、E L 素子 2 1 に流す電流を供給する配線 E 1、E 2 と、画素 1 2 の画素回路を制御する信号線 W 1、W 2、P 1、P 2 がマトリクス状に配線されている。キャパシタ 1 8 の一端は電極 1 9 に接続されている。電極 1 9 は外部で接地された配線で構成するか、共通電極 2 9 に接続するか、あるいは配線 E 1 に接続している。

T F T 1 6 はスイッチ手段であり、配線 E 1 から E L 素子 2 1 への電流の供給と遮断を制御する。キャパシタ 1 8 はスイッチ手段である T F T 1 6 のゲート電圧を保持することで T F T 1 6 の O N / O F F の状態を記憶する。T F T 1 5 はプリセット手段であり、信号線 P 1 にポジティブパルスが入力された時にキャパシタ 1 8 に電圧をプリセットする。T F T 1 4 はリセット手段であり、ゲート電圧がスレッシュホールド電圧を超えるか否かによってキャパシタ 1 8 の電圧のリセットを制御する。T F T 1 3 は T F T 1 4 のスレッシュホールド電圧キャンセル手段である。キャパシタ 1 7 は信号線 D 1 の表示信号であるアナログ電圧信号と T F T 1 4 のスレッシュホールド電圧の差電圧を記憶する記憶手段である。

図 2 に本発明の第一および第二の実施例の構成図を示す。ガラス基板 1 の表面には、表示領域 1 1 があり、複数の画素 1 2 が形成されている。本発明の第一の実施例では、ガラス

10

20

30

40

50

基板 1 の表面には、信号線 W 1 ~ W n、P 1 ~ P n、D 1 ~ D m、配線 E 1 ~ E m と、信号線 W 1 ~ W n、P 1 ~ P n へ制御信号を発生する走査回路 2、信号線 D 1 ~ D m の信号を発生する信号回路 3 が配置されている。走査回路 2、信号回路 3 はそれぞれ T F T でガラス基板 1 上に形成するか、あるいは半導体 L S I を取り付けることによって構成される。走査回路 2 は表示領域 1 1 の両側に配置することで、信号線 W 1 ~ W n、P 1 ~ P n への信号の供給能力を上げることができる。また、信号回路 3 は表示領域に対して紙面上下方向いずれの辺に配置してもかまわない。

基板 1 の外部にある電源 2 6 は、接地電極 2 8 と配線 E 1 ~ E m の全てに接続している。配線 E 1 ~ E m は基板 1 の表面あるいは外部で互いに接続しており、基板 1 の表面で接続している場合は、配線 E 1 ~ E m 間で隣接する配線を短絡する配線を多数作成し、配線 E 1 ~ E m を 1 つの網目状の電極として形成してもよい。

10

電源 2 6 と配線 E 1 ~ E m の間にはスイッチ 2 5 があり、電源 2 6 からの電流供給を制御している。そのため、スイッチは電源 2 6 と接地電極 2 8 の間にあってもかまわない。あるいは、スイッチ 2 5 は T F T で作成して配線 E 1 ~ E m と各画素 1 2 の接続点に並列に配置してもかまわない。

図 2 には記載していないが、表示領域 1 1 を覆うように共通電極 2 9 が形成されており、全ての画素 1 2 の E L 素子 2 1 に接続している。また、共通電極 2 9 は接地電極 2 8 と電気的に接続している。画素 1 2 の E L 素子 2 1 の発光は、ガラス基板 1 からガラス基板の背面方向に透過し、図 2 の図面の背面から表示画像を見ることができる。共通電極 2 9 を透明にした場合は、図 2 の図面の正面からでも表示画像を見ることができる。E L 素子には有機 E L ダイオードを使用することができる。また、E L 素子 2 1 のそれぞれに、赤、緑、青の発光材料を用いることで、カラー表示をすることもできる。

20

ところで、図 1 では表示領域 1 1 に画素 1 2 を 2×2 の 4 つしか記述しなかったが、実用的にはさらに多くあり、カラー V G A (6 4 0 画素 \times R G B 3 色 \times 4 8 0 画素) の解像度の場合、紙面横方向の画素数は $m = 1 9 2 0$ になり、紙面縦方向の画素数は $n = 4 8 0$ になる。同様に信号線 D 1 ~ D m、配線 E 1 ~ E m は 1 9 2 0 本、信号線 W 1 ~ W n、P 1 ~ P n は 4 8 0 本になる。

図 3 (A) に本発明の第一の実施例の駆動電圧波形、動作電圧波形、および動作電流波形を示す。また、図 3 (B) は 1 フレーム期間における図 3 (A) の波形のタイミングチャートを示す。

30

図 3 (A) の横軸は時間である。波線の部分では時間の連続性がないことを意味している。S W 2 5 はスイッチ 2 5 の O N / O F F 動作の状態を示している。W 1、P 1、D 1 は各信号線に inputs する電圧を縦軸に表している。a、b は各ノードで発生する電圧を縦軸に表している。I L E D は E L 素子 2 1 に流れる電流を縦軸に表している。いずれも図面上方向が + 方向である。W 1、P 1 の信号はそれぞれ 2 値のロジック電圧であり、D 1 の信号はアナログ電圧である。W 1 において H レベルは T F T 1 3 が O N になる電圧、L レベルは T F T 1 3 が O F F になる電圧である。P 1 において、H レベルは T F T 1 6 を O N にするのに十分な電圧、L レベルは T F T 1 6 を O F F にするのに十分な電圧を意味する。また、信号線 D 1 およびノード a、b のアナログ電圧は L レベル電圧を基準電圧 0 V として記述する。図 3 (A) の斜線部分は複数の値を取り得るか、あるいは動作に無関係であることを示している。なお、図 3 (A) の W 1、P 1、D 1 の記号の数字 " 1 " は、1 列目、1 行目の画素 1 2 に供給する信号を意味する数字であるので、ほかの画素の場合には対応する列と行に数字は変更になる。

40

図 3 (B) のタイミングチャートは縦軸を表示領域 1 1 のライン番号を、横軸に 1 フレーム期間内の時間を表している。ここで、ライン番号は表示領域の上側から何行目の画素 1 2 であるかを表している。

1 フレーム期間は、画素に表示信号を書き込む期間 A と、E L 素子が発光して画像を表示する期間 C に分かれている。さらに期間 A は、自分の画素に表示信号を書き込む期間 A 1 と自分以外の画素に表示信号を書き込む期間 A 2 に分かれている。期間 A において期間 A 1 が 1 番ラインから順番に 2 番ライン、3 番ラインと割り当てられ、期間 A の最後で n 番

50

ラインに割り当てられる。期間 A 1 以降の残りの時間は期間 A 2 である。

期間 A ではスイッチ 2 5 は OFF であり、T F T 1 6 の ON / OFF 状態にかかわらず E L 素子 2 1 には電流は流れず、E L 素子 2 1 は点灯していない。

期間 A 1 において、信号線 D 1 には表示信号であるアナログ電圧信号 V d a t a を供給すると、接続するキャパシタ 1 7 の一端にも同電圧が供給される。はじめに P 1 を H レベルにすると、T F T 1 5 を通してノード b に H レベルの電圧が供給される。次に W 1 を H レベルにすると T F T 1 3 が ON になり、ノード a は H レベルになる。その後、P 1 を L レベルにすると T F T 1 4 を通して電流が流れ、ノード a とノード b には T F T 1 4 のドレイン - ソース電極間の ON / OFF がちょうど切り替わるときのゲート電極 - ソース電極間の電圧であるスレッシュホールド電圧 V t h が残留し、キャパシタ 1 7 のもう一端に印加される。最後に、W 1 を L レベルにするとノード a はノード b と切り離され、キャパシタ 1 7 は表示信号であるアナログ電圧 V d a t a と、T F T 1 4 のスレッシュホールド電圧である V t h の差電圧 "V d a t a - V t h" を記憶する。

10

期間 A 2 では、他のラインの画素に書き込みをしているので、W 1、P 1 は変化しない。このとき、信号線 D 1 の電圧は変化するが、T F T 1 4 が OFF であるのでキャパシタ 1 7 が記憶した V d a t a - V t h の電圧は保存されている。

期間 C においては、画素 1 2 は点灯動作をする。期間 C の始めに、P 1 に H レベルのパルスを提供する。すると、T F T 1 5 を通してキャパシタ 1 8 に H レベルの電圧が印加され、T F T 1 6 は ON になる。P 1 が L レベルになった後も、キャパシタ 1 8 が H レベルの電圧を記憶しているので、T F T 1 6 は ON の状態を保持する。なお、P 1 ~ P m 全てにパルスが供給され、全ての画素が同様な動作をする（プリセット動作）。

20

次に、スイッチ 2 5 を ON にして電源 2 6 から T F T 1 6 に電流を供給する。キャパシタ 1 8 には H レベルの電圧が記憶されているので、T F T 1 6 は ON であり、E L 素子 2 1 に電流が供給されて E L 素子 2 1 は発光する。一方、信号線 D 1 には、表示信号であるアナログ電圧のとり得る範囲の最低電圧から最高電圧へ一様に増加する三角波を入力する。期間 C において時間が経過すると、信号線 D 1 の電圧は三角波に従い徐々に上昇するので、画素 1 2 のノード a の電圧も上昇する。信号線 D 1 の電圧と、各画素 1 2 に期間 A 1 の時に書き込んだ電圧 V d a t a とが等しくなったとき、ノード a の電圧がちょうど T F T 1 4 のスレッシュホールド電圧 V t h になって、T F T 1 4 は OFF から ON に変化し、キャパシタ 1 8 の電荷が T F T 1 4 を通して放電され、ノード b の電位は L レベルになる。すると T F T 1 6 は OFF になり、T F T 1 6 を流れる電流が 0 になって E L 素子 1 2 は消灯する（リセット動作）。

30

信号線 D 1 に三角波を入力するとき、信号線 P 1 は L レベルに固定にする必要がある。なぜならば、T F T 1 4 のスレッシュホールド電圧 V t h は P 1 は T F T 1 4 のソース電極の電圧を基準としているからである。つまり、信号線 P 1 の L レベルの電圧は、三角波に対して基準電圧となっている。

最後にスイッチ 2 5 を再び OFF にすることで、期間 C は終了する。

以上のように期間 C において T F T 1 6 を ON にするプリセット動作は表示信号にかかわらず期間 C の始めに行われ、T F T 1 6 を OFF にするリセット動作のタイミングは、表示信号であるアナログ電圧 V d a t a に依存する。したがって、アナログ電圧 V d a t a によって E L 素子 2 1 の ON と OFF 時間の比率を、スイッチ 2 5 が ON である時間の 0 % から 100 % まで変化できる。

40

E L 素子 2 1 が発光状態のときに E L 素子 2 1 の発光輝度がほぼ一定になるように、電源 2 6 から電流を供給することで、画素 1 2 の平均輝度はこの ON / OFF の時間比率、すなわち表示信号であるアナログ電圧 V d a t a によって制御することができる。

したがって、表示信号であるアナログ電圧信号 V d a t a によって各画素の平均輝度を多段階に制御することができるので、本発明の第一の実施例によって階調のある画像を表示することができる。

さらに、信号線 D 1 に入力する三角波の傾斜角度に変化をつけるだけで、アナログ電圧信号 V d a t a - 平均輝度の関係に対して容易に補正をすることもできる。なお、図示

50

された三角波に代えて、階段状に電圧が増加する電圧波形のように時間経過に対して電圧が不連続に増加する波形を用いてもよい。

さらに、１フレーム内にＥＬ素子が発光している時間は必ず連続しており、動画像を表示しても擬似輪郭は発生しない。

さらに、１フレーム期間で各画素１２に表示信号を書き込む回数は１回であるので、書き込み回数が少なく、高解像度化が容易である。

したがって本発明の第一の実施例によって、補正が容易で、動画に対して擬似輪郭が発生せず、高解像度化が容易なＥＬディスプレイを構成することができる。

本発明の第一の実施例の第一の変形例として、ＴＦＴ１６をｐチャネル型の薄膜トランジスタで形成する構成をすることもできる。この場合、ＴＦＴ１６はゲート電位がＨレベルのときにＯＦＦ、Ｌレベルの時にＯＮになるので、期間Ｃにおけるプリセット動作によりＯＦＦになり、リセット動作により反転してＯＮ状態になる。つまり、期間ＣにおけるＥＬ素子の点灯、消灯期間が反転する。結果として、画素１２の平均輝度はこのＯＮ／ＯＦＦの時間比率、すなわち表示信号であるアナログ電圧Ｖｄａｔａによって制御することができるので、本発明の第一の実施例と等価である。

本発明の第一の実施例の第二の変形例として、プリセット動作を開始するＨパルスとを供給する配線と、三角波の基準となる電圧を供給する配線を分けて構成することもできる。

図４に本発明の第一の実施例の第二の変形例の画素の回路図を示す。画素１２を構成するＴＦＴ１３～１６、キャパシタ１７、１８、ＥＬ素子２１は図１と全く同じであるが、ＴＦＴ１４のソース電極と、キャパシタ１８の一端が電極２４に接続する構成になっている点（図１と異なる）。電極２４は複数の画素１２を接続する配線で形成されており、信号線Ｄ１に供給される三角波の基準となる電圧が外部から供給されている。本発明の第一の実施例の第二の変形例でも、図３と同様の動作波形で動作することができ、第一の実施例としての効果を得ることができる。

本発明の第一の実施例の第三の変形例として、図２に示した電源２６とスイッチ２５と並列に、図５に示すように電源２６とは逆極性の電源３２とスイッチ３１で構成した回路を負荷することができる。スイッチ２５をＯＦＦの期間にスイッチ３１をＯＮにすることで、ＥＬ素子２１に残留している電荷を取り除くことができる。

本発明の第一の実施例の第四の変形例として、ＥＬ素子の陽極と陰極の向きを逆にして電流ＩＬＥＤを逆向きに流して点灯することもできる。その場合、電源２６の陽極と陰極を逆向きにして接続して逆方向の電流を供給する。

（２）図６に本発明の第二の実施例の画素およびその周辺の回路図を示す。本発明の第一の実施例がｎチャネルＴＦＴを基本として構成されているのに対し、本発明の第二の実施例はｐチャネルＴＦＴを基本として構成されている。画像を表示する表示領域１１には２次元的に画素１２が複数配列されている。画素１２は、ＴＦＴ３３～３６、キャパシタ３７、３８で構成される画素回路と、ＥＬ素子２１で構成されている。ＥＬ素子２１の陰極は共通電極２９に接続されている。ＴＦＴ３３～３６は全てｐチャネル型の薄膜トランジスタである。表示領域１１には、表示信号を含むアナログ電圧信号を伝える信号線Ｄ１、Ｄ２、ＥＬ素子２１に流す電流を供給する配線Ｅ１、Ｅ２と、画素１２の画素回路を制御する信号線Ｗ１、Ｗ２、Ｐ１、Ｐ２がマトリクス状に配線されている。キャパシタ３８の一端は電極３９に接続されている。電極３９は外部で接地された配線で構成するか、共通電極２９に接続するか、あるいは配線Ｅ１に接続している。

ＴＦＴ３６はスイッチ手段であり、配線Ｅ１からＥＬ素子２１への電流の供給と遮断を制御する。キャパシタ３８はスイッチ手段であるＴＦＴ３６のゲート電圧を保持することでＴＦＴ３６のＯＮ／ＯＦＦの状態を記憶する。ＴＦＴ３５はプリセット手段であり、信号線Ｐ１にネガティブパルスが入力された時にキャパシタ３８に電圧をプリセットする。ＴＦＴ３４はリセット手段であり、ゲート電圧がスレッシュホールド電圧を超えるか否かによってキャパシタ３８の電圧のリセットを制御する。ＴＦＴ３３はＴＦＴ３４のスレッシュホールド電圧キャンセル手段である。キャパシタ３７は信号線Ｄ１の表示信号であるアナログ電圧信号とＴＦＴ３４のスレッシュホールド電圧の差電圧を記憶する記憶手段である。

図 2 に本発明の第一および第二の実施例の構成図を示す。本発明の第二の実施例は第一の実施例と比べて画素 12 内部が異なるが、画素 12 の外部の構成は同じであるので、図 2 についての説明は、本発明の第一の実施例と全く同になるのでここでは省略する。

ところで、図 6 では表示領域 11 に画素 12 を 2×2 の 4 つしか記述しなかったが、実用的にはさらに多くあり、カラー V G A (640 画素 \times R G B 3 色 \times 480 画素) の解像度の場合、紙面横方向の画素数は $m = 1920$ になり、紙面縦方向の画素数は $n = 480$ になる。同様に信号線 $D1 \sim Dm$ 、配線 $E1 \sim Em$ は 1920 本、信号線 $W1 \sim Wn$ 、 $P1 \sim Pn$ は 480 本になる。

図 7 (A) に本発明の第一の実施例の駆動電圧波形、動作電圧波形、および動作電流波形を示す。また、図 7 (B) は 1 フレーム期間における図 7 (A) の波形のタイミングチャートを示す。

10

図 7 (A) の横軸は時間である。波線の部分では時間の連続性がないことを意味している。SW25 はスイッチ 25 の ON / OFF 動作の状態を示している。W1、P1、D1 は各信号線に inputs する電圧を縦軸に表している。a、b は各ノードで発生する電圧を縦軸に表している。ILED は EL 素子 21 に流れる電流を縦軸に表している。いずれも図面上方向が + 方向である。W1、P1 の信号はそれぞれ 2 値のロジック電圧であり、D1 の信号はアナログ電圧である。W1 において LL レベルは TFT33 が ON になる電圧、HH レベルは TFT33 が OFF になる電圧である。P1 において、L レベルは TFT36 を ON にするのに十分な電圧、H レベルは TFT36 を OFF にするのに十分な電圧を意味する。また、信号線 D1 およびノード a、b のアナログ電圧は H レベル電圧を基準電圧 0 V として記述する。図 7 (A) の斜線部分は複数の値を取り得るか、あるいは動作に無関係であることを示している。なお、図 7 (A) の W1、P1、D1 の記号の数字 "1" は、1 列目、1 行目の画素 12 に供給する信号を意味する数字であるので、ほかの画素の場合には対応する列と行に数字は変更になる。

20

図 7 (B) のタイミングチャートは縦軸を表示領域 11 のライン番号を、横軸に 1 フレーム期間内の時間を表している。ここで、ライン番号は表示領域の上側から何行目の画素 12 であるかを表している。

1 フレーム期間は、画素に表示信号を書き込む期間 A と、EL 素子が発光して画像を表示する期間 C に分かれている。さらに期間 A は、自分の画素に表示信号を書き込む期間 A1 と自分以外の画素に表示信号を書き込む期間 A2 に分かれている。期間 A において期間 A1 が 1 番ラインから順番に 2 番ライン、3 番ラインと割り当てられ、期間 A の最後で n 番ラインに割り当てられる。期間 A1 以降の残りの時間は期間 A2 である。

30

期間 A ではスイッチ 25 は OFF であり、TFT36 の ON / OFF 状態にかかわらず EL 素子 21 には電流は流れず、EL 素子 21 は点灯していない。

期間 A1 において、信号線 D1 には表示信号であるアナログ電圧信号 Vdata を供給すると、接続するキャパシタ 37 の一端にも同電圧が供給される。はじめに P1 を L レベルにすると、TFT35 を通してノード b に L レベルの電圧が供給される。次に W1 を LL レベルにすると TFT33 が ON になり、ノード a は L レベルになる。その後、P1 を H レベルにすると TFT34 を通して電流が流れ、ノード a とノード b には TFT34 のドレイン - ソース電極間の ON / OFF がちょうど切り替わるときのゲート - ソース電極間の電圧であるスレッシュホールド電圧 Vth が残留し、キャパシタ 37 のもう一端に印加される。最後に、W1 を HH レベルにするとノード a はノード b と切り離され、キャパシタ 37 は表示信号であるアナログ電圧 Vdata と、TFT34 のスレッシュホールド電圧である Vth の差電圧 "Vdata - Vth" を記憶する。

40

期間 A2 では、他のラインの画素に書き込みをしているので、W1、P1 は変化しない。このとき、信号線 D1 の電圧は変化するが、TFT34 が OFF であるのでキャパシタ 37 が記憶した Vdata - Vth の電圧は保存されている。

期間 C においては、画素 12 は点灯動作をする。期間 C の始めに、P1 に L レベルのバースを供給する。すると、TFT35 を通してキャパシタ 39 に L レベルの電圧が印加され、TFT36 は ON になる。P1 が H レベルになった後も、キャパシタ 39 が L レベルの

50

電圧を記憶しているので、TFT36はONの状態を保持する。なお、P1～Pm全てにパルスが供給され、全ての画素が同様な動作をする（プリセット動作）。

次に、スイッチ25をONにして電源26からTFT36に電流を供給する。キャパシタ38にはLレベルの電圧が記憶されているので、TFT36はONであり、EL素子21に電流が供給されてEL素子21は発光する。一方、信号線D1には、表示信号であるアナログ電圧のとり得る範囲の最高電圧から最低電圧へ様に減少する三角波を入力する。期間Cにおいて時間が経過すると、信号線D1の電圧は三角波に従い徐々に下降するので、画素12のノードaの電圧も下降する。信号線D1の電圧と、各画素12に期間A1の時に書き込んだ電圧Vdataとが等しくなったとき、ノードaの電圧が

ちょうどTFT34のスレッシュOLD電圧Vthになって、TFT34はOFFからONに変化し、キャパシタ38の電荷がTFT34を通して放電され、ノードbの電位はHレベルになる。するとTFT36はOFFになり、TFT36を流れる電流が0になってEL素子12は消灯する（リセット動作）。

信号線D1に三角波を入力するとき、信号線P1はHレベルに固定にする必要がある。なぜならば、TFT34のスレッシュOLD電圧VthはP1はTFT34のソース電極の電圧を基準としているからである。つまり、信号線P1のHレベルの電圧は、三角波に対して基準電圧となっている。

最後にスイッチ25を再びOFFにすることで、期間Cは終了する。

以上のように期間CにおいてTFT16をONにするプリセット動作は表示信号にかかわらず期間Cの始めに行われ、TFT16をOFFにするリセット動作のタイミングは、表示信号であるアナログ電圧Vdataに依存する。したがって、アナログ電圧VdataによってEL素子21のONとOFF時間の比率を、スイッチ25がONである時間の0%から100%まで変化できる。

EL素子21が発光状態のときにEL素子21の発光輝度がほぼ一定になるように、電源26から電流を供給することで、画素12の平均輝度はこのON/OFFの時間比率、すなわち表示信号であるアナログ電圧Vdataによって制御することができる。

したがって、表示信号であるアナログ電圧信号Vdataによって各画素の平均輝度を多段階に制御することができるので、本発明の第一の実施例によって階調のある画像を表示することができる。

さらに、信号線D1に inputsする三角波の傾斜角度に変化をつけるだけで、アナログ電圧信号Vdata - 平均輝度の関係に対して容易に補正をすることもできる。

さらに、1フレーム内にEL素子が発光している時間は必ず連続しており、動画像を表示しても擬似輪郭は発生しない。

さらに、1フレーム期間で各画素12に表示信号を書き込む回数は1回であるので、書き込み回数が少なく、高解像度化が容易である。

したがって本発明の第二の実施例によって、補正が容易で、動画に対して擬似輪郭が発生せず、高解像度化が容易なELディスプレイを構成することができる。

本発明の第二の実施例の第一の変形例として、TFT36をnチャネル型の薄膜トランジスタで形成する構成をすることもできる。この場合、TFT36はゲート電位がLレベルのときにOFF、Hレベルの時にONになるので、期間Cにおけるプリセット動作によりOFFになり、リセット動作により反転してON状態になる。つまり、期間CにおけるEL素子の点灯、消灯期間が反転する。結果として、画素12の平均輝度はこのON/OFFの時間比率、すなわち表示信号であるアナログ電圧Vdataによって制御することができるので、本発明の第二の実施例と等価である。

また、本発明の第二の実施例は、本発明の第一の実施例の第二、第三、第四の変形例と同様な構造をとることができる。

本発明の第二の実施例の第五の変形例として、図8に示すように画素12内で配線E1とスイッチ手段であるTFT36との間にpチャネル型のTFT41を挿入した構成をとることができる。TFT41のゲート電極は表示領域11の外部に配線42に接続され、基準電圧源43の片方の電極に接続している。基準電源のもう片方の電極は接地電極44に

10

20

30

40

50

接続する。接地電極 44 は共通電極 29 に接続するか、あるいは図 2 に示した電源 26 の陽極に接続する。基準電圧源 43 は T F T 41 が定電流を発生する飽和領域で動作するゲート電圧を発生し、配線 42 を通して T F T 41 に供給する。

これによって、T F T 36 が ON 状態のときに E L 素子 21 を流れるは、電流 E L 素子 21 の持つ電圧 - 電流特性の変化による影響を受けにくくなり、より安定した輝度を得ることができる。

(3) 図 9 に本発明の第三の実施例の画素およびその周辺の回路図を示す。本発明の第三の実施例では、E L 素子が点灯するときの電流を安定するために、画素内に定電流を発生する回路を構成している。表示領域 61 には 2 次元的に画素 62 が複数配列され、画素 62 は、T F T 71 ~ 77、キャパシタ 78、79 で構成される画素回路と、E L 素子 81 で構成されている。また、E L 素子 81 の陰極は共通電極 89 に接続されている。T F T 71 ~ 77 は全て p チャネル型の薄膜トランジスタである。表示領域 61 には、表示信号を含むアナログ電圧信号を伝える信号線 D1、D2、基準電流を供給する配線 E1、E2 と、画素 62 の画素回路を制御する信号線 W1、W2、P1、P2、R1、R2 とがマトリクス状に配線されている。また、E L 素子 81 に電流を供給する電源 86 と、E L 素子 21 への電流供給を制御する信号線 S _ p o w とが全ての画素 62 に接続している。

T F T 74 はスイッチ手段であり、配線 E1 から E L 素子 81 への電流の供給と遮断を制御する。キャパシタ 79 はスイッチ手段である T F T 74 のゲート電圧を保持することで T F T 74 の ON / OFF の状態を記憶する。T F T 75 はプリセット手段であり、信号線 R1 にネガティブパルスが入力された時にキャパシタ 79 に電圧をプリセットする。

T F T 72 はリセット手段であり、ゲート電圧がスレッシュホールド電圧を超えるか否かによってキャパシタ 79 の電圧のリセットを制御する。T F T 71 は T F T 72 のスレッシュホールド電圧キャンセル手段である。キャパシタ 78 は信号線 D1 の表示信号であるアナログ電圧信号と T F T 72 のスレッシュホールド電圧の差電圧を記憶する記憶手段である。また、T F T 74 ~ 77 とキャパシタ 79 は定電流回路を構成しており、キャパシタ 79 は T F T 74 が ON 状態のときに T F T 74 が定電流を発生するのに必要なゲート電圧を記憶する働きもする。

表示領域の外には基準電流源 82 があり、基準電流源 82 は定電流を発生するための抵抗器 84 と、配線 E1、E2 に高電圧が発生するのを防止するための保護ダイオードである T F T 83 が紙面横方向に複数配列して構成され、基準電流を発生するための電源 87 と、定電流を供給する配線 E1、E2 に接続している。また、電源 87 の陽極は接地電極 88 に接続し、接地電極 88 と共通電極 89 は電気的に接続している。

なお、電源 87 が発生する高い負電圧が E1、E2 に発生するのを防止するため、保護ダイオード回路として T F T 83 を設けている。

図 10 に本発明の第三実施例の構成図を示す。ガラス基板 51 の表面には、表示領域 61 があり、複数の画素 62 が形成されている。また、ガラス基板 51 の表面には、信号線 W1 ~ Wn、P1 ~ Pn、R1 ~ Rn、信号線 D1 ~ Dm、配線 E1、E2 と、信号線 W1 ~ Wn、P1 ~ Pn、R1 ~ Rn の制御信号を発生する走査回路 52、信号線 D1 ~ Dm の信号を発生する信号回路 53、配線 E1 ~ Em に基準電流を発生する基準電流源 82 が配置されている。走査回路 52、信号回路 53、基準電流源 82 はそれぞれ T F T でガラス基板 51 上に形成するか、あるいは半導体 L S I を取り付けることによって構成される。走査回路 52 は表示領域 61 の両側に配置することで、信号線 P1 ~ Pn、W1 ~ Wn、R1 ~ Rn への信号の供給能力を上げることができる。また、信号回路 53 と基準電流源 82 は表示領域 61 に対して紙面上下方向いずれの辺に配置してもかまわない。図 10 には記載していないが、表示領域 61 を覆うように共通電極 89 が形成されており、画素 62 の E L 素子 81 の陰極に接続している。画素 62 の E L 素子 81 の発光は、ガラス基板 51 からガラス基板の背面方向に透過し、図 10 の図面の背面から表示画像を見ることができる。共通電極 89 を透明にした場合は、図 10 の図面の正面からでも表示画像を見ることができる。E L 素子には有機 E L ダイオードを使用することができる。また、E L 素子 81 のそれぞれに、赤、緑、青の発光材料を用いることで、カラー表示をすることも

10

20

30

40

50

できる。

ところで、図 9 では表示領域 6 1 に画素 6 2 を 2×2 の 4 つしか記述していないが、実用的にはさらに多くあり、カラー V G A (6 4 0 画素 \times R G B 3 色 \times 4 8 0 画素) の解像度の場合、紙面横方向の画素数は $m = 1 9 2 0$ になり、紙面縦方向の画素数は $n = 4 8 0$ になる。同様に信号線 D 1 ~ D m、配線 E 1 ~ E m は 1 9 2 0 本、信号線 P 1 ~ P n、W 1 ~ W n、R 1 ~ R n は 4 8 0 本になる。

図 1 1 (A) に本発明の第三の実施例の駆動電圧波形、動作電圧波形、および動作電流波形を示す。また、図 1 1 (B) は 1 フレーム期間における図 1 1 (A) の波形のタイミングチャートを示す。

図 1 1 (A) の横軸は時間である。波線の部分では時間の連続性がないことを意味している。S _ p o w、R 1、P 1、W 1、D 1 は各信号線にする電圧を縦軸に表している。a、b は各ノードで発生する電圧を縦軸に表している。I L E D は E L 素子 8 1 に流れる電流を縦軸に表している。いずれも図面上方向が + 方向である。S _ p o w、R 1、P 1、W 1 の信号は 2 値のロジック電圧であり、D 1 の信号はアナログ電圧である。S _ p o w、R 1、W 1 において L レベルは T F T 7 1、T F T 7 5 ~ 7 7 を O N にする電圧よりも低い電圧であり、H レベルは O F F にする電圧よりも高い電圧である。P 1 において H レベルは T F T 7 4 を O F F にするのに十分低い電圧、L レベルは H レベルに対して高い電圧であることを意味する。また、信号線 D 1 およびノード a、b のアナログ電圧は H レベルの電圧を基準電圧 0 V として記述する。図 1 1 (A) の斜線部分は複数の値を取り得るか、あるいは動作に無関係であることを示している。なお、図 1 1 (A) の R 1、P 1、W 1、D 1 の記号の数字 " 1 " は、1 列目、1 行目の画素 6 2 に供給する信号を意味する数字であるので、ほかの画素の場合には対応する列と行に数字は変更になる。

図 1 1 (B) のタイミングチャートは縦軸を表示領域 6 1 のライン番号を、横軸に 1 フレーム期間内の時間を表している。ここで、ライン番号は表示領域の上側から何行目の画素 6 2 であるかを表している。

1 フレーム期間は、画素に表示信号を書き込む期間 A、画素に基準電流を書き込む期間 B、E L 素子が発光して画像を表示する期間 C に分かれている。さらに期間 A は、自分の画素に表示信号を書き込む期間 A 1 と自分以外の画素に表示信号を書き込む期間 A 2 に分かれ、期間 B は、自分の画素に基準信号を書き込む期間 B 1 と自分以外の画素に電基準電流を書き込む期間 B 2 に分かれている。期間 A において期間 A 1 が 1 番ラインから順番に 2 番ライン、3 番ラインと割り当てられ、期間 A の最後で n 番ラインに割り当てられる。期間 A 1 以降の残りの時間は期間 A 2 である。同じく、期間 B において期間 B 1 が 1 番ラインから順番に 2 番ライン、3 番ラインと割り当てられ、期間 B の最後で n 番ラインに割り当てられる。期間 B 1 以降の残りの時間は期間 B 2 である。

期間 A 1 では、画素回路の T F T 7 1 ~ 7 3 とキャパシタ 7 8 が動作する。信号線 D 1 には表示信号であるアナログ電圧信号 V d a t a を供給すると、接続するキャパシタ 7 8 の一端にも同電圧 V d a t a が供給される。はじめに P 1 を L レベルにすると、T F T 7 3 を通してノード b に電圧が供給される。次に W 1 を L レベルにすると T F T 7 1 が O N になり、ノード a も L レベルになる。その後、P 1 を H レベルにすると T F T 7 2 を通して電流が流れ、ノード a とノード b には T F T 7 2 のドレイン - ソース電極間の O N / O F F がちょうど切り替わるときのゲート - ソース電極間の電圧であるスレッシュホールド電圧 V t h が残留し、キャパシタ 7 8 のもう一端に印加される。最後に、W 1 を H レベルにするとノード a はノード b と切り離され、キャパシタ 7 8 は V d a t a - V t h の電圧を記憶する。

期間 A 2 では、他のラインの画素に表示信号を書き込んでいるので、R 1、P 1、W 1 は変化しない。このとき、信号線 D 1 の電圧は変化するが、T F T 7 1 が O F F であるのでキャパシタ 7 8 が記憶した V d a t a - V t h の電圧は保存されている。

期間 B において、基準電流源 8 2 は、配線 E 1 から基準電流源 8 2 へ向かって流れる電流 i r e f が発生している。電流 i r e f は、電源 8 7 の電圧を十分高くすることで、 $i r e f = V x / R x$ (V x : 電源 8 7 の電圧、R x : 抵抗器 8 4 の抵抗値) の定電流を得る

ことができる。抵抗器 84 は薄膜トランジスタのソース電極やドレイン電極に使われるポリシリコン膜や、ゲート電極に使われる金属配線を細長く加工することで形成することができる。

期間 B1 では、画素回路の TFT74 ~ 76 とキャパシタ 79 が動作する。期間 B1 では R1 を LL レベルにして、TFT75、76 を ON にする。すると、電源 86 - TFT76 - TFT74 - 配線 E1 - 基準電流源 82 の経路で定電流 i_{ref} が流れる。このとき TFT74 は飽和領域で動作し、TFT74 のゲート - ソース電極間には TFT74 がドレイン - ソース電極間に電流 i_{ref} を流すのに必要な電圧 V_{ref} が発生し、キャパシタ 79 に印加される。その後、R1 が HH レベルになり、TFT75、76 が OFF になると TFT74 を流れる電流は 0 になるが、キャパシタ 79 は、電圧 V_{ref} を記憶している。

10

期間 B2 では、他のラインの画素に電流 i_{ref} を書き込んでいるが、制御信号 R1 が HH レベルであるので、TFT75、76 が OFF 状態を保ち、キャパシタ 79 の電圧は保存されている。

以上のように期間 B において、全ての画素のキャパシタ 79 に電圧 V_{th} がプリセットされる（プリセット動作）。

期間 C では、 S_{pow} を LL レベルにするので TFT77 が ON になり、電源 86 - TFT74 - TFT77 - EL 素子 81 - 共通電極 89 の経路で電流が流れ、EL 素子 81 は発光する。このとき、全ての画素回路において、TFT74 はキャパシタ 79 が記憶した電圧 V_{ref} によって定電流 i_{ref} を発生し、EL 素子 81 に定電流 i_{ref} が流れて、EL 素子 21 は均一な強度で発光する。一方、信号線 D1 には、表示信号であるアナログ電圧のとり得る範囲の最高電圧から最低電圧へ変化する三角波を入力する。期間 C において時間が経過すると、信号線 D1 の電圧は三角波に従い徐々に下降するので、画素 62 のノード a の電圧も下降する。信号線 D1 の電圧と、各画素 62 に期間 A1 の時に書き込んだ電圧 V_{data} とが等しくなったとき、ノード a の電圧が TFT72 のスレッシュホールド電圧 V_{th} になって、TFT72 は OFF から ON に変化し、キャパシタ 79 に電荷が TFT72 を通して充電され、ノード b の電位は H レベルになる。すると i_{ref} を流していた TFT74 は OFF になり、TFT74 を流れる電流が 0 になって EL 素子 81 は消灯する（リセット動作）。

20

信号線 D1 に三角波を入力するとき、信号線 P1 は H レベルに固定にする必要がある。なぜならば、TFT72 のスレッシュホールド電圧 V_{th} は P1 は TFT72 のソース電極の電圧を基準としているからである。つまり、信号線 P1 の H レベルの電圧は、三角波に対して基準電圧となっている。

30

最後にスイッチ S_{pow} を再び HH レベルにすることで、TFT77 は OFF になり、期間 C は終了する。

以上のようにプリセット動作は表示信号にかかわらず期間 B の間に完了し、TFT74 を OFF にするリセット動作のタイミングは、表示信号であるアナログ電圧 V_{data} に依存する。したがって、アナログ電圧 V_{data} によって EL 素子 81 の ON と OFF 時間の比率を、 S_{pow} が LL レベルである時間の 0% から 100% まで変化できる。

EL 素子 81 が発光状態のとき、発光輝度は電流 i_{ref} によって一定に保たれているので、画素 62 の平均輝度はこの ON / OFF の時間比率に比例する。すなわち、画素 62 の平均輝度は表示信号であるアナログ電圧 V_{data} によって制御することができる。したがって、表示信号であるアナログ電圧信号 V_{data} によって各画素の平均輝度を多段階に制御することができるので、本発明の第三の実施例によって階調のある画像を表示することができる。

40

さらに、信号線 D1 に入力する三角波の傾斜角度に変化をつけるだけで、アナログ電圧信号 V_{data} - 平均輝度の関係に対して容易に補正をすることもできる。なお、図示された三角波に代えて、階段状に電圧が増加する電圧波形のように時間経過に対して電圧が不連続に増加する波形を用いてもよい。

さらに、1 フレーム内に EL 素子が発光している時間は必ず連続しており、動画像を表示

50

しても擬似輪郭は発生しない。

さらに、１フレーム期間で各画素６２に表示信号と基準電流を書き込む回数が合計２回であるので、書き込み回数が少なく、高解像度化が容易である。

したがって本発明の第一の実施例によって、補正が容易で、動画に対して擬似輪郭が発生せず、高解像度化が容易なＥＬディスプレイを構成することができる。

また、本発明の第三の実施例を構成する薄膜トランジスタはｐチャネル型であったが、本発明の第一の実施例と第二の実施例の関係と同様にして、本発明の第三の実施例と同様な実施例をｎチャネル型の薄膜トランジスタで構成することができるのは明らかである。

(４)図１２に本発明の第四の実施例の画素およびその周辺の回路図を示す。本発明の第四の実施例では、画素に表示信号を書き込む時間をより長くすることができる構造になっている。画像を表示する表示領域１１１には２次元的に画素１１２が複数配列されている。

【０００６】

画素１１２は、ＴＦＴ１１３～１１８、キャパシタ１１９、１２０で構成される画素回路と、ＥＬ素子１２１で構成されている。ＥＬ素子１２１の陰極は共通電極１２９に接続されている。ＴＦＴ１１３～１１８は全てｎチャネル型の薄膜トランジスタである。表示領域１１１には、表示信号を含むアナログ電圧信号を伝える信号線Ｄ１、Ｄ２、ＥＬ素子１２１に流す電流を供給する配線Ｅ１、Ｅ２と、画素１２の画素回路を制御する信号線Ｗ１、Ｗ２、Ｐ１、Ｐ２、ＳＤ１、ＳＤ２、ＳＡ１、ＳＡ２、三角波電圧信号を供給する信号線ＡＴ１、ＡＴ２がマトリクス状に配線されている。キャパシタ１２０の一端は電極１２

２に接続されている。電極１２２は外部で接地された配線で構成するか、共通電極１２９に接続するか、あるいは配線Ｅ１に接続している。ＴＦＴ１１６はスイッチ手段であり、配線Ｅ１からＥＬ素子１２１に電流の供給と遮断を制御する。キャパシタ１２０はスイッチ手段であるＴＦＴ１１６のゲート電圧を保持することでＴＦＴ１１６のＯＮ／ＯＦＦの状態を記憶する。ＴＦＴ１１５はプリセット手段であり、信号線Ｐ１にポジティブパルスが入力された時にキャパシタ１２０に電圧をプリセットする。ＴＦＴ１１４はリセット手段であり、ゲート電圧がスレッシュホールド電圧を超えるか否かによってキャパシタ１２０の電圧のリセットを制御する。ＴＦＴ１１３はＴＦＴ１１４のスレッシュホールド電圧キャンセル手段である。キャパシタ１１９は信号線Ｄ１の表示信号であるアナログ電圧信号とＴＦＴ１１４のスレッシュホールド電圧の差電圧を記憶する記憶手段である。ＴＦＴ１１７は信号線Ｄ１の表示信号であるアナログ電圧信号を選択してキャパシタ１１９に供給する選択スイッチである。ＴＦＴ１１８は信号線ＡＴ１の三角波電圧を選択してキャパシタ１１９に供給する選択スイッチである。

図１３に本発明の第四の実施例の構成図を示す。ガラス基板１０１の表面には、表示領域１１１があり、複数の画素１１２が形成されている。また、ガラス基板１０１の表面には、信号線Ｗ１～Ｗｎ、Ｐ１～Ｐｎ、ＳＤ１～ＳＤｎ、ＳＡ１～ＳＡｎ、ＡＴ１～ＡＴｎ、Ｄ１～Ｄｍ、配線Ｅ１～Ｅｍと、信号線Ｗ１～Ｗｎ、Ｐ１～Ｐｎ、ＳＤ１～ＳＤｎ、ＳＡ１～ＳＡｎへ制御信号を発生する走査回路１０２、信号線Ｄ１～Ｄｍの信号を発生する信号回路１０３、信号線ＡＴ１～ＡＴｎに三角波電圧を発生する三角波発生回路１０４が配置されている。走査回路１０２、信号回路１０３、三角波発生回路１０４はそれぞれＴＦ

Ｔでガラス基板１０１上に形成するか、あるいは半導体ＬＳＩを取り付けることによって構成される。走査回路１０２および三角波発生回路１０４は表示領域１１１の両側に配置することで、信号線Ｗ１～Ｗｎ、Ｐ１～Ｐｎ、ＳＤ１～ＳＤｎ、ＳＡ１～ＳＡｎ、ＡＴ１～ＡＴｎへの信号の供給能力を上げることができる。また、信号回路１０３は表示領域に対して紙面上下方向いずれの辺に配置してもかまわない。

基板１０１の外部にある電源１２６は、接地電極１２８と配線Ｅ１～Ｅｍの全てに接続している。配線Ｅ１～Ｅｍは基板１の表面あるいは外部で互いに接続しており、基板１０１の表面で接続している場合は、配線Ｅ１～Ｅｍ間で隣接する配線を短絡する配線を多数作成し、配線Ｅ１～Ｅｍを１つの網目状の電極として形成してもよい。

図１３には記載していないが、表示領域１１１を覆うように共通電極１２９が形成されて

おり、全ての画素 1 1 2 の E L 素子 1 2 1 に接続している。また、共通電極 1 2 9 は接地電極 1 2 8 と電氣的に接続している。画素 1 1 2 の E L 素子 1 2 1 の発光は、ガラス基板 1 0 1 からガラス基板の背面方向に透過し、図 1 3 の図面の背面から表示画像を見ることができる。共通電極 1 2 9 を透明にした場合は、図 1 3 の図面の正面からでも表示画像を見ることができる。E L 素子には有機 E L ダイオードを使用することができる。また、E L 素子 1 2 1 のそれぞれに、赤、緑、青の発光材料を用いることで、カラー表示をすることもできる。

ところで、図 1 2 では表示領域 1 1 1 に画素 1 1 2 を 2×2 の 4 つしか記述しなかったが、実用的にはさらに多くあり、カラー V G A (6 4 0 画素 \times R G B 3 色 \times 4 8 0 画素) の解像度場合、紙面横方向の画素数は $m = 1 9 2 0$ になり、紙面縦方向の画素数は $n = 4 8 0$ になる。同様に信号線 D 1 ~ D m、配線 E 1 ~ E m は 1 9 2 0 本、信号線 W 1 ~ W n、P 1 ~ P n、S D 1 ~ S D n、S A 1 ~ S A n、A T 1 ~ A T n は 4 8 0 本になる。

図 1 4 (A) に本発明の第四の実施例の駆動電圧波形、動作電圧波形、および動作電流波形を示す。また、図 1 4 (B) は 1 フレーム期間における図 1 4 (A) の波形のタイミングチャートを示す。

図 1 4 (A) の横軸は時間である。S D 1、S A 1、P 1、W 1、D 1、A T 1 は各信号線に入力する電圧を縦軸に表している。a、b は各ノードで発生する電圧を縦軸に表している。I L E D は E L 素子 1 2 1 に流れる電流を縦軸に表している。いずれも図面上方向が + 方向である。S D 1、S A 1、P 1、W 1 の信号はそれぞれ 2 値のロジック電圧であり、A T 1、D 1 の信号はアナログ電圧である。S D 1、S A 1、W 1 のにおいて、H H レベルはそれぞれ T F T 1 1 7、T F T 1 1 8、T F T 1 1 3 が O N になる電圧、L L レベルは O F F になる電圧である。P 1 において、H レベルは T F T 1 1 6 を O N にするのに十分な電圧、L レベルは T F T 1 1 6 を O F F にするのに十分な電圧を意味する。また、信号線 D 1、A T 1 およびノード a、b のアナログ電圧は L レベル電圧を基準電圧 0 V として記述する。図 1 4 (A) の斜線部分は複数の値を取り得るか、あるいは動作に無関係であることを示している。なお、図 1 4 (A) の W 1、P 1、S D 1、S A 1、A T 1、D 1 の記号の数字 " 1 " は、1 列目、1 行目の画素 1 1 2 に供給する信号を意味する数字であるので、ほかの画素の場合には対応する列と行に数字は変更になる。

図 1 4 (B) のタイミングチャートは縦軸を表示領域 1 1 1 のライン番号を、横軸に 1 フレーム期間内の時間を表している。ここで、ライン番号は表示領域の上側から何行目の画素 1 2 であるかを表している。

1 フレーム期間は、自分の画素に表示信号を書き込む期間 A 1 と、E L 素子を発光する期間 A 2 に分かれている。1 フレーム期間内において、期間 A 1 が 1 番ラインから順番に 2 番ライン、3 番ラインと割り当てられ、期間 A の最後で n 番ラインに割り当てられる。期間 A 2 は現在の 1 フレーム期間内の期間 A 1 が終了してから次の 1 フレーム期間の期間 A 1 が開始されるまでの時間である。要するに、各ラインのタイミングがそれぞれ期間 A 1 だけシフトしている訳である。

期間 A 1 において、信号線 S D 1 を H H レベルにし、信号線 D 1 に表示信号であるアナログ電圧信号 V d a t a を供給すると、T F T 1 1 7 を通してキャパシタ 1 1 9 の一端にも電圧 V d a t a が供給される。続いて P 1 を H レベルにすると、T F T 1 1 5 を通してノード b に H レベルの電圧が供給される。次に W 1 を H H レベルにすると T F T 1 1 3 が O N になり、ノード a は H レベルになる。その後、P 1 を L レベルにすると T F T 1 1 4 を通して電流が流れ、ノード a とノード b には T F T 1 1 4 のドレイン - ソース電極間の O N / O F F がちょうど切り替わるときのゲート - ソース電極間の電圧であるスレッショルド電圧 V t h が残留し、キャパシタ 1 1 9 のもう一端に印加される。その後に、W 1 を L レベルにするとノード a はノード b と切り離され、キャパシタ 1 1 9 は表示信号であるアナログ電圧 V d a t a と、T F T 1 1 4 のスレッショルド電圧 V t h の差電圧 " V d a t a - V t h " を記憶する。最後に S D 1 を L L レベルにして T F T 1 1 7 を O F F にする。

なお、P 1 が H レベルである時間、E L 素子 1 2 1 に電流が流れて点灯するが、P 1 が H

10

20

30

40

50

レベルである時間は、１フレーム期間よりはるかに短く、これによる発光は無視できる。期間Ａ２では、他のラインの画素に書き込みをしているので、Ｗ１、Ｐ１、ＳＤ１は変化しない。このとき、信号線Ｄ１の電圧は変化するが、ＴＦＴ１１３およびＴＦＴ１１７がＯＦＦであるのでキャパシタ１７が記憶したＶｄａｔａ－Ｖｔｈの電圧は保存されている。また、期間Ａ２では、画素１１２は点灯動作をする。期間Ａ２の始めに、Ｐ１にＨレベルのパルスを供給する。すると、ＴＦＴ１１５を通してキャパシタ１２０にＨレベルの電圧が印加され、ＴＦＴ１１６はＯＮになる。Ｐ１がＬレベルになった後も、キャパシタ１８がＨレベルの電圧を記憶しているので、ＴＦＴ１１６はＯＮの状態を保持し、ＥＬ素子１２１に配線Ｅ１から電流が流れて発光する（プリセット動作）。

また、Ｐ１にＨレベルのパルスを供給すると同時にＳＡ１をＨレベルにすると、ＴＦＴ１１８がＯＮになり、キャパシタ１１９には信号線ＡＴ１の電圧が供給される。そして、信号線ＡＴ１には、表示信号であるアナログ電圧のとり得る範囲の最低電圧から最高電圧へ様に増加する三角波を入力する。期間Ａ２において時間が経過すると、信号線ＡＴ１の電圧は三角波に従い徐々に上昇するので、画素１１２のノードａの電圧も上昇する。信号線ＡＴ１の電圧と、画素１１２に期間Ａ１の時に書き込んだ電圧Ｖｄａｔａとが等しくなったとき、ノードａの電圧がちょうどＴＦＴ１１４のスレッシュホールド電圧Ｖｔｈになって、ＴＦＴ１１４はＯＦＦからＯＮに変化し、キャパシタ１２０の電荷がＴＦＴ１１４を通して放電され、ノードｂの電位はＬレベルになる。するとＴＦＴ１１６はＯＦＦになり、ＴＦＴ１１６を流れる電流が０になってＥＬ素子１１２は消灯する（リセット動作）。信号線ＡＴ１に三角波を入力するとき、信号線Ｐ１はＬレベルに固定にする必要がある。なぜならば、ＴＦＴ１１４のスレッシュホールド電圧ＶｔｈはＰ１はＴＦＴ１１４のソース電極の電圧を基準としているからである。つまり、信号線Ｐ１のＬレベルの電圧は、三角波に対して基準電圧となっている。

最後にＳＡ１を再びＬレベルにすることで、期間Ａ２は終了する。

以上のように期間Ａ２においてプリセット動作は表示信号にかかわらず期間Ａ２の始めに行われ、リセット動作のタイミングは、表示信号であるアナログ電圧Ｖｄａｔａに依存する。したがって、ＥＬ素子１２１の点灯と消灯時間の比率は、表示信号であるアナログ電圧Ｖｄａｔａによって０％から１００％まで変化できる。

ＥＬ素子１２１が発光状態のときにＥＬ素子１２１の発光輝度がほぼ一定になるように、電源１２６から電流を供給することで、画素１１２の平均輝度はこのＯＮ／ＯＦＦの時間比率、すなわち表示信号であるアナログ電圧Ｖｄａｔａによって制御することができる。

したがって、表示信号であるアナログ電圧信号Ｖｄａｔａによって各画素の平均輝度を多段階に制御することができるので、本発明の第四の実施例によって階調のある画像を表示することができる。

さらに、信号線ＡＴ１～ＡＴｍに入力する三角波の傾斜角度に変化をつけるだけで、アナログ電圧信号Ｖｄａｔａ－平均輝度の関係に対して容易に補正をすることもできる。なお、図示された三角波に代えて、階段状に電圧が増加する電圧波形のように時間経過に対して電圧が不連続に増加する波形を用いてもよい。さらに、１フレーム内にＥＬ素子が発光している時間は必ず連続しており、動画像を表示しても擬似輪郭は発生しない。

さらに、１フレーム期間で各画素１１２に表示信号を書き込む回数は１回であるので、書き込み回数が少なくでき、かつ、各画素１１２に表示信号を書き込む時間を１フレーム全てに割り振る使うことができるので、書き込み時間を長くできるので、高解像度化が容易である。

したがって本発明の第四の実施例によって、補正が容易で、動画に対して擬似輪郭が発生せず、高解像度化が容易なＥＬディスプレイを構成することができる。

本発明の第四の実施例の第一の変形例として、ＴＦＴ１１６をｐチャネル型の薄膜トランジスタで形成する構成をすることもできる。この場合、ＴＦＴ１１６はゲート電位がＨレベルのときにＯＦＦ、Ｌレベルの時にＯＮになるので、プリセット動作によりＯＦＦになり、リセット動作により反転してＯＦＦ状態になる。つまり、期間Ａ２におけるＥＬ素子

10

20

30

40

50

の点灯、消灯期間が反転する。結果として、画素 1 1 2 の平均輝度はこの ON / OFF の時間比率、すなわち表示信号であるアナログ電圧 V d a t a によって制御することができるので、本発明の第四の実施例と等価である。

また、本発明の第四の実施例は、本発明の第一の実施例の第二、第四の変形例と同様な構造をとることができる。

本発明の各実施例の画像表示装置は、nチャネル型、あるいはpチャネル型の薄膜トランジスタのみで画素回路を構成することができるので、両方のチャネル型が必要な画像表示装置に比べて製造コストを低減する効果がある。

本発明の各実施例の画像表示装置は、携帯電話、TV、PDA、ノートPC、モニタに適用することで、携帯電話、TV、PDA、ノートPC、モニタの擬似輪郭を防止し、特性を容易にし、高解像度化を容易にすることができる。

10

【0007】

【発明の効果】

本発明では、1フレーム期間に各画素に書き込む回数を1回ないしは2回と少なくしたので高解像度化が容易である。

さらに、信号線に inputs する三角波の傾斜角度に変化をつけるだけで、アナログ電圧信号 V d a t a - 平均輝度の関係に対して容易に補正をすることもできる。さらに、1フレーム内にEL素子が発光している時間は必ず連続しており、動画像を表示しても擬似輪郭は発生しない。

【図面の簡単な説明】

20

【図1】本発明の第一の実施例の画素およびその周辺の回路を表した図である。

【図2】本発明の第一および第二の実施例の構成を表した図である。

【図3】本発明の第一の実施例の駆動電圧波形、動作電圧波形、動作電流波形、および、タイミングチャートを表した図である。

【図4】本発明の第一の実施例の第二の変形例の画素の回路を表した図である。

【図5】本発明の第一の実施例の第三の変形例の特徴を表した図である。

【図6】本発明の第二の実施例の画素およびその周辺の回路を表した図である。

【図7】本発明の第二の実施例の駆動電圧波形、動作電圧波形、動作電流波形、および、タイミングチャートを表した図である。

【図8】本発明の第一の実施例の第五の変形例の特徴を表した図である。

30

【図9】本発明の第三の実施例の画素およびその周辺の回路を表した図である。

【図10】本発明の第三の実施例の構成を表した図である。

【図11】本発明の第三の実施例の駆動電圧波形、動作電圧波形、動作電流波形、および、タイミングチャートを表した図である。

【図12】本発明の第四の実施例の画素およびその周辺の回路を表した図である。

【図13】本発明の第四の実施例の構成を表した図である。

【図14】本発明の第四の実施例の駆動電圧波形、動作電圧波形、動作電流波形、および、タイミングチャートを表した図である。

【図15】EL素子を使った従来の画素の構成を表した図である。

【符号の説明】

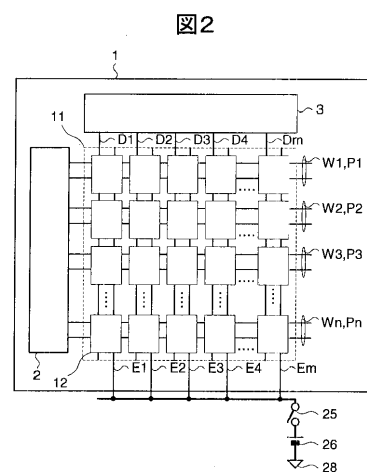
40

1 ... ガラス基板、2 ... 走査回路、3 ... 信号回路、1 1 ... 表示領域、1 2 ... 画素、1 3 ~ 1 6 ... TFT、1 7 ~ 1 8 ... キャパシタ、1 9 ... 電極、2 1 ... EL素子、2 4 ... 電極、2 5 ... スイッチ、2 6 ... 電源、2 8 ... 接地電極、3 1 ... スイッチ、3 2 ... 電源、3 3 ~ 3 6 ... TFT、3 7 ~ 3 8 ... キャパシタ、3 9 ... 電極、4 1 ... TFT、4 2 ... 配線、4 3 ... 基準電圧源、4 4 ... 接地電極、5 1 ... ガラス基板、5 2 ... 走査回路、5 3 ... 信号回路、6 1 ... 表示領域、6 2 ... 画素、7 1 ~ 7 7 ... TFT、7 8 ~ 7 9 ... キャパシタ、8 1 ... EL素子、8 2 ... 基準電流源、8 3 ... TFT (保護ダイオード回路)、8 4 ... 抵抗器、8 6 ~ 8 7 ... 電源、8 8 ... 接地電極、8 9 ... 共通電極、1 0 1 ... ガラス基板、1 0 2 ... 走査回路、1 0 3 ... 信号回路、1 0 4 ... 三角波発生回路、1 1 1 ... 表示領域、1 1 2 ... 画素、1 1 3 ~ 1 1 8 ... TFT、1 1 9 ~ 1 2 0 ... キャパシタ、1 2 1 ... EL素子、1 2 2 ... 電極、1 2

50

9 ... 共通電極、151 ... 画素、152 ~ 154 ... TFT、155 ... キャパシタ、156 ... EL素子。

【圖 2】



【 図 4 】

図4

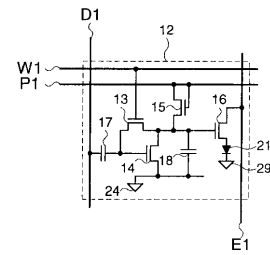
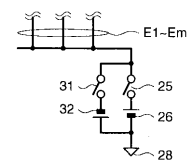
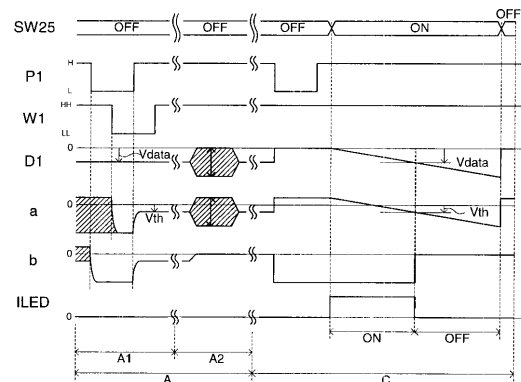


図5

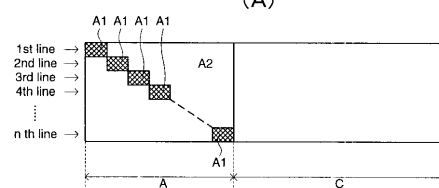


【 図 7 】

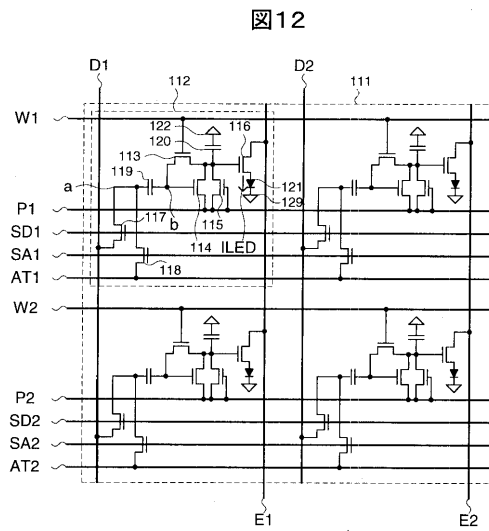
图7



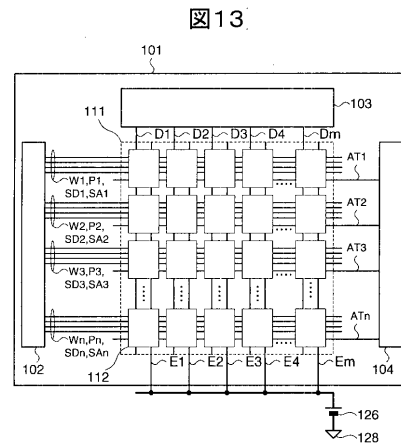
(B)



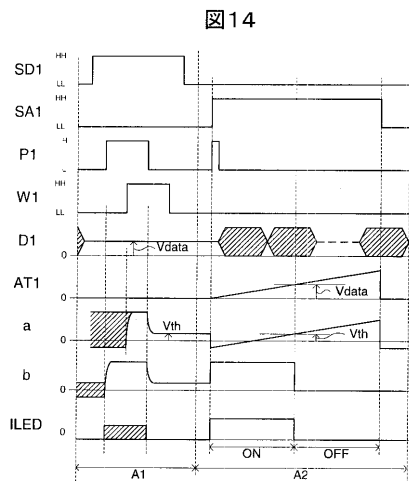
【図 12】



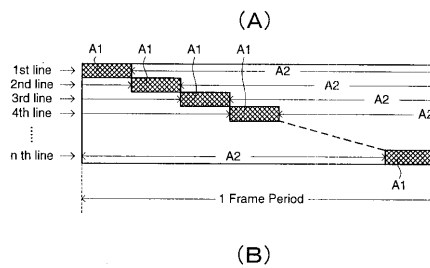
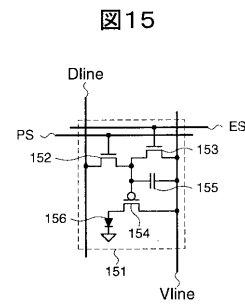
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 R
H 0 5 B 33/14 A

(56)参考文献 国際公開第 0 2 / 0 2 7 7 0 0 (W O , A 1)

特表 2 0 0 4 - 5 1 0 2 0 8 (J P , A)

特表平 0 5 - 5 0 3 1 7 5 (J P , A)

特開 2 0 0 2 - 0 8 2 6 5 1 (J P , A)

特開 2 0 0 3 - 0 4 3 9 9 9 (J P , A)

特開 2 0 0 3 - 2 8 8 0 5 5 (J P , A)

特開 2 0 0 3 - 2 4 1 7 1 1 (J P , A)

特許第 3 8 5 4 1 6 1 (J P , B 2)

特許第 3 8 9 2 7 3 2 (J P , B 2)

特許第 3 8 9 9 8 8 6 (J P , B 2)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00-3/38