(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4200618号
(P4200618)

(45)発行日　平成20年12月24日(2008.12.24)　(24)登録日　平成20年10月17日(2008.10.17)

(51)Int.Cl.		F I		
H01L 21/205	(2006.01)	H01L	21/205	
H01L 21/20	(2006.01)	H01L	21/20	
H01L 21/336	(2006.01)	H01L	29/78	618A
H01L 29/786	(2006.01)	H01L	29/78	627G

請求項の数 44　(全 76 頁)

(21)出願番号　特願平11-371343
(22)出願日　平成11年12月27日(1999.12.27)
(65)公開番号　特開2001-189275(P2001-189275A)
(43)公開日　平成13年7月10日(2001.7.10)
審査請求日　平成18年3月14日(2006.3.14)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100080160
弁理士　松尾　憲一郎
(74)代理人　100088580
弁理士　秋山　敦
(74)代理人　100111109
弁理士　城田　百合子
(72)発明者　山中　英雄
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　大塚　徹

最終頁に続く

(54)【発明の名称】半導体膜形成方法及び薄膜半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板に半導体膜を形成する半導体膜形成方法であって、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することを含む半導体膜形成工程と、
前記形成された半導体膜にレーザーを照射し、前記形成された半導体膜をレーザーでアニールするレーザーアニール工程と、
を備えたことを特徴とする半導体膜形成方法。
【請求項２】
前記半導体膜形成工程の前から、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ＊で前記基板上をクリーニングするクリーニング工程を備え、
前記クリーニング工程と、前記半導体膜形成工程とを行うことを特徴とする請求項１記載の半導体膜形成方法。
【請求項３】
前記半導体膜形成工程の前から、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ＊で前記基板上をクリーニングするクリーニング工程と、

前記キャリアガスの供給を、前記半導体膜形成工程の前，途中，後の少なくとも一つで増減する工程と、
前記半導体膜形成工程と、を行うことを特徴とする請求項１記載の半導体膜形成方法。
【請求項４】
前記真空容器内の成膜室で前記半導体膜形成工程を行い、
前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記半導体膜形成工程と前記レーザーアニール工程とを前記真空容器内で連続して行うことを特徴とする請求項１記載の半導体膜形成方法。
【請求項５】
前記成膜室で、前記レーザーでアニールされた半導体膜上に絶縁膜を成膜し、
前記半導体膜形成工程と前記レーザーアニール工程と前記絶縁膜の成膜とを前記真空容器内で連続して行うことを特徴とする請求項１記載の半導体膜形成方法。
【請求項６】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板に半導体膜を形成する半導体膜形成方法であって、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、
前記形成された半導体膜および絶縁膜にレーザーを照射し、前記形成された半導体膜および絶縁膜をレーザーでアニールするレーザーアニール工程と、を備えたことを特徴とする半導体膜形成方法。
【請求項７】
前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール工程を行うことを特徴とする請求項１または６記載の半導体膜形成方法。
【請求項８】
前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、
前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、
前記半導体膜および絶縁膜形成工程と前記レーザーアニール工程とを前記真空容器内で連続して行うことを特徴とする請求項６記載の半導体膜形成方法。
【請求項９】
前記真空容器内の半導体膜成膜室で半導体膜を形成し、
前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、
前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、
前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール工程とを前記真空容器内で連続して行うことを特徴とする請求項６記載の半導体膜形成方法。
【請求項１０】
前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、
前記レーザーアニール工程では、前記半導体膜をレーザーアニールして、該半導体膜の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすることを特徴とする請求項１または６記載の半導体膜形成方法。
【請求項１１】
前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとした場合における前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、

前記レーザーアニール工程で、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすることを特徴とする請求項１または６記載の半導体膜形成方法。

【請求項１２】

バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板に半導体膜を形成する半導体膜形成方法であって、

真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、

前記形成された半導体膜および絶縁膜を水蒸気でアニールする水蒸気アニール工程と、を備えたことを特徴とする半導体膜形成方法。

【請求項１３】

前記真空容器とは異なる水蒸気アニール装置内で前記水蒸気アニール工程を行うことを特徴とする請求項１２記載の半導体膜形成方法。

【請求項１４】

前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、

前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、

前記半導体膜および絶縁膜形成工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うことを特徴とする請求項１２記載の半導体膜形成方法。

【請求項１５】

前記真空容器内の半導体膜成膜室で半導体膜を形成し、

前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、

前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、

前記半導体膜の形成と前記絶縁膜の形成と前記水蒸気アニール工程とを前記真空容器内で連続して行うことを特徴とする請求項１２記載の半導体膜形成方法。

【請求項１６】

前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、

前記水蒸気アニール工程では、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすることを特徴とする請求項１２記載の半導体膜形成方法。

【請求項１７】

前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとした場合における前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、

前記水蒸気アニール工程で、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすることを特徴とする請求項１２記載の半導体膜形成方法。

【請求項１８】

前記半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に段差を形成し、前記段差を含むシリコン膜形成領域に単結晶シリコン膜をグラフォエピタキシャル成長させることを特徴とする請求項１２記載の半導体膜形成方法。

【請求項１９】

前記半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に単結晶シリコンと格子整合の良い物質層を形成し、該物質層を含むシリコン膜形成領域に単結晶シリコン膜をヘテロエピタキシャル成長させることを特徴とする請求項１２記載の半導体膜形成方法。

【請求項２０】

前記単結晶シリコンと格子整合の良い物質層は、サファイアまたはスピネル構造体またはフッ化カルシウムを含む群より選ばれた、少なくとも一種以上の物質よりなることを特徴とする請求項１９記載の半導体膜形成方法。

【請求項２１】

バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板に半導体膜を形成する半導体膜形成方法であって、

真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、

前記形成された半導体膜および絶縁膜にレーザーを照射し、前記形成された半導体膜および絶縁膜をレーザーでアニールするレーザーアニール工程と、

該レーザーアニール工程の後工程であって、水蒸気でアニールを行う水蒸気アニール工程と、を備えたことを特徴とする半導体膜形成方法。

【請求項２２】

前記半導体膜および絶縁膜形成工程の前から、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ＊で前記基板上をクリーニングするクリーニング工程を備え、

前記クリーニング工程と、前記半導体膜および絶縁膜形成工程とを行うことを特徴とする請求項６，１２，２１いずれか記載の半導体膜形成方法。

【請求項２３】

前記半導体膜および絶縁膜形成工程の前から、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ＊で前記基板上をクリーニングするクリーニング工程と、

前記キャリアガスの供給を、前記半導体膜および絶縁膜形成工程の前，途中，後の少なくとも一つで増減する工程と、

前記半導体膜および絶縁膜形成工程と、を行うことを特徴とする請求項６，１２，２１いずれか記載の半導体膜形成方法。

【請求項２４】

前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール工程を行い、

前記真空容器とは異なる水蒸気アニール装置内で前記水蒸気アニール工程を行うことを特徴とする請求項２１記載の半導体膜形成方法。

【請求項２５】

前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、

前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、

前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、

前記半導体膜および絶縁膜形成工程と前記レーザーアニール工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うことを特徴とする請求項２１記載の半導体膜形成方法。

【請求項２６】

前記真空容器内の半導体膜成膜室で半導体膜を形成し、

前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、

前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、

前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、

前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うことを特徴とする請求項２１記載の半導体膜形

成方法。
【請求項２７】
前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、
前記水蒸気アニール工程では、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とし、
前記レーザーアニール工程では、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすることを特徴とする請求項２１記載の半導体膜形成方法。
【請求項２８】
前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとした場合における前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、
前記水蒸気アニール工程で、前記半導体膜を水蒸気アニールして、該半導体膜の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とし、
前記レーザーアニール工程で、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすることを特徴とする請求項２１記載の半導体膜形成方法。
【請求項２９】
前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとしたことを特徴とする請求項１，６，１２，２１いずれか記載の半導体膜形成方法。
【請求項３０】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してトップゲート型ＴＦＴを製造する製造方法であって、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜して多結晶半導体膜とし、
その後、前記半導体膜をレーザーアニール処理し、
次いで、ソース／トップゲート／ドレイン電極を形成してなることを特徴とする薄膜半導体装置の製造方法。
【請求項３１】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してボトムゲート型ＴＦＴを製造する製造方法であって、
基板上にボトムゲート電極を形成し、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、
その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、
次いで、ソース／ドレイン電極を形成してなることを特徴とする薄膜半導体装置の製造方法。
【請求項３２】

バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してデュアルゲート型ＴＦＴを製造する製造方法であって、
基板上にボトムゲート電極を形成し、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、
その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、
次いで、ソース／トップゲート／ドレイン電極を形成してなることを特徴とする薄膜半導体装置の製造方法。

【請求項３３】
前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール処理を行うことを特徴とする請求項３０，３１，３２いずれか記載の薄膜半導体装置の製造方法。

【請求項３４】
前記真空容器内の成膜室で前記半導体膜および前記絶縁膜を成膜し、
前記真空容器内のレーザーアニール室で前記レーザーアニール処理を行い、
前記半導体膜および絶縁膜の成膜と前記レーザーアニール処理とを前記真空容器内で連続して行うことを特徴とする請求項３０，３１，３２いずれか記載の薄膜半導体装置の製造方法。

【請求項３５】
前記真空容器内の半導体膜成膜室で前記半導体膜を成膜し、
前記真空容器内の絶縁膜成膜室で前記絶縁膜を形成し、
前記真空容器内のレーザーアニール室で前記レーザーアニール処理を行い、
前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール処理とを前記真空容器内で連続して行うことを特徴とする請求項３０，３１，３２いずれか記載の薄膜半導体装置の製造方法。

【請求項３６】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してトップゲート型ＴＦＴを製造する製造方法であって、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、前記基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜し、
その後、ソース／トップゲート／ドレイン電極を形成し、
次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、
その後、前記ソース／トップゲート／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項３７】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してボトムゲート型ＴＦＴを製造する製造方法であって、
基板上にボトムゲート電極を形成し、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、
その後、ソース／ドレイン電極を形成し、
次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、
その後、前記ボトムゲート電極および前記ソース／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項３８】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してデュアルゲート型ＴＦＴを製造する製造方法であって、

基板上にボトムゲート電極を形成し、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、
その後、ソース／トップゲート／ドレイン電極を形成し、
次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、
その後、前記ボトムゲート電極および前記ソース／トップゲート／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項３９】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してトップゲート型ＴＦＴを製造する製造方法であって、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜し、
その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、
次いでソース／トップゲート／ドレイン電極を形成し、
次いで低圧高温又は高圧高温で、水蒸気アニール処理を行い、
その後、前記ソース／トップゲート／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項４０】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してボトムゲート型ＴＦＴを製造する製造方法であって、
基板上にボトムゲート電極を形成し、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、
その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、
次いでソース／ドレイン電極を形成し、
次いで低圧高温又は高圧高温で、水蒸気アニール処理を行い、
その後、前記ボトムゲート電極および前記ソース／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項４１】
バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してデュアルゲート型ＴＦＴを製造する製造方法であって、
基板上にボトムゲート電極を形成し、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、
その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、
次いで、ソース／トップゲート／ドレイン電極を形成し、
次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、
その後、前記ボトムゲート電極および前記ソース／トップゲート／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項４２】
前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとしたことを特徴とする請求項３０，３１，３２，３６，３７，３８

，３９，４０，４１いずれか記載の薄膜半導体装置の製造方法。
【請求項４３】
前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ＊で前記基板上をクリーニングするクリーニング工程を備え、
前記膜の成膜と前記クリーニング工程とを繰り返し、或いは前記クリーニング工程の後で前記膜の成膜を繰り返すことを特徴とする請求項３０，３１，３２，３６，３７，３８，３９，４０，４１いずれか記載の薄膜半導体装置の製造方法。
【請求項４４】
前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ＊で前記基板上をクリーニングするクリーニング工程と、
前記キャリアガスの供給を、前記膜を形成する前，途中，後の少なくとも一つで増減する工程と、
前記膜の形成と、を行うことを特徴とする請求項３０，３１，３２，３６，３７，３８，３９，４０，４１いずれか記載の薄膜半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体膜形成方法及び薄膜半導体装置の製造方法に係り、特に高品質の薄膜半導体装置を製造することが可能であるとともに、大型の表示装置や固体撮像装置に適用可能な薄膜半導体装置を製造することが可能な半導体膜形成方法および薄膜半導体装置の製造方法に関する。
【０００２】
【従来の技術】
従来の液晶表示装置等に使用されてきた絶縁ゲート型ポリシリコンＴＦＴは、低耐熱性基板上に、プラズマＣＶＤ法等でアモルファスシリコン膜を形成し、エキシマレーザーアニール処理でポリシリコン膜を形成したものが一般的である。
そして、ポリシリコン膜形成後に、プラズマＣＶＤ法等でゲート絶縁膜（酸化シリコン膜等）を形成しているが、この中の欠陥（プラズマダメージ）や不純物に起因する正電荷が、ゲート絶縁膜と半導体との界面近傍に存在すると、フラットバンド電圧のシフト（移動）を来たす。これがｎ－ｃｈ　ＭＩＳトランジスタのディプリーション化、ｐ－ｃｈ　ＭＩＳトランジスタのオン電圧の増大化を引き起こして、しきい値電圧の増大化現象につながり、これらのトランジスタを用いた回路は、集積回路化に問題があるという不都合がある。
【０００３】
上記正電荷は、ゲート絶縁膜中，例えば酸化シリコン膜中のシリコンのダングリングボンド（未結合手）によって生じるものと考えられている。
この正電荷が生じるのを防ぐ為に、ゲート絶縁膜の成膜後に、大気等の酸素雰囲気中、又は水素ガスを含む還元性ガス中で熱処理を行い、欠陥の補償を行うポストアニール法が開発されている。しかし、このポストアニール法は、一般に４００℃以上の高温加熱が必要であるという問題点がある。また、ポストアニール法によると、絶縁膜質によっては、かえってフラットバンド電圧のシフトを増大させる場合があるという不都合がある。
【０００４】
そこで、プラズマＣＶＤ法等でアモルファスシリコン膜を形成した後、エキシマレーザーアニール処理を行ってポリシリコン膜を形成し、その後水蒸気中でポリシリコン膜のアニール処理を行う方法が開発されている。この方法を用いた場合の効果として、絶縁膜及び半導体の改質が図られると共に、ＴＦＴを形成した場合の移動度が向上し、オーミックコンタクトが改善され、ホットエレクトロン劣化が抑制され、集積回路の高速動作化が実現される等の効果が報告されている。
【０００５】
この方法では、アルミ電極形成後に水蒸気アニール処理を行っている。この理由の一つは

、アルミ電極形成前に水蒸気アニール処理を行うと、オーミックコンタクトが取れにくいためである。
しかし、アルミ電極形成後に水蒸気アニール処理を行うと、アルミ電極表面に酸化アルミニウム及び水酸化アルミニウム膜が形成されて、外部への電極取りだしが困難となる。つまり、金線ボンディングや無電解Ｎｉ／Ａｕメッキと半田バンプとのオーミックコンタクトが不十分になりやすく、形成されたＴＦＴの品質及び信頼性に問題が生じる。
【０００６】
一方、ポリシリコン膜の移動度の改善という観点からは、プラズマＣＶＤ，減圧ＣＶＤ法等により形成したアモルファス／ポリシリコン膜を、単に高温あるいはエキシマレーザーアニール（ＥＬＡ）処理すること（以下「ＥＬＡによるポリシリコンＴＦＴ製法」とする）により、ポリシリコン膜の移動度の改善が図られてきた。その結果、この方法で作成したポリシリコンＴＦＴの電子移動度は、８０～１２０ｃｍ^2／Ｖｓｅｃ前後となり、高精細化にも対応できるので、最近は駆動回路一体型ポリシリコンＴＦＴＬＣＤが注目されている。
【０００７】
しかし、このＥＬＡによるポリシリコンＴＦＴ製法では、８０～１２０ｃｍ^2／Ｖｓｅｃ程度の電子移動度を得るのが限界であった。また、エキシマレーザー出力が不安定であることや、生産性の低さ、装置が大型化することにより装置が高価になること、歩留が低く、品質の向上が望まれること等の問題がある。特に、１ｍ四方の大型ガラス基板になると、これらの問題が拡大し、ますます半導体の性能，品質の低下およびコストの上昇が顕著となる。
【０００８】
一方、上記各方法では、プラズマＣＶＤ法を用いていることから、プラズマ電界の不均一性、ゆらぎ、プラズマ誘起電荷等による基板上の電界不均一性が生じ、これらの影響が基板に及び、トランジスタへのダメージ、ショート等（ゲート酸化膜などのチャージアップ又は放電破壊、配線間の放電など）が発生することがあるという問題点がある。この現象は、特に、プラズマのオン／オフ時に発生し易い傾向にある。また、プラズマからの発光による紫外線損傷の可能性がある点、大面積でのプラズマ放電が難しく、定在波の発生もあり、均一性が得にくい点、装置が複雑でかつ高価であり、メンテナンスが繁雑である点なども問題となっている。
【０００９】
そこで、近年、熱ＣＶＤの一種の触媒ＣＶＤ法という優れた方法が開発され、実用化の検討が推進されている。この触媒ＣＶＤ法は、ガラス基板の様な絶縁性基板上に、ポリシリコン膜、窒化シリコン膜を低温で作製し得る方法である。触媒ＣＶＤ法では、アニールなしで、２０～５０ｃｍ^2／Ｖｓｅｃ程度のホール素子の電子移動度を得ている。
【００１０】
しかし、上記触媒ＣＶＤ法によると、次のような問題点がある。
すなわち、上記触媒ＣＶＤで得ている２０～５０ｃｍ^2／Ｖｓｅｃ程度のホール素子の電子移動度では、良質なＴＦＴデバイスを得ることができない。良質なＴＦＴデバイスを作製するには、移動度の向上が必要である。
また、ガラス基板上にポリシリコン膜の形成をすると、この成膜条件次第では初期のアモルファスシリコンの遷移層（５～１０ｎｍ）が形成されやすいので、ボトムゲート型ＴＦＴとした場合は所望の移動度を得にくいという問題がある。なお、一般に駆動回路一体型ポリシリコンＴＦＴＬＣＤとしては、ボトムゲート型ＴＦＴが歩留及び生産性の面で製造しやすいため、この所望の電子／正孔移動度を得にくいという問題が、さらにネックとなる。
また、この触媒ＣＶＤ法は、形成された膜の特性、品質及び信頼性等に課題が多いのが現状である。
【００１１】
【発明が解決しようとする課題】

本発明の目的は、上記各方法における課題を解決するためになされたもので、基板上に高品質な半導体膜を形成するための半導体膜形成方法を提供することにある。
本発明の他の目的は、高品質で且つ大型の表示装置，固体撮像装置等にも適用可能な薄膜半導体装置の製造方法を提供することにある。
本発明のさらに他の目的は、高品質な半導体膜の形成及び薄膜半導体装置の製造を可能とするとともに、充分な電子／正孔移動度を得ることが可能な半導体膜形成方法及び薄膜半導体装置の製造方法を提供することにある。
本発明のさらに他の目的は、熱触媒体の劣化を防ぐことが可能な半導体膜形成方法及び薄膜半導体装置の製造方法を提供することにある。

【００１２】

【課題を解決するための手段】

上記課題は、請求項１に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板に半導体膜を形成する半導体膜形成方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することを含む半導体膜形成工程と、前記形成された半導体膜にレーザーを照射し、前記形成された半導体膜をレーザーでアニールするレーザーアニール工程と、を備えることにより解決される。

【００１３】

上記のように、基板と電極との間にグロー放電開始電圧以下の電界を印加しているので、反応種に対し、触媒体の触媒作用とその熱エネルギーに加えて上記電圧による加速電界を与えることとなり、指向性の運動エネルギーが大きくなって反応種を基板上に効率良く導くことができると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒ＣＶＤ法に比べて、触媒体で生成された反応種の運動エネルギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑性の向上、ビアホールなどへの埋め込み性とステップカバレージの向上、生成膜のストレスコントロール等が可能となり、成膜速度向上、原料ガスの利用効率向上等による生産性向上、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。

【００１４】

また、半導体膜をレーザーでアニール処理するように構成しているので、半導体膜のみが瞬時に熱せられ、基板への熱の影響が及びにくくなり、基板の変形を起こすことなく、アモルファスシリコンまたは微結晶シリコン半導体膜を結晶化でき、又含有しているキャリア不純物の活性化もでき、例えば移動度の大きい半導体膜に変えることができる。しかも、この結晶化、活性化は基板全体を高温にすることなく、低温で行うことができる。

【００１５】

このとき、前記半導体膜形成工程の前から、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ＊で前記基板上をクリーニングするクリーニング工程を備え、前記クリーニング工程と、前記半導体膜形成工程とを行うと好適である。

【００１６】

このように、半導体膜層を基板上へ形成するときに、水素を含むキャリアガスを常時供給しているので、キャリアガスで発生した活性化水素イオンＨ＊が、基板表面をクリーニングし、基板上に高品質の半導体膜を形成することができる。活性化水素イオンＨ＊によるクリーニングは、電界印加によってさらに効果的になる。また、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、少なくともゲートチャンネル部を低ストレス，低コンタミとすることができる。さらに、水素を含むキャリアガスが基板の成膜中に常時導入されているので、熱触媒体を他のガスの影響から保護することになり熱触媒体の劣化を防ぐことが可能となる。

【００１７】
また、半導体膜中の酸素，炭素，窒素のそれぞれの含有量は、少ないほどキャリア（電子／正孔）の流れが良好になり、好ましい。例えば、ポリシリコン膜等の半導体膜中の酸素，炭素，窒素のそれぞれの含有量は、１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下であり、かつ水素含有量は、０．０１原子％／ｃｍ^{3}以上であると好適であるが、本発明では、電界印加により、効率よく成膜中に活性化水素イオンＨ*にさらされて、半導体膜の酸化やコンタミが低減されるため、上記数値を達成することが可能となる。
【００１８】
また、前記半導体膜形成工程の前から、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ*で前記基板上をクリーニングするクリーニング工程と、前記キャリアガスの供給を、前記半導体膜形成工程の前，途中，後の少なくとも一つで増減する工程と、前記半導体膜形成工程と、を行うと好適である。
【００１９】
これにより、各種の成膜を行うとき、成膜開始後所定時間経過した後に、キャリアガスの導入を低減させることができるので、真空容器において原料ガスの割合が高くなり、基板への半導体膜形成が高速で行われ作業性を向上させることが可能となる。また、基板へ半導体膜を形成するときに、水素を含むキャリアガスを供給しているので、熱触媒体で発生した活性化水素イオンＨ*が基板表面をクリーニングし、基板上に高品質の半導体膜を形成することができる。さらに、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、少なくともゲートチャンネル部を低ストレス，低コンタミとすることができる。
【００２０】
また、各種の成膜を行うとき、半導体膜形成工程の前，後でキャリアガスの導入を増加させることができるので、成膜前後に、熱触媒体により、活性化水素イオンＨ*を大量に発生させ、クリーニングによるコンタミ低減、膜ストレス低減等を促進させることができる。このとき、電解を印加しているため、これらの効果を効率よく得ることが可能となる。
また、ポリシリコン膜等の半導体膜の絶縁膜との界面における酸素，炭素，窒素それぞれの含有量は、少ないほどキャリア（電子／正孔）の流れが良好になり、好ましい。例えば、少なくともキャリアチャンネル領域のポリシリコン膜等の半導体膜中の酸素，炭素，窒素それぞれの含有量は、１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下で、水素の含有量は、０．０１原子％／ｃｍ^{3}以上であると好適であるが、本発明では、半導体膜形成工程の前から、水素ガスを導入すると共に、電界印加により活性化水素イオンＨ*を効率よく作用させているため、この数値を達成することが可能となる。
【００２１】
さらに、前記真空容器内の成膜室で前記半導体膜形成工程を行い、前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記半導体膜形成工程と前記レーザーアニール工程とを前記真空容器内で連続して行ってもよい。
このように構成することにより、真空装置内から取り出すことなく半導体膜形成工程およびレーザーアニール工程を連続して行うことができ、より簡易な工程で薄膜半導体装置等を製造することが可能となる。
【００２２】
また、前記成膜室で、前記レーザーでアニールされた半導体膜上に絶縁膜を成膜し、前記半導体膜形成工程と前記レーザーアニール工程と前記絶縁膜の成膜とを前記真空容器内で連続して行うように構成しても好適である。
このように構成することにより、真空装置内から取り出すことなく半導体膜形成工程およびレーザーアニール工程および絶縁膜の成膜を連続して行うことができ、より簡易な工程

で薄膜半導体装置等を製造することが可能となる。

【００２３】

また、上記課題は、請求項６に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板に半導体膜を形成する半導体膜形成方法であって、前記真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、前記形成された半導体膜および絶縁膜にレーザーを照射し、前記形成された半導体膜および絶縁膜をレーザーでアニールするレーザーアニール工程と、を備えたことにより解決される。

【００２４】

上記のように、基板と電極との間にグロー放電開始電圧以下の電界を印加しているので、反応種に対し、触媒体の触媒作用とその熱エネルギーに加えて上記電圧による加速電界を与えるため、指向性の運動エネルギーが大きくなって反応種を基板上に効率良く導くことができると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒ＣＶＤ法に比べて、触媒体で生成された反応種の運動エネルギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑性の向上、ビアホールなどへの埋め込み性とステップカバレージの向上、生成膜のストレスコントロール等が可能となり、成膜速度向上、原料ガスの利用効率向上等による生産性向上、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。

【００２５】

また、半導体膜をレーザーでアニール処理するように構成しているので、半導体膜のみが瞬時に熱せられ、基板への熱の影響が及びにくくなり、基板の変形を起こすことなく、アモルファスシリコンまたは微結晶シリコン半導体膜を結晶化でき、又含有しているキャリア不純物の活性化もでき、例えば移動度の大きい半導体膜に変えることができる。しかも、この結晶化、活性化は基板全体を高温にすることなく、低温で行うことができる。

【００２６】

このとき、前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール工程を行うと好適である。

また、前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記半導体膜および絶縁膜形成工程と前記レーザーアニール工程とを前記真空容器内で連続して行うように構成してもよい。

【００２７】

また、前記真空容器内の半導体膜成膜室で半導体膜を形成し、前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール工程とを前記真空容器内で連続して行うように構成すると好適である。

【００２８】

前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{１９}ａｔｏｍｓ／ｃｍ^{３}以下、水素濃度が０．０１原子％／ｃｍ^{３}以上である半導体膜を形成し、前記レーザーアニール工程では、前記半導体膜をレーザーアニールして、該半導体膜の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{１９}ａｔｏｍｓ／ｃｍ^{３}以下、水素濃度が０．０１原子％／ｃｍ^{３}以上の半導体膜とすると好適である。

【００２９】

前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとした場合における前記半導体膜形成工程または前記半導体膜および

絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、前記レーザーアニール工程で、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすると好適である。

【００３０】

このように、半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下としているので、キャリア（電子，正孔）の流れが良好になり、ゲート電圧／ドレイン電流特性にヒステリシスがなく、高い周波数において良好なスイッチング特性を得ることができる。また、半導体膜内の少なくともキャリアチャンネル領域における水素濃度を０．０１原子％／ｃｍ^{3}以上としているので、キャリアチャンネル領域の導電度を高めることができる。

【００３１】

また、上記課題は、請求項１２に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板に半導体膜を形成する半導体膜形成方法であって、前記真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、前記形成された半導体膜および絶縁膜を水蒸気でアニールする水蒸気アニール工程と、を備えたことにより解決される。

【００３２】

上記のように、基板と電極との間にグロー放電開始電圧以下の電界を印加しているので、反応種に対し、触媒体の触媒作用とその熱エネルギーに加えて上記電圧による加速電界を与えることとなり、指向性の運動エネルギーが大きくなって反応種を基板上に効率良く導くことができると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒ＣＶＤ法に比べて、触媒体で生成された反応種の運動エネルギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑性の向上、ビアホールなどへの埋め込み性とステップカバレージの向上、生成膜のストレスコントロール等が可能となり、成膜速度向上、原料ガスの利用効率向上等による生産性向上、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。

【００３３】

また、水蒸気アニール工程を行うため、４００℃以下の低温の加熱処理で効果的に半導体および絶縁膜の改質をはかることができる。

また、絶縁膜の改質，すなわち絶縁膜中の水およびＯＨ基を低減することによって、ゲート絶縁膜または半導体膜の、ホットエレクトロン劣化を抑制する効果を得ることができる。

【００３４】

そして、絶縁膜中の水及びＯＨ基の低減により、例えばゲート絶縁膜において、ホットエレクトロン劣化を抑制する。さらに、ゲート絶縁膜中の欠陥や不純物に起因する正電荷を中性化し、負に寄ったフラットバンド電圧を０Ｖ側に近づけることができるので、ｎ－ｃｈ　ＭＩＳトランジスタにおけるディプリーション型への移行を回避してエンハンスメント型とし、ｐ－ｃｈ　ＭＩＳトランジスタではしきい値電圧Ｖ$_{th}$の増大化を回避して確実な動作を行わしめるので、ＣＭＯＳ等の集積回路化を容易に行える。そして、同一半導体基板における素子特性のばらつきを小さくできるので、回路の集積化が容易である。さらに、半導体と絶縁膜の界面特性の向上、すなわちしきい値電圧Ｖ$_{th}$を下げてオン電流を増大させ、オフ電流を低下させる効果をもたらし、集積回路の高速動作化が実現できる。また、キャリア移動度の増大が期待できる。

【００３５】
このとき、前記真空容器とは異なる水蒸気アニール装置内で前記水蒸気アニール工程を行うと好適である。
このように構成することにより、真空容器内が水蒸気により劣化することを防止することができる。また、酸素の存在により酸化劣化し易い熱触媒体を用いた場合には、水蒸気により熱触媒体が酸化劣化することを防止することができる。
【００３６】
また、前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、前記半導体膜および絶縁膜形成工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うように構成してもよい。
このように構成することにより、真空装置内から取り出すことなく半導体膜および絶縁膜形成工程および水蒸気アニール工程を連続して行うことができ、より簡易な工程で、生産性よく薄膜半導体装置等を製造することが可能となる。
【００３７】
さらに、前記真空容器内の半導体膜成膜室で半導体膜を形成し、前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、前記半導体膜の形成と前記絶縁膜の形成と前記水蒸気アニール工程とを前記真空容器内で連続して行うように構成すると好適である。
【００３８】
前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、前記水蒸気アニール工程では、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすると好適である。
【００３９】
前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとした場合における前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、前記水蒸気アニール工程で、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすると好適である。
【００４０】
このように、半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度を1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下としているので、キャリア（電子，正孔）の流れが良好になり、ゲート電圧／ドレイン電流特性にヒステリシスがなく、高い周波数において良好なスイッチング特性を得ることができる。また、半導体膜内の少なくともキャリアチャンネル領域における水素濃度を０．０１原子％／ｃｍ^{3}以上としているので、キャリアチャンネル領域の導電度を高めることができる。
【００４１】
また、前記半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に段差を形成し、前記段差を含むシリコン膜形成領域に単結晶シリコン膜をグラフォエピタキシャル成長させると好適である。
即ち、基板に段差を設け、段差を含む基板上に単結晶シリコン膜をグラフォエピタキシャル成長させているので、高い電子／正孔移動度を有し、動作性に優れる単結晶半導体膜を得ることができる。
【００４２】

前記半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に単結晶半導体と格子整合の良い物質層を形成し、該物質層を含むシリコン膜形成領域に単結晶シリコン膜をヘテロエピタキシャル成長させるように構成すると好適である。
これにより、高い電子／正孔移動度を有し、動作性に優れる単結晶シリコン膜を得ることができる。

【００４３】

このとき、前記単結晶シリコンと格子整合の良い物質層は、サファイアまたはスピネル構造体またはフッ化カルシウムを含む群より選ばれた、少なくとも一種以上の物質よりなるように構成するとよい。

【００４４】

また、上記課題は、請求項２１に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板に半導体膜を形成する半導体膜形成方法であって、前記真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、前記形成された半導体膜および絶縁膜にレーザーを照射し、前記形成された半導体膜および絶縁膜をレーザーでアニールするレーザーアニール工程と、該レーザーアニール工程の後工程であって、水蒸気でアニールを行う水蒸気アニール工程と、を備えることにより解決される。

【００４５】

上記のように、基板と電極との間にグロー放電開始電圧以下の電界を印加しているので、反応種に対し、触媒体の触媒作用とその熱エネルギーに加えて上記電圧による加速電界を与えることとなり、指向性の運動エネルギーが大きくなって反応種を基板上に効率良く導くことができると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒ＣＶＤ法に比べて、触媒体で生成された反応種の運動エネルギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑性の向上、ビアホールなどへの埋め込み性とステップカバレージの向上、生成膜のストレスコントロール等が可能となり、成膜速度向上、原料ガスの利用効率向上等による生産性向上、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。
また、バイアス触媒ＣＶＤを用いることにより、真空容器中に導入された原料ガスを効率よく薄膜として形成することができる。

【００４６】

また、半導体膜形成後に前記レーザーアニール工程及び前記水蒸気アニール工程を行なうと、例えば半導体膜として、アモルファスシリコン膜または微結晶シリコン膜の場合などは、レーザーアニール工程で大きな粒径のポリシリコン膜を形成し、大きい移動度のポリシリコン膜の形成が可能となる。このように、半導体膜形成工程の後で前記レーザーアニール工程及び前記水蒸気アニール工程を行なうため、低温の加熱処理で効果的に半導体膜の改質をはかることができる。

【００４７】

このとき、前記半導体膜および絶縁膜形成工程の前から、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオンＨ＊で前記基板上をクリーニングするクリーニング工程を備え、前記クリーニング工程と、前記半導体膜および絶縁膜形成工程とを行うと好適である。

【００４８】

このように、半導体膜層を基板上へ形成するときに、水素を含むキャリアガスを常時供給しているので、水素系キャリアガスから熱触媒体の熱分解および触媒反応により発生した活性化水素イオンＨ＊が、グロー放電開始電圧以下の電界印加により効率よく基板に集められ、基板表面を効率よくクリーニングし、基板上に高品質の半導体膜を形成することができる。また、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作

用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、ゲートチャンネル部を低ストレス，低コンタミとすることができる。さらに、水素を含むキャリアガスが基板の成膜中に常時導入されているので、熱触媒体を他のガスの影響から保護することになり熱触媒体の劣化を防ぐことが可能となる。また、酸素の存在により酸化劣化し易い熱触媒体、例えば、表面に高融点金属（タングステン、トリア含有タングステン、タンタル、モリブデン、シリコン等）が裸出した熱触媒体を用いた場合には、残留酸素により熱触媒体が酸化劣化することを低減することができる。

【００４９】

また、前記半導体膜および絶縁膜形成工程の前から、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオンH^*で前記基板上をクリーニングするクリーニング工程と、前記キャリアガスの供給を、前記半導体膜および絶縁膜形成工程の前，途中，後の少なくとも一つで増減する工程と、前記半導体膜および絶縁膜形成工程と、を行うように構成してもよい。

【００５０】

これにより、各種の成膜を行うとき、成膜開始後所定時間経過した後に、キャリアガスの導入を低減、または触媒体５の種類によっては停止させることができるので、真空容器において原料ガスの割合が高くなり、基板への半導体膜形成が高速で行われ作業性を向上させることが可能となる。また、基板へ半導体膜を形成するときに、水素を含むキャリアガスを供給しているので、熱触媒体で発生した活性化水素イオンH^*が基板表面をクリーニングし、基板上に高品質の半導体膜を形成することができる。さらに、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、ゲートチャンネル部を低ストレス，低コンタミとすることができる。

【００５１】

また、各種の成膜を行うとき、半導体膜形成工程の前，後でキャリアガスの導入を増加させることができるので、キャリアガスで発生した活性化水素イオンH^*が基板表面をクリーニングし、基板上に高品質の半導体膜を形成することができる。また、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、ゲートチャンネル部を低ストレス，低コンタミとすることができる。さらに、水素を含むキャリアガスが基板の成膜中に常時導入されているので、熱触媒体を他のガスの影響から保護することになり熱触媒体の劣化を防ぐことが可能となる。

【００５２】

また、バイアス触媒ＣＶＤで、ポリシリコン膜を成膜する場合には、このポリシリコン膜中の酸素，炭素，窒素それぞれの含有量は、少ないほどキャリア（電子／正孔）の流れが良好になり、好ましい。例えば、少なくともキャリアチャンネル領域のポリシリコン膜等の半導体膜中の酸素，炭素，窒素それぞれの含有量は、1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下であると好適であり、さらに水素含有量は０．０１原子％／ｃｍ^{3}以上であると好適であるが、本発明では、水素ガス導入により、常に成膜中に、電界印加により効率よく活性化水素イオンH^*にさらされて、半導体膜の酸化やコンタミが低減されるため、上記数値を達成することが可能となる。さらに、レーザーアニール処理を行った後にも、この数値が維持されると好適であるが、本発明では、水素ガスを導入すると共に電界印加しているため、レーザーアニール処理後にもこの数値を達成することが可能となる。

【００５３】

また、本発明では、水素ガス導入および電界印加により、成膜中常に効率よく活性化水素イオンH^*にさらされているため、エピタキシャル成長等により単結晶シリコン膜を成膜する場合にも、上記数値を達成することが可能となる。

さらに、本発明では、水素ガス導入および電界印加により、成膜中常に効率よく活性化水

素イオンH^*にさらされているため、アモルファスシリコン膜または微結晶シリコン膜を成膜し、これらの膜をレーザーアニール処理して大粒径ポリシリコン膜を得る場合にも、レーザーアニール処理後にもこの数値を達成することが可能となる。
上記数値は、特に、ＭＩＳＴＦＴの場合、チャンネル領域となるポリシリコン膜のゲート絶縁膜との界面において達成されることが望まれるが、本発明によれば、特にポリシリコン膜のゲート絶縁膜との界面の酸素含有量を上記数値とすることが可能となる。

【００５４】

さらに、前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール工程を行い、前記真空容器とは異なる水蒸気アニール装置内で前記水蒸気アニール工程を行うように構成しても好適である。

【００５５】

前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、前記半導体膜および絶縁膜形成工程と前記レーザーアニール工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うように構成してもよい。

【００５６】

また、前記真空容器内の半導体膜成膜室で半導体膜を形成し、前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うように構成すると好適である。

【００５７】

これらのように構成することにより、真空装置内から取り出すことなく半導体膜の形成および絶縁膜の形成およびレーザーアニール工程および水蒸気アニール工程を連続して行うことができ、より簡易な工程で薄膜半導体装置等を製造することが可能となる。

【００５８】

前記前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、前記水蒸気アニール工程では、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とし、前記レーザーアニール工程では、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすると好適である。

【００５９】

前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとした場合における前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜を形成し、前記水蒸気アニール工程で、前記半導体膜を水蒸気アニールして、該半導体膜の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とし、前記レーザーアニール工程で、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上の半導体膜とすると好適である。

【００６０】

このように、半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度を１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下としているので、キャリア（電子，正孔）の流れが良好になり、ゲート電圧／ドレイン電流特性にヒステリシスがなく、高い周波数において良好なスイッチング特性を得ることができる。また、半導体膜内の少なくともキャリアチャンネル領域における水素濃度を０．０１原子％／ｃｍ^{3}以上としているので、キャリアチャンネル領域の導電度を高めることができる。

【００６１】

上記のとき、前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤをバイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとすると好適である。

【００６２】

また、上記課題は、請求項３０に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してトップゲート型ＴＦＴを製造する製造方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜して多結晶半導体膜とし、その後、前記半導体膜をレーザーアニール処理し、次いで、ソース／トップゲート／ドレイン電極を形成してなることにより解決される。

このように構成することにより、薄膜半導体装置の性能を向上し、かつ製造を容易にすることができる。

【００６３】

さらに、上記課題は、請求項３１に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してボトムゲート型ＴＦＴを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース／ドレイン電極を形成してなることにより解決される。

【００６４】

また、上記課題は、請求項３２に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してデュアルゲート型ＴＦＴを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース／トップゲート／ドレイン電極を形成してなることにより解決される。

【００６５】

上記のとき、前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール処理を行うと好適である。

また、前記真空容器内の成膜室で前記半導体膜および前記絶縁膜を成膜し、前記真空容器内のレーザーアニール室で前記レーザーアニール処理を行い、前記半導体膜および絶縁膜の成膜と前記レーザーアニール処理とを前記真空容器内で連続して行うように構成してもよい。

【００６６】

さらに、前記真空容器内の半導体膜成膜室で前記半導体膜を成膜し、前記真空容器内の絶縁膜成膜室で前記絶縁膜を形成し、前記真空容器内のレーザーアニール室で前記レーザーアニール処理を行い、前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール処理とを前記真空容器内で連続して行うように構成すると好適である。

【００６７】

また、上記課題は、請求項３６に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バ

イアス触媒ＣＶＤを利用してトップゲート型ＴＦＴを製造する製造方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、前記基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜し、その後、ソース／トップゲート／ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ソース／トップゲート／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【００６８】

また、上記課題は、請求項３７に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してボトムゲート型ＴＦＴを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後、ソース／ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、
その後、前記ボトムゲート電極および前記ソース／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【００６９】

また、上記課題は、請求項３８に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してデュアルゲート型ＴＦＴを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、ソース／トップゲート／ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ボトムゲート電極および前記ソース／トップゲート／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【００７０】

また、上記課題は、請求項３９に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してトップゲート型ＴＦＴを製造する製造方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いでソース／トップゲート／ドレイン電極を形成し、次いで低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ソース／トップゲート／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【００７１】

また、上記課題は、請求項４０に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してボトムゲート型ＴＦＴを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いでソース／ドレイン電極を形成し、次いで低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ボトムゲート電極および前記ソース／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【００７２】

また、上記課題は、請求項４１に係る発明によれば、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してデュアルゲート型ＴＦＴを製造する製造方法であって、基板

上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース／トップゲート／ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ボトムゲート電極と、前記ソース／トップゲート／ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【００７３】

上記のとき、前記バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤとすると好適である。

【００７４】

また、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオンH^*で前記基板上をクリーニングするクリーニング工程を備え、前記膜の成膜と前記クリーニング工程とを繰り返し、或いは前記クリーニング工程の後で前記膜の成膜を繰り返すように構成すると好適である。

【００７５】

また、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオンH^*で前記基板上をクリーニングするクリーニング工程と、前記キャリアガスの供給を、前記膜を形成する前，途中，後の少なくとも一つで増減する工程と、前記膜の形成と、を行うように構成すると好適である。

【００７６】

【発明の実施の形態】

次に、本発明に係る半導体膜形成方法及び薄膜半導体装置の製造方法について、好適な実施の形態を図に基づいて説明する。

なお、図１０乃至図１６、図２１において、アルゴンをＡｒ、シリコンをＳｉ、水素ガスをH_2、酸素ガスをO_2、窒素ガスをN_2、アンモニアガスをNH_3、シランガスをSiH_4、ヘリウムガスをＨｅ、ネオンガスをＮｅ、窒化シリコンをＳｉＮ、酸化シリコンをSiO_2と表す。

本発明は、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板１０に半導体膜を形成する半導体膜形成方法である。

【００７７】

バイアス触媒ＣＶＤとは、電界を印加して触媒ＣＶＤを行う方法である。バイアス触媒ＣＶＤでは、触媒ＣＶＤ法に基づいて、水素系キャリアガスとシランガス等の原料ガスとからなる反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及び活性化水素イオンH^*にグロー放電開始電圧以下の電界を作用させて指向性の運動エネルギーを与え、基板上に多結晶シリコン等の所定の膜を気相成長させる。前記ラジカルな堆積種又はその前駆体及び活性化水素イオンH^*は、基板と対向電極との間にグロー放電開始電圧以下の直流電圧，または直流電圧に交流電圧を重畳させた電圧等を印加することにより、基板の側へ指向される。

【００７８】

触媒ＣＶＤ（Ｃａｔａｌｙｔｉｃ　ＣＶＤ，ＣＡＴ－ＣＶＤ）とは、例えば、特開昭６３－４０３１４号公報などに開示されている方法である。触媒ＣＶＤ法は、熱触媒体による触媒反応または熱分解反応によって、高エネルギーをもつシリコン原子又は原子の集団を形成し、絶縁基板上に堆積させるので、通常の熱ＣＶＤ法における堆積可能温度より著しく低い低温の領域でシリコン膜を堆積させることができる。

【００７９】

また、高密度触媒ＣＶＤは、高密度プラズマＣＶＤと触媒ＣＶＤを適宜組み合わせたものである。

この高密度プラズマＣＶＤは、プラズマＣＶＤのうち、10^{-3}Ｐａレベルの低圧下で、

マイクロ波により高密度としたプラズマ中で原料ガスの活性化を行わせて行うものである。高密度プラズマＣＶＤ装置としては、基本的に本明細書に記載の装置を用いることができるが、マイクロ波（２．４５ＧＨｚ程度）を用いるＥＣＲ（Ｅｌｅｃｔｒｏｎ Ｃｙｃｌｏｔｒｏｎ Ｒｅｓｏｎａｃｅ）、ＲＦ（１３．５６ＭＨｚ）を用いるＩＣＰ（Ｉｎｄｕｃｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ）、ヘリコン波プラズマ等を使用し、高密度のプラズマをチャンバ内で発生させる。このため、高真空が要求されるので真空ポンプにターボ分子ポンプを使用し、基板側から高いバイアス電圧を印加し、この冷却のために静電チャックと冷却手段（例えばＨｅ）を用いる。

【００８０】

本発明で用いる高密度バイアス触媒ＣＶＤは、マイクロ波によりプラズマを高密度とするものである。

高密度バイアス触媒ＣＶＤを行う装置について簡単に説明する。高密度バイアス触媒ＣＶＤ装置は、真空容器内に電極と基板が平行に配置され、この真空容器の側壁，すなわち電極および基板に対し垂直である壁に、導波管が設置される。この導波管は、上記側壁に対し垂直に伸びており、この導波管には、マグネトロンが設けられる。

高密度バイアス触媒ＣＶＤでは、この導波管でマイクロ波プラズマが発生するように構成されている。

このように構成しているため、サセプタと電極との間に電界を印加してプラズマを発生させるために基板にプラズマの影響が及ぶＲＦプラズマＣＶＤ等とは異なり、高密度バイアス触媒ＣＶＤでは、導波管で発生したプラズマが真空容器の壁に当たって弱まり、基板は、マイクロ波プラズマによるダメージを受けにくくなる。

また、導波管を、真空容器の側壁の電極と基板の間の位置に設けた場合には、電極と基板との間の熱触媒体によって、プラズマが基板に到達することが低減され、基板は、マイクロ波プラズマによるダメージを受けにくくなる。真空容器の側壁の電極の外側で、基板から遠い位置に設けた場合には、熱触媒体と、電極とによって、プラズマが基板に到達することが低減され、基板は、マイクロ波プラズマによるダメージを受けにくくなる。

【００８１】

本発明では、真空容器１に少なくとも原料ガスを供給し、真空容器中１に配置された基板１０と電極３ａとの間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することを含む半導体膜形成工程と、この形成された半導体膜にレーザーを照射し、形成された半導体膜をレーザーでアニールするレーザーアニール工程と、を備える。

半導体膜は、例えばアモルファス半導体膜，微結晶半導体膜，多結晶半導体膜である。

このように、基板１０と電極３ａとの間にグロー放電開始電圧以下の電界を印加しているので、反応種に対し、触媒体５の触媒作用とその熱エネルギーに加えて上記電圧による加速電界を与えることとなり、指向性の運動エネルギーが大きくなって基板上に効率良く導けると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒体ＣＶＤ法に比べて、触媒体５で生成された反応種の運動エネルギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板１０との密着性が向上し、生成膜密度が向上し、生成膜の均一性，平滑性が向上する。また、ビアホールなどへの埋め込み性およびステップカバレージが向上し、生成膜のストレスコントロール等が可能となり、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。

【００８２】

基板１０と電極３ａとの間には、グロー放電開始電圧以下の直流電圧，または直流電圧に交流電圧を重畳させた電圧を印加する。この交流電圧は、１ＭＨｚより大きく１０００ＭＨｚ以下である周波数の高周波電圧及び１ＭＨｚ以下の低周波電圧のうち少なくとも一方である。

また、絶対値がグロー放電開始電圧以下である高周波交流電圧のみ、又は絶対値がグロー放電開始電圧以下である低周波交流電圧のみ、又は該低周波交流電圧に前記高周波交流電圧を重畳させた電圧または直流電圧に低周波交流電圧と高周波交流電圧を重畳させた電圧

を印加するように構成してもよい。
なお、電圧は、成膜中に全体の電圧または構成要素それぞれの電圧を可変してもよい。但し、それぞれの電圧の絶対値が、いずれもグロー放電開始電圧以下の範囲内になるようにする。
【００８３】
また、成膜時又は成膜中に前記触媒体の触媒作用で反応ガスからイオン等の反応種が発生し、これにより基板がチャージアップして膜又はデバイスの性能を劣化させることがある。これを防止するために、前記反応種に帯電防止用の荷電粒子（電子ビーム又はプロトンなど、特に電子ビーム）を照射してイオンを中和することが望ましい。即ち、前記サセプタの近傍に荷電粒子照射手段が設置されているのがよい。
【００８４】
なお、本発明において、成膜直後のシリコン系膜を下記のように定義する。
アモルファスシリコン膜は、水素含有のアモルファス構造のシリコン（ａ－Ｓｉ：Ｈ）の膜とする。
微結晶シリコン膜とは、アモルファスシリコンを含有する微結晶シリコン｛ｎｃ－Ｓｉ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ　Ｓｉｌｉｃｏｎの略）｝が集合する膜とする。
ポリシリコン膜とは、アモルファスシリコンと微結晶シリコン（ｎｃ－Ｓｉ）を含有する比較的小さい粒径のポリシリコン｛μｃ－Ｓｉ（ｍｉｃｒｏｃｒｙｓｔａｌｌｉｎｅ　Ｓｉｌｉｃｏｎの略）｝が集合する膜とする。
単結晶シリコン膜とは、亜粒界や転位を含有する単結晶も含む単結晶シリコン膜とする。
レーザー光の吸収が大きく溶融しやすいアモルファス構造シリコンと結晶成長のシード（種）のｎｃ－Ｓｉおよびμｃ－Ｓｉがうまく組み合わさって、エキシマレーザーアニール等のレーザーアニール処理により再結晶化が促進され、大きな粒径のポリシリコン膜が形成される点に、本発明の特徴がある。
【００８５】
レーザーアニール工程は、半導体膜形成工程の後でなく、半導体膜と絶縁膜とを形成した後に行ってもよい。
絶縁膜は、例えば酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜のいずれか１種以上、又はその複合膜である。
【００８６】
このように、薄膜をレーザーでアニール処理するように構成しているので、膜のみが瞬時に熱せられ、基板１０への熱の影響が及びにくくなり、基板１０の変形を起こすことなく、アモルファスシリコンまたは微結晶シリコン薄膜を結晶化でき、又キャリア不純物の活性化もでき、例えば移動度の大きい薄膜に変えることができる。しかも、この結晶化、活性化は基板１０全体を高温にすることなく、低温で行うことができる。また、薄膜半導体装置の性能を向上し、かつ製造を容易にするものである。
【００８７】
このとき、レーザーアニール効果を高めるために、基板１０を２００℃以上～５００℃未満に加熱して、形成された膜を、ビーム形状が、ラインビームまたはエリアビームであるエキシマレーザーまたはアルゴンレーザー等のレーザーでアニールしてもよい。
【００８８】
また、アモルファスシリコンは、レーザー光の光エネルギー吸収が高いため、ポリシリコン膜は、シリコンイオン等を注入して結晶成長のシード（種）を注入すると同時に、アモルファスシリコン化することにより、大粒径ポリシリコン膜とすることがより容易となる。
このシリコンイオン等の注入は、たとえば、必要に応じて、２０～３０ｋｅＶで１～２Ｅ１５ａｔｏｍｓ／ｃｍ^{2}のシリコンイオン（SiF_4）を注入した後に、レーザーアニール処理を行うことにより行うことができる。
このように構成すると、ポリシリコンはレーザーアニールで溶解しにくいので、レーザーアニールで溶解し易いアモルファスシリコンとした後にレーザーアニール処理すると、大

きな粒径のポリシリコンが形成され、移動度向上が可能となる。

【００８９】

熱触媒体５は、熱触媒体５の融点未満の温度であって、８００℃以上２０００℃以下の温度に加熱するとよい。このとき、基板１０の温度を２００℃以上５００℃以下の温度にするとよい。

【００９０】

このように、熱触媒体５を加熱することにより、真空容器１内に導入された水素ガスから活性化水素イオンＨ＊が発生するため、基板表面をクリーニングすることができる。例えば、酸化シリコン膜とポリシリコン膜が形成される際には、これらの薄膜の界面にアモルファスシリコンの遷移層が形成されず、高品質な薄膜層を形成することが可能となる。また、加熱した熱触媒体５を用いることにより、原料ガスの大部分を薄膜として形成することができ、効率よく原料ガスを利用して薄膜を形成することができ、コストダウンが可能となる。

熱触媒体５は、タングステン、トリア含有タングステン、白金、モリブデン、パラジュウム、金属蒸着セラミックス、シリコン、アルミナ、炭化ケイ素よりなる群から選ばれた少なくとも一種の材料よりなる。

【００９１】

また、前記基板１０は、シリコン、ゲルマニウム、シリコンゲルマニウム、シリコンカーバイト、ガリウムひ素、ガリウムアルミニウムひ素、ガリウム燐、インジュウム燐、セレン化亜鉛、硫化カドミウム、石英ガラス、ほうけい酸ガラス、アルミノけい酸ガラス、耐熱性樹脂を含む半導体または絶縁性の材料から選ばれたものとするとよい。

【００９２】

本発明では、半導体膜形成工程の前から、真空容器１に水素を含むキャリアガスを常時供給し、この供給されたキャリアガスで発生した活性化水素イオンＨ＊で基板１０上をクリーニングするクリーニング工程を行う。そして、このクリーニング工程と、この半導体膜形成工程とを行う。

【００９３】

このように、基板１０へ薄膜を形成するときに、水素を含むキャリアガスを供給するので、供給されたキャリアガスの一部は活性化水素イオンＨ＊となって、この活性化水素イオンＨ＊が基板表面をクリーニングし、基板１０上に高品質の薄膜を形成することができる。そして、キャリアガスとしての水素ガスを供給し、熱触媒体５を加熱して触媒作用が可能な状態にし、少なくともシリコン膜とゲート絶縁膜を連続成膜することで、ゲートチャンネル部を低ストレス，低コンタミ，低界面準位とし、特性を向上することが可能となる。

また、本発明に係る半導体膜形成方法を用いて薄膜半導体装置を製造する場合には、薄膜半導体装置の性能を向上し、かつ製造を容易にするものである。

【００９４】

ここで、「連続成膜」することについて述べたが、本明細書中において、「連続成膜」には、次の３通りがある。

まず、成膜装置１内で、ゲート絶縁膜と半導体膜とを、連続して成膜する場合であり、ここで述べた意味である。

次に、絶縁膜を、ＳｉＮ－ＳｉＯＮ－SiO_2等の傾斜複合膜として成膜する場合である。

さらに、異なる絶縁膜を連続して成膜する場合である。

【００９５】

また、半導体膜形成工程の前から、真空容器１に水素を含むキャリアガスを供給し、この供給されたキャリアガスで発生した活性化水素イオンＨ＊で基板１０上をクリーニングするクリーニング工程と、キャリアガスの供給を、前記半導体膜形成工程の前，途中，後の少なくとも一つで増減する工程と、前記半導体膜形成工程と、を行うこともできる。

クリーニングされた基板１０には、真空容器１中に少なくとも原料ガスを導入することに

より薄膜が形成されるが、このとき、例えば、図３の一点鎖線で示すように、前記キャリアガスの供給を途中で低減することにより、真空容器１中での原料ガスの割合が高くなり、高速で薄膜形成を行うことが可能となる。
また、熱触媒体５として酸化劣化しない熱触媒体５を使用した場合には、図１３乃至図１５の実線で示すように、半導体膜形成工程の途中で真空容器１内へのキャリアガスの供給を停止することもできる。
すなわち、熱触媒体５が、酸素の存在下でも酸化劣化しない熱触媒体である場合には、水素ガスの供給を止めても、残留酸素により熱触媒体５が酸化劣化，断線等しない。酸化劣化しない熱触媒体とは、例えば、高融点金属（タングステン、トリア含有タングステン、タンタル、モリブデン、シリコン等）をセラミックスコーティングまたは炭化ケイ素コーティングしたもの又は表面を酸化又は窒化させたシリコン等である。

【００９６】
さらに、各種の成膜を行うとき、例えば、図３の点線で示すように、半導体膜形成工程の前，後でキャリアガスの導入を増加させることにより、成膜前後に、熱触媒体５により、活性化水素イオンH^*を大量に発生させ、クリーニング、膜ストレス低減等を促進させることができる。

【００９７】
本発明では、真空容器１内で半導体膜および絶縁膜を形成し、真空容器１外のレーザーアニール装置内でレーザーアニール工程を行う。
このとき、半導体膜および絶縁膜は、シングルチャンバ或いはマルチチャンバからなる真空容器１のいずれによっても形成することができる。
ただし、真空容器１内に、成膜室４６と、レーザーアニール室４４とを設けるように構成しても良い。真空容器１内の成膜室４６で半導体膜形成工程を行い、レーザーアニール室４４でレーザーアニール工程を行い、半導体膜形成工程とレーザーアニール工程とを前記真空容器内で連続して行う。このとき、成膜室４６とは別に真空装置１内に絶縁膜成膜室４７を設け、この絶縁膜成膜室４７内で絶縁膜を成膜してもよい。

【００９８】
また、半導体膜と絶縁膜を同じ成膜室４３内で形成することもできる。半導体膜を成膜する成膜室４３で、レーザーでアニールされた半導体膜上に絶縁膜を成膜し、半導体膜形成工程とレーザーアニール工程と絶縁膜の成膜とを真空容器１内で連続して行う。

【００９９】
本発明では、真空容器１に少なくとも原料ガスを供給して基板１０上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、形成された半導体膜および絶縁膜を水蒸気でアニールする水蒸気アニール工程と、を備えるようにすることもできる。

【０１００】
水蒸気アニール工程では、分圧が1×10^{2}Ｐａ以上飽和蒸気圧以下である水蒸気を含む雰囲気中で、１０秒以上２０時間以下の時間、常温以上４００℃以下の温度に加熱することにより形成された膜を水蒸気でアニールする。このとき、酸素、窒素、水素、又は一酸化窒素又は二酸化炭素のいずれか１種類以上の気体を含み、前記いずれか１種類以上の気体の分圧が、1×10^{2}Ｐａ以上1×10^{6}Ｐａ以下である雰囲気で水蒸気アニールを行う。
このように、水蒸気を含む低圧～高圧の雰囲気内におけるアニールを行うため、低温の加熱処理で効果的に半導体膜と絶縁膜との界面特性および絶縁膜の改質をはかることができる。

【０１０１】
本発明では、真空容器１内で半導体膜を形成し、真空容器１外の水蒸気アニール装置内で水蒸気アニール工程を行う。
ただし、真空容器１内に、成膜室４３と、水蒸気アニール室４５とを設けるように構成しても良い。真空容器１内の成膜室４３で半導体膜および絶縁膜形成工程を行い、水蒸気ア

ニール室４５で水蒸気アニール工程を行い、半導体膜および絶縁膜形成工程と水蒸気アニール工程とを真空容器１内で連続して行う。

【０１０２】

また、成膜室４６とは別に真空装置１内に絶縁膜成膜室４７を設け、この絶縁膜成膜室４７内で絶縁膜を成膜してもよい。このとき、真空容器１内の半導体膜成膜室４６で半導体膜を形成し、真空容器１内の絶縁膜成膜室４７で絶縁膜を形成し、真空容器１内の水蒸気アニール室４５で水蒸気アニール工程を行い、半導体膜の形成と絶縁膜の形成と水蒸気アニール工程とを真空容器内で連続して行う。

【０１０３】

本発明では、上記半導体膜として単結晶シリコンを形成することもできる。半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に段差を形成し、この段差を含むシリコン膜形成領域に単結晶シリコン膜をグラフォエピタキシャル成長させる。

即ち、基板に段差を設け、段差を含む基板上に単結晶シリコン膜をグラフォエピタキシャル成長させているので、高い電子／正孔移動度を有し、動作性に優れる単結晶シリコン膜を得ることができる。

本発明において単結晶には、亜粒界や転位を含有する単結晶も含む。また、単結晶シリコンのみでなく、単結晶ガリウム・砒素，単結晶シリコン・ゲルマニウム等の化合物半導体もエピタキシャル成長させることができることは当然である。

【０１０４】

また、半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に単結晶シリコンと格子整合の良い物質層を形成し、物質層を含むシリコン膜形成領域に単結晶シリコン膜をヘテロエピタキシャル成長させることもできる。

即ち基板に単結晶シリコンと格子整合の良い物質層を形成し、この物質層を含む基板上に単結晶シリコン膜をヘテロエピタキシャル成長させているので、高い電子／正孔移動度を有し、動作性に優れる単結晶シリコン膜を得ることができる。

この単結晶シリコンと格子整合の良い物質層は、サファイアまたはスピネル構造体またはフッ化カルシウムを含む群より選ばれた少なくとも一種以上の物質とする。

【０１０５】

また、本発明では、半導体膜および絶縁膜形成工程と、レーザーアニール工程と、レーザーアニール工程の後工程としての水蒸気アニール工程と、プラズマまたはスパッタリングによりクリーニングするクリーニング工程と、を備えるようにすることもできる。

【０１０６】

本発明では、真空容器１内で半導体膜および絶縁膜を形成し、真空容器１外のレーザーアニール装置内でレーザーアニール工程を、真空容器１外の水蒸気アニール装置内で水蒸気アニール工程を行う。

ただし、真空容器１内に、成膜室４３と、レーザーアニール室４４と、水蒸気アニール室４５と、を設けるように構成しても良い。真空容器１内の成膜室４３で半導体膜および絶縁膜形成工程を行い、真空容器１内のレーザーアニール室４４でレーザーアニール工程を行い、真空容器１内の水蒸気アニール室４５で水蒸気アニール工程を行い、半導体膜形成工程とレーザーアニール工程と水蒸気アニール工程とを真空容器１内で連続して行う。

【０１０７】

また、成膜室４６とは別に真空装置１内に絶縁膜成膜室４７を設け、この絶縁膜成膜室４７内で絶縁膜を成膜することもできる。真空容器１内の半導体膜成膜室４６で半導体膜を形成し、真空容器１内のレーザーアニール室４４でレーザーアニール工程を行い、真空容器１内の絶縁膜成膜室４７で絶縁膜を形成し、真空容器１内の水蒸気アニール室４５で水蒸気アニール工程を行い、半導体膜の形成とレーザーアニール工程と絶縁膜の形成と水蒸気アニール工程とを真空容器１内で連続して行う。

【０１０８】

本発明に係る半導体膜形成方法は、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤだけでなく、バイアス減圧ＣＶＤまたはバイアス常圧ＣＶＤで行うこともできる。

バイアス減圧ＣＶＤ、バイアス常圧ＣＶＤとは、電界を印加して減圧ＣＶＤ、常圧ＣＶＤを行う方法である。
常圧ＣＶＤとは、ＮＰＣＶＤ（Ｎｏｒｍａｌ　Ｐｒｅｓｓｕｒｅ　ＣＶＤ）とも呼ばれ、真空装置を用いずに常圧で行うＣＶＤである。高周波または赤外線により基板を直接加熱する点に特徴があり、Ｃｏｌｄ　Ｗａｌｌ形の容器を用いる。
また、減圧ＣＶＤとは、ＬＰＣＶＤ（Ｌｏｗ　Ｐｒｅｓｓｕｒｅ　ＣＶＤ）とも呼ばれ、１０～１０^{3}Ｐａ程度に減圧して行うＣＶＤ法である。基板を抵抗加熱により加熱する点に特徴があり、Ｈｏｔ　Ｗａｌｌ形の容器を用いる。
常圧ＣＶＤ、減圧ＣＶＤは、基板を数百℃以上の高温に加熱して薄膜を形成する点で、プラズマＣＶＤ、触媒ＣＶＤ等と異なる。

【０１０９】
本発明では、半導体膜形成工程または半導体膜および絶縁膜形成工程で形成された直後の半導体膜が、該半導体膜内の少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上である半導体膜となるようにする。また、レーザーアニール工程，水蒸気アニール工程でアニールされた後の半導体膜も、少なくともキャリアチャンネル領域における酸素，炭素，窒素のそれぞれの濃度が１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、水素濃度が０．０１原子％／ｃｍ^{3}以上となるようにする。

【０１１０】
また、本発明に係る薄膜半導体装置の製造方法は、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してトップゲート型ＴＦＴを製造する方法である。
真空容器１に少なくとも原料ガスを供給して、真空容器１中で、基板１０上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜する。その後、この半導体膜をレーザーアニール処理し、次いで、ソース／トップゲート／ドレイン電極を形成する。

【０１１１】
また、本発明に係る薄膜半導体装置の製造方法は、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してボトムゲート型ＴＦＴを製造する方法である。
基板１０上にボトムゲート電極を形成し、真空容器１に少なくとも原料ガスを供給して、真空容器１中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース／ドレイン電極を形成する。

【０１１２】
また、本発明に係る薄膜半導体装置の製造方法は、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用してデュアルゲート型ＴＦＴを製造する方法である。
基板１０上にボトムゲート電極を形成し、真空容器１に少なくとも原料ガスを供給して、真空容器１中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース／トップゲート／ドレイン電極を形成する。

【０１１３】
このとき、水素ガスとモノシランガスとアンモニアガスとからなる原料ガスを前記真空容器内に供給して窒化シリコン膜を形成することができる。また、水素ガスとモノシランガスとヘリウム希釈の酸素ガスとからなる原料ガスを前記真空容器内に供給して酸化シリコン膜を形成することができる。さらに、水素ガスと、シランガスと、からなる原料ガスを前記真空容器内に供給して、アモルファスシリコン膜または微結晶シリコン膜またはポリシリコン膜を形成することができる。
このとき、前記モノシランガスに、リンまたは砒素またはアンチモンを混入してＮ型不純物キャリア濃度のアモルファスシリコン膜または微結晶シリコン膜またはポリシリコン膜を形成するとよい。また、前記モノシランガスまたは前記シランガスに、ボロンを混入してＰ型不純物キャリア濃度のアモルファスシリコン膜または微結晶シリコン膜またはポリシリコン膜を形成するとよい。

【０１１４】
上記薄膜半導体装置の製造方法では、半導体膜及び絶縁膜を形成した後にレーザーアニール処理しているが、その後で電極形成し、その後に水蒸気アニール処理および電極のプラズマクリーニング及びスパッタクリーニングを行うようにすることもできる。また、レーザーアニール処理を行わずに、電極形成後に水蒸気アニール処理および電極のプラズマクリーニング及びスパッタクリーニングを行うようにすることもできる。
【０１１５】
本発明に係る薄膜形成方法及び薄膜半導体装置の製造方法によれば、シリコン半導体装置、シリコン半導体集積回路装置、シリコン－ゲルマニウム半導体装置、シリコン－ゲルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、液晶表示装置、有機／無機エレクトロルミネセンス表示装置、フィールドエミッションディスプレイ装置、プラズマディスプレイパネル（ＰＤＰ）装置、発光ポリマー表示装置、発光ダイオード表示装置、ＣＣＤエリア／リニアセンサ装置、ＭＯＳセンサ装置、高誘電率膜および強誘電体メモリー装置、太陽電池等を製造することができる。
【０１１６】
トップゲート型のみならず、ボトムゲート及びデュアルゲート型ＴＦＴでも高い電子／正孔移動度のポリシリコン膜または単結晶シリコン膜が得られる為に、この高性能のポリシリコン膜半導体または単結晶シリコン膜半導体を使用した高速・高電流密度の半導体装置、電気光学装置、更に高効率の太陽電池装置等の製造が可能となる。
本発明における他の詳細な事項、作用・効果等は、次述する実施例においてより明確になるであろう。
【０１１７】
【実施例】
以下、本発明の一実施例を図面に基づいて説明する。なお、以下に説明する部材，配置等は本発明を限定するものでなく、本発明の趣旨の範囲内で種々改変することができるものである。
図１は、本発明で用いる薄膜形成装置Ｓの一実施例を示す概略図である。
【０１１８】
＜ＤＣバイアス触媒ＣＶＤ法とその装置＞
本例では、触媒ＣＶＤ法に基づいて、水素系キャリアガスとシランガス等の原料ガスとからなる反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及びラジカル水素イオンにグロー放電開始電圧以下の電界を作用させて運動エネルギーを与え、基板上に多結晶シリコン等の所定の膜を気相成長させるに際し、基板と対向電極との間にグロー放電開始電圧以下の直流電圧（パッシェンの法則で決まる直流電圧、例えば、１ｋＶ以下の電圧）を印加し、前記ラジカルな堆積種又はその前駆体及びラジカル水素イオンを基板の側へ指向させる。以下、本例のＣＶＤ法をＤＣバイアス触媒ＣＶＤ法と称する。
本例のＤＣバイアス触媒ＣＶＤ法は、図１～図３に示す如き成膜装置を用いて実施される。
【０１１９】
この成膜装置（ＤＣバイアス触媒ＣＶＤ装置）によれば、水素系キャリアガスと水素化ケイ素（例えばモノシラン）等の原料ガス４０（及び必要に応じてB_2H_6やPH_3などのドーピングガスも含む。）で構成される反応ガスは、供給導管６１からガスシャワーヘッド３ａの供給口４３を通して成膜装置１へ導入される。成膜装置１の内部には、ガラス等の基板１０を支持するためのサセプタ２と、耐熱性の良い（望ましくは熱触媒体５と同じか或いはそれ以上の融点を有する材質の）ガスシャワーヘッド３ａと、コイル状のタングステン等の熱触媒体５と、更には開閉可能なシャッター６７とがそれぞれ配されている。なお、サセプタ２と成膜装置１との間には磁気シール７２が施されている。また、成膜装置１は前工程を行なう前室７３に後続され、ターボ分子ポンプ７４等でバルブ７５を介し

て排気される。

【０１２０】

そして、基板１０はサセプタ２内のヒータ２ｂ等の加熱手段で加熱され、また熱触媒体５は例えば抵抗線として融点以下（特に８００～２０００℃、タングステンの場合は約１６００～１７００℃）に加熱されて活性化される。熱触媒体５の両端子は直流又は交流の触媒体電源６８に接続され、この電源からの通電により所定温度に加熱される。また、ガスシャワーヘッド３ａは加速電極として、導管６１を介して可変の直流電源（１ｋＶ以下、例えば５００Ｖ）６９の正極側に接続され、負極側のサセプタ２（従って、基板１０）との間に１ｋＶ以下の直流バイアス電圧が印加されるようになっている。

【０１２１】

このＤＣバイアス触媒ＣＶＤ法を実施するには、成膜装置１内の真空度を10^{-4}～10^{-6}Ｐａとし、例えば水素系キャリアガス１００～２００ＳＣＣＭ（Ｓｔａｎｄａｒｄ ｃｃ ｐｅｒ ｍｉｎｕｔｅ：以下、同様）を供給して、触媒体５を所定温度に加熱して活性化した後に、水素化ケイ素（例えばモノシラン）ガス１～２０ＳＣＣＭ（及び必要に応じてB_2H_6や、PH_3等のドーピングガスも適量含む。）からなる反応ガス４０を供給導管６１からガスシャワーヘッド３ａの供給口４３を通して導入して、ガス圧を１０～10^{-1}Ｐａ、例えば１Ｐａとする。ここで、水素系キャリアガスは、水素、水素+アルゴン、水素＋ヘリウム、水素＋ネオン、水素＋キセノン、水素＋クリプトン等の、水素に不活性ガスを適量混合させたガスであれば、いずれでもよい（以下、同様）。尚、原料ガスの種類によっては、必ずしも水素系キャリアガスは必要ではない。即ち、水素系キャリアガスなしでシランのみの触媒反応でポリＳｉを成膜する方法（Ｈｏｔ Ｗｉｒｅ法と称されている。）が知られており、この方法にも本発明が適用可能なためである。

【０１２２】

反応ガス４０の少なくとも一部は熱触媒体５と接触して触媒的に分解し、触媒分解反応または熱分解反応によって、高エネルギーをもつシリコン等のイオン、ラジカル等の反応種の集団（即ち、堆積種又はその前駆体及びラジカル水素イオン）を形成する。こうして生成したイオン、ラジカル等の反応種７０にグロー放電開始電圧（約１ｋＶ）以下、例えば５００Ｖの直流電源６９による直流電界を作用させて運動エネルギーを与え、基板１０の側へ指向させて、室温～５５０℃（例えば２００～３００℃）に保持された基板１０上に多結晶シリコン等の所定の膜を気相成長させる。

【０１２３】

こうして、プラズマを発生することなく、反応種に対し、熱触媒体５の触媒作用とその熱エネルギーに直流電界による加速エネルギーを加えた指向性の運動エネルギーを与えるので、反応ガスを効率良く反応種に変えて、直流電界により基板１０上に均一に熱ＣＶＤ法で堆積することができる。この堆積種５６は基板１０上で泳動し、薄膜中で拡散するので、緻密でステップカバレージの良い平坦かつ均一な薄膜を形成できる。

【０１２４】

従って、本実施の形態によるＤＣバイアス触媒ＣＶＤは、従来の触媒ＣＶＤのコントロールファクタである基板温度、触媒体温度、ガス圧（反応ガス流量）、原料ガス種類等に比べ、独立した任意の直流電界で薄膜生成をコントロールすることを追加するのが特長である。このため、生成膜の基板との密着性をはじめ、生成膜密度、生成膜均一性又は平滑性、ビアホールなどへの埋め込み性とステップカバレージを向上させ、基板温度を一層低温化し、生成膜のストレスコントロール等が可能となり、高品質膜（例えばバルクに近い物性のシリコン膜や金属膜）が得られる。しかも、熱触媒体５で生成された反応種を直流電界で独立してコントロールし、効率良く基板上に堆積できるので、反応ガスの利用効率が高く、生成速度を早め、生産性向上と反応ガス削減によるコストダウンを図れる。

【０１２５】

また、基板温度を低温化しても堆積種の運動エネルギーが大きいために、目的とする良質の膜が得られることから、基板温度を上記のように更に低温化でき、大型で安価な絶縁基板（ほうけい酸ガラス、アルミノけい酸ガラス等のガラス基板、ポリイミド等の耐熱性樹

脂基板等）を使用でき、この点でもコストダウンが可能となる。しかも、上記した反応種の加速のための電極として、反応ガス供給用のガスシャワーヘッド３ａを兼用できるので、構造が簡略となる。

【０１２６】

また、勿論のことであるが、プラズマの発生がないので、プラズマによるダメージがなく、低ストレスの生成膜が得られると共に、プラズマＣＶＤ法に比べ、はるかにシンプルで安価な装置が実現する。

【０１２７】

この場合、減圧下（例えば10^{-1}～１Ｐａ）又は常圧下で操作を行なえるが、減圧タイプよりも常圧タイプの方がよりシンプルで安価な装置が実現する。そして、常圧タイプでも上記の電界を加えるので、密度、均一性、密着性のよい高品質膜が得られる。この場合も、減圧タイプよりも常圧タイプの方がスループットが大であり、生産性が高く、コストダウンが可能である。

【０１２８】

減圧タイプの場合は、直流電圧はガス圧（反応ガス流量）や原料ガス種類等によって左右されるが、いずれにしても、グロー放電開始電圧以下の任意の電圧に調整する必要がある。常圧タイプの場合は、放電はしないが、原料ガス及び反応種の流れが膜厚及び膜質に悪影響を及ぼさないように、基板上に排ガス流が接しないように排気を調整することが望ましい。

なお、本例では、図１に示すように、基板１をシャワーヘッド４２の上方に配したが、図４に示すように、基板１０をシャワーヘッド３ａの下方に配してもよい。

【０１２９】

また、本発明の特徴は、触媒ＣＶＤ法により薄膜を形成する際に、電界を印加する点にある。

本発明では、触媒ＣＶＤ法により薄膜を形成する際に、グロー放電開始電圧以下の直流電圧（即ち、パッシェンの法則により決まるプラズマ発生電圧以下、例えば１ｋＶ以下、数１０Ｖ以上）を印加し、前記反応種を前記基板１０の側へ指向させて、効率よく堆積させる。

【０１３０】

前記電界として、グロー放電開始電圧以下であって直流電圧（ＤＣ）に交流電圧を重畳させた電圧（即ち、パッシェンの法則により決まるプラズマ発生電圧以下、例えば１ｋＶ以下、数１０Ｖ以上）を印加してもよい。このようにすると、直流電圧に重畳させた交流電圧により微妙な電界変化での指向性の運動エネルギーを反応種に与えることができるため、上記した作用効果に加えて、複雑な形状を有する基板１０表面（凹凸段差や高アスペクト比のビアホール等）にステップカバレージが良く、均一で密着性及び密度の高い膜を形成できる。これと同様の作用効果は、前記電界を形成する電圧（但し、その絶対値はグロー放電開始電圧以下である。）として、高周波交流電圧のみ、又は低周波交流電圧のみ、又は低周波交流電圧に高周波交流電圧を重畳させた電圧を印加するときにも得られる。

【０１３１】

上記の場合、前記交流電圧を高周波電圧（ＲＦ）及び／又は低周波電圧（ＡＣ）としてよいが、高周波電圧の周波数を１ＭＨｚより大きく１０００ＭＨｚ以下である周波数、低周波電圧の周波数を１ＭＨｚ以下とするのがよい。

【０１３２】

前記交流電圧を高周波電圧（ＲＦ）とするＲＦ／ＤＣバイアス触媒ＣＶＤ法について、説明する。

＜ＲＦ／ＤＣバイアス触媒ＣＶＤ法とその装置＞

本例では、触媒ＣＶＤ法に基づいて、水素系キャリアガスとシランガス等の原料ガスから成る反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及びラジカル水素イオンにグロー放電開始電圧以下の電界を作用させて運動エネルギーを与え、絶縁基板上に多結晶シリコン等の所定の膜を気相成

長させるに際し、基板と対向電極との間にグロー放電開始電圧以下であって直流電圧に高周波電圧を重畳させた電圧（パッシェンの法則で決まる電圧で、例えば１ｋＶ以下の電圧）を印加し、前記ラジカルな堆積種又はその前駆体及びラジカル水素イオンを基板の側へ指向させると共に、微妙な電界変化での運動エネルギーを与えるようにしてもよい。以下、このＣＶＤ法を、ＲＦ／ＤＣバイアス触媒ＣＶＤ法と称する。

【０１３３】

このＲＦ／ＤＣバイアス触媒ＣＶＤ法は、図５に示す如き成膜装置を用いて実施される。ガスシャワーヘッド３ａは加速電極として、導管６１からロウパス（高周波）フィルタ１１３を介して可変の直流電源（１ｋＶ以下、例えば５００Ｖ）６９の正極側に接続され、また整合回路１１４を介して高周波電源１１５（１００～２００V_{p-p}及び１～１００ＭＨｚ、例えば１５０V_{p-p}、１３．５６ＭＨｚ）に接続され、サセプタ２（従って、基板１０）との間に１ｋＶ以下の高周波電圧重畳の直流バイアス電圧が印加されるようになっている。

その他のＲＦ／ＤＣバイアス触媒ＣＶＤ法とその装置の構成は、既に説明したＤＣバイアス触媒ＣＶＤ法とその装置の構成と同様である。

【０１３４】

前記交流電圧を高周波電圧（ＲＦ）とするＡＣ／ＤＣバイアス触媒ＣＶＤ法について、説明する。

＜ＡＣ／ＤＣバイアス触媒ＣＶＤ法とその装置＞

本例では、触媒ＣＶＤ法に基づいて、水素系キャリアガスとシランガス等の原料ガスから成る反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及びラジカル水素イオンにグロー放電開始電圧以下の電界を作用させて運動エネルギーを与え、絶縁基板上に多結晶シリコン等の所定の膜を気相成長させるに際し、基板と対向電極との間にグロー放電開始電圧以下であって直流電圧に低周波電圧を重畳させた電圧（パッシェンの法則で決まる電圧で、例えば１ｋＶ以下の電圧）を印加し、前記ラジカルな堆積種又はその前駆体及びラジカル水素イオンを基板の側へ指向させると共に、電界変化での運動エネルギーを与えるようにしてもよい。以下、このＣＶＤ法をＡＣ／ＤＣバイアス触媒ＣＶＤ法と称する。

【０１３５】

このＡＣ／ＤＣバイアス触媒ＣＶＤ法は、図６に示す如き成膜装置を用いて実施される。シャワーヘッド３ａは加速電極として、導管６１を介して（上述のロウパスフィルタ１１３は省略可）可変の直流電源（１ｋＶ以下、例えば５００Ｖ）６９の正極側に接続され、また整合回路１１４を介して低周波電源１２５（１００～２００V_{p-p}及び１ＭＨｚ以下、例えば１５０V_{p-p}、２６ｋＨｚ）に接続され、サセプタ２（従って、基板１０）との間に１ｋＶ以下の低周波電圧重畳の直流バイアス電圧が印加されるようになっている。

【０１３６】

また、電界印加は、図７に示すように、加速電極３ａに電源の正極側を、サセプタ２（基板１０）に負極側（又はアース電位）を印加する方法（Ａ）、又は加速電極３ａをアース電位とし、サセプタ２（基板１０）に負極側を印加する方法（Ｂ）のいずれでもよい。これは、装置構造、電源の種類、バイアス効果等に応じて決めればよい。

【０１３７】

また、前記基板１０又は前記サセプタ２と前記反応ガス供給手段との間に前記熱触媒体と前記電界印加用の電極とを設置してもよい。この電極は高耐熱性材料、例えば熱触媒体と同じか、またはそれ以上の融点をもつ材料で形成されるのが望ましい。

【０１３８】

前記熱触媒体又は前記電界印加用の電極３ａはコイル状、ワイヤー状、メッシュ状又は多孔板状に形成してよく、またガス流に沿って複数個又は復数枚配設してよい。例えば、電極３ａの形状を、図８（Ａ）の多孔板状、図８（Ｂ）のメッシュ状とすることができる。これによってガス流を効果的に形成しつつ、触媒体とガスとの接触面積を増大させ、触媒

反応を十分に生ぜしめることができる。
ガス流に沿って複数個又は複数枚配設する場合は、互いに同じ材質又は互いに異なる材質の触媒体又は電極３ａとしてもよい。又、複数個又は複数枚配設した触媒体のそれぞれに互いに異なる電界、例えばＤＣとＡＣ／ＤＣ、ＤＣとＲＦ／ＤＣ、ＡＣ／ＤＣとＲＦ／ＤＣを印加して、独立してコントロールしてもよい。

【０１３９】
また、成膜時又は成膜中に前記触媒体の触媒作用で反応ガスからイオン等の反応種が発生し、これにより基板がチャージアップして膜又はデバイスの性能を劣化させることがある。これを防止するために、前記反応種に帯電防止用の荷電粒子（電子ビーム又はプロトンなど、特に電子ビーム）を照射してイオンを中和することが望ましい。即ち、サセプタ２の近傍に、荷電粒子照射手段が設置されているのがよい。

【０１４０】
例えば、ＲＦ／ＤＣバイアス触媒ＣＶＤ法及びその装置において、図９に示すように、基板１０又はサセプタ２の近傍に荷電粒子又はイオン（例えばエレクトロン）シャワー１００を配設するとよい。

【０１４１】
本発明の特徴の一つは、バイアス触媒ＣＶＤ用の熱触媒体５を利用して成膜を行う他、チャンバ内に水素系キャリアガスを導入して、界面欠陥低減のための表面処理を行う点にも存する。
この点を、以下に詳説する。上述したバイアス触媒ＣＶＤ法において、導入するガスの種類を変えてやると、基板の表面を改質したりクリーニングしたりする表面処理を行うことができる。このように、基板表面を処理した後に成膜を行うと、界面欠陥の極めて少ない良質な成膜を行うことが可能となる。

【０１４２】
本例では、基板１０の表面に改質及びクリーニングを施すために、ガスシャワーヘッド３ａからキャリアガスとしての水素系ガスを導入する。水素系ガスとしては、水素ガス或いは水素ガスに不活性ガスであるアルゴン，ヘリウム，ネオンを含めたもの等があるが、本実施態様では水素ガスのみを用いた例で説明する。水素ガスは熱触媒体５との接触分解反応により活性化され、この活性化水素イオンＨ＊によって基板表面の自然酸化膜や水分，汚れを除去するクリーニングが行える。また、活性化水素イオンＨ＊により、熱触媒体５の酸化を防ぎ、熱触媒体５の劣化を防止することができる。このとき、電界を印加することによって、活性化水素イオンＨ＊によるクリーニング作用が効率的なものになる。

【０１４３】
本発明の特徴の一つは、バイアス触媒ＣＶＤにより半導体膜，絶縁膜を形成する場合において、上記キャリアガス及び原料ガスの導入時間及びタイミングにより、所望の品質及び速度で成膜を行うことができる点にある。以下、図１０乃至図１５を参照して、図１の装置におけるキャリアガス及び原料ガスの導入方法について説明する。なお、図１０乃至図１５では、一例として、基板上に保護膜用の窒化シリコン膜及び酸化シリコン膜、ポリシリコン膜、ゲート絶縁膜用の酸化シリコン膜を形成する場合について説明する。

【０１４４】
図１０乃至図１２に示すガス導入形態は、前提として、キャリアガスとしての水素ガスを、成膜装置１内に一定量連続して導入するものである。
先ず、図１０に示すガス導入形態について説明する。図１０では、各種の成膜を行う前に、その都度、基板１０の表面をクリーニングする場合が示されており、この場合のキャリアガスとしての水素ガス及び原料ガスの導入形態が示されている。

【０１４５】
まず、不図示のゲートバルブを通して成膜装置１内に基板１０を搬入し、サセプタ２に載置する。次いで、排気系１ａを動作させて成膜装置１内を所定圧力まで排気するとともに、サセプタ２に内蔵されたヒータ２ａを動作させて基板１０を所定温度まで加熱する。

【０１４６】

そして、ガス導入系３を動作させて、まず水素ガス１５０ＳＣＣＭを成膜装置１内に導入する。導入された水素ガスの一部は、熱触媒体５による接触分解反応および触媒反応により活性化水素イオンＨ＊となり、電界印加により効率よく基板表面に到達して、基板１０の表面クリーニングを行う。

【０１４７】

上記のように、成膜装置１内に水素ガスが供給されている状態で、ガス導入系３を動作させ、第１の原料ガス（アンモニア５０ＳＣＣＭ及びモノシラン１５ＳＣＣＭ）を成膜装置１内に導入する。グロー放電開始電圧以下の直流電圧（即ち、パッシェンの法則により決まるプラズマ発生電圧以下、例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第１の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、第１の薄膜として窒化シリコン膜の形成が基板表面に作成される。

【０１４８】

その後、第１の原料ガスの導入を停止して、成膜装置１内から第１の原料ガスを排出する。本例では、第１の原料ガスの排出後、所定時間経過した後に、第２の原料ガスが導入される。

このとき、水素ガスは引き続き成膜装置１内に導入されている。したがって、活性化水素イオンＨ＊により、第１の膜が形成された基板表面の水や酸素等の分子付着が除去され、界面準位を低減させることができる。

【０１４９】

上記のように、活性化水素イオンＨ＊により第１の膜が形成された基板表面がクリーニングされた後で、第２の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）を導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第２の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、酸化シリコン膜が基板１０表面に作成される。

【０１５０】

その後、第２の原料ガスの導入を停止して、処理容器１内から第２の原料ガスを排気する。第２の原料ガスの排気後、常時導入されている水素ガスによる活性化水素イオンＨ＊により酸化シリコン膜が形成された基板表面がクリーニングされた後で、第３の原料ガス（モノシラン１５ＳＣＣＭ）を導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第３の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、ポリシリコン膜が基板１０表面に作成される。

【０１５１】

前記工程と同様に、その後第３の原料ガスの導入を停止して、成膜装置１内から第３の原料ガスを排出する。第３の原料ガスの排気後、引き続き導入されている水素ガスによる活性化水素イオンＨ＊により半導体膜が形成された基板表面がクリーニングされた後で、第４の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）を導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第４の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、酸化シリコン膜が基板表面に作成される。

【０１５２】

このように、図１０に示すガスの導入方法によれば、各種の成膜後、所定時間において活性化水素イオンＨ＊により基板１０の表面をクリーニングするので、基板上に高品質の半

導体膜を形成することが可能となる。また、常に成膜装置１内に水素ガスを導入しているので、熱触媒体５の酸化劣化を防止することができる。

【０１５３】

次に、図１１に示すように、最初に基板表面を所定時間クリーニングし、その後は各種の原料ガスを連続して導入し、成膜を行う場合について説明する。

まず、不図示のゲートバルブを通して成膜装置１内に基板１０を搬入し、サセプタ２に載置する。次いで、排気系１ａを動作させて成膜装置１内を所定圧力まで排気するとともに、サセプタ２に内蔵されたヒータ２ａを動作させて基板１０を所定温度まで加熱する。

【０１５４】

そして、ガス導入系３を動作させて、まず水素ガス１５０ＳＣＣＭを成膜装置１内に導入する。導入された水素ガスのうち一部は、熱触媒体５による接触分解反応により活性化水素イオンＨ＊となり、基板表面に到達して、基板１０の表面クリーニングを行う。

【０１５５】

上記のように、成膜装置１内に水素ガスが供給されている状態で、ガス導入系３を動作させ、第１の原料ガス（アンモニア５０ＳＣＣＭ及びモノシラン１５ＳＣＣＭ）を成膜装置１内に導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第１の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、第１の窒化シリコン膜が基板１０の表面に作成される。

【０１５６】

その後、第１の原料ガスの導入を停止して、成膜装置１内から第１の原料ガスを排出する。本例では、第１の原料ガスの排出後、間を置かずに、第２の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）が導入される。酸化シリコン膜の形成と、第２の原料ガスの排気後は、同様に、間を置かずに第３の原料ガスが導入され、次いで第４の原料ガスが導入される。このように連続で成膜するため、より速く各成膜工程に移行し、成膜を行うことができる。なお、このときも水素ガスは引き続き成膜装置１内に導入されている。このため熱触媒体の酸化による劣化を防止することができる。

【０１５７】

なお、上記ガス導入方法において、少なくともポリシリコン膜の成膜前に、活性化水素イオンＨ＊による表面のクリーニングを行うことにより、確実に高品質なポリシリコン膜を得ることが可能となり、好適である。

【０１５８】

さらに、図１２に示すように、傾斜接合膜を形成する場合の水素ガス及び原料ガスの導入形態について説明する。

まず、不図示のゲートバルブを通して成膜装置１内に基板１０を搬入し、サセプタ２に載置する。次いで、排気系１ａを動作させて成膜装置１内を所定圧力まで排気するとともに、サセプタ２に内蔵されたヒータ２ａを動作させて基板１０を所定温度まで加熱する。

【０１５９】

そして、ガス導入系３を動作させて、まず、水素ガスを成膜装置１内に導入する。導入された水素ガスは、熱触媒体５による接触分解反応により活性化水素イオンＨ＊となり、基板表面に到達して、基板１０の表面クリーニングを行う。

【０１６０】

上記のように、成膜装置１内に水素ガスが供給されている状態で、ガス導入系３を動作させ、第１の原料ガス（アンモニア５０ＳＣＣＭ及びモノシラン１５ＳＣＣＭ）を成膜装置１内に導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第１の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、第１の窒化シリコン膜が基板表面に作成される。

【０１６１】
その後、第１の原料ガスの導入を停止して、成膜装置１内から第１の原料ガスを排出する。本例では、第１の原料ガスが完全に排出される前に、第２の原料ガス（モノシラン１５ＳＣＣM及びヘリウム希釈酸素１～２ＳＣＣＭ）が導入される。このように、第１の原料ガスの導入量を徐々に減少させるとともに、第２の原料ガスの導入量を徐々に増加させることにより、成膜装置１内には、所定時間、第１の原料ガスと第２の原料ガスが占有率を変えながら混在することになる。このようにして、第１の薄膜と、第２の薄膜との境界が明確に分割されていない、いわゆる傾斜接合の膜，例えば、窒化シリコン－酸窒化シリコン－酸化シリコンの膜にすることができる。但し、ＭＯＳＴＦＴ特性が悪くなるので、ゲート絶縁膜の酸化シリコン膜とシリコン膜（ポリシリコン，単結晶シリコン，アモルファスシリコン，微結晶シリコン等）は傾斜接合としない。
なお、このときも水素ガスは、引き続き成膜装置１内に導入されている。このため熱触媒体の酸化による劣化を防止することができる。
【０１６２】
上記のように、活性化水素イオンＨ＊を常時発生させ、基板１０の表面が常にクリーニングされるように構成されているので、酸化シリコン膜とポリシリコン膜の界面にアモルファスシリコンの遷移層が形成されず、高品質な半導体膜層を形成することが可能となる。
【０１６３】
また、必要に応じて、成膜する前に活性化水素イオンＨ＊で基板１０の表面を常時クリーニングして、表面改質処理するので、基板１０の表面の水や酸素等の分子付着が除去されて界面準位が低減し、それぞれの膜間のストレスが低く、高品質の薄膜（窒化シリコン膜、酸化シリコン膜、ポリシリコン膜等）とすることが可能となる。特に、ゲート絶縁膜とポリシリコン膜を連続的に成膜する際に、活性化水素イオンＨ＊にさらす処理を行なうと、水素アニール効果により、界面準位密度の低い半導体－絶縁体接合構造の高品質半導体装置を製造することが可能となる。
【０１６４】
次に、図１３乃至図１５に示すガス導入形態について説明する。図１３乃至図１５に示すガス導入形態は、キャリアガスとしての水素ガスを、途中で停止し、または低減させることにより、高速に被膜を形成するものである。
先ず、図１３に示すガス導入形態について説明する。図１３では、各種の成膜を行う前に、その都度、基板１０の表面をクリーニングする場合を示し、この場合のキャリアガスとしての水素ガス及び原料ガスの導入形態を示している。
【０１６５】
まず、不図示のゲートバルブを通して成膜装置１内に基板１０を搬入し、サセプタ２に載置する。次いで、排気系１ａを動作させて成膜装置１内を所定圧力まで下げるとともに、サセプタ２に内蔵されたヒータ２ａを動作させて、基板１０を所定温度まで加熱する。
【０１６６】
そして、ガス導入系３を動作させて、まず水素ガス１５０ＳＣＣMを成膜装置１内に導入する。導入された水素ガスは、一部が熱触媒体５による接触分解反応により活性化水素イオンＨ＊となり、基板表面に到達して、基板１０の表面クリーニングを行う。
【０１６７】
上記のように、成膜装置１内に水素ガスが供給されている状態で、ガス導入系３を動作させ、第１の原料ガス（アンモニア５０ＳＣＣM及びモノシラン１５ＳＣＣM）を成膜装置１内に導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第１の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、第１の薄膜として窒化シリコン膜の形成が基板表面において開始される。
【０１６８】
その後、マスフローコントローラーMを制御して、水素ガスの供給を低減または停止させ

る。これにより、成膜装置１内では第１の原料ガスの割合が高くなるため、基板１０上で窒化シリコン膜の形成速度が高速となる。第１の薄膜の形成が終わったら、第１の原料ガスの導入を停止して、成膜装置１内から第１の原料ガスを排出する。

【０１６９】

成膜装置１から第１の原料ガスが排出されたら、再びキャリアガスとしての水素ガス１５０ＳＣＣＭを導入し、活性化水素イオンＨ＊により、第１の薄膜が形成された基板１０の表面の水や酸素等の分子付着を除去し、界面準位を低減させる。水素ガスのみを所定時間導入した後に、第２の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）を導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第２の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、酸化シリコン膜の形成が基板表面において開始される。

【０１７０】

その後、マスフローコントローラーＭを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置１内では第２の原料ガスの割合が高くなるため、基板１０上で酸化シリコン膜の形成速度が高速となる。酸化シリコン膜の形成が終わったら、第２の原料ガスの導入を停止して、成膜装置１内から第２の原料ガスを排出する。

【０１７１】

成膜装置１から第２の原料ガスが排出されたら、再びキャリアガスとしての水素ガス１５０ＳＣＣＭを導入し、活性化水素イオンＨ＊により、絶縁膜が形成された基板１０の表面の水や酸素等の分子付着を除去し、界面準位を低減させる。水素ガスのみを所定時間導入した後に、第３の原料ガス（モノシラン１５ＳＣＣＭ）を導入する。

グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第３の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、半導体膜としてのポリシリコン膜の形成が基板表面において開始される。

【０１７２】

その後、マスフローコントローラーＭを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置１内では第３の原料ガスの割合が高くなるため、基板１０上で半導体膜の形成速度が高速となる。半導体膜の形成が終わったら、第３の原料ガスの導入を停止して、成膜装置１内から第３の原料ガスを排出する。

【０１７３】

成膜装置１から第３の原料ガスが排出されたら、再びキャリアガスとしての水素ガス１５０ＳＣＣＭを導入し、活性化水素イオンＨ＊により、第３の薄膜が形成された基板表面の水や酸素等の分子付着を除去し、界面準位を低減させる。水素ガスのみを所定時間導入した後に、第４の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）を導入する。

グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第４の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、酸化シリコン膜の形成が基板１０の表面において開始される。

【０１７４】

その後、マスフローコントローラーＭを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置１内では第４の原料ガスの割合が高くなるため、基板１０上で酸化シリコン膜の形成速度が高速となる。第４の薄膜の形成が終わったら、第４の原料ガスの導入を停止して、成膜装置１内から第４の原料ガスを排出する。

【０１７５】

このように、図１３に示すガスの導入方法によれば、各種の成膜後、所定時間において活性化水素イオンＨ＊により基板１０の表面をクリーニングするので、基板１０上に高品質の半導体膜および絶縁膜を形成することが可能となる。また、各薄膜形成工程それぞれにおいて、水素ガスの導入を低減または停止し原料ガス濃度を高くしているので、基板１０への薄膜形成を高速で行うことができ、作業性を向上させることが可能となる。

【０１７６】

次に、図１４に示すように、最初に基板１０の表面を所定時間クリーニングし、その後は各種の原料ガスを連続して導入し、成膜を行う場合について説明する。

まず、不図示のゲートバルブを通して成膜装置１内に基板１０を搬入し、サセプタ２に載置する。次いで、排気系１ａを動作させて成膜装置１内を所定圧力まで下げるとともに、サセプタ２に内蔵されたヒータ２ａを動作させて基板１０を所定温度まで加熱する。

【０１７７】

そして、ガス導入系３を動作させて、まず水素ガス１５０ＳＣＣＭを成膜装置１内に導入する。導入された水素ガスは、熱触媒体５による接触分解反応により活性化水素イオンＨ＊となり、基板１０の表面に到達して、基板１０の表面クリーニングを行う。

【０１７８】

上記のように、成膜装置１内に水素ガスが供給されている状態で、ガス導入系３を動作させ、第１の原料ガス（アンモニア５０ＳＣＣＭ及びモノシラン１５ＳＣＣＭ）を成膜装置１内に導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第１の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、窒化シリコン膜の形成が基板表面において開始される。

【０１７９】

その後、マスフローコントローラーＭを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置１内では第１の原料ガスの割合が高くなるため、基板１０上で窒化シリコン膜の形成速度が高速となる。窒化シリコン膜の形成が終わったら、第１の原料ガスの導入を停止して、成膜装置１内から第１の原料ガスを排出する。

【０１８０】

本例では、第１の原料ガスの排出後、間を置かずに、水素ガス及び第２の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）が導入される。同様に第２の原料ガスの排気後は、間を置かずに第３の原料ガス（モノシランガス１５ＳＣＣＭ）が導入され、次いで第４の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）が導入される。このように連続で成膜するため、より速く各成膜工程に移行し、成膜を行うことができる。

【０１８１】

なお、上記ガス導入方法において、少なくともポリシリコン膜の成膜前に、活性化水素イオンＨ＊による表面クリーニングを行うことにより、確実に高品質なポリシリコン膜を得ることが可能となり、好適である。

【０１８２】

さらに、図１５に示すように、傾斜接合膜を形成する場合の水素ガス及び原料ガスの導入形態について説明する。

まず、不図示のゲートバルブを通して成膜装置１内に基板１０を搬入し、サセプタ２に載置する。次いで、排気系１ａを動作させて成膜装置１内を所定圧力まで下げるとともに、サセプタ２に内蔵されたヒータ２ａを動作させて基板１０を所定温度まで加熱する。

【０１８３】

そして、ガス導入系３を動作させて、まず水素ガス１５０ＳＣＣＭを成膜装置１内に導入する。導入された水素ガスは、熱触媒体５による接触分解反応により活性化水素イオンＨ＊となり、基板１０の表面に到達して、基板１０の表面クリーニングを行う。

【０１８４】

上記のように、成膜装置１内に水素ガスが供給されている状態で、ガス導入系３を動作させ、第１の原料ガス（アンモニア５０ＳＣＣＭ及びモノシラン１５ＳＣＣＭ）を成膜装置１内に導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。これによって、熱触媒体５の熱分解反応および触媒反応により第１の原料ガスから形成された高エネルギーの反応種の集団が、前記基板１０の側へ指向される。前記反応種の集団が、基板１０に到達し、第１の薄膜として窒化シリコン膜の形成が基板１０の表面において開始される。

【０１８５】

その後、マスフローコントローラーＭを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置１内では第１の原料ガスの割合が高くなるため、基板１０上で薄膜の形成速度が高速となる。窒化シリコン膜の形成が終わったら、第１の原料ガスの導入を停止して、成膜装置１内から第１の原料ガスを排出する。

【０１８６】

本例では、第１の原料ガスが完全に排出される前に、第２の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）が導入され、電界が印加される。このように、第１の原料ガスの導入量を徐々に減少させるとともに、第２の原料ガスの導入量を徐々に増加させることにより、成膜装置１内には、所定時間、第１の原料ガスと第２の原料ガスが占有率を変えながら混在することになる。このようにして、窒化シリコン膜と、酸化シリコン膜との境界が明確に分割されていない、いわゆる傾斜接合の絶縁膜，例えば、窒化シリコン－酸窒化シリコン－酸化シリコンの膜にすることができる。次に、第３の原料ガス（モノシランガス１５ＳＣＣＭ）、第２の原料ガスと同じ第４の原料ガス（モノシラン１５ＳＣＣＭ及びヘリウム希釈酸素１～２ＳＣＣＭ）を導入し、電界を印加して連続膜を成膜する。絶縁膜を傾斜接合により積層することにより、膜間のストレスを低減させることができ、さらに、半導体膜を連続成膜することにより、より高品質な半導体－絶縁体接合構造の半導体装置を製造することが可能となる。

【０１８７】

なお、上記ガス導入方法において、少なくともポリシリコン膜の成膜前に、活性化水素イオンＨ＊による表面のクリーニングを行うことにより、確実に高品質なポリシリコン膜を得ることが可能となり、好適である。

【０１８８】

上記のように、基板１０に絶縁膜または半導体膜を形成するときに、少なくとも成膜前に活性化水素イオンＨ＊でクリーニングさせ、原料ガスを供給して成膜を開始し、所定膜厚後に水素キャリアガスを低減、またはカットして、絶縁膜または半導体膜を高速で成膜するので、生産性が高く、コストダウンを実現することが可能となる。

【０１８９】

また、成膜する前に活性化水素イオンＨ＊で基板１０の表面を常時クリーニングして、表面改質処理するので、基板表面の水や酸素等の分子付着が除去されて界面準位が低減し、それぞれの膜間のストレスが低く、高品質の成膜（窒化シリコン膜、酸化シリコン膜、酸窒化シリコン膜、ポリシリコン膜等）とすることが可能となる。特に、ゲート絶縁膜とポリシリコン膜を連続的に成膜する際に、活性化水素イオンＨ＊にさらす処理を行なうと、水素アニール効果により、界面準位密度の低い半導体－絶縁体接合構造の高品質半導体装置を製造することが可能となる。

なお、水素キャリアガスをカットした場合でもモノシランの触媒分解反応により高いエネルギーのシリコン原子と同時に活性化水素イオンＨ＊が発生しているので、熱触媒体５が酸化劣化することは少ない。

【０１９０】

図１６に、上記ガス導入を可能にするための、ガス供給系３の構成を詳細に示す。ガス供給系３では、キャリアガスとしての水素ガス、及び各種の原料ガスの供給源から、手動バルブ３ｃ及び自動バルブ３ｄを開閉させることにより、状況に応じて、所定のガスを成膜装置１内に導くように構成されている。

【０１９１】
図１６に示すガス供給系３では、複数種のキャリアガス供給源を有しており、キャリアガスとして、各種の水素系ガスから所望のガスを選択できるように構成されている。すなわち、選択されたキャリアガスの手動バルブ３ｃ或いは自動バルブ３ｄを開放し、マスフローコントローラー（ＭＦＣ）Ｍを介して成膜装置１内へ導くものである。なお、本例では三方弁３ｅが配設されており、選択されたガスを成膜装置１内へ導入するか、真空排気されるか、が最終的に決定されるように構成されている。不活性ガス，例えばヘリウム希釈酸素のガスは、別系の排気手段から排気されるものとする。
【０１９２】
なお、上記成膜の速度を高める技術として、成膜途中で原料ガスの濃度を高める等の技術を利用した例を示したが、全体のガス圧を高める技術によって、高速成膜することも可能である。
【０１９３】
つまり、上記実施例では、１～２０Ｐａの範囲で、特に概略１０Ｐａのガス圧が選定されている。そこで、成膜初期は緻密な成膜（特にポリシリコン成膜時にはアモルファスシリコンの遷移層形成防止）のために低いガス圧（例えば１Ｐａ前後）としておき、途中から高いガス圧（１０～２０Ｐａ）に変更することによって高速成膜することが可能となる。
【０１９４】
このとき、各原料ガスの混合比率は一定にしてもよいし、又は任意に変更することができる。例えば、ポリシリコンの場合を例にすると、初期にはガス圧を１Ｐａ前後とし、モノシラン（１～２ＳＣＣＭ）、水素ガス（１５～２０ＳＣＣＭ）としておき、途中からガス圧１０Ｐａ以上とし、モノシラン（１５～２０ＳＣＣＭ）、水素ガス（５０～１００ＳＣＣＭ）とする、というような構成にすることで、高速成膜することが可能となる。
【０１９５】
そして、本発明の最大の特徴の一つは、連続成膜または高速成膜した半導体膜、例えばゲート絶縁膜および半導体膜をレーザーアニール処理する点にある。
本例のレーザーアニール処理では、結晶化しようとするアモルファスシリコン薄膜または微結晶シリコン薄膜、ポリシリコン薄膜に短波長パルスレーザーを照射したとき、そのレーザー光がアモルファスシリコン薄膜または微結晶シリコン薄膜、ポリシリコン薄膜の極表面のみで吸収され、その後熱伝導によって半導体膜の内部が溶けて再結晶化し、或はアニールされて結晶粒が大きくなることを利用するものである。
【０１９６】
例えばアモルファスシリコン薄膜としてａ－Ｓｉ：Ｈ膜を用いこれに波長３０８ｎｍのＸｅＣｌエキシマレーザー光を照射した場合、この波長に対する吸収係数は$10^{6}cm^{-1}$に達するので、極表面（１００Å程度）で吸収され熱に変換される。この熱は直ちに熱伝導によって半導体膜内部に伝わる。この様に膜の表面又は内部が瞬間的に高温になるためにａ－Ｓｉ：Ｈ膜は結晶化され、大粒径ポリシリコン膜が形成され、その特性は著しく変化する。例えば膜の移動度が著しく増大し、また光伝導度が低減する。またイオン注入された膜はその不純物が活性化される。
【０１９７】
本例で用いる短波長パルスレーザー光としては、そのレーザー波長が１００～４００ｎｍ、実用範囲は１５０～３５０ｎｍ、パルス幅が１００ｎｓｅｃ以下のもの、具体的には１０～５０ｎｓｅｃ就中２０ｎｓｅｃのものを用いる。
また、パルスのピーク強度は、$10^{6}W/cm^{2}$以上～$10^{8}W/cm^{2}$以下とし、フルーエンス（１回のパルスのエネルギー）は$1J/cm^{2}$以下、好ましくは５０～５００ｍJ/cm^{2}以下、具体的には、２００～３００ｍJ/cm^{2}とする。
なお、本例ではエキシマレーザーアニール処理（ＥＬＡ）するが、これに限定されるものではなく、アルゴンレーザーアニール処理（ＡＬＡ）してもよい。
【０１９８】
また、本例では、レーザービーム形状として、ラインビーム（例えば、２７５×０．３～

０．４ｍｍ^2）のものを用いる。なお、エリアビーム（例えば、１００×１００ｍｍ^2）のレーザービーム形状のものを使用してもよい。
このように、バイアス触媒ＣＶＤ法等により、連続成膜または高速成膜したゲート絶縁膜および半導体膜をレーザーアニール処理することにより、基板１０全体を高温にすることなく低温（室温）にてアモルファスシリコン薄膜または微結晶シリコンまたはポリシリコン膜の大粒径ポリシリコン結晶化、キャリア不純物の活性化等が行え性能の向上が図れる。また半導体装置の製造が容易となる。
【０１９９】
なお、レーザーアニール処理は、基板１０上にゲート絶縁膜および半導体膜をバイアス触媒ＣＶＤ等の成膜装置内で成膜した後、レーザーアニール装置に基板１０を導入して行う。
レーザーアニール処理は、真空、または窒素ガスまたはいわゆるフォーミングガス，すなわち窒素ガスと水素ガスの混合ガスを導入したレーザーアニール装置中で行う。
【０２００】
バイアス触媒ＣＶＤにより成膜すると、アモルファスシリコン膜には、通常１～３％の水素が含まれる。この程度の量の水素を含む膜は、脱水素化処理をせずに、そのままレーザーアニール処理を行う。
このように、バイアス触媒ＣＶＤにより成膜されたアモルファスシリコン膜には、水素を１～３％程度しか含有されないため、このアモルファスシリコン膜とゲート絶縁膜用の酸化シリコン膜が積層している膜に直接レーザーアニール処理しても、水素の突沸が発生しない。したがって、レーザーアニールによるポリシリコン結晶化をスムーズに行うことができ、しかも、ポリシリコン膜とゲート絶縁膜の界面準位の改善を容易に行うことができるので、移動度向上などの特性向上を容易に図ることができる。
なお、バイアス触媒ＣＶＤは、膜の結晶構造を、アモルファスシリコン～アモルファス／微結晶シリコン～微結晶シリコン～アモルファス／微結晶シリコン混在のポリシリコン等のいずれかにもコントロールすることが可能であるという特長がある。従って、バイアス触媒ＣＶＤにより成膜した場合、結晶成長のシード（種）を形成しやすいので、エキシマレーザー処理によって、堆積されたシリコンが大粒径化しやすいという特徴がある。
【０２０１】
さらに、本発明の最大の特徴の一つは、基板１０上に絶縁膜，半導体膜および電極を形成した後に、絶縁膜と半導体膜との界面または絶縁膜を水蒸気アニール処理する点にもある。
この水蒸気アニール処理は、上記レーザーアニール処理を行った場合，行っていない場合のどちらの場合でも、行うことができる。逆に、上記レーザーアニールを行い、この水蒸気アニール処理を行わないように構成しても良い。
本発明では、バイアス触媒ＣＶＤ装置等で基板１０上に絶縁膜，半導体膜を形成した後、ソース／トップゲート／ドレイン電極を形成し、水蒸気アニールチャンバ３１内に配置する。この水蒸気アニールチャンバ３１内を、常温～４００℃、分圧１×１０^{2}Ｐａ以上１×１０^{6}Ｐａ以下の飽和蒸気圧以下の水蒸気を含む雰囲気とし、１０秒以上２０時間以下の加熱を行う。
【０２０２】
以下、この水蒸気アニール処理を行う装置および処理方法について、説明する。
図１７は、上述の水蒸気アニール処理を行う装置の一例の構成図を示すもので、この場合、水蒸気アニールチャンバ３１内に、基板１０が配置されるサセプタ３２が配置される。このサセプタ３２には、ヒーター３２ｂが設けられ、サセプタ３２に保持した基板１０を所定の温度に加熱することができるようになされている。
【０２０３】
この水蒸気アニールチャンバ３１には、排気系３１ａが設けられ、これが排気手段（図示せず）にバルブＶ１を介して連結される。また、この水蒸気アニールチャンバ３１にはその内部の圧力を観察する圧力計３４が設けられる。

【０２０４】
一方、水蒸気アニールチャンバ３１の外には、水の収容部３５を有する恒温槽３６が設けられ、収容部３５が、バルブＶ２およびＶ３が設けられた連結管３７によって連結される。また、キャリアガスが供給されるキャリアガス供給管３７が、バルブＶ４を介して上述の連結管３７のバルブＶ２およびＶ３との間に連結されると共にバルブＶ５を介して恒温槽３６内の水の収容部に連結された構成とされる。なお、本例では、連結管３７からバルブＶ３を介して水蒸気アニールチャンバ３１内に水蒸気を導入するように構成しているが、当然ながら、マスフローコントローラーを設置し、このコントローラーを介してガス供給系３３から水蒸気アニールチャンバ３１内へ導入するように構成することができる。
【０２０５】
このようにして、予め高真空度に排気した水蒸気アニールチャンバ３１に、例えばバルブＶ４およびＶ５を閉じた状態で、バルブＶ２およびＶ３を開け、恒温槽３６によって設定された加熱温度下での飽和蒸気圧によって設定される蒸気量を、バルブＶ３およびＶ５の開閉調節によって圧力計３４でモニターしながら、水蒸気アニールチャンバ３１に真空吸引によって所定量送り込む。そして、この場合水蒸気アニールチャンバ３１には、図示しないが、この水蒸気アニールチャンバ３１全体を加熱する加熱手段を設けておくことによって、この水蒸気アニールチャンバ３１内に送り込まれた水蒸気が結露することがないように、導入した水蒸気量に対する露点以上に水蒸気アニールチャンバ３１全体を加熱しておくことが望まれる。
【０２０６】
上記水蒸気アニール処理装置を用いて水蒸気アニール処理を行う方法について説明する。基板１０上に半導体膜，ゲート絶縁膜，電極を形成する。その後、基板１０を、図１７で示す水蒸気アニールチャンバ３１内のサセプタ３２上に配置する。水蒸気アニールチャンバ３１内を高真空度に排気した後、バルブＶ２およびＶ３，Ｖ５を開け、６．５×１０^{3}Ｐａの水蒸気を導入して基板温度２００～３００℃で、３０～６０分の加熱処理すなわち水蒸気アニールを行い、ゲート絶縁膜の改質，および半導体膜とゲート絶縁膜との界面の改質を行う。
【０２０７】
このように、水蒸気アニール処理を行うことにより、低温条件下で効果的に、半導体膜とゲート絶縁膜との界面の特性が向上し、絶縁膜中の欠陥が改善され、移動度が向上し、高速動作化が実現される。
なお、この水蒸気アニールの効果は、半導体膜自体に作用するものではない。
【０２０８】
また、水蒸気アニールを行うための水蒸気導入法は、上述した真空吸引に限られるものではなく、各種ガスを予め充填した水蒸気アニールチャンバ３１に、水蒸気を導入することもできる。このように、水蒸気以外のガスを混入させる場合、水蒸気アニールチャンバ３１内の熱伝導が向上し、温度分布のばらつきが小さくなるので、折角導入した水蒸気が局所的に温度が低い部分に結露してアニール効果を低下させる不都合を回避できる効果がある。
【０２０９】
また、水蒸気の供給方法は、図１７で示されるように、収容部３５の水中に各種キャリアガスをくぐらせて水分を含んだキャリアガスを水蒸気アニールチャンバ３１内に供給するバブリング方法を採ることもできる。
水蒸気アニールは、水蒸気アニールチャンバ３１を封じた状態で行うこともできるし、キャリアガスの気流中で行うこともできる。
【０２１０】
さらに、この水蒸気中加熱処理のための水蒸気アニールチャンバ３１内への水蒸気の導入は、噴霧器による導入方法とか、超音波振動を与え、これによって発生させるパルスジェット水による噴霧態様を採ることができる。この方法によるときは、水滴粒子が極めて小さく容易に水蒸気アニールチャンバ３１中でガス化できるという利点がある。

【０２１１】
また、水蒸気と混合させるガスとして、酸素、窒素、水素、一酸化窒素、一酸化二窒素等各種のガスを用いてもよい。特に、酸素を用いるときは、これ単独のガス中の加熱処理でも誘電分散の大きい絶縁膜の改質効果があるのでこれを混合のガスとして用いることにより、より効果的に改質効果をあげることができる。
【０２１２】
この場合、その分圧を１．３×１０^{2}Ｐａ以上１．０×１０^{5}Ｐａ以下とするものである。１．３×１０^{2}Ｐａ以上とするのは、酸素による絶縁膜の誘電分散改善には、１．３×１０^{2}Ｐａ以上が必要であり、また、これら窒素等を水蒸気と混合させるのは熱処理容器内の低い温度分布をもっている部分に結露が生じることを防ぐ効果も生じるものであるが、１．０×１０^{5}Ｐａ以下（水蒸気圧と同圧程度以下）ではその効果が小さくなることによる。１．０×１０^{5}Ｐａ以下とするのは、これを超えると熱処理容器の耐圧を確保する上で装置の複雑化を来し、大掛かりな装置を必要とし実用的ではないことによる。また、水蒸気の分圧が１．３×１０^{2}Ｐａ以下の領域では圧力を高くすることによりアニールの短時間化を可能とするが、これを越えると、次第に圧力を高めることの効果は小さくなる。
【０２１３】
本発明の水蒸気アニール処理によって改質される半導体は、シリコンに限られるものではなくゲルマニウム，ＳｉＧｅ固溶体、あるいはＳｉＧｅ系超格子等の積層薄膜である場合、更に単結晶，非晶質（アモルファス），多結晶等を得る場合に適用して同様の効果を得ることができる。また絶縁膜は上述のゲート絶縁膜に限られるものではなく、層間絶縁膜、表面保護絶縁膜、平坦化絶縁膜等を有する半導体層装置を得る場合に適用することができる。そして、この絶縁膜は、酸化シリコン膜に限られるものではなく、例えばその成膜時の基板温度が６００℃以下で形成される酸窒化シリコン膜，窒化シリコン膜、あるいはこれらや上述の酸化シリコン膜等の２種以上の積層構造による半導体装置を得る場合に本発明を適用して同様の効果が得られる。更に、層間絶縁膜等においてＳＯＧ（Ｓｉｌｉｃｏｎ　ｏｎ　ｇｌａｓｓ）等による絶縁膜を有する半導体装置を得る場合においても適用することができる。すなわち、これら各絶縁膜においても、膜中の欠陥、水分によっても素子の特性の安定化が損なわれることがあるが、これら構造による半導体装置を得る場合において、本発明製法を適用して特性の安定化がはかられた半導体装置を得ることができる。
【０２１４】
ソース，トップゲート，ドレインの各電極を形成した後に上記水蒸気アニールを行い、基板１０をプラズマ装置内に搬入する。プラズマ装置内を１０Ｐａ～数百Ｐａの圧力とし、基板１０と対向電極との間に高周波電圧（又は直流電圧）を印加してプラズマ放電を生じさせ、これによって基板１０表面，特に電極表面をクリーニングすることができる。この場合のプラズマ発生電圧は１ｋＶ以上、特に数ｋＶ～数１０ｋＶ、例えば１０ｋＶとする。また、導入するガスとしては、アルゴンガス，アルゴンと水素の混合ガス，アルゴンと窒素の混合ガス，アルゴンと水素と窒素との混合ガスを用いる。このとき、アルゴンに混合する水素，窒素，または水素および窒素の量は、アルゴンの５～１０モル比％程度とする。以下、プラズマによりソース，トップゲート，ドレインの各電極表面の酸化膜及び水酸化膜を除去するクリーニングを、「プラズマクリーニング」と称する。
【０２１５】
なお、本例では、基板１０をプラズマクリーニングするように構成しているが、スパッタリングによりクリーニングするように構成しても良い。
本発明において、スパッタクリーニングとは、電極形成後の基板１０について上記水蒸気アニールを行った後、スパッタリング装置内を所定のガス圧力とし、ガスを導入し、基板１０表面，特に電極表面をスパッタリングでクリーニングすることをいう。
本例では、上記所定の圧力を、０．５～１．０Ｐａとする。導入するガスとしては、アルゴンガス，アルゴンと水素の混合ガス，アルゴンと窒素の混合ガス，アルゴンと水素と窒

素との混合ガスを用いる。このとき、アルゴンに混合する水素，窒素，または水素および窒素の量は、アルゴンの５～１０モル比％程度とする。

【０２１６】

これらのプラズマクリーニングまたはスパッタクリーニングにより、電極形成後の水蒸気を含む雰囲気内のアニール処理によって薄膜上に形成された酸化膜又は水酸化膜を除去することができるので、形成された電極の外部取り出し（金線ボンディング、無電解Ｎｉ／Ａｕメッキ＋半田バンプ等）の電気／機械的コンタクトが改善され、特性、品質及び信頼性等が向上する。

【０２１７】

なお、本例では、基板１０上への半導体膜成膜と、レーザーアニールと、水蒸気アニールと、電極のプラズマクリーニングまたはスパッタクリーニングとを、それぞれ異なる容器内で行うように構成している。

ただし、電極形成前に水蒸気アニールを行う場合には、真空容器を図１８乃至図２０に示すような複数のチャンバを有する容器として構成し、この容器内の異なる室で、半導体膜成膜と、レーザーアニールと、水蒸気アニールとを行うようにしてもよい。このように、電極形成前に水蒸気アニールを行う場合には、電極は水蒸気によって腐食されないため、電極のプラズマクリーニングまたはスパッタクリーニングを行う必要はない。

【０２１８】

図１８に示す真空容器１は、基板１０を真空容器１内に導入する出入り口としてのロード・ロック室４１と、セパレーション室４２と、成膜室４３と、レーザーアニール室４４と、水蒸気アニール室４５と、を備える。

セパレーション室４２は、真空容器１の中央に位置し、ロード・ロック室４１，レーザーアニール室４４，水蒸気アニール室４５のそれぞれと隣接して設けられ、基板１０が各室に導入される際には、一旦このセパレーション室４２を経由するように構成される。

【０２１９】

図１８に示す真空容器を用いて半導体膜を成膜し、レーザーアニールを行った後絶縁膜を成膜する場合の手順について説明する。

まずセパレーション室４２，成膜室４３，レーザーアニール室４４，水蒸気アニール室４５内を所定圧力になるまで排気し、各室の間の扉を閉めておく。

【０２２０】

ロード・ロック室４１の図面下側の扉を開き、基板１０をロード・ロック室４１内に導入する。その後、この扉を閉め、ロード・ロック室４１を所定圧力になるまで排気する。

ロード・ロック室４１内が所定圧力となったら、ロード・ロック室４１とセパレーション室４２との間の扉を開け、基板１０をセパレーション室４２に移送する。

【０２２１】

その後、ロード・ロック室４１とセパレーション室４２との間の扉を閉め、セパレーション室４２と成膜室４３との間の扉を開け、基板１０を成膜室に移送してセパレーション室４２と成膜室４３との間の扉を閉める。成膜室４３で、本発明のバイアス触媒ＣＶＤ等により、基板１０上に半導体膜および絶縁膜，本例ではポリシリコン膜，窒化シリコン膜，酸化シリコン膜を成膜する。

その後、セパレーション室４２と成膜室４３との間の扉と、セパレーション室４２とレーザーアニール室４４との間の扉を開け、基板１０をレーザーアニール室４４に移送する。

【０２２２】

セパレーション室４２とレーザーアニール室４４との間の扉を閉め、形成された膜をレーザーアニール処理する。レーザーアニール処理が終了したら、再びセパレーション室４２と成膜室４３との間の扉と、セパレーション室４２とレーザーアニール室４４との間の扉を開け、基板１０を成膜室４３に移送する。

【０２２３】

セパレーション室４２と成膜室４３との間の扉を閉める。成膜室４３で、バイアス触媒ＣＶＤ等により、基板１０上に絶縁膜，本例では酸化シリコン膜を成膜する。

成膜が終了したら、セパレーション室４２と成膜室４３との間の扉と、セパレーション室４２と水蒸気アニール室４５との間の扉を開け、基板１０を水蒸気アニール室４５に移送する。

【０２２４】

セパレーション室４２と水蒸気アニール室４５との間の扉を閉め、形成された膜を水蒸気アニール処理する。

水蒸気アニール処理が終わったら、セパレーション室４２と水蒸気アニール室４５との間の扉と，セパレーション室４２とロード・ロック室４１との間の扉とを開け、基板１０をロード・ロック室４１に移送する。セパレーション室４２とロード・ロック室４１との間の扉を閉め、ロード・ロック室４１内を大気圧に戻す。

【０２２５】

ロード・ロック室４１内が大気圧に戻ったら、ロード・ロック室４１の図面下側の扉を開け、基板１０を真空容器外に取り出す。

図１８に示すマルチチャンバからなる真空容器内で成膜，レーザーアニール処理，水蒸気アニール処理をする場合は、成膜とレーザーアニール処理，水蒸気アニール処理とを連続して行うことができる点が特徴である。

【０２２６】

図１８に示す真空容器は、バイアス触媒ＣＶＤ，高密度バイアス触媒ＣＶＤ，バイアス減圧ＣＶＤ，バイアス常圧ＣＶＤのいずれの方法により半導体膜を成膜する場合でも用いることができる。

これらの各ＣＶＤにより、半導体膜および絶縁膜（窒化シリコン膜，酸化シリコン膜，酸窒化シリコン膜，シリコン系膜）を成膜する場合には、形成する薄膜の種類により、異なる原料ガスを成膜室４３内に供給する。

【０２２７】

なお、水蒸気アニール工程を行わない場合には、図１９に示す真空容器を用いて、上記図１８に示す真空容器を用いた場合の半導体膜成膜，レーザーアニール処理，絶縁膜成膜と同様に、各ＣＶＤによる工程を行うことができる。

図１９に示す真空容器は、ロード・ロック室４１と、セパレーション室４２と、成膜室４３と、レーザーアニール室４４とを備え、水蒸気アニール室４５を備えない点を除き、図１８に示す真空容器と同様である。

なお、図１９に示す真空容器は、レーザーアニール室４４の代わりに水蒸気アニール室４５を設けるようにしてもよい。このように構成した真空容器は、レーザーアニール処理を行わない場合に用いることができる。

【０２２８】

また、図２０に示す真空容器は、ロード・ロック室４１と、セパレーション室４２と、半導体膜成膜室４６と、絶縁膜成膜室４７と、レーザーアニール室４４とを備える。

図２０に示す真空容器を用いた場合には、半導体膜成膜を半導体膜成膜室４６で行い、絶縁膜成膜を絶縁膜成膜室４７で行う。

これらの点を除いては、上記図１８に示す真空容器を用いた場合の半導体膜成膜，レーザーアニール処理，絶縁膜成膜と同様の各ＣＶＤによる工程により、半導体膜の成膜を行うことができる。

なお、図２０に示す真空容器は、レーザーアニール室４４の代わりに水蒸気アニール室４５を設けるようにしてもよい。また、レーザーアニール室４４と水蒸気アニール室４５との両方を設けるようにしてもよい。

【０２２９】

このようにして、基板１０上に各種の薄膜が形成される。なお、薄膜の形成は、図１に示す薄膜形成装置Ｓに限らず、次述する各構成の装置により行われるものである。図２１において、薄膜形成装置Ｓの他の実施例について説明する。本例において、前記実施例と同様部材には同一符号を付して、その説明を省略する。

【０２３０】

図２１は、マルチチャンバを備えたＣＶＤ薄膜形成装置Ｓの概略図である。本例のマルチチャンバからなる薄膜形成装置Ｓは、例えば、３つのチャンバ（Ａ，Ｂ，Ｃ）とカセットステーションＣＳと、ロボットＲとからなり、各薄膜の形成を、それぞれ別のチャンバＡ，Ｂ，Ｃ内で行うように構成されている。そして、各チャンバ（Ａ，Ｂ，Ｃ）内で、サセプタ２と、ガス供給側との間に、熱触媒体５が配設され、サセプタ２とガス供給側との間に、電界を印加可能に構成されている。

【０２３１】

図２１に示されるマルチチャンバでは、バイアス触媒ＣＶＤにより、薄膜は次のようにして形成される。ここでは一例として、保護膜用の窒化シリコン膜及び酸化シリコン膜、ポリシリコン膜、ゲート絶縁膜用の酸化シリコン膜及び窒化シリコン膜を形成する例について説明する。

先ず、各チャンバ（Ａ，Ｂ，Ｃ）内において、キャリアガスとしての水素を供給し熱触媒体を所定の温度（例えば１７００～１８００℃）に加熱してスタンバイしておき、例えば、チャンバＡでは、原料ガスとしてモノシランにアンモニアを混合したものを導入し、グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）を印加して、基板１０上に所定膜厚の窒化シリコン膜を形成する。次に基板１０をＢチャンバに移し、原料ガスとしてモノシランにヘリウム希釈酸素を混合したものを導入し、グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）を印加して、基板１０上に所定膜厚の酸化シリコン膜を形成する。次に基板１０をＣチャンバに移し、原料ガスとしてモノシランを導入し、グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）を印加して、基板１０上に所定膜厚のポリシリコン膜を形成する。さらにまた基板１０をＢチャンバに移して、基板１０上に所定膜厚の酸化シリコン膜を形成し、必要に応じて基板１０をＡチャンバに移し所定膜厚の窒化シリコン膜を形成する。

【０２３２】

なお、図１０乃至図１２に示すガス導入形態を採用し、キャリアガスとしての水素ガスを成膜装置１内に一定量連続して導入する場合で、マルチチャンバを使用するときは、基板１０を常に活性化水素イオンＨ＊にさらしておくために、一方のチャンバから他方のチャンバへ移動させる間に、基板１０を仮に配設しておくための部屋を、別途設けた構成としても良い。

【０２３３】

本例では、図１乃至図３または図２１に示すバイアス触媒ＣＶＤ装置以外にも、下記に説明するようなバイアス触媒ＣＶＤ装置を用いることができる。なお、各ＣＶＤ装置は、ホットウォールＬＰＣＶＤ方式を除けば、基本的に、基板はサセプタ或いはホットプレート上に平置きにされ、反応ガスはそれらの表面に均等に接触するように構成されている。

【０２３４】

バイアス触媒ＣＶＤ装置として、例えば、装置内にサセプタ２を略水平に配置し、基板をサセプタの表面に搭載し、ガスを横方向から供給する横型のバイアス触媒ＣＶＤ装置を用いることができる。ガス流に対する各基板の接触機会を増やすために、ガスを供給する側が低くなるようにサセプタに傾斜をつけることもできる。熱触媒体５は、基板の上面を覆うようにサセプタ上に配設され、サセプタとガス供給側との間に電界印加可能に構成される。

【０２３５】

また、水平に配置した円板状のサセプタを、このサセプタの中心を軸として回転させ、ガスをサセプタの上方向からサセプタに垂直に供給する縦型（パンケーキ型）のＣＶＤ装置を用いることもできる。熱触媒体は、基板の上面に配設され、サセプタとガス供給側との間に電界印加可能に構成される。

【０２３６】

また、サセプタとしてのシリンダの外側または内側に基板（本例ではウエハ）をローディングしたシリンダ型（バレル型、ドラム型）のＣＶＤ装置を用いることもできる。シリンダは、基板を搭載する面が鉛直であり、鉛直方向を軸として回転可能に構成されている。

基板は、鉛直になるように、このシリンダに搭載され、反応ガスは、シリンダの上方から供給される。バイアス触媒ＣＶＤを行う場合には、シリンダの上方位置、すなわち反応ガスが導入される側の所定位置に、熱触媒体が配設され、シリンダとガス供給側との間に電界印加可能に構成される。

【０２３７】

また、断面放射状のサセプタを用いた放射型方式のバイアス触媒ＣＶＤ装置を用いることもできる。このサセプタは、鉛直の板状体が、断面放射形状になるよう接合されたような形状からなり、放射形状の中心を軸として回転可能に構成されている。基板は、この鉛直の板状体に、鉛直になるように搭載され、反応ガスは、サセプタの上方から供給される。サセプタの上方位置、すなわち反応ガスが導入される側の所定位置に、熱触媒体が配設され、サセプタとガス供給側との間に電界印加可能に構成される。

【０２３８】

また、炉の中に所定空間を於いてＣＶＤ装置が配設されるホットウォール型バイアス触媒ＣＶＤ装置を用いることもできる。基板の保持は、治具によって吊持したり、基板を並べて保持する多段カセット等のサセプタを用いたりするなど、各種の公知の手段によって行う。反応ガスが導入される側の所定位置に、熱触媒体が配設され、サセプタとガス供給側との間に電界印加可能に構成される。

【０２３９】

上述したバイアス触媒ＣＶＤの薄膜形成装置によれば、多結晶シリコン、単結晶シリコン、アモルファスシリコン、微結晶シリコン等のシリコン薄膜、シリコンゲルマニウム、炭化ケイ素、化合物半導体（ガリウムヒ素、ガリウムリン、ガリウムナイトライド等）の半導体薄膜、酸化シリコン、不純物（リンシリケートガラス（ＰＳＧ）、ボロンシリケートガラス（ＢＳＧ）、ボロンリンシリケートガラス（ＢＰＳＧ）等）含有の酸化シリコン、窒化シリコン、酸窒化シリコン、酸化モリブデン、酸化チタン、酸化タンタル、酸化アルミニウム、酸化インジウム等の絶縁体薄膜、高融点金属（タングステン、チタン、タンタル、モリブデン等）、導電性窒化膜（窒化タングステン、窒化チタン、窒化タンタル、窒化モリブデン等）、金属薄膜（金属シリサイド、銅、アルミニウム等）、合金薄膜（アルミニウム－シリコン又はアルミニウム－シリコン－銅等）を成膜することができる。

【０２４０】

そして、上記各種ＣＶＤの薄膜形成装置で成膜される薄膜と原料ガス（反応ガス）との関係は次のとおりである。なお、キャリアガスとしては、ヘリウムガス、水素ガス、アルゴンガス、水素ガスとヘリウムガスとの混合ガス、水素ガスとアルゴンガスとの混合ガス等が好適に用いられる。

【０２４１】

１．Ｓｉの成膜には、SiH_4、$SiHCl_3$、SiH_2Cl_2、$SiCl_4$、Si_2H_6を用いる。

【０２４２】

２．SiO_2の成膜には、SiH_4、$SiHCl_2$、SiH_2Cl_2、$SiCl_4$、$SiBr_4$、SiI_4、SiF_4、$Si(OC_2H_4)_4$、$Si(OC_2H_5)_4$、$(C_2H_5)Si(OC_2H_5)_3$、$C_5H_{11}Si(OC_2H_5)_3$、$C_6H_5Si(OC_2H_5)_3$、$(CH_3)_2Si(OC_2H_3)_2$及びO_2、NO、N_2O、NO_2、CO_2+H_2、H_2Oを用いる。

【０２４３】

３．ＢＰＳＧ、ＢＳＧ，ＰＳＧ、ＡｓＳＧの成膜には、上記２の原料ガス（SiH_4、$SiHCl_2$、SiH_2Cl_2、$SiCl_4$、$SiBr_4$、SiI_4、SiF_4、$Si(OC_2H_4)_4$、$Si(OC_2H_5)_4$、$(C_2H_5)Si(OC_2H_5)_3$、$C_5H_{11}Si(OC_2H_5)_3$、$C_6H_5Si(OC_2H_5)_3$、$(CH_3)_2Si(OC_2H_3)_2$及びO_2、NO、N_2O、NO_2、CO_2+H_2、H_2O）に、PH_3、B_2H_6、AsH_3、$PO(OCH_3)_3$、$B(OCH_3)_3$、$B(OC_3H_7)_3$等のガスを混合する。

【０２４４】
４．SiN_Xの成膜には、SiH_4、SiH_6、$SiHCl_3$、$SiHCl_2$、SiH_3Cl、$SiCl_4$、$SiBr_4$等にNH_3、N_2H_4、N_2を混合した原料ガスを用いる。なおキャリアガスとしてはＡｒ、Ｈｅ等が好適である。
【０２４５】
５．SiO_XN_Yの成膜には、上記２、４と同じ原料ガスを用いる。すなわち、SiH_4、$SiHCl_2$、SiH_2Cl_2、$SiCl_4$、$SiBr_4$、SiI_4、SiF_4、$Si(OC_2H_4)_4$、$Si(OC_2H_5)_4$、$(C_2H_5)Si(OC_2H_5)_3$、$C_5H_{11}Si(OC_2H_5)_3$、$C_6H_5Si(OC_2H_5)_3$、$(CH_3)_2Si(OC_2H_3)_2$及びO_2、NO、N_2O、NO_2、CO_2+H_2、H_2Oの各原料ガス、SiH_4、SiH_6、$SiHCl_3$、$SiHCl_2$、SiH_3Cl、$SiCl_4$、$SiBr_4$等にNH_3、N_2H_4、N_2を混合した原料ガスを用いることができる。
【０２４６】
６．Ａｌの成膜には、$AlCl_3$、$Al(CH_3)_3$（ＴＭＡ）、$Al(C_2H_5)_3$（ＴＥＡ）、$Al(OC_3H_7)_3$を用いることができる。なお、還元ガスとしてH_2が好適である。
【０２４７】
７．Al_2O_{3-X}の成膜には、上記６の原料ガス（$AlCl_3$、$Al(CH_3)_3$（ＴＭＡ）、$Al(C_2H_5)_3$（ＴＥＡ）、$Al(OC_3H_7)_3$）に、CO_2+H_2、O_2、H_2Oを加えた原料ガスを用いることができる。
【０２４８】
８．In_2O_3の成膜には、$In(CH_3)_3$（ＴＭＩ）、$In(C_2H_5)_3$（ＴＥＩ）及びO_2、H_2O、CO_2を加えた原料ガスを用いることができる。
【０２４９】
９．高融点金属の成膜には、例えばフッ化物、塩化物、有機化合物で分類すると、フッ化物の成膜にはMoF_6、WH_6の原料ガス、塩化物の成膜には$MoCl_5$、WCl_6、$TaCl_5$、$TiCl_4$、$ZrCl_4$の原料ガス、有機化合物の成膜には$Ta(OC_2H_5)_5$、$(PtCl_2)_2(CO)_3$、$W(CO)_6$、$Mo(CO)_6$の原料ガスを用いることができる。
【０２５０】
１０．シリサイドの成膜には、上記９の原料ガス｛フッ化物の成膜にはMoF_6、WH_6の原料ガス、塩化物の成膜には$MoCl_5$、WCl_6、$TaCl_5$、$TiCl_4$、$ZrCl_4$の原料ガス、有機化合物の成膜には$Ta(OC_2H_5)_5$、$(PtCl_2)_2(CO)_3$、$W(CO)_6$、$Mo(CO)_6$の原料ガス｝にSiH_4、SiH_6等のシラン系ガスを混入したものを原料ガスとして用いる。
【０２５１】
１１．ＴｉＮの成膜には、$TiCl_4+N_2$（$+NH_3$）の原料ガス、ＴｉＯＮの成膜には、$TiCl_4+N_2$（$+NH_3$）にO_2、N_2Oを加えた原料ガスを用いることができる。
【０２５２】
１２．Ｃｕの成膜には、ヘキサフルオロアセチルアセトネイト銅$Cu(HFA)_2$及び$C(HFA)_2+H_2O$、キレート化合物の材料（$Cu(DPM)_2$、$Cu(AcAc)_2$、$Cu(FOD)_2$、$Cu(PPM)_2$、Ｃｕ（ＨＦＡ）ＴＭＶＳ）等の原料ガスを用いることができる。
【０２５３】
１３．Ａｌ－Ｓｉ、Ａｌ－Ｓｉ－Ｃｕの成膜には、上記６の原料ガス（$AlCl_3$、$Al(CH_3)_3$（ＴＭＡ）、$Al(C_2H_5)_3$（ＴＥＡ）、$Al(OC_3H_7)_3$）に１の原料ガス（SiH_4、$SiHCl_3$、SiH_2Cl_2、$SiCl_4$、SiH_6）及び１２の原料ガス（ヘキサフルオロアセチルアセトネート銅$Cu(HFA)_2$及び$C(HFA)_2+H_2O$、キレート化合物の材料（$Cu(DPM)_2$、$Cu(AcAc)_2$、Ｃｕ（

ＦＯＤ）$_2$、Ｃｕ（ＰＰＭ）$_2$、Ｃｕ（ＨＦＡ）ＴＭＶＳ）等）を加えたものを原料ガスとして用いることができる。
以上のような原料ガスによって、前記した各薄膜を成膜することが可能となる。
【０２５４】
そして、上記の薄膜形成装置において、上記した各原料ガスを適宜用いることによって、シリコン半導体装置、シリコン半導体集積回路装置、シリコン－ゲルマニウム半導体装置、シリコン－ゲルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、液晶表示装置、有機／無機エレクトロルミネセンス表示装置、プラズマディスプレイパネル（ＰＤＰ）装置、フィールドエミッションディスプレイ（ＦＥＤ）装置、発光ポリマー表示装置、発光ダイオード表示装置、ＣＣＤセンサ装置、ＭＯＳセンサ装置、高誘電率および強誘電体メモリー装置、太陽電池等を製造することが可能である。
【０２５５】
次に、本発明により薄膜を形成し、さらに、形成された薄膜層を使用して半導体膜層薄膜半導体を形成する方法について、具体的な実施例に基づいて説明する。
それぞれの具体的実施例では、前述のようにキャリアガス及び原料ガスの導入時間及びタイミングを変化させることにより、所望の品質及び速度で成膜を行うものとする。
【０２５６】
（具体的実施例１）
具体的な実施例１として、シングルチャンバからなる真空容器を用いたトップゲート型ポリシリコンＣＭＯＳＴＦＴ製法の実施例を示す。本例は、バイアス触媒ＣＶＤ法により形成されたポリシリコン膜を、エキシマレーザーアニール処理および／または水蒸気アニール処理するものである。
【０２５７】
本例では、バイアス触媒ＣＶＤにより薄膜を形成するように構成しているが、これに限定されるものでなく、高密度バイアス触媒ＣＶＤ、バイアス減圧ＣＶＤ，バイアス常圧ＣＶＤも本例に適用可能である。
【０２５８】
基板１０の材質は、ＴＦＴ形成過程での基板温度により選択される。バイアス触媒ＣＶＤ法を採用した場合、ポリシリコン膜や絶縁膜形成過程における基板温度は、２００～４００℃程度の比較的低温に維持される。このため、ＴＦＴ形成装置において基板温度がほうけい酸ガラスやアルミノけい酸ガラス等のガラス基板を用いることができる場合は、ほうけい酸ガラス基板やアルミノけい酸ガラス基板を使用できる。このときに、コスト面から基板を大きめにすることが可能であり、例えば、５００×６００ｍｍの大きさで、０．５～１．１ｍｍ厚さとされる。尚、低温の場合は、耐熱性有機樹脂基板を用いてもよい。
また、セラミックス等の絶縁性基板を用いることもできる。
【０２５９】
なお、ＴＦＴ形成過程において、基板温度が６００～１０００℃程度の比較的高温となる場合は、石英ガラス、結晶化ガラス等の耐熱性ガラス基板を用いる。耐熱性ガラス基板は、例えば、直径１５～３０ｃｍの大きさで、７００～８００μｍ厚さとされる。また、一般的なシリコンウェハと同様のオリエンテーション・フラット（オリフラ）が形成される。
【０２６０】
次に、第１工程～第１３工程からなるトップゲート型ポリシリコンＣＭＯＳＴＦＴの作製工程について説明する。
まず、第１工程で、シングルチャンバからなるバイアス触媒ＣＶＤ装置である成膜装置１内に基板１０を設置し、排気系１ａを動作させて成膜装置１内を所定圧力になるまで排気するとともに、サセプタ２に内蔵されたヒータ２ａを動作させて基板１０を所定温度（２００℃程度）まで加熱する。次いで、成膜装置１内にキャリアガスとしての水素ガス５０～１００ＳＣＣＭを供給する。なお、この水素ガスの代わりに、アルゴンと水素，または

ヘリウムと水素，またはネオンと水素との混合ガスであって水素を８０～９０モル比％含むものを供給するように構成しても良い。水素ガスは、熱触媒体５との接触により活性化されて、一部が活性化水素イオンＨ＊となり、基板１０の表面のクリーニングがなされる。なお水素系キャリアガスと原料ガスの供給によるガス圧力は０．１～１．０Ｐａ程度，本例では０．５Ｐａとする。
従って、水素系キャリアガスと原料ガスの混合比率を一定又は変更して、ガス圧力を低めにして緻密な成膜、逆に高めにしてより高速な成膜としてもよい。但し、このガス圧力範囲は成膜された膜質と装置性能により制約されることは言うまでもない。
【０２６１】
次に、第２工程で保護膜用の窒化シリコン膜１１を形成する。水素ガス５０～１００ＳＣＣＭが供給されている成膜装置１内に、モノシラン１～２０ＳＣＣＭにアンモニア５～５０ＳＣＣＭを混合した原料ガスを導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。成膜装置１内では、導入されたガスが熱触媒体５を介して、基板１０の一主面に、保護膜用の窒化シリコン膜１１を形成する。本例では、窒化シリコン膜１１が５０～２００（ｎｍ）厚形成される。
このとき、成膜装置１内での原料ガスの割合を高めるために、マスフローコントローラーＭを制御して、水素ガスの供給を成膜の途中で低減させ、窒化シリコン膜１１を高速で成膜しても良い。その後、成膜装置１内へのアンモニアおよびシランの供給を停止する。
【０２６２】
上記保護膜用の窒化シリコン膜１１は、基板１０としてほうけい酸ガラス，アルミノけい酸ガラス等を用いた場合、基板１０からのＮａイオンをストップするために形成されるものであり、基板１０として合成石英ガラスを使用した場合は不要である。
【０２６３】
次に、第３工程では、保護膜用の酸化シリコン膜１２を形成する。第２工程で、水素ガスを低減させた場合は、成膜装置１内に、キャリアガスとしての水素ガス５０～１００ＳＣＣＭを導入する。また、成膜装置１内に連続して供給されているモノシランガス１～２０ＳＣＣＭに、ヘリウム希釈酸素ガス１～２ＳＣＣＭを、適当比率混合して導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。成膜装置１内では、導入されたガスが熱触媒体５を介して、基板１０上に保護膜用の酸化シリコン膜１２を成膜する。本例では、酸化シリコン膜１２は、５０～１００（ｎｍ）厚形成される。
このとき、成膜装置１内での原料ガスの割合を高めるために、マスフローコントローラーＭを制御して、水素ガスの供給を成膜の途中で低減させ、酸化シリコン膜１２を高速で成膜しても良い。成膜装置１内へのシランとヘリウム希釈酸素の供給を停止する。
【０２６４】
さらに、第４工程では、ポリシリコン膜１３を形成する。
なお、ポリシリコン膜１３の形成前に、成膜装置１内にキャリアガスとしての水素ガスが供給されており、成膜前に必ず活性化水素イオンＨ＊による表面クリーニングが行われるように構成されていれば、高品質なポリシリコン膜を確実に得ることが可能となり、好適である。
【０２６５】
ポリシリコン膜１３を形成するときには、第３工程で、水素ガスを低減させた場合は、成膜装置１内に、キャリアガスとしての水素ガス５０～１００ＳＣＣＭを導入する。また、このとき成膜装置１内には、モノシランガス１～２０ＳＣＣＭが供給されている。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。導入されたガスは、熱触媒体５を介して、基板１０上にポリシリコン膜１３を形成する。本例のポリシリコン膜１３は、４０～６０（ｎｍ）厚に形成される。
【０２６６】

このとき、必要に応じて、原料ガスのシラン系ガス（モノシラン（SiH_4）又はジシラン（Si_2H_6）又はトリシラン（Si_3H_8）等）に、Ｎ型のリン又はひ素又はアンチモン等を適量混入したり、又はＰ型のボロンを適量混入することで、任意のＮ型又はＰ型不純物キャリア濃度のポリシリコン膜を形成することができる。
Ｎ型化の場合は、例えば、フォスフィン（PH_3）、アルシン（AsH_3）、スチビン（SbH_3）が採用され、Ｐ型化の場合は、例えば、ジボラン（B_2H_6）が採用される。
このとき、成膜装置１内での原料ガスの割合を高めるために、マスフローコントローラーＭを制御して、水素ガスの供給を成膜の途中で低減または停止させ、ポリシリコン膜１３を高速で成膜しても良い。

【０２６７】

また、ポリシリコン膜１３を形成した後、シリコンイオンをドーピングまたはシリコンイオン注入してポリシリコンをアモルファス化してもよい。このようにすることにより、結晶成長のシード（種）が得られ、グレインサイズの大きいポリシリコン膜を得ることができる。このように、一旦結晶化したポリシリコン膜をアモルファス化することにより、レーザー光の熱エネルギー吸収が大きくなって、レーザーアニール処理時にアモルファスシリコン膜が融け易くなり、レーザーアニール処理による結晶化が容易になる。

【０２６８】

ポリシリコン膜１３が形成されたら、原料ガスをカットし、熱触媒体５および基板を問題ない温度まで冷却して、キャリアガスの導入を停止する。
この後、充分に排気した後に、窒素ガスを導入して大気圧に戻し、基板１０をバイアス触媒ＣＶＤ成膜装置から取り出し、形成したポリシリコン膜１３をエキシマレーザーアニール処理する。エキシマレーザーアニール処理は、バイアス触媒ＣＶＤ成膜装置とは異なる不図示のレーザーアニール装置中で行う。このレーザーアニール装置内を真空とし、または窒素ガスまたはいわゆるフォーミングガス，すなわち窒素ガスと水素ガスとを混合したガスを導入し、基板１０の膜形成面側から短波長パルスレーザー光を照射することによって行う。

【０２６９】

本例で用いる短波長パルスレーザ光としては、そのレーザー波長が１００～４００ｎｍ、実用範囲は１５０～３５０ｎｍ、パルス幅が１０～５０ｎｓｅｃ就中２０ｎｓｅｃのものを用いる。
また、パルスのピーク強度は、10^6Ｗ／ｃｍ^{2}以上～10^8Ｗ／ｃｍ^{2}以下とし、フルーエンス（１回のパルスのエネルギー）は２００～３００ｍＪ／ｃｍ^{2}とする。

【０２７０】

このような短波長パルスレーザ光としてＸｅＣｌ（３０８ｎｍ波長）を用いる。９５％以上のオーバーラップスキャニングで照射し、ポリシリコン膜を加熱溶融するのが好ましい。
また、レーザービーム形状がラインビーム（例えば、２７５×０．３～０．４ｍｍ^2）であるものを用いる。
なお、エキシマレーザーアニール処理時には、３００～４００℃に基板１０を加熱してもよい。

【０２７１】

なお、本例では、エキシマレーザー処理した後に、トップゲート絶縁膜用の酸化シリコン膜及び窒化シリコン膜または酸窒化シリコン膜を連続成膜するが、この順序を逆、すなわち、トップゲート絶縁膜用の酸化シリコン膜及び窒化シリコン膜または酸窒化シリコン膜を形成した後に、エキシマレーザー処理することも可能である。この場合にも、エキシマレーザーアニール処理は、表面側から短波長パルスレーザ光を照射することによって行う。

【０２７２】

このように、トップゲート絶縁膜用の酸化シリコン膜及び窒化シリコン膜を介してエキシマレーザー処理でシリコン膜を溶融させる。酸化シリコン膜及び窒化シリコン膜が厚い場

合には、高エネルギー照射が必要となってしまうため、これらの膜を、より薄い膜として形成することが望まれる。
バイアス触媒ＣＶＤ法によって形成された酸化シリコン膜及び窒化シリコン膜は、絶縁耐圧が大きく、薄い膜として形成しても充分な絶縁性能を得ることができるという特徴がある。
従って、本例のように、酸化シリコン膜及び窒化シリコン膜を介してエキシマレーザー処理でシリコン膜を溶融させる場合には、酸化シリコン膜及び窒化シリコン膜の形成には、薄い膜の形成が可能なバイアス触媒ＣＶＤ法が適しているということができる。

【０２７３】

その後、レーザーアニール装置から基板１０を取り出し、再び基板１０をバイアス触媒ＣＶＤ装置内に設置する。
第５工程として、ゲート絶縁膜用の酸化シリコン膜１４を成膜する。成膜装置１内に、キャリアガスとしての水素ガス５０～１００ＳＣＣＭを導入する。また、成膜装置１内に、モノシランガス１～２０ＳＣＣＭと、ヘリウム希釈酸素０．１～２ＳＣＣＭとを、適当比率混合して導入する。グロー放電開始電圧以下の直流電圧（例えば１ｋＶ以下、数１０Ｖ以上）をサセプタ２とガスシャワーヘッド３ａとの間に印加する。成膜装置１内では、導入されたガスが熱触媒体５の熱分解および触媒作用により、基板１０上にゲート絶縁膜用の酸化シリコン膜１４を、所定膜厚に形成する。また、必要に応じてヘリウム希釈酸素をカットしてアンモニアを適当比率混合して、所定膜厚の窒化シリコン膜１５を連続形成しても良い。
このとき、成膜装置１内での原料ガスの割合を高めるために、マスフローコントローラーＭを制御して、水素ガスの供給を成膜の途中で低減させ、酸化シリコン膜１４及び窒化シリコン膜１５を高速で成膜しても良い。

【０２７４】

なお、成膜後は、原料ガスをカットし、熱触媒体を問題ない温度まで冷却して、キャリアガスの導入を停止する。成膜後に、原料ガスをカットして水素系キャリアガスのみを導入することにより、形成されたポリシリコン膜と酸化シリコン膜の界面および酸化シリコン膜を、活性化水素イオンH^*でアニール処理して、界面準位を低減し、絶縁膜を改質することができる。
絶縁性薄膜形成時には、それぞれの原料ガスを傾斜減少又は傾斜増加させて、傾斜接合の膜を成膜してもよい。

【０２７５】

なお本例では、シングルチャンバのバイアス触媒ＣＶＤ装置を用いて薄膜を形成するように構成しているが、マルチチャンバのバイアス触媒ＣＶＤ装置を用いて薄膜を形成しても良い。
その場合には、次のＡ～Ｃチャンバを備えたマルチチャンバ真空容器を用い、上記第１～第５工程を次の手順で行う。
第１工程では、各チャンバ内に水素系キャリアガスを供給して熱触媒体５を所定温度に加熱しておく。その後、基板１０をＡチャンバに移し、モノシランガスとアンモニアガスを適量比率混合して導入し、電界を印加して窒化シリコン膜５０～２００（ｎｍ）厚を形成する。

【０２７６】

窒化シリコン膜が形成されると、基板１０をＢチャンバに移し、モノシランガスにヘリウム希釈の酸素ガスを適量比率混合して導入し、電界を印加して酸化シリコン膜５０～１００（ｎｍ）厚を形成する。
その後基板１０をＣチャンバに移し、モノシランガスおよびSnH_4を適量比率混合して導入し、電界を印加してポリシリコン膜４０～６０（ｎｍ）厚を形成する。

【０２７７】

ポリシリコン膜１３が形成されたら、原料ガスをカットし、熱触媒体５を問題ない温度まで冷却して、キャリアガスの導入を停止する。

この後、基板１０を成膜装置１から取り出し、形成したポリシリコン膜をエキシマレーザーアニール処理する。

【０２７８】

その後、基板１０を再びＢチャンバに設置し、モノシランガスにヘリウム希釈の酸素ガスを適量比率混合して導入し、電界を印加して酸化シリコン膜５０～１００（ｎｍ）厚を形成する。

必要に応じて基板１０をＡチャンバに移し、モノシランガスにアンモニアガスを適量比率混合して導入し、電解を印加して窒化シリコン膜５０～１００（ｎｍ）厚を形成する。

成膜後は原料ガスをカットし、熱触媒体５を問題ない温度まで冷却して水素系キャリアガスをカットする。

【０２７９】

なお、本例のトップゲート型ポリシリコンＣＭＯＳＴＦＴ製法では、上記の通り、水素ガスの供給を成膜の途中で低減または停止させ、各薄膜を高速で成膜することができるが、成膜途中に、水素系キャリアガスをストップしても、シラン系ガスの熱分解および触媒反応により、多量の活性化水素イオンH^*が発生するので、熱触媒体５が劣化することはなく、高速成膜を行った場合であっても、熱触媒体５は、充分な触媒機能が保たれるものである。

こうして、絶縁基板１０上に４０～６０（ｎｍ）厚の大粒径ポリシリコン層を成膜する。

【０２８０】

次いで、上記ポリシリコン層を少なくともチャンネル，ソース，ドレイン領域とするＭＯＳＴＦＴの作製を行う。

第６工程として、図２３に示すように、ＮチャンネルＭＯＳＴＦＴ用のチャンネル領域の不純物濃度を制御するために、ＰチャンネルＭＯＳＴＦＴを、フォトレジストｒ１でマスクし、Ｐ型不純物イオン（例えば、二フッ化ホウ素イオンBF_2^+）を、例えば、２０～３０ｋｅＶで２～３×10^{12}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入し、ポリシリコン層の導電型をＰ型化したシリコン層ｌ１とする。

【０２８１】

次いで、第７工程として、図２４に示すように、ＰチャンネルＭＯＳＴＦＴ用のチャンネル領域の不純物濃度を制御するために、今度は、ＮチャンネルＭＯＳＴＦＴをフォトレジストｒ２でマスクし、Ｎ型不純物イオン（例えば、リンイオンP^+）を、例えば、４０～５０ｋｅＶで２～３×10^{12}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入し、ポリシリコン層のＮ型化したシリコン層ｌ２とする。

【０２８２】

次いで、第８工程では、図２５に示すように、ゲート電極材料としての耐熱性の高いモリブデン／タンタル合金膜１６を、スパッタ法で、例えば、４００（ｎｍ）厚に堆積させる。

【０２８３】

次いで、第９工程では、図２６に示すように、フォトレジストｒ３を所定パターンに形成し、これをマスクにして、モリブデン／タンタル合金膜１６をゲート電極１７の形状にパターニングし、更に、フォトレジストｒ３を除去する。

【０２８４】

次いで、第１０工程では、図２７に示すように、ＰチャンネルＭＯＳＴＦＴ及びゲート電極１７をフォトレジストｒ４でマスクし、Ｎ型不純物である、例えば、As^+イオンを、例えば、６０～７０ｋｅＶで１×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入し、フォトレジスト剥離後、N_2中約１０００℃で２０秒～３０秒間のＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）で活性化し、ＮチャンネルＭＯＳＴＦＴのN^+型ソース領域Ｓ１及びドレイン領域Ｄ１をそれぞれ形成する。なお、このＲＴＡ処理は、ＰチャンネルＭＯＳＴＦＴの活性化と一緒にしても良い。

【０２８５】

次いで、第１１工程では、図２８に示すように、ＮチャンネルＭＯＳＴＦＴ及びゲート電

極１７をフォトレジストｒ５でマスクし、Ｐ型不純物である、例えば、B^+イオンを、例えば、２０～３０ｋｅＶで1×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入し、フォトレジスト剥離後、N_2中約１０００℃で２０秒～３０秒間のＲＴＡ（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）で活性化し、ＰチャンネルＭＯＳＴＦＴのP^+型ソース領域Ｓ２及びドレイン領域Ｄ２を、それぞれ形成する。

【０２８６】

次いで、第１２工程では、図２９に示すように、全面にバイアス触媒ＣＶＤ法等によって、酸化シリコン膜１９を、例えば５０～１００（ｎｍ）厚、リンシリケートガラス（ＰＳＧ）膜２０を、例えば２００～３００（ｎｍ）厚、窒化シリコン膜２１を１００～２００（ｎｍ）厚に成膜する。

【０２８７】

次いで、第１３工程では、図３０に示すように、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面にアルミニウムなどの電極材料を、スパッタ法等により、１５０℃で１μｍの厚みに堆積する。その後、これをパターニングして、ＰチャンネルＭＯＳＴＦＴ及びＮチャンネルＭＯＳＴＦＴの、それぞれのソース又はドレイン電極Ｓ又はＤとゲートコンタクト又は配線Ｇを形成する。その後、フォーミングガス（N_2+H_2）中４００℃で１時間シンター処理し、オーミックコンタクトと表面準位を改善し、各ＭＯＳＴＦＴを完成する。

【０２８８】

なお、上記第１３工程で、ソース電極Ｓ又はドレイン電極Ｄとゲート取り出し電極又は配線Ｇを形成した後、次の第１４工程の水蒸気アニール工程及び第１５工程のプラズマクリーニング工程（またはスパッタクリーニング工程）を行ってもよい。

【０２８９】

本例では、第５工程の後のレーザーアニール工程と、この水蒸気アニール工程およびプラズマクリーニング工程（またはスパッタクリーニング工程）との双方を備えるように構成しているが、レーザーアニール工程を備えるが水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を備えないように構成しても良い。また、レーザーアニール工程を備えずに、水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を備えるように構成しても良い。また、レーザーアニール工程と水蒸気アニール工程とを電極形成前に行う場合には、電極が水蒸気によって腐食されないため、電極のプラズマクリーニングまたはスパッタクリーニング工程とを行う必要はない。

なお、レーザーアニール工程を、第４工程（ポリシリコン膜形成工程）と第５工程（ゲート絶縁膜（酸化シリコン膜）形成工程）との間に行わない場合には、ポリシリコン膜１３とゲート絶縁膜の酸化シリコン膜１４は、連続成膜する方が良い。

【０２９０】

第１４工程は、上述の通り水蒸気アニール工程であり、薄膜層および電極の形成された基板１０を、上述した真空吸引による方法により、水蒸気アニール処理する。

水蒸気アニールチャンバ３１内のサセプタ３２上に基板１０を載置する。この水蒸気アニールチャンバ３１内で、2×10^5Ｐａ～3×10^5Ｐａの高圧水蒸気中，１８０℃～２００℃、３０分～６０分間基板１０を加熱し、絶縁膜と半導体膜との界面または絶縁膜の改質を行う。

【０２９１】

次いで、第１５工程で、上記実施例１で説明した手順により、上記形成された膜の少なくとも電極パッド部表面を、スパッタクリーニング又はプラズマクリーニングする。その後、水蒸気アニール工程を行わない場合と同様に、フォーミングガス（N_2+H_2）中４００℃で１時間シンター処理し、オーミックコンタクトと表面準位を改善し、各ＭＯＳＴＦＴを完成する。

【０２９２】

（具体的実施例２）

さらに、具体的な実施例２として、ボトムゲート型ポリシリコンＣＭＯＳＴＦＴ製法の実施例について説明する。本例は、ポリシリコン膜をエキシマレーザーアニール処理および／または水蒸気アニール処理するものである。
本例では、バイアス触媒ＣＶＤにより薄膜を形成するように構成しているが、これに限定されるものでなく、高密度バイアス触媒ＣＶＤ，バイアス減圧ＣＶＤ，バイアス常圧ＣＶＤも本例に適用可能である。
基板１０の材質，大きさは、上記具体的実施例１と同様の基準により選択される。
【０２９３】
上記ボトムゲート型ポリシリコンＣＭＯＳＴＦＴの作製工程について説明する。
まず、基板１０の少なくともＴＦＴ領域に、モリブデン／タンタル合金のスパッタ膜３００～４００（ｎｍ）厚を形成する。そして汎用フォトリソグラフィ及びエッチング技術により、２０～４５度のテーパーエッチングを施し、ボトムゲート電極を形成する。
【０２９４】
次に、上記具体的実施例１の第１工程乃至第４工程と同様の手順により、基板１０上に、保護膜用，ボトムゲート絶縁膜用の窒化シリコン膜，酸化シリコン膜と，ポリシリコン膜と，保護膜用、レーザー反射低減用の酸化シリコン膜とを成膜する。このときに、少なくともゲート絶縁膜の酸化シリコン膜とポリシリコン膜とは連続成膜した方がよい。成膜後は、原料ガスをカットし、熱触媒体５を問題ない温度まで冷却して、キャリアガスの導入を停止する。
その後、基板１０を成膜装置１から取り出してレーザーアニール装置に導入し、ポリシリコン膜を、上記具体的実施例１と同様の手順により、レーザーアニール処理する。但し、本例では、エキシマレーザーアニール処理を、形成された薄膜の表面側から短波長パルスレーザ光を照射することによって行う。
【０２９５】
こうして、絶縁基板１０上に４０～６０（ｎｍ）厚の大粒径ポリシリコン層を成膜する。次いで、ポリシリコン層を少なくともチャンネル領域とするＭＯＳＴＦＴの作製を行う。本例では、ボトムゲート電極を最初に形成しているので、ポリシリコンおよび保護膜の酸化シリコン膜形成後には、電極として、ソース，ドレイン電極が形成される。
【０２９６】
次に、上記具体的実施例の第６工程と同様の手順により、ＰチャンネルＭＯＳＴＦＴをフォトレジストでマスクし、Ｐ型不純物イオン（例えば、二フッ化ホウ素イオンBF_2^+）をイオン注入し、ポリシリコン層の導電型をＰ型化したシリコン層とする。次いで、上記具体的実施例の第７工程と同様の手順により、ＮチャンネルＭＯＳＴＦＴをフォトレジストでマスクし、Ｎ型不純物イオン（例えば、リンイオンP^+）を打ち込み、ポリシリコン層の導電型をＮ型化したシリコン層とする。
【０２９７】
その後、上記具体的実施例１の第１０工程および第１１工程と同様の手順により、イオン注入、ＲＴＡによる活性化を行い、Ｎチャンネル$MOSTFT$のN^+型ソース領域及びドレイン領域、Ｐチャンネル$MOSTFT$のP^+型ソース領域及びドレイン領域を、それぞれ形成する。
次いで、全面に、バイアス触媒ＣＶＤ等によって、保護用の酸化シリコン膜、リンシリケートガラス（ＰＳＧ）膜、窒化シリコン膜を成膜する。
【０２９８】
次いで、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面にアルミニウムなどの電極材料を、スパッタ法等により、１５０℃で１μｍの厚みに堆積する。その後、これをパターニングして、ＰチャンネルＭＯＳＴＦＴ及びＮチャンネルＭＯＳＴＦＴの、それぞれのソース又はドレイン電極を形成する。その後、フォーミングガス（N_2＋H_2）中４００℃で１時間シンター処理し、オーミックコンタクトと表面準位を改善し、各ＭＯＳＴＦＴを完成する。
【０２９９】

その後、前記具体的実施例1と同様な方法で、水蒸気アニール処理およびプラズマクリーニング（またはスパッタクリーニング）を行う。
本例では、レーザーアニール工程と、水蒸気アニール工程およびプラズマクリーニング工程（またはスパッタクリーニング工程）との双方を備えるように構成しているが、これら双方のいずれかを備えるように構成しても良い。
【０３００】
また、本例では、水蒸気アニール工程をソース電極およびドレイン電極形成後に行っているため、水蒸気アニール工程を行った後にプラズマクリーニング（またはスパッタクリーニング）を行うように構成している。しかし、水蒸気アニール工程は、保護膜用、レーザー反射低減用の酸化シリコン膜を成膜した後すぐに行ってもよい。特に、図１８（ｂ）に示すように、成膜室４３等の他に水蒸気アニール室４５を備えるマルチチャンバからなる真空容器を用いて成膜および水蒸気アニールをする場合には、成膜と水蒸気アニール工程とを同じ装置内で連続して行うことができる。
このように、水蒸気アニール工程をソース電極およびドレイン電極形成前に行う場合には、これらの電極が水蒸気によって腐食されないため、これらの電極のプラズマクリーニングまたはスパッタクリーニング工程とを行う必要はない。
【０３０１】
（具体的実施例３）
具体的な実施例３として、デュアルゲート型ポリシリコンＣＭＯＳＴＦＴ製法の実施例について説明する。本例は、ポリシリコン膜をエキシマレーザーアニール処理および／または水蒸気アニール処理するものである。
なお、本例では、バイアス触媒ＣＶＤにより薄膜を形成するように構成しているが、これに限定されるものでなく、高密度バイアス触媒ＣＶＤ，バイアス減圧ＣＶＤ，バイアス常圧ＣＶＤも本例に適用可能である。基板１０の材質，大きさは、上記具体的実施例１と同様の基準により選択される。
【０３０２】
次に、デュアルゲート型ポリシリコンＣＭＯＳＴＦＴの作製工程について説明する。まず、基板１０の少なくともＴＦＴ領域に、モリブデン／タンタル合金のスパッタ膜３００～４００（ｎｍ）厚を形成する。そして汎用フォトリソグラフィ及びエッチング技術により、２０～４５度のテーパーエッチングを施し、ボトムゲート電極を形成する。
【０３０３】
次いで、上記具体的実施例１の第１工程乃至第４工程と同様の手順により、基板１０上に、保護膜用，ボトムゲート絶縁膜用の窒化シリコン膜，酸化シリコン膜，ポリシリコン膜，トップゲート絶縁膜用の酸化シリコン膜，必要に応じて窒化シリコン膜を成膜する。少なくとも、ポリシリコン膜とトップゲート絶縁膜用の酸化シリコン膜とは、連続成膜するものとする。
その後、基板１０を成膜装置１から取り出してレーザーアニール装置に導入し、ポリシリコン膜を、上記具体的実施例１と同様の手順により、レーザーアニール処理する。
このようにして、例えば、４０～６０（ｎｍ）厚の大粒径のポリシリコン膜が成膜される。次いで、ポリシリコン層を少なくともチャンネル領域とするＭＯＳＴＦＴの作製を行う。
【０３０４】
上記具体的実施例の第６工程と同様の手順により、ＰチャンネルＭＯＳＴＦＴをフォトレジストでマスクし、Ｐ型不純物イオン（例えば、二フッ化ホウ素イオンBF_2^+）を打ち込み、ポリシリコン層の導電型をＰ型化したシリコン層とする。次いで、上記具体的実施例の第７工程と同様の手順により、ＮチャンネルＭＯＳＴＦＴをフォトレジストでマスクし、Ｎ型不純物イオン（例えば、リンイオンP^+）を打ち込み、ポリシリコン層の導電型をＮ型化したシリコン層とする。
【０３０５】
次いで、上記具体的実施例１の第８工程および第９工程と同様の手順により、スパッタ法

で堆積させたモリブデン／タンタル合金膜を、ゲート電極の形状にパターニングし、トップゲート電極を形成する。

【０３０６】

その後、上記具体的実施例１の第１０工程および第１１工程と同様の手順により、イオン注入、ＲＴＡによる活性化を行い、ＮチャンネルＭＯＳＴＦＴのN^+型ソース領域及びドレイン領域、ＰチャンネルＭＯＳＴＦＴのP^+型ソース領域及びドレイン領域を、それぞれ形成する。

次いで、全面に、バイアス触媒ＣＶＤ等によって、保護用の酸化シリコン膜，窒化シリコン膜を成膜する。

【０３０７】

次いで、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面にアルミニウムなどの電極材料を、スパッタ法等により、１５０℃で１μｍの厚みに堆積する。その後、これをパターニングして、ＰチャンネルＭＯＳＴＦＴ及びＮチャンネルＭＯＳＴＦＴの、それぞれのソース又はドレイン電極およびゲートコンタクトまたは配線を形成する。

その後、フォーミングガス（N_2＋H_2）中４００℃で１時間シンター処理し、オーミックコンタクトと表面準位を改善し、各ＭＯＳＴＦＴを完成する。

【０３０８】

その後、前記具体的実施例1と同様な方法で、水蒸気アニール処理およびプラズマクリーニング（またはスパッタクリーニング）を行う。

本例では、レーザーアニール工程と、水蒸気アニール工程およびプラズマクリーニング工程（またはスパッタクリーニング工程）との双方を備えるように構成しているが、これら双方のいずれかを備えるように構成しても良い。

【０３０９】

また、本例では、水蒸気アニール工程をソース電極およびドレイン電極、トップゲート電極形成後に行っているため、水蒸気アニール工程を行った後にプラズマクリーニング（またはスパッタクリーニング）を行うように構成している。しかし、水蒸気アニール工程は、トップゲート絶縁膜の酸化シリコン膜等を成膜した後すぐに行ってもよい。特に、図１８に示すように、成膜室４３等の他に水蒸気アニール室４５を備えるマルチチャンバからなる真空容器を用いて成膜および水蒸気アニールをする場合には、成膜と水蒸気アニール工程とを同じ装置内で連続して行うことができる。

このように、水蒸気アニール工程を電極形成前に行う場合には、これらの電極が水蒸気によって腐食されないため、これらの電極のプラズマクリーニングまたはスパッタクリーニング工程を行う必要はない。

【０３１０】

なお、本例では、上記シリコン薄膜のほか、ゲルマニウム、シリコンゲルマニウム等の多結晶半導体または微結晶半導体或いはアモルファス半導体薄膜等を形成することができる。

【０３１１】

（具体的実施例４）

具体的な実施例４として、トップゲート型単結晶シリコンＣＭＯＳＴＦＴ製法の実施例を示す。まず、基板１０の少なくともＴＦＴ形成領域に適当な形状，寸法の段差を形成し、バイアス触媒ＣＶＤ法により半導体膜とゲート絶縁膜を連続成膜させて、段差をシードにグラフォエピタキシャル成長させる。このように、少なくとも、ポリシリコン膜とゲート絶縁膜用の酸化シリコン膜とを成膜するときには、キャリアガスとしての水素ガスを供給し、また、熱触媒体５を加熱して熱分解および触媒作用が可能な状態にしておき、連続成膜するものとする。

基板１０の材質および大きさは、上記具体的実施例１と同様の基準により選択される。

【０３１２】

次に、第１工程～第１２工程からなるトップゲート型単結晶シリコンＣＭＯＳＴＦＴの作製工程について説明する。

まず、第１工程で、図３１に示すように、基板１０の一主面に、フォトレジストｒ１を所定パターンに形成し、これをマスクとして、例えば、四フッ化炭素（CF_4）プラズマのF^+イオンを照射し、リアクティブイオンエッチング（ＲＩＥ）によって、基板１０に段差１０ａを複数個形成する。

【０３１３】

この場合、段差１０ａは、後述する単結晶シリコンのグラフォエピタキシャル成長時のシードとなるものであって、例えば、深さＤ０．０５～０．２μｍ、長さＬ５．０～１０．０μｍ、幅Ｗ２．０～１０．０μｍに形成される。

【０３１４】

次いで、第２工程で、フォトレジストｒ１の除去後に、上記具体的実施例１と同様の手順により、保護膜用の窒化シリコン膜５０～１００（ｎｍ）厚と保護膜用の酸化シリコン膜５０～１００（ｎｍ）厚を成膜する。

なお、基板１０上に保護膜用の窒化シリコン膜、酸化シリコン膜を積層し、この膜に、段差１０ａを複数個形成するようにしてもよい。但し、基板からのNa^+イオン等のコンタミネーションが防止できるように、段差の底には窒化シリコン膜が存在することが望ましい。

【０３１５】

次いで、第３工程で、図３２に示すように、バイアス触媒ＣＶＤにより、基板１０上に単結晶シリコン膜を形成する。このとき、成膜装置１内に、キャリアガスとしての水素ガス５０～１００ＳＣＣＭを導入する。また、原料ガスとしてのモノシラン１～２０ＳＣＣＭおよびSnH_4 １～２０ＳＣＣＭとを導入し、バイアス触媒ＣＶＤ法によって、基板１０上に単結晶シリコン膜を形成する。このときに、段差１０ａをシードにグラフォエピタキシャル成長させて、単結晶シリコン膜２２を数μｍ～０．００５μｍ（例えば５０～１００（ｎｍ））厚に、エピタキシャル成長させる。

【０３１６】

なお、必要に応じて、原料ガスのシラン系ガス（モノシラン又はジシラン又はトリシラン等）に、Ｎ型のリン又はひ素又はアンチモン等を適量混入したり、又はＰ型のボロンを適量混入することで、任意のＮ又はＰ型不純物キャリア濃度の単結晶シリコン膜を形成することができる。

Ｎ型化の場合は、例えば、フォスフィン、アルシン、スチビンが採用され、Ｐ型化の場合は、例えば、ジボランが採用される。

【０３１７】

基板１０上に堆積した単結晶シリコン膜２２は、エピタキシャル成長したものであるが、これは、グラフォエピタキシーと称される公知の現象によるものである。この単結晶シリコン膜の膜質および成膜速度は、熱触媒体温度，基板温度，さらに熱触媒体の触媒作用による活性化水素イオンH^*の段差表面のクリーニング等により決定される。そして、上記段差１０ａの形状を種々に変えることによって、成長層の結晶方位を制御することができる。

このとき、成膜装置１内での原料ガスの割合を高めるために、マスフローコントローラーＭを制御して、水素ガスの供給を成膜の途中で低減させ、単結晶シリコン膜を高速で成膜するように構成してもよい。

【０３１８】

単結晶シリコン膜２２が形成されたら、図３３に示すように、第５工程として、上記具体的実施例１の第５工程と同様の手順によりゲート絶縁膜用の酸化シリコン膜２３，または必要に応じて酸化シリコン膜２３及び窒化シリコン膜を成膜する。

【０３１９】

こうして、バイアス触媒ＣＶＤ法とグラフォエピタキシーによって、基板１０上に単結晶シリコン膜２２を堆積させる。次いで、単結晶シリコン膜を少なくともチャンネル領域とするＭＯＳＴＦＴの作製を行う。

【０３２０】

第６工程として、図３４に示すように、ＮチャンネルＭＯＳＴＦＴ用のチャンネル領域の不純物濃度を制御するために、ＰチャンネルＭＯＳＴＦＴをフォトレジストｒ２でマスクし、Ｐ型不純物イオン（例えば、二フッ化ホウ素イオンBF_2^+）を、例えば、２０～３０ｋｅＶで5×10^{12}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入し、単結晶シリコン膜の導電型をＰ型化したシリコン層ｌ１とする。

【０３２１】

次いで、第７工程として、図３５に示すように、ＰチャンネルＭＯＳＴＦＴ用のチャンネル領域の不純物濃度を制御するために、今度は、ＮチャンネルＭＯＳＴＦＴをフォトレジストｒ３でマスクし、Ｎ型不純物イオン（例えば、リンイオンP^+）を、例えば、４０～５０ｋｅＶで5×10^{12}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入し、単結晶シリコン膜のＮ型化したシリコン層ｌ２とする。

【０３２２】

次いで、第８工程では、図３６に示すように、ゲート電極材料としてのモリブデン／タンタル合金膜２４を、例えば、スパッタ法によって４００（ｎｍ）厚に堆積させる。

【０３２３】

次いで、第９工程では、図３７に示すように、フォトレジストｒ４を所定パターンに形成し、これをマスクにして、モリブデン／タンタル合金膜２４をゲート電極２５の形状にパターニングし、フォトレジストｒ４を除去する。

【０３２４】

次いで、第１０工程では、図３８に示すように、ＰチャンネルＭＯＳＴＦＴ及びゲート電極２５をフォトレジストｒ５でマスクし、Ｎ型不純物である、例えば、As^+イオンを、例えば、６０～７０ｋｅＶで1×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入しフォトレジスト除去後に、N_2中約１０００℃で２０秒～３０秒間のＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）で活性化し、ＮチャンネルＭＯＳＴＦＴのN^+型ソース領域Ｓ１及びドレイン領域Ｄ１をそれぞれ形成する。

【０３２５】

次いで、第１１工程では、図３９に示すように、ＮチャンネルＭＯＳＴＦＴ及びゲート電極２５をフォトレジストｒ６でマスクし、Ｐ型不純物である、例えば、B^+イオンを、例えば、３０ｋｅＶで1×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入しフォトレジスト除去後に、N_2中約１０００℃で２０秒～３０秒間のＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）で活性化し、ＰチャンネルＭＯＳＴＦＴのP^+型ソース領域Ｓ２及びドレイン領域Ｄ２をそれぞれ形成する。なお、このＲＴＡ処理はＮチャンネルＭＯＳＴＦＴの活性化を一緒にしてもよい。

【０３２６】

次いで、第１２工程では、図４０に示すように、全面にバイアス触媒ＣＶＤ等によって、酸化シリコン膜２７を、例えば５０～１００（ｎｍ）厚、リンシリケートガラス（ＰＳＧ）膜２８を、例えば２００～３００（ｎｍ）厚、窒化シリコン膜２９を、例えば、１５０～２００（ｎｍ）厚に成膜する。

【０３２７】

次いで、第１３工程では、図４１に示すように、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面に、アルミニウムなどの電極材料をスパッタ法等によって１５０℃で１μｍの厚みに堆積し、これをパターニングして、ＰチャンネルＭＯＳＴＦＴ及びＮチャンネルＭＯＳＴＦＴの、それぞれのソース又はドレイン電極Ｓ又はＤとゲート取出し電極又は配線Ｇを形成する。

【０３２８】

次いで、上記具体的実施例１の第１４工程及び第１５工程と同様の手順により、水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を行う。その後、フォーミングガス（N_2+H_2）中４００℃で１時間シンター処理してオーミックコンタクトと表面準位を改善し、各ＭＯＳＴＦＴを完成する。

【０３２９】

本例では、基板の少なくとも半導体装置形成領域に段差を形成し、この段差をシードに単結晶シリコン膜をグラフォエピタキシャル成長させているので、高い電子／正孔移動度を有し、動作性に優れる単結晶シリコン膜を得ることができる。
さらに、水蒸気アニール処理により、絶縁膜が改質され、ゲート絶縁膜と単結晶シリコン膜との界面準位が改善されるので、更に動作特性に優れる半導体装置を得ることができる。
なお、当然であるが、単結晶シリコン膜を成膜する場合には、レーザーアニール処理は行わない。レーザーアニール処理を行うと、単結晶シリコンがポリシリコン膜化し、特性悪化するからである。

【０３３０】

（具体的実施例５）
具体的な実施例５として、ボトムゲート型単結晶シリコンＣＭＯＳＴＦＴ製法の実施例を示す。基板１０の材質，大きさは、上記具体的実施例１と同様の基準により選択される。

【０３３１】

上記ボトムゲート型単結晶シリコンＣＭＯＳＴＦＴの作製工程について説明する。まず、基板１０の少なくともＴＦＴ領域に、モリブデン／タンタル合金のスパッタ膜３００～４００（ｎｍ）厚を形成する。そして、汎用フォトリソグラフィ及びエッチング技術により、２０～４５度のテーパーエッチングを施し、ボトムゲート電極を形成する。

【０３３２】

次いで、上記具体的実施例１の第１工程乃至第３工程と同様の手順により、保護膜用，ボトムゲート絶縁膜用の窒化シリコン膜５０～１００（ｎｍ）厚および酸化シリコン膜５０～１００（ｎｍ）厚を形成する。なお、このとき、窒化シリコン膜および酸化シリコン膜の代わりに、酸窒化シリコン膜を形成してもよい。

【０３３３】

次いで、基板１０の一主面に、フォトレジストを所定パターンに形成し、これをマスクとして、例えば、CF_4プラズマのF^+イオンを照射し、リアクティブイオンエッチング（ＲＩＥ）によって、基板１０のＴＦＴ形成領域内に、段差を複数個形成する。
この場合、段差は、後述する単結晶シリコンのグラフォエピタキシャル成長時のシードとなるものであって、深さＤ０．０５～０．２μｍ、長さＬ２～１０μｍ、幅Ｗ２～１０μｍであってよい。

【０３３４】

フォトレジストの除去後に、上記具体的実施例４と同様の手順により、基板１０上の段差をシードとして単結晶シリコン膜数μｍ～０．００５μｍ（例えば５０～１００（ｎｍ））厚を成膜する。

【０３３５】

単結晶シリコン膜が形成されたら、上記具体的実施例１の第５工程と同様の手順により保護膜用の酸化シリコン膜を成膜する。
こうして、バイアス触媒ＣＶＤ法とグラフォエピタキシーによって、基板１０上の段差をシードとして単結晶シリコン膜を堆積させる。次いで、前記具体的実施例２と同様の方法で、単結晶シリコン膜を少なくともチャンネル領域とするＭＯＳＴＦＴの作製を行う。

【０３３６】

上記具体的実施例１の第１４工程及び第１５工程と同様の手順により、水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を行う。
その後、フォーミングガス（N_2＋H_2）中４００℃で１時間シンター処理してオーミックコンタクトと表面準位を改善し、各ＭＯＳＴＦＴを完成する。

【０３３７】

（具体的実施例６）
具体的な実施例６として、デュアルゲート型単結晶シリコンＣＭＯＳＴＦＴ製法の実施例について説明する。基板１０の材質，大きさは、上記具体的実施例１と同様の基準により選択される。

【０３３８】
上記デュアルゲート型単結晶シリコンＣＭＯＳＴＦＴの作製工程について説明する。基板１０の少なくともＴＦＴ領域に、モリブデン／タンタル合金のスパッタ膜を３００～４００（ｎｍ）厚形成する。そして、汎用フォトリソグラフィ及びエッチング技術により、２０～４５度のテーパーエッチングを施し、ボトムゲート電極を形成する。
【０３３９】
次いで、上記具体的実施例１の第１工程乃至第３工程と同様の手順により、保護膜用，ボトムゲート絶縁膜用の窒化シリコン膜５０～１００（ｎｍ）厚および酸化シリコン膜５０～１００（ｎｍ）厚を形成する。なお、このとき、窒化シリコン膜および酸化シリコン膜の代わりに、酸窒化シリコン膜を形成してもよい。
【０３４０】
次いで、基板１０の一主面に、フォトレジストを所定パターンに形成し、これをマスクとして、例えば、CF_4プラズマのF^+イオンを照射し、リアクティブイオンエッチング（ＲＩＥ）によって、基板１０のＴＦＴ形成領域内に、段差を複数個形成する。
この場合、段差は、後述する単結晶シリコンのグラフォエピタキシャル成長時のシードとなるものであって、深さＤ０．０５～０．２μｍ、長さＬ２～１０μｍ、幅Ｗ２～１０μｍであってよい。
【０３４１】
次いで、上記具体的実施例４と同様の手順により、基板１０上の段差をシードとして単結晶シリコン膜を数μｍ～０．００５μｍ（例えば５０～１００（ｎｍ））厚に、グラフォエピタキシャル成長させる。
こうして、バイアス触媒ＣＶＤ法とグラフォエピタキシーによって、基板１０上の段差をシードとして単結晶シリコン膜を堆積させる。
【０３４２】
次いで、上記具体的実施例３と同様な方法で、単結晶シリコン膜を少なくともチャンネル領域とするＭＯＳＴＦＴの作製を行う。
単結晶シリコン膜が形成されたら、上記具体的実施例１の第５工程と同様の手順により、トップゲート絶縁膜用の酸化シリコン膜、または必要に応じて酸化シリコン膜と窒化シリコン膜を成膜する。なお、このとき、窒化シリコン膜および酸化シリコン膜の代わりに、酸窒化シリコン膜を形成してもよい。
【０３４３】
次に、上記トップゲート絶縁膜用の酸化シリコン膜或いは窒化シリコン膜のソース、ドレイン領域を窓あけして、モリブデン／タンタル合金のスパッタ膜を全面に形成し、汎用フォトリソグラフィ及びエッチング技術によりソース、ドレインおよびトップゲート電極を形成する。
【０３４４】
なお、本例では、トップゲート、ソース電極およびドレイン電極形成後に、前記具体的実施例1と同様な方法で、水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を行う。
その後、フォーミングガス（N_2＋H_2）中４００℃で１時間シンター処理してオーミックコンタクトと表面準位を改善し、各ＭＯＳＴＦＴを完成する。
【０３４５】
（具体的実施例７）
具体的な実施例７として、単結晶シリコン膜をヘテロエピタキシャル成長により形成して得た、トップゲート型単結晶シリコンＣＭＯＳＴＦＴ製法の実施例を示す。まず、基板１０の少なくともＴＦＴ形成領域に、バイアス触媒ＣＶＤ法等によりキャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して熱分解および触媒作用が可能な状態にしておき、単結晶半導体（単結晶シリコン）と格子整合の良い物質層（結晶性サファイア膜等）を形成し、前記格子整合の良い物質をシードにヘテロエピタキシャル成長させる。
基板１０の材質および大きさは、上記具体的実施例１と同様の基準により選択される。

【０３４６】
上記、第１工程～第１３工程からなるトップゲート型単結晶シリコンＣＭＯＳＴＦＴの作製工程について、さらに詳細に説明する。
まず、第１工程，第２工程で、上記具体的実施例の第１工程，第２工程と同様の手順により、保護膜用の窒化シリコン膜５０～２００（ｎｍ）厚を形成する。
【０３４７】
次いで、第３工程で、単結晶半導体（単結晶シリコン）と格子整合の良い物質層（結晶性サファイア膜等）を形成する。すなわち、図４２に示すように、基板１０の一主面に、バイアス触媒ＣＶＤ法等により、結晶性サファイア薄膜５０を５～２００（ｎｍ）厚形成する。結晶性サファイア薄膜５０は、トリメチルアルミニウムガスを酸化性ガス（酸素・水分）で酸化し、結晶化させて作製する。
【０３４８】
次いで、第４工程で、単結晶シリコン膜２２を形成する。第２工程で、水素ガスを低減または停止させた場合は、成膜装置１内に、キャリアガスとしての水素ガス５０～１００ＳＣＣＭを導入する。また、原料ガスとしてのモノシラン１～２０ＳＣＣＭを導入し、バイアス触媒ＣＶＤ法によって、基板１０上に単結晶シリコン膜を成膜する。このときに、図４３に示すように、結晶性サファイア薄膜５０上に、全面に単結晶シリコン膜２２を、０．００５μｍ～数μｍ（例えば、５０～１００（ｎｍ））厚に、エピタキシャル成長させる。
【０３４９】
このようにして、シリコンは、結晶性サファイア薄膜５０をシード（種）としてヘテロエピタキシャル成長し、例えば、５０～１００（ｎｍ）厚程度の単結晶シリコン膜２２として析出する。この場合、サファイアは、単結晶シリコンと格子定数が殆ど同じであるので、シリコンは、結晶性サファイア薄膜５０上にヘテロエピタキシャル成長する。
【０３５０】
なお、必要に応じて、原料ガスのシラン系ガス（モノシラン又はジシラン又はトリシラン等）に、Ｎ型のリン又はひ素又はアンチモン等を適量混入したり、又はＰ型のボロンを適量混入することで、任意のＮ又はＰ型不純物キャリア濃度の単結晶シリコン膜を形成することができる。
Ｎ型化の場合は、例えば、フォスフィン、アルシン、スチビンが採用され、Ｐ型化の場合は、例えば、ジボランが採用される。
【０３５１】
このとき、成膜装置１内での原料ガスの割合を高めるために、マスフローコントローラーＭを制御して、水素ガスの供給を成膜の途中で低減させ、単結晶シリコン膜を高速で成膜するように構成してもよい。
【０３５２】
その後、図４４に示すように、第５工程として、上記具体的実施例１の第５工程と同様の手順により、ゲート絶縁膜用の酸化シリコン膜２３を成膜する。このとき、単結晶シリコン膜とゲート絶縁膜用酸化シリコン膜は連続成膜とする。また、これらの膜を形成した後、必要に応じて窒化シリコン膜を形成してもよい。また、酸化シリコン膜と窒化シリコン膜を形成する代わりに、酸窒化シリコン膜を形成してもよい。
薄膜形成後は、原料ガスをカットし、熱触媒体を問題ない温度まで冷却して、キャリアガスの導入を停止する。
【０３５３】
こうして、バイアス触媒ＣＶＤ法とヘテロエピタキシーによって、基板１０上に単結晶シリコン膜２２を堆積させる。次いで、単結晶シリコン膜をチャンネル領域とするＭＯＳＴＦＴの作製を行う。
【０３５４】
第６工程として、図４５に示すように、ＮチャンネルＭＯＳＴＦＴ用のチャンネル領域の不純物濃度を制御するために、ＰチャンネルＭＯＳＴＦＴをフォトレジストｒ１でマスク

し、Ｐ型不純物イオン（例えば、二フッ化ホウ素イオンBF_2^+）を、例えば、２０～３０ｋｅＶで5×10^{12}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入し、単結晶シリコン膜の導電型をＰ型化したシリコン層ｌ１とする。

【０３５５】

次いで、第７工程として、図４６に示すように、ＰチャンネルＭＯＳＴＦＴ用のチャンネル領域の不純物濃度を制御するために、今度は、ＮチャンネルＭＯＳＴＦＴをフォトレジストｒ２でマスクし、Ｎ型不純物イオン（例えば、リンイオンP^+）を、例えば、４０～５０ｋｅＶで5×10^{12}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入し、単結晶シリコン膜のＮ型化したシリコン層ｌ２とする。

【０３５６】

次いで、第８工程では、図４７に示すように、ゲート電極材料としてのモリブデン／タンタル合金膜２４を、例えば、スパッタ法によって厚さ４００（ｎｍ）厚に堆積させる。

【０３５７】

次いで、第９工程では、図４８に示すように、フォトレジストｒ３を所定パターンに形成し、これをマスクにして、モリブデン／タンタル合金膜２４をゲート電極２５の形状にパターニングし、フォトレジストｒ３の除去する。

【０３５８】

次いで、第１０工程では、図４９に示すように、ＰチャンネルＭＯＳＴＦＴ及びゲート電極２５をフォトレジストｒ４でマスクし、Ｎ型不純物である、例えば、As^+イオンを、例えば、６０～７０ｋｅＶで1×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入しフォトレジスト除去後に、N_2中約１０００℃で２０秒～３０秒間のＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）で活性化し、ＮチャンネルＭＯＳＴＦＴのN^+型ソース領域Ｓ１及びドレイン領域Ｄ１をそれぞれ形成する。

【０３５９】

次いで、第１１工程では、図５０に示すように、ＮチャンネルＭＯＳＴＦＴ及びゲート電極２５をフォトレジストｒ５でマスクし、Ｐ型不純物である、例えば、B^+イオンを、例えば、２０～３０ｋｅＶで1×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でイオン注入しフォトレジスト除去後に、N_2中約１０００℃で２０秒～３０秒間のＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）で活性化し、ＰチャンネルＭＯＳＴＦＴのP^+型ソース領域Ｓ２及びドレイン領域Ｄ２をそれぞれ形成する。なお、このＲＴＡ処理はＮチャンネルＭＯＳＴＦＴの活性化を一緒にしてもよい。

【０３６０】

次いで、第１２工程では、図５１に示すように、全面にバイアス触媒ＣＶＤ等によって、酸化シリコン膜２７を、例えば５０～１００（ｎｍ）厚、リンシリケートガラス（ＰＳＧ）膜２８を、例えば２００～３００（ｎｍ）厚、窒化シリコン膜２９を、例えば、１５０～２００（ｎｍ）厚に成膜する。

【０３６１】

次いで、第１３工程では、図５１に示すように、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面に、アルミニウムなどの電極材料をスパッタ法等によって１５０℃で１μｍの厚みに堆積し、これをパターニングして、図５２に示すように、ＰチャンネルＭＯＳＴＦＴ及びＮチャンネルＭＯＳＴＦＴの、それぞれのソース又はドレイン電極Ｓ又はＤとゲート取出し電極又は配線Ｇを形成する。

【０３６２】

次いで、第１４工程では、上記具体的実施例１の第１４工程及び第１５工程と同様の手順により、水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を行う。

その後、フォーミングガス（N_2+H_2）中４００℃で１時間シンター処理してオーミックコンタクトと表面準位を改善し、各ＭＯＳＴＦＴを完成する。

【０３６３】

本例では、基板の少なくとも半導体装置形成領域には単結晶半導体、例えば単結晶シリコ

ンと格子整合の良い物質層を形成し、この格子整合の良い物質をシードに単結晶シリコン膜をヘテロエピタキシャル成長させているので、高い電子／正孔移動度を有し、動作性に優れる単結晶シリコン膜を得ることができる。

【０３６４】

（具体的実施例８）

具体的な実施例８として、単結晶半導体膜をヘテロエピタキシャル成長により形成して得た、ボトムゲート型単結晶シリコンＣＭＯＳＴＦＴ製法の実施例を示す。基板１０の材質および大きさは、上記具体的実施例１と同様の基準により選択される。

まず、基板１０の少なくともＴＦＴ形成領域に、モリブデン／タンタル合金のスパッタ膜３００～４００（ｎｍ）厚を形成し、ボトムゲート電極を形成する。ボトムゲート電極には、汎用フォトリソグラフィ及びエッチング技術により、２０～４５度のテーパーエッチングを施す。

次に、上記具体的実施例１の第１工程～第３工程と同様の手順により、保護膜用，ボトムゲート絶縁膜用の窒化シリコン膜５０～１００（ｎｍ）厚，酸化シリコン膜５０～１００（ｎｍ）厚を形成する。この窒化シリコン膜，酸化シリコン膜の代わりに、酸窒化シリコン膜５０～２００（ｎｍ）厚としてもよい。

【０３６５】

次いで、上記具体的実施例７と同様の手順により、結晶性サファイア薄膜５～２００（ｎｍ）厚を形成する。

次いで、上記具体的実施例７と同様の手順により、単結晶シリコン膜０．００５μｍ～数μｍ（例えば、５０～１００（ｎｍ））厚をヘテロエピタキシャル成長させる。

【０３６６】

このようにして、シリコンは、結晶性サファイア薄膜をシード（種）としてヘテロエピタキシャル成長し、厚さ、例えば、５０～１００（ｎｍ）厚程度の単結晶シリコン膜として析出する。

なお、この結晶性サファイア膜は、シリコンのヘテロエピタキシャル成長のシードであり、かつボトムゲート絶縁膜としての役割も果たす。

【０３６７】

その後、上記具体的実施例１の第５工程と同様の手順により、保護膜用の酸化シリコン膜を成膜する。成膜後は、原料ガスをカットし、熱触媒体を問題ない温度まで冷却して、キャリアガスの導入を停止する。

【０３６８】

こうして、バイアス触媒ＣＶＤ法とヘテロエピタキシーによって、基板１０上に単結晶シリコン膜を堆積させる。次いで、前記具体的実施例７と同様の方法で、単結晶シリコン膜を少なくともチャンネル領域とするＭＯＳＴＦＴの作製を行う。

なお、本例では、ソース電極およびドレイン電極形成後に、前記具体的実施例1と同様の方法で、水蒸気アニール処理を行う。

【０３６９】

（具体的実施例９）

具体的な実施例９として、単結晶シリコン膜をヘテロエピタキシャル成長により形成して得た、デュアルゲート型単結晶シリコンＣＭＯＳＴＦＴ製法の実施例について説明する。基板１０の材質および大きさは、上記具体的実施例１と同様の基準により選択される。

デュアルゲート型単結晶シリコンＣＭＯＳＴＦＴは、以下の工程で作製される。

まず、基板１０の少なくともＴＦＴ領域に、モリブデン／タンタル合金のスパッタ膜を３００～４００（ｎｍ）厚形成する。そして、汎用フォトリソグラフィ及びエッチング技術により、２０～４５度のテーパーエッチングを施し、ボトムゲート電極を形成する。

【０３７０】

次いで、上記具体的実施例１の第１工程～第３工程と同様の手順により、保護膜用，ボトムゲート絶縁膜用の窒化シリコン膜５０～１００（ｎｍ）厚，酸化シリコン膜５０～１００（ｎｍ）厚を形成する。なお、これらの窒化シリコン膜，酸化シリコン膜を形成する代

わりに、酸窒化シリコン膜５０～２００（ｎｍ）厚を形成してもよい。
【０３７１】
次いで、上記具体的実施例７と同様の手順により、結晶性サファイア薄膜５～２００（ｎｍ）厚を形成する。次いで、上記具体的実施例７と同様の手順により、単結晶シリコン膜０．００５μｍ～数μｍ（例えば、５０～１００（ｎｍ））厚をヘテロエピタキシャル成長させる。
【０３７２】
このようにして、シリコンは、結晶性サファイア薄膜をシード（種）としてヘテロエピタキシャル成長し、厚さ、例えば、５０～１００（ｎｍ）厚程度の単結晶シリコン膜として析出する。
こうして、バイアス触媒ＣＶＤ法とヘテロエピタキシーによって、基板１０上に単結晶シリコン膜を堆積させる。その後、単結晶シリコン膜を少なくともチャンネル領域とするＭＯＳＴＦＴの作製を行う。
【０３７３】
その後、上記具体的実施例１の第５工程と同様の手順により、トップゲート絶縁膜用の酸化シリコン膜５０～１００（ｎｍ）厚を成膜する。また、必要に応じて窒化シリコン膜５０～１００（ｎｍ）厚を成膜する。なお、これらの酸化シリコン膜，窒化シリコン膜の代わりに、酸窒化シリコン膜５０～２００（ｎｍ）厚を形成してもよい。
また、成膜後は、原料ガスをカットし、熱触媒体５を問題ない温度まで冷却して、キャリアガスの導入を停止する。
なお、この結晶性サファイア薄膜は、シリコンのヘテロエピタキシャル成長のシードであり、かつボトムゲート絶縁膜としての役割も果たす。
【０３７４】
次に、上記トップゲート絶縁膜用の酸化シリコン膜のソース、ドレイン領域を窓明けして、モリブデン／タンタル合金のスパッタ膜を全面に形成して、汎用フォトリソグラフィ及びエッチング技術によりソース、ドレインおよびトップゲート電極を形成する。
【０３７５】
なお、本例では、トップゲート電極，ソース電極およびドレイン電極形成後に、前記具体的実施例1と同様な方法で、水蒸気アニール処理，電極のプラズマクリーニングまたはスパッタクリーニングを行う。
【０３７６】
【発明の効果】
本発明は、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することを含む半導体膜形成工程を行うことにより、下記に示す効果を奏する。
すなわち、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを利用して、基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することにより、反応ガスを加熱された触媒体に接触させ、これによって生成した反応種（高いエネルギーを持つラジカルな堆積種又はその前駆体及びラジカルイオン）にグロー放電開始電圧以下のＤＣ、又はＡＣ／ＤＣ、又はＲＦ／ＤＣ等の電界を作用させて指向性の運動エネルギーを与え、基板上に所定の膜を気相成長させているので、次に示すような顕著な作用効果が得られる。
【０３７７】
（１）熱触媒体によって生成した反応種（高いエネルギーを持つラジカルな堆積種又はその前駆体及びラジカルイオン）が、電界の作用により指向性の運動エネルギーを受け、基板上に効率良く導かれると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒体ＣＶＤ法に比べて、上記反応種の運動エネルギーを電界により独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑正の向上、ビアホールなどへの埋め込み性とステップカバレージの向上を図ることができる。さらに、基板温度の低温化、生成膜のストレスコントロール等が

可能となり、高品質膜が実現する。
（２）触媒体で生成された反応種（イオン、ラジカル等）を電界で独立してコントロールし、効率良く基体上に堆積できるので、反応ガスの利用効率が高く、生成速度を早め、生産性向上と反応ガス削減によるコストダウンを図ることができる。
（３）プラズマＣＶＤ法に比べ、はるかにシンプルで安価な装置が実現する。
（４）常圧タイプでも上記の電界を加えるので、密度、均一性、密着性のよい高品質膜が得られる。
（５）反応種の運動エネルギーが大きく、低温の基板によっても目的とする良質の膜が得られることから、基板温度を低温化できるため、大型で安価な絶縁基板（ほうけい酸ガラス、アルミノけい酸ガラス等のガラス基板、ポリイミド等の耐熱性樹脂基板等）を使用でき、この点でもコストダウンが可能となる。

【０３７８】
また、本発明をバイアス触媒ＣＶＤにより行う場合には、プラズマの発生がないので、プラズマによるダメージがなく、低ストレスの生成膜が得られる。本発明を高密度バイアス触媒ＣＶＤにより行う場合には、プラズマの影響が基板におよびにくく、プラズマによるダメージが低減され、低ストレスの生成膜が得られる。

【０３７９】
また、本発明では、半導体膜をレーザーでアニール処理するように構成しているので、半導体膜の極表面のみが瞬時に熱せられ、基板への熱の影響が及びにくくなり、基板の変形を起こすことなく、アモルファスシリコンまたは微結晶シリコン薄膜を結晶化でき、又不純物の活性化もでき、例えば移動度の大きい薄膜に変えることができる。しかも、この結晶化、活性化は基板全体を高温にすることなく、低温で行うことができる。また、薄膜半導体装置の性能を向上し、かつ製造を容易にするものである。

【０３８０】
また、本発明によれば、水蒸気を含む低圧高温または高圧高温雰囲気内におけるアニールを行うため、４００℃以下の低温の加熱処理であっても効果的に、半導体と絶縁膜との界面準位の改善と、絶縁膜の改質をはかることができる。

【０３８１】
また、絶縁膜の改質，すなわち絶縁膜中の水およびＯＨ基を低減することによって、ゲート絶縁膜または半導体膜の、ホットエレクトロン劣化を抑制する効果を得ることができる。

【０３８２】
更に、ゲート絶縁膜中の欠陥や不純物に起因する静電荷を中性化し、負に寄ったフラットバンド電圧を０Ｖ側に近づけることができることから、ｎチャネルＭＩＳトランジスタにおけるディプリーション型への移行を回避してエンハンスメント型とし、ｐチャネルＭＩＳトランジスタにおいてはしきい値電圧V_{th}の増大化を回避して確実な動作を行わしめることができるので、両導電型チャネルのＭＩＳトランジスタによるＣＭＯＳ等の集積回路化を容易に行うことができる。

【０３８３】
また、同一半導体基板における素子特性のばらつきを小さくすることができ、回路の集積化が容易となる。
また、半導体膜と絶縁膜の界面特性の向上、すなわちスレッショホールド値を下げ、オン電流を増大させ、オフ電流を低下させ、しきい値電圧V_{th}を低下させる効果を奏することができるものであり、集積回路の高速動作化が実現できるものである。

【０３８４】
また、電極形成後の水蒸気アニール処理後に、少なくとも電極表面をスパッタクリーニング又はプラズマクリーニングしてその酸化膜及び水酸化膜を除去するので、外部取り出し（金線ボンディング、無電解Ｎｉ／Ａｕメッキ＋半田バンプ）の電気／機械的コンタクトが改善され、特性、品質及び信頼性が向上する。

【０３８５】

また、本発明によれば、コントロールファクターとしての電界の種類及び強さ、触媒体の種類及び温度、基板加熱温度、気相成膜条件、原料ガスの種類、添加するＮ又はＰ型不純物濃度等を変更することにより、広範囲のＮ又はＰ型不純物濃度の半導体膜が効率よく容易に得られるので、高移動度でV_{th}調整が容易で、低抵抗での高速動作が可能である。また、基板温度の更なる低温化が実現し、安価で大型化が容易な低歪点ガラスや耐熱性樹脂基板等を採用でき、コストダウンが出来る。

【０３８６】

また、本発明では、バイアス触媒ＣＶＤまたは高密度バイアス触媒ＣＶＤを用いて基板に薄膜を形成するときに、活性化水素イオンＨ＊を常時発生させると共に電解を印加して、基板表面が常に効率よくクリーニングされるように構成されているので、ゲート絶縁膜の酸化シリコン膜とポリシリコン膜の界面にアモルファスシリコンの遷移層が形成されず、高品質な薄膜層を形成することが可能となる。

また、成膜後、レーザーアニール処理後、水蒸気アニール処理後における少なくともキャリアチャンネル領域，例えばゲート絶縁膜との界面付近のポリシリコン膜中の酸素，炭素，窒素のそれぞれの濃度を、例えば1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下に低減でき、水素の濃度を０．０１原子％／ｃｍ^{3}以上とできるので、高移動度，高品質のポリシリコン膜を形成することが可能となる。

【０３８７】

また、成膜する前に活性化水素イオンＨ＊で基板表面を常時クリーニングして、表面改質処理するので、基板表面の水や酸素等の分子付着が除去されて界面準位が低減し、それぞれの膜間のストレスが低く、高品質の成膜（窒化シリコン膜、酸化シリコン膜、ポリシリコン膜等）とすることが可能となる。特にゲート絶縁膜とシリコン膜を連続的に成膜する際に、活性化水素イオンＨ＊にさらす処理を有すると、水素アニール効果により、界面準位密度の低い半導体－絶縁体接合構造の高品質半導体装置を製造することが可能となる。

【０３８８】

このために、トップゲート型のみならず、ボトムゲート型、デュアルゲート型ＴＦＴでも、高い電子／正孔移動度のポリシリコン膜又は単結晶シリコン膜が得られる。したがって、この高性能のポリシリコン膜又は単結晶シリコン膜を使用した半導体装置、電気光学装置等の製造が可能となる。

【０３８９】

バイアス触媒ＣＶＤ法等により連続成膜するときに、同一チャンバ内でそれぞれの成膜用原料ガスを徐々に減少させたり、増加させたりすることにより傾斜接合の膜にすることが可能であるので、それぞれの膜間のストレスが低減し、高品質の絶縁体－半導体接合の半導体装置等の製造が可能となる。

【０３９０】

また、半導体膜と絶縁膜を真空容器中の異なるチャンバ内で成膜する場合は、コンタミ防止とそれぞれの膜間のストレス低減を図ることができ、高品質の半導体装置等の製造が可能となる。

【０３９１】

さらに、本発明では、真空容器内の異なる室内で、半導体膜および絶縁膜形成とレーザーアニール処理と水蒸気アニール処理とを行うことにより、連続的に半導体膜および絶縁膜形成とレーザーアニール処理と水蒸気アニール処理とを行うことが可能となる。さらに、これにより、コンタミネーション防止と作業性向上を図ることができ、高性能、高品質で安価な半導体装置等の製造が可能となる。

【図面の簡単な説明】

【図１】本発明の薄膜形成方法に使用する装置の一例を示す説明図である。

【図２】図１の装置を用いてバイアス触媒ＣＶＤを行う場合の説明図である。

【図３】図１の装置を用いてバイアス触媒ＣＶＤを行う場合の説明図である。

【図４】本発明で使用するＤＣバイアス触媒ＣＶＤ装置の要部の概略説明図である。

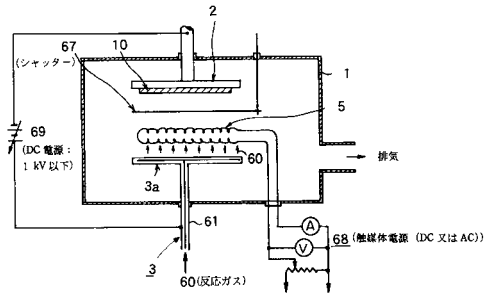
【図５】本発明で使用するＲＦ／ＤＣバイアス触媒ＣＶＤ装置の要部の概略説明図である

。
【図６】本発明で使用するＡＣ／ＤＣバイアス触媒ＣＶＤ装置の要部の概略説明図である。
【図７】本発明のバイアス触媒ＣＶＤの電圧の印加方法を種々示す概略図である。
【図８】本発明のバイアス触媒ＣＶＤで用いる加速電極の概略図である。
【図９】本発明のバイアス触媒ＣＶＤで反応種に荷電粒子を照射する場合に用いる装置の概略図である。
【図１０】チャンバへのガス導入形態を示すグラフ図である。
【図１１】チャンバへのガス導入形態を示すグラフ図である。
【図１２】チャンバへのガス導入形態を示すグラフ図である。
【図１３】チャンバへのガス導入形態を示すグラフ図である。
【図１４】チャンバへのガス導入形態を示すグラフ図である。
【図１５】チャンバへのガス導入形態を示すグラフ図である。
【図１６】ガスの供給方法の一例を示す説明図である。
【図１７】チャンバ内への水蒸気の供給方法の一例を示す説明図である。
【図１８】本発明の薄膜形成方法に使用する装置の他の例を示す説明図である。
【図１９】本発明の薄膜形成方法に使用する装置の他の例を示す説明図である。
【図２０】本発明の薄膜形成方法に使用する装置の他の例を示す説明図である。
【図２１】本発明の薄膜形成方法に使用する装置の他の例を示す説明図である。
【図２２】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図２３】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図２４】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図２５】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図２６】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図２７】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図２８】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図２９】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３０】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３１】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３２】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３３】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３４】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３５】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３６】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３７】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを

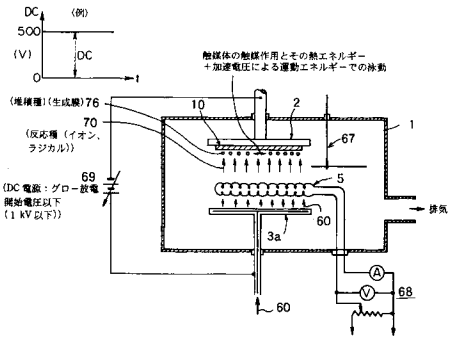
示す説明図である。
【図３８】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図３９】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４０】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４１】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４２】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４３】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４４】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４５】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４６】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４７】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４８】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図４９】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図５０】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【図５１】本発明の薄膜形成方法に使用するスパッタリング装置の一例を示す説明図である。
【図５２】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。
【符号の説明】
１　成膜装置
Ａ，Ｂ，Ｃ　チャンバ
１ａ　排気系
２　サセプタ
２ａ　上面
２ｂ　ヒータ
２ｃ　ヒータ電源
３　ガス導入系
３ａ　ガスシャワーヘッド
３ｂ　シャワーヘッドホルダー
３ｃ　手動バルブ
３ｄ　自動バルブ
３ｅ　三方弁
５　熱触媒体
５ａ　加熱手段
５ｂ　熱触媒体ホルダー
６　レール
８ａ　反応ガス供給ボックス

８ｂ　ベルト
１０　基板
１０ａ　段差
１１，１５，２１，２９　窒化シリコン膜
１２，１４，１９，２３，２７　酸化シリコン膜
１３，１３ｎ，１３ｐ　ポリシリコン膜
１６，２４　モリブデン／タンタル合金膜
１７，２５　ゲート電極
２０，２８　リンシリケートガラス（ＰＳＧ）膜
２２　単結晶シリコン膜
３０　直流電源
３１　水蒸気アニールチャンバ
３２　サセプタ
３３　ガス供給系
３４　圧力計
３５　水の収容部
３６　恒温槽
３７　連結管
３８　キャリアガス供給口
４１　ロード・ロック室
４２　セパレーション室
４３　成膜室
４４　レーザーアニール室
４５　水蒸気アニール室
４６　半導体膜成膜室
４７　絶縁膜成膜室
５０　サファイア薄膜
６０　反応ガス
６１　供給導管
６７　シャッター
６８　触媒体電源
６９　ＤＣ電源
７０　反応種
７１　ヒーター線
７２　磁気シール
７３　前室
７４　ターボ分子ポンプ室
７５　バルブ
７６　堆積種，生成膜
１０１　メッシュ電極
１１３　ロウパスフィルタ
１１４　整合回路
１１６　スイッチ
１２５　低周波電源

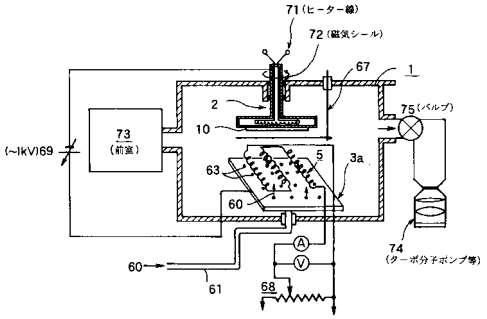
【図１】



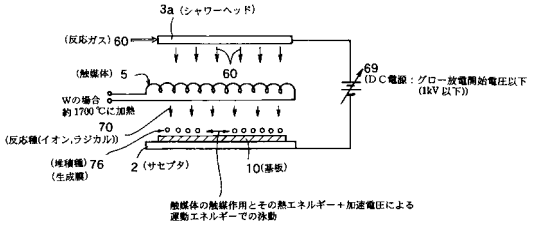
【図２】



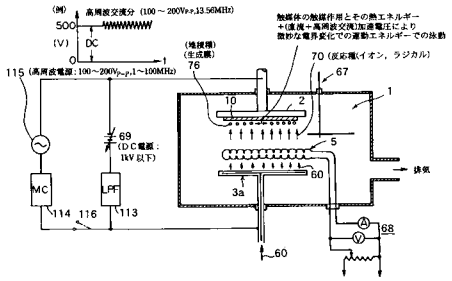
【図３】



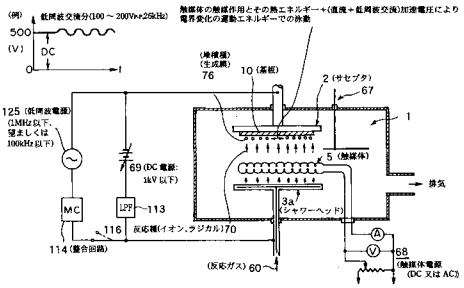
【図４】



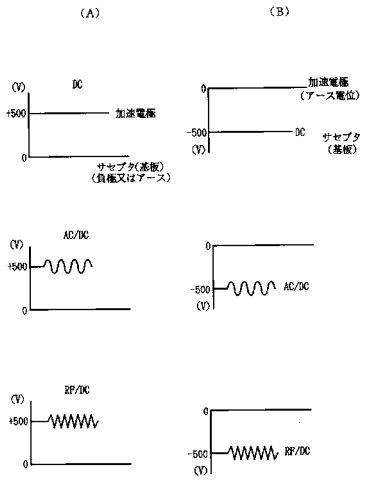
【図５】



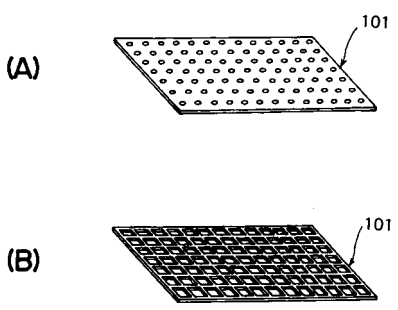
【図６】



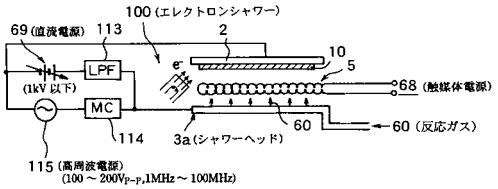
【図７】



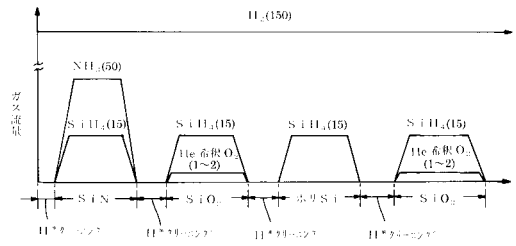
【図８】



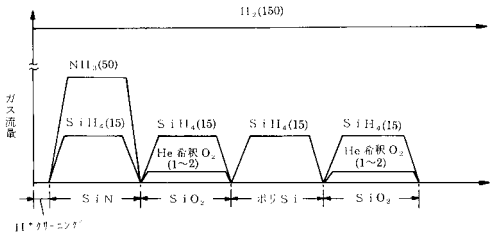
【図９】



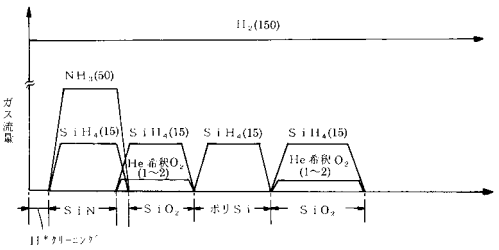
【図１０】



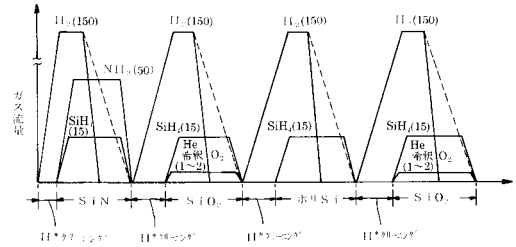
【図１１】



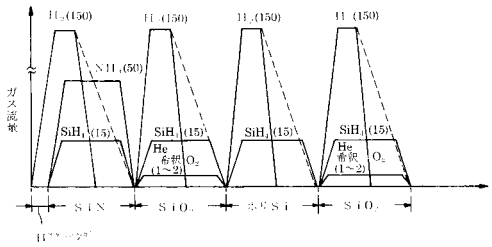
【図１２】



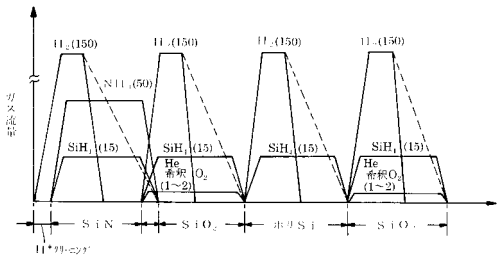
【図１３】



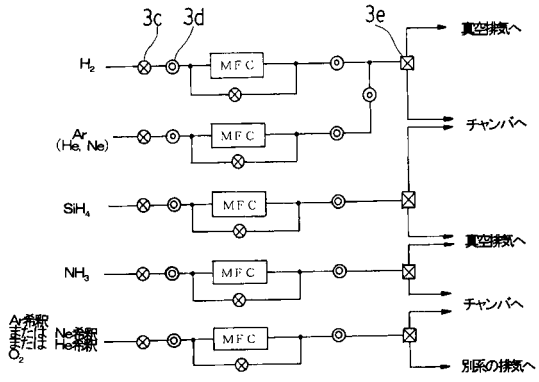
【図１４】



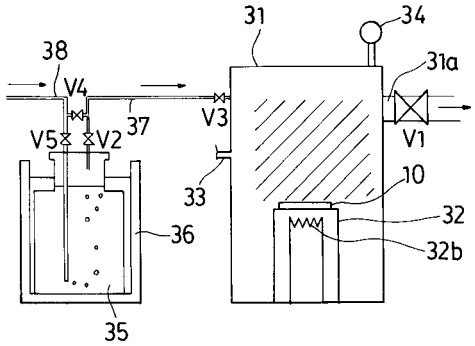
【図１５】



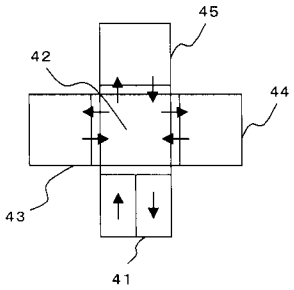
【図１６】



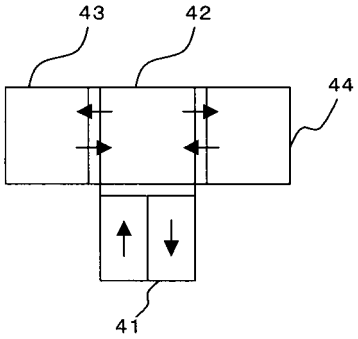
【図１７】



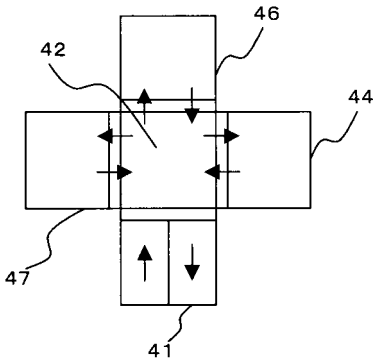
【図１８】



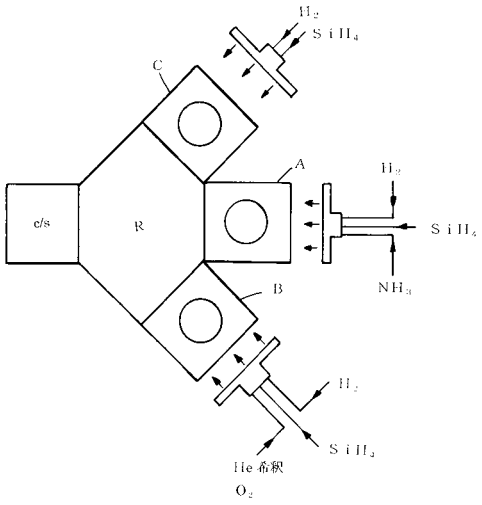
【図１９】



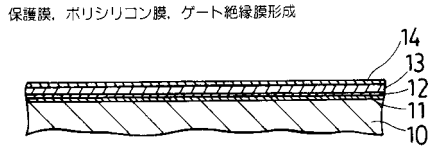
【図２０】



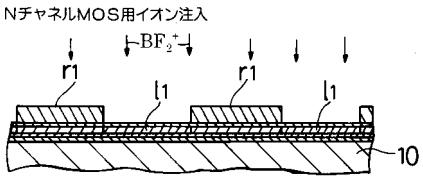
【図２１】



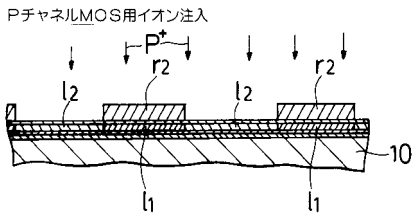
【図２２】



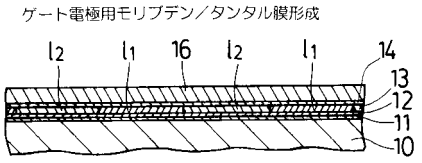
【図２３】



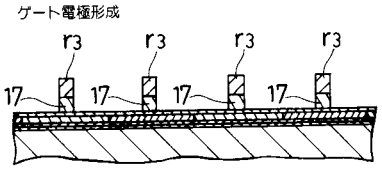
【図２４】



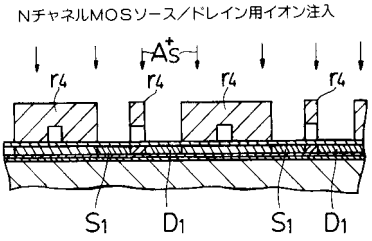
【図２５】



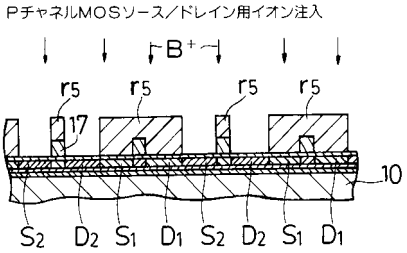
【図２６】



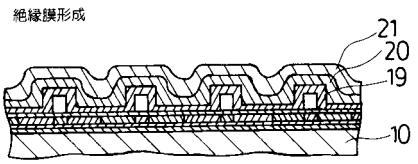
【図２７】



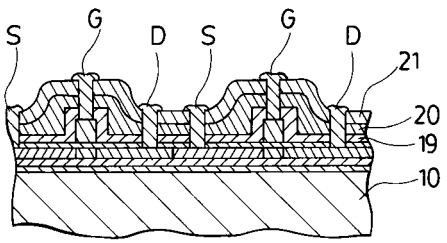
【図２８】



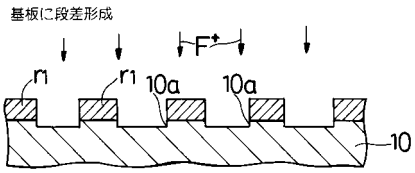
【図２９】



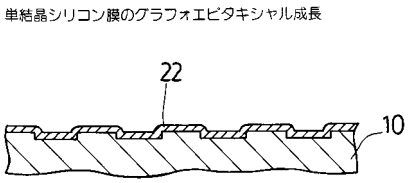
【図３０】



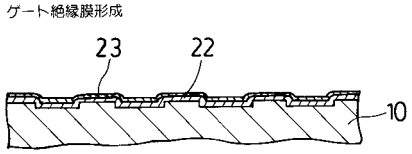
【図３１】



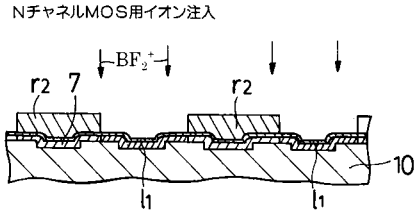
【図３２】



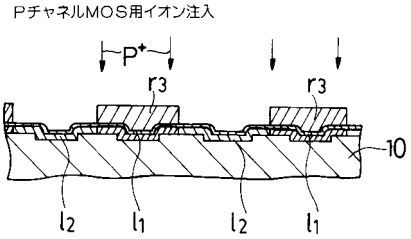
【図３３】



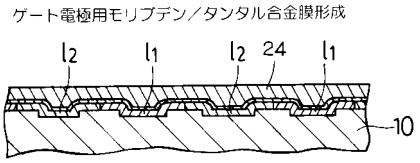
【図３４】



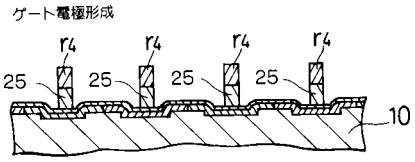
【図３５】



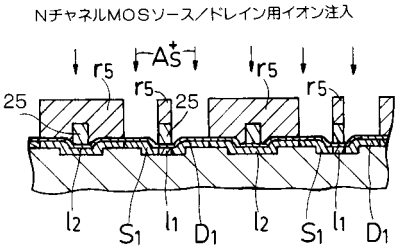
【図３６】



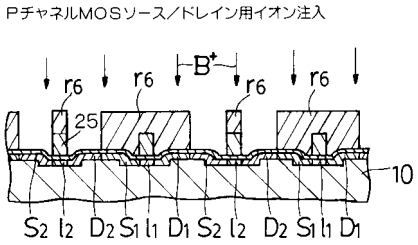
【図３７】



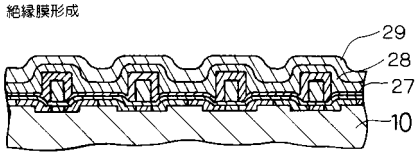
【図３８】



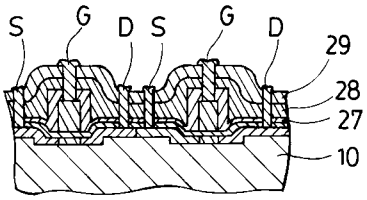
【図３９】



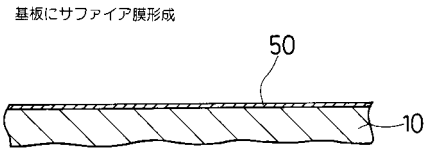
【図４０】



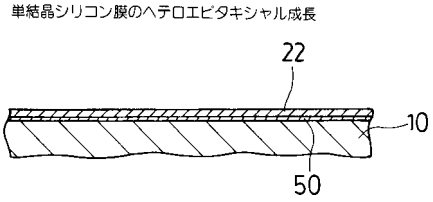
【図４１】



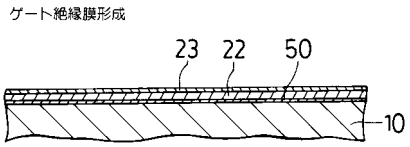
【図４２】



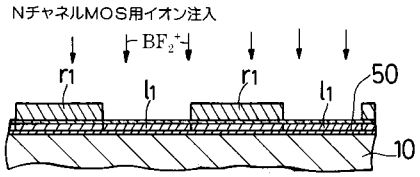
【図４３】



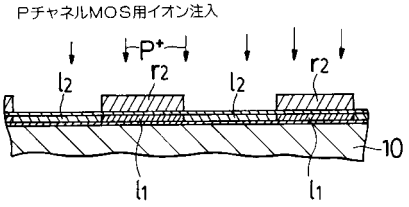
【図４４】



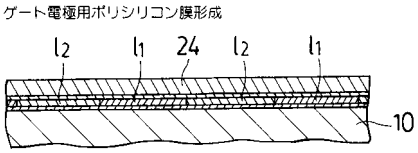
【図４５】



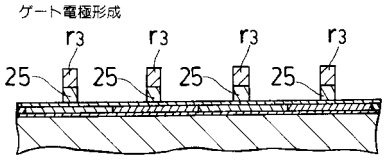
【図４６】



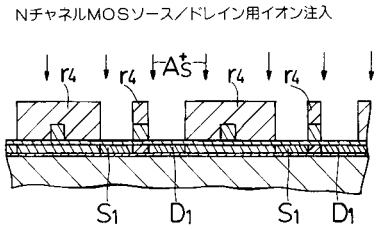
【図４７】



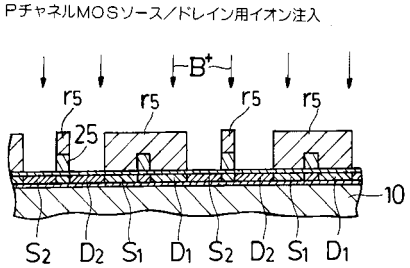
【図４８】



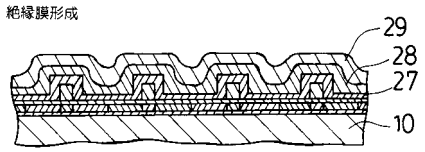
【図４９】



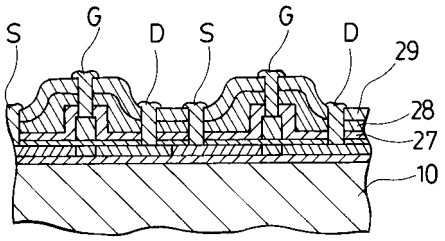
【図５０】



【図５１】



【図５２】



フロントページの続き

(56)参考文献 特表平１０－５００３９１（ＪＰ，Ａ）
特表２００１－５０６８０９（ＪＰ，Ａ）
特開平０５－１９８５０７（ＪＰ，Ａ）
特開平０６－２６０４３６（ＪＰ，Ａ）
特開平０１－２９４８６７（ＪＰ，Ａ）
特開平０７－０７８７５９（ＪＰ，Ａ）
特開平１１－３３０４７６（ＪＰ，Ａ）
特開平０１－２８９２４０（ＪＰ，Ａ）
特開平０２－０８１４２４（ＪＰ，Ａ）
特開平１１－１１１９９１（ＪＰ，Ａ）
特開平０５－０７４７１３（ＪＰ，Ａ）
特開平１０－３２６８９３（ＪＰ，Ａ）
特開平１１－２６０９０５（ＪＰ，Ａ）
特開平１０－１４４９２６（ＪＰ，Ａ）
特開平１０－２９４４６９（ＪＰ，Ａ）
特開平１１－３１２８０９（ＪＰ，Ａ）
特開平１１－２２０１３１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/205
H01L 21/20
H01L 21/336
H01L 29/786