



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210541

(11) (B1)

(51) Int. Cl.³
G 06 F 7/16

(22) Přihlášeno 03 07 80
(21) (PV 4737-80)

(40) Zveřejněno 29 05 81

(45) Vydáno 15 07 83

(75)
Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro volbu priority periferie

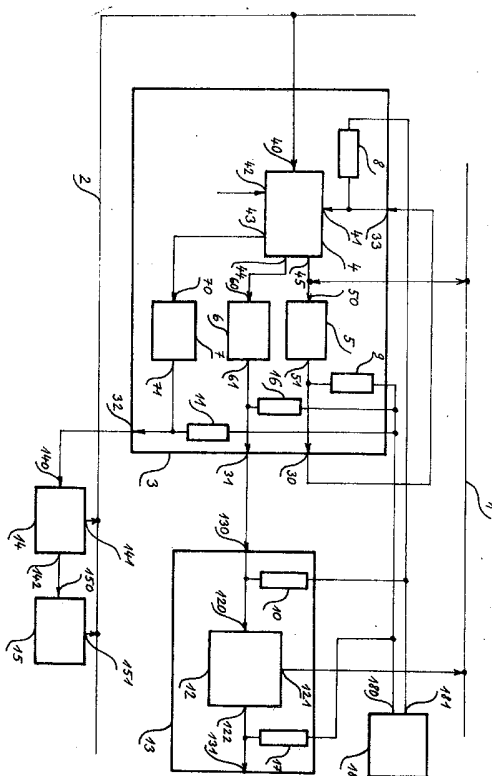
Vynález se týká oboru samočinné počítače-spojovací systém.

Zapojení řeší možnost zařazení periferie s režimem přímého přístupu do operační paměti na místo s vyšší prioritou, než má procesor. Jedná se o systém, kde aktivní signály na první lince žádostí o sběrnici mají spodní úroveň a prioritní signály mají aktivní horní úroveň.

Řešení se dosahuje zapojením první linky žádostí na vstup třetího prioritního vysílače, jehož výstup je spojen s třetím výstupem procesoru. V takovém zapojení je možnost propojení třetího výstupu procesoru se vstupem prioritního bloku periferie s režimem přímého přístupu do operační paměti zařadit co do priority tuto periferii před procesor, na jehož prioritní vstup je zapojen výstup prioritního bloku periferie.

Možnost použití je pouze v uvedeném oboru.

Daný vynález je charakterizován jediným bodem předmětu. Jemu odpovídá přípojný výkres.



Předmětem vynálezu je zapojení, které řeší možnost volby priority periferních zařízení a procesorů, připojených na společnou asynchronní sběrnici.

V praxi je možné se setkat s různými způsoby spojení procesorů a periferních zařízení. Jedním z nich je připojení na společnou asynchronní sběrnici. Přitom prioritní systém je řešen jako víceprocesorový následujícím způsobem: procesory a periferie s režimem přímého přístupu do operační paměti žádají o získání řízení sběrnice na první lince žádostí. Periferní zařízení s režimem přerušení žádají o získání řízení sběrnice na druhé lince žádostí. Hladiny aktivních signálů na těchto linkách mají nulovou úroveň. Systém pracuje se sériově zřetězeným prioritním signálem, tj. opačná polarita na první lince žádostí je přivedena na vstup prioritního bloku prvního co do priority zapojeného zařízení, přičemž první výstup tohoto prioritního bloku je spojen se vstupem prioritního bloku druhého co do priority zapojeného zařízení atd.

Dále druhý výstup prioritního bloku procesoru je zapojen na vstup prioritního bloku prvního co do priority zapojeného periferního zařízení s režimem přerušení, přičemž výstup tohoto prioritního bloku je zapojen na vstup prioritního bloku druhého co do priority zapojeného periferního zařízení s režimem přerušení atd. Hladiny aktivních signálů na prioritních vodičích mají jedničkovou úroveň. Signály na druhé lince žádostí se transformují na signály na první lince žádostí.

Z toho vyplývá, že změnou priority procesoru se mění i priorita všech periferních zařízení k němu připojených. Nevýhoda dosud známých zapojení uvedeného typu spočívá v tom, že periferie s režimem přímého přístupu do operační paměti nemůže být zapojena v prioritním řetězci před procesor. Je to dáno rozdílnými hladinami aktivních signálů na první lince žádostí a na vstup prioritního bloku periferních zařízení.

Tuto nevýhodu odstraňuje zapojení pro volbu priority periferie podle vynálezu, jehož podstatou je, že třetí výstup prioritního bloku procesoru je spojen s první linkou žádostí a se vstupem třetího prioritního vysílače, jehož výstup je spojen s třetím výstupem procesoru a přes odpor je spojen s kladnou svorkou zdroje napájecího napětí, druhý vstup prioritního bloku procesoru je spojen s prioritním vstupem procesoru a přes odpor je spojen se zápornou svorkou zdroje napájecího napětí, první výstup prioritního bloku procesoru je spojen se vstupem prvního prioritního vysílače, jehož výstup je spojen s prvním výstupem procesoru a přes odpor je spojen s kladnou svorkou zdroje napájecího napětí a druhý výstup prioritního bloku procesoru je spojen se vstupem druhého prioritního vysílače, jehož výstup je spojen s druhým výstupem procesoru a přes odpor je spojen s kladnou svorkou zdroje napájecího napětí.

Výhodou tohoto zapojení je možnost v daném spojovacím systému zařadit periférii s režimem přímého přístupu do operační paměti v prioritním řetězci jak před, tak i za procesor, a tak změnit prioritu i vůči periferním zařízením příslušejícím tomuto procesoru.

Na výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením pro případ, že procesor má nejvyšší prioritu.

První linka 1 žádostí je spojena se třetím výstupem 42 prioritního bloku 4 procesoru 3, jehož třetí výstup 30 je spojen s výstupem 51 třetího prioritního vysílače 2. Dále je spojena se vstupem 20 třetího prioritního vysílače 2 a s druhým výstupem 121 prioritního bloku 12 periferie 13 s režimem přímého přístupu do operační paměti.

Druhá linka 2 žádostí je spojena s prvním vstupem 40 prioritního bloku 4, s výstupem žádostí 141 prvního periferního zařízení 14 s režimem přerušení a s výstupem žádostí 151 druhého periferního zařízení 15 s režimem přerušení. První výstup 44 prioritního bloku 4 je zapojen na vstup 60 prvního prioritního vysílače 6, jehož výstup 61 je spojen s prvním výstupem 31 procesoru 3 a přes odpor 16 je spojen s kladnou svorkou 180 zdroje 18 napájecího napětí. Druhý výstup 43 prioritního bloku 4 je spojen se vstupem 70 druhého prioritního

vysílače 7, jehož výstup 71 je spojen s druhým výstupem 32 procesoru 3 a přes odpor 11 je spojen s kladnou svorkou 180 zdroje 18 napájecího napětí.

Druhý výstup 32 procesoru 3 je dále spojen s prioritním vstupem 140 prvního periferního zařízení 14 s režimem přerušení, jehož prioritní výstup 142 je zapojen na prioritní vstup 150 druhého periferního zařízení 15 s režimem přerušení. První výstup 31 procesoru 3 je spojen se vstupem 120 prioritního bloku 12 a se vstupem 130 periferie 13 s režimem přímého přístupu do operační paměti, který je dále spojen přes odpor 10 se zápornou svorkou 181 zdroje 18 napájecího napětí.

První výstup 122 prioritního bloku 12 je spojen s výstupem 131 periferie 13 s režimem přímého přístupu do operační paměti a přes odpor 17 je spojen s kladnou svorkou 180 zdroje 18 napájecího napětí. Třetí výstup 30 procesoru 3 je spojen s prioritním vstupem 33 procesoru 3, který je dále spojen s druhým vstupem 41 prioritního bloku 4 a přes odpor 8 je spojen se zápornou svorkou 181 zdroje 18 napájecího napětí, s jehož kladnou svorkou 180 je spojen přes odpor 2.

Funkce zapojení je následující: Do prioritního bloku 4 procesoru 3 se snímají asynchronní signály na prvním vstupu 40, na druhém vstupu 41 a na třetím vstupu 42. V případě, že žádají periferie 13 s režimem přímého přístupu do operační paměti a procesor 3 aktivními signály na první lince 1 žádostí, rozhodne prioritní blok 4, kterému zařízení bude přiděleno řízení na sběrnici. Navíc procesor 3 může žádat na základě aktivního signálu buď na prvním vstupu 40, nebo na třetím vstupu 42.

Signál na třetím vstupu 42 vzniká v případě, že probíhá při provádění instrukce posledního taktu řadiče procesoru 3. Jestliže nemá procesor 3 obsazenou sběrnici, žádá o její přidělení aktivním signálem na první lince 1 žádostí. Spodní hladina signálu na vstupu 50 třetího prioritního vysílače 5 se vysílá v opačné polaritě na třetí výstup 30 procesoru 3, a protože je provedeno spojení s prioritním vstupem 33 procesoru 3, objeví se horní hladina na druhém vstupu 41 prioritního bloku 4.

V případě, že prioritní blok 4 rozhodne o přidělení sběrnice procesoru 3, vysílá se spodní hladina signálu na prvním výstupu 31. V opačném případě se vysílá na prvním výstupu 31 horní hladina signálu pro vstup 120 prioritního bloku 12 periferie s režimem přímého přístupu do operační paměti 13, na jehož základě proběhne v této periférii sekvence obsazení sběrnice. Dokud se neukončí daná operace, je sběrnice obsazená a procesor 3 vysílá aktivní signál na první lince 1 žádostí. Jestliže žádost procesoru 3 byla vyvolána žádostí periferních zařízení 14 nebo 15 s režimem přerušení, potom po přidělení sběrnice procesoru 3 se vysílá horní hladina prioritního signálu na druhém výstupu 32 procesoru 3. Na základě tohoto signálu převezme některé z periferních zařízení 14, 15 s režimem přerušení sběrnici a po předání adresy ve vektoru přerušení opět obsazení sběrnice zruší.

Změnu priorit může provést následujícím spojením: Zrušíme spojení třetího výstupu 30 procesoru 3 s prioritním vstupem 33 procesoru 3 a dále spojení prvního výstupu 31 procesoru 3 se vstupem 130 periferie 13 s režimem přímého přístupu do operační paměti a provedeme spojení třetího výstupu 30 procesoru 3 se vstupem 130 periferie 13 s režimem přímého přístupu do operační paměti, jejíž výstup 131 spojíme s prioritním vstupem 33 procesoru 3.

Tímto spojením dosáhneme toho, že spodní hladiny signálů na první lince 1 žádostí se dostanou v opačné polaritě nejprve na vstup 120 prioritního bloku 12, který nyní rozhoduje, kterému zařízení bude přidělena sběrnice. Periferie 13 s režimem přímého přístupu do operační paměti má tudíž v případě současné žádosti vyšší prioritu než procesor 3 a jeho periferní zařízení 14 a 15 s režimem přerušení.

Podobným propojením lze přiřazovat nejvyšší prioritu i jiným procesorům nebo perifériím, připojeným na společnou asynchronní sběrnici.

Možnost použití uvedeného zapojení je u procesorových systémů, které pracují s popsaným typem asynchronní sběrnice.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro volbu priority periferie s prioritními bloky a s vysílači prioritních signálů vyznačující se tím, že třetí výstup (45) prioritního bloku (4) procesoru (3) je spojen s první linkou (1) žádostí a se vstupem (50) třetího prioritního vysílače (5), jehož výstup (51) je spojen s třetím vstupem (30) procesoru (3) a přes odpor (9) je spojen s kladnou svorkou (180) zdroje (18) napájecího napětí, druhý vstup (41) prioritního bloku (4) procesoru (3) je spojen s prioritním vstupem (33) procesoru (3) a přes odpor (8) je spojen se zápornou svorkou (181) zdroje (18) napájecího napětí, první výstup (44) prioritního bloku (4) procesoru (3) je spojen se vstupem (60) prvního prioritního vysílače (6), jehož výstup (61) je spojen s prvním výstupem (31) procesoru (3) a přes odpor (16) je spojen s kladnou svorkou (180) zdroje (18) napájecího napětí a druhý výstup (43) prioritního bloku (4) procesoru (3) je spojen se vstupem (70) druhého prioritního vysílače (7), jehož výstup (71) je spojen s druhým výstupem (32) procesoru (3) a přes odpor (11) je spojen s kladnou svorkou (180) zdroje (18) napájecího napětí.

2. Zapojení podle bodu 1 vyznačující se tím, že třetí výstup (30) procesoru (3) je zapojen na prioritní vstup (33) procesoru (3) a první výstup (31) procesoru (3) je spojen se vstupem (130) periferie (13) s režimem přímého přístupu do operační paměti.

3. Zapojení podle bodu 1 vyznačující se tím, že třetí výstup (30) procesoru (3) je spojen se vstupem (130) periferie (13) s režimem přímého přístupu do operační paměti, jejíž výstup (131) je zapojen na prioritní vstup (33) procesoru (3).

1 list výkresů

