

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5542369号  
(P5542369)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int. Cl. F I  
 HO 1 L 27/11 (2006.01) HO 1 L 27/10 3 8 1  
 HO 1 L 21/8244 (2006.01)

請求項の数 10 外国語出願 (全 28 頁)

(21) 出願番号	特願2009-120249 (P2009-120249)	(73) 特許権者	502124444
(22) 出願日	平成21年5月18日 (2009.5.18)		コミッサリア ア レネルジー アトミー
(65) 公開番号	特開2009-295975 (P2009-295975A)		ク エ オ ゼネルジ ザルタナティヴ
(43) 公開日	平成21年12月17日 (2009.12.17)		フランス国 エフー75015 パリ、
審査請求日	平成24年4月27日 (2012.4.27)		パテイマン 「ル ポナン デー」、
(31) 優先権主張番号	0853608		リュ ルブラン 25
(32) 優先日	平成20年6月2日 (2008.6.2)	(74) 代理人	100108453
(33) 優先権主張国	フランス (FR)		弁理士 村山 靖彦
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 いくつかのレベルのところを集積された、しきい値電圧VTが動的に調整可能なトランジスタを有するSRAMメモリセル

(57) 【特許請求の範囲】

【請求項1】

基板上に複数層からなる積層体が載っているスタティックランダムアクセスメモリセルであって、

前記積層体の所与のレベルのところにある第1の複数のトランジスタであって、そのうち少なくとも1つの第1のアクセストランジスタおよび少なくとも1つの第2のアクセストランジスタが、ワード線に接続され、それぞれ第1のビット線と第1の記憶ノードとの間、および第2のビット線と第2の記憶ノードとの間に構成される、第1の複数のトランジスタと

フリップフロップを形成し、前記積層体の、前記所与のレベルの下の少なくとも1つの他のレベルのところにある、第2の複数のトランジスタとを備え、

前記第2の複数のトランジスタの各トランジスタがそれぞれゲート電極を備え、前記ゲート電極が、前記第1の複数のトランジスタのうちトランジスタのチャンネル領域に対向する位置にあり、前記ゲート電極と前記チャンネル領域との結合を可能にするように設けられた絶縁領域によってそのチャンネル領域から分離され、前記第2の複数のトランジスタが、第1の負荷トランジスタ、第2の負荷トランジスタ、第1の導電トランジスタ、および第2の導電トランジスタから形成され、前記第1の負荷トランジスタおよび前記第2の負荷トランジスタがそれぞれ、前記第2の導電トランジスタおよび第1の導電トランジスタに対向して構成され、それに結合される、スタティックランダムアクセスメモリセル。

10

20

## 【請求項2】

基板上に複数層からなる積層体が載っているスタティックランダムアクセスメモリセルであって、

前記積層体の所与のレベルのところにある第1の複数のトランジスタであって、そのうち少なくとも1つの第1のアクセストランジスタおよび少なくとも1つの第2のアクセストランジスタが、ワード線に接続され、それぞれ第1のビット線と第1の記憶ノードとの間、および第2のビット線と第2の記憶ノードとの間に構成される、第1の複数のトランジスタと

、  
フリップフロップを形成し、前記積層体の、前記所与のレベルの下の少なくとも1つの他のレベルのところにある、第2の複数のトランジスタと

を備え、

前記第2の複数のトランジスタの各トランジスタがそれぞれゲート電極を備え、前記ゲート電極が、前記第1の複数のトランジスタのうちトランジスタのチャンネル領域に対向する位置にあり、前記ゲート電極と前記チャンネル領域との結合を可能にするように設けられた絶縁領域によってそのチャンネル領域から分離され、前記第2の複数のトランジスタが、第1の負荷トランジスタ、第2の負荷トランジスタ、第1の導電トランジスタ、および第2の導電トランジスタから形成され、前記第1の負荷トランジスタ、前記第2の負荷トランジスタ、前記第1の導電トランジスタ、および前記第2の導電トランジスタが、前記積層体の単一のレベル内に形成される、スタティックランダムアクセスメモリセル。

## 【請求項3】

前記第2の複数のトランジスタが、第1の導電トランジスタおよび第2の導電トランジスタから形成され、前記第1の導電トランジスタが、前記第1のアクセストランジスタの前記チャンネル領域に対向する位置にあり、かつそれに結合されるゲートを有し、前記第2の導電トランジスタが、前記第2のアクセストランジスタの前記チャンネル領域に対向する位置にあり、かつそれに結合されるゲートを有する、請求項1に記載のスタティックランダムアクセスメモリセル。

## 【請求項4】

前記第2の複数のトランジスタが、第1の負荷トランジスタおよび第2の負荷トランジスタから形成され、前記第1の負荷トランジスタが、前記第1のアクセストランジスタの前記チャンネル領域に対向する位置にあり、かつそれに結合されるゲートを有し、前記第2の負荷トランジスタが、前記第2のアクセストランジスタの前記チャンネル領域に対向する位置にあり、かつそれに結合されるゲートを有する、請求項1に記載のスタティックランダムアクセスメモリセル。

## 【請求項5】

前記第1の複数のトランジスタがさらに、少なくとも1つの第3のアクセストランジスタおよび少なくとも1つの第4のアクセストランジスタを含み、それらがそれぞれ、第3のビット線と第1の記憶ノードとの間、および第4のビット線と第2の記憶ノードとの間に構成され、前記第3のアクセストランジスタおよび前記第4のアクセストランジスタが、第2のワード線に接続されたゲートを有する、請求項1に記載のスタティックランダムアクセスメモリセル。

## 【請求項6】

前記絶縁領域が、1~50ナノメートルのSiO<sub>2</sub>等価厚を有する、請求項1に記載のスタティックランダムアクセスメモリセル。

## 【請求項7】

前記結合が、前記ゲート電極の電位の変動が前記チャンネル領域のしきい値電圧の変動をもたらすようなものである、請求項1に記載のスタティックランダムアクセスメモリセル。

## 【請求項8】

前記セルが供給電圧Vddを有し、前記結合が、前記ゲート電極の前記電位のVddを上回る変動が、前記チャンネル領域のしきい値電圧の少なくとも50mVの変動の達成を可能にするよ

10

20

30

40

50

うなものである、請求項7に記載のスタティックランダムアクセスメモリセル。

【請求項9】

前記ゲートと前記チャンネル領域との間で、前記絶縁領域が、第1の誘電率 $k_1$ を有する第1の誘電体材料を含む第1の領域から形成され、前記第1の領域が、ソース領域およびドレイン領域に対向し、前記絶縁領域が、 $k_2 < k_1$ であるような第2の誘電率 $k_2$ を有する少なくとも1つの第2の誘電体材料を含む第2の領域から形成される、請求項1から8のいずれか一項に記載のスタティックランダムアクセスメモリセル。

【請求項10】

前記第2の領域が、前記第1の誘電体材料と前記第2の誘電体材料との積層を備える、請求項9に記載のスタティックランダムアクセスメモリセル。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリの分野に関し、詳細には、スタティックランダムアクセスメモリSRAM(RAMは「ランダムアクセスメモリ」を表す)の分野に関する。本発明は、詳細には、積層されたトランジスタを備え、そのうち複数のトランジスタが、下位トランジスタゲートと結合することによって変調することができるしきい値電圧を有する、改良型メモリセルに関する。

【0002】

これは、特に、全体寸法の点で、また一部のトランジスタのしきい値電圧を、安定性や消費など、その電気的特性を改善するように動的に変更することができるという点で、利点をもたらす。

20

【背景技術】

【0003】

従来型のSRAMメモリセル(SRAMは「スタティックランダムアクセスメモリ」、すなわちスタティックRAMを表す)は一般に、いわゆる「双安定」または「フリップフロップ」構成で接続される2つのインバータ10、11、ならびにビット線15および16に接続され、ワード線17により制御される2つのアクセストランジスタ12、13を含む(図1)。

【0004】

メモリセルの求められる特性は、以下のとおりである。

30

- 良好な読出し安定性、これはSNMとも呼ばれる(SNMは「スタティックノイズマージン」を表す)、
- 十分な書込みマージン、これはWMとも呼ばれる、
- 良好な保持安定性RNM(RNMは「保持ノイズマージン」を表す)、
- セルに高動作速度をもたらすために、可能な最も強い導電電流 $I_{cell}$ 、
- 高いセル集積密度でのメモリの製作を可能にするために、可能な最小のセルサイズ、
- 静的電力消費を最小限に抑えるように、可能な最も弱い保持電流 $I_{off}$ 。

【0005】

これらの基準は両立し得ないため、メモリ開発者はこれらの中で妥協させられてきた。

40

【0006】

4つのトランジスタを有する、いわゆる「4T」SRAMメモリセルが開発されてきた。4Tセルは、小型の設計を有し、高集積密度の達成を可能にする。4Tセルには、保持モード中に安定性を欠くという欠点がある。この安定性の欠如は、リフレッシュシステムによって緩和することができる。セルの寸法設定は一般に、保持段階の安定性と読出し段階の安定性との間で達成することができる最良の妥協点を考慮して行われる。

【0007】

メモリセルトランジスタサイズをますます低減させようとすることによって、そうしたトランジスタのチャンネル幅 $W$ 、そのチャンネル長 $L$ 、そのしきい値電圧 $V_T$ 、その透磁率 $\mu_0$ 、そのドーピング $N_a$ 、およびそのゲート酸化膜厚 $T_{ox}$ などのパラメータが変動する。その結

50

果、さまざまなノイズ源に対するメモリセルの感度が増大する。したがって、大きなノイズマージンを有するメモリセルの開発が、ますます優先すべき事項になっている。

【0008】

「6T」セルと呼ばれる、6つのトランジスタを有するSRAMセルは、前述の基準全ての間の良好な妥協点を提供するものである。

【0009】

従来型の6Tメモリセルでは、セルの安定性が、読出しモード中のそのスタティックノイズマージン(SNM)によって決まる。実際に、読出しアクセス中、セルインバータの利得が、アクセストランジスタの導電をアクティブにすることによって低減される傾向がある。

【0010】

8つまたは9つのトランジスタを有するメモリセル(8Tまたは9T)も同様に製作されてきた。これらのセルは、スタティックノイズマージンSNMの大きな改善はあるものの、6Tセルに比べてかなり大きな全体寸法を有する。

【0011】

さらに、部分または完全空乏型SOI技術を使用して製作されるSRAMセルが製作されており、それらのSRAMセルでは、スタティックノイズマージンと読出しマージンとの関係が改善されている。ダブルゲートまたはfinFET技術を使用して製作されるSRAMセルも同様に実施されてきており、それらのSRAMセルでは、スタティックノイズマージンが改善された。これらのセルでは、高集積密度の達成が可能にならない。

【先行技術文献】

【非特許文献】

【0012】

【非特許文献1】LimおよびFossum、IEEE Transactions on electron devices、第ED-30巻、第10号、1983年10月

【発明の概要】

【発明が解決しようとする課題】

【0013】

改善された全体寸法を維持しながら、良好な保持、読出し、および書込み安定性を有する新規なSRAMメモリセル構造を見出すという課題が生じている。

【課題を解決するための手段】

【0014】

本発明は、基板上に複数層からなる積層体が載っているスタティックランダムアクセスメモリセルであって、

- 積層体の所与のレベルのところにある第1の複数のトランジスタであって、そのうち少なくとも1つの第1のアクセストランジスタおよび少なくとも1つの第2のアクセストランジスタが、ワード線に接続され、それぞれ第1のビット線と第1の記憶ノードとの間、および第2のビット線と第2の記憶ノードとの間に構成される、第1の複数のトランジスタと、

- フリップフロップを形成し、積層体の、前記所与のレベルの下の少なくとも1つの他のレベルのところにある、第2の複数のトランジスタと

を備え、

第2の複数のトランジスタの各トランジスタがそれぞれゲート電極を備え、ゲート電極が、第1の複数のトランジスタのうちトランジスタのチャネル領域に対向する位置にあり、前記ゲート電極と前記チャネル領域との結合を可能にするように設けられた絶縁領域によってそのチャネル領域から分離される、スタティックランダムアクセスメモリセルに関する。

【0015】

このようなセルは、従来技術による従来型のSRAMメモリセルに比べて、改善された集積密度および電気的性能を有する。

【0016】

1つの可能性によれば、第2の複数のトランジスタは、第1の導電トランジスタおよび第2

10

20

30

40

50

の導電トランジスタから形成することができ、第1の導電トランジスタは、第1のアクセストランジスタのチャンネル領域に対向する位置にあるゲートを有し、第2の導電トランジスタは、第2のアクセストランジスタのチャンネル領域に対向する位置にあるゲートを有する。

【0017】

第2の可能性によれば、第2の複数のトランジスタは、第1の負荷トランジスタおよび第2の負荷トランジスタから形成することができ、第1の負荷トランジスタは、第1のアクセストランジスタのチャンネル領域に対向する位置にあるゲートを有し、第2の負荷トランジスタは、第2のアクセストランジスタのチャンネル領域に対向する位置にあるゲートを有する。

10

【0018】

第3の可能性によれば、第2の複数のトランジスタは、第1の負荷トランジスタおよび第2の負荷トランジスタ、第1の導電トランジスタおよび第2の導電トランジスタから形成することができる。

【0019】

第1の負荷トランジスタおよび第2の負荷トランジスタはそれぞれ、第2の導電トランジスタおよび第1の導電トランジスタに対向して構成することができる。

【0020】

第1の負荷トランジスタおよび第2の負荷トランジスタ、第1の導電トランジスタおよび第2の導電トランジスタは、前記積層体の単一レベル内に形成することができる。

20

【0021】

別の可能性によれば、第1の複数のトランジスタはさらに、少なくとも1つの第3のアクセストランジスタおよび少なくとも1つの第4のアクセストランジスタを含むことができ、それらはそれぞれ、第3のビット線と第1の記憶ノードとの間、および第4のビット線と第2の記憶ノードとの間に構成され、第3のアクセストランジスタおよび第4のアクセストランジスタは、第2のワード線に接続されたゲートを有する。

【0022】

絶縁領域は、1~50ナノメートル、例えば10~50ナノメートルの $\text{SiO}_2$ 等価厚 $e_c$ を有することができる。

【0023】

$\text{SiO}_2$ 等価厚は、誘電体領域が、1~50ナノメートル、例えば10~50ナノメートルの $\text{SiO}_2$ 以外の誘電体材料を含むことを意味すると理解されよう。

30

【0024】

結合は、前記ゲート電極の電位の変動が前記チャンネル領域のしきい値電圧の変動をもたらすようなものでよい。

【0025】

結合は、前記ゲート電極の電位のVddを上回る変動が、前記チャンネル領域のしきい値電圧の少なくとも50mVの変動の達成を可能にするようなものでよい。

【0026】

前記ゲートと前記チャンネル領域との間で、前記絶縁領域を、第1の誘電率 $k_1$ を有する誘電体材料を含む第1の領域から形成することができ、第1の領域は、ソース領域およびドレイン領域に対向し、前記絶縁領域は、 $k_2 < k_1$ であるような第2の誘電率 $k_2$ を有する少なくとも1つの第2の誘電体材料を含む第2の領域から形成される。

40

【0027】

第2の領域は、前記第1の誘電体材料と前記第2の誘電体材料との積層を備えることができる。

【0028】

本発明は、単に例示的で、非限定的な目的でなされる諸実施形態の説明を、添付の図面を参照して読めばすぐに、よりよく理解されるであろう。

【図面の簡単な説明】

50

## 【 0 0 2 9 】

【図 1】従来技術による例示的SRAMセルを示す図である。

【図 2 A】本発明によるSRAMメモリセル内のトランジスタの例示的構成を示す図である。

【図 2 B】本発明によるSRAMメモリセル内のトランジスタの例示的構成を示す図である。

【図 2 C】本発明によるSRAMメモリセル内のトランジスタの例示的構成を示す図である。

【図 3 A】本発明による第1の例示的4T SRAMメモリセルを示す図である。

【図 3 B】本発明による第1の例示的4T SRAMメモリセルを示す図である。

【図 3 C】本発明による第1の例示的4T SRAMメモリセルを示す図である。

【図 4】本発明による第1の例示的4T SRAMメモリセル内のトランジスタに関するしきい値電圧挙動曲線を示す図である。

10

【図 5 A】本発明による別の例示的4T SRAMセルを示す図である。

【図 5 B】本発明による別の例示的4T SRAMセルを示す図である。

【図 5 C】本発明による別の例示的4T SRAMセルを示す図である。

【図 6 A】6つのトランジスタを3つのレベルにわたって分配した、本発明による一例示的SRAMセルを示す図である。

【図 6 B】6つのトランジスタを3つのレベルにわたって分配した、本発明による一例示的SRAMセルを示す図である。

【図 6 C】6つのトランジスタを3つのレベルにわたって分配した、本発明による一例示的SRAMセルを示す図である。

【図 7 A】6つのトランジスタを3つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

20

【図 7 B】6つのトランジスタを3つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

【図 7 C】6つのトランジスタを3つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

【図 8 A】6つのトランジスタを2つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

【図 8 B】6つのトランジスタを2つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

【図 8 C】6つのトランジスタを2つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

30

【図 9 A】8つのトランジスタを2つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

【図 9 B】8つのトランジスタを2つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

【図 9 C】8つのトランジスタを2つのレベルにわたって分配した、本発明による別の例示的SRAMセルを示す図である。

【図 1 0 A】本発明による例示的ランダムアクセスメモリセルを示す図である。

【図 1 0 B】本発明による例示的ランダムアクセスメモリセルを示す図である。

【発明を実施するための形態】

40

## 【 0 0 3 0 】

さまざまな図の同一部分、類似部分、または等価部分には、図から図への移行を容易にするように、同じ参照番号が記載されている。

## 【 0 0 3 1 】

図をより見やすくするために、図中に示されるさまざまな部分は、必ずしも原寸に一樣に比例しているとは限らない。

## 【 0 0 3 2 】

次に、本発明に従って実施されるメモリセルにおいて期待されるトランジスタ構成を、図2Aに関連して示す。

## 【 0 0 3 3 】

50

トランジスタは基板100上に製作され、基板100は、バルク基板でも、例えば、半導体でよく、例えばSiを含むことができる第1の支持層と、第1の支持層を被覆する、例えばSiO<sub>2</sub>を含む絶縁層と、絶縁層自体を被覆する、例えばSiを含み、1つまたは複数の活性領域を中に形成することができる半導体層とを備えるSOI(絶縁体上シリコン)型の、絶縁体上半導体型基板でもよい。

【0034】

基板100上に複数層からなる積層体があり、その中に、第1のトランジスタT<sub>11</sub>が、ソース領域102、ドレイン領域104、ならびにソース領域102とドレイン領域104とを接続するチャンネル領域106を備えた状態で見られる。第1のトランジスタT<sub>11</sub>は、完全空乏型または部分空乏型SOI基板上に任意選択で形成することもできる。

10

【0035】

トランジスタT<sub>11</sub>はさらに、誘電体107ゲート108材料層上にあるゲート108も備える。

【0036】

誘電体材料107は、1~50nmの、EOT厚(「等価酸化膜厚」を表す)とも呼ばれる等価SiO<sub>2</sub>厚を有することができる。誘電体材料107は、例えば、SiO<sub>2</sub>でも、HfO<sub>2</sub>などの「高k」と一般に呼ばれるタイプの材料でもよい。

【0037】

第1のトランジスタT<sub>11</sub>のゲート108は、例えば10~100ナノメートルのクリティカルディメンジョンdc<sub>1</sub>を有することができる(クリティカルディメンジョンdc<sub>1</sub>は、図2Aに示す直交参照符号[0;

20

【0038】

【数1】

$$\vec{i}; \vec{j}; \vec{k}$$

【0039】

]のベクトル

【0040】

【数2】

$$\vec{i}$$

30

【0041】

の方向に平行な方向に測定される)。この説明全体を通じて、「クリティカルディメンジョン」という用語は、パターンの厚さを除く、パターンの最小ディメンジョンを意味すると理解されよう。

【0042】

第1のトランジスタT<sub>11</sub>のゲートはさらに、例えば10~100ナノメートルの厚さを有することもできる(ゲートの厚さは、図2Aに示す直交参照符号[0;

【0043】

40

【数3】

$$\vec{i}; \vec{j}; \vec{k}$$

【0044】

]のベクトル

【0045】

## 【数4】

 $\vec{j}$ 

## 【0046】

の方向に平行な方向に測定される)。

## 【0047】

第1のトランジスタ $T_{11}$ のゲート108は、例えば、ポリシリコンなどのドーパ半導体材料を含んでも、例えばTiNなどの金属を含んでもよい。

## 【0048】

このデバイスはさらに、第1のトランジスタ $T_{11}$ よりも上方の、積層体の第1のトランジスタ $T_{11}$ が中にあるレベルよりも高いレベル内に形成された、少なくとも1つの第2のトランジスタ $T_{21}$ も備える。

## 【0049】

第2のトランジスタ $T_{21}$ は、ソース領域112、ドレイン領域114、ならびにソース領域112とドレイン領域114とを接続するチャネル構造116を備える。第2のトランジスタ $T_{21}$ はさらに、誘電体117ゲート層上にあるゲート118も備える。

## 【0050】

ゲート誘電体117は、例えば0.5~4ナノメートルの厚さを有することができる。このゲート誘電体は、例えば、 $\text{SiO}_2$ でも、 $\text{HfO}_2$ などの「高k」と一般に呼ばれるタイプの材料でもよい。

## 【0051】

第2のトランジスタ $T_{21}$ のゲート118は、例えば10~100ナノメートルのクリティカルディメンション $dc_2$ を有することができる( $dc_2$ は、直交参照符号[0;

## 【0052】

## 【数5】

 $\vec{i} ; \vec{j} ; \vec{k}$ 

## 【0053】

]のベクトル

## 【0054】

## 【数6】

 $\vec{i}$ 

## 【0055】

の方向に平行な方向に測定される)。第2のトランジスタ $T_{21}$ のゲートはさらに、10~100ナノメートルの厚さを有することもできる。第2のトランジスタ $T_{21}$ のゲートは、例えば、ポリシリコンなどの半導体材料を含んでも、例えばTiNなどの金属を含んでもよい。

## 【0056】

第1のトランジスタ $T_{11}$ のゲート108と第2のトランジスタ $T_{21}$ のチャネル領域は、選択され、または予め定められる距離または厚さ $e_c$ だけ離隔される。第1のトランジスタ $T_{11}$ のゲート108と第2のトランジスタ $T_{21}$ のチャネル領域は、小さな厚さのILD(「層間誘電体」)層により形成される絶縁領域120によって分離される。

## 【0057】

絶縁領域は、例えば、 $\text{SiO}_2$ を含んでも、 $\text{HfO}_2$ などの「高k」と一般に呼ばれる誘電体材料を含んでもよい。

## 【0058】

絶縁領域120は、第1のトランジスタ $T_{11}$ のゲート108と、第1のトランジスタ $T_{11}$ のゲート

10

20

30

40

50



108よりも上方に、それとは対向する位置にある、第2のトランジスタ $T_{21}$ のチャネルとの結合を可能にするように実施される。

【0059】

好ましくは、この絶縁領域の厚さ $e_c$ は、特に、従来技術によるデバイス内の層間誘電体材料の層の厚さ(そうしたデバイスではこの厚さが、構成要素または相互接続線のさまざまな積層がそれらの間で絶縁されるのを可能にするように設けられる)よりもずっと小さくなるように選択される。

【0060】

「小さな」厚さ $e_c$ または距離 $e_c$ は、 $e_c$ が、結合を可能にするために1~50ナノメートルの $SiO_2$ 等価厚でよいことを意味すると理解されよう。

10

【0061】

厚さに加えて、例えば $SiO_2$ または $HfO_2$ である、絶縁領域の誘電体材料の性質も同様に、下位レベルトランジスタゲートとレベルトランジスタのチャネル領域との間の結合の達成を可能にするように選択される。

【0062】

厚さ $T_{high-k}$ の「高k」誘電体の $SiO_2$ 等価厚EOTは、次の関係によって得られる。

【0063】

【数7】

$$EOT = \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} \cdot T_{high-k}$$

20

【0064】

このようなデバイスでは、第2のトランジスタ $T_{21}$ チャネルのしきい値電圧 $V_T$ を、第1のトランジスタ $T_{11}$ のゲート108のバイアスが行われる様式に基づいて調整することができる。そのようなデバイスを使用して第2のトランジスタ $T_{21}$ チャネルのしきい値電圧 $V_T$ を変動させるには、下位レベルトランジスタ $T_{11}$ のゲート108に印加される電位を変動させることができる。

【0065】

したがって、第1のトランジスタ $T_{11}$ のゲートによって、上位レベルトランジスタ $T_{21}$ のチャネルの電位を制御することが可能になる。

30

【0066】

第1のトランジスタ $T_{11}$ および第2のトランジスタ $T_{21}$ は、第1のトランジスタ $T_{11}$ のゲート108が、第2のトランジスタ $T_{21}$ チャネルの半導体領域116に対向する位置にあるように構成される。この例では、ゲート108および118は、基板の主平面に直交する方向(直交参照符号[0;

【0067】

【数8】

$$\vec{i}; \vec{j}; \vec{k}$$

40

【0068】

]のベクトル

【0069】

【数9】

$$\vec{j}$$

【0070】

の方向に平行な方向)に位置合わせされたパターンを有する。

50

## 【 0 0 7 1 】

好ましくは、第2のトランジスタ $T_{21}$ チャネルの電位に対する制御の改善を達成するために、第1のトランジスタ $T_{11}$ のゲート108の上(upper)面または上(top)面全体が、第2のトランジスタ $T_{21}$ チャネルの半導体領域116に対向して構成される。

## 【 0 0 7 2 】

第2のトランジスタ $T_{21}$ のチャネル領域116は、反転チャネルレベルでの静的制御を可能にするように、小さな厚さの半導体層内に形成することができる。小さな厚さという表現は、第2のトランジスタ $T_{21}$ のチャネル領域116を、例えば1~100nmの、または例えば5~20ナノメートルの厚さを有する半導体層内に形成できることを意味すると理解されよう。チャネル116が中に形成される半導体層向けに選択される厚さは、完全空乏型挙動を可能にするために、特にその層のドーピングのレベルに基づいて設けられる。

10

## 【 0 0 7 3 】

トランジスタ $T_{11}$ および $T_{21}$ のチャネル領域は、例えば、Si内に形成しても、例えばGeなどの別の半導体材料内に形成してもよい。

## 【 0 0 7 4 】

トランジスタ $T_{11}$ のゲートを、トランジスタ $T_{21}$ が上に形成される半導体層から分離する絶縁領域は、ゲートと基板との大きな結合を可能にするために設けられる。大きな結合という表現は、下位レベルトランジスタ $T_{11}$ のゲートに印加される電圧が、Vddがデバイス用の供給電圧である状態で、適用分野に応じて0~Vddまたは-Vdd~+Vddの間で変動する場合、上位レベルトランジスタ $T_{21}$ のしきい値電圧が少なくとも50mV変動するのを可能にする結合を意味すると理解されよう。Vdd電圧は、例えば、1ボルトまたは0.5V程度とすることができる。

20

## 【 0 0 7 5 】

第1のトランジスタ $T_{11}$ のゲート108のバイアス電圧が  $V$  変動されるときにしきい値電圧  $V_{th}$  の所望の変動を達成するように、LimおよびFossumによる文献、IEEE Transactions on electron devices、第ED-30巻、第10号、1983年10月に記載されたものなどのモデルを使用して、絶縁領域120を寸法設定することができる。

## 【 0 0 7 6 】

このようなモデルは、特に、第2のトランジスタ $T_{21}$ が完全空乏層上に形成される場合に使用することができる。

30

## 【 0 0 7 7 】

## 【 数 1 0 】

$$\Delta V_{th} = \frac{\frac{\epsilon_{sc}}{T_{sc}} \cdot \frac{\epsilon_{ILD}}{T_{ILD}}}{\frac{\epsilon_{ox}}{T_{ox}} \cdot \left( \frac{\epsilon_{sc}}{T_{sc}} + \frac{\epsilon_{ILD}}{T_{ILD}} \right)} \cdot \Delta V$$

## 【 0 0 7 8 】

- $V_{th}$  は、第2のトランジスタ $T_{21}$ のしきい値電圧の変動であり、
- $\epsilon_{sc}$ 、 $T_{sc}$  はそれぞれ、トランジスタ $T_{21}$ のチャネル116が中に形成される半導体層の誘電率および厚さであり、
- $\epsilon_{ox}$ 、 $T_{ox}$  はそれぞれ、第2のトランジスタ $T_{21}$ のゲートの誘電率および厚さであり、
- $\epsilon_{ILD}$ 、 $T_{ILD}$  は、第2のトランジスタ $T_{21}$ の半導体層を第1のトランジスタ $T_{11}$ のゲート108から分離する絶縁領域120の誘電体の誘電率および厚さである。

40

## 【 0 0 7 9 】

したがって、第1の下位トランジスタ $T_{11}$ のゲートの電位が0~Vddまで変動するとき、

## 【 0 0 8 0 】

【数 1 1】

$$\Delta V_{th} = \frac{\frac{\epsilon_{sc}}{T_{sc}} \cdot \frac{\epsilon_{ILD}}{T_{ILD}}}{\frac{\epsilon_{ox}}{T_{ox}} \cdot \left( \frac{\epsilon_{sc}}{T_{sc}} + \frac{\epsilon_{ILD}}{T_{ILD}} \right)} \cdot V_{DD} \quad (1)$$

【 0 0 8 1 】

になる。

10

【 0 0 8 2 】

しきい値電圧変動  $V_{th}=50\text{mV}$ に対応する大きな割合の結合を達成するためには、ゲート108および118が45nm程度のクリティカルディメンジョンを有し、チャネル領域116の厚さ $T_{sc}$ が7nmに等しく、それがシリコンで形成されており、誘電体領域117の厚さ $T_{ox}$ が1nmに等しく、それが $\text{SiO}_2$ を含んでおり、 $V_{dd}=1\text{V}$ であり、領域120が $\text{SiO}_2$ で形成されている場合に、絶縁領域120には例えば、例として17.5nm程度の厚さが設けられる。

【 0 0 8 3 】

例えば、誘電率20を有する $\text{HfO}_2$ ベースの積層されたトランジスタを絶縁領域が分離した状態で、同一の結合を達成するには、「高k」層の物理的な厚さが90.5nm程度になる。

【 0 0 8 4 】

絶縁領域120の誘電体が「高k」材料を含む場合、その絶縁層120に設けられるべき厚さ $T_{high-k}$ は、上記の式から、 $T_{ox}$ を

20

【 0 0 8 5 】

【数 1 2】

$$T_{ox} = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{\text{high-k}}} \cdot T_{\text{high-k}}$$

【 0 0 8 6 】

で置き換えることによって決まる。

30

【 0 0 8 7 】

第1のトランジスタ $T_{11}$ および第2のトランジスタ $T_{21}$ は、メモリセル、特にSRAMメモリセルのトランジスタである。

【 0 0 8 8 】

第2のトランジスタのしきい値電圧 $V_T$ の動的な変更は、可変な電位を印加する手段(図示せず)の使用により達成することができ、その手段は、

- 第1の電位を、ある段階中に第1のトランジスタのゲートに印加し、
- 別の電位を、別の段階中に第1のトランジスタのゲートに印加する

ために設けられる。

40

【 0 0 8 9 】

2つのトランジスタを有するマイクロエレクトロニクスデバイスの一例について、今しがた説明してきた。しかし、本発明によるデバイスは、より多数のトランジスタ、例えば $n$ ( $n$ は $n>2$ であるような整数である)という数の積層されたトランジスタ $T_{11}$ 、 $T_{21}$ 、 $T_{(n-1)1}$ 、 $T_{n1}$ を含み、所与のレベル $N_k$ ( $k$ は $1<k<n$ であるような整数である)の各トランジスタ $T_k$ が、所与のレベル $N_k$ よりも下位のレベル $N_{k-1}$ のトランジスタ $T_{k-1}$ のゲート電極に結合することができるチャネル領域を備え、そのゲートが、そのような結合を可能にするのに十分なほど短い距離を隔てて、前記チャネル領域に対向する位置にあってよい。

【 0 0 9 0 】

本発明に従って実施されるマイクロエレクトロニクスデバイスの別の例を、図2Bに示す

50

## 【0091】

このデバイスは、それがトランジスタ $T_{11}$ と $T_{21}$ との間にいくつかの異なる誘電体材料を含む絶縁領域を備え、前記誘電体材料の厚さおよび分布が、第1のトランジスタ $T_{11}$ のゲートと第2のトランジスタ $T_{21}$ のチャネルとの間にある第1の領域 $R_1$ 内での結合を可能にし、かつこの第1の領域 $R_1$ の周りにある領域 $R_2$ 内でのトランジスタ $T_{11}$ と $T_{21}$ との間の結合を妨げるように設けられるという点で、図2Aに関連して先に説明したデバイスとは異なる。

## 【0092】

これを達成するために、第1のトランジスタ $T_{11}$ のゲート108と第2のトランジスタ $T_{21}$ のチャネル116が、第1の誘電率 $k_1$ を有する第1の誘電体材料420によって分離される。

10

## 【0093】

$k_2 < k_1$ であるような第2の誘電率 $k_2$ を有する第2の誘電体材料422から形成される絶縁領域が、この第1の領域 $R_1$ の周りの、第1のトランジスタ $T_{11}$ のソース領域およびドレイン領域よりも上方に形成される。

## 【0094】

第1の領域 $R_1$ は、例えば $HfO_2$ などの「高 $k$ 」誘電体材料で埋めることができ、この第1の領域の周りにある領域は、 $SiO_2$ など、より低い誘電率を有する誘電体材料で埋めることができる。

## 【0095】

このようなデバイスでは、第2のトランジスタ $T_{21}$ のチャネルのしきい値電圧 $V_T$ を、第1のトランジスタ $T_{11}$ のゲート108のバイアスが行われる様式に基づいて調整することができる。それにより、第1のトランジスタ $T_{11}$ のゲートは、上位レベルトランジスタ $T_{21}$ のチャネル電位を制御することが可能になる。ただし、第2のトランジスタ $T_{21}$ と第1のトランジスタ $T_{11}$ との間の結合現象は、第2のトランジスタのチャネルの外側にある領域内では妨げられる。

20

## 【0096】

本発明に従って実施されるマイクロエレクトロニクスデバイスの別の例を、図2Cに示す。図2Bに関連して先に説明した例と同様に、このデバイスも、トランジスタ $T_{11}$ と $T_{21}$ とをいくつかの異なる誘電体材料で分離する絶縁領域を備える。

## 【0097】

第1のトランジスタ $T_{11}$ のゲート108と第2のトランジスタ $T_{21}$ のチャネル領域116が、第1の誘電体材料420、例えば第1の誘電率 $k_1$ を有する誘電体材料を含む第1の領域 $R'_1$ によって分離される。この第1の領域 $R'_1$ の周りの、第1のトランジスタ $T_{11}$ のソース領域およびドレイン領域よりも上方にある領域 $R'_2$ 内に絶縁領域が見られ、絶縁領域は、第1の誘電体材料420と、 $k_2 < k_1$ であるような第2の誘電率 $k_2$ を有する第2の誘電体材料422との積層によって形成される。

30

## 【0098】

第1のトランジスタ $T_{11}$ および第2のトランジスタ $T_{21}$ は、メモリセル、特にSRAMメモリセル、例えば4つのトランジスタを有するSRAMセル(4T)または6つのトランジスタを有するSRAMセル(6T)のトランジスタである。

40

## 【0099】

本発明による第1の例示的ランダムアクセスメモリセル100を、図3A~3Cに示す。

## 【0100】

このメモリセル100は、4TタイプのSRAMスタティックメモリセルであり、すなわちメモリセル100には4つのトランジスタが装備されている。セル100は、第1のインバータおよび第2のインバータを形成する複数のトランジスタを含み、それらは「フリップフロップ」と一般に呼ばれる双安定構成で接続される。

## 【0101】

この例では、フリップフロップが、例えばNMOS型の第1の導電トランジスタ $MD_L$ によって形成される。第2の導電トランジスタ $MD_R$ のゲートが、セル100の第1の記憶ノードLに接続

50

され、第1の導電トランジスタ $MD_L$ のゲートが、セル100の第2の記憶ノードRに接続される。導電トランジスタ $MD_L$ 、 $MD_R$ のソースが互いに接続されてグラウンド電位 $V_{ss}$ に至り、第1の導電トランジスタ $MD_L$ のドレインが、第1のノードLに接続され、第2の導電トランジスタ $MD_R$ のドレインが、第2のノードRに接続される。導電トランジスタ $MD_L$ 、 $MD_R$ は、セル100内に記憶された論理値に基づいて、所与の論理レベル、例えば、例として電位 $V_{ss}$ に等しい電位に対応する「0」を、ノードLまたはRの一方に対して確立するのに必要な負荷を維持するために設けられる。

【0102】

セル100にはさらに、第1のアクセストランジスタ $MA_L$ および第2のアクセストランジスタ $MA_R$ が装備される。アクセストランジスタ $MA_L$ および $MA_R$ は、ワード線WLに接続されたゲートを備える。第1のアクセストランジスタ $MA_L$ のソースが、第1のビット線 $BL_L$ に接続され、第2のアクセストランジスタ $MA_R$ のソースが、第2のビット線 $BL_R$ に接続される。第1のアクセストランジスタ $MA_L$ のドレインが、第1の記憶ノードLに接続され、第2のアクセストランジスタ $MA_R$ のドレインが、第2の記憶ノードRに接続される。アクセストランジスタ $MA_L$ 、 $MA_R$ は、セル100の読出または書込み段階中の記憶ノードLおよびRへのアクセスを可能にし、かつセル100が情報保持モードにあるときにセル100へのアクセスを阻止するように構成される。

【0103】

このようなセルでは、トランジスタ $MD_L$ および $MA_L$ がそれぞれ、図2A~2Cに関連して先に説明した例の第1のトランジスタ $T_{11}$ および第2のトランジスタ $T_{21}$ の構成に類似した構成を有する。トランジスタ $MD_L$ 、 $MA_L$ は実際に、積層されて、第1のアクセストランジスタ $MA_L$ のチャネル領域が、導電トランジスタ $MD_L$ のゲートとアクセストランジスタ $MA_L$ のチャネルとの間の結合(このような結合は、図3Aに破線で導電トランジスタ $MD_L$ とアクセストランジスタ $MA_L$ との間に図示されている)を可能にするように設けられた距離を隔てて、第1の導電トランジスタ $MD_L$ のゲートよりも上方に、それとは対向する位置にあるように構成される。アクセストランジスタ $MA_L$ と第1の導電トランジスタ $MD_L$ は、このような結合を可能にするように設けられた厚さおよび組成を有する絶縁領域によって分離される。

【0104】

このような構成のため、第1のアクセストランジスタ $MA_L$ のしきい値電圧が、第1の導電トランジスタ $MD_L$ のゲートのバイアスによって変わる。

【0105】

このようなセルでは、トランジスタ $MD_R$ および $MA_R$ もそれぞれ、図2A~2Cに関連して先に説明した例示的デバイスの第1のトランジスタ $T_{11}$ および第2のトランジスタ $T_{21}$ の構成に類似した構成を有する。

【0106】

トランジスタ $MD_R$ 、 $MA_R$ も同様に積層されて、第2のアクセストランジスタ $MA_R$ のチャネル領域が、第2の導電トランジスタ $MD_R$ のゲートと第2のアクセストランジスタ $MA_R$ のチャネルとの間の結合を可能にするように設けられた距離を隔てて、第2の導電トランジスタのゲートよりも上方に、それとは対向する位置にあるように構成される。

【0107】

アクセストランジスタ $MA_R$ と導電トランジスタ $MD_R$ は、結合を可能にするように設けられた厚さおよび組成を有する絶縁領域によって分離される。

【0108】

このような構成のため、第2のアクセストランジスタ $MA_R$ のしきい値電圧が、第2の導電トランジスタ $MD_R$ のゲートのバイアスによって変わる。

【0109】

トランジスタ $MD_L$ 、 $MD_R$ 、 $MA_L$ 、 $MA_R$ は、複数の薄層からなる積層体として形成され、導電トランジスタ $MD_L$ および $MD_R$ は、積層体の単一の第1のレベルN1内にあり、アクセストランジスタ $MA_L$ および $MA_R$ は、導電トランジスタ $MD_L$ および $MD_R$ よりも上方の、積層体の単一の第2のレベルN2内にある(図3Bおよび3C)。

10

20

30

40

50

## 【0110】

したがって、アクセストランジスタ $MA_L$ 、 $MA_R$ は、導電トランジスタ $MD_L$ 、 $MD_R$ のゲートのそれぞれに対応する電位に基づいて変調することができるしきい値電圧を有する。

## 【0111】

先に説明した、PMOS型アクセストランジスタがNMOS型導電トランジスタよりも上方にある状態では、アクセストランジスタのしきい値電圧は、導電トランジスタのゲートが、例えば1Vに等しい供給電位Vddでバイアスされるとき、 $V_{ts}$ 、pと書かれた基準値によって変わり、下位導電トランジスタのゲートが0Vにバイアスされるとき、 $V_{tp}$ 、lowと書かれた低い値によって変わり得る(図4の曲線 $C_{10}$ )。

## 【0112】

セル100の一動作モードは、以下のとおりである。

## 【0113】

保持モードでは、記憶されたデータを安定させるために、ビット線 $BL_L$ 、 $BL_R$ が電位Vddにされるとともに、ワード線WLも同様に供給電位Vddに維持される。次いで、アクセストランジスタ $MA_L$ および $MA_R$ が阻止状態になる。第1のノードLが高論理レベル、例えば電位Vddにあり、第2のノードRが低論理レベル、例えば0Vにある場合、第1の導電トランジスタ $MD_L$ も同様に阻止され、第2の導電トランジスタ $MD_R$ が導通している。第1のノードLの電位をVddの近くに維持するために、第1のアクセストランジスタ $MA_L$ を通過する $I_{MAL-OFF}$ 電流がもたらされ、 $I_{MAL-OFF}$ 電流は、 $ML_L$ からくるゲート電流( $I_{MLL-G}$ )に関連して第1の導電トランジスタ $MD_L$ を通過する $I_{MDL-OFF}$ 電流よりも大きく、すなわち

$$I_{MAL-OFF} > I_{MDL-OFF} + I_{MDR-G}$$

である。

## 【0114】

この例では、セル100の構成のため、第1のアクセストランジスタ $MA_L$ が、 $I_{MAL-OFF}$ 電流を増加させることができる低しきい値電圧 $V_T$ を有し、それにより、良好な保持ノイズマージン(RNM)を確保することが可能になる。

## 【0115】

読出しモードでは、記憶ノードL、Rに記憶されたデータにビット線 $BL_L$ および $BL_R$ を介してアクセスするために、ワード線WLがVSSにバイアスされる。次いで、アクセストランジスタ $MA_L$ および $MA_R$ が導通状態になる。第1のノードLが高論理レベル、例えば電位Vddにあり、第2のノードRが低論理レベル、例えば0Vにある場合、第1の導電トランジスタ $MD_L$ が同様に阻止され、第2の導電トランジスタ $MD_R$ が導通している。第2のノードRの電位を0の近くに維持するために、第2のアクセストランジスタ $MA_R$ を通過する $I_{MAR-ON}$ 電流がもたらされ、 $I_{MAR-ON}$ 電流は、第2の導電トランジスタ $MD_R$ を通過する $I_{MDR-ON}$ 電流よりも小さく、すなわち

$$I_{MAR-ON} < I_{MDR-ON}$$

である。

## 【0116】

この例では、セル100の構成のため、第2のアクセストランジスタ $MA_R$ が、トランジスタ $MD_R$ のしきい値電圧に近い基準しきい値電圧を有し、それにより、良好な読出しノイズマージン(SNM)を得ることが可能になる。

## 【0117】

したがって、セル100は150mV程度のSNM、および320mV程度のRNMを有することができる。

## 【0118】

導電トランジスタの幅を増大させることによって、SNMとRNMとの間の妥協点を改善することができる(RNMの低減およびSNMの増大)。

## 【0119】

セル100はさらに、従来技術による4Tセルに比べて、読出し安定性と保持安定性との間の妥協点の点から改善をもたらす。

10

20

30

40

50

## 【0120】

このようなセル構成はさらに、リフレッシュデバイスなしで済ますことを可能にすることができる。

## 【0121】

アクセストランジスタを導電トランジスタよりも上方に配置することによって、従来技術による4Tメモリセルに比べて集積密度も増大する。従来技術によるセルに比べて16.4%程度の占有表面積の低減を達成することができる。

## 【0122】

本発明による第2の例示的ランダムアクセスメモリセル200を、図5A~5Cに示す。

## 【0123】

このメモリセル200は、先に説明した4Tメモリセルの代替手段である。セル200は、第1のインバータおよび第2のインバータを形成する複数のトランジスタを含み、それらはフリップフロップ構成で一緒に接続される。

10

## 【0124】

この例では、フリップフロップが、例えばPMOS型の第1の負荷トランジスタ $ML_L$ および第2の負荷トランジスタ $ML_R$ によって形成される。負荷トランジスタ $ML_L$ 、 $ML_R$ のソースが、供給電位 $V_{dd}$ に接続され、第1の負荷トランジスタ $ML_L$ のドレインが、第1のノードLに接続され、第2の負荷トランジスタ $ML_R$ のドレインが、第2のノードRに接続される。

## 【0125】

セル200にはさらに、例えばNMOS型の第1のアクセストランジスタ $MA_L$ および第2のアクセストランジスタ $MA_R$ が装備される。アクセストランジスタ $MA_L$ 、 $MA_R$ は、セル200の読みまたは書き込み段階中の記憶ノードLおよびRへのアクセスを可能にし、かつセル200が情報保持モードにあるときにセル200へのアクセスを阻止するように構成される。

20

## 【0126】

このようなセル200では、トランジスタ $ML_L$ および $MA_L$ がそれぞれ、図2B~2Cに関連して先に説明した例示的デバイスの第1のトランジスタ $T_{11}$ および第2のトランジスタ $T_{21}$ の構成に類似した構成を有する。トランジスタ $ML_L$ 、 $MA_L$ が積層されて、第1のアクセストランジスタ $MA_L$ のチャネル領域が、負荷トランジスタ $ML_L$ のゲートとアクセストランジスタ $MA_L$ のチャネルとの間の結合を可能にするように設けられた距離を隔てて、第1の負荷トランジスタ $ML_L$ のゲートよりも上方に、それとは対向する位置にあるように構成される。

30

## 【0127】

このような構成のため、第1のアクセストランジスタ $MA_L$ のしきい値電圧が、第1の負荷トランジスタ $ML_L$ のゲートのバイアス電圧によって変わる。

## 【0128】

このようなセルでは、トランジスタ $ML_R$ および $MA_R$ もそれぞれ、図2B~2Cに関連して先に説明した例示的デバイスの第1のトランジスタ $T_{11}$ および第2のトランジスタ $T_{21}$ の構成に類似した構成を有する。

## 【0129】

第2のアクセストランジスタ $MA_R$ のチャネル領域が、第2の負荷トランジスタ $ML_R$ のゲートと結合される。

40

## 【0130】

したがって、第2のアクセストランジスタ $MA_R$ のしきい値電圧が、第2の負荷トランジスタ $ML_R$ のゲートがバイアスされる様式によって変わる。

## 【0131】

図5Bおよび5Cに示すように、メモリセル200内のトランジスタ $ML_L$ 、 $ML_R$ 、 $MA_L$ 、 $MA_R$ は、複数層からなる積層体として形成され、負荷トランジスタ $ML_L$ および $ML_R$ が、積層体の単一の第1のレベル $N_1$ 内にあり、アクセストランジスタ $MA_L$ および $MA_R$ が、負荷トランジスタよりも上方の、積層体の単一の第2のレベル $N_2$ 内にあるように構成される。

## 【0132】

セル200の一動作モードは、以下のとおりである。

50

## 【0133】

保持モードでは、記憶されたデータを安定させるように、ビット線 $BL_L$ 、 $BL_R$ が電位0にされるとともに、ワード線 $WL$ も同様にグランド電位 $VSS$ に維持される。次いで、アクセストランジスタ $MA_L$ および $MA_R$ が阻止状態になる。第1のノード $L$ が高論理レベル、例えば電位 $Vdd$ にあり、第2のノード $R$ が低論理レベル、例えば $0V$ にある場合、第2の負荷トランジスタ $ML_R$ も同様に阻止され、第1の負荷トランジスタ $ML_L$ が導通している。第2のノード $R$ の電位を $0V$ の近くに維持するために、第2のアクセストランジスタ $MA_R$ を通過する $I_{MAR-OFF}$ 電流がもたらされ、 $I_{MAR-OFF}$ 電流は、 $ML_L$ からくるゲート電流( $I_{MLL-G}$ )に関連して第2の負荷トランジスタ $ML_R$ を通過する $I_{MLR-OFF}$ 電流よりも大きく、すなわち

$$I_{MAR-OFF} > I_{MLR-OFF} + I_{MLL-G}$$

である。

10

## 【0134】

この例では、セル200の構成のため、第2のアクセストランジスタ $MA_R$ が低しきい値電圧 $V_T$ を有し、それにより $I_{MAR-OFF}$ が増加して、良好な保持ノイズマージン(RNM)が内因的に確保される。

## 【0135】

読出しモードでは、記憶ノード $L$ 、 $R$ に記憶されたデータにビット線 $BL_L$ および $BL_R$ を介してアクセスするために、ワード線 $WL$ が電位 $VDD$ にバイアスされる。次いで、アクセストランジスタ $MA_L$ および $MA_R$ が導通状態になる。第1のノード $L$ が高論理レベル、例えば電位 $Vdd$ にあり、第2のノード $R$ が低論理レベル、例えば $0V$ にある場合、第1の負荷トランジスタ $ML_L$ も同様に導通し、第2の負荷トランジスタ $ML_R$ が阻止されている。第1のノード $L$ の電位を $VDD$ の近くに維持するために、第1のアクセストランジスタ $MA_L$ を通過する $I_{MAL-ON}$ 電流がもたらされ、 $I_{MAL-ON}$ 電流は、第1の負荷トランジスタ $ML_L$ を通過する $I_{MLL-ON}$ 電流よりも小さく、すなわち

$$I_{MAL-ON} < I_{MLL-ON}$$

である。

20

## 【0136】

この例では、セル200の構成のため、 $MA_L$ が第1の負荷トランジスタ $ML_L$ のしきい値電圧に近い基準しきい値電圧を有し、それにより、良好な読出しノイズマージン(SNM)を得ることが可能になる。

30

## 【0137】

このようなセル200も、改善された読出しマージン、ならびに従来型の4Tセルが有するよりも良好な、読出しマージンと保持マージンとの間の妥協点を有する。

## 【0138】

アクセストランジスタを負荷トランジスタよりも上方に配置することによって、従来技術による4Tメモリセルに比べて集積密度も増大する。

## 【0139】

本発明による第3の例示的ランダムアクセスメモリセル300を、図6A～6Cに示す。

## 【0140】

このセル300は、第1のインバータおよび第2のインバータを形成する複数のトランジスタを含み、それらはフリップフロップ構成と一緒に接続される。この例では、フリップフロップが、例えばNMOS型の第1の導電トランジスタ $MD_L$ および第2の導電トランジスタ $MD_R$ 、ならびに例えばPMOS型の第1の負荷トランジスタ $ML_L$ および第2の負荷トランジスタ $ML_R$ によって形成される。

40

## 【0141】

第2の導電トランジスタ $MD_R$ のゲートが、セル300の第1の記憶ノード $L$ に接続され、第1の導電トランジスタ $MD_L$ のゲートが、セル300の第2の記憶ノード $R$ に接続される。

## 【0142】

導電トランジスタ $MD_L$ 、 $MD_R$ のソースがそれぞれ、グランド電位 $VSS$ に接続され、第1の導電トランジスタ $MD_L$ のドレインが、第1の記憶ノード $L$ に接続され、第2の導電トランジスタ

50



MD<sub>R</sub>のドレインが、第2のノードRに接続される。

【0143】

負荷トランジスタML<sub>L</sub>、ML<sub>R</sub>のソースがそれぞれ、供給電位Vddに接続され、第1の負荷トランジスタML<sub>L</sub>のドレインが、第1のノードLに接続され、第2の負荷トランジスタML<sub>R</sub>のドレインが、第2のノードRに接続される。

【0144】

セル300にはさらに、第1のアクセストランジスタMA<sub>L</sub>および第2のアクセストランジスタMA<sub>R</sub>が装備される。

【0145】

このようなセルでは、トランジスタMD<sub>R</sub>およびML<sub>R</sub>がやはり、それぞれ図2B~2Cに関連して先に説明した例示的デバイスの第1のトランジスタT<sub>11</sub>および第2のトランジスタT<sub>21</sub>の構成に類似した構成を有する。

10

【0146】

したがって、トランジスタMD<sub>R</sub>、ML<sub>R</sub>は、第2の負荷トランジスタML<sub>R</sub>のチャネル領域が、第2の導電トランジスタMD<sub>R</sub>のゲートよりも上方に、それとは対向する位置にあるように構成され、またそのゲートとそのチャネルとの間の結合を可能にするように設けられた絶縁厚さによって分離される。

【0147】

トランジスタML<sub>L</sub>およびMD<sub>L</sub>もそれぞれ、図2B~2Cに関連して先に説明した例示的デバイスの第1のトランジスタT<sub>11</sub>および第2のトランジスタT<sub>21</sub>の構成に類似した構成を有する。

20

【0148】

このような構成のため、第1の負荷トランジスタML<sub>L</sub>のしきい値電圧が、第1の導電トランジスタMD<sub>L</sub>のゲートのバイアスによって変わる。

【0149】

トランジスタML<sub>R</sub>およびMA<sub>L</sub>もそれぞれ、図2B~2Cに関連して先に説明した例示的デバイスの第1のトランジスタT<sub>11</sub>および第2のトランジスタT<sub>21</sub>の構成に類似した構成を有する。

【0150】

トランジスタML<sub>R</sub>、MA<sub>L</sub>は、第1のアクセストランジスタMA<sub>L</sub>のチャネル領域が、第2の負荷トランジスタML<sub>R</sub>のゲートよりも上方に、それとは対向する位置にあり、それに結合されるように構成される。

30

【0151】

トランジスタML<sub>L</sub>およびMA<sub>R</sub>もそれぞれ、図2B~2Cに関連して先に説明した例示的デバイスの第1のトランジスタT<sub>11</sub>および第2のトランジスタT<sub>21</sub>の構成に類似した構成を有する。

【0152】

このような構成のため、第2のアクセストランジスタMA<sub>R</sub>のしきい値電圧が、第1の負荷トランジスタML<sub>L</sub>のゲートのバイアスによって変わる。

【0153】

図6Bおよび6Cに示すように、メモリセル300内のトランジスタMD<sub>L</sub>、MD<sub>R</sub>、MA<sub>L</sub>、MA<sub>R</sub>、ML<sub>L</sub>、ML<sub>R</sub>は、複数の薄層からなる積層体として形成され、積層体の3つの異なるレベルN1、N2、N3にわたって分配され、導電トランジスタMD<sub>L</sub>およびMD<sub>R</sub>は、積層体の単一の第1のレベルN<sub>1</sub>内にあり、負荷トランジスタML<sub>L</sub>およびML<sub>R</sub>は、導電トランジスタよりも上方の、積層体の単一の第2のレベルN<sub>2</sub>内にあり、アクセストランジスタMA<sub>L</sub>、MA<sub>R</sub>は、負荷トランジスタML<sub>L</sub>およびML<sub>R</sub>よりも上方の、積層体の単一の第3のレベルN<sub>3</sub>内にある。

40

【0154】

セル300の一動作モードは、以下のとおりである。

【0155】

読出しモードでは、ビット線BL<sub>L</sub>、BL<sub>R</sub>がグランド電位VSSにされるとともに、記憶ノードL、Rに記憶されたデータにビット線BL<sub>L</sub>およびBL<sub>R</sub>を介してアクセスするために、ワード線WLも同様にその電位VSSに維持される。次いで、アクセストランジスタMA<sub>L</sub>およびMA<sub>R</sub>が導通状態になる。第1のノードLが高論理レベル、例えば電位Vddにあり、第2のノードRが

50

低論理レベル、例えば0Vにある場合、第2の導電トランジスタMD<sub>R</sub>および第1の負荷トランジスタML<sub>L</sub>も同様に導通し、第1の導電トランジスタMD<sub>L</sub>および第2の負荷トランジスタML<sub>R</sub>が阻止されている。第1のノードLの電位をV<sub>dd</sub>の近くに維持するために、第1のアクセストランジスタMA<sub>L</sub>を通過するI<sub>MAL-ON</sub>電流がもたらされ、I<sub>MAL-ON</sub>電流は、第1の負荷トランジスタML<sub>L</sub>を通過するI<sub>MLL-ON</sub>電流よりも小さく、すなわち

$$I_{MAL-ON} < I_{MLL-ON}$$

である。

【0156】

この例では、セル300の構成のため、第1の負荷トランジスタML<sub>L</sub>が低しきい値電圧を有し、それにより、I<sub>MLL-ON</sub>電流を増加させて、読出しノイズマージン(SNM)を増加させることが可能になる。

10

【0157】

書込みモードでは、記憶ノードL、Rに記憶されたデータにビット線BL<sub>L</sub>およびBL<sub>R</sub>を介してアクセスするために、ワード線WLがVSSにバイアスされる。次いで、アクセストランジスタMA<sub>L</sub>およびMA<sub>R</sub>が導通状態になる。第1のノードLが高論理レベル、例えば電位V<sub>dd</sub>にあり、第2のノードRが低論理レベル、例えば0Vにある場合、第2の導電トランジスタMD<sub>R</sub>および第1の負荷トランジスタML<sub>L</sub>も同様に導通し、第1の導電トランジスタMD<sub>L</sub>および第2の負荷トランジスタML<sub>R</sub>が阻止されている。0を書き込みたい場合、第1のビット線BL<sub>L</sub>が0Vに維持され、第2のビット線BL<sub>R</sub>がV<sub>dd</sub>にバイアスされる。第2の記憶ノードRをV<sub>dd</sub>に負荷するために、第2のアクセストランジスタMA<sub>R</sub>を通過するI<sub>MAR-ON</sub>電流がもたらされ、I<sub>MAR-ON</sub>電流は、第2の導電トランジスタMD<sub>R</sub>を通過するI<sub>MDR-ON</sub>電流よりも大きく、すなわち

$$I_{MAR-ON} > I_{MDR-ON}$$

である。

【0158】

この例では、セル300の構成のため、第2のアクセストランジスタMA<sub>R</sub>が低しきい値電圧V<sub>T</sub>を有し、それにより、I<sub>MAR-ON</sub>電流を増加させて、書込みマージン(WM)を増加させることが可能になる。

20

【0159】

改善された集積密度を有するのに加えて、このようなセル300は、従来技術による6Tメモリが有するよりも良好な、書込みマージンWMと読出し安定性マージンSNMとの間の妥協点も有する。

30

【0160】

本発明による第4の例示的ランダムアクセスメモリセル400を、図7A~7Cに示す。

【0161】

メモリセル400も、6TタイプのSRAMスタティックランダムアクセスメモリセルである。この例では、アクセストランジスタMA<sub>L</sub>、MA<sub>R</sub>が、NMOS型トランジスタである。

【0162】

セル400は、先に説明したセルとは、導電トランジスタMD<sub>L</sub>およびMD<sub>R</sub>、ならびに負荷トランジスタML<sub>L</sub>およびML<sub>R</sub>の構成が異なる。

【0163】

メモリセル400では、負荷トランジスタML<sub>L</sub>、ML<sub>R</sub>が、複数層からなる積層体の第1のレベルN1内に形成され、トランジスタMD<sub>L</sub>、MD<sub>R</sub>が、第1のレベルN1よりも上方にある、積層体の第2のレベルN2内に形成され、アクセストランジスタMA<sub>L</sub>、MA<sub>R</sub>が、第2のレベルN2よりも上方にある第3のレベルN3内に形成される。

40

【0164】

導電トランジスタMD<sub>L</sub>、MD<sub>R</sub>に対するアクセストランジスタMA<sub>L</sub>、MA<sub>R</sub>の構成は、第1のアクセストランジスタMA<sub>L</sub>のしきい値電圧が、第2の導電トランジスタMD<sub>R</sub>のゲートのバイアスによって変わり、第2のアクセストランジスタMA<sub>R</sub>のしきい値電圧が、第1の導電トランジスタMD<sub>L</sub>のゲートのバイアスによって変わるようなものである。

【0165】

50

負荷トランジスタ $ML_L$ 、 $ML_R$ に対する導電トランジスタ $MD_L$ 、 $MD_R$ の構成は、第1の導電トランジスタ $MD_L$ のしきい値電圧が、第1の負荷トランジスタ $ML_L$ のゲートのバイアスによって変わり、第2の導電トランジスタ $MD_R$ のしきい値電圧が、第2の負荷トランジスタ $ML_R$ のゲートのバイアスによって変わるようなものである。

【0166】

セル400の一動作モードは、以下のとおりである。

【0167】

読出しモードでは、ビット線 $BL_L$ 、 $BL_R$ が電位 $VDD$ にされるとともに、記憶ノード $L$ 、 $R$ に記憶されたデータにビット線 $BL_L$ および $BL_R$ を介してアクセスするために、ワード線 $WL$ も同様に $VDD$ に維持される。次いで、アクセストランジスタ $MA_L$ および $MA_R$ が導通状態になる。第1のノード $L$ が高論理レベル、例えば電位 $Vdd$ にあり、第2のノード $R$ が低論理レベル、例えば $0V$ にある場合、第2の導電トランジスタ $MD_R$ および第1の負荷トランジスタ $ML_L$ も同様に導通し、第1の導電トランジスタ $MD_L$ および第2の負荷トランジスタ $ML_R$ が阻止されている。第2のノード $R$ の電位を $0V$ の近くに維持するために、第2のアクセストランジスタ $MA_R$ を通過する $I_{MAR-ON}$ 電流がもたらされ、 $I_{MAR-ON}$ 電流は、第2の導電トランジスタ $MD_R$ を通過する $I_{MDR-ON}$ 電流よりも小さく、すなわち

$$I_{MAR-ON} < I_{MDR-ON}$$

である。

【0168】

この例では、セル400の構成のため、第2の導電トランジスタ $MD_R$ が低しきい値電圧を有し、それにより、 $I_{MDR-ON}$ を増加させて、読出しノイズマージン(SNM)を増加させることが可能になる。

【0169】

書込みモードでは、記憶ノード $L$ 、 $R$ に記憶されたデータにビット線 $BL_L$ および $BL_R$ を介してアクセスするために、ワード線 $WL$ が $VDD$ にバイアスされる。次いで、アクセストランジスタ $MA_L$ および $MA_R$ が導通状態になる。第1のノード $L$ が高論理レベル、例えば電位 $Vdd$ にあり、第2のノード $R$ が低論理レベル、例えば $0V$ にある場合、第2の導電トランジスタ $MD_R$ および第1の負荷トランジスタ $ML_L$ も同様に導通し、第1の導電トランジスタ $MD_L$ および第2の負荷トランジスタ $ML_R$ が阻止されている。0を書き込みたい場合、第1のビット線 $BL_L$ が $0V$ にバイアスされ、第2のビット線 $BL_R$ が $VDD$ に維持される。第1のノード $L$ を $0V$ に負荷解除するために、第1のアクセストランジスタ $MA_L$ を通過する $I_{MAL-ON}$ 電流がもたらされ、 $I_{MAL-ON}$ 電流は、第1の負荷トランジスタ $ML_L$ を通過する $I_{MLL-ON}$ 電流よりも大きく、すなわち

$$I_{MAL-ON} > I_{MLL-ON}$$

である。

【0170】

この例では、セル400の構成のため、 $MA_L$ が低しきい値電圧 $V_T$ を有し、それにより、 $I_{MAL-ON}$ を増加させて、書込みマージン(WM)を増加させることが可能になる。

【0171】

このようなセル400は、改善された集積密度だけでなく、従来技術による6Tメモリセルが有するよりも良好な、書込みマージン $WM$ と読出し安定性 $SNM$ との間の妥協点も有する。

【0172】

本発明による第5の例示的ランダムアクセス記憶セル500を、図8A~8Cに示す。

【0173】

このセル500も、6TタイプのSRAMスタティックランダムアクセスメモリセルである。

【0174】

セル500は、第1のインバータ $INV_L$ を形成する複数のトランジスタ $MD_L$ 、 $MD_R$ 、 $ML_L$ 、 $ML_R$ 、および第2のインバータ $INV_R$ を形成する複数のトランジスタ $MD_L$ 、 $MD_R$ 、 $ML_L$ 、 $ML_R$ を含む。

【0175】

セル500は、先に説明したセルとは、導電 $MD_L$ および $MD_R$ トランジスタ、ならびに負荷 $ML_L$ および $ML_R$ トランジスタの構成が異なり、これらが今回は、複数の薄層からなる積層体の

10

20

30

40

50

同じレベルのところにも形成され、アクセストランジスタ $MA_L$ および $MA_R$ が、より高いレベルのところにも形成される(図8Bおよび8C)。

【0176】

セル500の一動作モードは、以下のとおりである。

【0177】

書込みモードでは、記憶ノードL、Rに記憶されたデータにビット線 $BL_L$ および $BL_R$ を介してアクセスするために、ワード線WLがVDDにバイアスされる。次いで、アクセストランジスタ $MA_L$ および $MA_R$ が導通状態になる。第1のノードLが高論理レベル、例えば電位Vddにあり、第2のノードRが低論理レベル、例えば0Vにある場合、第2の導電トランジスタ $MD_R$ および第1の負荷トランジスタ $ML_L$ も同様に導通し、第1の導電トランジスタ $MD_L$ および第2の負荷トランジスタ $ML_R$ が阻止されている。0を書き込みたい場合、第1のビット線 $BL_L$ を0Vにバイアスし、第2のビット線 $BL_R$ をVDDに維持することができる。第1のノードLを0Vに負荷解除するために、第1のアクセストランジスタ $MA_L$ を通過する $I_{MAL-ON}$ 電流がもたらされ、 $I_{MAL-ON}$ 電流は、第1の負荷トランジスタ $ML_L$ を通過する $I_{MLL-ON}$ 電流よりも大きく、すなわち  $I_{MAL-ON} > I_{MLL-ON}$  である。

10

【0178】

この例では、セル500の構成のため、 $MA_L$ が低しきい値電圧 $V_T$ を有し、それにより、 $I_{MAL-ON}$ を増加させて、書込みマージン(WM)を増加させることが可能になる。

【0179】

書込みマージンを改善することによって、このようなセル500は、改善された集積密度だけでなく、従来技術による6Tメモリセルが有するよりも良好な、書込みマージンWMと読出し安定性SNMとの間の妥協点も有する。

20

【0180】

本発明による第6の例示的スタティックランダムアクセスメモリセル600を、図9A~9Cに示す。

【0181】

このメモリセル600は、8つのトランジスタが装備されたデュアルポートタイプのSRAMスタティックメモリである。セル600は、第1のインバータ $INV_L$ および第2のインバータ $INV_R$ を形成する複数のトランジスタを含み、それらはフリップフロップ構成と一緒に接続される。この例では、フリップフロップが、例えばNMOS型の第1の導電トランジスタ $MD_L$ および第2の導電トランジスタ $MD_R$ 、ならびに例えばPMOS型の第1の負荷トランジスタ $ML_L$ および第2の負荷トランジスタ $ML_R$ によって形成される。

30

【0182】

セル600にはさらに、第1のアクセストランジスタ $MA_{L1}$ 、第2のアクセストランジスタ $MA_{L2}$ 、第3のアクセストランジスタ $MA_{R1}$ 、および第4のアクセストランジスタ $MA_{R2}$ が装備される。

【0183】

第1のアクセストランジスタ $MA_{L1}$ は、第1のビット線 $BL_{L1}$ と第1のノードLとの間に接続され、第2のアクセストランジスタ $MA_{L2}$ は、第2のビット線 $BL_{L2}$ と前記第1のノードLとの間に接続される。

40

【0184】

第3のアクセストランジスタ $MA_{R1}$ は、第3のビット線 $BL_{R1}$ と第2のノードRとの間に接続され、第4のアクセストランジスタ $MA_{R2}$ は、第4のビット線 $BL_{R2}$ と第2のノードRとの間に接続される。

【0185】

したがって、第1のアクセストランジスタ $MA_{L1}$ および第2のアクセストランジスタ $MA_{L2}$ は、セル600の第1のノードLへのアクセスを可能にし、第3のアクセストランジスタ $MA_{R1}$ および第4のアクセストランジスタ $MA_{R2}$ は、セル600の第2のノードRへのアクセスを可能にする。

50

## 【0186】

第1のアクセストランジスタ $MA_{L1}$ および第3のアクセストランジスタ $MA_{R1}$ は、ゲートを備え、それが第1のワード線 $WL_1$ に接続され、第2のアクセストランジスタ $MA_{L2}$ および第4のアクセストランジスタ $MA_{R2}$ は、ゲートを備え、それが第2のワード線 $WL_2$ に接続される。

## 【0187】

図9Bおよび9Cに示すように、メモリセル600では、トランジスタ $MD_L$ 、 $MD_R$ 、 $MA_L$ 、 $MA_R$ 、 $ML_L$ 、 $ML_R$ が、複数の薄層からなる積層体として形成され、積層体の2つの異なるレベルN1、N2にわたって分配され、導電 $MD_L$ および $MD_R$ トランジスタ、ならびに負荷 $ML_L$ および $ML_R$ トランジスタが、積層体内でアクセストランジスタ $MA_{L1}$ 、 $MA_{L2}$ 、 $MA_{R1}$ 、 $MA_{R2}$ の下にある。

## 【0188】

アクセストランジスタはそれぞれ、図2B~2Cに関連して先に説明した例示的デバイスの第2のトランジスタ $T_{21}$ の構成に類似した構成を有し、インバータ $INV_L$ および $INV_R$ を形成するトランジスタのうち1つのトランジスタのゲートよりも上方に、それとは対向してそれぞれ形成される。

## 【0189】

第2のインバータ $INV_R$ の各トランジスタに対する、第1のアクセストランジスタ $MA_{L1}$ および第2のアクセストランジスタ $MA_{L2}$ の構成は、第1のアクセストランジスタ $MA_{L1}$ が、第2のインバータ $INV_R$ のトランジスタのゲートと結合されるチャネル領域を有し、第2のアクセストランジスタ $MA_{L2}$ が、第2のインバータ $INV_R$ のトランジスタのゲートと結合されるチャネル領域を有するようなものである。

## 【0190】

第1のインバータ $INV_L$ の各トランジスタに対する、第3のアクセストランジスタ $MA_{R1}$ および第4のアクセストランジスタ $MA_{R2}$ の構成は、第3のアクセストランジスタ $MA_{R1}$ が、第1のインバータ $INV_L$ のトランジスタのゲートと結合されるチャネル領域を有し、第4のアクセストランジスタ $MA_{R2}$ が、第1のインバータ $INV_L$ のトランジスタのゲートと結合されるチャネル領域を有するようなものである。

## 【0191】

このようなセルは、インバータ $INV_R$ および $INV_L$ を、複数層からなる積層体の第1のレベル内に備え、アクセストランジスタ $MA_{L1}$ 、 $MA_{L2}$ 、 $MA_{R1}$ 、 $MA_{R2}$ を、前記積層体の第2のレベル内に備える。

## 【0192】

セル600の一動作モードは、以下のとおりである。

## 【0193】

書込みモードでは、記憶ノードL、Rに記憶されたデータに、それぞれビット線 $BL_{L1}$  ( $BL_{L2}$ )、および $BL_{R1}$  ( $BL_{R2}$ )を介してアクセスするために、ワード線 $WL_1$  ( $WL_2$ )がVDDにバイアスされるとともに、ワード線 $WL_2$  ( $WL_1$ )が0Vにバイアスされる。次いで、アクセストランジスタ $MA_{L1}$  ( $MA_{L2}$ )および $MA_{R1}$  ( $MA_{R2}$ )が導通状態になるとともに、アクセストランジスタ $MA_{L2}$  ( $MA_{L1}$ )および $MA_{R2}$  ( $MA_{R1}$ )が阻止状態になる。第1のノードLが高論理レベル、例えば電位Vddにあり、第2のノードRが低論理レベル、例えば0Vにある場合、第2の導電トランジスタ $MD_R$ および第1の負荷トランジスタ $ML_L$ も同様に導通し、第1の導電トランジスタ $MD_L$ および第2の負荷トランジスタ $ML_R$ が阻止されている。0を書き込みたい場合、第1のビット線 $BL_{L1}$ が0Vにバイアスされ、第3のビット線 $BL_{R1}$ がVDDに維持される。第1の記憶ノードLを0Vに負荷解除するために、第1のアクセストランジスタ $MA_{L1}$ を通過する $I_{MAL-ON}$ 電流がもたらされ、 $I_{MAL-ON}$ 電流は、第1の負荷トランジスタ $ML_L$ を通過する $I_{MLL-ON}$ 電流よりも大きく、すなわち

$$I_{MAL-ON} > I_{MLL-ON}$$

である。

## 【0194】

この例では、セル600の構成のため、第1の(第2の)アクセストランジスタ $MA_{L1}$  ( $MA_{L2}$ )が低い $V_T$ を有し、それにより $I_{MAL-ON}$ が増加して、書込みマージン(WM)が増加する。

10

20

30

40

50

## 【 0 1 9 5 】

書込みマージンを改善することによって、このようなセル600は、改善された集積密度だけでなく、従来技術による8トランジスタデュアルポートメモリセルが有するよりも良好な、書込みマージン $WM$ と読出し安定性 $SNM$ との間の妥協点も有する。

## 【 0 1 9 6 】

本発明による第7の例示的ランダムアクセスメモリセル700を、図10A～10Bに示す。

## 【 0 1 9 7 】

メモリセル700も、6TタイプのSRAMスタティックメモリである。

## 【 0 1 9 8 】

メモリセル700では、負荷トランジスタ $ML_L$ 、 $ML_R$ が、複数層からなる積層体の第1のレベル $N1$ 内に形成され、導電トランジスタ $MD_L$ 、 $MD_R$ が、第1のレベル $N1$ よりも上方にある、積層体の第2のレベル $N2$ 内に形成され、アクセストランジスタ $MA_L$ 、 $MA_R$ も同様に、第2のレベル $N2$ 内に形成される。

10

## 【 0 1 9 9 】

負荷トランジスタ $ML_L$ 、 $ML_R$ に対するアクセストランジスタ $MA_L$ 、 $MA_R$ の構成は、第1のアクセストランジスタ $MA_L$ のしきい値電圧が、第2の負荷トランジスタ $ML_R$ のゲートのバイアスによって変わり、第2のアクセストランジスタ $MA_R$ のしきい値電圧が、第1の負荷トランジスタ $ML_L$ のゲートのバイアスによって変わるようなものである。

## 【 0 2 0 0 】

一方では第1の負荷トランジスタ $ML_L$ のゲートと第2のアクセストランジスタ $MA_R$ のチャンネルとの間、他方では第1の負荷トランジスタ $ML_L$ のゲートと第1の駆動トランジスタ $MD_L$ のチャンネルとの間の結合が、図10Aに点線で表されている。

20

## 【 0 2 0 1 】

一方では第2の負荷トランジスタ $ML_R$ のゲートと第1のアクセストランジスタ $MA_L$ のチャンネルとの間、他方では第2の負荷トランジスタ $ML_R$ のゲートと第2の駆動トランジスタ $MD_R$ のチャンネルとの間の結合も、図10Aに点線で表されている。

## 【 0 2 0 2 】

負荷トランジスタ $ML_L$ 、 $ML_R$ に対する導電トランジスタ $MD_L$ 、 $MD_R$ の構成は、第1の導電トランジスタ $MD_L$ のしきい値電圧が、第1の負荷トランジスタ $ML_L$ のゲートのバイアスによって変わり、第2の導電トランジスタ $MD_R$ のしきい値電圧が、第2の負荷トランジスタ $ML_R$ のゲートのバイアスによって変わるようなものである。

30

## 【 0 2 0 3 】

このアーキテクチャでは、負荷トランジスタ $ML_L$ のゲートがバイアスされる様式のため、ノード $R$ を低論理レベルにより良好に維持することができる。

## 【符号の説明】

## 【 0 2 0 4 】

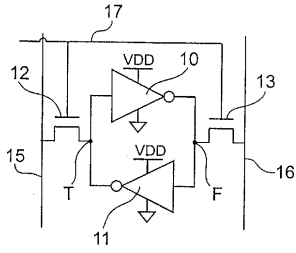
- 100 基板、第1の例示的ランダムアクセスメモリセル
- 102 ソース領域
- 104 ドレイン領域
- 106 チャンネル領域
- 107 誘電体、誘電体材料
- 108 ゲート
- 112 ソース領域
- 114 ドレイン領域
- 116 チャンネル構造、半導体領域、チャンネル領域、チャンネル
- 117 ゲート誘電体、誘電体領域
- 118 ゲート
- 120 絶縁領域、絶縁層
- 200 第2の例示的ランダムアクセスメモリセル
- 300 第3の例示的ランダムアクセスメモリセル

40

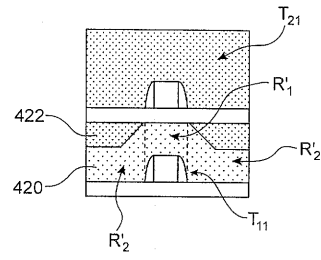
50

400	第4の例示的ランダムアクセスメモリセル	
420	第1の誘電体材料	
422	第2の誘電体材料	
500	第5の例示的ランダムアクセス記憶セル	
600	第6の例示的スタティックランダムアクセスメモリセル	
700	第7の例示的ランダムアクセスメモリセル	
BL <sub>L</sub>	第1のビット線	
BL <sub>L1</sub>	第1のビット線	
BL <sub>L2</sub>	第2のビット線	
BL <sub>R</sub>	第2のビット線	10
BL <sub>R1</sub>	第3のビット線	
BL <sub>R2</sub>	第4のビット線	
dc <sub>1</sub>	クリティカルディメンジョン	
dc <sub>2</sub>	クリティカルディメンジョン	
e <sub>c</sub>	SiO <sub>2</sub> 等価厚、距離、厚さ	
INV <sub>L</sub>	第1のインバータ	
INV <sub>R</sub>	第2のインバータ	
L	第1の記憶ノード	
MA <sub>L</sub>	第1のアクセストランジスタ	
MA <sub>L1</sub>	第1のアクセストランジスタ	20
MA <sub>L2</sub>	第2のアクセストランジスタ	
MA <sub>R</sub>	第2のアクセストランジスタ	
MA <sub>R1</sub>	第3のアクセストランジスタ	
MA <sub>R2</sub>	第4のアクセストランジスタ	
MD <sub>L</sub>	第1の導電トランジスタ、第1の駆動トランジスタ	
MD <sub>R</sub>	第2の導電トランジスタ、第2の駆動トランジスタ	
ML <sub>L</sub>	第1の負荷トランジスタ	
ML <sub>R</sub>	第2の負荷トランジスタ	
N1	第1のレベル	
N <sub>1</sub>	第1のレベル	30
N2	第2のレベル	
N <sub>2</sub>	第2のレベル	
N3	第3のレベル	
R	第2の記憶ノード	
R <sub>1</sub>	第1の領域	
R' <sub>1</sub>	第1の領域	
R <sub>2</sub>	領域	
R' <sub>2</sub>	領域	
T <sub>11</sub>	第1のトランジスタ、下位レベルトランジスタ、第1の下位トランジスタ	
T <sub>21</sub>	第2のトランジスタ、上位レベルトランジスタ	40
WL	ワード線	
WL <sub>1</sub>	第1のワード線	
WL <sub>2</sub>	第2のワード線	

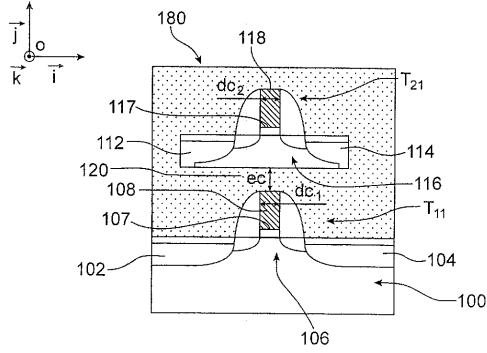
【図1】



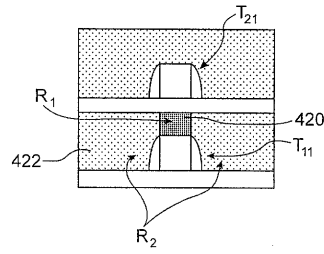
【図2B】



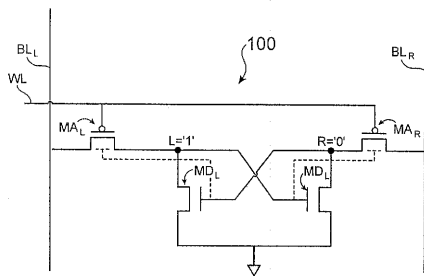
【図2A】



【図2C】

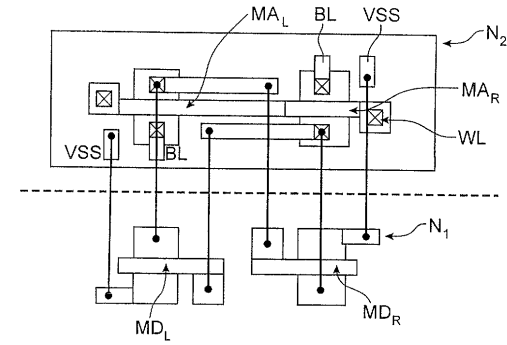


【図3A】

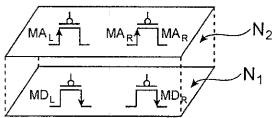


【図3C】

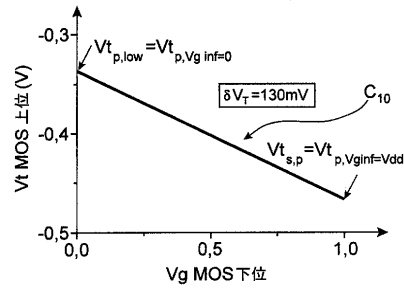
FIG.3A



【図3B】

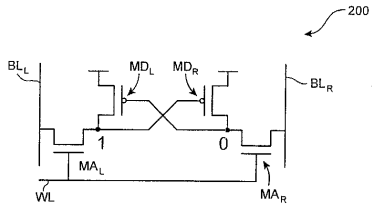


【図4】

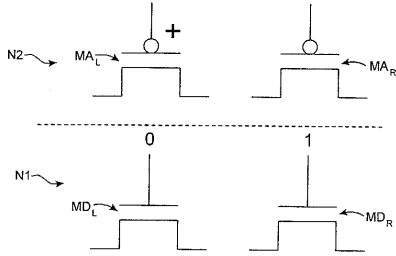




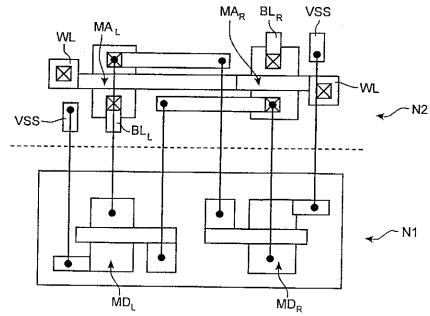
【図 5 A】



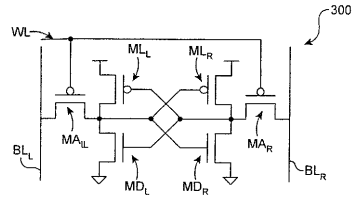
【図 5 B】



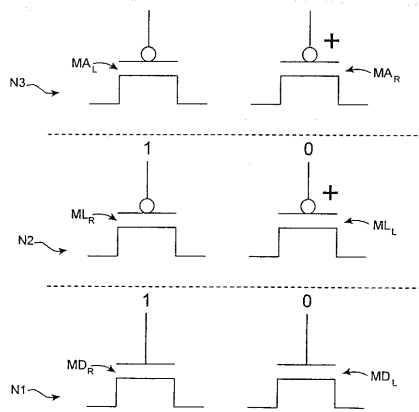
【図 5 C】



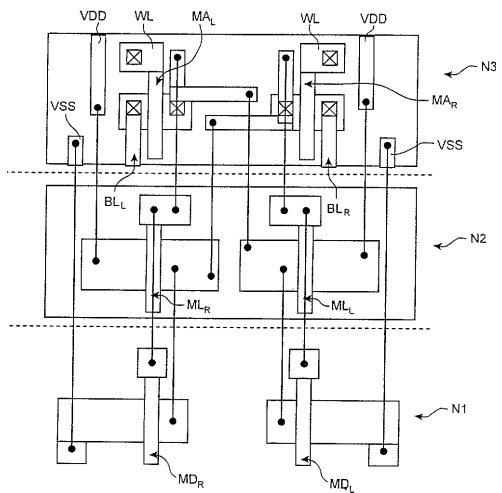
【図 6 A】



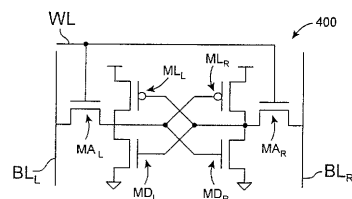
【図 6 B】



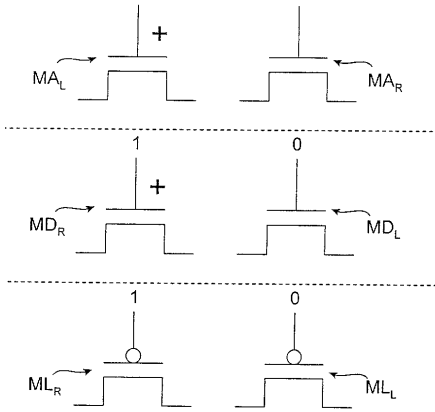
【図 6 C】



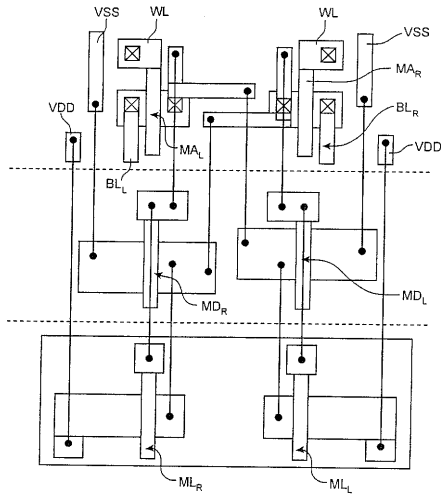
【図 7 A】



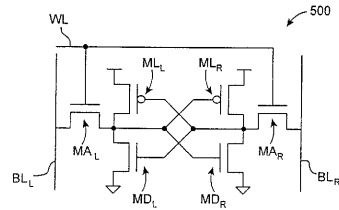
【図 7 B】



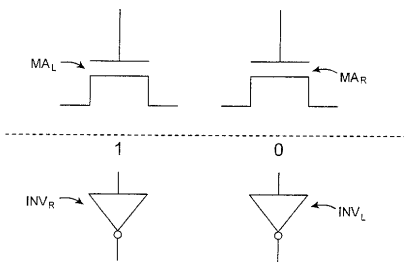
【図 7 C】



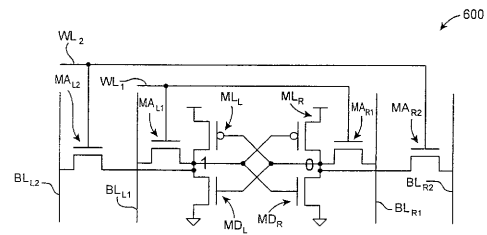
【図 8 A】



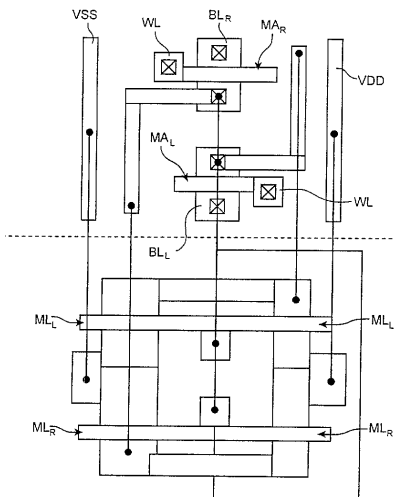
【図 8 B】



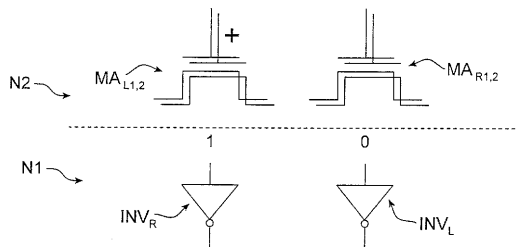
【図 9 A】



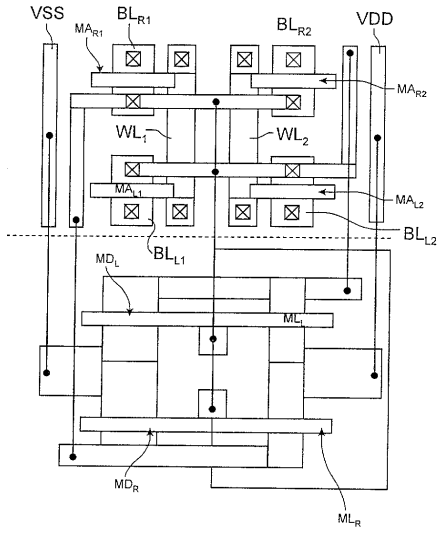
【図 8 C】



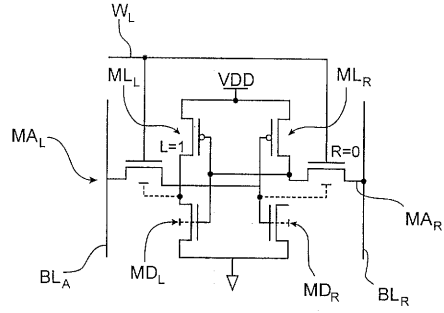
【図 9 B】



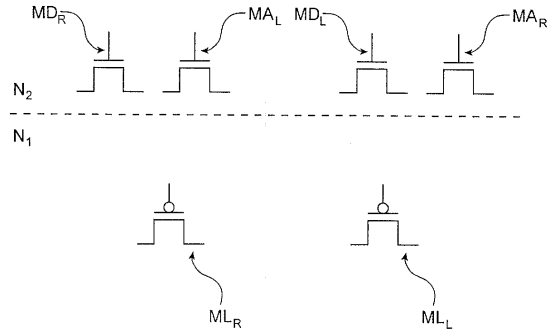
【図9C】



【図10A】



【図10B】



## フロントページの続き

- (72)発明者 オリヴィエ・トマ  
フランス・38420・レヴェル・プレ・フォール・(番地なし)
- (72)発明者 ペルリーネ・バトゥードゥ  
フランス・38000・グルノーブル・リュ・ドゥ・ストラスボール・16・ビス
- (72)発明者 アルノー・ポイドゥバスク  
フランス・38420・ル・ヴェルソー・アヴニュ・パストゥール・532
- (72)発明者 モード・ヴィネ  
フランス・38140・リーヴ・シュマン・デ・ヴィーニュ・171ペー

審査官 外山 毅

- (56)参考文献 特開2005-203777(JP,A)  
特開平07-193251(JP,A)  
特開2002-222874(JP,A)  
特開平04-170069(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 21/8244  
H01L 27/11