



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 698 22 850 T2 2005.03.24

(12)

Übersetzung der europäischen Patentschrift

(97) EP 1 012 846 B1

(21) Deutsches Aktenzeichen: 698 22 850.2

(86) PCT-Aktenzeichen: PCT/US98/12426

(96) Europäisches Aktenzeichen: 98 929 080.4

(87) PCT-Veröffentlichungs-Nr.: WO 99/065036

(86) PCT-Anmeldetag: 12.06.1998

(87) Veröffentlichungstag

der PCT-Anmeldung: 16.12.1999

(97) Erstveröffentlichung durch das EPA: 28.06.2000

(97) Veröffentlichungstag

der Patenterteilung beim EPA: 31.03.2004

(47) Veröffentlichungstag im Patentblatt: 24.03.2005

(51) Int Cl.⁷: G11C 16/00

G11C 16/12, G11C 16/16, G11C 16/34,
G11C 16/10

(73) Patentinhaber:

Macronix International Co. Ltd., Hsinchu, Taiwan,
TW

(74) Vertreter:

Dr. Weber, Dipl.-Phys. Seiffert, Dr. Lieke, 65183
Wiesbaden

(84) Benannte Vertragsstaaten:

DE, FR, GB, IT

(72) Erfinder:

LIN, Yu-Shen, Taipei, TW; SHIAU, Tzeng-Huei, Hsin
Pu, Hsin-Chu County 305, TW; WAN, Ray-Lin,
Fremont, US

(54) Bezeichnung: FN-KANAL PROGRAMIERER-LÖSCHWIEDERHERSTELLUNGSSCHEMA

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung**HINTERGRUND DER ERFINDUNG****a. Gebiet der Erfindung**

[0001] Die vorliegende Erfindung bezieht sich auf das Programmieren und Löschen von nicht-flüchtigen Speichereinrichtungen. Genauer gesagt bezieht sich die vorliegende Erfindung auf ein Schema für die Erholung bzw. Wiederherstellung (im Sinne von Regenerierung) von Flashzellen aus bzw. nach einem Programmier- und/oder Löschvorgang durch Fowler-Nordheim-Tunneln.

b. Beschreibung des verwandten Standes der Technik

[0002] Der Flashspeicher definiert eine Klasse nicht-flüchtiger integrierter Speicherschaltkreise auf der Basis von Transistoren mit potentialfreien (floating) Gates. Der Speicherzustand einer Zelle mit potentialfreiem Gate wird bestimmt durch die Konzentration der Ladung, die in dem potentialfreien Gate gefangen ist. Der Betrieb des Flashspeichers ist in hohem Maß abhängig von den Techniken, die verwendet werden, für das Injizieren oder Entfernen der Ladung aus dem potentialfreien Gate. Es gibt zumindest zwei grundlegende Techniken, die verwendet werden, um Ladung in Speicherzellen mit potentialfreiem Gate hinein und hinaus zu bewegen. Eine erste Technik wird als Injektion heißer Elektronen bezeichnet. Die Injektion heißer Elektronen wird induziert durch Anlegen einer positiven Spannung zwischen der Drain und der Source der Speicherzelle und einer positiven Spannung an dem Steuergate. Dies induziert einen Strom in der Zelle und heiße Elektronen in dem Strom werden durch das Tunneloxid der Zelle mit potentialfreiem Gate in das potentialfreie Gate injiziert. Die Injektion heißer Elektronen ist ein Vorgang mit relativ hohem Strom und ist daher üblicherweise auf die Verwendung für das Programmieren von gleichzeitig nur wenigen Zellen in der Einrichtung beschränkt.

[0003] Eine zweite Haupttechnik für das Bewegen von Ladung in das potentialfreie Gate von Flashspeicherzellen hinein und aus diesen heraus wird als Fowler-Nordheim-Tunneln (F-N-Tunneln) bezeichnet. Das F-N-Tunneln wird induziert durch Bereitstellen eines großen elektrischen Feldes zwischen dem Steuergate und entweder der Drain, der Source oder dem Kanal, oder zwischen dem Steuergate und einer Kombination dieser Anschlüsse. Das elektrische Feld stellt einen F-N-Tunnelstrom durch das Tunneloxid bereit und kann verwendet werden sowohl für das Injizieren von Elektronen in das potentialfreie Gate als auch für das Heraustreiben von Elektronen heraus aus dem potentialfreien Gate. Der F-N-Tunnelvorgang hat einen relativ niedrigen Strom, da er nicht erfordert, daß ein Strom zwischen der Source und der Drain der Zellen fließt. Demnach wird er üblicherweise parallel an einer Anzahl von Zellen in einer Einrichtung gleichzeitig verwendet.

[0004] Der Betrieb von Flashspeichern beinhaltet das Programmieren des Arrays, was eine zellweise Steuerung der Ladungsmenge erfordert, die in dem erdfreien Gate gespeichert wird, und das Löschen, durch welches ein gesamtes Array oder ein Sektor des Arrays auf einen vorbestimmten Ladungszustand in dem potentialfreien Gate gelöscht bzw. frei gemacht wird. Bei einer Art von Flashspeichern wird das F-N-Tunneln sowohl für das Programmieren als auch für das Löschen von Zellen in dem Array verwendet.

[0005] Das F-N-Tunnellschreiben, welches in früheren Ansätzen verwendet wurde, war ein begrenzender Faktor bezüglich der Fähigkeit, niedrige Versorgungsspannungen (VDD weniger als 5 Volt) in den integrierten Schaltkreisen zu verwenden. Beispielsweise beruht ein üblicher Ansatz auf einer Speicherzelle, die in einem Halbleitersubstrat vom p-Typ ausgebildet ist, mit Source- und Drainbereichen von n-Typ. Ein F-N-Tunnellschreibvorgang auf der Source-Seite wird vorgespannt durch Anlegen eines Löschkontakts von etwa 12 Volt an der Source, Erden des Substrats und Einstellen der Wortleitung, welche mit dem Steuergate der zu löschen Zellen verbunden ist, auf null Volt. Demnach wird ein Löschvorgang durch F-N-Tunneln zwischen der Source und dem potentialfreien Gate erzielt. Es wird jedoch eine große Spannungsdifferenz (12 Volt) zwischen der Source und dem Substrat hergestellt. Diese Spannungsdifferenz induziert unerwünschten Substratstrom und einen Strom heißer Löcher. Um den unerwünschten Strom zu unterdrücken wird ein Verfahren der sogenannten Doppeldiffusions-Source verwendet. Die Doppeldiffusion erzeugt eine graduelle oder zweistufige Veränderung der Konzentration der n-Typ Dotierung zwischen der Source und dem Substrat. Dies vermindert die Spannung an der Schnittstelle zwischen der Source und dem Substrat und unterdrückt den unerwünschten Strom. Die Doppeldiffusions-Source beschränkt jedoch auch die Fähigkeit, die Größe der Zelle zu reduzieren.

[0006] Ein alternativer Ansatz beinhaltet die Verwendung eines Speichers mit erdfreiem Gate mit Dreifach-Well, wie er in der internationalen Patentanmeldung Nr. PCT/US97/03861 mit dem Titel „Triple Well Floating Gate Memory and Operating Method with Isolated Channel Program, Preprogram and Erase Processes“

offenbart wird, mit den Erfindern Ray-Lin Wan und Chun-Shiung Hung, welche dem Inhaber der vorliegenden Erfindung gehört. In einer Ausführungsform dieses Ansatzes wird die Flashzelle in einem p-Typ Substrat ausgebildet, in welchem ein tiefer n-Well (NWD) innerhalb einer p-Well-Innenseite (PWI) ausgebildet ist. n-Typ Source- und Drainbereiche werden innerhalb der PWI ausgebildet. Eine typische Art und Weise der F-N-Programmierung dieser Anordnung einer erdfreien Gates mit Triple-Well ist in **Fig. 1** dargestellt, in welcher gezeigt wird, daß das p-Substrat mit Masse verbunden ist, der NWD eine kleine positive Spannung von etwa 3 Volt hat, der PWI, die Source und die Drain mit einer negativen Spannung von etwa -9 Volt verbunden sind und das Gate mit einer positiven Spannung von etwa 8 Volt verbunden ist. Eine typische Art und Weise des F-N-Löschens dieser Anordnung eines erdfreien Gates mit Triple-Well ist in **Fig. 2** veranschaulicht, wo gezeigt wird, daß das p-Substrat mit Masse verbunden ist, der NWD mit einer großen positiven Spannung von etwa 10 Volt verbunden ist der PWI, die Source und die Drain mit einer positiven Spannung von etwa 6 Volt verbunden sind und das Gate mit einer negativen Spannung von etwa -9 Volt verbunden ist. Nach dem Durchführen eines Programmierens oder Löschens der Zelle müssen die an den Knoten angelegten Potentiale entfernt werden und wieder auf Massepotential gebracht werden, was als Erholung bzw. Regenerierung der Zelle bekannt ist.

[0007] Bei der Auslegung eines Schemas zum Programmieren und Löschen an einer Zelle mit erd freiem Gate und Triple-Well, wie in den **Fig. 1** und **2** dargestellt, ist ein Hauptfaktor, der berücksichtigt werden muß, die Geschwindigkeit, mit welcher die Programmier-/Lösche-Funktionen ausgeführt werden können. Die Geschwindigkeit, mit welcher die Zelle sich von den hohen Spannungen erholen kann, die an den verschiedenen Zellknoten angelegt werden, ist ein bestimmender Faktor für die Gesamtgeschwindigkeit des Programmier-/Lösche-Schemas. Ein Faktor, der einen großen Effekt auf die Erholungszeit eines bestimmten Programmier-/Lösche-Schemas hat, ist die parasitäre Kapazität, welche zwischen den verschiedenen Knoten der Zelle mit erdfreiem Gate gebildet wird. Diese Kapazitäten sind in **Fig. 1** und **2** als C1 (Kondensator von Gate zu PWI), C2 (Kondensator des Übergangs von PWI zu NWD) und C3 (Kondensator des Übergangs von NWD zum p-Substrat) dargestellt. Bisher sind drei konventionelle Schemata verwendet worden, um C1, C2, C3 zu entladen und alle Anschlüsse der Zelle wieder auf Masse bzw. Erdpotential zu bringen.

[0008] Das erste Schema ist in den **Fig. 3(a)-(c)** bezüglich einer Erholung aus einem Programmierschritt dargestellt. Dieses Schema besteht darin, daß zuerst das Gate der Zelle über einen hochleitfähigen Pfad mit Masse verbunden wird, wodurch der Knoten PWI durch den Kondensator C1 mit einem niedrigeren Potential verbunden wird (in diesem Fall -17 Volt), da PWI durch einen Pfad geringer Leitfähigkeit mit -9 V verbunden ist. Demnach wird dieses Schema, um diese Kopplung zu reduzieren, typischerweise modifiziert durch Verbinden des Gates mit Masse, um einen Pfad geringer Leitfähigkeit zu haben und demzufolge die Erholungszeit zu verlängern. Weiterhin wird, wie in **Fig. 3(b)** dargestellt, typischerweise auch ein Spannungsbegrenzer D3 vorgesehen, um den Knoten mit einem Schutz gegenüber höherer Spannung zu versehen, welche durch eine falsch berechnete Kupplung verursacht wird. Nachdem der Gateanschluß auf Masse entladen ist, wird PWI über einen anderen Pfad auf Masse entladen. Zu diesem Zeitpunkt erscheinen dieselben Kopplungsprobleme erneut. Wie in **Fig. 3(c)** angedeutet, wird das Gate durch C1 mit einem positiven Potential verbunden, wenn der Pfad von Gate zu Masse nicht leitfähig genug ist, um das Gate auf Masse zu halten, und NWD ist demnach über D2 mit +12 Volt verbunden. Daher erfordert dieses besondere Erholungsschema einen negativen Spannungsbegrenzer D3 und zwei getrennte Treiber für das Verbinden des Gates mit Masse zu unterschiedlichen Zeitpunkten bzw. -intervallen. Ein schwacher Gatetreiber wird für den ersten Schritt benötigt, um sicherzustellen, daß PWI nicht zu schwach angekoppelt ist, und ein starker Gatetreiber wird benötigt, um sicherzustellen, daß das Gate nicht an high angeschlossen, wenn PWI auf Masse entladen wird.

[0009] Das zweite Schema ist in den **Fig. (a)-(c)** bezüglich einer Wiedererholung aus einem Programmierschritt dargestellt. Dieses Schema ist einfach des vorherigen Schemas, es entlädt PWI zuerst und dann das Gate. Ein Begrenzer für ein positives Potential muß daher mit dem Gateanschluß verbunden werden, um den C1 während des ersten Schrittes eine starke Kopplung zu vermeiden, wenn ein starker Treiber verwendet wird, um PWI mit Masse zu verbinden. In ähnlicher Weise muß PWI über einen hochleitfähigen Pfad mit Masse verbunden werden, während das Gate auf Masse entladen wird, um zu vermeiden, daß PWI mit -12 Volt verbunden wird.

[0010] Ein anderes Schema, welches verwendet wurde, ist in den **Fig. 5(a)-(b)** bezüglich der Erholung aus einer Programmierungsfunktion dargestellt. In diesem Schema werden sowohl der PWI als auch das Gate gleichzeitig auf Masse entladen. Um dies zu implementieren, muß die Treiberfähigkeit am Gateanschluß auf Masse in etwa gleich der Treiberfähigkeit auf Masse am PWI sein, um die Kopplung durch C1 auszugleichen. Ansonsten werden Klemmschaltkreise D3 und D5 benötigt, die in den zuvor erwähnten Schemata verwendet wurden, um Spannungsschwingungen an den Anschlüssen zu begrenzen. Wenn ein gleichmäßiges Treiben ohne Verwendung eines Klemmschaltkreises verwendet wird, ist die genaue Kapazitätseinschätzung von C1, C2 und

C3 entscheidend für die ordnungsgemäße Arbeit eines Schaltkreises, der dieses Schema verwendet. Zusätzlich werden, da C2 und C3 Übergangskondensatoren sind, deren Kapazität mit der Potentialdifferenz zwischen den beiden Anschlüssen der Kondensatoren variiert, C3 und C2 spannungsabhängige Variablen während der Erholungszeit. Diese Variation macht die genaue Abschätzung von C1, C2 und C3, die für die Implementierung dieses Schemas erforderlich ist, in hohem Maß kompliziert.

[0011] Die **Fig. 3, 4 und 5** wurden oben unter Bezug auf die Erholung aus einer Programmierfunktion diskutiert. Jedes der drei obigen Erholungsschemata könnten ebenso auch auf ein Erholen aus einer Löschfunktion angewendet werden – es würden sich nur die Polaritäten der Spannungen ändern. In ähnlicher Weise gelten auch die oben bezüglich der Erholung aus einer Programmierfunktion diskutierten Probleme in gleicher Weise bezüglich der Erholung von einer Löschfunktion.

[0012] Im Ergebnis hat es sich herausgestellt, daß die derzeit verwendeten Schemata für die Erholung der Anschlüsse einer Zelle mit potentialfreiem Gate und Triple-Well nach einer Programmier- oder Löschfunktion in gewissem Maß beschränkt sind. Insbesondere sind diese Schemata hinsichtlich der Geschwindigkeit beschränkt, mit welcher sie die Erholungsfunktion ausführen können. Diese Geschwindigkeitsbegrenzung wird durch die Probleme verursacht, die bei der parasitären Kopplung zwischen den verschiedenen Knoten einer Zelle mit erdfreiem Gate und Triple-Well, die programmiert/gelöscht wurde, inhärent sind. Dementsprechend ist es wünschenswert, ein Schema für die Erholung einer Zelle mit potentialfreiem Gate und Triple-Well von einer Programmier- und/oder Löschfunktion bereitzustellen, das die Probleme nach dem Stand der Technik überwindet, wie sie oben dargelegt wurden. Weiterhin ist es wünschenswert, einen Schaltkreis bereitzustellen, der ein solches Schema implementiert und welches in der Lage ist, auf einem integrierten Schaltkreis mit einer Flash-Speicherzelle implementiert zu werden.

ZUSAMMENFASSUNG DER ERFINDUNG

[0013] Wie oben erläutert müssen, nachdem ein Programmier- oder Löschkvorgang auf einer Speicherzelle mit potentialfreiem Gate ausgeführt worden ist, die Spannungspotentiale an den Knoten der Zelle, einschließlich des Steuergates und des Kanal-Wells auf ein gewisses Bezugspotential, wie zum Beispiel Masse, zurückgebracht werden, damit die Zelle für weitere Operationen, wie zum Beispiel einen Lesevorgang, bereit ist. Die vorliegende Erfindung sieht einen Erholungsschaltkreis und ein Verfahren vor, welche diesen Erholungsvorgang ausführen. Weiterhin werden der Erholungsschaltkreis und das Verfahren gemäß der vorliegenden Erfindung in einer Art und Weise implementiert, welche das Problem der parasitären Kapazitätskopplung zwischen den Knoten einer Speicherzelle mit erdfreiem Gate bei den früheren Verfahren der Erholung überwindet. Demnach verbessern der Erholungsschaltkreis und das Verfahren der vorliegenden Erfindung die Programmier- und Löschkvorgänge von Speicherzellen mit potentialfreiem Gate durch Erhöhen der Geschwindigkeit, mit der sie ausgeführt werden können. Der Erholungsschaltkreis und das Verfahren sind besonders zweckmäßig für die Erholung von Speicherzellen mit potentialfreiem Gate, die in Arrays aus nicht-flüchtigen integrierten Speicherschaltkreisen verwendet werden, wie zum Beispiel ein Flash EEPROM. Dementsprechend sind der Erholungsschaltkreis und das Verfahren der vorliegenden Erfindung besonders geeignet für die Verwendung in Computersystemen, wie zum Beispiel denjenigen, die man in tragbaren Laptop-Computern findet.

[0014] Der Erholungsschaltkreis einer Ausführungsform der vorliegenden Erfindung bringt die Spannung an dem Steuergate einer Speicherzelle mit potentialfreiem Gate von einem ersten Programmier-/Löschkpotential auf ein erstes Erholungspotential und bringt die Spannung an dem Kanal-Well der Zelle von einem zweiten Programmier-/Löschk-Potential auf ein zweites Erholungspotential. Die Speicherzelle mit potentialfreiem Gate enthält das Steuergate, ein potentialfreies Gate, den Kanal-Well aus einem ersten Leitfähigkeitstyp, der entweder p-Typ oder der n-Typ ist, und Drain- und Sourcebereiche innerhalb des Kanal-Wells, die einen zweiten Leitfähigkeitstyp aufweisen, der sich von dem ersten Leitfähigkeitstyp unterscheidet.

[0015] Der Erholungsschaltkreis dieser Ausführungsform enthält eine Steuerschaltung, die ein Erholungssteuersignal bereitstellt, welches anzeigt, wenn ein Programmier- oder Löschkvorgang abgeschlossen ist, sowie einen Kopplungsschaltkreis, der einen Strompfad zwischen dem Steuergate und dem Kanal-Well in Reaktion auf das Erholungssteuersignal fertigstellt. Der Erholungsschaltkreis enthält weiterhin einen ersten Spannungsdetektorschaltkreis, der auf das Erholungssteuersignal anspricht und der ein erstes Erdungssignal bereitstellt, wenn das Erholungsspannungspotential an dem Steuergate näherungsweise gleich einem ersten Schaltpotential ist, und einen zweiten Spannungsdetektorschaltkreis, der auf das Erholungssteuersignal anspricht und der ein zweites Erdungssignal bereitstellt, wenn das Erholungsspannungspotential an dem Kanal-Well näherungsweise gleich einem zweiten Schaltpotential ist. Ein erster Spannungserdungsschaltkreis, der auf das erste Erdungssignal reagiert, stellt einen elektrischen Pfad zwischen dem Kanal-Well und einem

ersten Referenzknoten bereit, der sich auf dem zweiten Erholungspotential befindet, und ein zweiter Spannungserzungsschaltkreis, der auf das zweite Erdungssignal reagiert, stellt einen elektrischen Pfad zwischen dem Steuergate und einem zweiten Referenzknoten bereit, der sich auf dem ersten Erholungspotential befindet, und diese sind ebenfalls in der Ausführungsform des Erholungsschaltkreises enthalten.

[0016] Weiterhin wird in einer Ausführungsform des Erholungsschaltkreises der Erholungsschaltkreis an einer Speicherzelle mit potentialfreiem Gate angelegt, die eine Speicherzelle mit erdfreiem Gate mit Dreifach-Well ist. In einer Ausführungsform ist die Speicherzelle mit potentialfreiem Gate in einem Halbleitersubstrat, das von dem ersten Leitfähigkeitstyp ist, und enthält einen Isolations-Well, der den zweiten Leitfähigkeitstyp hat, wobei der Kanal-Well innerhalb des Isolations-Wells liegt.

[0017] Alternativ kann die vorliegende Erfindung als ein Verfahren charakterisiert werden zum Wiederherstellen der Spannung an dem Steuergate einer Speicherzelle mit potentialfreiem Gate von einem ersten Programmier-/Löschkopential auf ein erstes Erholungspotential und das Wiedergewinnen bzw. Rückholen der Spannung an dem Kanal-Well der Zelle von einem zweiten Programmier-/Löschkopential auf ein zweites Erholungspotential. Die Speicherzelle mit potentialfreiem Gate enthält ein Steuergate, ein potentialfreies Gate, den Kanal-Well mit einem ersten Leitfähigkeitstyp, der entweder der p-Typ oder der n-Typ ist, und Drain- und Sourcebereiche innerhalb des Kanal-Wellen, die von einem zweiten Leitfähigkeitstyp sind, der sich von dem ersten Leitfähigkeitstyp unterscheidet.

[0018] Das Verfahren dieser Ausführungsform umfaßt das Vollenden bzw. Herstellen eines Strompfades zwischen dem Steuergate und dem Kanal-Well, das Erzeugen eines ersten Erdungssignals, wenn das Spannungspotential an dem Steuergate näherungsweise gleich einem ersten Schaltpotential ist, und das Erzeugen eines zweiten Erdungssignals, wenn das Spannungspotential an dem Kanal-Well näherungsweise gleich einem zweiten Schaltpotential ist. Das Verfahren umfaßt weiterhin das Bereitstellen eines elektrischen Pfades zwischen dem Kanal-Well und einem ersten Referenzknoten in Reaktion auf das erste Erdungssignal, wobei der erste Referenzknoten sich auf dem zweiten Erholungspotential befindet, und das Bereitstellen eines elektrischen Pfades zwischen dem Steuergate und einem zweiten Referenzknoten in Reaktion auf das zweite Erdungssignal, wobei der zweite Referenzknoten sich auf dem ersten Erholungspotential befindet.

[0019] In einer bevorzugten Ausführungsform des obigen Verfahrens wird das Verfahren der Erholung auf eine Speicherzelle mit erdfreiem Gate angewendet, die eine Speicherzelle mit erdfreiem Gate und Dreifach-Well ist. In dieser Ausführungsform befindet sich die Speicherzelle mit potentialfreiem Gate in einem Halbleitersubstrat aus einem ersten Leitfähigkeitstyp und enthält einen Isolations-Well vom zweiten Leitfähigkeitstyp, wobei der Kanal-Well sich innerhalb des Isolations-Wells befindet.

[0020] Die vorliegende Erfindung kann auch als ein Betriebsverfahren für eine Speicherzelle mit erdfreiem Gate mit Dreifach-Well gekennzeichnet werden. Der Dreifach-Well enthält eine Drain, eine Source, ein potentialfreies Gate und ein Steuergate auf einem Halbleitersubstrat eines ersten Leitfähigkeitstyps. Das Substrat enthält einen Isolations-Well eines zweiten Leitfähigkeitstyps, der von dem des Substrats verschieden ist, und einen Kanal-Well innerhalb des Isolations-Wells, welcher wieder vom ersten Leitfähigkeitstyp ist, sowie Source- und Drainbereiche für die Zelle aus dem zweiten Leitfähigkeitstyp innerhalb des Kanal-Wellen.

[0021] Das Betriebsverfahren dieser Ausführungsform enthält das Induzieren eines Tunnelstroms zwischen dem potentialfreien Gate und dem Kanal-Well, indem ein erstes Programmier-/Löschkopential an dem Steuergate, ein zweites Programmier-/Löschkopential an dem Kanal-Well, ein drittes Programmier-/Löschkopential an dem Isolations-Well und ein vierter Programmier-/Löschkopential an dem Substrat angelegt werden. Die ersten und zweiten Programmier-/Löschkopentiale werden in der Weise angelegt, daß sie ein elektrisches Feld zwischen dem Steuergate und dem Kanal-Well bereitstellen, welches ausreicht, um einen Tunnelstrom zu induzieren. Das dritte Potential wird so eingestellt, daß ein Strom zwischen dem Kanal-Well und dem Isolations-Well verhindert bzw. blockiert wird, und das vierte Potential wird so eingestellt, daß ein Strom zwischen dem Isolations-Well und dem Substrat blockiert wird. Das Betriebsverfahren umfaßt weiterhin das Wiedergewinnen bzw. Wiederherstellen des ersten Programmier-/Löschkopentials auf ein erstes Erholungspotential und des zweiten Programmier-/Löschkopentials auf ein zweites Erholungspotential. Der Schritt des Erholens bzw. Regenerierens umfaßt weiterhin das Vollenden bzw. Herstellen eines Strompfades zwischen dem Steuergate und dem Kanal-Well, das Erzeugen eines ersten Erdungssignals, wenn das Spannungssignal an dem Steuergate näherungsweise gleich einem ersten Schaltpotential ist, und das Erzeugen eines zweiten Erdungssignals, wenn das Spannungspotential an dem Kanal-Well näherungsweise gleich einem zweiten Schaltpotential ist. Der Schritt des Regenerierens bzw. Erholens enthält weiterhin das Bereitstellen eines elektrischen Pfades zwischen dem Kanal-Well und einem ersten Referenzknoten in Reaktion auf das erste Erdungssignal, wobei der

erste Referenzknoten sich auf dem zweiten Erholungspotential befindet, und das Bereitstellen eines elektrischen Pfades zwischen dem Steuerungsgate und einem zweiten Referenzknoten in Reaktion auf das zweite Erdungssignal, wobei der zweiten Referenzknoten sich auf dem ersten Erholungspotential befindet.

[0022] In einem Fall der vorliegenden Ausführungsformen ist das erste Schaltpotential eine positive Spannung und das zweite Schaltpotential ist eine negative Spannung und in einer besonders bevorzugten Ausführungsform ist das erste Schaltpotential näherungsweise +3 Volt und das zweite Schaltpotential beträgt näherungsweise -2 Volt. Alternativ kann das erste Schaltpotential eine negative Spannung und das zweite Schaltpotential eine positive Spannung sein und insbesondere kann es entsprechend -2 Volt und +3 Volt in einer anderen bevorzugten Ausführungsform betragen. In noch einer weiteren bevorzugten Ausführungsform sind sowohl die ersten als auch die zweiten Referenzknoten miteinander verbunden und liegen auf Massepotential.

[0023] In einem anderen Fall der vorliegenden Ausführungsformen ist das erste Programmier-/Löschpotential eine positive Spannung und das zweite Programmier-/Löschpotential ist eine negative Spannung. Die Speicherzelle mit potentialfreiem Gate dieser Ausführungsform kann weiterhin so charakterisiert werden, daß sie eine externe Referenzversorgung enthält, die ein Massepotential und ein positives Versorgungspotential anlegt. In einem bevorzugten Fall dieser Ausführungsform wird das Versorgungspotential mit 5 Volt oder weniger spezifiziert.

[0024] In einem weiteren Fall der vorliegenden Ausführungsformen ist das erste Programmier-/Löschpotential eine negative Spannung, und das zweite Programmier-/Löschpotential ist eine positive Spannung. Die Speicherzelle mit potentialfreiem Gate nach dieser Ausführungsform kann weiter dadurch gekennzeichnet werden, daß sie eine externe Referenzversorgung enthält, welche ein Massepotential und ein positives Versorgungspotential anlegt, wobei der Wert des zweiten Programmier-/Löschpotentials größer ist als das Versorgungspotential. In einer bevorzugten Ausführungsform hat das zweite Programmier-/Löschpotential einen Wert in einem Bereich von in der Nähe des Versorgungsspannungsniveaus bis zu positiven 14 Volt und das erste Programmier-/Löschpotential hat einen Wert in einem Bereich von negativen 4 bis negativen 10 Volt. In einer weiteren bevorzugten Ausführungsform wird die Versorgungsspannung mit 5 Volt oder weniger spezifiziert.

[0025] Dementsprechend ist ein Erholungsschaltkreis und ein Verfahren zum Erholen bzw. Regenerieren einer Speicherzelle mit potentialfreiem Gate, welche eine Speicherzelle mit potentialfreiem Gate und Triple-Well umfaßt, von den Spannungsniveaus eines abgeschlossenen Fowler-Nordheim-Tunnel-Programmier- oder Löschvorgangs bereitgestellt worden. Der Erholungsschaltkreis und das Verfahren sind besonders zweckmäßig für die Erholung von Speicherzellen mit potentialfreiem Gate, welche in Speicherarrays nicht-flüchtiger integrierter Schaltkreise, wie zum Beispiel einem Flash EEPROM, verwendet werden. Dementsprechend sind sie besonders geeignet für die Verwendung in Computersystemen, wie zum Beispiel denjenigen, die man in tragbaren Laptop-Computern findet. Durch Verwenden des Verfahrens oder des Erholungsschaltkreises der vorliegenden Erfindung werden die Geschwindigkeitsprobleme nach dem Stand der Technik, welche durch parasitäre Kopplung zwischen Zellknoten bewirkt wurden, vermieden und die gesamten Programmier- und Löschvorgangsgeschwindigkeiten können erhöht werden.

[0026] Andere Aspekte und Vorteile der vorliegenden Erfindung kann man erkennen bei Betrachten der Figuren, der genauen Beschreibung und der anschließenden Ansprüche.

KURZE BESCHREIBUNG DER FIGUREN

[0027] **Fig. 1** ist ein Querschnitt durch eine Flash-Speicherzelle mit Triple-Well, welche die typischen an den verschiedenen Zellknoten während einer typischen Programmierung angelegten Spannungen veranschaulicht.

[0028] **Fig. 2** ist ein Querschnitt einer Flash-Speicherzelle mit Triple-Well, welche die typischen an den verschiedenen Zellknoten während einer typischen Löschfunktion angelegten Spannungen veranschaulicht.

[0029] **Fig. 3(a)–(c)** veranschaulichen ein bekanntes Erholungsschema von einer typischen Programmier-Funktion einer Flash-Speicherzelle.

[0030] **Fig. 4(a)–(c)** veranschaulichen ein weiteres bekanntes Schema der Erholung von einer typischen Programmierfunktion einer Flash-Speicherzelle.

[0031] **Fig. 5(a)–(b)** veranschaulichen noch ein weiteres bekanntes Schema der Erholung aus einer typi-

schen Programmierfunktion einer Flash-Speicherzelle.

[0032] **Fig.** 6 ist ein Querschnitt einer Flash-Speicherzelle mit Triple-Well, die dafür ausgelegt ist, eine Ausführungsform des Erholungsschemas gemäß der vorliegenden Erfindung zu verwenden.

[0033] **Fig.** 7(a)–(b) veranschaulichen in vereinfachter Blockdiagrammform ein Schema der Erholung aus der Programmierfunktion gemäß einer Ausführungsform der vorliegenden Erfindung.

[0034] **Fig.** 8(a)–(b) veranschaulichen in vereinfachter Blockdiagrammform ein Schema der Erholung aus einer Löschfunktion gemäß einer Ausführungsform der vorliegenden Erfindung.

[0035] **Fig.** 9 ist ein vereinfachtes Blockdiagramm eines Teils einer integrierten Flash-Speicherschaltkreiskonstruktion gemäß einer Ausführungsform der vorliegenden Erfindung.

[0036] **Fig.** 10 ist ein schematisches Diagramm eines Wortleitungstreibers nach **Fig.** 9 gemäß einer Ausführungsform der vorliegenden Erfindung.

[0037] **Fig.** 11 ist ein schematisches Diagramm des Wortleitungstreibers- V_{ss} -Generators nach **Fig.** 9 gemäß einer Ausführungsform der vorliegenden Erfindung.

[0038] **Fig.** 12 ist ein schematisches Diagramm des Generators der Substratvorspannung des Wortleitungstreibers nach **Fig.** 9 gemäß einer Ausführungsform der vorliegenden Erfindung.

[0039] **Fig.** 13 ist ein schematisches Diagramm des Erholungsschaltkreises nach **Fig.** 9 gemäß einer Ausführungsform der vorliegenden Erfindung.

GENAUE BESCHREIBUNG

[0040] Eine genaue Beschreibung bevorzugter Ausführungsformen der vorliegenden Erfindung wird bezüglich der Figuren bereitgestellt, in welchen **Fig.** 6 die grundlegende Struktur einer Speicherzelle mit erdfreiem Gate und Dreifach-Well veranschaulicht, welche dafür ausgelegt ist, eine Ausführungsform des Erholungsschemas der vorliegenden Erfindung zu verwenden. Wie in **Fig.** 6 dargestellt, ist ein Halbeitersubstrat **60** von einem ersten Leistungstyp. Vorzugsweise ist das Substrat **60** Silizium mit einer p-ähnlichen Dotierung. Ein tiefer Well vom n-Typ NWD **62** ist in dem Substrat **60** ausgebildet. Innerhalb des tiefen Wells **62** vom n-Typ ist ein Well vom p-Typ PWI **64** enthalten. Eine Source **72** vom n-Typ und eine Drain **88** vom n-Typ sind innerhalb des Wells **64** vom p-Typ enthalten. Eine potentialfreie Gatestruktur, die ein potentialfreies Gate **76** und einen Tunnelisolator **84** umfaßt, ist über einem Kanalbereich zwischen der Source **72** und der Drain **88** ausgebildet. Eine Steuergate-Struktur, die ein Steuergate **80** und einen Isolator **82** umfaßt, ist über dem potentialfreien Gate **76** ausgebildet. Der Well **62** vom n-Typ wirkt als ein Isolations-Well für die Einrichtung. Der Well **64** vom p-Typ stellt einen Kanalbereich für die Zelle bereit. Die Source- und Drainstrukturen vom n-Typ sind innerhalb des Wells vom p-Typ ausgebildet und stellen einen Kanal in dem Well vom p-Typ bereit, der gegenüber dem Substrat **60** durch den Isolations-Well **62** isoliert ist. Das Substrat **60** vom p-Typ ist in der dargestellten Ausführungsform mit einem Masseknoten **66** verbunden.

[0041] Weiterhin sind in **Fig.** 6 Diodensymbole **68** und **67** dargestellt, welche jeweils den p-n-Übergang zwischen dem Kanal-Well PWI **64** und dem Isolations-Well NWD **62** darstellen, sowie den p-n-Übergang zwischen dem Substrat **60** und dem Isolations-Well NWD **62**. Solange das Substrat **60** auf einem Niveau oder in der Nähe des Isolations-Wells **62** oder darunter vorgespannt ist, ist der p-n-Übergang, welcher durch das Diodensymbol **67** dargestellt wird, nicht leitend. Außerdem ist, solange der Kanal-Well **64** in der Nähe des Isolations-Wells **62** oder darunter vorgespannt ist, der durch das Diodensymbol **68** wiedergegebene p-n-Übergang nicht leitend. Weiterhin ist in **Fig.** 6 die parasitäre Kapazität dargestellt, welche zwischen den verschiedenen Knoten der Zelle mit potentialfreiem Gate gebildet wird. Diese Kapazitäten sind als D1 dargestellt (der Kondensator von Gate zu PWI), C2 (der Kondensator des Übergangs von PWI zu NWD), und C3 (der Kondensator des Übergangs von NWD zum p-Substrat).

[0042] Weiterhin sind in **Fig.** 6 der NWD-Treiber **910**, der Bitleitungstreiber **610**, der Wortleitungstreiber **970** und der PWI-Treiber **920** dargestellt, welche vorgesehen sind, um eine Vorspannung für den NWD **62**, bzw. die Source **72** und die Drain **88**, bzw. das Steuergate **80** bzw. den PWI **64** bereitzustellen, entsprechend einer Ausführungsform des Wiedergewinnungsschemas der vorliegenden Erfindung. Der NWD-Treiber **910** ist mit dem NWD **62** durch den Vorspannpunkt **69** verbunden. Die Source **72** und die Drain **88** sind mit dem Bitlei-

tungstreiber **610** durch Kontaktpunkte **74** bzw. **86** verbunden. Das Steuergate **80** ist mit dem Wortleitungstreiber **970** durch den Vorspannpunkt **78** verbunden. Der PWI **64** ist mit dem PWI-Treiber **920** durch den Vorspannpunkt **90** verbunden. Der NWD-Treiber **910**, der Bitleitungstreiber **610**, der Wortleitungstreiber **970** und der PWI-Treiber **920** stellen die Vorspannung bereit, die an diesen Anschlüssen erforderlich ist, um eine Erholung aus einem typischen Programmieren/Löschen einer Zelle mit Dreifach-Well für die Zelle zu erreichen. Der Mechanismus und die Schaltung, welche verwendet werden, um diese Vorspannung bereitzustellen, wird unten noch genau unter Bezug auf die **Fig.** 7 bis 8 bzw. 9 bis 13 beschrieben. Die bei einem typischen Programmieren/Löschen einer Speicherzelle mit erdfreiem Gate und Dreifach-Well verwendeten Spannungen wurden zuvor unter Bezug auf die **Fig.** 1 und 2 diskutiert, und sie werden nachstehend in Tabelle I zusammengefaßt.

Tabelle I: Spannungen für typisches Programmieren/Löschen

	Gate	Drain	Source	PWI	NWD	Substrat
Programmieren	+8 V	-9 V	-9 V	-9 V	+3 V	0 V
Löschen	-9 V	+6 V	+6 V	+6 V	+10 V	0 V

[0043] Die beispielhaften Spannungen, die in der Tabelle wiedergegeben sind, sind repräsentative Spannungen und sie variieren von Ausführungsform zu Ausführungsform, abhängig von solchen Faktoren, wie zum Beispiel dem Gatekopplungsverhältnis der Speicherzelle, Erfordernissen der Arbeitsgeschwindigkeit und des verfügbaren Versorgungsstroms. Die hohen positiven Spannungen und negativen Spannungen werden typischerweise durch Ladungspumpen auf dem integrierten Schaltkreis erzeugt, so daß negative Niveaus und Niveaus, die höher als die VDD-Versorgungsspannung sind, welche durch eine externe Quelle an dem Chip angelegt wird, erzielt werden können. Die VDD-Versorgungsspannung ist daher nicht auf hohe Werte beschränkt und kann beispielsweise nur zwei Volt oder sogar weniger betragen.

[0044] Das Konzept des Zell-Erholungsschemas gemäß der vorliegenden Erfindung, welches nachstehend beschrieben wird, kann unter Bezug auf den Effekt der elektrischen Verbindung zweier Anschlüsse eines Kondensators miteinander beschrieben werden. Wenn nämlich die beiden Anschlüsse demzufolge verbunden werden, jegliche positive und negative Ladung, die auf dem Kondensator gespeichert ist, neutralisiert wird und das Kopplungsphänomen, welches oben unter Bezug auf die **Fig.** 1 und 2 diskutiert wurde, nicht auftritt.

[0045] Demnach ist eine Ausführungsform des Erholungsschemas der vorliegenden Erfindung in den **Fig.** 7(a)–(b) und 8(a)–(b) dargestellt, wobei **Fig.** 7(a)–(b) ein vereinfachtes Blockdiagramm ist, welches das Erholungsschema veranschaulicht, wie es auf die Erholung von einem Programmierbetrieb angewendet wird, und **Fig.** 8(a)–(b) ein vereinfachtes Blockdiagramm ist, welches das Erholungsschema zeigt, wie es bei der Erholung aus einem Löschbetrieb angewendet wird.

[0046] **Fig.** 7(a) zeigt näherungsweise relative Spannungsniveaus, wie sie an dem Steuergate **80**, dem PWI **64**, dem NWD **62** und dem p-Substrat **60** vorliegen, nachdem eine typische Programmierung an einer Speicherzelle mit potentialfreiem Gate und Triple-Well ausgeführt worden ist. Wie dargestellt, liegt das Gate auf +8 Volt, der PWI bei -9 Volt, der NWD bei +3 Volt und das p-Substrat auf Masse (0 V). **Fig.** 7(b) veranschaulicht die Erholung der Zelle aus diesem Programmierzustand gemäß einer Ausführungsform der Erfindung. Wie zuvor unter Bezug auf **Fig.** 6 gezeigt, wird die Spannung an dem Steuergate **80** am Vorspannpunkt **78** bereitgestellt, die Spannung an dem PWI **64** wird am Vorspannpunkt **90** bereitgestellt und die Spannung an dem NWD **62** wird an dem Vorspannpunkt **69** bereitgestellt. Die Kopplung dieser Spannungen wird durch parasitäre Kapazitäten C1, C2 und C3 veranschaulicht, wobei C1 der Kondensator von Gate zu PWI, C2 der Kondensator des Übergangs von PWI zu NWD und C3 der Kondensator des Übergangs von NWD zum p-Substrat ist. Der Vorspannpunkt **78** wird mit dem Knoten **702** verbunden, der seinerseits mit der Leitung **715** verbunden ist – Leitung **715** ist weiterhin über den Schalter SW2 mit Masse verbunden. Der Vorspannpunkt **90** ist mit dem Knoten **704** verbunden, welcher seinerseits mit der Leitung **725** verbunden ist – die Leitung **725** ist weiterhin über den Schalter SW3 mit Masse verbunden. Der Knoten **702** ist weiterhin über den Schalter SW1, welcher normalerweise in einem offenen Zustand ist, mit dem Knoten **704** verbunden. Der Detektor **710** für positive Spannung ist mit der Leitung **715** verbunden und arbeitet so, daß er den Schalter SW3 schließt, wenn er eine vorbestimmte Spannung auf Leitung **715** erfaßt, die in einer Ausführungsform näherungsweise 3 Volt beträgt. Der Detektor **720** für negative Spannung ist mit der Leitung **725** verbunden und arbeitet so, daß er den Schalter SW2 bei dem Erfassen einer vorbestimmten Spannung auf Leitung **725** schließt, welche in einer Ausführungsform näherungsweise -2 Volt beträgt. Der Vorspannpunkt **69** ist mit einem Eingangsende des Schalters SW7 verbunden, und das Ausgangsende des Schalters SW7 ist mit der Klemmdiode D7 verbunden, die verwendet

wird, um jeglichen Spannungsübergang bzw. jegliche Spannungsspitze auf dem NWD gemäß einer Ausführungsform der Erfindung auf näherungsweise weniger oder gleich +5 Volt zu begrenzen.

[0047] Der erste Schritt der Wiedererholung einer Zelle gemäß dem in **Fig. 7** dargestellten Schema ist das Kurzschließen der beiden Anschlüsse von C1. Demnach schließt zu Beginn des Erholungsschrittes der Schalter SW1 und verbindet damit die Knoten **702** und **704** und verbindet das Steuergate **80** mit dem PWI **64**. Dies bewirkt, daß das Spannungspotential an dem Steuergate **80** abfällt und das Spannungspotential an dem PWI **64** ansteigt. Wegen der unterschiedlichen Anfangspotentiale des Steuergates **80** und des PWI **64** und da weiterhin die parasitären Kapazitäten C2 und C3 vorliegen, würde allein das Verbinden der beiden Anschlüsse von C1 das Erholen bzw. Zurücksetzen des Steuergates **80** und des PWI **64** auf Massepotential nicht bewirken. Der zweite Schritt des Erholungsschemas erfolgt, nachdem SW1 geschlossen worden ist, und umfaßt das Erfassen der Spannungen auf den Leitungen **715** und **725** und die wahlweise Bereitstellung von Erdungspfaden. Nachdem nämlich SW1 geschlossen ist, wenn die Spannung auf dem Steuergate **80** und damit auf der Leitung **715** niedrig genug ist (in einer Ausführungsform näherungsweise 3 Volt), gibt der Detektor **710** für positive Spannung ein Signal aus, um den Schalter SW3 zu schließen und gibt damit einen PWI-Erdungspfad frei. In ähnlicher Weise gibt, nachdem SW1 geschlossen ist, wenn die Spannung auf dem PWI **64** und damit auf Leitung **725** hoch genug ist (in einer Ausführungsform näherungsweise -2 Volt), der Detektor **720** für negative Spannung ein Signal aus, um den Schalter SW2 zu schließen und dadurch einen Erdungspfad für das Steuergate freizugeben.

[0048] Demnach kann man durch geeignetes Auswählen der Auslösespulse der Detektoren **710** und **720** die oben diskutierten Kopplungsprobleme bezüglich der Schemata nach dem Stand der Technik vermeiden, wie sie in den **Fig. 3–5** gezeigt sind und man kann dementsprechend ein schnelleres und einfacheres Erholungsschema bereitstellen. Man beachte, daß bei diesem Schema keine komplizierte Abschätzung der relativen Werte der Kapazitäten C1, und C3 erforderlich ist. Weiterhin wird nur ein einziger Erdungspfad jeweils für das Steuergate **80** und den PWI **64** benötigt. Schließlich ist kein Klemmschaltkreis an den Knoten erforderlich, die mit dem Steuergate **80** oder dem PWI **64** verbunden sind, um Spannungsübergangsspitzen auf diesem Knoten zu begrenzen. Wie in **Fig. 7(b)** dargestellt, beachte man, daß die Klemmdiode D7 (welche in einer Ausführungsform die Spannung an dem NWD **62** auf $\leq +5$ Volt beschränkt) verwendet wird, um die Spannungsübergangsspitzen an dem NWD **62** aufgrund der Kopplung von C2 zu begrenzen, wenn der PWI **64** mit dem Steuergate **80** verbunden wird und wenn der PWI **64** nach Masse entladen wird. In einer anderen Ausführungsform könnte ein ähnliches Schema wie das oben beschriebene verwendet werden, um den Kopplungseffekt zwischen dem PWI **64** und dem NWD **62** über C2 zu vermindern.

[0049] **Fig. 8(a)** zeigt die ungefähren relativen Spannungsniveaus, die an dem Steuergate **80**, dem PWI **64**, dem NWD **62** und dem p-Substrat **60** anliegen, nachdem eine typische Löschfunktion auf einer Speicherzelle mit potentialfreiem Gate und Triple-Well ausgeführt worden ist. Wie dargestellt, liegt das Gate bei -9 Volt, der PWI bei +6 Volt, NWD bei +10 Volt und das p-Substrat auf Masse (0 Volt). **Fig. 8(b)** zeigt die Erholung der Zelle aus diesem Löschezustand gemäß einer Ausführungsform der Erfindung. Wie zuvor unter Bezug auf **Fig. 6** dargestellt, wird die Spannung an dem Steuergate **80** an dem Vorspannpunkt **78** bereitgestellt, die Spannung an dem PWI **64** wird an dem Vorspannpunkt **90** bereitgestellt und die Spannung an dem NWD **62** wird an dem Vorspannpunkt **69** bereitgestellt. Die Kopplung dieser Spannungen wird veranschaulicht durch parasitäre Kapazitäten C1, C2 und C3, wobei C1 der Kondensator von Gate zu PWI, C2 der Kondensator des Übergangs von PWI zu NWD und C3 der Kondensator des Übergangs vom NWD zum p-Substrat ist. Der Vorspannpunkt **78** ist mit dem Knoten **802** verbunden, welcher seinerseits mit Leitung **815** verbunden ist – Leitung **815** ist weiterhin über den Schalter SW5 mit Masse verbunden. Der Vorspannpunkt **90** ist mit dem Knoten **804** verbunden, welcher seinerseits mit der Leitung **825** verbunden ist – Leitung **825** ist weiterhin über Schalter SW6 mit Masse verbunden. Der Knoten **802** ist weiterhin durch den Schalter SW4, der normalerweise offen ist, mit dem Knoten **804** verbunden. Der Detektor **810** für negative Spannung ist mit der Leitung **815** verbunden und arbeitet so, daß er beim Erfassen einer vorbestimmten Spannung auf Leitung **815**, die in einer Ausführungsform näherungsweise -2 Volt beträgt, den Schalter SW6 schließt. Der Detektor **802** für positive Spannung ist mit der Leitung **825** verbunden und arbeitet so, daß er beim Erfassen einer vorbestimmten Spannung auf Leitung **825**, die in Ausführungsform in etwa 3 Volt beträgt, den Schalter SW5 schließt.

[0050] Der erste Schritt der Erholung einer Zelle von einer Löschfunktion gemäß dem in **Fig. 8** dargestellten Schema besteht in dem Kurzschließen der beiden Anschlüsse von C1. Demnach schließt zu Beginn des Erholungsschrittes der Schalter SW4 und verbindet damit die Knoten **802** und **804** und das Steuergate **80** mit dem PWI **64**. Dies bewirkt, daß das Spannungspotential an dem Steuergate **80** ansteigt, und das Spannungspotential an dem PWI **64** abfällt. Wegen der unterschiedlichen Anfangspotentiale des Steuergates **80** und des PWI **64** und weiter wegen der Existenz der parasitären Kapazitäten C2 und C3 würde allein das Verbinden der

beiden Anschlüsse von C1 keine Erholung oder Wiederherstellung des Steuergates **80** und des PWI **64** auf Massepotential bewirken. Der zweite Schritt des Erholungsschemas tritt auf, nachdem SW4 geschlossen worden ist und umfaßt das Erfassen der Spannungen auf den Leitungen **815** und **825** und das wahlweise Bereitstellen von Erdungspfaden. Nachdem nämlich SW4 geschlossen ist, wenn die Spannung auf dem Steuergate **80** und damit auf Leitung **815** genügend hoch ist (in einer Ausführungsform näherungsweise -2 Volt), gibt der Detektor **810** für negative Spannung ein Signal aus, um Schalter SW6 zu schließen, um dadurch einen Erdungspfad für PWI bereitzustellen. In ähnlicher Weise gibt, nachdem SW4 geschlossen ist, wenn die Spannung auf dem PWI **64** und damit auf Leitung **825** genügend niedrig ist (in einer Ausführungsform näherungsweise #3 Volt), der Detektor **820** für positive Spannung ein Signal aus, um den Schalter SW5 zu schließen, um dadurch einen Erdungspfad für das Steuergate bereitzustellen.

[0051] Indem also die Auslösespannungen der Detektoren **810** und **820** in geeigneter Weise ausgewählt werden, kann man die oben diskutierten Probleme hinsichtlich der Schemata nach dem Stand der Technik, wie sie in den **Fig.** 3 bis 5 gezeigt wurden, vermeiden und kann dementsprechend ein schnelleres und einfacheres Erholungsschema bereitzustellen.

[0052] Wie bei der obigen Diskussion des Erholungsschemas nach dem Programmieren, ist keine komplizierte Abschätzung der relativen Werte der Kapazitäten C1, C2 und C3 für dieses Erholungsschema nach dem Löschen erforderlich. Weiterhin wird nur ein einzelner Erdungspfad für das Steuergate **80** und den PWI **64** benötigt. Schließlich ist kein Klemmschaltkreis an den Knoten erforderlich, die mit dem Steuergate **80** oder dem PWI **64** verbunden sind, um Spannungsübergangsspitzen auf diese Knoten zu begrenzen.

[0053] **Fig.** 9 veranschaulicht einen Bereich einer integrierten Flashspeicher-Schaltkreisarchitektur, die unter Verwendung einer Ausführungsform des Zellerholungsschemas gemäß der vorliegenden Erfindung betrieben werden kann. Diese integrierte Schaltkreisarchitektur weist auf: ein Array **980** aus Flashzellen, welches eine Mehrzahl von Speicherzellen **981–986** mit potentialfreiem Gate und Triple-Well, einen NWD-Treiber **910**, einen PWI-Treiber **920**, einen Erholungsschaltkreis **930**, einen Generator **940** für negative Spannung, einen Generator für einen Wortleitungstreiber V_{SS} (NVGEN) **950**, und einen AVX-Generator **960** sowie eine Mehrzahl von Wortleitungstreibern **970–974** aufweist.

[0054] Das Flashzellen-Array **980** besteht aus einer Anzahl von Reihen und Spalten aus Speicherzellen mit potentialfreiem Gate und Triple-Well, die teilweise als Zellen **981–986** dargestellt sind. Die Steuergates der Zellen in derselben Reihe des Arrays **980** sind gemeinsam mit dem Ausgang eines einzelnen Wortleitungstreibers verbunden. Beispielsweise sind die Steuergates der Zellen **981** und **982** mit dem Ausgang des Wortleitungstreibers **970** durch die Wortleitung auf Leitung **971** verbunden, die Steuergates der Zellen **983** und **984** sind durch die Wortleitung **1** auf Leitung **973** mit dem Ausgang des Wortleitungstreibers **972** verbunden, und die Steuergates der Zellen **985** und **986** sind mit dem Ausgang des Wortleitungstreibers **974** durch die Wortleitung **2** auf Leitung **975** verbunden. Der AVX-Generator **960** erzeugt ein positives Potential AVX und stellt dieses Potential auf dem Knoten **962** bereit. Der Knoten **962** ist weiterhin mit jedem der Wortleitungstreiber **970–974** verbunden, und stellt damit das positive Potential AVX als die positive Stromversorgung für jeden der Wortleitungstreiber **970–974** bereit. Der Knoten **962** ist außerdem mit dem Erholungsschaltkreis **930** verbunden und stellt dadurch einen Pfad für die Erholung der Wortleitungen des Arrays **980** auf Masse über den Erholungsschaltkreis **930** bereit.

[0055] Der Generator **940** für negative Spannung erzeugt an dem Knoten **942** eine negative Spannung NFPP, der seinerseits mit den NVGENP **945**, dem PWI-Treiber **920** und dem Erholungsschaltkreis **930** verbunden ist. Der NVGENP **945** empfängt die NVPP-Spannung auf dem Knoten **942** als eine Eingangsgröße und arbeitet in der Weise, daß er als Ausgangsgröße auf den Leitungen **947** und **941** eine hohe PWI Treiberspannung AVDRPWI bereitstellt. Die Ausgangsgröße HVDRPWI besteht aus einem Signal, welches entweder einer Zufuhrverhinderungsspannung GND oder dem Wert NVPP ist, und der NFGENP **945** erzeugt den Wert von HVDRPWI in Reaktion auf ein Lösch- und Löscherholungssteuersignal, welches auf Leitung **943** bereitgestellt wird. Der Ausgang H VDRPWI wird über die Leitung **947** für die Wortleitungstreiber **970–974** bereitgestellt, um als Vorspannung für die Substratvorspannung des Triple-Well NMOS in den Wortleitungstreibern **970–974** bereitzustehen.

[0056] Der NVGEN **950** empfängt die Ausgangsgröße HVDRPWI als eine Eingangsgröße auf Leitung **951** und funktioniert so, daß er eine hohe Treiberspannung V_{SS} HVDRVSS als Ausgangsgröße auf Leitung **952** bereitstellt. Die Ausgangsgröße HVDRVSS besteht aus einem Signal, welches entweder gleich der Zufuhrverhinderungsspannung GND oder dem Wert von HVDRPWI ist und der NVGEN **950** erzeugt den Wert von HVDRVSS in Reaktion auf das Lösch- und Löscherholungssteuersignal, welches auf Leitung **953** bereitgestellt

wird. Die Ausgangsgröße HVDRVSS wird den Wortleitungstreibern **970–974** über die Leitung **952** zugeführt, damit diese als die negative Stromversorgung für die Wortleitungstreiber wirkt. Der NWD-Treiber **910** stellt die Vorspannung für den NWD **62** jeder der Zellen **981–986** auf Leitung **912** bereit. Der PWI-Treiber **920** empfängt die NVPP-Spannung als eine Eingangsgröße von dem Knoten **942** und stellt die Vorspannung für den PWI **64** jeder der Zellen **981–986** auf dem Knoten **922** bereit. Für eine Ausführungsform der integrierten Flashspeicher-Schaltkreisarchitektur, wie sie in **Fig. 9** dargestellt ist, sind die typischen Betriebsvorspannungen für die Lese-, Programmier- und Löschfunktionen in Tabelle II dargestellt.

Tabelle II: typische Betriebsvorspannungen

	AVX	HVDRVSS	HVDRPWI	NVPP	Wortleitung	PWI	NWD
Lesen	Vdd	0 V	0 V	0 V	Vdd/O V	0 V	Vdd
Programmieren	8 V	0 V	0 V	-9 V	8 V	-9 V	3 V
Löschen	3 V	-9 V	-9 V	-9 V	-9 V	6 V	10 V

[0057] Der Erholungsschaltkreis **930** empfängt die Eingangsgrößen AVX auf dem Knoten **962**, die PWI-Vorspannung auf dem Knoten **922**, NVPP auf dem Knoten **942**, das Programmerholungssignal auf dem Knoten **932**, das Löscherholungssignal auf dem Knoten **934** und das Steuersignal auf dem Knoten **936**. Der Erholungsschaltkreis **930** funktioniert so, daß er die Zellen **981–986** von den Programmier-/Löschtreibernspannungen, die oben wiedergegeben wurde, regeneriert, indem er das Erholungsschema, welches oben unter Bezug auf die **Fig. 7** und **8** beschrieben wurde, implementiert. Die Funktion einer Ausführungsform des Erholungsschaltkreises **930** wird mit weiteren Einzelheiten nachstehend unter Bezug auf **Fig. 13** dargelegt, welche ein genaues Schema eines Schaltkreises darstellt, das eine Ausführungsform des Erholungsschaltkreises **930** aufweist.

[0058] **Fig. 10** ist ein genaueres Schema einer Ausführungsform der Wortleitungstreiber **970–974** nach **Fig. 9**. Die folgende Diskussion dieser Ausführungsform erfolgt unter Bezug auf einzelne Wortleitungstreiber **970**, würde jedoch gleichermaßen für jeden der Wortleitungstreiber des integrierten Flashspeicher-Schaltkreises nach **Fig. 9** gelten. Der Wortleitungstreiber **970** empfängt das positive Potential AVX auf Knoten **962** von dem AVX-Generator **960** nach **Fig. 9**, und empfängt außerdem die Spannung HVDRVSS auf Leitung **952** des Hochspannungstreibers V_{ss} . Der Wortleitungstreiber **970** enthält einen Invertierer, der aus den Transistoren MP5 und XM9 besteht, deren Gates mit einem Eingang am Knoten **1004** verbunden sind und deren Drains mit einer Wortleitung **971** verbunden sind, welche als Ausgang des Wortleitungstreibers **970** fungiert. Der Wortleitungstreiberschaltkreis **970** enthält auch eine Rückkopplung, die durch den p-Kanaltransistor MP6 bereitgestellt wird, dessen Gate mit der Wortleitung **971**, dessen Drain mit dem Eingangsknoten **1004** und dessen Source mit dem AVX-Eingangsknoten **962** verbunden ist. Die n-Wells der p-Kanaltransistoren MP5 und MP6 sind beide mit dem AVX-Eingangsknoten **962** verbunden. Der n-Kanaltransistor XM9 besteht aus einem Transistor mit Dreifach-Well. Die Source des Transistor XM9 ist mit der Eingangsspannung HVDRVSS auf Leitung **952** verbunden, der PWI **64** des XM9 auf der Innenseite des p-Well ist mit der Spannung HVDRPWI auf Leitung **947** verbunden und der NWD **62** des tiefen n-Well ist auf das Versorgungspotential V_{dd} vorgespannt, welches typischerweise $5 \text{ Volt} \pm 10\%$ beträgt. Die Eingangsspannung HVDRVSS auf Leitung **952** wird durch den NVGEN **950** in Reaktion auf das Lösch- und Löscherholungs-Steuersignal auf Leitung **953** bereitgestellt, wie es oben allgemein unter Bezug auf **Fig. 9** und genauer unten auf **Fig. 11** beschrieben wird.

[0059] Der Wortleitungstreiber **970** enthält weiterhin einen „Halte“-Transistor M2, der aus einem n-Kanaltransistor besteht, dessen Source mit dem Eingangsknoten **1004**, dessen Drain mit dem Versorgungsanschluß V_{dd} und dessen Gate mit einem Steuersignal XDHB auf Leitung **1005** verbunden ist. Dieses Steuersignal XDHB auf Leitung **1005** wird während des Löschtreibers so gesteuert, daß das Steuersignal XDBH von V_{dd} auf 0 Volt umgeschaltet wird, um die Verbindung zwischen AVX auf dem Knoten **962** und der Versorgungsspannung V_{dd} zu unterbrechen. Ein n-Kanaltransistor M4 ist in einer Durchlaßgatterkonfiguration zwischen den Eingangsknoten **1004** und den Eingangsknoten **1002** einer Decodierlogik geschaltet. Das Gate des n-Kanaltransistors M4 ist mit dem Signal XR auf Leitung **1006** verbunden, welches von einer Wortleitungs-Decodierlogik zugeführt wird, die nicht dargestellt ist. Die Source des Transistors M4 ist mit einem Eingangssignal IN Decodierlogik am Knoten **1002** verbunden. Das IN-Signal in Kombination mit dem Signal XR auf Leitung **1006** dient dazu, den speziellen Wortleitungstreiberschaltkreis **970** zu kennzeichnen, mit welchem der integrierte Flashspeicher-Schaltkreis arbeitet.

[0060] Dementsprechend arbeitet der Wortleitungstreiber **970** während des Lese- und Programmierbetriebs

in der Weise, daß er eine positive Spannung an der Wortleitung **971** anlegt, und zwar als Ergebnis der Tatsache, daß die Wortleitungsdecodierlogik auf den speziellen Wortleitungsschaltkreis **970** einwirkt. Während des Löschens wird eine negative Spannung oder Masse über den n-Kanaltransistor XM9 des Dreifach-Wells an der Wortleitung **971** angelegt.

[0061] Fig. 11 veranschaulicht eine Ausführungsform des V_{SS} -Generators NVGEN **950** des Wortleitungstreibers nach Fig. 9 schematisch im Detail. Der NVGEN **950** empfängt eine Versorgungseingangsspannung AVW auf Leitung **1102**, ein Lösch- und Löscherholungssignal auf Leitung **953**, eine Spannung HVDRPWI auf Leitung **951** und die Massespannung GND auf Leitung **1120**. Die Spannung NVDRPWI auf Leitung **951** wird durch den NVGENP **945** bereitgestellt, was noch genauer unter Bezug zu Fig. 12 beschrieben werden wird. Der Schaltkreis NVGEN **950** arbeitet in der Weise, daß er zwischen der Spannung AVDRPWI und der Massespannung GND auswählt, um die Spannung HVDRVSS auf einer Ausgangsleitung **952** zuzuführen, welche dem Signal HVDRVSS auf Leitung **952** der Fig. 9 und 10 entspricht.

[0062] Der NVGEN **950** umfaßt einen p-Kanal MOS Transistor MP1, dessen Source und n-Well mit der Versorgungsleitung **1102** verbunden sind, dessen Drain mit dem Knoten **1114** verbunden ist und dessen Gate mit der Leitung **1108** verbunden ist. Das Lösch- und Löscherholungssignal auf Leitung **953** wird als die Eingangsgröße auf einen Invertierer X10 gegeben und der Ausgang des Inverters X10 ist mit der Leitung **1108** verbunden. Source und n-Well des p-Kanal MOS Transistors MP2 ist mit dem Knoten **1102** verbunden, sein Gate ist mit dem Ausgang des Inverters **1106** verbunden, dessen Eingang mit dem Knoten **1108** verbunden ist. Die Drain des Transistors MP2 ist mit dem Knoten **1112** verbunden. Ein Triple-Well n-Kanal MOS Transistor XM! ist mit seinem Gate an dem Knoten **1112** angeschlossen, seine Drain ist mit dem Knoten **1114** verbunden und seine Source und der p-Well PWI sind mit der Leitung **951** verbunden, auf welcher die Spannung HVDRPWI bereitgestellt wird. Der NWD des Transistors des tiefen n-Well ist mit dem Versorgungsanschluß V_{DD} verbunden. Der Dreifach-Well-Transistor X2 ist mit seiner Drain mit dem Knoten **1112** verbunden, sein Gate ist mit dem Knoten **1114** verbunden und seine Source und sein p-Well sind mit der Leitung **951** verbunden. Der tiefe n-Well des Transistors XM2 ist mit dem Versorgungsanschluß V_{DD} verbunden.

[0063] Ein MOS Transistor MX3 mit Dreifach-Well ist mit seinem Gate mit dem Knoten **1114** verbunden, seine Drain ist mit der Leitung **952** verbunden und seine Source und der p-Well PWI sind mit Leitung **951** verbunden, auf welcher die Spannung HVDRPWI bereitgestellt wird. Der tiefe n-Well NWD des Transistors XM3 ist mit dem Versorgungsanschluß V_{DD} verbunden. Das Gate eines n-Kanal MOS Transistors XM4 mit Dreifach-Well ist mit dem Knoten **1112** verbunden, seine Drain ist mit der Leitung **952** verbunden, seine Source ist mit der Leitung **1120** verbunden, an welcher die Massespannung GND bereitgestellt wird, und der p-Well PWI ist mit Leitung **951** verbunden, an welcher die Spannung HVDRPWI bereitgestellt wird. Der tiefe n-Well NWD des Transistors XM4 ist mit dem Versorgungsanschluß V_{DD} verbunden.

[0064] Im Betrieb ist, wenn das Lösch- und das Löscherholungssignal auf Leitung **952** high sind, der Ausgang des Inverters X10 auf Leitung **1108** low. Wenn das Signal auf Leitung **1108** low ist, wird der Transistor MP1 eingeschaltet und der Transistor MP2 wird abgeschaltet. Dieses treibt die Spannung am Knoten **114** auf das Niveau der Versorgungseingangsspannung AVW auf Leitung **1102** (typischerweise 3 Volt), und schaltet dadurch die Transistoren XM2 und XM3 ein. Der Knoten **1112** wird dadurch über den Transistor XM2 auf die Spannung HVDRPWI getrieben, welche ihrerseits sicherstellt, daß die Transistoren XM1 und XM4 abgeschaltet sind. Diese Spannung HVDRPWI wird demnach über den Transistor XM3 an der Ausgangsleitung **952** angelegt, während der Transistor XM4 abgeschaltet ist. Der Transistor XM4 dient dazu, die negative Spannung auf Leitung **952** gegenüber dem Massepotential auf Knoten **1120** zu isolieren.

[0065] Wenn das Lösch- und Löscherholungssignal auf Leitung **952** low ist, so ist der Ausgang des Inverters X10 auf Leitung **1108** high. Wenn das Signal auf Leitung **1108** high ist, ist bzw. wird der Transistor MP1 abgeschaltet, und der Transistor MP2 wird eingeschaltet. Dies treibt die Spannung am Knoten **1102** auf den Wert von AVW und schaltet damit die Transistoren XM1 und XM4 ein. Der Knoten **1114** wird dadurch über den Transistor SM1 auf die Spannung HVDRPWI getrieben, was wiederum sicherstellt, daß die Transistoren XM2 und SM3 abgeschaltet werden bzw. sind. Demnach wird die Massespannung GND auf Leitung **1120** durch den Transistor XM4 auf der Ausgangsleitung **952** bereitgestellt. Der Transistor XM3 dient dazu, die Massespannung auf Leitung **952** gegenüber dem typischerweise negativen Potential auf Leitung **951** zu isolieren.

[0066] Fig. 12 illustriert eine Ausführungsform des Wortgenerators NVGENP **945** für die Substratvorspannung des Wortleitungstreibers gemäß Fig. 9 im einzelnen in schematischer Form. Der NVGENP **945** empfängt eine Versorgungseingangsspannung AVW auf Leitung **1102**, ein Lösch- und Löscherholungssignal auf Leitung **943**, eine negative Spannung NVPP auf Leitung **942** und eine Massespannung GND auf Leitung **1120**. Die ne-

gative Spannung NVPPP auf Leitung **942** wird durch den Generator **940** für negative Spannung bereitgestellt. Der NVGENP **845**-Schaltkreis arbeitet so, daß er zwischen der negativen Spannung NVPP und der Masse-spannung GND als Versorgung für die Spannung HVDRPWI auf den miteinander verbundenen Ausgangsleitungen **951** und **947** zu dem NVGEN **950** bzw. den Wortleitungstreibern **970–974** auswählt.

[0067] Der NVGENP **945** umfaßt den p-Kanal MOS Transistor MP3, dessen Source und n-Well mit der Versorgungsleitung **1102** verbunden sind, dessen Drain mit dem Knoten **1214** verbunden ist und dessen Gate mit der Leitung **1208** verbunden ist. Das Lösch- und Löscherholungssignal auf Leitung **943** wird als Eingangsgröße an einem Inverter bzw. Invertierer X13 bereitgestellt und der Ausgang des Inverters X13 wird mit der Leitung **1208** verbunden. Die Drain des Transistors MP4 wird mit dem Knoten **1212** verbunden. Ein n-Kanal MOS Transistor XM5 mit Dreifach-Well ist mit seinem Gate mit dem Knoten **1212** verbunden, seine Drain ist mit dem Knoten **1214** verbunden und seine Source und der p-Well PWI sind mit Leitung **942** verbunden, auf welcher die Spannung NVPP bereitgestellt wird. Der NWD des tiefen n-Well des Transistors XM5 ist mit dem Versorgungsanschuß V_{DD} verbunden. Die Drain des Transistors XM6 mit Dreifach-Well ist mit dem Knoten **1212** verbunden, sein Gate ist mit dem Knoten **1214** verbunden und seine Source und sein p-Well sind mit der Leitung **942** verbunden. Der tiefe n-Well des Transistors XM6 ist mit dem Versorgungsanschuß V_{DD} verbunden.

[0068] Das Gate eines n-Kanal MOS Transistors XM7 mit Dreifach-Well ist mit dem Knoten **1214** verbunden, seine Drain ist mit Leitung **947** verbunden und seine Source und p-Well PWI sind mit Leitung **942** verbunden, an welcher die Spannung NVPP bereitgestellt wird. Der tiefe n-Well NWD des Transistors XM7 ist mit dem Versorgungsanschuß V_{DD} verbunden. Das Gate eines n-Kanal MOS Transistors XM8 mit Dreifach-Well ist mit dem Knoten **1212** verbunden, seine Drain ist mit der Leitung **947** verbunden, seine Source ist mit der Leitung **1120** verbunden, an welcher die Massespannung GND bereitgestellt wird, und der p-Well PWI ist mit Leitung **942** verbunden, an welcher die Spannung NVPP bereitgestellt wird. Der NWD des tiefen n-Wells des Transistors XM8 ist mit dem Versorgungsanschuß V_{DD} verbunden.

[0069] Im Betrieb ist, wenn das Lösch- und Löscherholungssignal auf Leitung **943** high ist, der Ausgang des Inverters X13 auf Leitung **1208** low. Wenn das Signal auf Leitung **1208** low ist, wird der Transistor MP3 eingeschaltet, und der Transistor MP4 wird abgeschaltet. Dies treibt die Spannung am Knoten **1214** auf das Niveau der Versorgungseingangsspannung AVW auf Leitung **1102** (typischerweise 3 Volt), und schaltet dadurch die Transistoren XM6 und XM7 ein. Der Knoten **1212** wird dadurch über den Transistor XM6 auf die Spannung NVPP getrieben, was wiederum sicherstellt, daß die Transistoren XM5 und XM8 abgeschaltet sind. Diese Spannung NVPP wird demnach durch den Transistor XM7 an der Ausgangsleitung **947** angelegt, während der Transistor XM8 abgeschaltet ist. Der Transistor XM8 dient dazu, die negative Spannung auf Leitung **947** gegenüber dem Massepotential auf Knoten **1120** zu isolieren.

[0070] Wenn das Lösch- und Löscherholungssignal auf Leitung **943** low ist, so ist der Ausgang des Inverters X13 auf Leitung **1208** high. Wenn das Signal auf Leitung **1208** high ist, wird der Transistor MP3 abgeschaltet, und der Transistor MP4 wird eingeschaltet. Dies treibt die Spannung am Knoten **1212** auf den Wert von AVW, und schaltet dadurch die Transistoren XM6 und XM7 ein. Der Knoten **1214** wird dadurch über den Transistor XM5 auf die Spannung NVPP getrieben, was wiederum sicherstellt, daß die Transistoren XM6 und XM7 abgeschaltet werden. Demnach wird die Massespannung GND auf Leitung **1120** durch den Transistor XM8 an der Ausgangsleitung **947** bereitgestellt. Der Transistor XM7 dient dazu, die Massespannung auf Leitung **947** gegenüber dem negativen Potential auf Leitung **942** zu isolieren bzw. abzuschirmen.

[0071] Fig. 13 veranschaulicht ein schematisches Diagramm des Erholungsschaltkreises **930** nach Fig. 9 gemäß einer Ausführungsform der vorliegenden Erfindung. Der Erholungsschaltkreis **930** weist einen Schalter **1310** für den Übergang von einer positiven Spannung zu einer negativen Spannung, einen Erdungsschaltkreis **1320** für positive Spannung, einen Erdungsschaltkreis **1330** für negative Spannung, einen Detektorschaltkreis **1340** für positive Spannung und einen Detektorschaltkreis **1350** für negative Spannung auf. Der Erholungsschaltkreis **930** empfängt die Eingangsgrößen AVX auf dem Knoten **962**, die PWI Vorspannung auf dem Knoten **922**, NVPP auf dem Knoten **042**, das Programmiererholungssignal auf Knoten **932**, das Löscherholungssignal auf Knoten **934** und das Steuersignal auf Knoten **936**. Der Erholungsschaltkreis **930** funktioniert so, daß er die Zellen **981–986** von den Programmier-/Löschenbetriebsspannungen, die vorstehend in Tabelle II wiedergegeben wurden, regeneriert, indem er das Erholungsschema implementiert, welches oben unter Bezug auf die Fig. 7 und 8 beschrieben wurde und wie es nachstehend noch vollständiger beschrieben wird.

[0072] Der Schalter **1310** für die Verbindung von positiver Spannung mit negativer Spannung liefert eine Eingangsgröße an dem Erdungsschaltkreis **320** für positive Spannung auf dem Knoten **1312** an der Drain des Transistors M30 und der Detektor **1350** für negative Spannung liefert eine Eingangsgröße an den Erdungs-

schaltkreis **1320** für positive Spannung an dem Knoten **1348** am Gate des Transistors M30. Die Ausgangsgröße des Detektorschaltkreises **1340** für positive Spannung wird an dem Knoten **1342** als Eingangsgröße für den Erdungsschaltkreis **1330** für negative Spannung bereitgestellt. Die AVX-Spannung und die PWI-Vorspannung werden an dem Schalter **1310** für die Verbindung von positiver Spannung mit negativer Spannung und dem Detektorschaltkreis **1340** für positive Spannung an den Knoten **962** bzw. **922** bereitgestellt. Das Steuersignal wird an dem Schalter **1310** für die Verbindung von positiver Spannung mit negativer Spannung auf dem Knoten **936** bereitgestellt. Die NVPP-Spannung wird an dem Schalter **1310** für die Verbindung von positiver Spannung mit negativer Spannung, dem Erdungsschaltkreis für negative Spannung und dem Detektorschaltkreis **1350** für negative Spannung an dem Knoten **942** bereitgestellt. Schließlich werden das Programmiererholungssignal und das Löscherholungssignal an dem Schalter **1310** für die Verbindung von positiver Spannung mit negativer Spannung, dem Detektorschaltkreis **1340** für positive Spannung und dem Detektorschaltkreis **1350** für negative Spannung an den Knoten **932** bzw. **934** bereitgestellt.

[0073] Der Schalter **1310** für die Verbindung von positiver Spannung mit negativer Spannung besteht aus n-Kanal MOS Transistoren M13 und M14, den p-Kanal MOS Transistoren M11 und M12 und dem n-Kanal MOS Transistor XM9 mit Dreifach-Well. Die Drain des Transistors M14 ist mit der AVX-Spannung am Knoten **962** verbunden, während das Gate von M14 mit dem Programmiererholungssignal auf Knoten **932** verbunden ist und die Source von M14 ist mit dem Knoten **1312** verbunden. Die Drain des Dreifach-Well Transistors XM9 wird mit der PWI Vorspannung auf Knoten **922** verbunden, während das Gate von XM9 mit dem Steuersignal auf Knoten **936** verbunden ist und die Source von XM9 mit der Drain des Transistors M13 verbunden ist. Das Gate von M13 ist mit dem Löscherholungssignal auf Knoten **934** verbunden, und die Source von M13 ist mit dem Knoten **1312** verbunden. Die Drain und das Gate des Transistors M13 sind mit MVPP an dem Knoten **942** verbunden, und die Source von M12 ist mit der Drain des Transistors M11 verbunden. Das Gate von M11 ist mit Masse verbunden, die Source von M11 ist mit dem Knoten **1312** verbunden. Der Schalter **1310** für die Verbindung von positiver Spannung mit negativer Spannung entspricht den Schaltern SW1 nach **Fig. 7** und SW4 nach **Fig. 8** und implementiert diese. Die MOS Transistoren M14, M11 und M12 bilden den Neutralisierungspfad für das FN-Kanalprogrammieren (SW1 in **Fig. 7**) und die MOS Transistoren XM9, M13, M11 und M12 bilden den Neutralisierungspfad für das FN-Kanallöschen (SW4 in **Fig. 8**).

[0074] Der Erdungsschaltkreis **1320** für positive Spannung weist den n-Kanal MOS Transistors M30 auf, dessen Source mit Masse verbunden ist und dessen Drain und Gate mit den Knoten **1312** bzw. **1348** verbunden sind. Der Transistor M30 entspricht den Schaltern SW2 nach **Fig. 7** und SW6 nach **Fig. 8** und implementiert diese.

[0075] Der Erdungsschaltkreis **1330** für negative Spannung besteht aus den p-Kanal MOS Transistoren MP7, MP8, MP9 und MP10, dem Inverter X17 und den n-Kanal Transistoren XM10, XM11 und XM41 mit Dreifach-Well. Der Ausgang des Detektorschaltkreises für positive Spannung am Knoten **1342** ist mit dem Gate des Transistors MP7 und dem Eingang des Inverters X17 verbunden. Der Ausgang des Inverters X17 ist mit dem Gate des Transistors MP8 verbunden. Die Sources sowohl von MP8 als auch von MP7 sind mit der Spannung AVW verbunden – wobei der typische Wert von AVW während einer Programmier- oder Löschfunktion 3 Volt beträgt, und während anderer Betriebszustände mit Vdd, um die Beanspruchung zu reduzieren, die an MOS-Schaltkreisen anliegt, wenn eine während einer Programmier- oder Löschfunktion eine negative Spannung erzeugt wird. Die Drains von MP7 und MP8 sind mit Knoten **1324** bzw. **1322** verbunden. Die Source des Transistors MP9 ist mit dem Knoten **1324** verbunden, sein Gate ist mit Masse verbunden und seine Drain ist mit dem Knoten **1325** verbunden. Die Source des Transistors MP10 ist mit dem Knoten **1322** verbunden, sein Gate ist mit Masse verbunden und seine Drain ist mit dem Knoten **1326** verbunden. Die Sources der Transistoren XM10, XM11 und XM41 mit Dreifach-Well sind mit NVPP auf Knoten **942** verbunden. Die Drain von XM11 und die Gates von XM10 und XM41 sind mit dem Knoten **1326** verbunden. Das Gate von XM11 und die Drain von XM10 sind mit dem Knoten **1325** verbunden, während die Drain von XM41 mit Masse verbunden ist. Der Erdungsschaltkreis **1330** für negative Spannung entspricht den Schaltern SW3 nach **Fig. 7** und SW5 nach **Fig. 8** und implementiert diese.

[0076] Der Detektor **1340** für positive Spannung besteht aus Invertern X15 und X16 und NAND-Gattern XA1, XA2 und XA3. Das NAND-Gatter XA1 empfängt das Programmiererholungssignal als eine Eingangsgröße an dem Knoten **932** und die Ausgangsgröße des Inverters X15 als eine zweite Eingangsgröße – der Inverter X15 empfängt die AVX-Spannung als eine Eingangsgröße an dem Knoten **962**. Das NAND-Gatter XA2 empfängt das Löscherholungssignal als eine Eingangsgröße am Knoten **934** und die Ausgangsgröße des Inverters X16 als eine zweite Eingangsgröße – der Inverter X16 empfängt die PWI Vorspannung als eine Eingangsgröße am Knoten **922**. Das NAND-Gatter XA3 empfängt die Ausgangsgrößen der NAND-Gatter XA1 und XA2 als Eingangsgrößen und stellt die Ausgangsgröße des Detektorschaltkreises für positive Spannung an dem Knoten

1342 bereit. Der Detektorschaltkreis **1314** für positive Spannung entspricht dem Detektor **710** für positive Spannung nach **Fig. 7** und dem Detektor **820** für positive Spannung nach **Fig. 8** und implementiert diese (stellt eine Konkretisierung derselben dar).

[0077] Der Detektorschaltkreis **1350** für negative Spannung besteht aus n-Kanal MOS Transistoren M7 und M8, p-Kanal Transistoren M1, M3, M5, M6 und M9, dem NOR-Gatter XR1 und den Invertern X18 und X19. Das NOR-Gatter XR1 empfängt die Programmiererholungs- und Löscherholungssignale als Eingangsgrößen an den Knoten **932** bzw. **934** – die Ausgangsgröße des NOR-Gatters XR1 wird an dem Gate des Transistors M1 bereitgestellt und als die Einganggröße für den Inverter X18. Die Source des Transistors M1 ist mit der Eingangsspannung V_{DD} des externen Systems verbunden, und die Drain von M1 ist mit dem Knoten **1352** verbunden. M1 hat einen sehr langen Kanal und wirkt wie ein Widerstand. Die Source von M3 ist mit dem Knoten **1353** verbunden, und das Gate und die Drain von M3 sind mit der Source von M5 verbunden. Das Gate und die Drain von M5 sind am Knoten **942** mit NVPP verbunden. Die Transistoren M3 und M5 sind als Dioden geschaltet, so daß das Potential am Knoten **1353** näherungsweise bei $NVPP + 2 V_{TH}$ ist. Die Source von M6 ist mit V_{DD} verbunden, während das Gate von M6 mit dem Knoten **1353** verbunden ist, und die Drain mit dem Knoten **1354** und der Drain von M7 verbunden ist. Das Gate von M7 ist mit dem Knoten **1353** verbunden, und die Source ist mit der Drain von M8 verbunden. Das Gate von M8 ist mit dem Knoten **1352** verbunden, und die Source von M8 ist mit Masse verbunden. Die Source von M9 ist mit V_{DD} verbunden, während die Drain mit dem Knoten **1354** verbunden ist und das Gate mit dem Knoten **1352** verbunden ist. Schließlich empfängt der Inverter X19 das Signal am Knoten **1354** als eine Eingangsgröße und stellt das Signal NVNEARO als eine Ausgangsgröße am Knoten **1348** bereit. Der Detektorschaltkreis **1350** für negative Spannung entspricht dem Detektor **720** für negative Spannung nach **Fig. 7** und dem Detektor **810** für negative Spannung nach **Fig. 8** und stellt eine Realisierung bzw. Implementierung derselben dar.

[0078] Die Betriebsweise des Erholungsschaltkreises **930** wird nachstehend unter Bezug auf drei Zustände beschrieben: 1) wenn der Schaltkreis sich in einer Betriebsart befindet, die nicht dem Erholen von einem Programmieren oder Löschen entspricht, 2) das Erholen aus einer Programmierfunktion und 3) das Erholen aus einer Löschfunktion. Wenn der Schaltkreis sich in irgendeiner anderen Betriebsart als der Erholung vom Programmieren oder Löschen befindet, sind die Signale für Programmiererholung am Knoten **932** und für Löscherholung am Knoten **934** beide low. Wenn diese Signale beide low sind, hält der Erholungsschaltkreis die Erdungspfade offen und erlaubt dadurch den Normalbetrieb des Flash-Speicherschaltkreises. Wenn nämlich diese beiden Signale low sind, so ist der Ausgang des NOR-Gatters XR1 high und der Ausgang des Inverters X18 ist low, wodurch also M9 eingeschaltet bleibt und Knoten **1354** in etwa auf V_{DD} gehalten wird. Dies führt zu einer niedrigen Ausgangsgröße (low) von dem Inverter X19, der M30 abschaltet und dadurch den Schalter **1320** für positive Erdung öffnet. Weiterhin ist, wenn diese Signale beide low sind, auch der Ausgang am Knoten **1342** des Detektors **1340** für positive Spannung low. Wenn die Spannung am Knoten **1342** low ist, sind bzw. werden die Transistoren MP7, MP9 und MP11 eingeschaltet und stellen eine niedrige Spannung an dem Gate von XM41 bereit, was XM41 abgeschaltet hält und damit den Erdungspfad für negative Spannung offenhält.

[0079] Wie zuvor beschrieben, gibt der AVX Generator **960** während einer Programmierfunktion durch den Wortleitungstreiber **970** +8 Volt auf der Wortleitung **971** der Zelle **981** aus. Der Generator **940** für negative Spannung erzeugt –9 Volt NVPP am Knoten **942** und dieses negative Potential wird dann durch den PWI Treiber **920** an dem PWI der Zelle am Knoten **922** angelegt. Gleichzeitig gibt der NWD Treiber **910** +3 Volt an den VWD der Zelle aus, und die Spannung HVDRVSS und HVDRPWI an den Knoten **952** und **947** werden durch Ihre Treiber NVGEN **950** bzw. NVGENP **945** auf Masse getrieben.

[0080] Wenn die Programmierfunktion abgeschlossen ist, arbeitet der Erholungsschaltkreis so, daß er die Spannungen an den oben erwähnten Knoten zurückbringt auf ihre Niveaus im Lesebetrieb. Während der Dauer der Programmiererholung ist das Programmiererholungssignal high, und das Löscherholungssignal ist low und der AVX Generator **960** und der Generator **940** für negative Spannung treten folgendermaßen in einen Zustand hoher Impedanz ein. Die positive Ladung AVX auf den Wortleitungen wird über den Knoten **1312** durch die negative Ladung des PWI neutralisiert, wenn der Transistor M14 durch das auf high befindliche Programmiererholungssignal auf Knoten **932** eingeschaltet wird. Dies dient weiterhin dazu, die Transistoren M11 und M12 einzuschalten, wodurch die Spannung AVX mit der Spannung NVPP verbunden wird und AVX veranlaßt wird, abzusinken und PWI veranlaßt wird, zu steigen (da NVPP an dem PWI der Zelle angelegt wird, ist die AVX Spannung mit PWI verbunden). Wenn auch gemäß einer Ausführungsform AVX auf etwa 3 Volt absinkt, geht der Ausgang des Inverters X15 auf high, was bewirkt, daß der Ausgang des NAND-Gatter XA1 auf low geht und der Ausgang des NAND-Gatter XA3 am Knoten **1342** auf high geht. Demnach stellt, wenn die AVX Spannung das gewünschte Niveau erreicht, der Detektorschaltkreis **1340** für positive Spannung ein hohes Ausgangssignal für den Erdungsschaltkreis **1330** für negative Spannung am Knoten **1342** bereit, was die Tran-

sistoren MP8, MP10 und XM10 einschaltet und die Transistoren MP7, MP9 und XM11 ausschaltet. Dies schaltet Transistor XM41 ein und stellt für die Spannung NVPP am Knoten **942** einen Pfad nach Masse bereit, und da NVPP außerdem über den PWI Treiber auch mit PWI verbunden ist, so wird auch der PWI auf Masse kurzgeschlossen.

[0081] Der Detektorschaltkreis **1350** für negative Spannung arbeitet dann so, daß er den Erdungspfad für positive Spannung schließt. Wenn das Programmiererholungssignal auf Knoten **932** high ist, so ist der Ausgang des NOR-Gatters XR1 low und schaltet dadurch den Transistor M1 ein und stellt für den Knoten **1353** eine Spannung bereit, die näherungsweise NVPP + 2 V_{TH} entspricht. Weiterhin ist der Ausgang des Inverters X18 high, wodurch der Transistor M9 abgeschaltet wird und der Detektorschaltkreis für negative Spannung eingeschaltet wird. Wenn in einer Ausführungsform NVPP auf näherungsweise -2 Volt ansteigt, ist die Spannung am Knoten **1353** hoch genug, um den Transistor M7 einzuschalten und damit das Absenken des Potentials an dem Knoten **1354** über einen Pfad durch M5, M7 und M8 bereitzustellen. Wenn das Potential am Knoten **1354** demnach abgesenkt wird, geht der Ausgang des Inverters X19 auf high und schaltet damit den Transistor M30 an und stellt einen Erdungspfad für die Spannung AVX bereit. Da die Spannung AVS weiterhin durch den Wortleitungstreiber **970** ebenfalls mit der Wortleitung **971** verbunden ist, wird auch die Wortleitung **971** geerdet. Schließlich arbeitet der Erholungsschaltkreis **930** bezüglich der Erholung aus einer Löschfunktion in ähnlicher Weise. Wie zuvor beschrieben, liefert während einer Löschfunktion der PWI Treiber **920** über den Knoten **922** +6 Volt an den PWI der Zelle und der Generator **940** für negative Spannung erzeugt eine NVPP von -9 Volt am Knoten **942**. Der NVGENP **945** verbunden die NVPP Spannung mit HVDRPWI am Knoten **947** und der NVGEN **950** verbindet die HVDRPWI mit HVDRVSS am Knoten **952**. Demnach wird über die Wortleitungstreiber und die Knoten **947** und **942** eine negative Spannung an die Wortleitungen geleitet.

[0082] Wenn die Löschfunktion abgeschlossen ist, arbeitet der Erholungsschaltkreis so, daß er die Spannungen an den oben erwähnten Knoten auf ihre Niveaus im Lesebetrieb wiederherstellt. Während der Dauer der Löschherholung ist das Löschherholungssignal high und das Programmiererholungssignal ist low und der Generator **940** für negative Spannung und der PWI Treiber **920** treten folgendermaßen in einen Zustand hoher Impedanz ein. Die positive Ladung von PWI wird durch die negative Spannung auf den Wortleitungen über den Knoten **1312** neutralisiert, wenn der Transistor M13 durch das hohe Löschherholungssignal auf Knoten **934** eingeschaltet wird. Dies dient weiterhin dazu, die Transistoren M11 und M12 einzuschalten, wodurch die Spannung PWI mit der Spannung NVPP verbunden wird und PWI veranlaßt wird, abzusinken und die Wortleitungsspannung veranlaßt wird, anzusteigen (da an diesen Wortleitungen NVPP angelegt wird). Wenn in einer Ausführungsform PWI auf etwa 3 Volt abgefallen ist, geht der Ausgang des Inverters X16 auf high, was bewirkt, daß der Ausgang des NAND-Gatters XA2 auf low geht und der Ausgang des NAND-Gatters XA3 am Knoten **1342** auf high geht. Dies schaltet die Transistoren MP8, MP10 und XM10 ein und schaltet die Transistoren MP7, MP9 und XM11 ab. Dieses schaltet den Transistor XM **41** ein und stellt für die Spannung NVPP am Knoten **942** einen Pfad nach Masse bereit, und, da NVPP auch mit den Wortleitungen verbunden ist, werden auch die Wortleitungen nach Masse kurzgeschlossen. Der Detektorschaltkreis **1350** für negative Spannung arbeitet dann wie zuvor erläutert, um den Erdungspfad für positive Spannung für die Spannung PWI zu schließen.

[0083] Auch wenn hier im einzelnen beispielhafte Ausführungsformen der Erfindung unter Bezug auf die beigefügten Figuren beschrieben wurden, versteht es sich, daß die Erfindung nicht auf diese genauen Ausführungsformen beschränkt ist. Sie sollen weder erschöpfend sein noch die Erfindung auf die speziell offenbarten Formen beschränken. Insoweit liegen für Praktiker mit Erfahrungen auf diesem Gebiet viele Modifikationen und Variationen auf der Hand. Dementsprechend soll der Schutzmfang der Erfindung durch die folgenden Ansprüche und deren Äquivalente bestimmt sein.

Patentansprüche

1. In einer Speicherzelle mit erdfreiem Gate, welche ein Steuergate, ein erdfreies Gate, einen Kanal-Well, welcher einen ersten Leitfähigkeitstyp aufweist, wobei der erste Leitfähigkeitstyp entweder ein p-Typ oder ein n-Typ ist, und Drain- und Sourcebereiche innerhalb des Kanal-Wellen aufweist, welche einen zweiten Leitfähigkeitstyp haben, der von dem des ersten Leitfähigkeitstyps verschieden ist, und wobei das Steuergate mit einem ersten Knoten auf einem ersten Programmier-/Löschpotential verbunden ist und der Kanal-Well mit einem zweiten Knoten auf einem zweiten Programmier-/Löschpotential verbunden ist, ein Verfahren für das Wiederrückbringen des Steuergates auf ein erstes Wiederherstellungspotential und des Kanal-Wellen auf ein zweites Wiederherstellungspotential, wobei das Verfahren aufweist:

Herstellen eines Strompfades zwischen dem ersten Knoten und dem zweiten Knoten,
Erzeugen eines ersten Massesignals, wenn das Spannungssignal an dem ersten Knoten näherungsweise einem ersten Schaltpotential gleicht,

Erzeugen eines zweiten Erdungssignals, wenn das Spannungspotential an dem zweiten Knoten näherungsweise einem zweiten Schaltpotential gleich ist,

Bereitstellen eines elektrischen Pfades zwischen dem zweiten Knoten und einem ersten Referenzknoten in Reaktion auf das erste Erdungssignal, Vorspannen des ersten Referenzknotens auf dem zweiten Wiederherstellungspotential, und

Bereitstellen eines elektrischen Pfades zwischen dem ersten Knoten und einem zweiten Referenzknoten in Reaktion auf das zweite Erdungssignal unter Vorspannung des zweiten Bezugsknotens auf das erste Wiederherstellungspotential.

2. Arbeitsverfahren für eine Speicherzelle mit erdfreiem Gate, welche eine Drain, eine Source, ein erdfreies Gate und ein Steuergate auf einem Halbleitersubstrat aufweist, welches einen ersten Leitfähigkeitstyp hat, wobei das Substrat einen Isolations-Well umfaßt, der einen zweiten Leitfähigkeitstyp hat, welcher sich von dem des Substrats unterscheidet, ein Kanal-Well innerhalb des Isolationsbereichs den ersten Leitfähigkeitstyp hat und Source- und Drainbereiche für die Zelle den zweiten Leitfähigkeitstyp innerhalb des Kanal-Wellen haben, und wobei das Steuergate mit einem ersten Knoten und der Kanal-Well mit einem zweiten Knoten verbunden sind, wobei das Verfahren aufweist:

Induzieren eines Tunnelstroms zwischen dem erdfreien Gate und dem Kanal-Well durch Anlegen eines ersten Programmier-/Löschtentials an dem ersten Knoten, eines zweiten Programmier-/Löschtentials an dem zweiten Knoten, eines dritten Programmier-/Löschtentials an dem Isolations-Well und eines vierten Programmier-/Löschtentials an dem Substrat, wobei die ersten und zweiten Programmier-/Löschtentials ein elektrisches Feld zwischen dem Steuergate und dem Kanal-Well bereitstellen, welches ausreichend ist, um einen Tunnelstrom zu induzieren, wobei das dritte Potential so eingestellt wird, daß der Strom zwischen dem Kanal-Well und dem Isolations-Well blockiert wird, und das vierte Potential so gesetzt wird, daß der Strom zwischen dem Isolations-Well und dem Substrat blockiert wird,

Wiederherstellen des ersten Programmier-/Löschtentials auf einem ersten Wiederherstellungspotential und des zweiten Programmier-/Löschtentials auf einem zweiten Wiederherstellungspotential, wobei das Wiederherstellen des ersten Programmier-/Löschtentials und des zweiten Programmier-/Löschtentials aufweist:

Herstellen eines Strompfades zwischen dem ersten Knoten und dem zweiten Knoten,

Erzeugen eines ersten Erdungssignals, wenn das Spannungspotential an dem ersten Knoten in etwa gleich einem ersten Schaltpotential ist,

Erzeugen eines zweiten Erdungssignals, wenn das Spannungspotential an dem zweiten Knoten in etwa gleich einem zweiten Schaltpotential ist,

Bereitstellen eines elektrischen Pfades zwischen einem zweiten Knoten und einem ersten Referenzknoten in Reaktion auf das erste Erdungssignal unter Vorspannung des ersten Referenzknotens auf dem zweiten Wiederherstellungspotential, und

Bereitstellen eines elektrischen Pfades zwischen dem ersten Knoten und einem zweiten Referenzknoten in Reaktion auf das zweite Erdungssignal und Vorspannen des zweiten Referenzknotens auf das zweite Wiederherstellungspotential.

3. Verfahren nach Anspruch 1, wobei der erste Leitfähigkeitstyp der p-Typ ist.

4. Verfahren nach Anspruch 1 oder 2, wobei das erste Schaltpotential eine positive Spannung ist und das zweite Schaltpotential eine negative Spannung ist.

5. Verfahren nach Anspruch 4, wobei das erste Schaltpotential näherungsweise +3 V beträgt und das zweite Schaltpotential näherungsweise -2 V beträgt.

6. Verfahren nach Anspruch 1 oder 2, wobei das erste Schaltpotential eine negative Spannung und das zweite Schaltpotential eine positive Spannung ist.

7. Verfahren nach Anspruch 6, wobei das erste Schaltpotential in etwa -2 V und das zweite Schaltpotential in etwa +3 V beträgt.

8. Verfahren nach Anspruch 1 oder 2, wobei der erste Referenzknoten mit einem Knoten auf Massepotential verbunden ist.

9. Verfahren nach Anspruch 8, wobei der erste Referenzknoten mit dem zweiten Referenzknoten verbunden ist.

10. Verfahren nach einem der Ansprüche 1 oder 2, wobei das erste Programmier-/Löschtential eine po-

sitive Spannung und das zweite Programmier-/Löschpotential eine negative Spannung ist.

11. Verfahren nach Anspruch 10, soweit dieser auf Anspruch 1 rückbezogen ist, wobei die Speicherzelle mit erdfreiem Gate weiterhin eine externe Referenzzufuhr aufweist, welche ein Massepotential und ein positives Versorgungspotential anlegt.

12. Verfahren nach Anspruch 10, soweit dieser von Anspruch 2 abhängig ist, wobei das Substrat mit einer externen Referenzversorgung verbunden ist, welche ein Massepotential und ein positives Versorgungspotential anlegt.

13. Verfahren nach Anspruch 11 oder 12, wobei das Versorgungspotential mit 5 V oder weniger spezifiziert ist.

14. Verfahren nach Anspruch 1 oder 2, wobei das erste Programmier-/Löschpotential eine negative Spannung und das zweite Programmier-/Löschpotential eine positive Spannung ist.

15. Verfahren nach Anspruch 14, soweit dieser von Anspruch 1 abhängig ist, wobei die Speicherzelle mit erdfreiem Gate weiterhin eine externe Referenzversorgung aufweist, die ein Massepotential und ein positives Versorgungspotential anlegt, und wobei der Wert des zweiten Programmier-/Löschpotentials größer ist als das Versorgungspotential.

16. Verfahren nach Anspruch 14, soweit dieser von Anspruch 2 abhängig ist, wobei das Substrat mit einer externen Bezugsversorgung verbunden ist, die ein Massepotential und ein positives Versorgungspotential anlegt, und wobei der Wert des zweiten Programmier-/Löschpotentials größer ist als der des Versorgungspotentials.

17. Verfahren nach Anspruch 15 oder 16, wobei das zweite Programmier-/Löschpotential einen Betrag in einem Bereich von einem Wert in der Nähe des Versorgungsspannungsniveaus bis zu positiven 14 V hat und wobei das erste Programmier-/Löschpotential einen Wert in einem Wert von negativen 4 bis negativen 10 V hat.

18. Verfahren nach Anspruch 15 oder 16, wobei die Versorgungsspannung mit 5 V oder weniger spezifiziert ist.

19. Verfahren nach Anspruch 1 oder 3, wobei die Speicherzelle mit erdfreiem Gate einen Transistor mit Dreifach-Well auf einem integrierten Schaltkreis aufweist, welcher ein Substrat eines ersten Leitfähigkeitstyps hat, wobei das Substrat einen Isolations-Well aufweist, der den zweiten Leitfähigkeitstyp hat und wobei der Kanal-Well innerhalb des Isolations-Wells liegt.

20. Wiederherstellungsschaltkreis für das Wiederherstellen eines Steuergates und eines Kanal-Well einer Speicherzelle mit erdfreiem Gate auf einem ersten Wiederherstellungspotential bzw. einem zweiten Wiederherstellungspotential, wobei die Speicherzelle mit erdfreiem Gate das mit einem ersten Knoten verbundene Steuergate auf einem ersten Programmier-/Löschpotential, ein erdfreies Gate, den mit einem zweiten Knoten auf einem zweiten Programmier-/Löschpotential verbundenen Kanal-Well, welcher einen ersten Leitfähigkeitstyp hat, wobei der erste Leitfähigkeitstyp entweder ein p-Typ oder ein n-Typ ist, und Drain- und Sourcebereiche innerhalb des Kanal-Wellen aufweist, die einen zweiten Leitfähigkeitstyp haben, welcher von dem ersten Leitfähigkeitstyp verschieden ist, wobei der Wiederherstellungsschaltkreis aufweist:

eine Steuerschaltung, die ein Wiederherstellungssteuersignal bereitstellt,

einen Kopplungsschaltkreis, welcher einen Stromkreis zwischen dem ersten Knoten und dem zweiten Knoten in Reaktion auf das Wiederherstellungssteuersignal herstellt,

einen ersten Spannungsdetektorschaltkreis, der auf das Wiederherstellungssteuersignal reagiert und welcher ein erstes Erdungssignal bereitstellt, wenn das Spannungspotential auf dem ersten Knoten näherungsweise gleich einem ersten Schaltpotential ist, einen zweiten Spannungsdetektorschaltkreis, der auf das Wiederherstellungssteuersignal reagiert und der ein zweites Erdungssignal bereitstellt, wenn das Spannungssignal an dem zweiten Knoten näherungsweise gleich einem zweiten Schaltpotential ist,

einen ersten Spannungserdungsschaltkreis, der auf das erste Erdungssignal reagiert, und welcher einen elektrischen Pfad zwischen dem zweiten Knoten und einem ersten Referenzknoten bereitstellt, was den ersten Referenzknoten auf das zweite Wiederherstellungspotential vorspannt, und

einen zweiten Spannungserdungsschaltkreis, der auf das zweite Erdungssignal reagiert, und der einen elektrischen Pfad zwischen dem ersten Knoten und einem zweiten Referenzknoten bereitstellt, was den zweiten

Referenzknoten auf das erste Wiederherstellungspotential vorspannt.

21. Wiederherstellungsschaltkreis nach Anspruch 20, wobei der erste Leitfähigkeitstyp ein p-Typ ist.
22. Wiederherstellungsschaltkreis nach Anspruch 20, wobei das erste Schaltpotential eine positive Spannung und das zweite Schaltpotential eine negative Spannung ist.
23. Wiederherstellungsschaltkreis nach Anspruch 22, wobei das erste Schaltpotential näherungsweise +3 V beträgt und das zweite Schaltpotential näherungsweise -2 V beträgt.
24. Wiederherstellungsschaltkreis nach Anspruch 20, wobei das erste Schaltpotential eine negative Spannung und das zweite Schaltpotential eine positive Spannung ist.
25. Wiederherstellungsschaltkreis nach Anspruch 24, wobei das erste Schaltpotential näherungsweise -2 V beträgt und das zweite Schaltpotential näherungsweise +3 V beträgt.
26. Wiederherstellungsschaltkreis nach Anspruch 20, wobei der erste Referenzknoten mit einem Knoten auf Massepotential verbunden ist.
27. Wiederherstellungsschaltkreis nach Anspruch 26, wobei der erste Referenzknoten mit dem zweiten Referenzknoten verbunden ist.
28. Wiederherstellungsschaltkreis nach Anspruch 20, wobei das erste Programmier-/Löschnetzwerk eine positive Spannung ist und das zweite Programmier-/Löschnetzwerk eine negative Spannung ist.
29. Wiederherstellungsschaltkreis nach Anspruch 28, wobei die Speicherzelle mit erdfreiem Gate weiterhin eine externe Referenzversorgung aufweist, die ein Massepotential und ein positives Potential anlegt.
30. Wiederherstellungsschaltkreis nach Anspruch 29, wobei das Versorgungspotential mit 5 V oder weniger spezifiziert ist.
31. Wiederherstellungsschaltkreis nach Anspruch 20, wobei das erste Programmier-/Löschnetzwerk eine negative Spannung und das zweite Programmier-/Löschnetzwerk eine positive Spannung ist.
32. Wiederherstellungsschaltkreis nach Anspruch 31, wobei die Speicherzelle mit erdfreiem Gate weiterhin eine externe Referenzversorgung aufweist, die ein Massepotential und ein positives Versorgungspotential anlegt, und wobei der Wert des zweiten Programmier-/Löschnetzwerks höher ist als der des Versorgungspotentials.
33. Wiederherstellungsschaltkreis nach Anspruch 32, wobei das zweite Programmier-/Löschnetzwerk einen Wert in einem Bereich in der Nähe des Versorgungsspannungsniveaus bis zu positiven 14 V hat und das erste Programmier-/Löschnetzwerk einen Wert in einem Bereich von negativen 4 bis negativen 10 V hat.
34. Wiederherstellungsschaltkreis nach Anspruch 32, wobei die Versorgungsspannung mit 5 V oder weniger spezifiziert ist.
35. Speicherzelle mit erdfreiem Gate in einem Halbleitersubstrat, welches einen Bereich mit einem ersten Leitfähigkeitstyp umfaßt, wobei der erste Leitfähigkeitstyp entweder ein n-Typ oder ein p-Typ ist, wobei die Speicherzelle mit erdfreiem Gate aufweist:
eine Struktur eines erdfreien Gates über einem Kanalbereich,
eine Steuergateststruktur über der Struktur des erdfreien Gates und welche mit einem ersten Knoten verbunden ist,
einen ersten Well innerhalb des Bereichs des Substrats, der einen zweiten Leitfähigkeitstyp hat, der entweder vom n-Typ oder vom p-Typ und von dem ersten Leitfähigkeitstyp verschieden ist,
einen zweiten Well innerhalb des ersten Wells, welcher den ersten Leitfähigkeitstyp hat und welcher mit einem zweiten Knoten verbunden ist,
eine Drain innerhalb des zweiten Wells, welche den zweiten Leitfähigkeitstyp hat,
eine Source innerhalb des zweiten Wells, welche den zweiten Leitfähigkeitstyp hat und von der Drain beabsichtigt ist, um zwischen der Drain und der Source den Kanalbereich zu definieren,
einen Programmier-/Löschnetzwerk-Spannungstreiberschaltkreis, um ein Tunneln von Elektronen zu induzieren, und

zwar entweder aus dem erdfreien Gate in den Kanalbereich oder aus dem Kanalbereich in das erdfreie Gate durch Anlegen eines ersten Programmier-/Löschpotentials an dem ersten Knoten, eines zweiten Programmier-/Löschpotentials an dem zweiten Knoten, eines dritten Programmier-/Löschpotentials an dem ersten Well und eines vierten Programmier-/Löschpotentials an dem Substrat, wobei die ersten und zweiten Programmier-/Löschpotentiale ein elektrisches Feld zwischen dem Steuergate und dem Kanal-Well bereitstellen, das ausreichend ist, um einen Tunnelstrom zu induzieren, wobei das dritte Potential so eingestellt ist, daß ein Strom zwischen dem ersten Kanal-Well und dem ersten Well blockiert wird, und das vierte Potential so eingestellt wird, daß ein Strom zwischen dem ersten Well und dem Substrat blockiert wird, und einen Wiederherstellungsschaltkreis, der das Steuergate auf einem ersten Wiederherstellungspotential wiederherstellt und den zweiten Well auf einem zweiten Wiederherstellungspotential wiederherstellt, wobei der Wiederherstellungsschaltkreis weiterhin aufweist:

eine Steuerschaltung, die auf den Treiberschaltkreis für die Programmier-/Löschspannung reagiert, welcher ein Wiederherstellungssteuersignal bereitstellt, einen Verbindungsschaltkreis, der einen Strompfad zwischen dem ersten Knoten und dem zweiten Knoten in Reaktion auf das Wiederherstellungssteuersignal herstellt, einen ersten Spannungsdetektorschaltkreis, der auf das Wiederherstellungssteuersignal reagiert, und welcher ein erstes Erdungssignal bereitstellt, wenn das Spannungspotential an dem ersten Knoten näherungsweise gleich einem ersten Schaltpotential ist,
einen zweiten Spannungsdetektorschaltkreis, der auf das Wiederherstellungssteuersignal reagiert, und welcher ein zweites Erdungssignal bereitstellt, wenn das Spannungspotential an dem zweiten Knoten näherungsweise gleich einem zweiten Schaltpotential ist,
einen ersten Spannungserdungsschaltkreis, der auf das erste Erdungssignal reagiert, und der einen elektrischen Pfad zwischen dem zweiten Knoten und einem ersten Referenzknoten bereitstellt, was den ersten Referenzknoten auf das zweite Wiederherstellungspotential vorspannt, und
einen zweiten Spannungserdungsschaltkreis, der auf das zweite Erdungssignal reagiert, und welcher einen elektrischen Pfad zwischen dem ersten Knoten und einem zweiten Referenzknoten bereitstellt, was den zweiten Referenzknoten auf das erste Wiederherstellungspotential vorspannt.

36. Speicherzelle mit erdfreiem Gate nach Anspruch 35, wobei der erste Leitfähigkeitstyp der p-Typ ist.

37. Speicherzelle mit erdfreiem Gate nach Anspruch 35, wobei das erste Schaltpotential eine positive Spannung und das zweite Schaltpotential eine negative Spannung ist.

38. Speicherzelle mit erdfreiem Gate nach Anspruch 37, wobei das erste Schaltpotential näherungsweise +3 V und das zweite Schaltpotential näherungsweise -2 V beträgt.

39. Speicherzelle mit erdfreiem Gate nach Anspruch 35, wobei das erste Schaltpotential eine negative Spannung und das zweite Schaltpotential eine positive Spannung ist.

40. Speicherzelle mit erdfreiem Gate nach Anspruch 39, wobei das erste Schaltpotential näherungsweise -2 V beträgt und das zweite Schaltpotential näherungsweise +3 V beträgt.

41. Speicherzelle mit erdfreiem Gate nach Anspruch 35, wobei der erste Referenzknoten mit einem Knoten auf Massepotential verbunden ist.

42. Speicherzelle mit erdfreiem Gate nach Anspruch 41, wobei der erste Referenzknoten mit dem zweiten Referenzknoten verbunden ist.

43. Speicherzelle mit erdfreiem Gate nach Anspruch 35, wobei das erste Programmier-/Löschpotential eine positive Spannung ist und das zweite Programmier-/Löschpotential eine negative Spannung ist.

44. Speicherzelle mit erdfreiem Gate nach Anspruch 43, wobei das Substrat mit einer externen Referenzversorgung verbunden ist, welche ein Massepotential und ein positives Versorgungspotential anlegt.

45. Speicherzelle mit erdfreiem Gate nach Anspruch 44, wobei das Versorgungspotential mit 5 V oder weniger spezifiziert ist.

46. Speicherzelle mit erdfreiem Gate nach Anspruch 35, wobei das erste Programmier-/Löschpotential eine negative Spannung ist und das zweite Programmier-/Löschpotential eine positive Spannung ist.

47. Speicherzelle mit erdfreiem Gate nach Anspruch 46, wobei das Substrat mit einer externen Referenz-

versorgung verbunden ist, welche ein Massepotential und ein positives Potential anlegt, und wobei der Wert des zweiten Programmier-/Löschtentials höher ist als der des Versorgungspotentials.

48. Speicherzelle mit erdfreiem Gate nach Anspruch 47, wobei das zweite Programmier-/Löschtential einen Wert in einem Bereich von in der Nähe des Versorgungsspannungsniveaus bis zu positiven 14 V hat und wobei das erste Programmier-/Löschtential einen Wert in einem Bereich von negativen 4 bis negativen 10 V hat.

49. Speicherzelle mit erdfreiem Gate nach Anspruch 47, wobei die Versorgungsspannung mit 5 V oder weniger spezifiziert ist.

Es folgen 11 Blatt Zeichnungen

Anhängende Zeichnungen

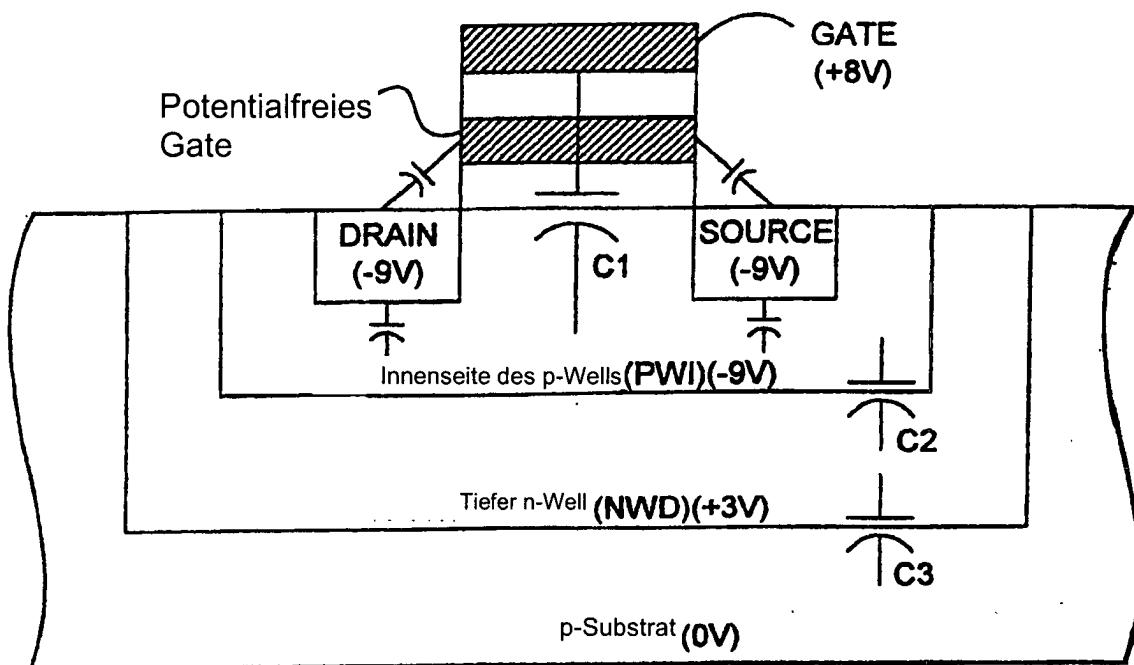


FIG. 1

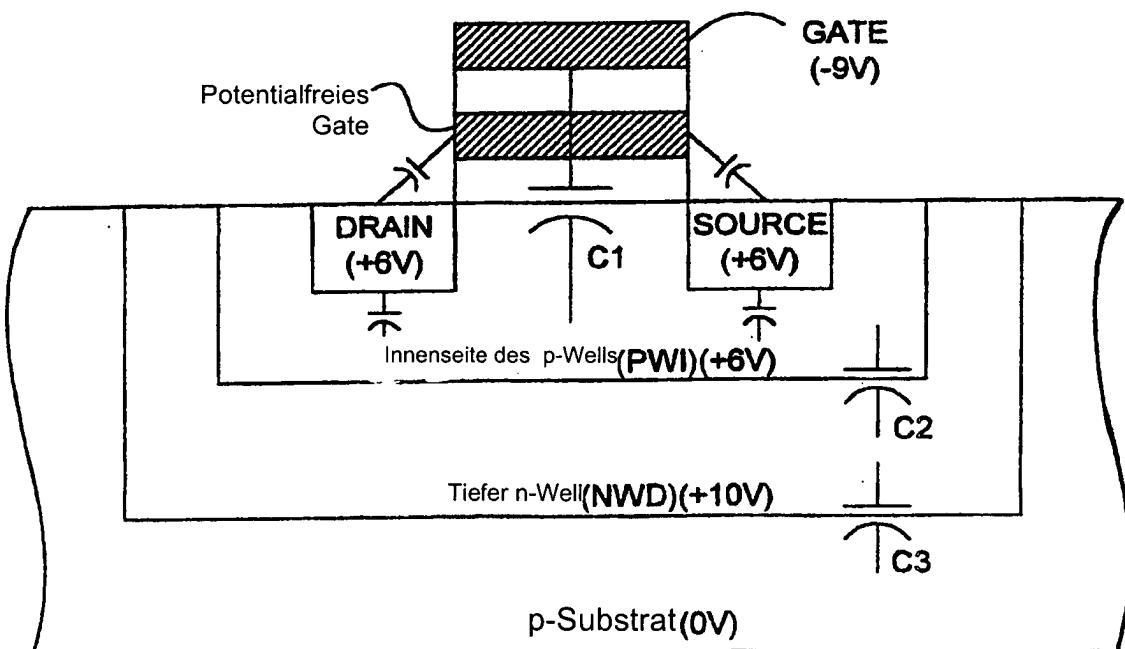
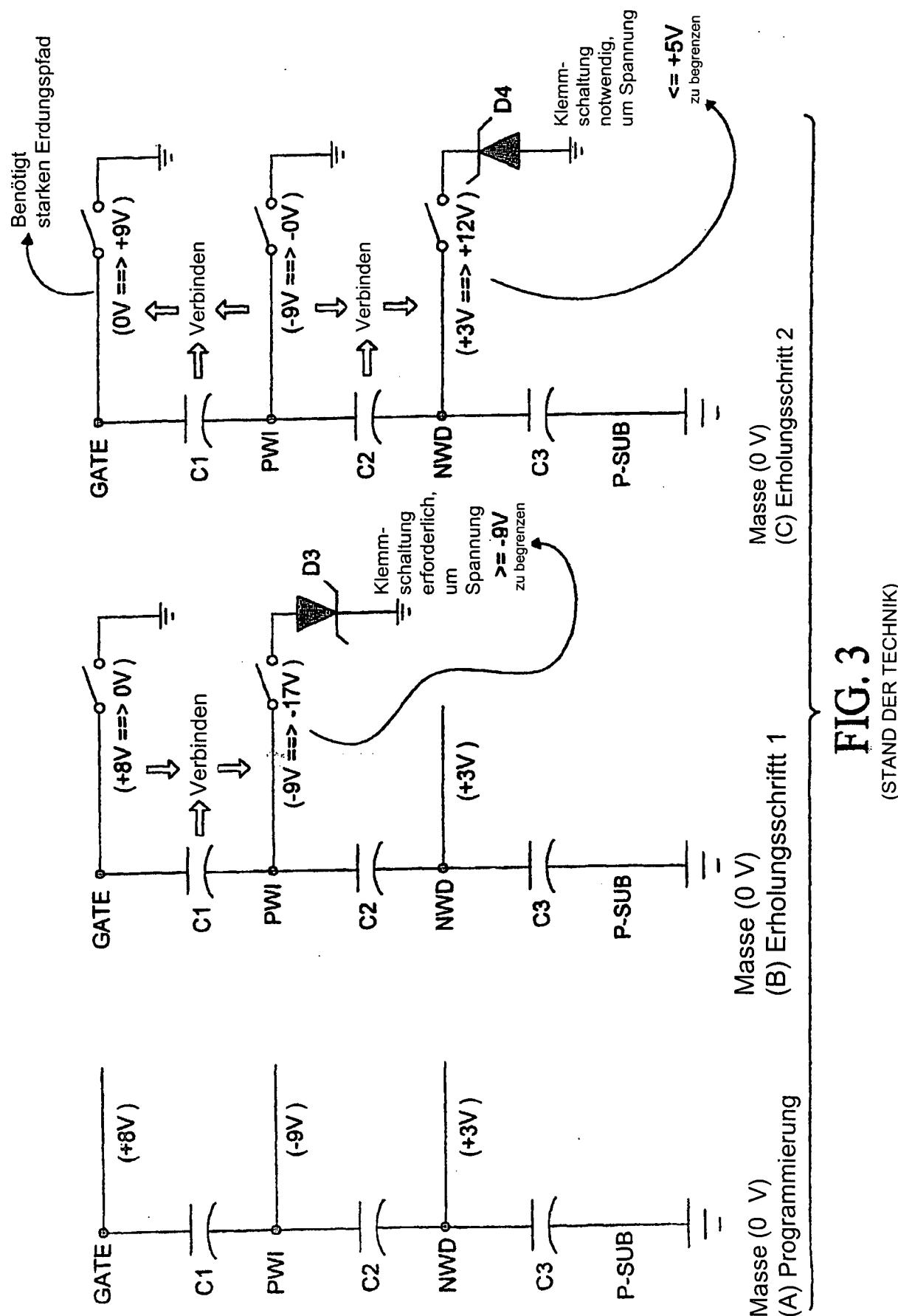
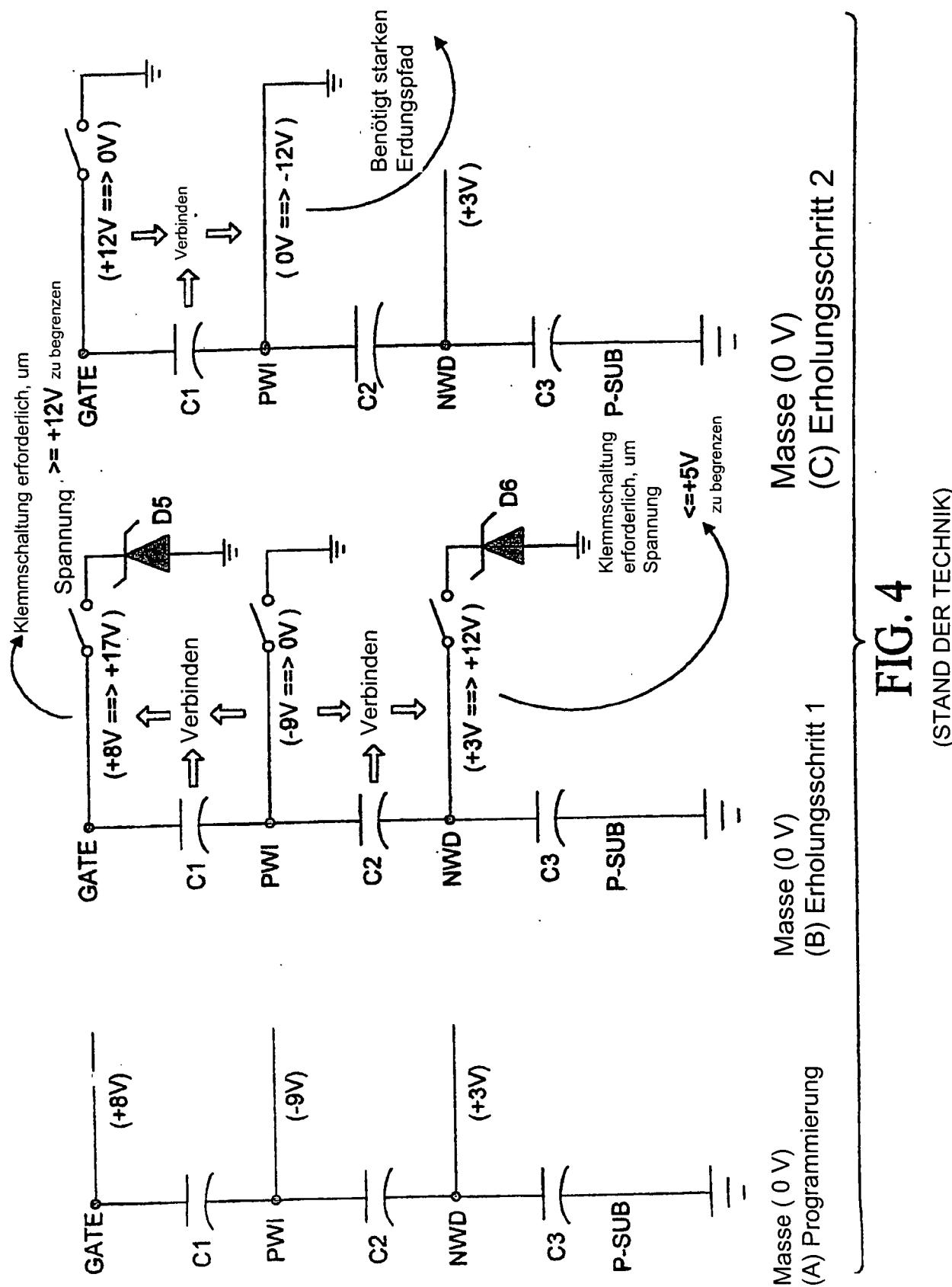


FIG. 2





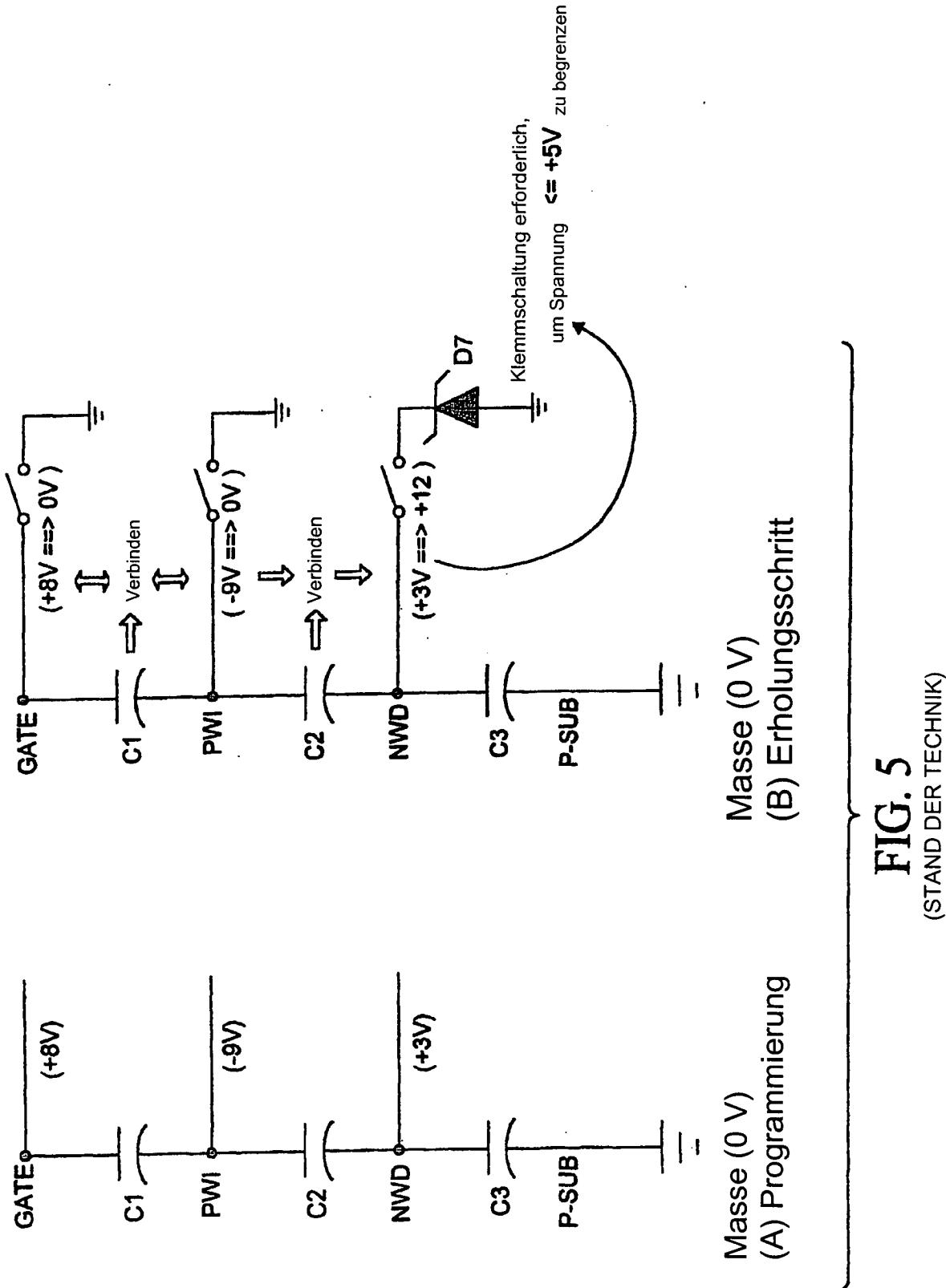


FIG. 5
(STAND DER TECHNIK)

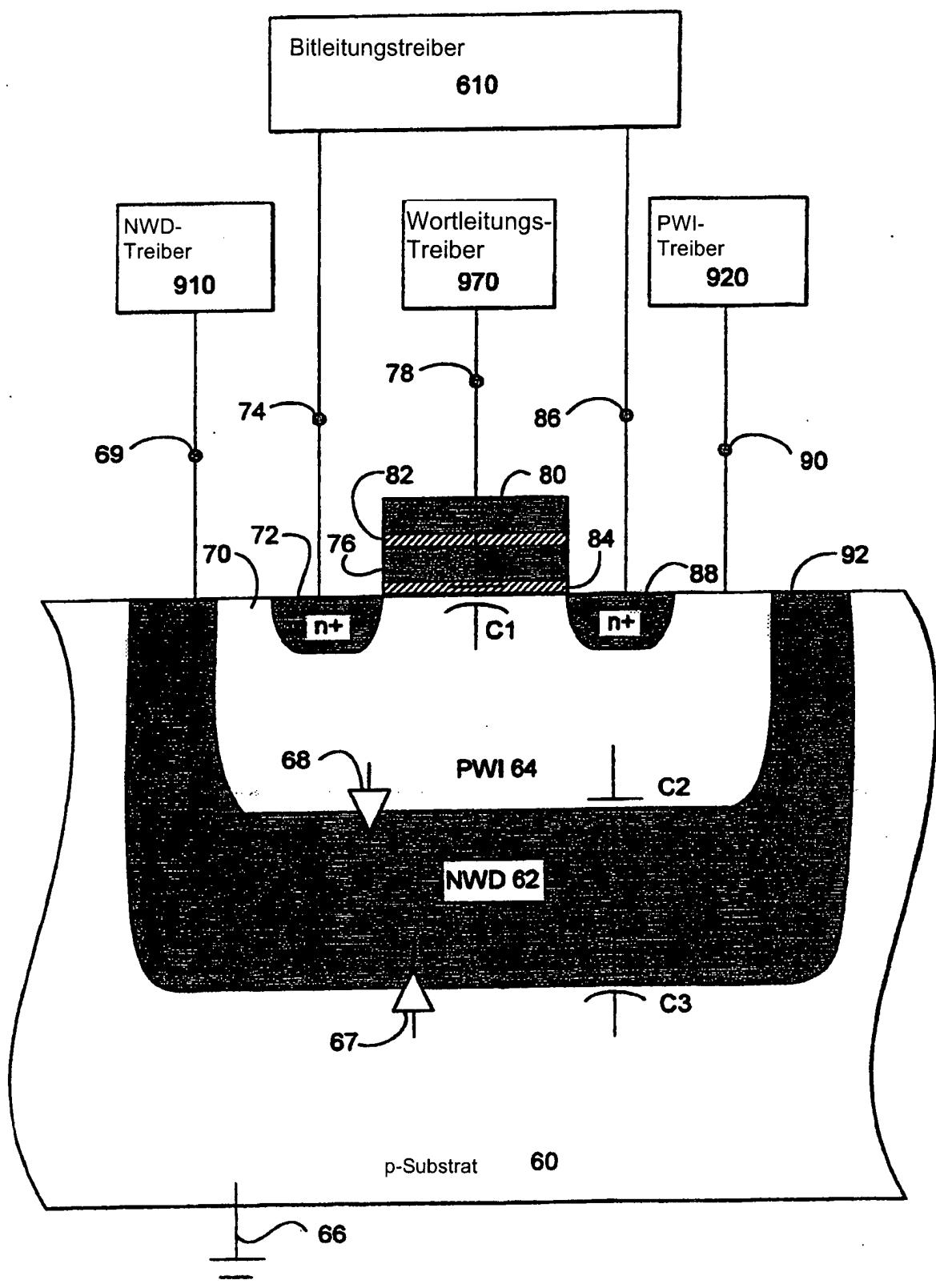


FIG. 6

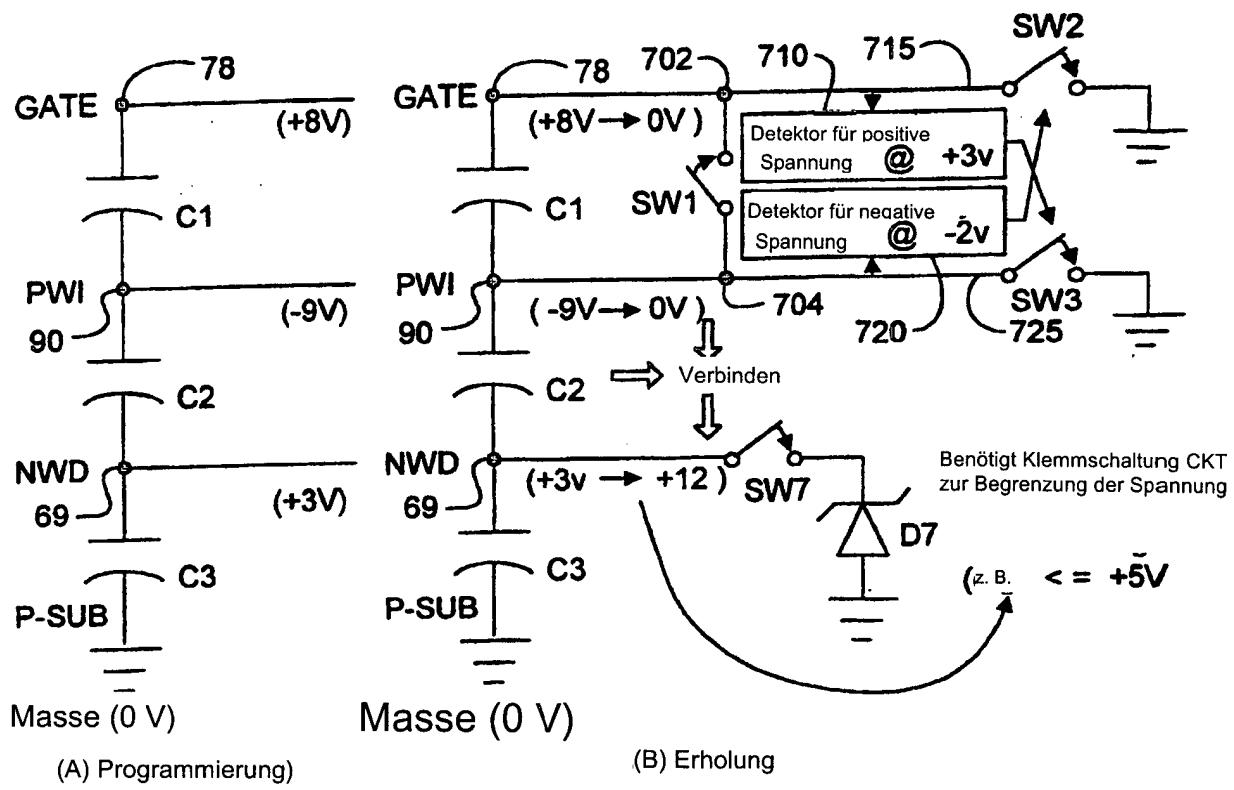


FIG. 7

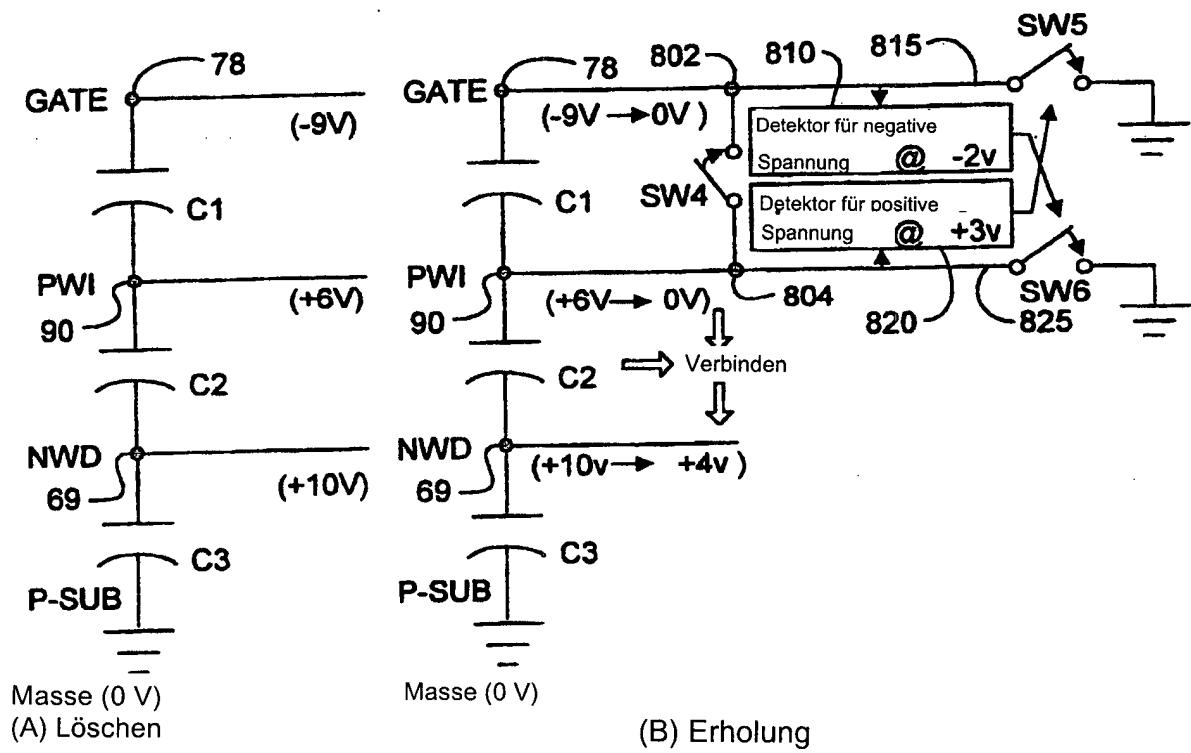


FIG. 8

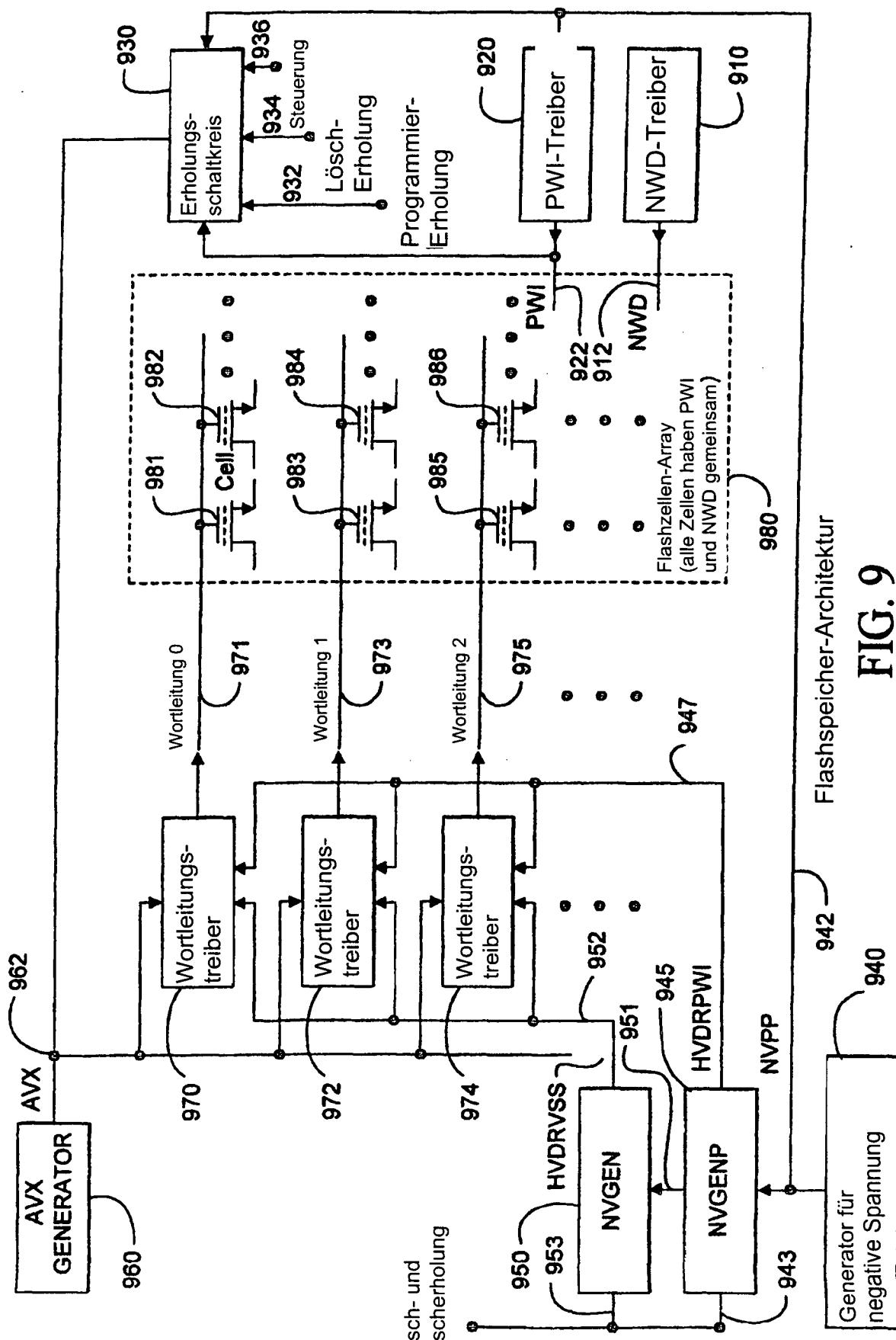
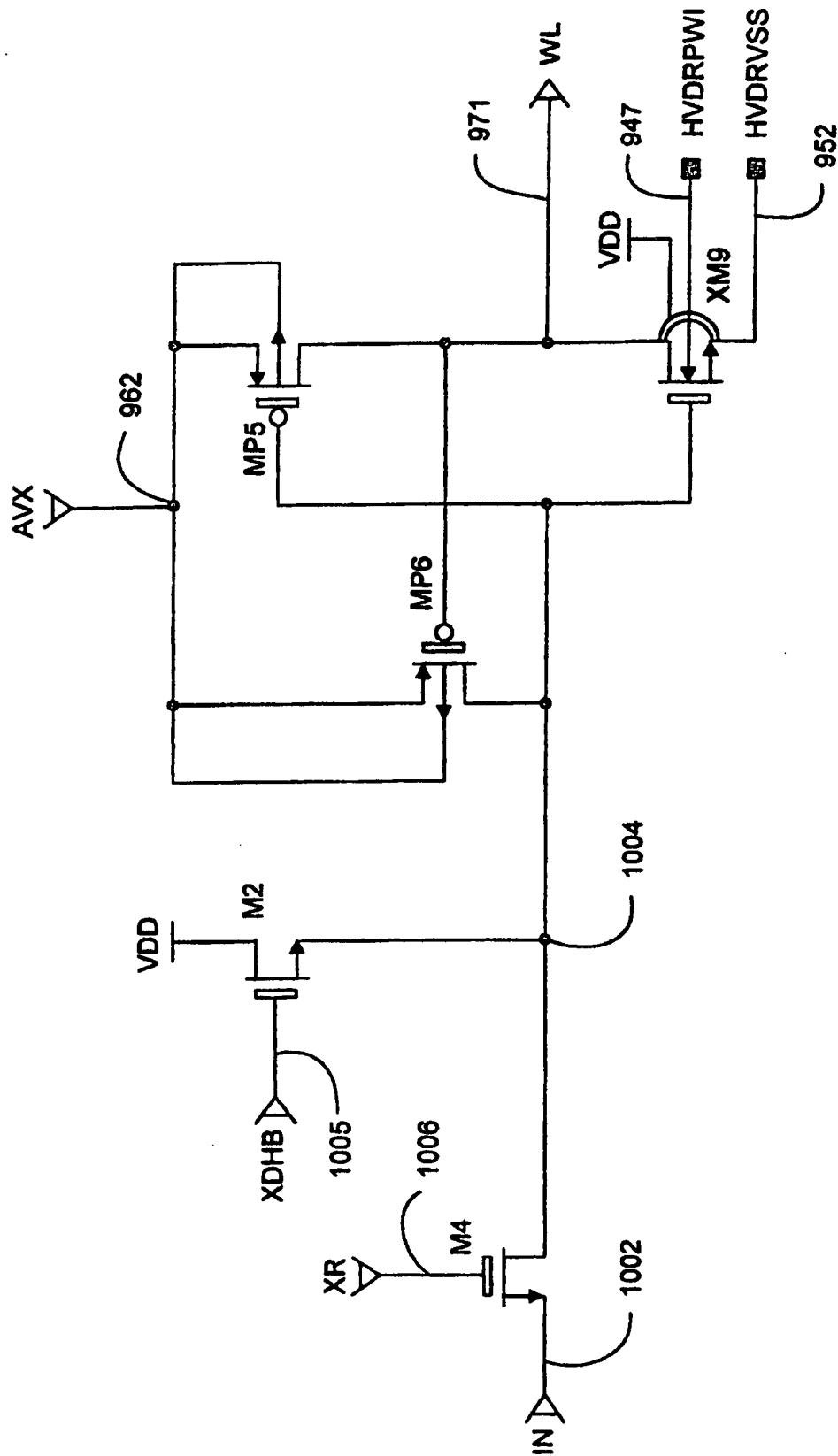


FIG. 9



Wortleitungstreiber

FIG. 10

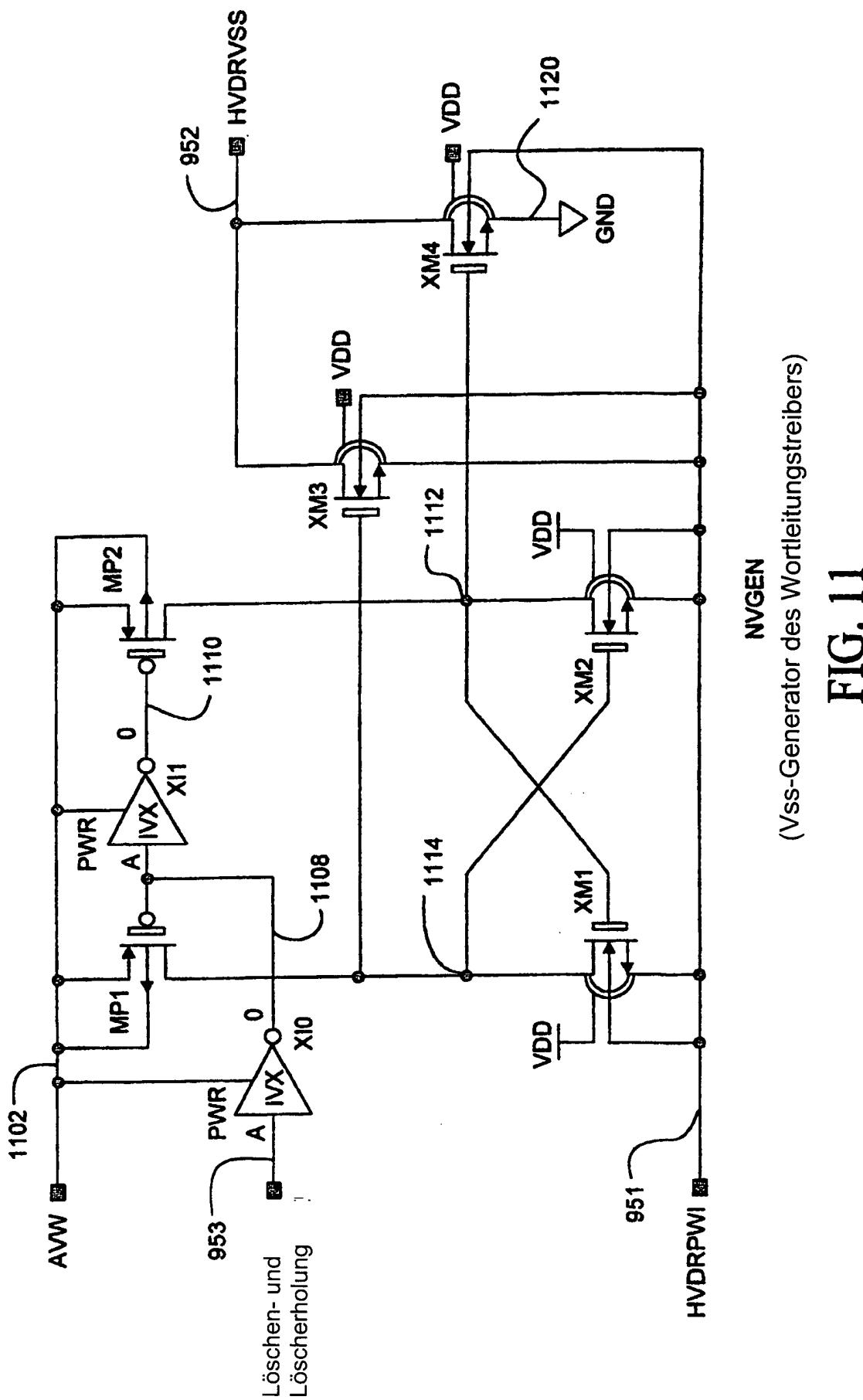


FIG. 11

(Vss-Generator des Wortleitungstreibers)

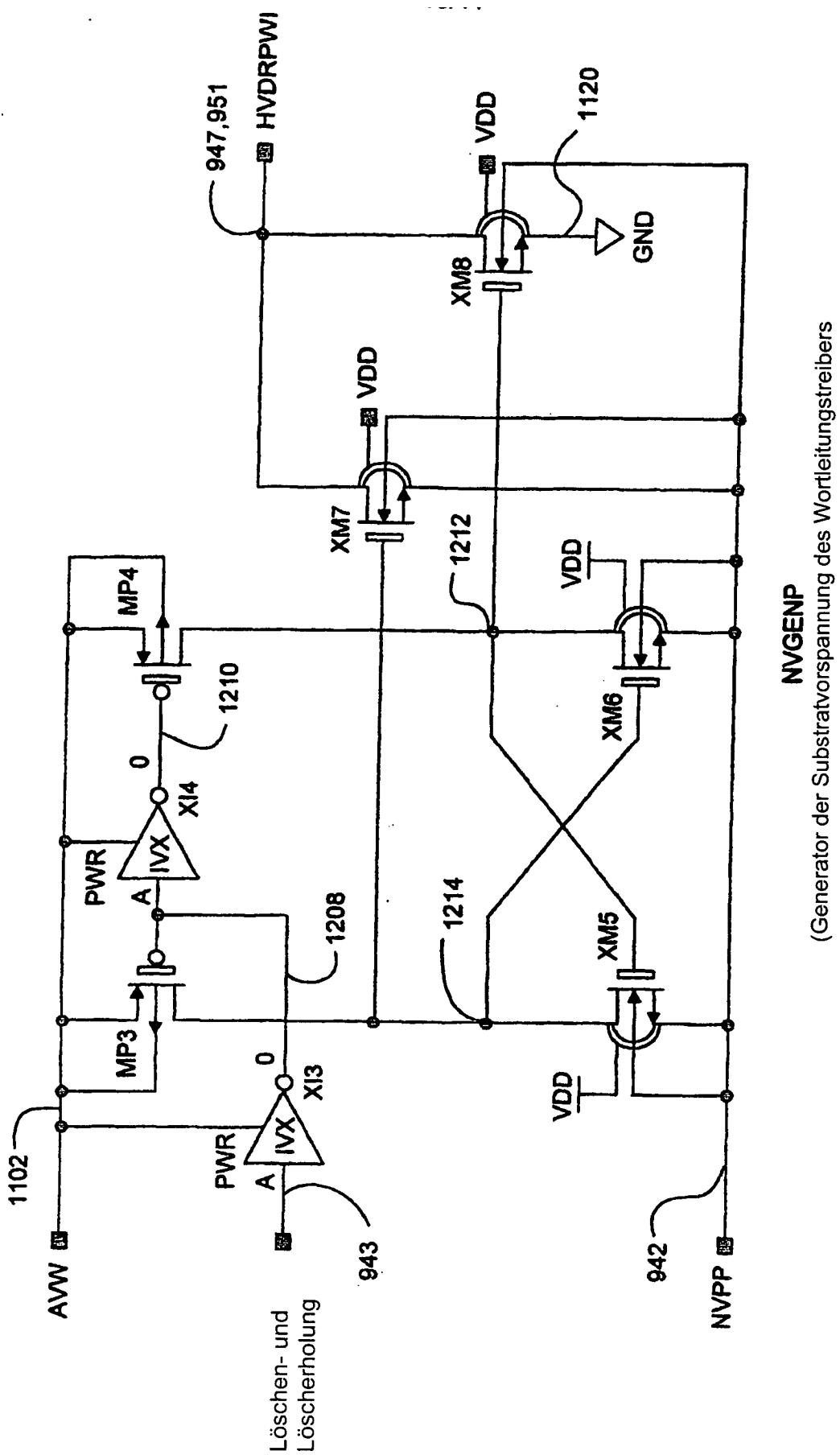


FIG. 12

(Generator der Substratvorspannung des Wortleitungsstreibers)

