



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I603383 B

(45)公告日：中華民國 106 (2017) 年 10 月 21 日

(21)申請案號：103139771

(22)申請日：中華民國 103 (2014) 年 11 月 17 日

(51)Int. Cl. : H01L21/20 (2006.01)

H01L21/265 (2006.01)

H01L21/31 (2006.01)

H01L21/762 (2006.01)

H01L27/12 (2006.01)

(30)優先權：2013/12/24 美國

14/139,954

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：利萬德 亞歷韓卓 LEVANDER, ALEJANDRO X. (US)；全箕玟 JUN, KIMIN (KR)

(74)代理人：林志剛

(56)參考文獻：

US 7,626,246B2

US 7,638,842B2

US 7,875,958B2

US 2007/0054465A1

US 2007/0181977A1

US 2008/0073641A1

US 2011/0281420A1

US 2011/0291247A1

審查人員：邱青松

申請專利範圍項數：25 項 圖式數：10 共 48 頁

(54)名稱

異質半導體材料集成技術

HETEROGENEOUS SEMICONDUCTOR MATERIAL INTEGRATION TECHNIQUES

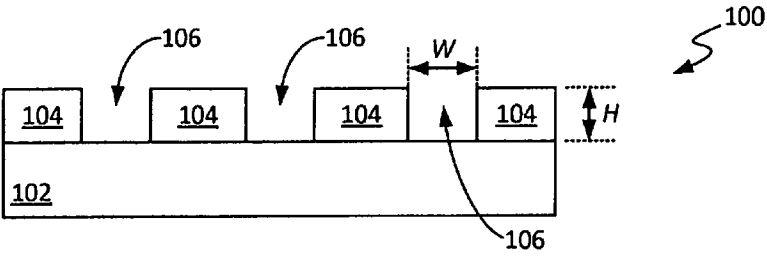
(57)摘要

所揭示的技術用於初始基板上的一層晶格不匹配半導體材料的異質磊晶生長，及該層的無缺陷部分對操作晶圓或集成用的其它適合基板的轉移。依據一些實施例，轉移可能導致操作晶圓/基板上之島狀氧化物結構的存在，每一個結構具有嵌入它的上表面內之晶格不匹配半導體材料的無缺陷島狀區。每一個無缺陷半導體島狀區可具有一或多個結晶刻面邊緣，且以它的附帶氧化物結構，可提供集成用平面。於一些例子中，一層第二不同半導體材料可異質磊晶地生長在操作晶圓/基板上以組裝所轉移島狀區周圍之區域。於一些其他例子中，操作晶圓/基板本身可同質磊晶地生長以組裝所轉移島狀區周圍之區域。

Techniques are disclosed for heteroepitaxial growth of a layer of lattice-mismatched semiconductor material on an initial substrate, and transfer of a defect-free portion of that layer to a handle wafer or other suitable substrate for integration. In accordance with some embodiments, transfer may result in the presence of island-like oxide structures on the handle wafer/substrate, each having a defect-free island of the lattice-mismatched semiconductor material embedded within its upper surface. Each defect-free semiconductor island may have one or more crystalline faceted edges and, with its accompanying oxide structure, may provide a planar surface for integration. In some cases, a layer of a second, different semiconductor material may be heteroepitaxially grown over the handle wafer/substrate to fill areas around the transferred islands. In some other cases, the handle wafer/substrate itself may be homoepitaxially grown to fill areas around the transferred islands.

指定代表圖：

圖 1



符號簡單說明：

- 100 . . . IC
- 102 . . . 基板
- 104 . . . 介電層
- 106 . . . 開口
- W . . . 寬度
- H . . . 長度

發明摘要

※申請案號：103139771

H01L 21/20 (2006.01)

H01L 21/265 (2006.01)

※申請日：103 年 11 月 17 日

※IPC 分類：H01L 21/31 (2006.01)

H01L 21/762 (2006.01)

H01L 27/12 (2006.01)

【發明名稱】(中文/英文)

異質半導體材料集成技術

Heterogeneous semiconductor material integration techniques

【中文】

所揭示的技術用於初始基板上的一層晶格不匹配半導體材料的異質磊晶生長，及該層的無缺陷部分對操作晶圓或集成用的其它適合基板的轉移。依據一些實施例，轉移可能導致操作晶圓/基板上之島狀氧化物結構的存在，每一個結構具有嵌入它的上表面內之晶格不匹配半導體材料的無缺陷島狀區。每一個無缺陷半導體島狀區可具有一或多個結晶刻面邊緣，且以它的附帶氧化物結構，可提供集成用平面。於一些例子中，一層第二不同半導體材料可異質磊晶地生長在操作晶圓/基板上以組裝所轉移島狀區周圍之區域。於一些其他例子中，操作晶圓/基板本身可同質磊晶地生長以組裝所轉移島狀區周圍之區域。

【 英文 】

Techniques are disclosed for heteroepitaxial growth of a layer of lattice-mismatched semiconductor material on an initial substrate, and transfer of a defect-free portion of that layer to a handle wafer or other suitable substrate for integration. In accordance with some embodiments, transfer may result in the presence of island-like oxide structures on the handle wafer/substrate, each having a defect-free island of the lattice-mismatched semiconductor material embedded within its upper surface. Each defect-free semiconductor island may have one or more crystalline faceted edges and, with its accompanying oxide structure, may provide a planar surface for integration. In some cases, a layer of a second, different semiconductor material may be heteroepitaxially grown over the handle wafer/substrate to fill areas around the transferred islands. In some other cases, the handle wafer/substrate itself may be homoepitaxially grown to fill areas around the transferred islands.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：IC

102：基板

104：介電層

106：開口

W：寬度

H：長度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

異質半導體材料集成技術

Heterogeneous semiconductor material integration techniques

【技術領域】

本發明係有關於異質半導體材料集成技術。

【先前技術】

深次微米製程節點中（例如，32 nm 和 32 nm 以上）之積體電路設計包含一些非明顯挑戰且已面對關於異質半導體材料的集成技術之特殊複雜化。

【圖式簡單說明】

圖 1 係依據本揭露的實施例之包括基板和圖案化介電層之積體電路的剖面圖。

圖 2 係依據本揭露的實施例在半導體層的形成之後之圖 1 的 IC 的剖面圖。

圖 2'係解說半導體層的實例組成的半導體結構之圖 2 的 IC 的一部分的放大圖。

圖 3 係依據本揭露的實施例在其平面化之後之圖 2 的 IC 的剖面圖。

圖 4 係依據本揭露的實施例在氧化層的形成之後之圖

3 的 IC 的剖面圖。

圖 5 係依據本揭露的實施例在氫離子植入期間或之後之圖 4 的 IC 的剖面圖。

圖 6 係依據本揭露的實施例在其與轉移結構接合之後以形成另一 IC 之圖 5 的 IC 的剖面圖。

圖 7 係依據本揭露的實施例在其平面化之後之圖 6 的合成的 IC 的剖面圖。

圖 8 係依據本揭露的實施例在其蝕刻之後之圖 7 的 IC 的剖面圖。

圖 9A 係依據本揭露的實施例包括附加不同半導體層之圖 8 的 IC 的剖面圖。

圖 9A'係圖 9A 的 IC 的一部分的放大圖。

圖 9B 係依據本揭露的實施例包括延伸基板之圖 8 的 IC 的剖面圖。

圖 9B'係圖 9B 的 IC 的一部分的放大圖。

圖 10 解說依據本揭露的實施例以使用所揭示技術所形成之積體電路結構或裝置實作之計算系統。

透過讀取以下詳述以及文中所述的圖形，現在的實施例的這些和其它特徵將更佳了解。於圖式中，解說於不同圖形中的每一個相同或近似組件可由一個相似的數字來予以表示。為清楚的目的，非每一個組件可能標示於每一個圖式中。再者，如將領會到，這些圖形非必要按比例繪製或相同以限制所述實施例於所示的特定組態。例如，當有些圖形大致表示直線、直角和平滑表面時，所揭示技術的

實際實作可具有較不完美的直線、直角等，以及一些特徵可具有表面外形（topography）或不然是組構過程的非平滑、所給予真實世界限制。總之，該等圖形僅係提供用以顯示實例結構。

【發明內容及實施方式】

本技術敘述一層晶格不匹配半導體材料在初始基板上的異質磊晶生長、及該層的無缺陷部分對集成用操作晶圓或其它適合基板的轉移。依據一些實施例，轉移可能導致島狀氧化物結構在操作晶圓/基板上的存在，每一個結構具有內建於其上表面內之晶格不匹配半導體材料的無缺陷島狀區。每一個無缺陷半導體島狀區可具有一或多個結晶刻面邊緣且以其伴隨的氧化物結構，可提供集成用平面（例如，附加層和/或組件可被組裝（populated）在該平面上）。於一些例子中，一層第二不同半導體材料可異質磊晶地生長在操作晶圓/基板之上以組裝所轉移島狀區周圍的區域。於一些其它例子中，操作晶圓/基板本身可同質磊晶地生長以組裝所轉移島狀區周圍的區域。根據這揭露，許多組態及變化將是明顯的。

一般概述

許多可使用於較高遷移率 p 型和 n 型金氧半導體（PMOS 和 NMOS）裝置的材料係對矽晶格不匹配。因此，此種材料直接在矽上的異質磊晶生長通常導致高密度

核化在不匹配材料介面之錯位缺陷。減少異質半導體集成的此種缺陷之現有方法利用晶格不匹配半導體材料在厚緩衝層上的異質磊晶生長。然而，這緩衝層必須在預期裝置層之前生長，花費延長量的時間以生長至所需厚度，且需要常常的室/工具清理維護，使其成問題用於集成且增加成本。此外，如果緩衝層係生長在晶圓的頂上，則合成的外形不匹配可導致光刻（lithography）問題。再者，緩衝層未與高深寬比的蝕刻溝槽立即比例化搭配。

因此，且依據本揭露的一些實施例，揭示一層晶格不匹配半導體材料在初始基板上的異質磊晶生長及該層的無缺陷部分對集成用之操作晶圓或其它適合基板的轉移之技術。依據一些實施例，轉移可能導致一或多個島狀氧化物結構在操作晶圓/基板上時的存在，每一個結構具有內建於其上表面內的晶格不匹配半導體材料的無缺陷島狀區。於一些例子中，一既有的無缺陷半導體島狀區可具有一或多個結晶刻面邊緣。而且，於一些例子中，氧化物結構及其對應半導體島狀區共同地可提供集成用平面（例如，附加層及/或組件可被組裝在該平面上）。於一些例子中，一層第二不同半導體材料可異質磊晶地生長在操作晶圓/基板之上以組裝該一或多個所轉移島狀區周圍的區域。於一些其它例子中，操作晶圓/基板本身可同質磊晶生長以組裝所轉移的一或多個島狀區周圍的區域。

如文中所述，晶格不匹配半導體材料可開始它的磊晶生長在依據一些實施例圖案化在初始基板上的一或多個井

內。例如，使用磊晶側向外延生長（ELO）可從圖案化井提供晶格不匹配半導體層的連續生長。依據一些實施例，例如，該等井可具有足夠的深寬比以提供錯位缺陷的深寬比捕獲（ART）於其中。因此，延伸自該等井中之晶格不匹配半導體層的數個部分可以是完全或不然足夠地無缺陷且如文中所述，可至少部分地轉移至集成用操作晶圓/基板。應注意到，如文中所使用，無缺陷可意指一層不具缺陷的半導體材料或任何其它可接受程度的缺陷用於指定目標應用或最終用途。

之後，晶格不匹配半導體層可以平面化以形成平坦表面，以及氧化層可被沉積在合成的外形之上用於對操作晶圓/基板的接合和轉移。為了易於此種轉移，晶格不匹配半導體材料可進行氫（ H^+ ）離子植入及後續氫基層（hydrogen-based layer）剝落以轉移期待的無缺陷部分至操作晶圓/基板。在剝落之後，所轉移的無缺陷部分及氧化層可平面化以形成平坦表面，以及氧化層可被例如，蝕刻以使下層的操作晶圓/基板曝光。

依據一些實施例，合成的積體電路（IC）可包括晶格不匹配半導體材料的一或多個島狀區，其係至少部分地內建於形成在下層的操作晶圓/基板之上之氧化物結構的對應量的上表面內。如前所注意的，每一個半導體島狀區可展示一或多個結晶刻面邊緣，以及半導體及氧化物共同地可提供實質平面用於集成。於一些例子中，在蝕刻氧化層以顯示下層操作晶圓/基板之後，一層不同半導體材料可

異質磊晶地生長在操作晶圓/基板以組裝所轉移島狀區周圍的區域。如按照這揭露將領會到，這可允許 PMOS 及 NMOS 裝置在相同操作晶圓/基板上的集成。然而，本揭露並非那麼地受限，如於一些其它例子中，在蝕刻氧化層以顯示下層操作晶圓/基板之後，操作晶圓/基板本身可同質磊晶地生長以組裝所轉移島狀區周圍的區域。無論進行哪一個集成選項，依據一些實施例，合成的 IC 可具有實質平面上表面且可包括具有一或多個結晶刻面邊緣的內建不匹配半導體層。

一些實施例可消除或不然減少形成厚緩衝層之需要，例如，如同現有方法的先前文中所述。一些實施例可提供用於多種晶格不匹配半導體材料與矽的集成，因此加入功能性及/或改善 NMOS/PMOS 裝置的性能。而且，依據一些實施例，所揭示技術的使用可被檢測，例如，透過具有包括結晶刻面邊緣的三維（例如，島狀）半導體結構之指定積體電路或其它裝置的目視或其它檢查（例如，諸如透射電子顯微鏡或 TEM）如文中所述。

方法

圖 1 至圖 8 解說積體電路（IC）製程流程，以及圖 9A 至圖 9B 解說依據本揭露的一些實施例之一些例子下游異質集成選項。如文中所述，所揭示製程可被使用以形成廣泛種類 IC 結構的任一者，諸如例如，圖 9A 的 IC 300a 及/或圖 9B 的 IC 300b。可使用所揭示技術而形成之其它

IC 結構將取決於指定應用且按照這揭示將是顯而易見。

該製程可開始如於圖 1 中，圖 1 為依據本揭露的實施例之包括基板 102 及圖案化介電層 104 之積體電路 100 的剖面圖。基板 102 可由任何適合材料（或材料的組合）所形成，諸如矽（Si）及/或矽鍺（SiGe）。而且，基板 102 可具有大範圍組態的任一者，包括例如，大塊基板；絕緣體上的矽（SOI）結構；晶圓；及/或多層結構。再者，基板 102 的尺寸可客製化用於指定目標應用或最終用途。基板 102 的其它適合材料、組態及尺寸將取決於指定應用且按照這揭示將是顯而易見。

形成在基板 102 上的介電層 104 可由任何適合絕緣體或介電材料（或此類材料的組合）而形成。例如，於一些實例中，介電層 104 可由以下材料所形成：氮化物，諸如氮化矽（ Si_3N_4 ）；氧化物，諸如二氧化矽（ SiO_2 ）或氧化鋁（ Al_2O_3 ）；及/或上述材料的任一或多者的組合。於一些例子中，介電層 104 可以是層間介電層（ILD）。如按照這揭示將領會到，可合意的是於一些例子中，選擇介電層 104 的材料以防止或不然降低半導體層 108 其上的生長的可能性（例如，最小化半導體層 108 其上的成核之可能）。介電層 104 之其它適合材料將取決於指定應用且按照這揭示將是顯而易見。

而且，介電層 104 可使用任何適合技術（或技術的組合）而被形成在基板 102 之上。例如，於一些例子中，介電層 104 可使用以下製程形成在 IC 100 之上：化學氣相

沉積（CVD）製程；及/或旋塗沉積（SOD）製程。用以形成介電層 104 的其它適合技術將取決於指定應用且按照此揭示將是顯而易見。

再者，介電層 104 的尺寸可被客製化。例如，於一些例子中，介電層 104 可具有約 100-500 nm 的範圍中之厚度（例如，約 250 ± 50 nm 或約 100-500 nm 的範圍中之任何其它次範圍）。於一些實例中，介電層 104 可具有實質均勻厚度在下層基板 102 所提供的外形之上。介電層 104 之其它適合尺寸將取決於指定應用且按照這揭示將是顯而易見。

如可進一步所見，介電層 104 可圖案化有一或多個開口 106。介電層 104 的一或多個開口 106 可使用任何適合技術（或技術的組合）來予以形成。例如，於一些例子中，介電層 104 的該一或多個開口 106 可使用任何適合光刻技術來予以圖案化（例如，通孔/溝槽圖案、蝕刻、拋光、清潔等，如典型上所作者）。於一些例子中，可合意的是，例如，於形成該一或多個開口 106 中利用乾式蝕刻製程，以確保各向異性之所希望的程度。用於形成介電層 104 中的該一或多個開口 106 之其它適合技術將取決於指定應用且按照此揭示將是顯而易見。

且，介電層 104 的該一或多個開口 106 的幾何圖形及間距可被客製化。例如，於一些例子中，指定開口 106 可具有含有實質矩形剖面外形（例如，如自圖 1 通常所見者）之大致井狀或溝槽狀組態。於一些例子中，指定開口

106 可具有實質上垂直的側壁（例如，實質上垂直於下層基板 102 的表面）。於一些其它例子中，指定開口 106 可具有彎曲（例如，U 形）剖面幾何圖形或六方剖面幾何圖形。於一些實例中，相鄰開口 106 實質上可以是相互等間距（例如，在介電層 104 內可顯出實質上恆定的間距）。於一些其它實例中，然而，介電層 104 內之該一或多個開口 106 的間距可如預期地變化。介電層 104 的該一或多個開口 106 的其它適合幾何圖形及間距將取決於指定應用且按照此揭示將是顯而易見。

此外，指定開口 106 的尺寸可被客製化。例如，於一些例子中，介電層 104 的指定開口 106 可具有約 100-500 nm 的範圍中之高度“H”（例如，約 250 ± 50 nm 或約 100-500 nm 的範圍中之任何其它的次範圍）。如可見的，依據一些實施例，指定開口 106 可被配置成橫貫介電層 104 的整個厚度，使得基板 102（或其它下層）係曝露於該區中。於一些例子中，指定開口 106 可具有約 50-300 nm 的範圍中之寬度“W”（例如，約 100-150 nm，或約 50-300 nm 的範圍中之任何其它的次範圍）。於一些例子中，指定開口 106 的寬度“W”可以是實質上恆定貫穿它的剖面外形；亦即，指定開口 106 可形成在介電層 104 內，使得有助於該開口 106 的界定界限之關聯側壁係實質上垂直於基板 102 的表面（或其它下層）。以更為一般的意義，可令人滿意的是確保形成於介電層 104 中之指定開口 106 具有足以提供半導體層 108 的缺陷 110 的深寬比捕獲（ART）

的期望程度，如文中所述。為該目的，於一些例子中，指定開口 106 可設有約 2：1 至 5：1 的範圍中之高度對寬度（H/W）深寬比（例如，約 3：1 至 4：1，或約 2：1 至 5：1 的範圍中的任何其它的次範圍）。於一些其它實例中，可如期望地提供大於約 5：1 的 H/W 深寬比。介電層 104 的該一或多個開口 106 的其它適合尺寸將取決於指定應用且按照此揭示將是顯而易見。

該製程可繼續如圖 2 中，圖 2 係依據本揭露的實施例在半導體層 108 的形成之後之圖 1 的 IC 100 的剖面圖。半導體層 108 可由任何適合半導體材料（或該等材料的組合）所形成。例如，於一些實施例中，半導體層 108 可由與下層基板 102 晶格不匹配之半導體材料所形成。亦即，如果基板 102 係例如，由矽（Si）所形成，則半導體層 108 可由鍺（Ge）及/或 III-V 化合物，諸如砷化鎵（GaAs）、砷化銦鎵（InGaAs）、氮化鎵（GaN）或磷化銦（InP）所形成。半導體層 108 的其它適合材料將取決於指定應用且按照此揭示將是顯而易見。

半導體層 108 可使用任何適合技術（或技術的組合）而被形成在 IC 100 之上。例如，依據一些實施例，半導體層 108 可使用包括深寬比捕獲（ART）的磊晶製程及/或磊晶側向外延生長（ELO）製程而形成在 IC 100 之上。用於形成半導體層 108 之其它適合技術將取決於指定應用且按照此揭示將是顯而易見。

當半導體層 108 係形成在 IC 100 之上時，它可至少

部分地開始它的生長/沉積在介電層 104 的該一或多個開口 106 內。例如，考慮圖 2'，圖 2'為解說半導體層 108 的實例組成半導體結構之圖 2 的 IC 100 的一部分的放大圖。如可見的，當它的形成進行時，半導體層 108 可來到實質地組裝介電層 104 的該一或多個開口 106 且最終自其延伸以至少部分地重疊介電層 104。因此，且依據一些實施例，半導體層 108 可被形成在 IC 100 之上例如，為一或多個三維島狀半導體結構，其歸結起來界定半導體層 108。然而，依據一些實施例，該等島狀結構可保持相互分離以致不會形成一連續層於介電層 104 及基板 102 的下層外形之上（和可選擇地包括任何其它中間層）。

半導體層 108 的指定組成結構的幾何圖形及間距可被客製化用以指定目標應用或最終用途且可至少部分取決在它的關聯開口 106 的幾何圖形及間距。因此，且依據一些實施例，半導體層 108 的指定組成結構可包括例如：下部 108a（例如，一般位在圖 2'的虛線 α 下方之層 108 的該部）；上部 108b（例如，一般位在圖 2'的虛線 α 下方之層 108 的該部）。於一些例子中，指定結構的下部 108a 可被形成以實質地符合於它伴隨開口 106 的幾何圖形/外形。例如，如果指定開口 106 係設有具有實質矩形剖面外形之大致井狀或溝槽狀組態（例如，如可自圖 1 大致所見），則半導體層 108 的下部 108a 可同樣地展示實質矩形剖面外形（例如，如一般可自圖 2'所見）。於一些例子中，半導體層 108 的指定組成結構的上部 108b 可展示一

般為三角形的剖面外形。於一些其它實例中，然而，上部 108b 可展示一般為梯形的剖面外形。而且，於一些實施例中，半導體層 108 的相鄰結構可以是實質上相互等間距（例如，可展示實質上恆定的間距）。於一些其它實施例中，然而，半導體層 108 的該一或多個組成結構的間距可如希望地變化。其它適合用於半導體層 108 的該一或多個組成結構的幾何圖形和間距將取決於指定應用且按照此揭示將是顯而易見。

而且，半導體層 108 的指定組成結構的尺寸可被客製化用以指定目標應用或最終用途且可至少部分取決在圖案化入介電層 104 中之它的伴隨開口 106 的尺寸。例如，於一些實施例中，半導體層 108 的指定結構的下部 108a 可具有：實質上等於附隨開口 106 的高度“H”之高度；及/或實質上等於附隨開口 106 的寬度“W”之寬度。於一些實施例中，半導體層 108 的指定結構的上部 108b 的高度可以是於約 200-500 nm 的範圍中（例如，約 400-500 nm 或約 200-500 nm 的範圍中之任何其它的次範圍）。於一些實施例中，上部 108b 的寬度可以是大約等於它的高度且因此可於約 200-500 nm 的範圍中（例如，約 400-500 nm 或約 200-500 nm 的範圍中之任何其它的次範圍）。於一些實例中，半導體層 108 的指定結構的上部 108b 的高度及/或寬度可順著它的剖面外形而改變（例如，諸如於半導體層 108 的指定結構的上部 108b 展示三角形剖面外形，如圖 2' 中大致所示）。半導體層 108 的該一或多個組成結構之

其它適合尺寸將取決於指定應用且按照此揭示將是顯而易見。

如可進一步見到，例如，自圖 2'，於半導體層 108 在 IC 100 之上的形成期間，一或多個缺陷 110（例如，錯位缺陷）可開始顯現於該層 108 中。於一些例子中，此種缺陷 110 可例如，起因於半導體層 108 及下層基板 102 之間的晶格不匹配。然而，由於提供具有適於深寬比捕獲（ART）的深寬比之一或多個開口 106 之介電層 104，依據一些實施例，此種缺陷 110 例如，可被捕陷在半導體層 108 的指定組成結構的下部 108a 內。亦即，該一或多個缺陷 110 可於介電層 104 的上表面下方（例如，在高度“H”處或在高度“H”下方，如虛線 α 大致所示）在附隨開口 106 的限制內例如，進行 ART 於半導體層 108 的下部 108a 內。如可見的，缺陷 110 例如，可被終止或不然降低在半導體層 108 及介電層 104 的指定開口 106 的側壁的介面。在更一般的意義上，憑藉半導體層 108 如何可被形成而延伸自該一或多個開口 106，介電層 104 可用作為阻止/捕獲缺陷 110 於開口 106 的限制內及/或基板 102 的附近，藉此，防止或不然降低此種缺陷 110 透過 IC 100 遷移到其頂部/活化層的能力。應注意到，包括於圖式中以描述該一或多個缺陷 110 之實線意欲大致表示此種缺陷且不意欲限制在 IC 100 之上之半導體層 108 的形成期間可能產生或可能進行 ART 之缺陷的類型及/或特性，如文所述。

由於使用 ART 來縮減下部 108a 內的該一或多個缺陷 110，例如，使用 ELO 製程在 IC 100 之上的半導體層 108 的連續形成可產生沒有缺陷的結晶上部 108b（例如，完全沒有缺陷或不然可接受公差內實質上沒有缺陷）。依據一些實施例，此無缺陷上部 108b 可延伸超過指定開口 106，於介電層 104 的上表面上方（例如，在高度“H”處或於高度“H”上方，如虛線 α 大致所示），且在介電層 104 的上表面的一或多個相鄰區之上。因此，如例如可自圖 2’ 見到，依據一些實施例，半導體層 108 的指定組成半導體結構的上部 108b 可包括一或多個結晶刻面邊緣 112，其至少部分延伸在介電層 104 的一或多個相鄰區之上。

該製程可繼續如圖 3 中，圖 3 為依據本揭露的實施例在其平面化之後之圖 2 的 IC 100 的剖面圖。如同這裡可見，IC 100 可至少部分進行平面化以減小半導體層 108 的厚度（例如，減小半導體層 108 的組成半導體結構的尺寸）。特別的是，平面化可減小半導體層 108 的指定組成半導體結構的上部 108b 的尺寸。為了該目的且依據一些實施例，IC 100 可進行例如化學機械平面化（CMP）製程、蝕刻和清潔製程或任何其它適合平面化/拋光製程，如同按照此揭示將是顯而易見。合成的半導體層 108’可包括展示大致平面/平坦上表面同時保持它們的一或多個結晶刻面邊緣 112’（雖然減小的尺寸）之一或多個組成半導體結構，其保持完整在下層介電層 104 的上表面之上。半導體層 108 可被減小以提供半導體層 108’的量可如所需而

客製化用於指定目標應用或最終用途。例如，於一些例子中，指定組成結構的上部 108b 可減小至約 200-400 nm 的範圍中之高度（例如，約 300 ± 50 nm 或約 200-400 nm 的範圍中之任何其它的次範圍）。用於平面化半導體層 108 以提供半導體層 108' 之其它適合技術將取決於指定應用且按照此揭示將是顯而易見。

該製程可繼續如圖 4 中，圖 4 為依據本揭露的實施例在氧化層 114 的形成之後之圖 3 的 IC 100 的剖面圖。氧化層 114 可由任何適合氧化材料（或此種材料的組合）所形成。例如，於一些實施例中，氧化層 114 可由以下材料所形成：二氧化矽（ SiO_2 ）；氧化鋁（ Al_2O_3 ）；及/或其任何一或多者的組合。氧化層 114 之其它適合材料將取決於指定應用且按照此揭示將是顯而易見。

而且，氧化層 114 可使用任何適合技術（或技術的組合）而被形成在 IC 100 之上。例如，於一些實施例中，氧化層 114 可使用以下製程而被形成在 IC 100 之上：物理氣相沉積（PVD），諸如濺射；化學氣相沉積（CVD）製程，諸如電漿增強 CVD (PECVD)；及/或旋塗沉積（SOD）製程。用以形成氧化層 114 的其它適合技術將取決於指定應用且按照此揭示將是顯而易見。

此外，氧化層 114 的尺寸可被客製化。例如，於一些實施例中，氧化層 114 可具有約 30-100 nm 的範圍中之厚度（例如，約 50 ± 10 nm 或約 30-100 nm 的範圍中之任何其它的次範圍）。於一些實例中，氧化層 114 可具有實質

均勻厚度在例如，下層半導體層 108'及介電層 104 所提供的外形之上。於一些實例中，氧化層 114 可被提供為實質上在此種外形之上的保形層（conformal layer）。用於氧化層 114 的其它適合尺寸將取決於指定應用且按照此揭示將是顯而易見。

該製程可繼續如圖 5 中，圖 5 為依據本揭露的實施例在氫離子植入期間或之後之圖 4 的 IC 100 的剖面圖。IC 100 內氫離子（ H^+ 離子）的嵌入可使用任何適合氫離子植入技術（或技術的組合）來予以執行。由於植入製程， H^+ 離子可變成嵌入例如在下處內：半導體層 108'的上部 108b 內，如虛線 118 大致所示；及/或介電層 104 內（例如，接近介電層 104 的上表面），如虛線 116 大致所示。如按照這揭示將領會的，IC 100 所表示之合成的植入可至少部分取決在劑量植入能量及/或植入期間，其每一者可被客製化用於指定目標應用或最終用途。例如，於一些例子中，植入劑量可以是於約 5×10^{16} - 3×10^{17} H^+ 離子/ cm^2 的範圍中。於一些例子中，植入能量可以是於約 30-100 keV 的範圍中（例如，約 80 ± 10 keV 或約 30-100 keV 的範圍中之任何其它的次範圍）。氫離子植入的其它適合劑量範圍和植入能量範圍將取決於指定應用且按照此揭示將是顯而易見。

該製程可繼續於圖 6 中，圖 6 為依據本揭露的實施例在其與轉移結構 200 接合之後以形成 IC 300 之圖 5 的 IC 100 的剖面圖。如可見的，IC 100 可與其接合之轉移結構

厚度（例如，約 50 ± 10 nm 或約 30-100 nm 的範圍中之任何其它的次範圍）。於一些實例中，氧化層 204 可具有實質均勻厚度在例如，下層基板 202 所提供的外形之上。於一些實例中，氧化層 204 可被提供為實質在此種外形之上的保形層。用於氧化層 204 的其它適合尺寸將取決於指定應用且按照此揭示將是顯而易見。

依據一些實施例，於接合製程期間，IC 100 的氧化層 204 及轉移結構 200 的氧化層 204 可相互進行氧化熔化膠合例如，在其間物理介面的一或多點（例如，如包括圖 6 中的細虛線 206 大致所示）。依據一些實施例，由於轉移結構 200 的接合製程，在一般意義上可變成用於 IC 100 的操作晶圓。

依據一些實施例，在 IC 100 與轉移結構 200 的接合之後，合成的 IC 300 可進行例如，熱處理以透過氫誘發層剝離而造成離子分裂。此種離子分裂可能發生例如在 H^+ 離子嵌入介電層 104 內之區內及在半導體層 108' 內（例如，沿著實質由圖 6 的虛線 116 及虛線 118 的組合所示之外形）。由於離子分裂，半導體層 108' 的一部分（此後為，半導體層 108''）可有效地自 IC 100 轉移至 IC 300 的轉移結構 200。而且，由於離子分裂，介電層 104 的一部分（此後為，介電層 104'）可有效地自 IC 100 轉移至 IC 300 的轉移結構 200。在 IC 300 的分離之後，並未與轉移結構 200 接合之 IC 100 的剩餘可立即拋棄或不然移除/廢棄。

透過氫誘發層剝離造成離子分裂之熱處理的溫度範圍及/或耐受時間可被客製化用於指定目標應用或最終用途。例如，依據一些實施例，在進行熱處理時，IC 300 可曝露於約 350-400℃ 的範圍中之溫度達一小時。於一些這種例子中，曝露溫度可保持實質恆定。IC 300 的熱處理的其它適合溫度範圍及耐受時間範圍將取決於指定應用且按照這揭示將是顯而易見。

該製程可繼續於圖 7 中，圖 7 為依據本揭露的實施例在其平面化之後之圖 6 的 IC 300 的剖面圖。如按照這揭示將領會到，以上所提的氫誘發層剝離可能導致具有實質為鋸齒狀表面外形之 IC 300（例如，沿著實質由圖 6 的虛線 116 及虛線 118 的組合所示之外形）。然而，用於後續處理，可合意的是於一些實例中提供具有更平滑表面外形之 IC 300。為了該目的且依據一些實施例，IC 300 可進行例如化學機械平面化（CMP）製程、蝕刻及清潔製程、或任何其它適合平面化/拋光製程，如按照這揭示將領會到。用以使 IC 300 平面化的其它適合技術將取決於指定應用且按照此揭示將是顯而易見。

依據實施例，IC 300 的平面化可減小它的表面外形的鋸齒狀因為：減小半導體層 108”的厚度（例如，減小半導體層 108”的該一或多個組成半導體結構的上部 108b 的剩餘的尺寸）；及/或減小組合氧化層 208 的厚度。於一些例子中，IC 300 的合成的半導體層 108”可包括一或多個組成島狀半導體結構，其展示大致平面/平坦的上表面

同時保持它們的一或多個結晶刻面 112”（雖然減小尺寸），其在氧化層 208 內保持完整。半導體層 108”的指定組成島狀半導體結構的尺寸可被客製化用於指定目標應用或最終用途。例如，於一些例子中，半導體層 108”的指定組成島狀半導體結構可具有約 100-250 nm 的範圍中之厚度（例如，約 200 ± 25 nm 或約 100-250 nm 的範圍中之任何其它的次範圍）。半導體層 108”的一或多個組成島狀半導體結構的其它適合尺寸將取決於指定應用且按照此揭示將是顯而易見。

該製程可繼續如於圖 8 中，圖 8 為依據本揭露的實施例在其蝕刻之後之圖 7 的 IC 300 的剖面圖。於一些例子中，可合意的是，例如，使基板 202 的上表面至少部分曝露用於後續處理。為了該目的且依據一些實施例，IC 300 可進行溼式蝕刻製程及/或乾式蝕刻製程。蝕刻化學可被客製化用於指定目標應用或最終用途，且於一些例子中，例如，可以選擇性地蝕刻掉使用於氧化層 208 中之該一或多種材料。例如，於一些實例中，氧化層 208 包括二氧化矽（ SiO_2 ）或氧化鋁（ Al_2O_3 ），可使用氟（F）基蝕刻化學。用於蝕刻氧化層 208 的其它適合技術及蝕刻化學將取決於指定應用且按照此揭示將是顯而易見。

在蝕刻氧化層 208’之後，其指定組成氧化物結構（例如，在半導體層 108”的指定組成半導體結構下面）可具有例如，約 50-200 nm 的範圍中之高度（例如，約 100 ± 30 nm 或約 50-200 nm 的範圍中之任何其它的次範圍）。而

且，在蝕刻氧化層 208'之後，其指定組成氧化物結構可具有一或多個錐形側壁的大致島狀剖面外形（例如，如圖 8 中大致所示）。用於蝕刻的氧化層 208'的指定組成氧化物結構之其它適合的尺寸和組態將取決於指定應用且按照此揭示將是顯而易見。

依據一些實施例，在氧化層 208 的蝕刻之後以提供氧化層 208'，圖 8 的 IC 300 可進行半導體層 210 的形成於其之上，導致 IC 300a，諸如圖 9A 所示。半導體層 210 可由各種半導體材料的任一者所形成，且於一些例子中可以是例如，自基板 202、氧化層 208'及/或半導體層 108"的不同組成。例如，於一些例子中，半導體層 210 可包括矽鍺（SiGe）。如按照這揭示將領會到，可合意的是，於一些實例中，確保半導體層 210 係由對基板 202 相對接近地晶格匹配之一或多個材料所形成。因此，於一些例子中，半導體層 210 可被考慮為形成在 IC 300 之上的異質磊晶層，導致 IC 300a。半導體層 210 的其它適合材料將取決於指定應用且按照此揭示將是顯而易見。

而且，半導體層 210 可使用任何適合技術（或技術的組合）而形成在 IC 300 之上。例如，依據一些實施例，半導體層 210 可使用以下製程形成在 IC 300 之上：化學氣相沉積（CVD）製程，諸如有機金屬化學氣相沉積（MOCVD）；及/或磊晶製程，諸如分子束磊晶（MBE）或有機金屬氣相磊晶（MOVPE）。用以形成半導體層 210 的其它適合技術將取決於指定應用且按照此揭示將是顯而

易見。

更者，半導體層 210 可設有任何所需厚度。例如，於一些例子中，半導體層 210 可具有約 50-200 nm 的範圍中之厚度（例如，約 100 ± 30 nm 或約 50-200 nm 的範圍中之任何其它的次範圍）。於一些例子中，半導體層 210 可具有實質等於氧化層 208' 的厚度之厚度（例如，氧化層 204 及氧化層 114' 的組合厚度）。於一些實例中，半導體層 210 的上表面可以是在半導體層 108'' 的上表面的高度或下方。於一些例子中，半導體層 210 可具有實質均勻厚度在例如下層基板 202 所提供之外形之上。於一些實例中，半導體層 210 可被提供為實質在此種外形之上的保形層。半導體層 210 的其它適合尺寸將取決於指定應用且按照此揭示將是顯而易見。

如可例如自圖 9A' 所見，圖 9A 為依據一些實施例之圖 9A 的 IC 300a 的一部分的放大圖，合成的 IC 300a 可展示實質平面上表面且包括與嵌入在依次嵌入半導體層 210 內之氧化層 208' 內的結晶刻面邊緣 112'' 之不匹配的半導體層 108''。依據一些實施例，一或多個附加層及/或組件可被組裝例如，在由不匹配的半導體層 108''、氧化層 208' 及/或半導體層 210 共同提供的平面上。

依據一些其它實施例，在氧化層 208 的蝕刻之後以提供氧化層 208'，圖 8 的 IC 300 可進行基板 202 的進一步形成，導致 IC 300b，諸如圖 9B 所示。基板 202 可使用任何適合技術（或技術的組合）進行進一步形成（例如，同

質磊晶生長) 以提供基板 202'。例如，依據一些實施例，基板 202'可使用以下製程形成：化學氣相沉積 (CVD) 製程；及/或分子束磊晶 (MBE) 製程。用於基板 202 的進一步形成以提供基板 202'之其它適合技術將取決於指定應用且按照此揭示將是顯而易見。

而且，基板 202'可被形成為任何所需厚度。例如，於一些實施例中，基板 202'可具有實質等於氧化層 208'的厚度之厚度 (例如，氧化層 204 及氧化層 114'的組合厚度)。於一些實例中，基板 202'的上表面可以是在半導體層 108"的上表面的高度或下方。於一些實例中，基板 202'可具有實質均勻厚度。基板 202'的其它適合尺寸將取決於指定應用且按照此揭示將是顯而易見。

如例如可自圖 9B'所見，圖 9B'為依據一些實施例之圖 9B 的 IC 300b 的一部分的放大圖，合成的 IC 300b 可展示實質平面上表面且包括與嵌入在依次嵌入基板 202'內之氧化層 208'內的結晶刻面邊緣 112"之不匹配的半導體層 108"。依據一些實施例，一或多個附加層及/或組件可被組裝例如，在由不匹配的半導體層 108"、氧化層 208'及/或基板 202'共同提供的平面上。

實例系統

圖 10 解說依據實例實施例以使用所揭示技術所形成之積體電路結構或裝置實作之計算系統 1000。如可見，計算系統 1000 中容置主機板 1002。主機板 1002 可包括

一些組件，包括但不限於處理器 1004 及至少一通信晶片 1006，每一者可被物理且電性地耦合至主機板 1002，或不然被集成於其中。如將領會的，主機板 1002 可以是例如，任何印刷電路板，不管是主板、安裝在主板上的子板、或系統 1000 的唯一板等。取決於它的應用，計算系統 1000 可包括可或不可物理且電耦合至主機板 1002 之一或多個其它組件。這些其它組件可包括但不受限於揮發性記憶體（例如，DRAM）、非揮發性記憶體（例如，ROM）、圖形處理器、數位信號處理器、密碼機處理器、晶片集、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音訊編解碼器、視訊編解碼器、功率放大器、全球定位系統（GPS）裝置、指南針、加速器、陀螺儀、揚聲器、相機及大量儲存裝置（諸如，硬碟機、光碟（CD）、數位影音光碟（DVD）及等等）。包括於計算系統 1000 中的任一組件可包括使用依據實例實施例的所揭示技術所形成的一或多個積體電路結構或裝置。於一些實施例中，多項功能可被集成入一或多個晶片內（例如，注意到通信晶片 1006 可以是處理器 1004 的一部分或不然被集成入處理器 1004）。

通信晶片 1006 能夠致使無線通信用以轉移資料至計算系統 1000 和自計算系統 1000 轉移資料。術語“無線”及它的衍生詞可被使用來說明電路、裝置、系統、方法、技術、通信通道等，其可透過非固態媒體利用已調變的電磁波來傳送資料。該術語未意味著關聯裝置未含有任何線

路，雖然於一些實施例中它們可能不會。通信晶片 1006 可執行一些無線標準或協定的任一者，包括但不受限於 Wi-Fi (IEEE 802.11 系列)、WiMAX (IEEE 802.16 系列)、IEEE 802.20、長期演進 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽、其衍生物，以及標示為 3G、4G、5G 和更新者之任何其它無線協定。計算系統 1000 可包括複數個通信晶片 1006。例如，第一通信晶片 1006 可專屬於諸如 Wi-Fi 及藍芽之較短範圍無線通信，以及第二通信晶片 1006 可專屬於諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其它之較長範圍無線通信。

計算系統 1000 的處理器 1004 包括封裝於處理器 1004 內之積體電路晶片。於一些實施例中，處理器的積體電路晶片包括以使用所揭示技術所形成的一或多個積體電路結構或裝置來實施之板上電路系統，如前文中所述。術語“處理器”可意指任何裝置或裝置的一部分，其處理例如，來自暫存器及/或記憶體之電子資料以將該電子資料轉移換成可被儲存於暫存器及/或記憶體中的其它電子資料。

通信晶片 1006 亦可包括封裝於通信晶片 1006 內之積體電路晶片。依據一些這種實例實施例，通信晶片的積體電路晶片包括使用如文中所述的所揭示技術所形成的一或多個積體電路結構或裝置。如按照此揭示將領會到，注意

到多標準無線功能可被直接集成入處理器 1004 中（例如，其中任何晶片 1006 的功能被集成入處理器 1004 中，而不是具有分開的通信晶片）。另外，注意到，處理器 1004 可以是具有此種無線功能的晶片組。總之，任何數量的處理器 1004 及/或通信晶片 1006 可被使用。同樣地，任一晶片或晶片組可具有集成於其中的多項功能。

於不同實作中，計算裝置 1000 可以是膝上型電腦、輕省筆電、筆記型電腦、智慧型手機、平板電腦、個人數位助理（PDA）、超行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放機、數位錄影機或處理資料或利用使用所揭示技術所形成的一或多個積體電路結構或裝置之任何其它電子裝置，如文中種種所述。

進一步實例實施例

以下實例關於進一步實施例，自該等實施例許多置換及組態將是顯而易見。

實例 1 為一種積體電路包括：基板；氧化物結構，形成在該基板的一部分之上；及晶格不匹配半導體結構，形成在該氧化物結構上且嵌入其上表面內，其中，該晶格不匹配半導體結構包括結晶刻面邊緣。

實例 2 包括實例 1 和 3-13 的任一者的標的，其中，該半導體結構及該氧化物結構共同地提供可組裝附加層及/或組件在其上之平面。

實例 3 包括實例 1-2、4-6 和 9-13 的任一者的標的，且包括一層半導體材料，形成在該基板上且至少部分覆蓋該氧化物結構的一或多個側壁。

實例 4 包括實例 3 的標的，其中，該半導體層包含矽鍺（SiGe）。

實例 5 包括實例 3 的標的，其中，該半導體層具有約 50-200 nm 的範圍中之厚度。

實例 6 包括實例 3 的標的，其中，該半導體結構、該氧化物結構及該半導體層共同地提供可組裝附加層及/或組件在其上之平面。

實例 7 包括實例 1-2 和 8-13 的任一者的標的，其中，該基板至少部分覆蓋該氧化物結構的一或多個側壁。

實例 8 包括實例 7 的標的，其中，該半導體結構、該氧化物結構及該基板共同地提供可組裝附加層及/或組件在其上之平面。

實例 9 包括實例 1-8 和 10-13 的任一者的標的，其中，該半導體結構具有約 100-250 nm 的範圍中之厚度，及其中，該氧化物結構具有具有約 50-200 nm 的範圍中之高度。

實例 10 包括實例 1-9 和 11-13 的任一者的標的，其中，該半導體結構係完全沒有錯位缺陷。

實例 11 包括實例 1-10 和 12-13 的任一者的標的，其中，該基板包含矽（Si）、鍺（Ge）、藍寶石（Al₂O₃）及/或介電材料的至少其中一者。

實例 12 包括實例 1-11 和 13 的任一者的標的，其中，該半導體結構包含銻（Ge）、砷化鎵（GaAs）、砷化銦鎵（InGaAs）、氮化鎵（GaN）、及/或磷化銦（InP）的至少其中一者。

實例 13 包括實例 1-12 的任一者的標的，其中，該氧化物結構包含二氧化矽（SiO₂）及/或氧化鋁（Al₂O₃）的至少其中一者。

實例 14 為一種形成積體電路的方法，該方法包括：形成第一半導體層在第一基板之上，其中，該第一半導體層係與該第一基板晶格不匹配；及自該第一基板將該第一半導體層的一部分轉移至第二基板，其中，該第一半導體層的所轉移部分包括結晶刻面邊緣。

實例 15 包括實例 14 和 16-22 的任一者的標的，其中，該第一半導體層所轉移部分包含嵌入形成在該第二基板的一部分之上之對應量的氧化物結構內之一或多個島狀半導體結構。

實例 16 包括實例 15 的標的，其中，該等島狀半導體結構及它的對應氧化物結構的至少其中一者共同地提供可組裝的附加層及/或組件在其上之平面。

實例 17 包括實例 14-16 和 18-22 的任一者的標的，其中，形成該第一半導體層在該第一基板之上包括：使用異質磊晶製程，使該第一基板上的該第一半導體層生長於圖案化入形成在該第一基板之上的介電層中之一或多個開口內；及使用磊晶側向外延生長（ELO）製程，使該第一

半導體層進一步生長在該介電層的上表面的至少一部分之上。

實例 18 包括實例 17 的標的，其中，圖案化入該介電層中之該一或多個開口具有高度對寬度深寬比，其提供用於出自該第一基板與該晶格不匹配第一半導體層的介接之錯位缺陷的深寬比捕獲（ART）。

實例 19 包括實例 14-18 和 20-22 的任一者的標的，其中，自該第一基板轉移該第一半導體層的該部分至該第二基板包括：執行氫（H）基層剝離。

實例 20 包括實例 14-19 和 22 的任一者的標的且進一步包括：使用異質磊晶製程，形成第二半導體層在該第二基板上。

實例 21 包括實例 14-19 和 22 的任一者的標的且進一步包括：使用同質磊晶製程，進一步形成該第二基板。

實例 22 為使用包括實例 14-21 的任一者的標的之方法所形成的積體電路。

實例 23 為一種形成積體電路的方法，該方法包括：形成介電層在第一基板之上且將一或多個開口圖案化入該介電層中；形成第一半導體層在該第一基板和圖案化介電層之上，其中，該第一半導體層係與該第一基板晶格不匹配；使該第一半導體層平面化；形成第一氧化層在該平面化的第一半導體層及圖案化介電層所提供之外形之上；接合該第一氧化層與形成在第二基板之上的第二氧化層；將該合成之接合的氧化層及平面化的第一半導體層的每一者

的至少一部分轉移至該第二基板；使該接合的氧化層及第一半導體層的該等轉移部分平面化；及蝕刻該合成之平面化接合的氧化層以使該下層第二基板的上表面曝露出。

實例 24 包括實例 23 和 25-42 的任一者的標的，其中，該介電層包含氮化矽（ Si_3N_4 ）、二氧化矽（ SiO_2 ）及/或氧化鋁（ Al_2O_3 ）的至少其中一者。

實例 25 包括實例 23-24 和 26-42 的任一者的標的，其中，該介電層具有約 100-500 nm 的範圍中之厚度。

實例 26 包括實例 23-25 和 27-42 的任一者的標的，其中，圖案化入該介電層中的該一或多個開口具有高度對寬度深寬比，其提供用於出自該第一基板和該晶格不匹配第一半導體層的介接之錯位缺陷的深寬比捕獲（ART）。

實例 27 包括實例 23-26 和 28-42 的任一者的標的，其中，圖案化入該介電層中的該一或多個開口具有約 2：1 至 5：1 的範圍中之高度對寬度深寬比。

實例 28 包括實例 23-27 和 29-42 的任一者的標的，其中，該第一基板包含矽（Si）及/或矽鍺（SiGe）的至少其中一者。

實例 29 包括實例 23-28 和 30-42 的任一者的標的，其中，該第一半導體層包含：鍺（Ge）、砷化鎵（GaAs）、砷化銦鎵（InGaAs）、氮化鎵（GaN）、及/或磷化銦（InP）的至少其中一者。

實例 30 包括實例 23-29 和 31-42 的任一者的標的，其中，形成該第一半導體層在該第一基板及圖案化介電層

之上包括：使用異質磊晶製程，使該第一基板上的該第一半導體層生長於圖案化入該介電層中的該一或多個開口內；及使用磊晶側向外延生長（ELO）製程，使該第一半導體層進一步生長在該圖案化介電層的上表面的至少一部分上。

實例 31 包括實例 23-30 和 32-42 的任一者的標的，其中，在平面化之後，該第一半導體層的所轉移部分具有約 100-250 nm 的範圍之厚度。

實例 32 包括實例 23-31 和 33-42 的任一者的標的，其中，該第一氧化層及/或該第二氧化層的其中至少一者包含二氧化矽（ SiO_2 ）及/或氧化鋁（ Al_2O_3 ）的至少其中之一者。

實例 33 包括實例 23-32 和 34-42 的任一者的標的，其中，接合該第一氧化層與該第二氧化層包括：在約 350-400°C 的範圍中之溫度進行熱處理該積體電路。

實例 34 包括實例 23-33 和 35-42 的任一者的標的，其中，將該接合的氧化層及平面化的第一半導體層的每一者的至少一部分轉移至該第二基板包含：將氫（ H^+ ）離子植入於該平面化的第一半導體層內；及在約 350-400°C 的範圍中之溫度執行氫基層剝離。

實例 35 包括實例 34 的標的，其中，植入該等 H^+ 離子係使用約 $5 \times 10^{16} \text{H}^+$ 離子/ cm^2 至 $3 \times 10^{17} \text{H}^+$ 離子/ cm^2 的範圍中之植入劑量來予以執行。

實例 36 包括實例 34 的標的，其中，植入該等 H^+ 離

子係使用約 30-100 keV 的範圍中之植入能量來予以執行。

實例 37 包括實例 23-36、38 和 40-42 的任一者的標的且進一步包括：使第二半導體層異質磊晶地生長在該第二基板上。

實例 38 包括實例 37 的標的，其中，該第二半導體層包含矽鍺（SiGe）。

實例 39 包括實例 23-36 和 40-42 的任一者的標的且進一步包括：使該第二基板同質磊晶地生長。

實例 40 包括實例 23-39 和 41-42 的任一者的標的，其中，該第二基板包含矽（Si）、鍺（Ge）、藍寶石（ Al_2O_3 ）及/或介電材料的至少其中一者。

實例 41 為使用包括實例 23-40 的任一者的標的之方法所形成之 p 型金氧半導體（PMOS）裝置。

實例 42 為使用包括實例 23-40 的任一者的標的之方法所形成之 n 型金氧半導體（NMOS）裝置。

實例實施例的以上說明已為解說及敘述的目的而提出。並未預期是徹底或將本揭示限制於所揭示的精確形式。按照這揭示之許多修改及變化係可能的。預期的是，本揭露的範圍未受這詳述所限制，而是受附加於後的請求項限制。對本案請求優先權之未來提出之申請案可能以不同方式請求所揭示標的且大致可包括任一組一或多個限制如文中所不同揭示或以其它方式展示。

【符號說明】

- 100：積體電路（IC）
- 102：基板
- 104：介電層
- 106：開口
- 108：半導體層
- 108a：下部
- 108b：上部
- 108'：合成的半導體層
- 108''：半導體層
- 110：缺陷
- 112：結晶刻面邊緣
- 112'：結晶刻面邊緣
- 112''：結晶刻面
- 114：氧化層
- 116：虛線
- 118：虛線
- 200：轉移結構
- 202：基板
- 202'：基板
- 204：氧化層
- 206：細虛線
- 208：氧化層
- 208'：蝕刻氧化層

210：半 導 體 層

300a：IC

300b：IC

300：積 體 電 路

1000：計 算 系 統

1002：主 機 板

1004：處 理 器

1006：通 信 晶 片

申請專利範圍

1.一種積體電路，包含：

第一基板及第二基板；

第一氧化物結構，係形成在該第一基板的一部分之上；

第二氧化物結構，係形成在該第二基板的一部分之上；

第一晶格不匹配半導體結構，係完全地形成在位於該第一晶格不匹配半導體結構之下之該第一氧化物結構上且係完全地嵌入於該第一氧化物結構之上表面內；

第二晶格不匹配半導體結構，係形成在該第二氧化物結構之上且係從該第一氧化物結構的一部分轉移至該第二基板而來，其中，該第二晶格不匹配半導體結構包括結晶刻面邊緣；及

無缺陷上部，係由於該第二晶格不匹配半導體結構的連續形成而產生，

其中，該無缺陷上部延伸超過指定開口。

2.如申請專利範圍第 1 項的積體電路，其中，該第一晶格不匹配半導體結構及該第一氧化物結構共同提供可組裝附加層及組件至少其中之一於其上之平面。

3.如申請專利範圍第 1 項的積體電路，進一步包含一層半導體材料，該層半導體材料係形成在該第一基板上且至少部分覆蓋該第一氧化物結構的一或多個側壁。

4.如申請專利範圍第 3 項的積體電路，其中，該第一

晶格不匹配半導體結構、該第一氧化物結構及該半導體層共同提供可組裝附加層及組件至少其中之一在其上之平面。

5.如申請專利範圍第 1 項的積體電路，其中，該第一基板至少部分覆蓋該第一氧化物結構的一或多個側壁。

6.如申請專利範圍第 5 項的積體電路，其中，該第一晶格不匹配半導體結構、該第一氧化物結構及該第一基板共同提供可組裝附加層及組件至少其中之一於其上之平面。

7.如申請專利範圍第 1 至 6 項中的任一項的積體電路，其中，該第一晶格不匹配半導體結構具有完全地與該第一氧化物結構接觸的底表面。

8.如申請專利範圍第 1 至 6 項中的任一項的積體電路，其中，該第一基板包含矽（Si）、鍺（Ge）、藍寶石（ Al_2O_3 ）及介電材料的至少其中一者。

9.如申請專利範圍第 1 至 6 項中的任一項的積體電路，其中，該第一晶格不匹配半導體結構包含鍺（Ge）、砷化鎵（GaAs）、砷化銦鎵（InGaAs）、氮化鎵（GaN）、及磷化銦（InP）的至少其中一者。

10.如申請專利範圍第 1 至 6 項中的任一項的積體電路，其中，該第一氧化物結構包含二氧化矽（ SiO_2 ）及氧化鋁（ Al_2O_3 ）的至少其中一者。

11.一種積體電路的形成方法，該方法包含：

形成第一半導體層於第一基板之上，其中，該第一半

導體層係與該第一基板晶格不匹配；

將該第一半導體層的一部分自該第一基板轉移至第二基板，其中，該第一半導體層的所轉移部分包括結晶刻面邊緣；及

無缺陷上部，係由於該第一半導體層的連續形成而產生，

其中，該無缺陷上部延伸超過指定開口。

12.如申請專利範圍第 11 項的方法，其中，形成該第一半導體層於該第一基板之上包含：

使用異質磊晶製程，使該第一基板上的該第一半導體層生長於圖案化入形成於該第一基板之上的介電層中之一或多個開口內；及

使用磊晶側向外延生長（ELO）製程，使該第一半導體層進一步生長在該介電層的上表面的至少一部分之上。

13.如申請專利範圍第 12 項的方法，其中，圖案化入該介電層中的該一或多個開口具有高度對寬度深寬比，其提供用於出自該第一基板和該晶格不匹配第一半導體層的介接之錯位缺陷的深寬比捕獲（ART）。

14.如申請專利範圍第 11 項的方法，進一步包含：

使用異質磊晶製程，形成第二半導體層在該第二基板上。

15.如申請專利範圍第 11 項的方法，進一步包含：

使用同質磊晶製程，進一步形成該第二基板。

16.一種積體電路的形成方法，該方法包含：

形成介電層在第一基板之上且將一或多個開口圖案化入該介電層中；

形成第一半導體層在該第一基板和圖案化介電層之上，其中，該第一半導體層係與該第一基板晶格不匹配；

使該第一半導體層平面化；

形成第一氧化層在該平面化的第一半導體層及圖案化介電層所提供之外形之上；

接合該第一氧化層與形成在第二基板之上的第二氧化層；

將該合成之接合的氧化層及平面化的第一半導體層的每一者的至少一部分轉移至該第二基板；

使該接合的氧化層及第一半導體層的該等轉移部分平面化；及

蝕刻該合成之平面化接合的氧化層以使該下層第二基板的上表面曝露出，

其中，該第一半導體層具有無缺陷上部，係由於該第一半導體層的連續形成而產生，並且

其中，該無缺陷上部延伸超過指定開口。

17.如申請專利範圍第 16 項的方法，其中，圖案化入該介電層中的該一或多個開口具有約 2：1 至 5：1 的範圍中之高度對寬度深寬比。

18.如申請專利範圍第 16 項的方法，其中，形成該第一半導體層在該第一基板及圖案化介電層之上包含：

使用異質磊晶製程，使該第一基板上的該第一半導體

層生長於圖案化入該介電層中的該一或多個開口內；及

使用磊晶側向外延生長（ELO）製程，使該第一半導體層進一步生長在該圖案化介電層的上表面的至少一部分上。

19.如申請專利範圍第 16 項的方法，其中，將該接合的氧化層及平面化的第一半導體層的每一者的至少一部分轉移至該第二基板包含：

將氫（ H^+ ）離子植入該平面化的第一半導體層內；及在約 350-400°C 的範圍中之溫度執行氫基層剝離。

20.如申請專利範圍第 19 項的方法，其中，植入該等 H^+ 離子係使用約 5×10^{16} H^+ 離子/cm² 至 3×10^{17} H^+ 離子/cm² 的範圍中之植入劑量來予以執行。

21.如申請專利範圍第 19 項的方法，其中，植入該等 H^+ 離子係使用約 30-100 keV 的範圍中之植入能量來予以執行。

22.如申請專利範圍第 16 項的方法，進一步包含：
使第二半導體層異質磊晶地生長在該第二基板上。

23.如申請專利範圍第 16 項的方法，進一步包含：
使該第二基板同質磊晶地生長。

24.一種 p 型金氧半導體（PMOS）裝置，係使用如申請專利範圍第 16 至 23 項中任一項的方法來予以形成。

25.一種 n 型金氧半導體（NMOS）裝置，係使用如申請專利範圍第 16 至 23 項中任一項的方法來予以形成。

圖式

圖 1

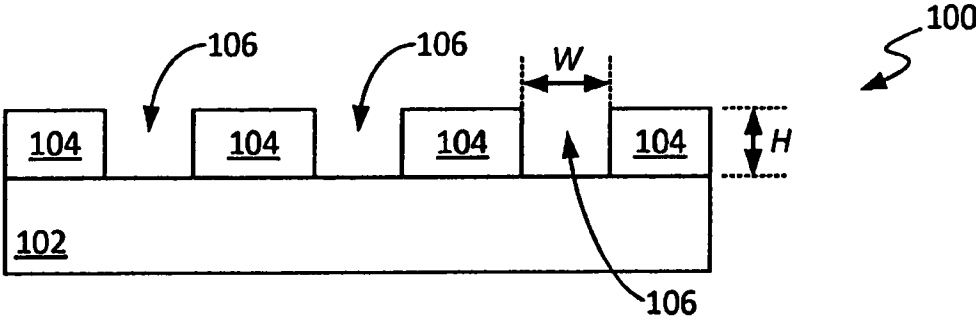


圖 2

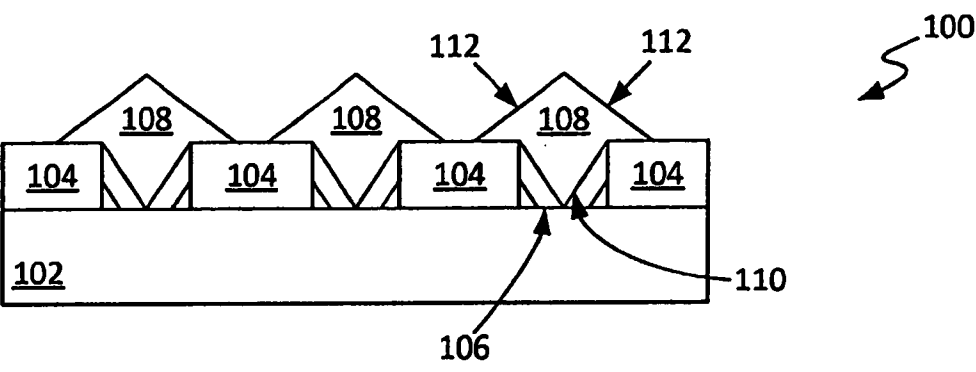


圖 2'

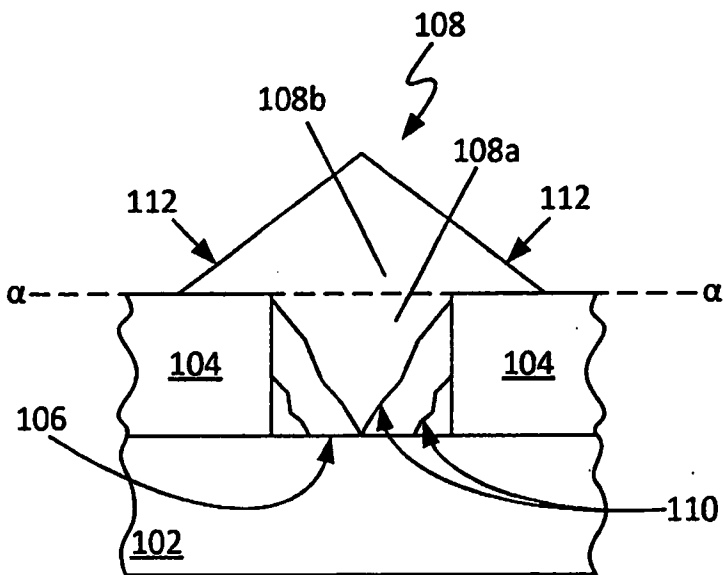


圖 3

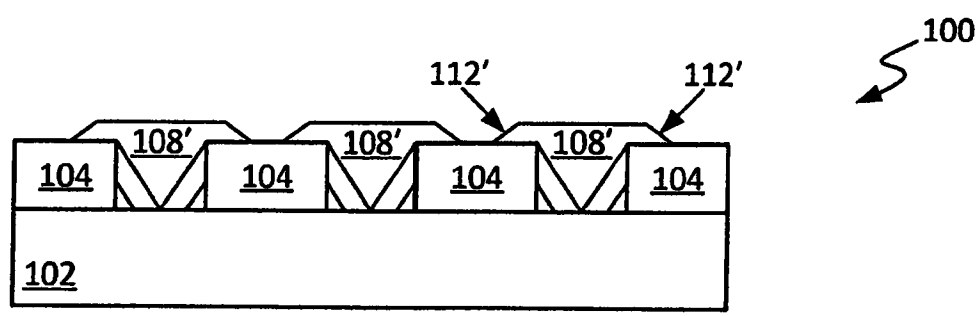


圖 4

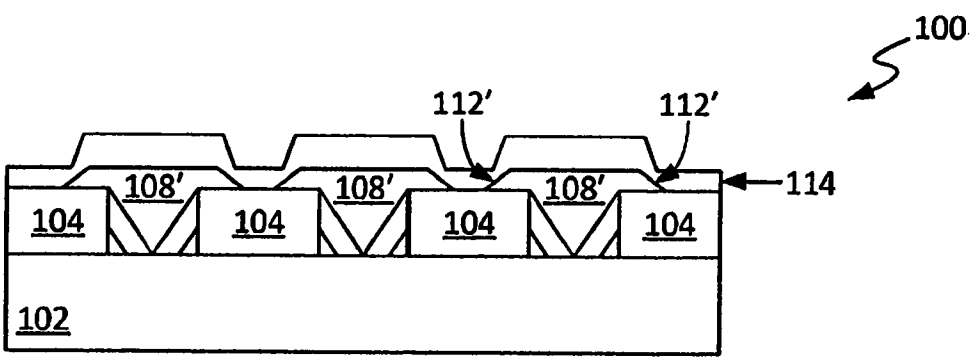


圖 5

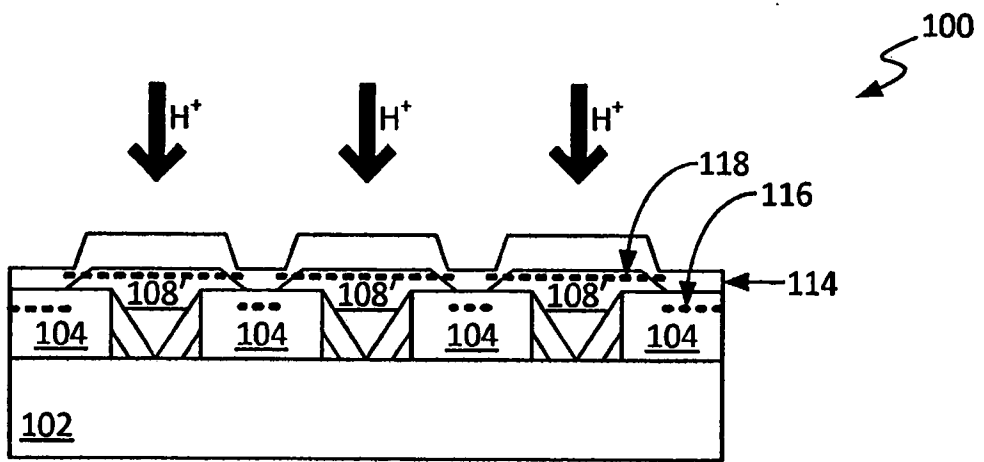


圖 6

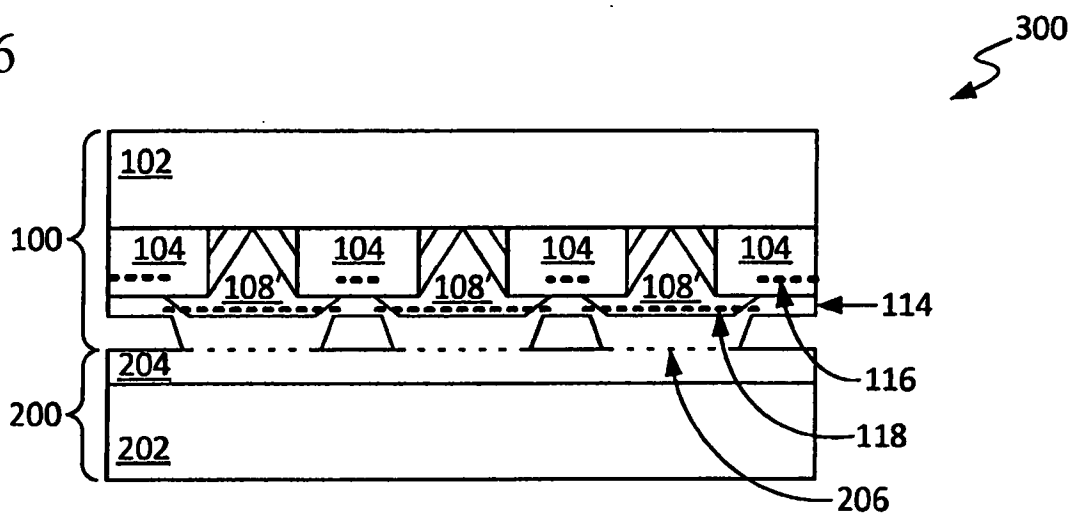


圖 7

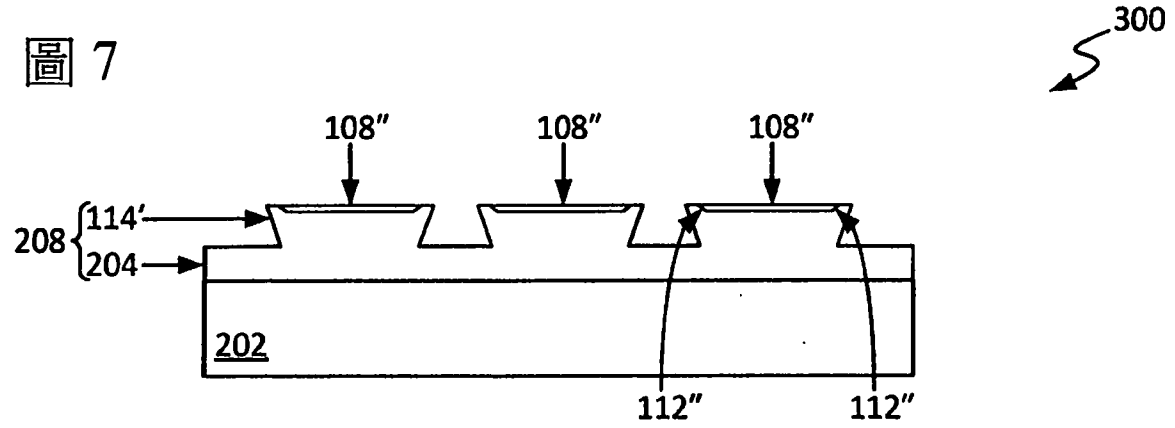


圖 8

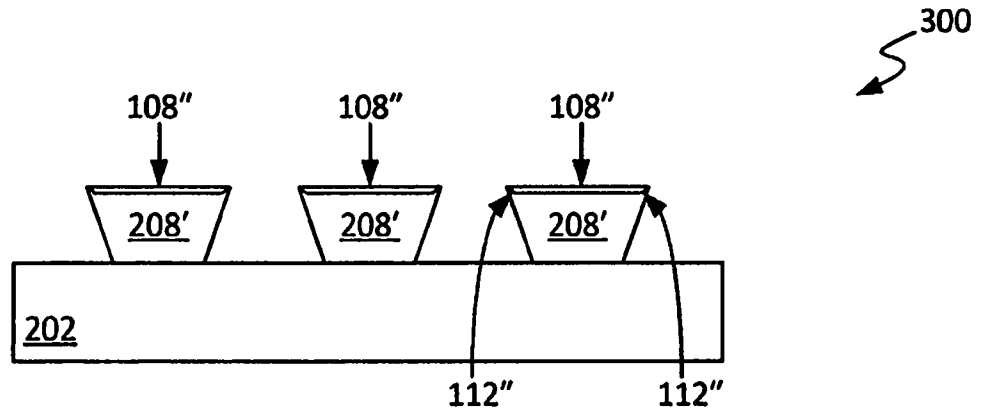


圖 9A

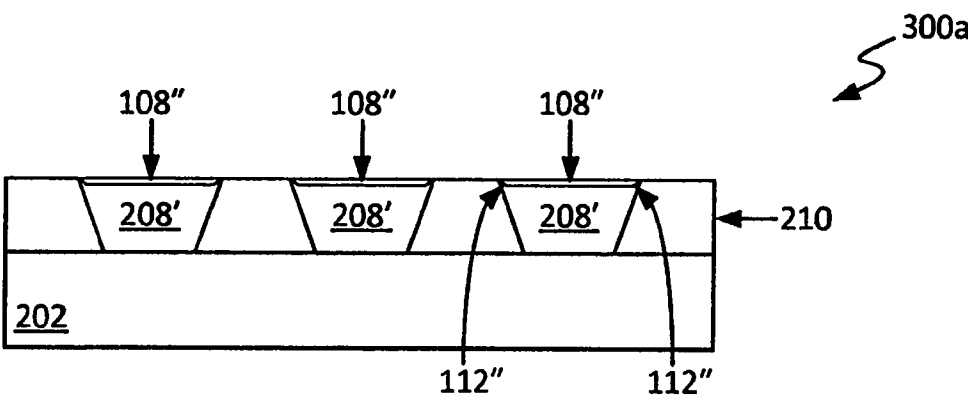


圖 9A'

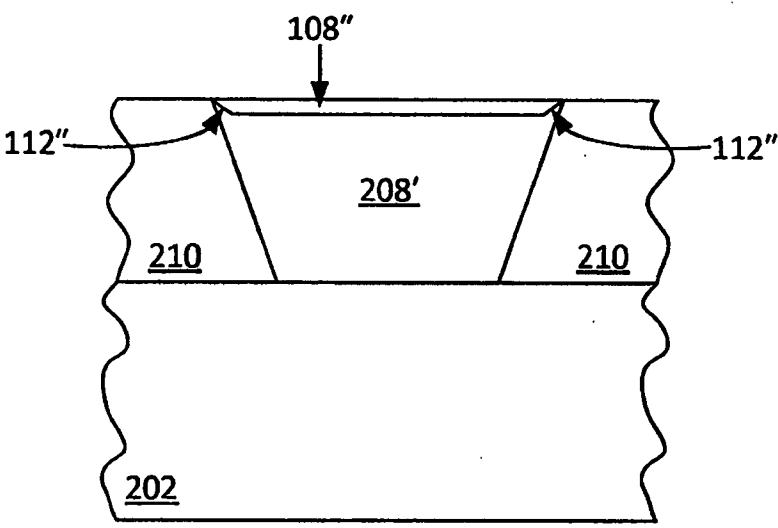


圖 9B

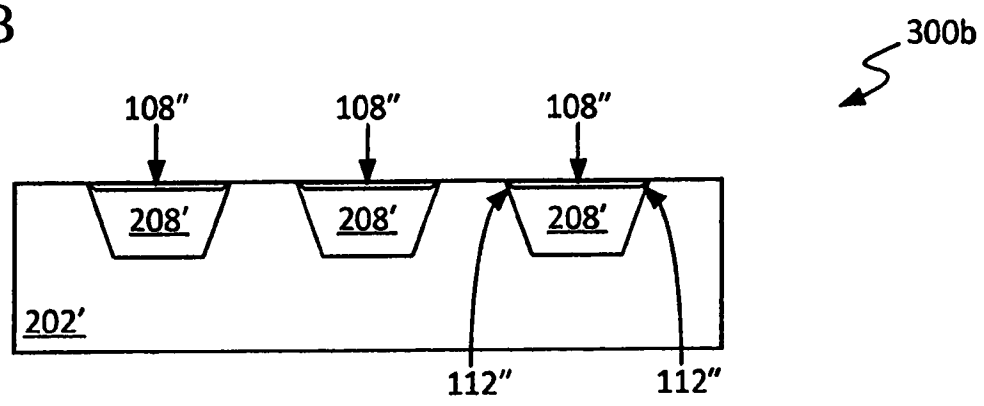
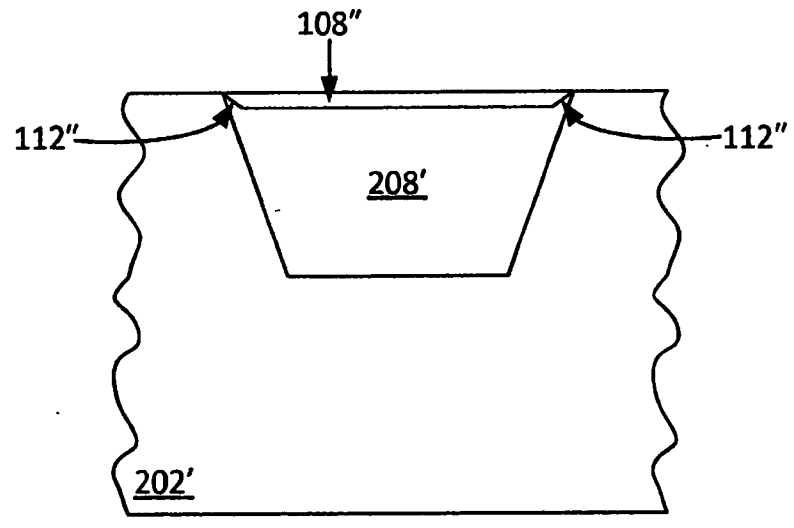


圖 9B'



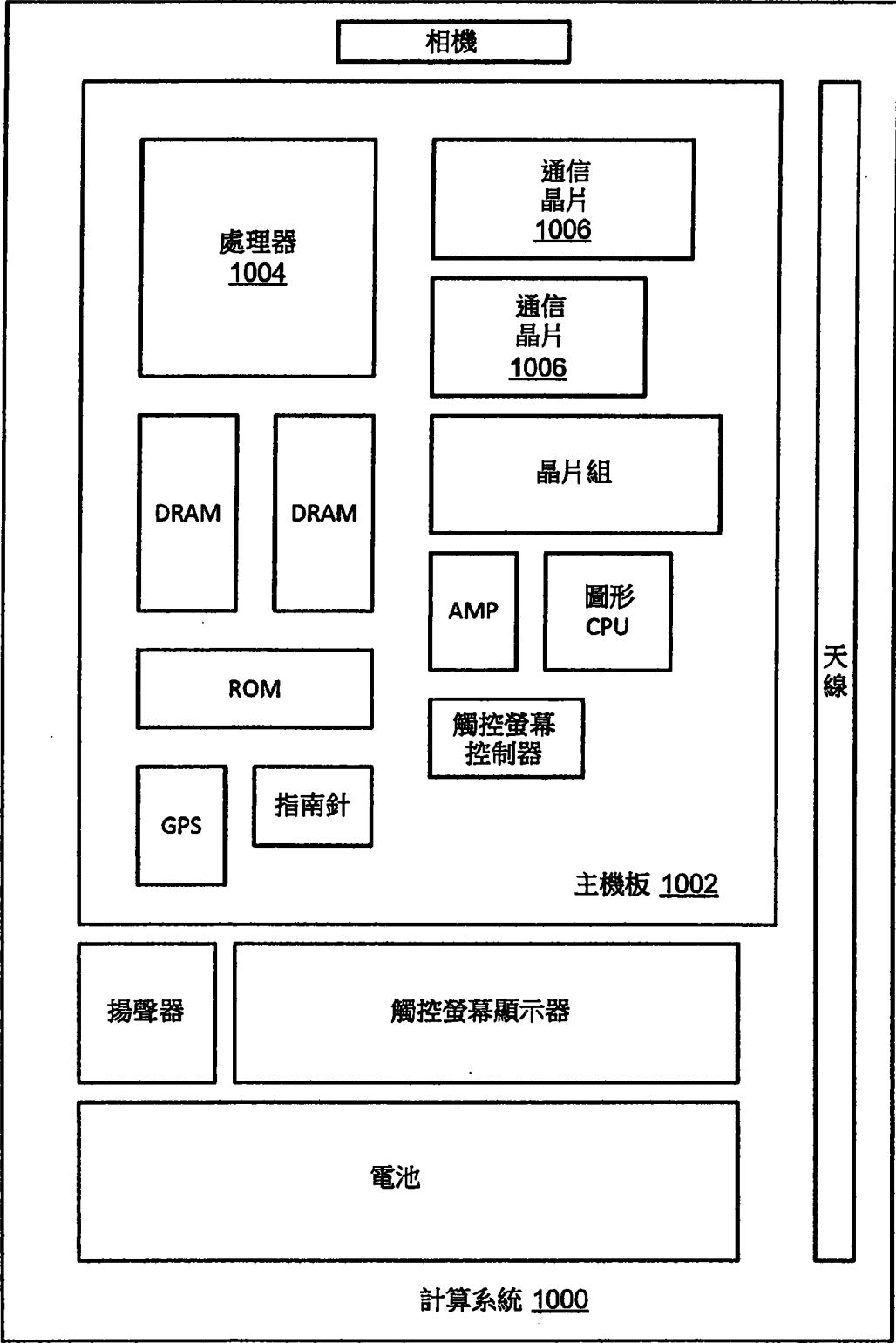


圖 10