



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 95193431.7

[43] 授权公告日 2003 年 2 月 5 日

[11] 授权公告号 CN 1101082C

[22] 申请日 1995.4.14 [21] 申请号 95193431.7

[30] 优先权

[32] 1994. 4. 14 [33] US [31] 08/229,923

[86] 国际申请 PCT/US95/04639 1995.4.14

[87] 国际公布 WO95/28769 英 1995.10.26

[85] 进入国家阶段日期 1996.12.4

[71] 专利权人 BTR 公司

地址 美国内华达州

[72] 发明人 B·S·丁

审查员 段成云

[74] 专利代理机构 中国专利代理(香港)有限公司

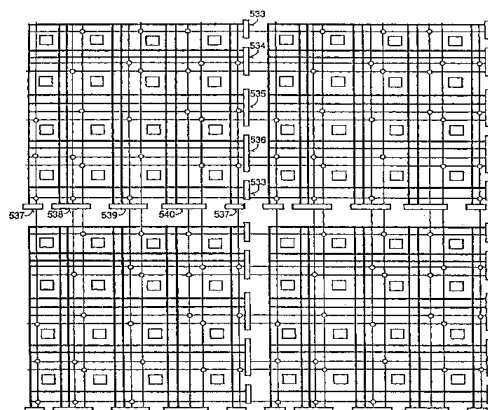
代理人 王 勇 傅 康

权利要求书 1 页 说明书 23 页 附图 21 页

[54] 发明名称 用于可编程逻辑电路的结构和互连方案

[57] 摘要

一个 PFCA 包括一定数量的单元,用于根据输入信号执行逻辑功能。一组可编程块连接器被用于提供多个单元逻辑群集器之间的互连性和到分级路径网络的可访问性。所述多个路径网络线的均匀分布的第一层被用于提供多组块连接器之间的连接。所述路径网络线的均匀分布的第二层被用于提供所述路径网络线不同第一层之间的连接。多个转换网络被用于提供所述块连接器和与所述第一层相应的所述路径网络之间的连接。另外的一些转换网络被用于提供在与所述第一层相应的路径网络线和与所述第二层相应的路径网络线之间的连接。多个附加的路径网络线的均匀分布层提供所述多个路径网络线的不同在前层之间的连接。



1.一种包括可配置单元、路径线和开关的集成电路,所述集成电路还包括:

5 第一路径线(1061)、第二路径线(1062)和第三路径线(1063),其中,每一路径线具有不同的间距;

所述第一路径线通过第一开关选择地耦合到所述第三路径线;

所述第二路径线通过第二开关选择地耦合用于驱动所述第三路径线;

10 以及,一个可配置单元(1001),选择地耦合用于驱动所述第三路径线而无需所述第一路径线和所述第二路径线两者的交叉。

2.如权利要求1所述的集成电路,其特征在于:所述开关包括从开关、可编程传递门和可编程控制驱动器/接收机选出的部件。

3.如权利要求1所述的集成电路,其特征在于:所述集成电路通过从以下工艺而实现:包括存储器、非易失性存储器、铁电、熔丝和抗熔丝工艺来实现。

4.如权利要求1所述的集成电路,其特征在于:通过至少一个第三开关和至少一个附加路径线,所述第三路径线选择地耦合到所述可配置单元的输入端或输出端的至少一个。

5.如权利要求1所述的集成电路,还包括比所述第一路径线有更大间距的第四路径线,其中,所述第四路径线通过第四开关选择地耦合到所述第一路径线。

6.一种配置集成电路的方法,包括:

配备有不同间距的第一、第二和第三路径线;

将第一路径线选择地耦合到第三路径线;

25 将第二路径线选择地耦合,用以驱动所述第三路径线;以及

将一个可配置单元选择地耦合,用以驱动第三路径线而无需所述第一路径线和所述第二路径线两者的交叉。

7.如权利要求6所述的方法,其特征在于还包括:通过至少一个第三开关和至少一个附加路径线,选择地将所述第三路径线耦合到一个可配置单元的输入端或输出端中的至少一个。

8.如权利要求6所述的方法,其特征在于还包括:选择地将所述第一路径线耦合到比所述第一路径线有更大间距的第四路径线。

用于可编程逻辑电路的结构和互连方案

本申请是转让给本发明受让人的、申请日为 1993 年 8 月 3 日、申请号为 NO.08/101,197 的专利申请的后续申请(CIP)。

本发明涉及到可编程逻辑电路领域，特别是，本发明涉及到一种与可编程逻辑电路相关的结构和互连方案。

当刚刚开始引入集成电路(IC)时，其价格极为昂贵，且其性能亦极为有限。半导体技术的迅速发展使得在增加 IC 芯片性能的同时，极大地减少了其成本。但是，用于设计、布局和制造专用的、用户定制的 IC 的处理仍需要相当大的花费，对于那些只须制造少量用户所设计的 IC 的场合特别是如此。另外，周转时间(即：从最初设计到最终产品所需的时间)通常是相当长的，特别是，对于复杂电路设计来讲更是如此。对于电子和计算机产品而言，从开始设计到商品化，其要求是非常严格的。另外，对于用户设计的 IC 而言，有效改变其最初设计是非常困难的。它需要花费很多的时间、人力和物力来进行任意一个所需的改变。

从克服与用户 IC 相关的缺点的角度来看，在很多场合下，现场可编程门阵列(FPGA)提供了很吸引人的解决办法。简言之，所述的 FPGA 是一种标准的、高密度的、流行的 IC，它可以由用户进行编程以获得所需之结构。电路设计者首先规定所需的逻辑功能，然后对 FPGA 进行编程，以对输入信号进行处理。借此，以一种快速和有效的方式对所述的 FPGA 进行设计、鉴定和修改。在逻辑密度要求和产量的基础上，根据成本和到商品化所需时间，FPGA 是一个优良的替代品。

一个典型的 FPGA 通常由环绕可配置逻辑块的一个内矩阵的多个 I/O 块的一个外环组成。驻留于一个 FPGA 四周的所述 I/O 部件是用户可编程的，从而，使得每一块可以被单独编程，以作为一个输入端或输出端和也能够被作为三态部件。每个逻辑块通常包括一个可编程组合逻辑和多个存储寄存器。所述组合逻辑被用于根据它的输入变化执行布尔函数。所述寄存器通常是由一个逻辑块输入直接进行加载的，或是由一个组合逻辑进行加载的。

互连资源占据着由多个逻辑块形成的一个矩阵的行和列之间的通

道以及所述逻辑块和所述 I/O 块之间的通道。这些互连资源提供了一个灵活性以控制在所述芯片上两个指定点之间的互连。通常，金属线的网络在所述逻辑块的行和列中水平和垂直地走向。多个可编程开关把所述多个逻辑块和 I/O 块的输入和输出连接到这些金属线上。在行和列交点处的交点开关和转换开关被用于将信号从一条线转换到另一条线上。通常，多条很长的线被用于贯穿所述芯片的整个长度和/或宽度。

所述多个 I/O 块、多个逻辑块的功能和它们的相应互连都可以被编程。通常，这些功能是由存储在芯片上一个存储器内的配置程序加以控制的。所述配置程序是在加电时根据一个命令或作为初始化的一部分由一个微处理器进行编程从一个外部存储器自动加载的。

在 60 年代，Minnick 对 FPGA 的概念做了一个概括，他在下述文献中描述了作为可配置器件的单元和单元阵列的概念：“单元线性输入逻辑，最后的报告”，SRI Project 4122 Contract AF 19(628)-498,Stanford Research Institute,Menlo Park,California,AFCRL 64-6 DDC NO AD 433802(February 1964),作者：Minnick,R.C 和 Short,R.A；“Cobweb 单元阵列”,Proceedings AFIPS Fall Joint Computer Conference,Vol 27.PartIpp 327-341(1965),作者：Minnick R. C.;“单元逻辑，最后的报告”,SRI Project 5087 Contract AF 19(628)-4233,Stanford Research Institute,Menlo Park ,California AFCRL 66-613,(April 1966),作者：Minnick,R.C 等和“微单元研究的报告”,Journal of the Association for Computing Machinery,Vol.14,No 2,pp.203-241(April 1967),作者：Minnick,R.C 。除了以启动器件间的相互连接的基于存储器(例如，基于 RAM 的基于熔丝的或基于抗熔丝的)的方式以外，Minnick 还讨论了在相邻单元之间的直接连接和使用总线作为另一种路径的技术。Spandorfer (Stanford Research Institute Menlo Park,Calif.,)在 Construct AF 19(628)2907,AFCRL 64-66,DDC No.AD433802(November 1965)发表的文章“在一个集成电路的阵列上逻辑功能的合成”讨论了使用补偿 MOS 双向门作为在两个可以通过存储器装置和相邻单元互连被进行编程的互连线之间进行转换的装置。Wahlstrom,S.E 在 Electronics,Vol 40 No.25,11,Pp.90-95(December 1967)发表的文章“可编程逻辑阵列-极其廉价”中讨论了以具有在相邻单元之间进行直接连接和数据总线网络的相同单元的两维阵列的基于 RAM 的

可再配置逻辑阵列。

Shoup,(Carnegie-Mellon University,Pittsburgh,PA(March 1970))的
5 博士论文“可编程单元逻辑阵列”中讨论了可编程单元逻辑阵列、重申
了很多与 Minnick 相同的概念和专业术语,并概括地重述了 Wahlstrom
的阵列。根据 Shoup 的观点,相邻连接的概念从简单的 2-输入、1-输
出的最邻近连接扩展到了 8-邻近的 2 路连接。Shoup 还进一步讨论了
使用总线作为互连结构的一部分去改善一个阵列的功率和灵活性。对于
常规的邻近连接来讲,可以使用总线在特别长的距离上或在不方便的方向
10 向下传送信号。这在从阵列外部向其内部单元传送输入和输出的过程中
是特别有用的。

美国专利 NO 4,020,469 讨论了一种可以进行编程、测试和自修理
的可编程逻辑阵列。美国专利 NO 4,870,302 引入了一种不使用邻近直
接互连的粗粒(coarsegrain)结构,其中所有的编程连接是通过在一通道
结构中使用三组不同的总线而完成的。所述粗粒单元(称之为可配置逻辑
15 块或 CLB)包括所述 CLB 内部基于 RAM 的以逻辑表查询组合逻辑和触
发器,在这种场合下,用户所规定的逻辑必须被映射到在所述 CLB 内
部可以得到的功能上去。美国专利 NO 4,935,734 引入了一种在每个单
元内部被规定为“与非”(NAND)、“或非”(NOR)或类似简单的逻辑
功能的简单的逻辑功能单元。互连方案利用了直接邻近和定向总线连
20 接。美国专利 NO 4,700,187 和 4,918,440 规定了一个更加复杂的逻辑功
能单元,其中,可以得到“异或”和“与”功能和寄存器位(比特),并
可以在所述单元之内进行选择。较佳的连接方案是通过直接邻近连接。
使用双向总线进行连接也被包括在内。

当前的 FPGA 还有一些缺点。这些问题是由于使用了在制造厂家提
25 供的芯片上给定了大量晶体管的低级电路所引起的。电路的使用受到三
种因素的影响。第一种是在所述晶体管或细粒单元级用户很容易使用的
基本逻辑元件的功能和灵活性。第二种是简易性,就是要利用所述第一
种逻辑元件在电路区域受到最小浪费的情况下形成有意义的宏逻辑功
能。最后一个因素就是这些宏逻辑功能的互连以便有效的执行芯片级的
30 设计。上述的所述细粒单元结构利用基本逻辑元件向设计者提供了容易
使用的和灵活的逻辑功能。

但是,对于紧凑和复杂的宏功能和芯片级路径而言,把来自一个单

元输出的大量信号连接到其他单元输入所需的互连资源可能被很快地用尽,并且,就所使用的硅面积来讲,增加这些资源可能是非常昂贵的。其结果是,在细粒结构设计中,由于不可访问性,大部分单元或是被保留未被使用,或是所述单元被用做互连导线而不是用做逻辑。除了较低

5 的逻辑应用以外,这极大的增加了路径延迟,或者,必须大量的增加路径资源,从而导致电路尺寸的极大地增加。与扩展路径总线相耦合的所述粗粒结构允许对把一个 CLB 的信号输出连接到其它多个 CLB 的输入进行有效的改进。在所述 CLB 互连级中,利用率是很高的。但是,困难在于划分和映射复杂的逻辑功能以便将其装入所述的 CLB。如果所

10 述 CLB 内部的部分逻辑被保留未被使用,那么,所述 CLB 内部的利用率(每单元面积使用的门的有效数量)可能很低。

使用现有技术 FPGA 的另一个问题是由于通常每个逻辑块都被提供有固定数量的输入端和固定数量的输出端这样一个事实而引起的。如果出于偶然,使得一个特定逻辑块的所有输出端都被占用了,那么,这个逻辑块的其余部分也就变得没用了。

15

因此,在现有技术的 FPGA 中就需要一种新的结构,这种结构在使小片尺寸最小化的同时,可以最大限度的使用一个 FPGA。这种新的结构应当可以在最低逻辑元件级根据用户提出的功能和灵活性提供灵活性,在用户很容易利用基本逻辑块形成复杂逻辑功能的宏级提供每个单元面积的高密度,并最终在芯片级提供具有用于信号连接宏和基本逻辑元件的分级且均匀分布的路径网络的互连能力的高百分比。另外,新的结构还应当能够向用户提供具有一定数量可选择和可编程的用于单个逻辑块的输入和输出端的灵活性,和提供一个可以调节 FPGA 尺寸范围的可变规模结构。

20

本发明涉及到用于可编程逻辑电路,诸如现场可编程门阵列(FPGA)的逻辑结构和连接方案。这些可编程逻辑电路包括一定数量的、在输入信号上执行数字函数的单元。根据用户的特别设计,某些单元被编程互连到一个用以实现所需逻辑功能的特定结构上。

25

在当前的较佳实施例中,4个逻辑单元(2个输入、1个输出的逻辑门和1个D触发器)形成了一个逻辑群(即:一个2X2单元阵列),和4组群形成了一个逻辑块(即:一个4X4单元阵列)。在每个群内,具有一组被称之为内连矩阵(I-矩阵)的5个内连线,每一个与4个门的每一个

30

的输出和可连接到其它单元的输入的 D 触发器相连。在每个逻辑块内，每个群内的 I-矩阵可以通过一个传递门 (passgate) 扩展到一个相邻的群，以形成所述逻辑块内的连接(从而扩展互连范围)。在每个逻辑块内部，具有被称之为块连接器(BC)的相关访问线组。所述块连接器提供对那些相同逻辑块各个单元的访问及其间的可连接性。换言之，一个逻辑块的多个单元中每一个单元的每一个输入和输出端都可以被连接到与那个逻辑块相应的一组块连接器上。适当地使用 I-矩阵和相同逻辑块内的块连接器，一组信号可以被进行内部连接而不必使用该逻辑块以外的任何资源。一定数量的可编程开关被用于控制所述块连接器中的哪一些将被一起连接到所述逻辑块内多个单元的一组输入端和/或输出端上，以用于对当前逻辑块外部的信号进行外部访问连接。换言之，一个将被进行当前逻辑块以外的外部连接的逻辑块内的输入和/或输出端子被通过当前逻辑块内的块连接器进行访问或连接。

为了在各逻辑块之间传送信号，均匀分布的多级结构(MLA)路径网络被用于提供在各个块连接器之间的可连接性。利用可编程开关去控制第一级 MLA 路径网络线中的哪一些将被连接到一起。一些附加的可编程开关被用于控制所述块连接器中的哪一些将被连接到规定的第一级 MLA 路径线上。例如，多个开关可以被编程，以允许属于一个逻辑块的源单元被连接到属于不同逻辑块的目标单元。这是通过根据所述的距离，把所述源单元经过一个或多个块连接器连接到第一级 MLA、其它级 MLA、并向下通过递降级 MLA 级返回到所述第一级 MLA、最后通过目标单元的块连接器而实现的。借此，块连接器和第一级 MLA 路径网络提供了一个 8×8 单元阵列的可互连性，称为一个块群。

在本发明中，可以利用 MLA 路径网络附加级执行较大单元阵列的互连。例如，可以利用第二级 MAL 路径网络线实现被称为块区段的 16×16 单元阵列的互连，以提供各第一级 MLA 路径线之间的互连性，借此，以进行不同块群之间的连接。每级 MLA 具有相应数量的开关，用于提供那一级路径网络的可编程互连。附加开关转换网络被用于提供各级 MLA 之间的可连接性。

在一个实施例中，多个开关被用于提供两个不同组块连接器之间的可连接性。而且，可以包括开关以提供在一个 MLA 特定级的不同组 MLA 路径线之间的可连接性。这增加了传送的灵活性。

在本发明中，所有的 MLA 路径网络线都是双向的。所述的开关包括可编程双向传递门。对于增加数量的级，可能需要多个驱动器，以提供用于驱动所述路径线、传递门和相关负载等的必须的转换。在一个实施例中，所述开关被用于提供各组块连接器之间的可编程的可连接性。

- 5 可以利用多个附加开关去提供在第一级 MLA 各组之间的可编程的可连接性。对于较高级的 MLA 可以重复这个方案。

本发明借助于举例加以说明，但不受这些例子的限制。在附图中，相同的标号表示类似的元件。其中：

图 1 的方框图示出了可以实践本发明的现场可编程门阵列逻辑；

- 10 图 2A 示出了个别单元的一个例子；

图 2B 示出了个别单元的另一个例子；

图 3A 示出了一个逻辑群；

图 3B 示出了一个逻辑群的 I-矩阵内部连接向一个邻近逻辑群的扩展；

- 15 图 4A 示出了一个具有垂直块连接器的逻辑群的例子；

图 4B 示出了一个具有水平块连接器的逻辑群的例子；

图 5A 示出了一个到与一个逻辑块和级 1 MLA 转向点 (turn point) 相关的级 1 MLA 转换网络的 8 个块连接器；

图 5B 示出了一个级 1 MLA 转向点；

- 20 图 5C 示出了一个转换网络；

图 6 示出了用于一个块群的路径网络；

图 7A 示出了一个块区段的方框图；

图 7B 示出了级 1 到级 2 的 MLA 路径转换网络；

图 8A 示出了一个区段群；

- 25 图 8B 示出了级 2 到级 3 的 MLA 路径转换网络；

图 9 示出了一个用于在逻辑块和所述 MLA 级之间提供可连接性的分级的多级路径网络的实施例；

图 10 示出了另一个用于在逻辑块和所述 MLA 级之间提供可连接性的分级的多级路径网络的实施例；

- 30 图 11 的方框图示出了所述分级路径网络的一个实施例，其中，两组块连接器对多个相同的 MLA 线进行访问；

图 12 的方框图示出了部分多级路径网络，该网络包含多个到具有

MLA 插头的 MLA-3 级的块连接器以用于较高级的路径网络;

图 13 示出了一个 MLA-1 转向网络;

图 14 示出了一个 MLA-2 转向网络;

图 15 示出了一个 MLA-3 转向网络;

5 图 16 示出了一个用于 MLA-4 层的路径网络以及得以使所述 MLA-4 线被访问的一个机构的实施例;

图 17 示出了三个不同开关的实施例;

图 18 示出了一个用于 MLA-5 层的路径网络以及得以使所述 MLA-5 线被访问的一个机构的实施例。

10 下面, 描述用于可编程逻辑电路的结构和互连方案。在下面的描述中, 为了解释的目的, 作出了一些诸如组合逻辑、单元结构、单元数量等的详细规定, 以便提供对本发明的完整理解。但是, 对于本专业技术领域以内的技术人员来讲很明显, 没有这些详细规定照样可以实施本发明。在其它的一些例子中, 以方框图的形式示出了一些极为公知的结构和器件, 以避免不必要地使本发明变得难以理解。还应当注意, 本发明
15 与一些包括(但不限于)静态随机存取存储器(SRAM)、动态随机存取存储器(DRAM)、熔丝, 抗熔丝, 可擦可编程只读存储器(EPROM)、电可擦可编程只读存储器(EEPROM)、FLASH、和铁电工艺在内的各种工艺有关。

20 参看图 1, 标号 100 表示可以实现本发明的一个现场可编程门阵列逻辑的方框图。I/O 逻辑方框 102、103、111 和 112 提供在所述 FPGA 的外部插件端子和内部用户逻辑之间直接的或通过所述 I/O 到核心的接口 104、105、113 和 114 的多个接口。四个接口方框 104、105、113 和 114 提供核心 106 和 I/O 逻辑 102、103、111 和 112 之间的去耦合。
25 核心 106 包括通过 I - 矩阵 101 内连和通过 MLA 路径网络 108 互连的一定数量的群 107。

控制/编程逻辑 109 被用于控制对位线和字线进行编程的所有的位(比特)。对于抗熔丝或熔丝技术来讲, 施加高电压/电流以烧熔或连接一个熔丝。对于 EEPROM、FLASH 或铁电技术, 在编程周期之前有一个擦除周期, 编程周期用于对存储器位(比特)的逻辑状态进行编程。为
30 使失真最小化, 使用了单独的时钟/复位逻辑, 以在组的基础上提供时钟和复位线。

在当前的较佳实施例中，所述群 107 中的每一个都包含有被称之为一个逻辑群的 4 个单元的 2 X 2 分级结构。图 2A 和 2B 示出了各单元 200 和 250 的例子。单元 200 根据两个输入信号(A 和 B)执行多种逻辑功能，并提供一个输出信号 X。在当前的较佳实施例中，单元 200 包括一个 XOR 门 201、一个两输入 NAND 门 202 和一个两输入 NOR 门 203。但是应当注意，在其它实施例中，单元 200 还可以包括各种其它类型的门和/或它们的组合。单元 250 包括与 D 触发器 260 相耦合的单元 200。单元 200 的输出 X 可以被编程，以通过激活开关 218 直接连接到 D 触发器门 204 的数据输入端 D。所述数据输入端 D 可以被访问，以作为组合单元 250 的第三输入。

两个输入信号 A 和 B 中的每一个和 D 触发器的 D 输入可以根据开关 206-211 的状态被反向或不反向。激活开关 206、208 和 210 使得信号 A、B 和 D 被驱动器 212-214 以非反向形式驱动到门 201-204。激活开关 207、209 和 211 使输入信号 A、B 和 D 在传送给门 201-204 之前被反相器 215-217 反相。这六个开关可以根据用户的编程被单独的接通和关断。

注意，XOR 门 201、NAND 门 202 和 NOR 门 203 也可以通过把输出信号传送给下一级被用于执行 XNOR、AND 和 OR，借此，如上所述地使信号被反相。

三个开关 219-221 被分别耦合到三个门 201-203 的输出端。这三个开关再次被用户编程。借此，用户能够规定门 201-203 输出端的哪一个输出将被作为单元 200 的输出 X 传送给驱动器 224。

前述开关 206-211、218-221 由一个双向编程控制的传递门组成。根据控制信号的状态，这些开关或被导通(即：在信号线上传送信号)或被截止(即：不在信号线上传送信号)。在下面部分中描述的开关类似地由编程控制的传递门组成。

现在参看图 3A，该图示出了一个逻辑群 107。在当前的较佳实施例中，所述逻辑群 107 包括 4 个单元 301-304、一个 D 触发器 305、25 个开关 306-330 和 5 根内连线 331-335。内连线 331-335 和开关 306-330 形成了所述的 I-矩阵。该 I-矩阵提供了 4 个单元 301-304 中每一个的输出 X 以及 D 触发器 305 的输出 X 到其它 3 个单元和 D 触发器中每一个的至少一个输入端的互连性。例如，单元 303 的输出 X 可以通过启

动开关 306 和 307 连接到单元 302 的输入端 A。同样的, 单元 301 的输出 X 可以通过启动开关 306 和 310 连接到单元 303 的输入端 B。单元 301 的输出 X 可以通过启动开关 306 和 308 连接到单元 304 的输入端 A。单元 301 的输出 X 可以通过启动开关 306 和 309 连接到 D 触发器 305 的输入端 D。

类似的, 来自单元 302 的输出 X 可以通过启动开关 311 和 312 连接到单元 301 的输入 A。来自单元 302 的输出 X 可以通过启动开关 311 和 315 连接到单元 303 的输入端 A。来自单元 302 的输出 X 可以通过启动开关 311 和 313 连接到单元 304 的输入端 B。单元 302 的输出 X 可以通过启动开关 311 和 314 连接到 D 触发器 305 的输入端 D。

类似的, 来自单元 303 的输出 X 可以通过启动开关 326 和 327 连接到单元 301 的输入端 B。来自单元 303 的输出 X 可以通过启动开关 326 和 328 连接到单元 302 的输入端 A。来自单元 303 的输出 X 可以通过启动开关 326 和 329 连接到单元 304 的输入端 B。单元 303 的输出 X 可以通过启动开关 326 和 330 连接到 D 触发器单元 305 的输入端 D。

就单元 304 而言, 来自单元 304 的输出 X 通过启动开关 316 和 317 连接到单元 301 的输入端 B。来自单元 304 的输出 X 可以通过启动开关 316 和 318 连接到单元 302 的输入端 B。来自单元 304 的输出 X 可以通过启动开关 316 和 319 连接到单元 303 的输入端 A。来自单元 304 的输出 X 如图 2A 所示可以通过启动开关 218 连接到 D 触发器单元 305 的输入端 D。

就单元 305 而言, 它的输出可以通过启动开关 320 和 321 连接到单元 301 的 A 输入端; 通过启动开关 320 和 322 连接到单元 302 的 B 输入端; 通过启动开关 320 和 325 连接到单元 303 的 B 输入端; 通过启动开关 320 和 323 连接到单元 304 的 A 输入端; 和通过启动开关 320 和 324 连接到单元 305 自身的 D 输入端。

可以看到, 单元 301-304 和 D 触发器 305 的每一个输出都可以被连接到所述群内部它的相邻单元和/或触发器中每一个的输入端上。

在本发明当前的较佳实施例中, 每一个逻辑群都可以通过从每个逻辑块内部的相邻群扩展 I-矩阵的传递门开关连接到每个逻辑块内部的所有的其它逻辑群上。图 3 B 示出了逻辑群 107 的单元 301-304 和 D 触发器 305 的 I-矩阵内连线 331-335 经过传递门开关 336-355 向同一个逻辑

辑块内的相邻逻辑群 107 的扩展。

在本发明当前的较佳实施例中，每个逻辑块都可以被连接到所述 FPGA 的所有其它逻辑块上。这是通过实现一个具有多层互连的结构而实现的。重要的一点是要注意，这个多层路径结构是一个概念分级，而不是一个工艺或技术分级，因此，利用目前的硅处理技术是很容易实现的。互连的最底层被称之为“块连接器”。一组块连接器提供相关逻辑块(该块由 4 个逻辑群或 16 个单元组成)内部信号的访问和互连。借此，通过使用扩展的 I 矩阵和/或块连接器可以将同一个逻辑块内不同组的逻辑群连接到那个组内的其它逻辑群的任意一个上。再次将可编程双向传递门用做开关以向用户提供灵活性。

连接的下一级被称之为“多级结构(MLA)的级 1”路径网络。MLA 路径网络的级 1 提供多组块连接器之间的互连。可编程传递门开关被用于向用户提供选择哪一组块连接器将被连接的能力。然后，来自一个逻辑块组的第一逻辑块可以被连接到属于同一组的第二逻辑块上。适当的开关被启动，以把所述的第一逻辑块的块连接器连接到 MLA 路径网络级 1 的路径线上。MLA 路径网络的级 1 的适当开关被启动，以提供到第二逻辑块的块连接器到 MLA 路径网络的级 1 的路径线的连接。适当的开关被启动，以连接被连接到所述第一和第二逻辑块的块连接器上的 MLA 路径网络级 1 的路径线。另外，用户还具有附加的灵活性，以对任意给定逻辑块内部的各个开关进行编程，从而，执行任意逻辑块多个单元中每一个之间的所希望的内连。

连接的下一级被称之为“多级结构(MLA)的级 2”路径网络。MLA 级 2 提供到各 MLA 级 1 的互连以执行部件群的访问和连接。用户对双向传递门开关再一次进行编程，以执行所希望的连接。通过实现 MLA 路径网络的级 2，可以在较大量的逻辑块之间实现可编程的互连。

可以实现 MLA 路径网络的附加级，以提供用于逻辑块、部件群和块区段等的增加的个数和组的可编程的互连。基本上，本发明采用三维途径实现路径。信号在逻辑块的内连之间进行传送。然后，可以通过块连接器对这些信号进行访问并根据所述块连接器的编程连接进行传送。如果需要，信号可以被“升高”到 MLA 的级 1，经过 MLA 路径网络的级 1 进行传送，“下降 (de-elevated)”到适当的块连接器，然后传送给目标逻辑块。

如果需要 MLA 路径网络的级 2，某些信号将第二次从级 1 MLA 路径网络线升高到或直接升高到 MLA 路径网络的级 2，以传送到不同组的级 2 MLA 路径网络线，和从级 2 MLA 路径网络线“下降”到级 1 MLA 路径网络线。在此基础上，所述信号被第二次“下降”，
5 以将信号从 MLA 的级 1 传送给目标逻辑块的适当的块连接器。另外，可以直接实现所述的“升高”而不必经过 MLA 路径网络的级 1。根据 FPGA 的尺寸和密度，在一个必须的基础上，对级 3，4，5 等的 MLA 执行这个同样的方法。使用上面所讨论的方法可以实现个别的级 n MLA 以实现具有给定单元阵列计数的 FPGA。

10 图 4A 示出了在一个逻辑块内一个逻辑群和相关垂直块连接器的例子。在当前的较佳实施例中，一个逻辑群内的每一个单元的输入都可以从两个垂直块连接器所获得，并且，一个逻辑群内所述单元的每个输出都可以为两个垂直块连接器所获得。例如，单元 301 的输入 A 可以通过开关 467、462 分别为垂直块连接器 451(BC-V11)和 453(BC-V21)所
15 获得。单元 301 的输入 B 通过开关 466、468 分别为垂直块连接器 452(BC-V12)和 454(BC-V22)所获得，单元 301 的输出 X 通过开关 460、459 分别为垂直块连接器 455(BC-V31)和 458(BC-V42)所获得。单元 302 的输入 A 通过开关 463、464 分别为垂直块连接器 453(BC-V21)和 455(BC-V31)所获得，单元 302 的输入 B 通过开关 469、470 分
20 别为垂直块连接器 454(BC-V22)和 456(BC-V32)所获得，单元 302 的输出通过开关 461、465 分别传送给垂直块连接器 452(BC-V12)和 457(BC-V41)。单元 303 的输入 A 通过开关 485、476 分别为垂直块连接器 451(BC-V11)和 453(BC-V21)所获得，单元 303 的输入 B 通过开关 480、476 分别为垂直块连接器 452(BC-V12)和 454(BC-V22)所获得，
25 单元 303 的输出 X 通过开关 472、471 分别传送给垂直块连接器 455(BC-V31)和 458(BC-V24)。单元 304 的输入 A 通过开关 477、478 分别为垂直块连接器 453(BC-V21)和 455(BC-V31)所获得，单元 304 的输入 B 通过开关 482、484 分别为垂直块连接器 454(BC-V22)和 456(BC-V32)所获得，单元 304 的输出 X 通过开关 475、474 分别被传
30 送给垂直块连接器 452(BC-V12)和 457(BC-V41)。D 触发器单元 305 的输入通过开关 473、479 分别为垂直块连接器 454(BC-V22)和 455(BC-V31)所获得，单元 305 的输出 X 通过开关 483、486 分别传送给垂直块

连接器 452(BC-V12)和 457(BC-V41)。

图 4B 利用类似的方式示出了与图 4A 所示水平块连接器和逻辑群集器相应的可能连接。单元 301 的输入 A 通过开关 409、413 分别为水平块连接器 402(BC-H12)和 404(BC-H22)所获得，单元 301 的输入 B 通过开关 415、416 分别为水平块连接器 401(BC-H11)和 403(BC-H21)所获得，单元 301 的输出 X 通过开关 421、428 分别传送给水平块连接器 405(BC-H31)和 408(BC-H42)。单元 302 的输入 A 通过开关 411、414 分别为水平块连接器 402(BC-H12)和 404(BC-H22)所获得，单元 302 的输入 B 通过开关 433、417 分别为水平块连接器 401(BC-H11)和 403(BC-H21)所获得，单元 302 的输出 X 通过开关 418、424 分别传送给水平块连接器 405(BC-H31)和 408(BC-H42)。单元 303 的输入 A 通过开关 419、426 分别为水平块连接器 404(BC-H22)和 406(BC-H32)所获得，单元 303 的输入 B 通过开关 420、425 分别为水平块连接器 403(BC-H21)和 405(BC-H31)所获得，单元 303 的输出 X 通过开关 410、427 分别传送给水平块连接器 402(BC-H12)和 407(BC-H41)。单元 304 的输入 A 通过开关 422、430 分别为水平块连接器 404(BC-H22)和 406(BC-H32)所获得，单元 304 的输入 B 通过开关 423、429 分别为水平块连接器 403(BC-H21)和 405(BC-H31)所获得，单元 304 的输出 X 通过开关 412、434 分别传送给水平块连接器 402(BC-H12)和 407(BC-H41)。D 触发器单元 305 的输入通过开关 436、431 分别为水平块连接器 403(BC-H21)和 406(BC-H32)所获得，单元 305 的输出 X 通过开关 432、435 分别传送给水平块连接器 401(BC-H11)和 408(BC-H42)。

图 4A 和 4B 示出了在当前的较佳实施例中对一个逻辑块内左上角(NW)的逻辑群所采用的垂直和水平块连接器的访问方法。对于垂直块连接器，左下角(SW)的群具有与 NW 群相同的访问方法。对于垂直块连接器，除了垂直块连接器的访问顺序被移动以外，右上角(NE)群的访问方法与 NW 群的访问方法相类似。垂直块连接器 451-458 可以看成是被链锁在一起以作为一个柱体(451、452、...、458)。任何移动，例如移动 4 个，都将形成一个新的顺序:(455、456、457、458、451、452、453、454))。如果在如图 4A 所示的 NW 群中，不是利用单元 301 以对垂直块连接器 451 和 453 进行访问开始的，那么，NE 群中的单元 301

可以为 VBC 455 和 457 所访问。被“移动的数量”为 4。右下角(SE)群到所述 VBC 的访问方法与 NE 群的方法相同。

类似的，对 NW 群的水平块连接器的访问方法与对 NE 群的访问方法相同，并且，SW 群的同于 SE 群的，同时，和对 NW 群的访问相比较，对 SW 群集器的水平块连接器的访问被移动了 4 个。

在当前的较佳实施例中，每个逻辑块(即：4 个群，或一个 4 X 4 单元阵列)使用 16 个块连接器。附加的级 1 MLA 路径网络允许用于一个块群(一个 8 X 8 单元阵列)的互连。增加级 2 MLA 路径网络增加了到块区段(16 X 16 单元阵列)的互连性。MLA 路径网络的附加级使块区段的数量增加 3 倍，同时，在所述 MLA 路径网络中每个线的长度(或扩展)增加 1 倍。在级 2 MLA 中路径线的数量增加 1 倍；由于块区段的数量增加了 3 倍，所以，在每个单元面积基础上，在分级的下一级内路径线的数量实际上减少了二分之一。

图 5A 示出了具有相关 16 个块连接器的一个逻辑块和与该逻辑块相关的级 1 MLA 路径网络。所述 16 个块连接器 501-516 用加重线表示，而 16 个级 1 MLA 路径网络线 517-732 用较浅的线表示。注意，块连接器的长度或跨度结束于所述逻辑块之内，而级 1 MLA 路径网络线的长度扩展到相邻的多个逻辑块(所述块连接器长度的两倍)。

块连接器和级 1 MLA 路径网络线被细分成水平和垂直组：垂直块连接器 501-508、水平块连接器 509-516、垂直级 1 MLA 路径网络线 517-524、和水平级 1 MLA 路径网络线 525-532。

在当前的较佳实施例中，共有 24 个级 1 MLA 转向点，用于所述逻辑块内的 16 个级 1 MLA 路径网络线。在图 5A 中，这 24 个转向点用空心点 541-564 表示。

一个 MLA 转向点是一个可编程的双向传递门，用于提供一水平 MLA 路径网络线和一垂直 MLA 路径网络线之间的互连。例如，启动级 1 MLA 转向点 541 使得水平级 1 MLA 路径网络线 526 和垂直级 1 MLA 路径网络线 520 被彼此连接到一起。图 5 B 示出了级 1 MLA 转向点 541。开关 583 控制所述级 1 MLA 路径网络线 526 是否被连接到级 1 MLA 路径网络线 520 上。如果开关被启动，那么，级 1 MLA 路径网络线 526 被连接到级 1 MLA 路径网络线 520 上。否则，线 526 将不被连接到线 520 上。用户可以对开关 583 进行编程。所述多个转向点被设置

成成对的组，用于通过启动所述开关首先把两个或多个块连接器经过所述的块连接器连接到级 1 MLA 交换网络和然后连接所选择的级 1 MLA 路径线以提供转换访问。所述级 1 MLA 线被用于连接这些块连接器，所述块连接器位于同一个块群内的各个逻辑块之内。

- 5 参看图 5A，该图示出了用于每一个逻辑块的、到级 1 MLA 交换网络 533-540 的 8 个块连接器。该交换网络进行工作以在用户编程时将某些块连接器连接到级 1 MLA 线上。图 5C 详细地示出了所述的交换网络 537。到级 1 MLA 传送交换网络的块连接器具有 8 个驱动器 575-582。这 8 个驱动器被用于提供用于所述块连接器 501、502 以及级 1 MLA 线 517、518 的双向驱动。例如，启动开关 565 使得块连接器 501 上的信号可以被驱动器 575 从级 1 MLA 线 517 驱动。启动开关 566 使得在级 1 MLA 线 517 上的信号可以被驱动器 576 从块连接器 501 驱动。启动开关 567 使得块连接器 501 上的信号可以被驱动器 577 从级 1 MLA 线 518 驱动。启动开关 568 使得级 1 MLA 线 518 上的信号可以被驱动器 578 从块连接器 501 驱动。

- 15 类似的，启动开关 569 使得块连接器 502 上的信号可以被驱动器 579 从级 1 MLA 线 517 驱动。启动开关 570 使得级 1 MLA 线上的信号可以被驱动器 580 从块连接器 502 驱动。启动开关 571 使得在块连接器 502 上的信号可以被驱动器 581 从级 1 MLA 线驱动。启动开关 572 使得在级 1 MLA 线 518 上的信号可以被驱动器 582 从块连接器 502 驱动。开关 573 被用于控制一个信号是否要从一个块连接器 501 传送给属于相邻逻辑块的相邻块连接器 584。

同样，开关 574 被用于控制一个信号是否要从一个块连接器 502 传送给属于相邻逻辑块的相邻块连接器 585。

- 25 图 6 示出了一个用于块群的路径网络。所述的块群基本上包括可以由级 1 MLA 交换网络 533-540 进行互连的 4 个逻辑块。可以看到，这里具有 32 个级 1 MLA 路径网络线。

- 图 7A 示出了一个块区段的方框图。所述块区段包括 4 个块群 701-704。如上所述，利用块连接器和级 1 MLA 路径网络线进行块群的互连。另外，所述块区段还包括 64 个级 2 传送网络线和 64 个级 2 到级 1 的交换网络，用于提供级 1 MLA 路径网络和级 2 MLA 路径网络之间的互连性。所述的级 1 到级 2 MLA 路径交换网络在图 7 中用矩形表示。

另外,还具有 48 个与所述块区段内的 4 个逻辑块中的每一个相关的级 2 MLA 转向点。因此还具有与所述的块区段相关的 192 个级 2 MLA 转向点。

图 7B 示出了一个级 1 到级 2 MLA 路径交换网络 705 的实例。可以看到, 开关 710 被用于控制一个信号是否将在级 1 MLA 线 709 和级 2 MLA 线 708 之间通过。开关 711 被用于控制一个信号是否将在级 1 MLA 线 709 和级 2 MLA 线 707 之间通过。开关 712 被用于控制一个信号是否将在级 1 MLA 线 706 和级 2 MLA 线 708 之间通过。开关 713 被用于控制一个信号是否将在级 1 MLA 线 706 和级 2 MLA 线 707 之间通过。开关 714 被用于控制一个信号是将从一个级 1 MLA 线 709 传送给属于相邻块群的相邻级 1 MLA 线 716。同样, 开关 715 被用于控制一个信号是否将从一个级 1 MLA 线 706 传送给属于相邻块群的相邻级 1 MLA 线 715。

图 8A 示出了一个区段群。该区段群包括具有它们相关块连接器的 4 个块区段 801-804、级 1 和级 2 MLA 路径网络线和交换网络。另外, 还具有 128 个级 3 MLA 路径网络线, 用于提供属于同一区段群 800 内不同块区段 801-804 的级 2 MLA 线之间的互连性。还具用于块区段 801-804 中的每一个并与级 3 MLA 线相关的 96 个级 3 MLA 转向点(即: 对于所述区段群来讲具有 384 个级 3 MLA 转向点)。另外, 还具有与 4 个块区段 801-804 中的每一个相关的 32 个级 2 到级 3 MLA 路径交换网络。因此, 具有总数为 128 的级 3 MLA 路径交换网络, 用于提供各个级 2 和级 3 MLA 线之间的可编程互连。

图 8B 示出了一个级 2 到级 3 MLA 路径交换网络 805 的例子。可以看到, 启动开关 810 使得级 2 MLA 线 808 上的信号被连接到级 3 MLA 线 806 上。不启动开关 810 将禁止从级 3 MLA 线 806 连接到级 2 MLA 线 808。启动开关 811 使得级 2 MLA 线 808 上的信号被连接到级 3 MLA 线 807 上, 不启动开关 811 将禁止从级 3 MLA 线 807 连接到级 2 MLA 线 808。类似的, 启动开关 812 使得级 2 MLA 线 809 上的信号被连接到级 3 MLA 线 806 上, 不启动开关 812 将禁止从级 3 MLA 线 806 连接到级 2 MLA 线 809 上。启动开关 813 使得级 2 MLA 线 809 上的信号被连接到级 3 MLA 线 807 上, 不启动开关 813 将禁止从级 3 MLA 线 807 连接到级 2 MLA 线 809 上。

在本发明中，通过增加附加逻辑区段群可以实现较大和较强的FPGA，所述的附加逻辑区段群通过具有相应 MLA 转向点和交换网络的 MLA 路径网络的附加级进行连接。

在本发明的一个实施例中，5个I-矩阵线(331-335)中的每一个都可以被扩展，以提供属于两个不同群的两个相邻 I-矩阵线之间的可连接性。图 3B 中的传递门开关 336-340、341-345、346-350 和 351-355 是 4 个不同组 I-矩阵线扩展的例子。这对于不必经过块连接器而在两个相邻群之间传送信号的能力进一步提供了灵活性。

类似的，块连接器可以被扩展以提供属于两个不同逻辑块的两个相邻块连接器之间的可连接性。图 5C 的开关 573 示出了这种把块连接器 501 经过开关 573 连接到块连接器 584 的块连接器的扩展。由于在两个相邻逻辑块之间不必经过级 1 MLA 线和相关的 MLA 交换网络就可以传送信号，所以，这进一步增加了灵活性。这个概念可以被类似的应用于级 1 MLA 线等。图 7B 的开关 714 示出了一个例子，其中，通过启动的开关 714 使级 1 MLA 线 709 被扩展以与级 1 MLA 线 716 的连接。由于不必经过级 2 MLA 线和相关的 MLA 交换网络就可以在两个相邻块群之间传送信号，所以，这进一步提供了灵活性。

图 9 示出了一个用于在所述多个逻辑块和所述多个 MLA 级之间提供传送性能的分级的多级路径网络。这里一共示出了 8 个逻辑块 901-908。与逻辑块 901-908 中的每一个相关的是多个块连接器，在当前的较佳实施例中，具有与逻辑块 901-908 中的每一个相关的 8 个水平的和 8 个垂直的块连接器。为了清楚和容易理解，利用一个单一的线来表示与一个单独的逻辑块相关的块连接器(即：块连接器 909-916 分别对应于逻辑块 901-908)和仅示出了水平块连接器。

接下来，所述块连接器 909-916 每一个分别被耦合到可编程双向驱动器 917-924 上。然后，块连接器 909-916 可以被编程，以被双向耦合到所述 MLA 线 925-928 上。例如，交换网络 917 可以被编程以把逻辑块 901 的多个块连接器 909 中的一个耦合到所述 MLA - 1 线 925 上。附加的可编程双向驱动器 929-932 被用于提供所述 MLA-1 线 925-928 和下一个 MLA 级、MLA-2 线 933-934 之间的互连。可编程双向驱动器 935-936 有选择地提供所述 MLA-2 线 933-934 和 MLA-3 线 937 之间的互连。对于附加的多 MLA 级可以重复这些分级互连方法。

图 10 示出了另外一个用于在所述多个逻辑块和所述多个 MLA 线之间提供可连接性的分级的多级路径网络的实施例。除了所述块连接器被直接地连接到所述多个 MLA 级和旁路任一介入的 MLA 级以外，这个实施例类似于图 9 所示的路径网络的实施例。该图示出了 8 个逻辑块 1001-1008。与每个逻辑块相关的是多个块连接器 1009-1016。可编程的双向驱动器 1017-1024 被用于有选择地将块连接器 1009-1016 耦合到块连接器接头 1025-1032 上。块连接器接头 1025-1032 被用作多个结合点，从这些结合点可以执行到多个 MLA 层的连接。

可编程双向驱动器组(1033-1035)、(1036-1038)、(1039-1041)、(1042-1044)、(1045-1047)、(1048-1050)、(1051-1053)、(1054-1056)分别多应于块连接器插头 1025-1032。这些驱动器组中的每一个使它们各自的逻辑块被连接到 MLA-1 线 1061、MLA-2 线 1062、或 MLA-3 线 1063 上的任一个，而不需要使它通过任意一个介入的 MLA 线。例如，通过有选择地激活驱动器 1017 和 1033，可以使逻辑块 1001 被连接到 MLA-1 线 1061 上。通过有选择地激活驱动器 1017 和 1034，可以使逻辑块 1001 被连接到 MLA - 2 线 1062 上。注意，在这个实施例中，所述逻辑块 1001 可以在不必首先连接到 MLA-1 线 1061 的情况下连接到 MLA-2 线 1062 上。还有，通过有选择地激活驱动器 1017 和 1035，可以使逻辑块 1001 连接到 MLA-3 线 1063 上。注意，在这个实施例中，逻辑块 1001 不需要被连接到 MLA-1 或 MLA-2 层以使它被连接到 MLA-3 层上。通过将该逻辑块直接地连接到所希望的 MLA 层上，整个传送网络的速度被改善了。再有，通过直接连接两个或多个相邻逻辑块，可以增加速度和路径灵活性。借此，相邻的逻辑块可以进行通信而不必经过所述 MLA 层中任意一个。例如，逻辑块 1001 和 1002 可以通过可编程双向驱动器 1057 连接到一起；逻辑块 1003 和 1004 可以通过驱动器 1058 连接到一起；和逻辑块 1005-1007 可以通过驱动器 1059-1060 连接到一起。这个分级路径方法可以很容易的是任意数量的逻辑块和 MLA 层。另外，可以包括一个传递门 1064，用于将与逻辑块 1002 相应的块连接器 1010 耦合到与逻辑块 1003 相应的块连接器 1011。

图 11 的方框图示出了分级路径网络的一个实施例，其中，两组块连接器对同样的 MLA 线进行访问。该图示出了第一组逻辑块 1101-1104 和第二组逻辑块 1105-1108。第一组逻辑块 1101-1104 可以经过块连接

器插头 1113-1116 有选择地连接到 MLA-1 层 1109 和 1121, MLA-2 层 1110, MLA-3 层 1111, 和 MLA 插头 1112。类似的, 第二组逻辑块 1105-1108 可以经过它们各自的块连接器插头 1117-1120 有选择地连接到 MLA-1 层 1109 和 1121, MLA-2 层 1110, MLA-3 层 1111 和 MLA 插头 1112。

图 12 的方框图示出了部分多级路径网络(未示出 I-矩阵), 该网络部分包括用于较高级路径网络的、到具有 MLA 插头的 MLA-3 级的多个块连接器。图 12 示出了一组块连接器与在水平方向上和它对应的 MLA 较高级的互连。还具有一个相应垂直组的路径网络, 用于所述块连接器和相关 MLA 的互连。在图 12 中未示出这个垂直组, 以避免使本发明变得不清楚。注意, 对于所述 FPGA 的每一个块连接器和相关的 MLA, 都具有所述路径网络的相应拷贝。

图 12 示出了 32 个块 1201-1232。除了与两个 BC 插头(即, 一个水平的和一个垂直的插头)相关以外, 每一个部件还与个别的和相邻的部件相关。块连接器 1201-1232 的每一个通过一个可编程的开关被耦合到两个可选择的 BC 插头上。例如, 块连接器 1201 通过可编程开关 1234 被耦合到可选择的 BC 插头 1233 上。没有示出与所述第一 BC 插头组相垂直的第二插头组。类似的 BC 插头互连方案可以被用于块连接器 1217-1232(水平和垂直的)。对于每一个 BC 插头, 还具有可以连接到所述 MLA - 1 传送线上的多个双向可编程驱动器。例如, BC 插头 1233 可以经过驱动器 1236 被选择性地连接到 MLA - 1 路径线 1235 上。这些驱动器既可以和相应的 BC 插头平行, 又可以和它们相互垂直。在当前的较佳实施例中, 对于每一个块连接器来讲, 由于具有一个相应的 MLA-1 线加上与所述第一 MLA 线相互垂直的另外一个 MLA-1 线, 所以, 所述 MLA-1 线的数量是块连接器数量的二分之一。每一个 MLA 线可以利用可编程装置通过它们相应的 BC 插头连接到相应的块连接器、 MLA-2 和 MLA-3 线。注意, 所述的 MLA-1 路径网络和所述的 I-矩阵以及块连接器一起形成了所述的 2 X 2 块区域内的路径资源。这种格式增进了对多个单元进行访问和互连的更加复杂逻辑功能的形成。另外, 除了 I-矩阵线和块连接器以外, 所述 MLA-1 路径网络也变成了一个附加的可双向编程的路径线, 该路径线可以被用做一个访问端口, 以用于通过利用其它 MLA 线的连接, 或用来自所述 2 X 2 块区域以外的的多个块连接

器执行一个更加复杂的逻辑功能。通过使用可编程的开关,所述 I-矩阵线和块连接器可以被有选择地进行访问而不必和所述 2 X 2 块区域相邻或相应。因此,当所述增长是从一个部件到 2 X 2 的部件时,包括 I-矩阵线、块连接器和 MLA-1 线在内的路径段的数量呈几何级数增长。

- 5 对于每个 BC 插头来讲,具有多个可以被连接到所述 MLA -2 路径线的双向可编程驱动器。例如,块连接器的插头 1233 可以通过驱动器 1238 连接到 MLA-2 线 1237 上。所述的 MLA-2 线可以平行于或垂直于相应的 BC 插头。在当前的较佳实施例中,所述 MLA-2 线的数量是所述 MLA-1 线数量的一半。每个 MLA-2 线通过可编程装置被连接到相应
- 10 的块连接器、MLA-1 线上和通过相应的 BC 插头连接到 MLA-3 线上。所述的 MLA-2 路径网络和 I-矩阵线、块连接器和 MLA-1 路径网络一起形成了 4 X 4 块区域内的路径资源,用于更加复杂的逻辑功能连接访问和用于进行所述多个单元的互连。在这种情况下,所述 MLA-2 路径网络与所述 I-矩阵线、块连接器和 MLA-1 线一起变成了附加的双向可编
- 15 程访问线,该访问线可以被用做访问端口,用于通过和来自所述 4 X 4 块区域以外的其它 MLA 线或块连接器的连接实现更加复杂的逻辑功能。借助于可编程的开关,所述的访问不必非得是与所述 4 X 4 块区域相邻或相应的。在 4 X 4 块单元内包括 I-矩阵线、块连接器、MLA-1 线和 MLA-2 线在内的路径段的总数与逻辑单元的增加呈正比增长。当
- 20 开始从 4 X 4 部件增长时,总数的增加是一个几何级数。类似的,对于每个 BC 插头来讲,具有多个可以被连接到 MLA-3 路径线的双向可编程驱动器。例如,BC 插头 1233 可以通过驱动器 1240 被连接到所述 MLA-3 线 1239 上。所述的 MLA-3 线可以平行或垂直(例如,水平和垂直)于相应的 BC 插头。在当前的较佳实施例中,所述 MLA-3 线的数量
- 25 是所述 MLA-2 线数量的一半。每一个 MLA-3 线可以利用可编程装置通过相应的 BC 插头连接到相应的块连接器、MLA-1 和 MLA-2 线上。所述 MLA-3 路径网络和 I-矩阵线、块连接器、MLA-1 路径网络和 MLA-2 路径网络一起形成了 8 X 8 块区域内的路径资源,用于更加复杂的逻辑功能连接访问和所述单元的互连。除了 I-矩阵线、块连接器、MLA-1
- 30 线和 MLA-2 线以外,所述的 MLA-3 路径网络也变成了多个附加的双向可编程的访问线,这些访问线可以被用做访问端口,用于利用可编程装置通过其它 MLA 线或块连接器的连接实现更加复杂的逻辑功能,所

述的块连接器位于所述 8×8 块区域的外部并不必与所述的 8×8 块区域相邻或相应。因此，在一个 8×8 块单元中包括所述 I-矩阵线、块连接器、 MLA-1 线、 MLA-2 线和 MLA-3 线在内的路径段的总数随着逻辑单元的增加而成正比增加。当增长是从一个块到 8×8 个块时，这个增加是一个几何级数。另外，对于每个 BC 插头来讲，具有可以被连接到 MLA 插头的多个双向可编程驱动器。例如， BC 插头 1233 可以通过驱动器 1242 连接到 MLA 插头 1241 上。 MLA 插头既可以与相应的 BC 插头相互平行，也可以与其相互垂直。每一个双向可编程驱动器(即，驱动器 1236、 1238、 1240、 1242 等)可以通过可编程装置控制的传递门；具有由可编程装置进行控制的传递门的双向驱动器；在一个方向上通过可编程装置控制的一个三态门和具有通过可编程装置控制的传递门的传递门或驱动器；或者在相反的方向上由可编程装置进行控制的两个三态门之一。这种选择是根据速度和密度要求的一个函数。

在一个实施例中，每一个块连接器和 BC 插头都具有到相邻块的扩展。例如，块连接器 1201 通过可编程开关 1243 可以被连接到块 1202 上。 BC 插头 1244 可以通过可编程开关 1246 被连接到 BC 插头 1245 上。应当注意，可以实现对 MLA 线的附加扩展，以便在不使用较高级 MLA 线的情况下扩展路径范围。图 12 所示的路径网络可以有多种变化。例如，为了增加路径资源和传送能力，可以通过制造两个所述 MLA-2 路径网络的拷贝来取代所述 MLA-1 路径网络。另一方面，如果目的是要使路径面积最小化，那么，一个实施例通过使用所述 MLA-2 路径网络的一个拷贝来取代所述 MLA-1 路径网络，可以使编程位(比特)的数量最小化。这种变化可以用于其它级的混合。另外一个实施例将移动一个或多个所述 MLA 线。例如在图 12 中，所述 1247 可以被 BC 插头 1245、 1248、 1249 和 1250 访问。所述 MLA-1 线 1247 可以移动 4 个块，从而变成可由 BC 插头 1248、 1251、 1250 和 1252 进行访问。所有其它的 MLA 线都可以被如此地移动。这还可以被应用于其它的 MLA 线上。

图 13 示出了一个 MLA-1 转向网络。该图示出了 4 个逻辑块 1301-1304。这 4 个逻辑块被连接到所述 MLA - 1 线组 1305-1308 的每一个上。所述 MLA - 1 线中的每一个都可以通过一个可编程装置(例如，转向点 1309)被连接到除相应的一个垂直 MLA - 1 线以外的所有垂直 MLA - 1 线上。例如，水平 MLA - 1 线 1310 可以通过转向点 1312

被连接到垂直 MLA 线 1311 上。MLA-1 线的目的是将位于所述 MLA-1 路径网络区域内的块连接器组连接到一起。如图 13 所示, 在连接一个 4 - 块区域内的相应块连接器的情况下, 可以利用所述的块连接器扩展或利用一个 BC 插头通过转向点连接到相应 MLA 线的一个线上, 而不必求助使用两个垂直 MLA-2 线。在一个实施例中, 转向点的数量被减少。这限制了转向灵活性, 但也减少了设计所述 MLA 线和所述区域所需要的负担。但是路径的灵活性及可连通性受到影响。

图 14 示出了一个 MLA-2 转向网络。如所看到的, 每一个 MLA - 2 线都可以通过可编程装置被连接到与所述 MLA-2 线相互垂直的每一个 MLA-2 线上。例如, 垂直 MLA-2 线 1401 可以通过转向点 1403 被连接到水平 MLA-2 线 1402 上。在另外一个实施例中, 通过减少所述转向点的数量可以进一步限制所述的转向灵活性。这可以减少设计所述 MLA 线和所述区域所需要的负担。但是路径的灵活性及可连通性受到影响。

图 15 示出了 MLA-3 转向网络。每一个 MLA-3 线都可以通过可编程装置被连接到所有的垂直 MLA-3 线上, 例如, 垂直 MLA-3 线 1501 可以通过转向点 1503 被连接到水平 MLA-3 线 1502 上。通过减少转向点的数量可以进一步限制所述转向灵活性。这将减少设计所述 MLA-3 线和所述区域所需要的负担。但是路径的灵活性及可连通性受到影响。

图 16 示出了一个用于 MLA-4 层和一个使所述 MLA-4 层得以被访问的机制的路径网络的实施例。该图示出了 4 个 8 X 8 块 1621-1624(总数为 16 X 16 个块)。与这 4 个 8 X 8 部件 1621-1624 相关的是 4 个水平的和 4 个垂直的 MLA 插头组。在当前的较佳实施例中, 所述 MLA-4 线和 MLA 插头是 8 位(比特)宽。由于每个块都具有 8 个相应的块连接器, 所以, 所示出的每个 MLA 插头都具有 8 个线宽度, 其中的每一个线对应于 8 个块连接器中的一个, 如较早在图 12 中所示的那样。在当前的实施例中, 共有 4 个垂直的和 4 个水平的 MLA-4 线, 其中的每一个都具有 8 个线宽。由此, 所述 MLA-4 线的数量是所述 MLA-3 线数量的四分之一。每个 MLA-4 线都可以通过可编程装置被连接到相应的块连接器、MLA-1、MLA-2 和 MLA-3 线上。通过相应的 MLA 插头和 BC 插头可以进行所希望的连接。所述的 MLA-4 路径网络和所述 I-矩阵线、块连接器、MLA-1 路径网络、MLA-2 路径网络和 MLA-3 路径网

络一起形成了一个 16×16 块区域内的路径资源，用于更加复杂的逻辑功能连接访问和所述单元的互连。在一个实施例中，除了所述 I-矩阵线、块连接器、MLA-1 线、MLA-2 线和 MLA-3 线以外，所述的 MLA-4 路径网络也变成了多个附加的双向可编程访问线，它们可以被用做多个访问端口，以用于通过可编程装置利用由来自所述 16×16 块区域以外的块连接器的其它 MLA 线进行的连接执行更加复杂的逻辑功能。这些其它的 MLA 线或块连接器不必和所述的 16×16 块区域相邻或相应。包括 I-矩阵线、块连接器、MLA-1 线、MLA-2 线、MLA-3 线和 MLA-4 线在内的路径段的总数量随逻辑单元数量的增加成正比增长。当所述增长是从一个块到 16×16 块时，在尺寸方面的增加呈几何级数。相应的 MLA-4 线可以从每一个 MLA 插头通过一个开关连接到所述 MLA 插头上。例如，MLA 插头 1601 可以通过开关 1603 被连接到 MLA-4 线 1602 上。类似的，MLA 插头 1601 可以通过开关 1605 连接到 MLA-4 线 1604 上；通过开关 1607 连接到 MLA-4 线 1606 上；通过开关 1609 连接到 MLA-4 线 1608 上。同样，MLA 插头 1610 可以通过开关 1615-1618 分别连接到 MLA 线 1611-1614 上。在 4 个角的任意一个角内的每一个 MLA 插头都可以利用可编程装置通过所述垂直或水平 MLA-4 线连接到所有 4 个角内的所有的相应 MLA 插头上。

图 17 示出了三个不同的开关实施例 1701-1703。通常，这种开关是一种简单的双向传递门的双向可编程驱动器网络，或是双向驱动器结构 1701-1703 中的任意一个。

图 18 示出了一个用于 MLA-5 层和对所述 MLA-5 层进行访问的一种机制的路径网络的实施例。该图示出了 16 个 8×8 块。与该 8×8 个块中每一个块相关的是 4 个水平的和 4 个垂直的 MLA 插头，这些 MLA 插头与在图 16 中示出的 MLA 插头相同。当这 16×16 个块(如图 16 所示)被分组成一个单元时，形成了由 32×32 个块组成的下一个较高级。与 16×16 个角单元中的每一个相关的是 4 个水平的和 4 个垂直的 MLA-5 线，其中的每一个都具有 8 位宽。如图 18 所示，这些线由相邻的角单元共享。由此，MLA-5 线的数量是 MLA-4 线数量的一半。每个 MLA-5 线都可以利用可编程装置通过相应的 MLA 插头和 BC 插头连接到相应的块连接器、MLA-1、MLA-2、MLA-3 和 MLA-4 线上。所述 MLA-5 路径网络和 I-矩阵线、块连接器、MLA-1 路径网络、MLA-2

路径网络、 MLA-3 路径网络和 MLA-4 路径网络一起形成了 32 X 32 块区域的路径资源，用于更加复杂的逻辑功能连接访问和所述单元的互连。另外，除了 I-矩阵线、块连接器、 MLA-1 线、 MLA-2 线、 MLA-3 线和 MLA-4 线以外， MLA-5 路径网络也被用做附加的双向可编程访问线，这些访问线可以被用做多个访问端口，以用于利用可编程装置通过由来自所述 32 X 32 块区域以外的其它 MLA 线或块连接器(不必与所述的 32 X 32 块区域相邻或相应)进行的连接执行更加复杂的逻辑功能。包括在 32 X 32 块单元组内的 I-矩阵线、块连接器、 MLA-1 线、 MLA-2 线、 MLA-3 线、 MLA-4 线和 MLA-5 线在内的路径段的总数量随着逻辑单元数量的增加正比增长。当所述增长是从一个块到 32 X 32 块时，这个增加是一个几何级数。

一个相应的 MLA-5 线可以经过一个开关从每一个 MLA 插头连接到所述的 MLA 插头上。所述开关是一个双向可编程驱动器网络，该网络可以是一个简单的双向传递门或图 17 所示双向驱动器结构中的任意一个。另外，可以结合使用多个转向点，使得所述垂直 MLA-5 线通过可编程装置贯穿所述水平 MLA 线。在 4 个角任意一个角内的每一个 MLA 插头可以利用可编程装置连接到所有 4 个角内的所有相应的 MLA 插头上。这是通过到所述垂直和水平 MLA-5 线的可编程连接加上使用转向点相互组合而实现的。

可以通过利用所述 MLA 插头的可编程访问或通过引入其它的新的中间 MLA 插头来开发较高级的 MLA 网络。在这种情况下，所述 MLA 线的数量是下一较低级 MLA 数量的几分之一。包括 I-矩阵线、块连接器、 MLA-1 线、 MLA-2 线、 MLA-3 线、 MLA-4 线、 MLA-5 线和较高级的 MLA 线的路径段的总数量以及相应数量的 $n \times n$ 个块单元随逻辑单元数量的增加成正比增长。当所述增长是从一个块到 $n \times n$ 个块时，这个增加呈几何级数。

至此，描述了用于可编程逻辑电路的具有内连和互连方案的结构。

图 1

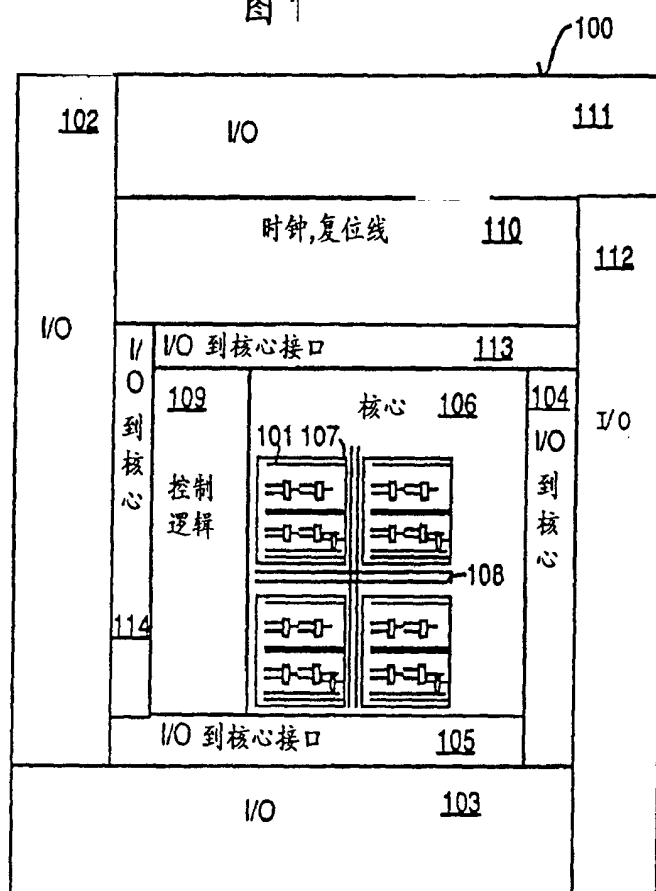


图 2 A

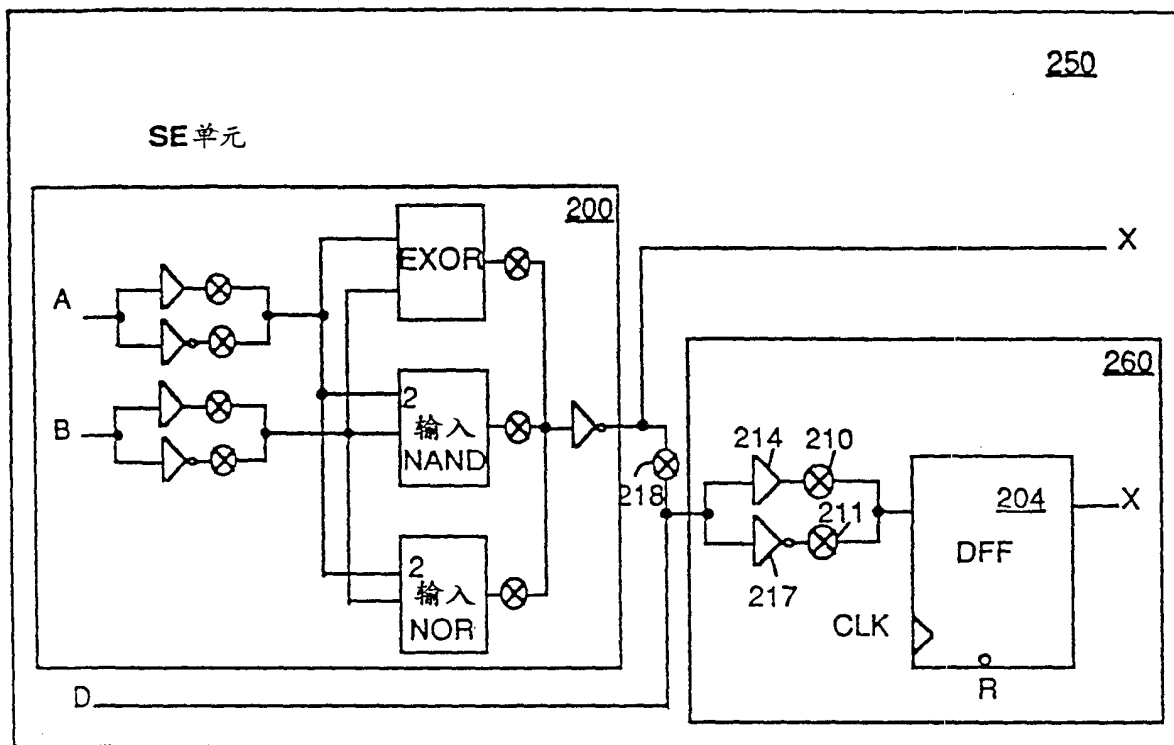


图 2 B

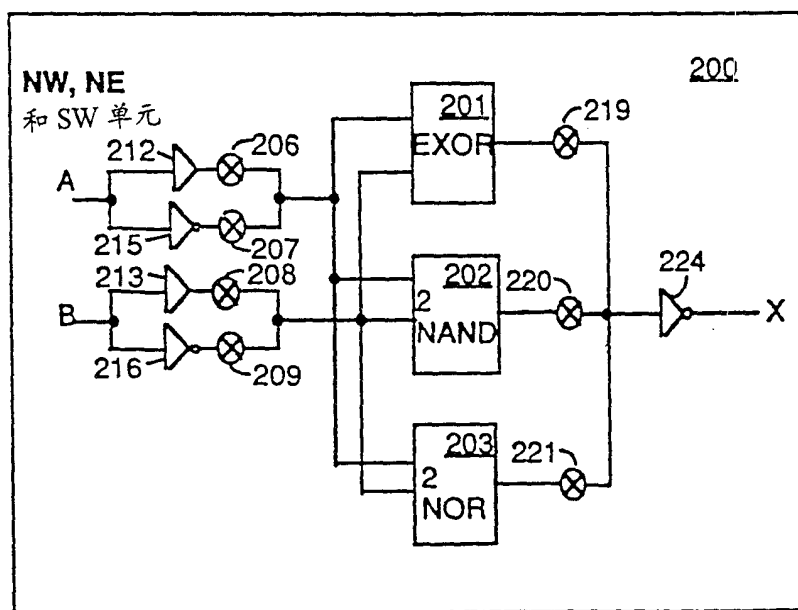


图 3 A

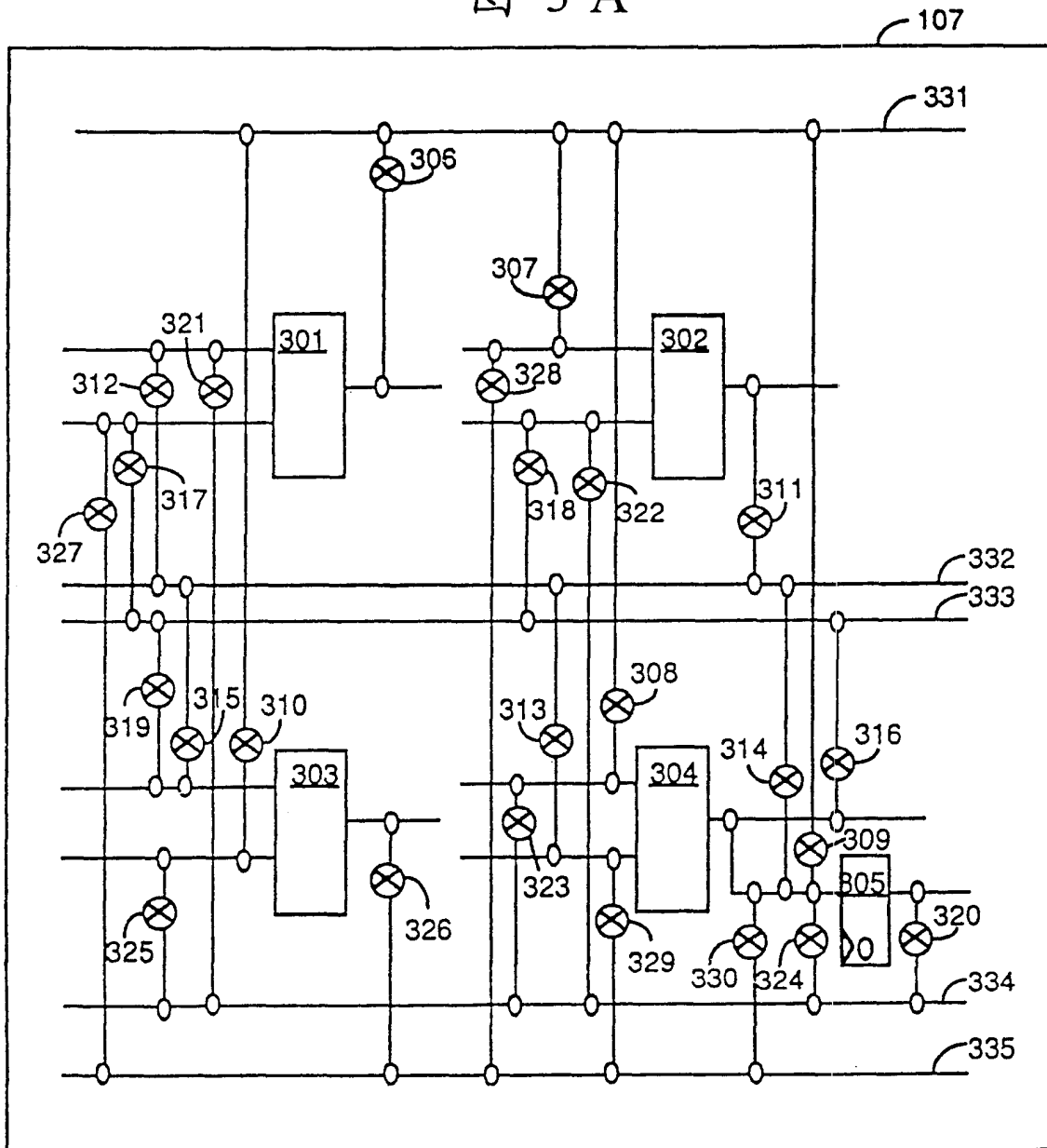


图 3 B

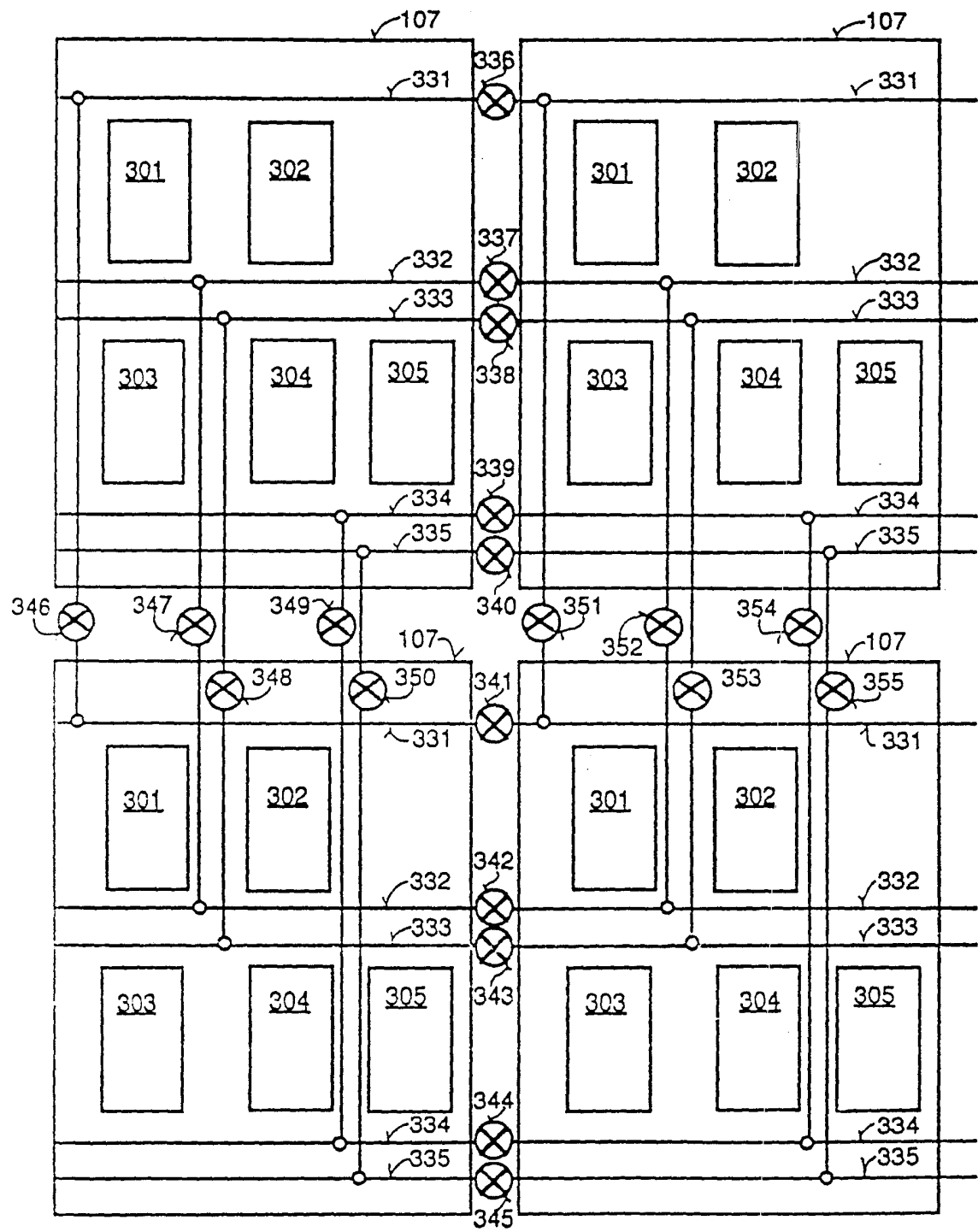


图 4 A

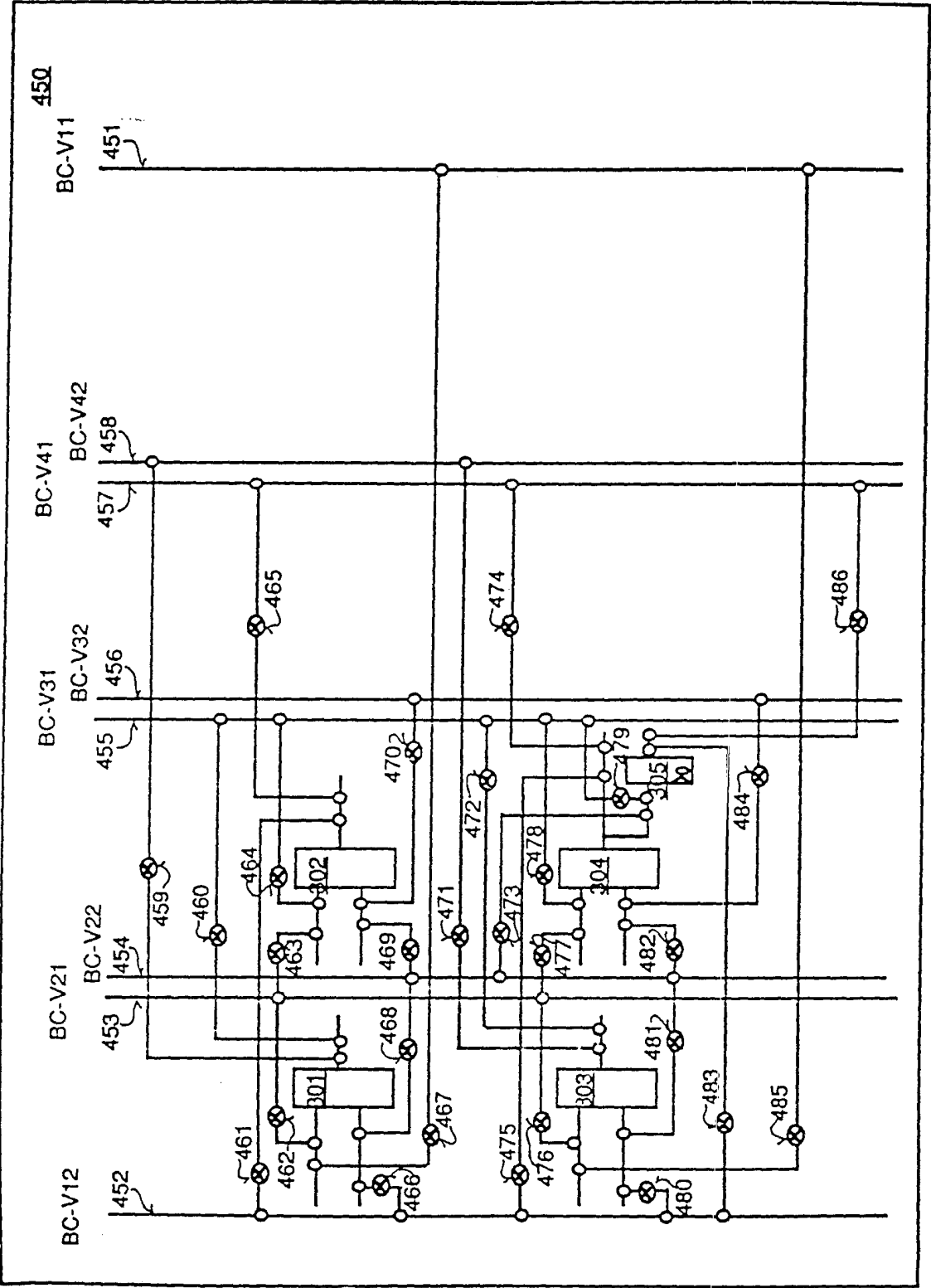
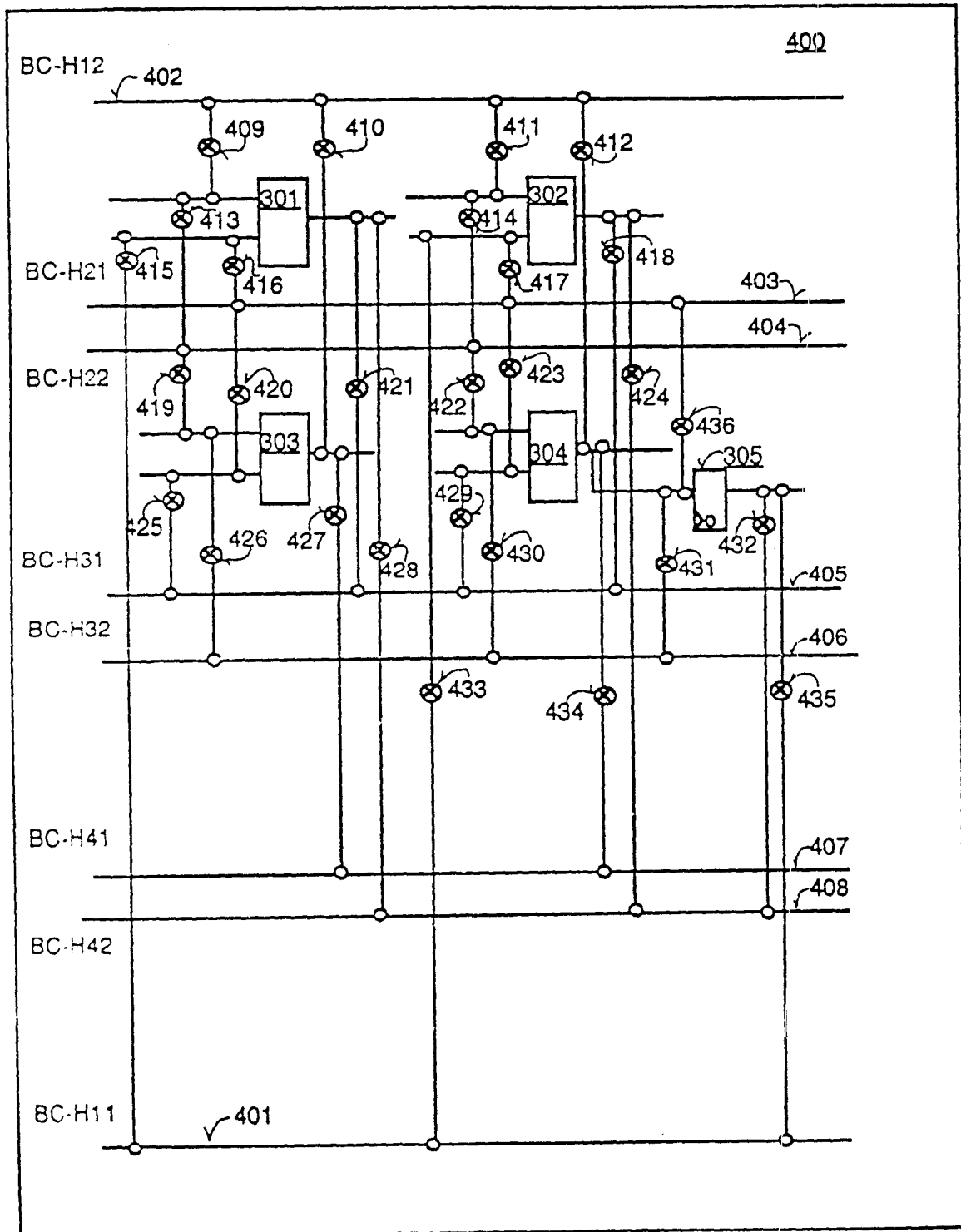


图 4B



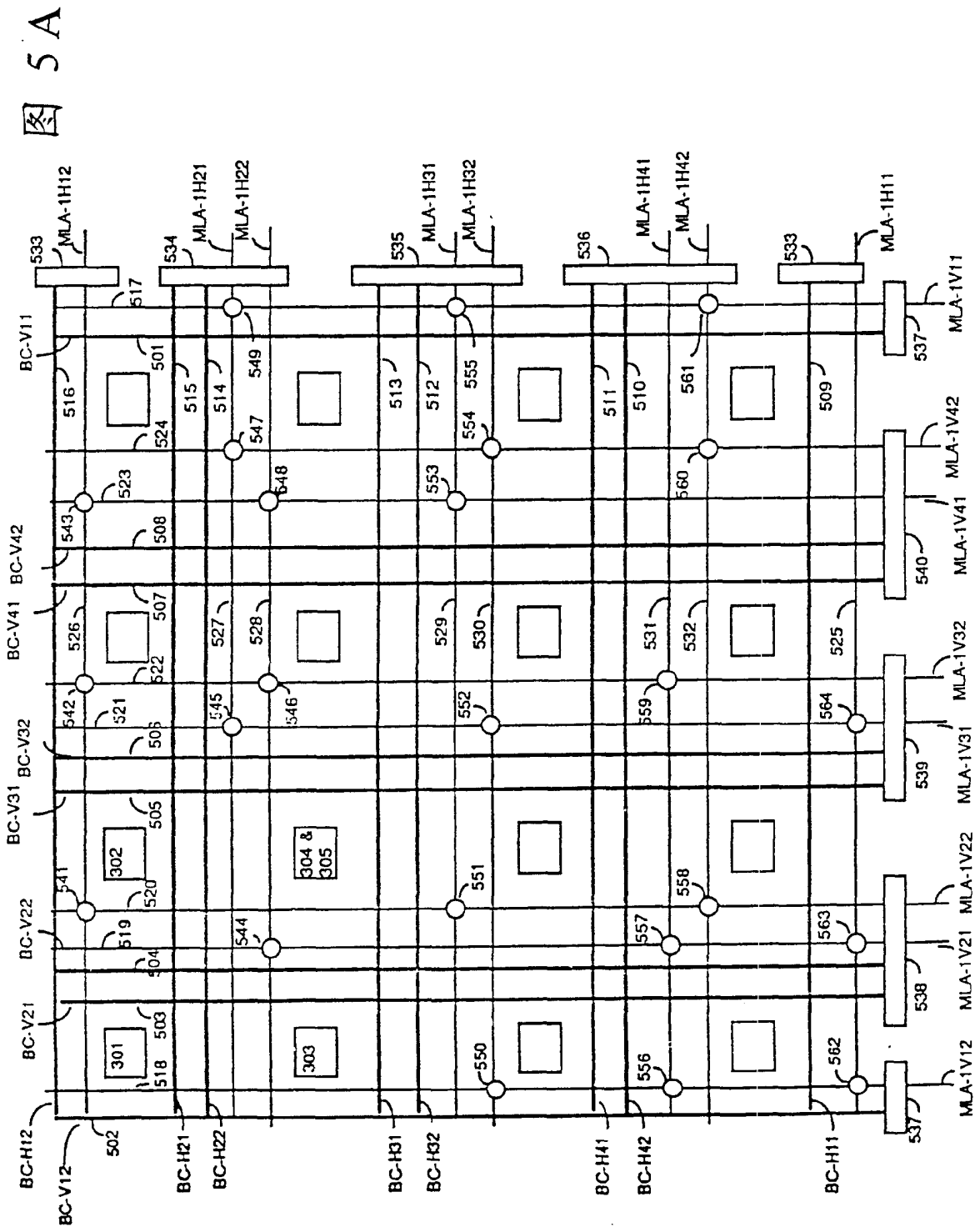


图 5 A

图 5 B

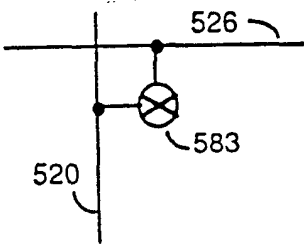


图 5 C

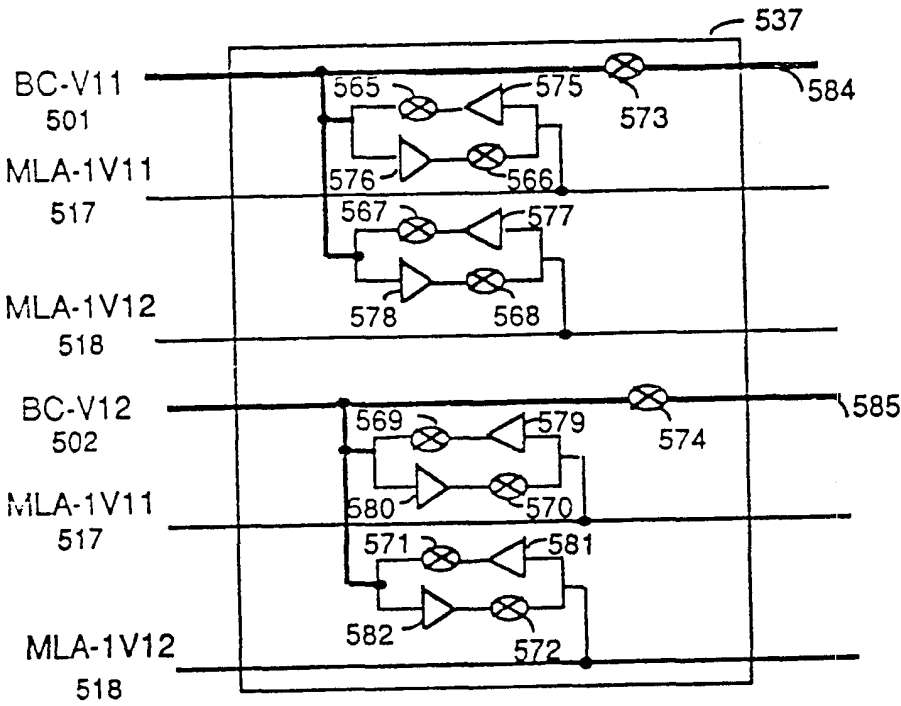


图6

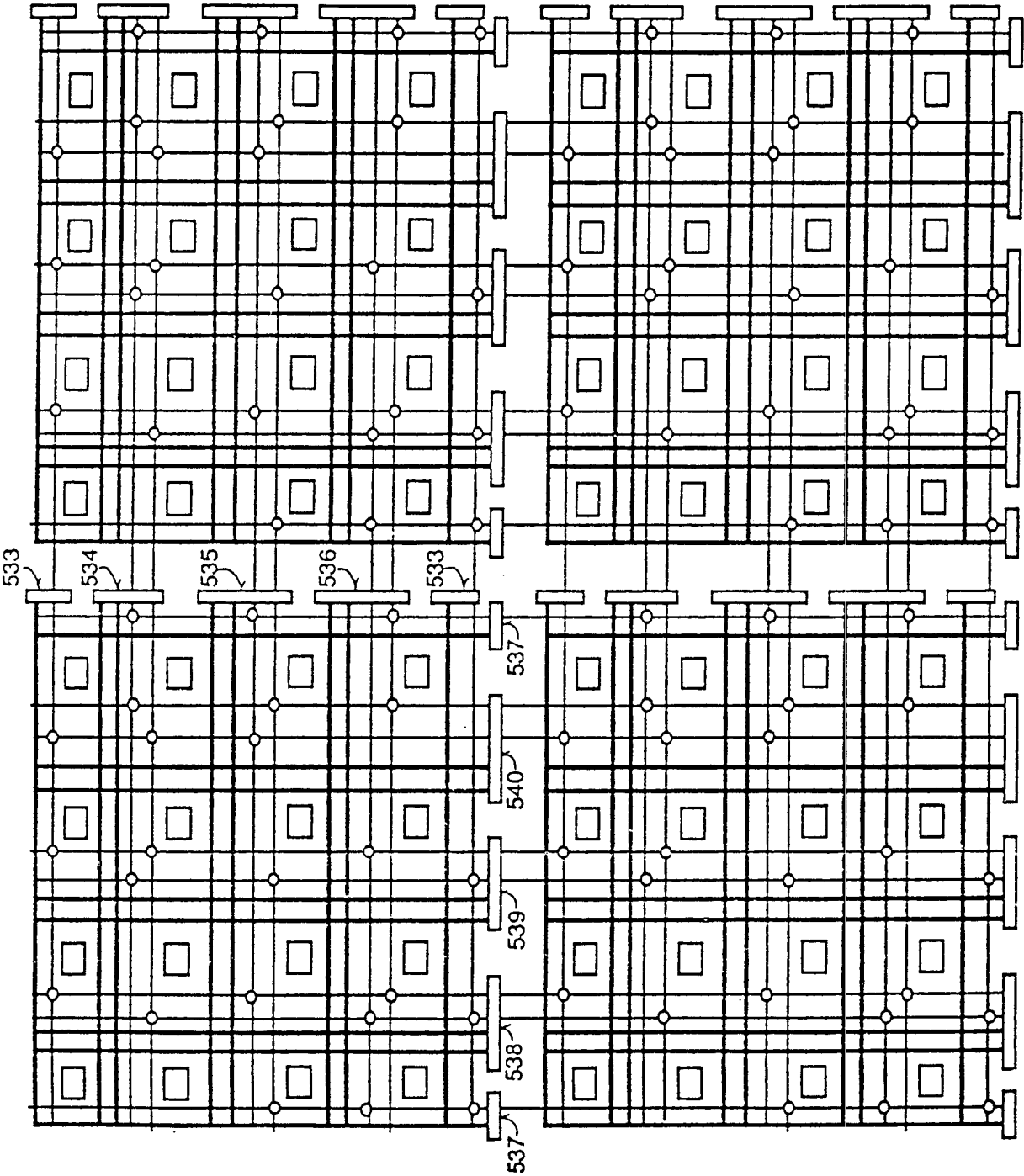


图 7A

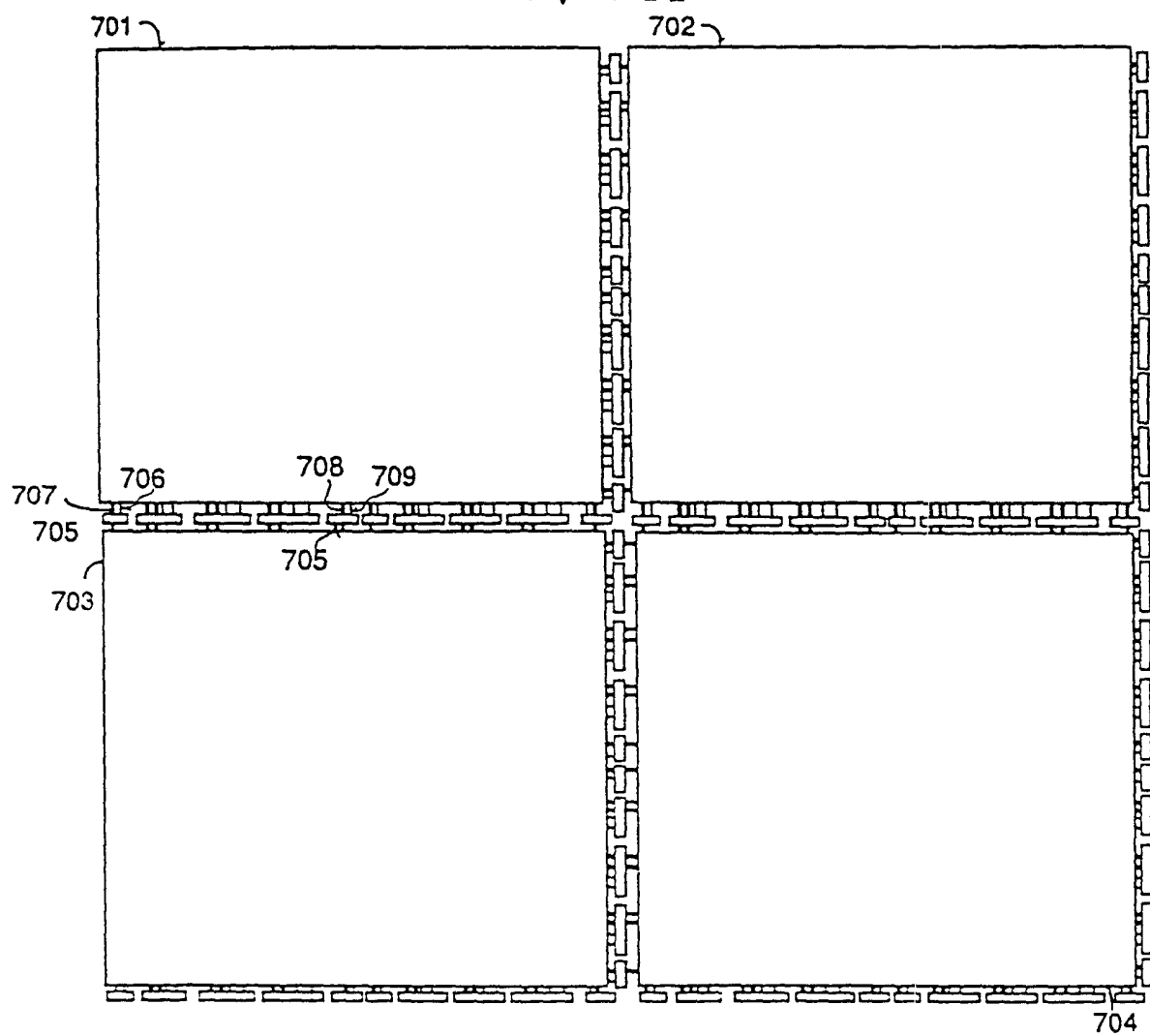


图 7 B

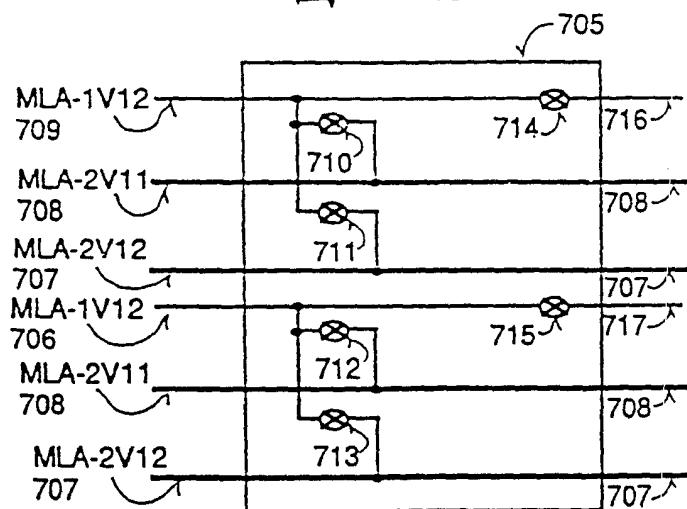


图 8 A

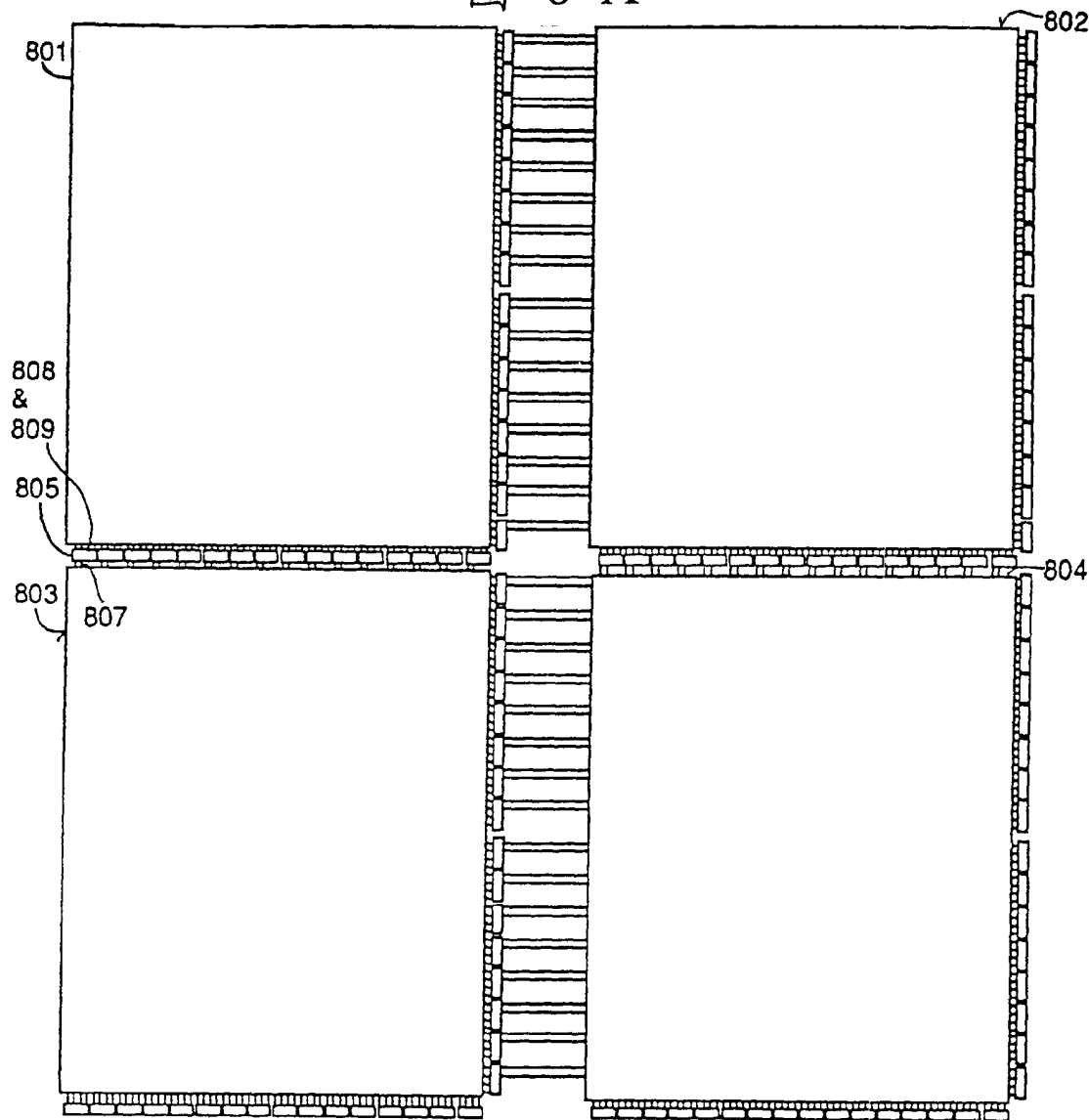


图 8 B

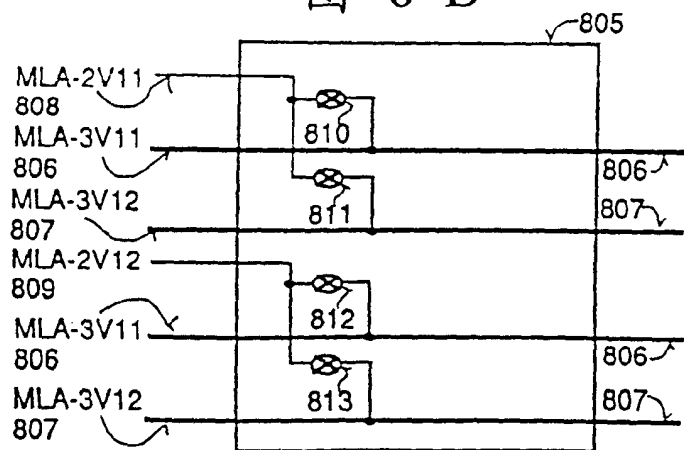


图 9

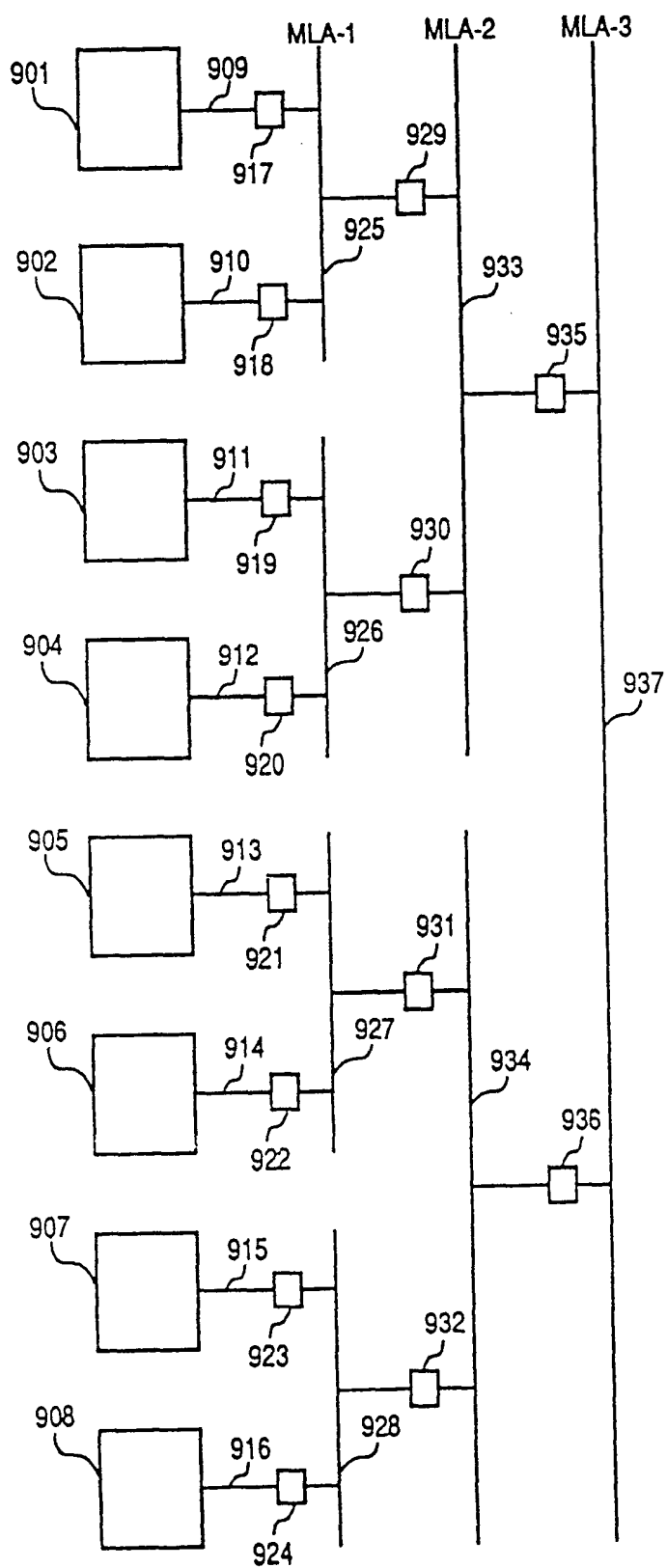
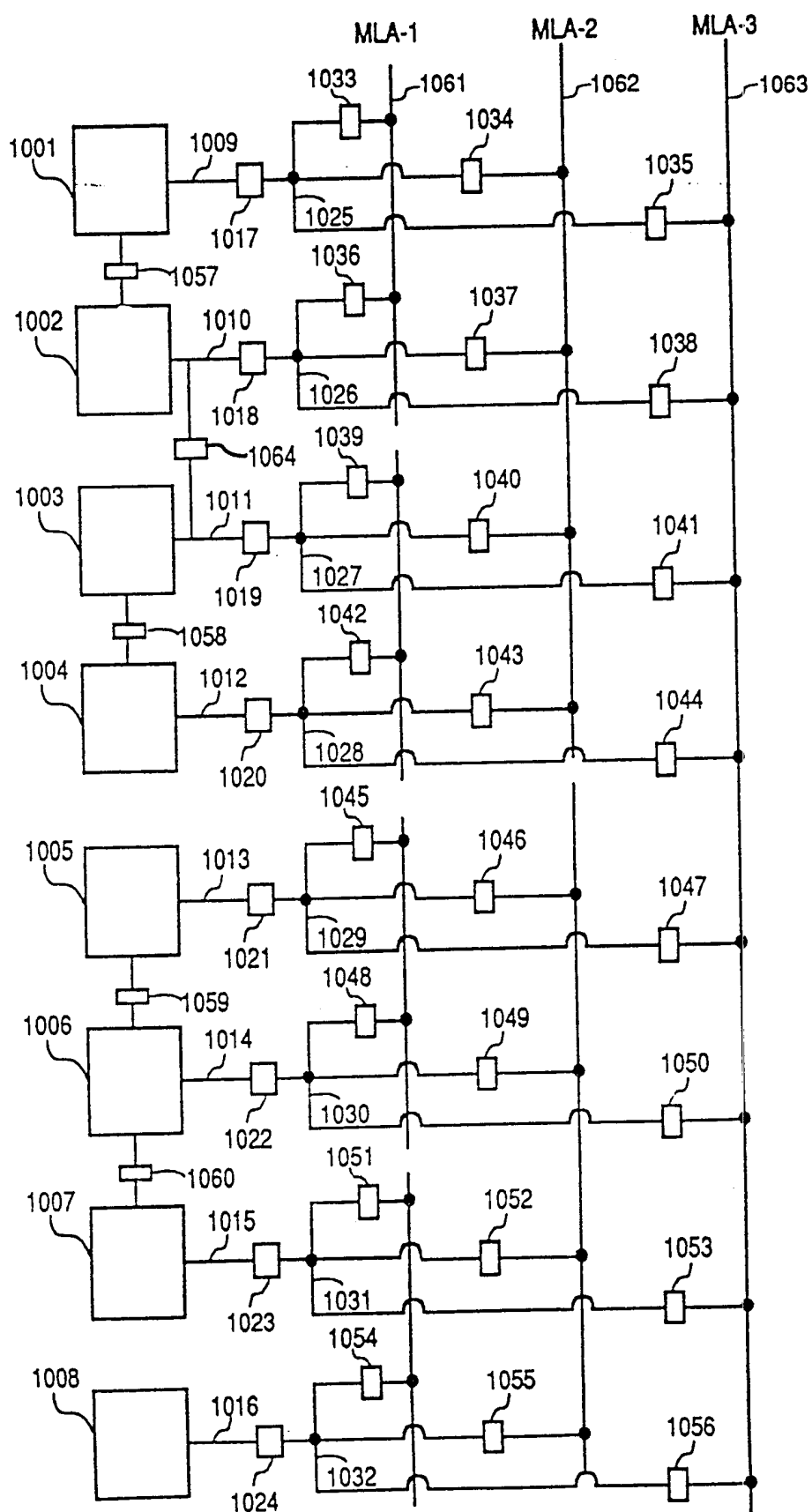


图 10



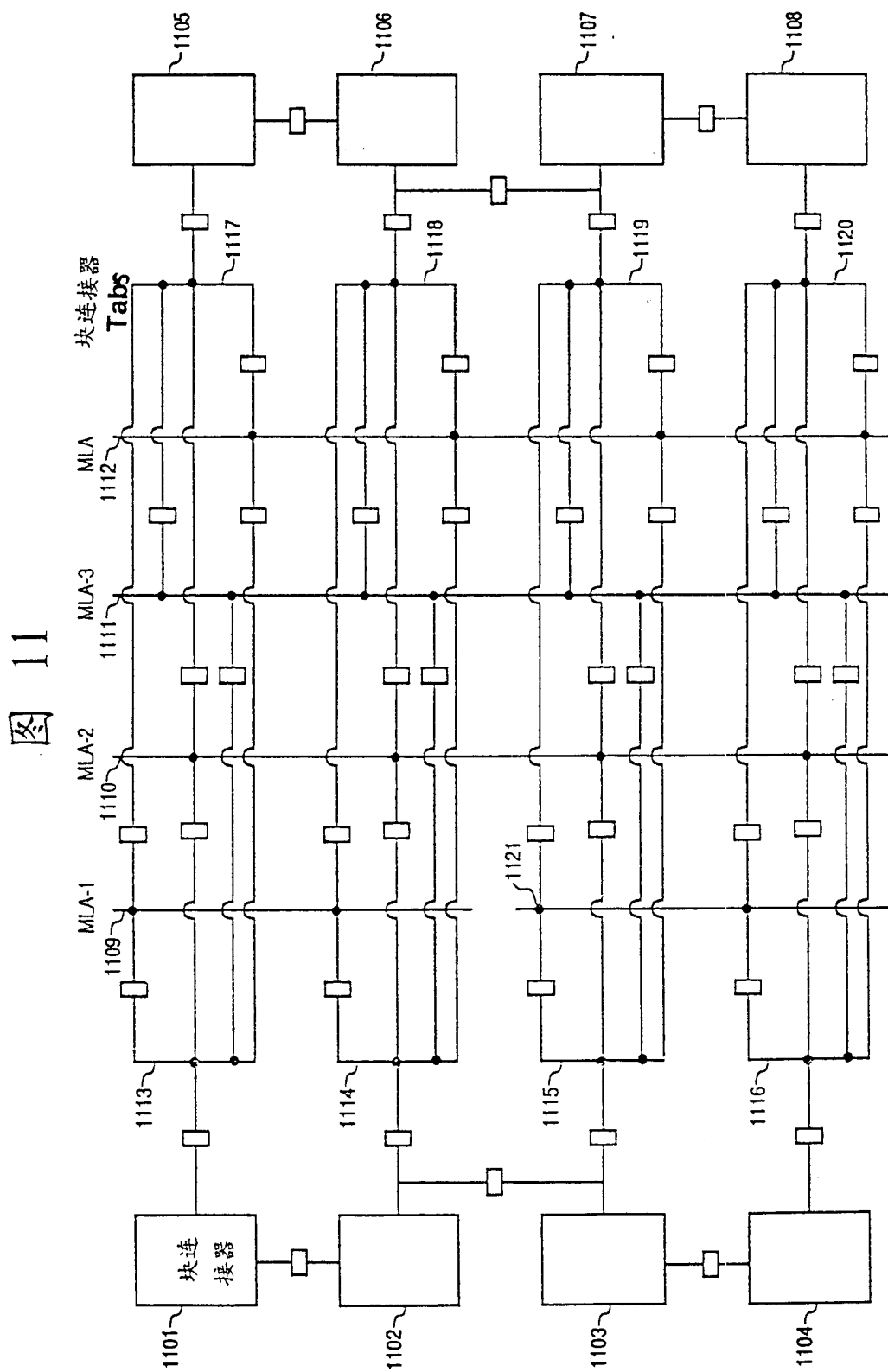


图 12 A

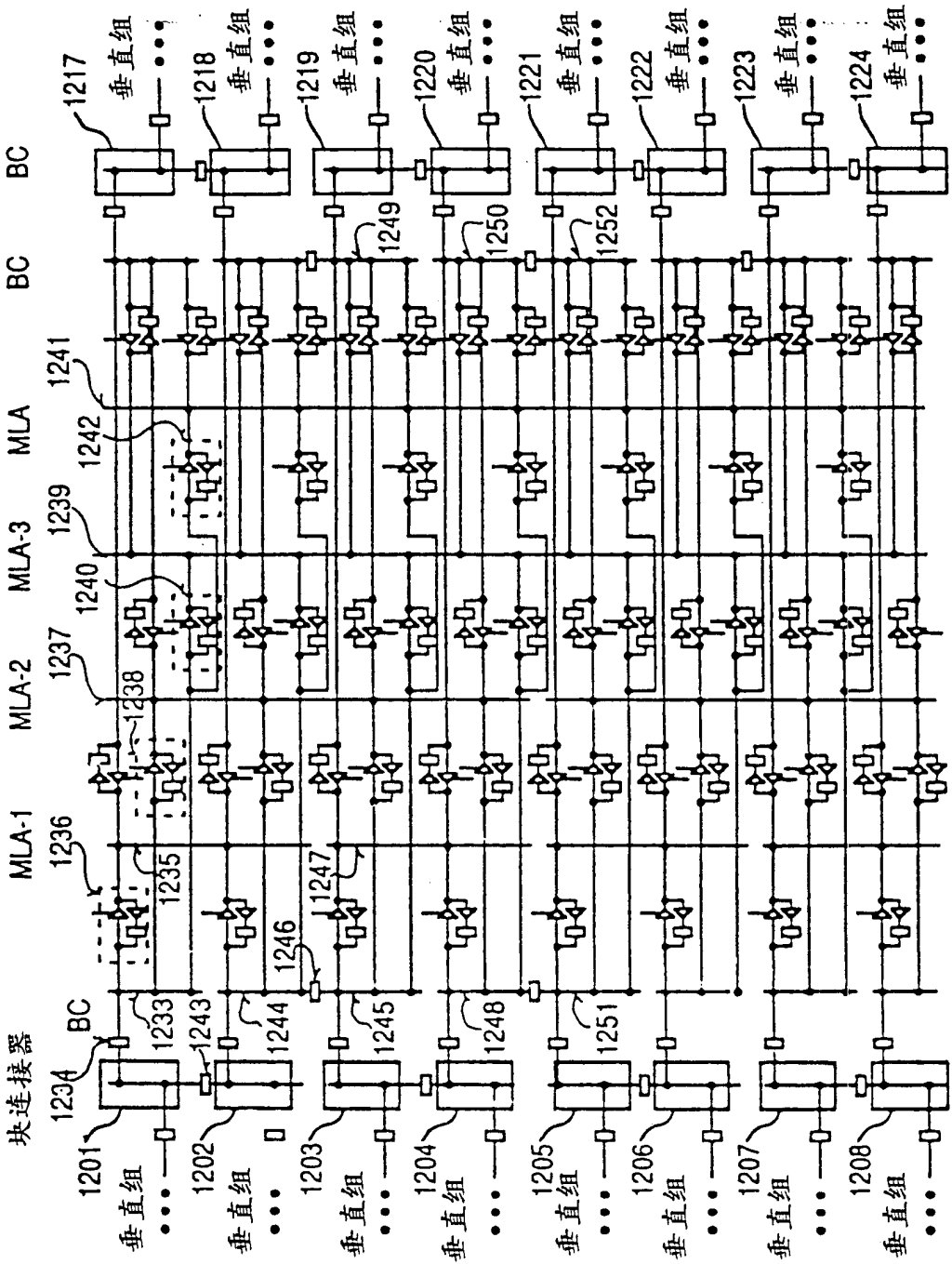
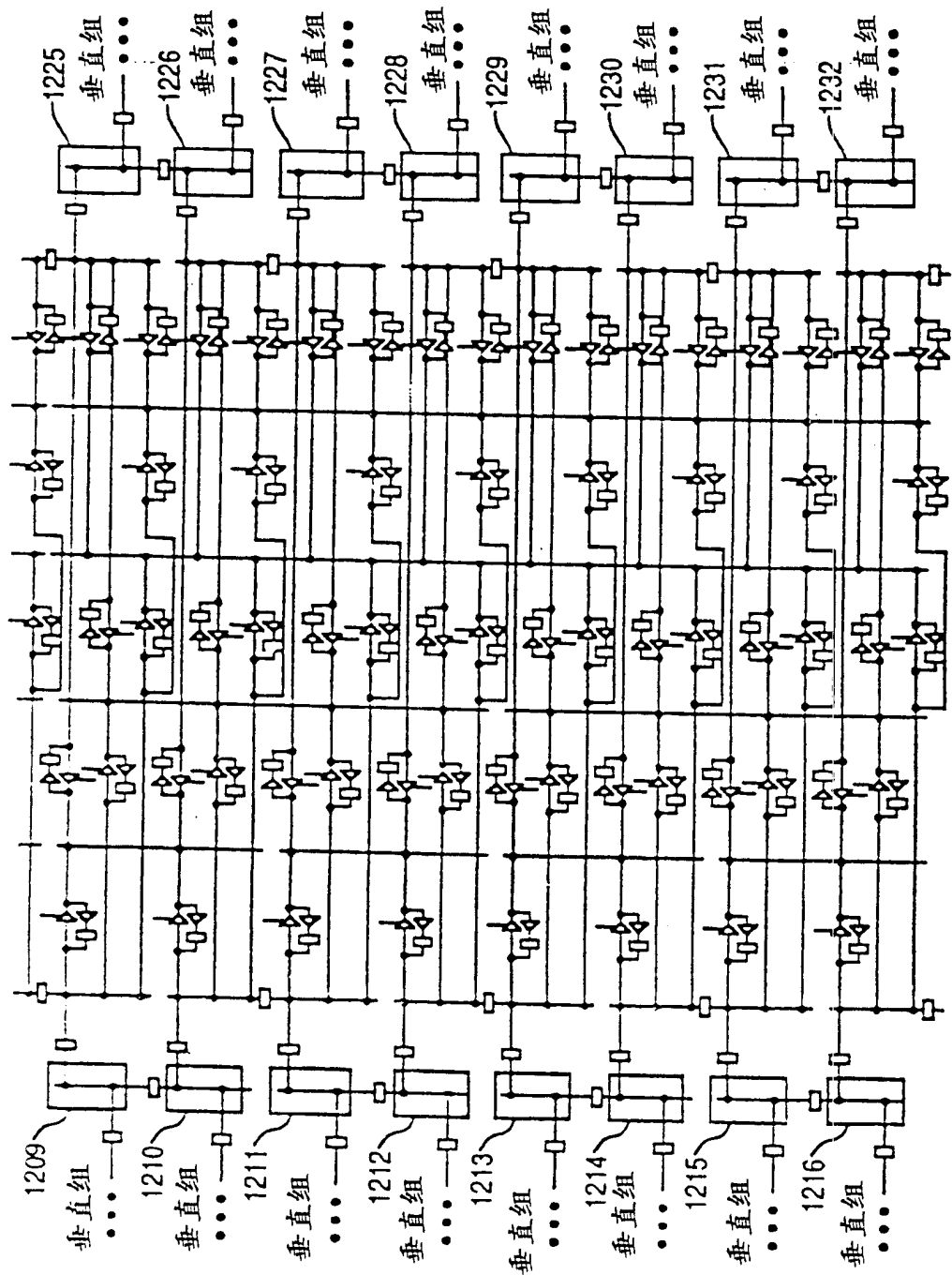


图 12 B



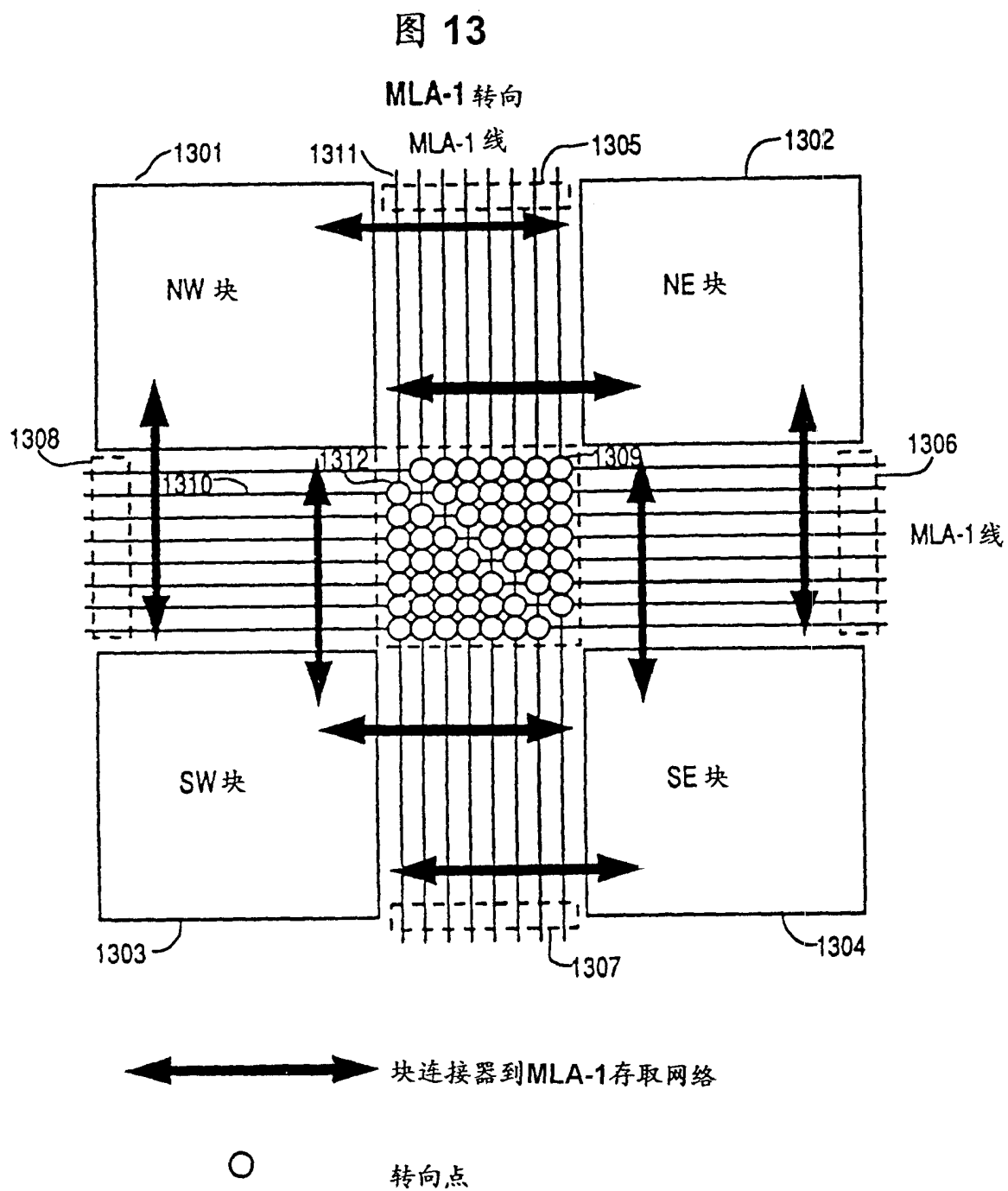


图 14

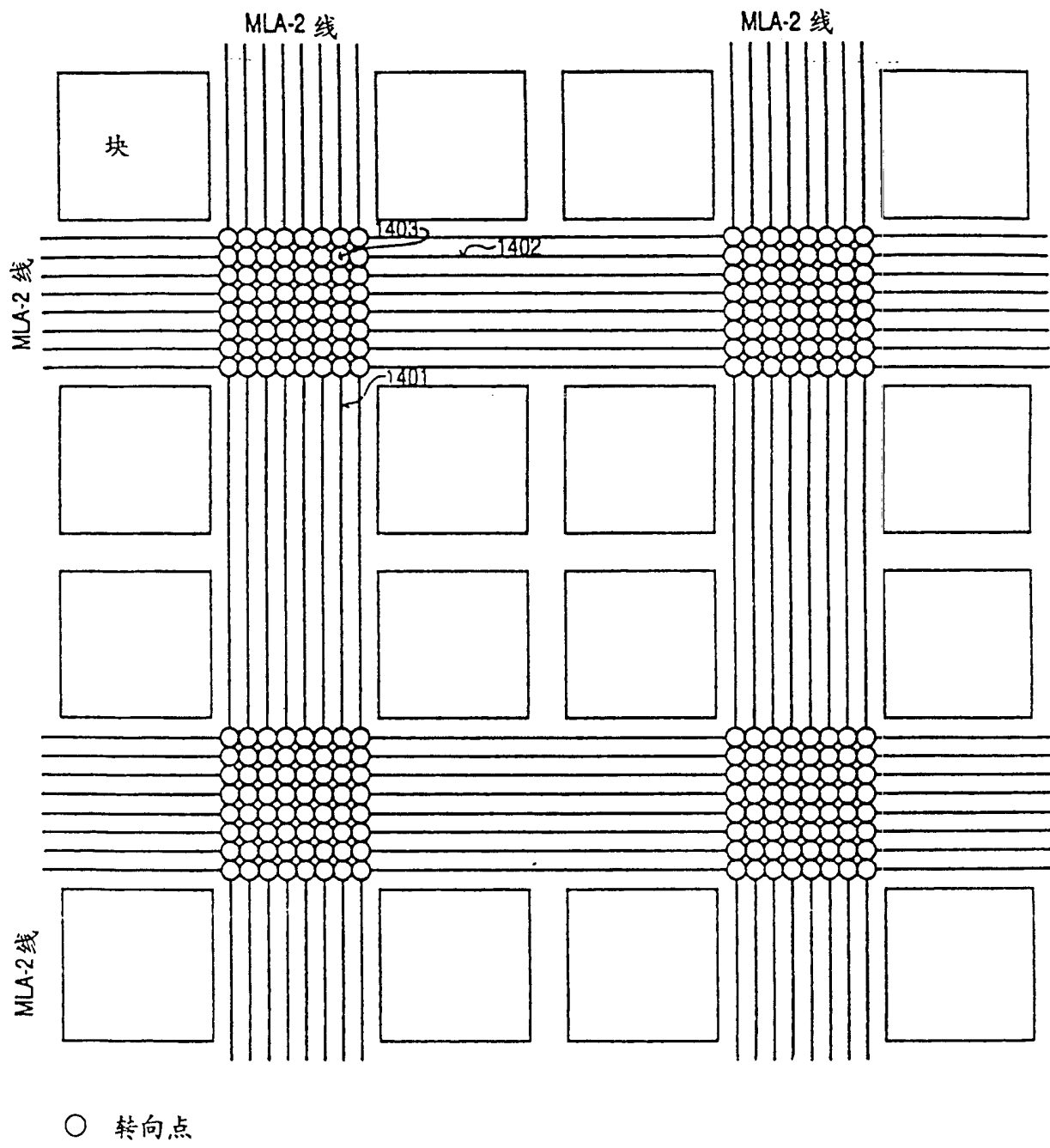


图 16

MLA-4路径网络-访问和路径

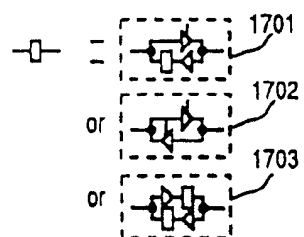
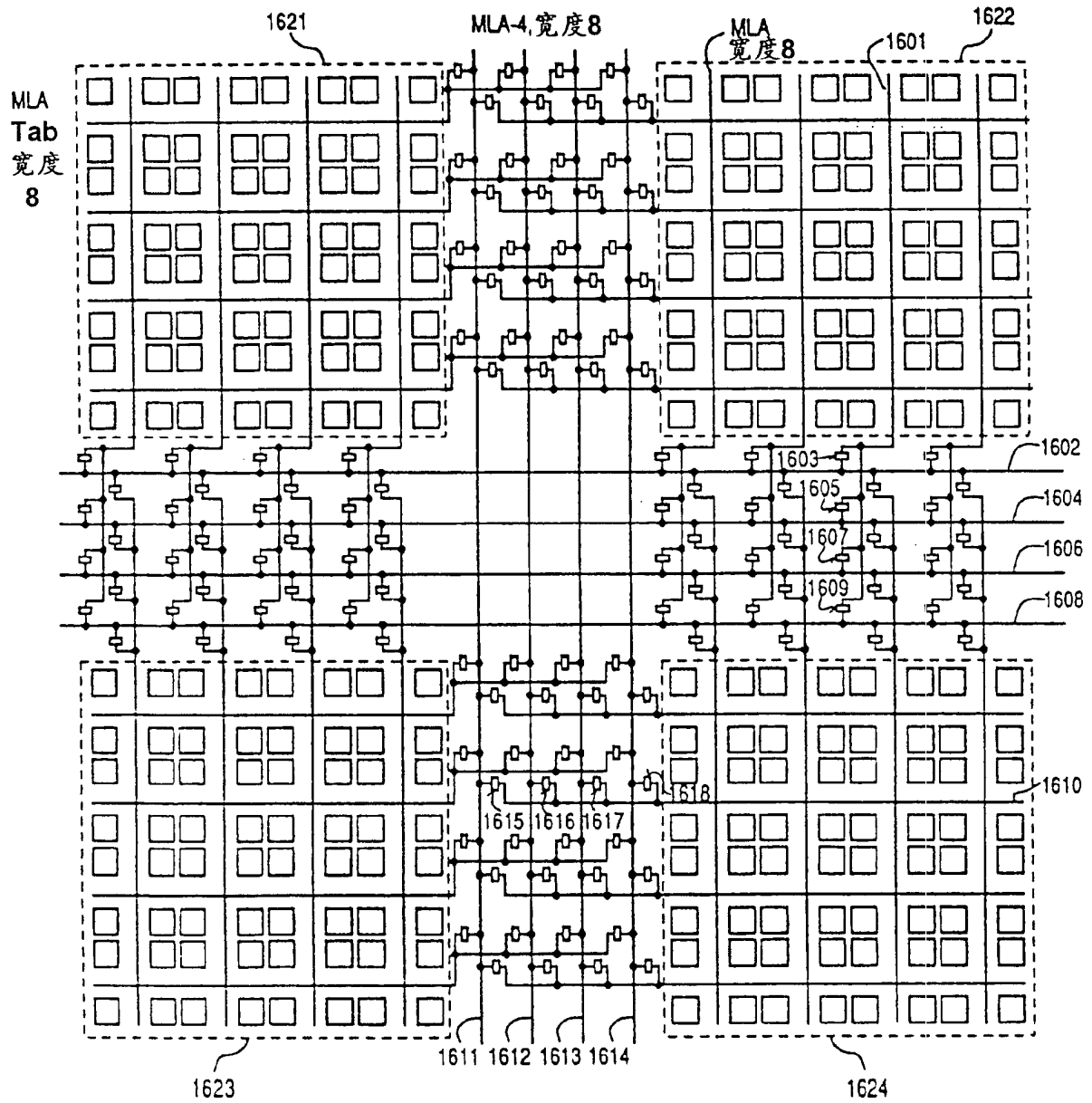


图 17

图 18

