

公告本

申請日期	Po. 3. 21
案 號	P0165132
類 別	H03G 3/00,

A4
C4

498608

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型 名 稱	中 文	具有用於受控磁滯之交換的電流回授之接收機
	英 文	RECEIVER WITH SWITCHED CURRENT FEEDBACK FOR CONTROLLED HYSTERESIS
二、發明 創 作 人	姓 名	1. 奧利弗 凱爾 OLIVER KIEHL 2. 羅素 郝頓 RUSSELL HOUGHTON
	國 籍	1. 德國 2. 美國
	住、居所	1. 美國佛蒙特州查洛特市坦史東路401號 2. 美國佛蒙特州伊瑟斯市史塔吉路310號
三、申請人	姓 名 (名稱)	1. 美商北美億恒科技公司 INFINEON TECHNOLOGIES NORTH AMERICA CORP. 2. 美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國 籍	1.-2. 均美國
	住、居所 (事務所)	1. 美國加州聖約瑟市北第一街1730號 2. 美國紐約州阿蒙市新果園路
	代 表 人 姓 名	1. 瑪莉 C. 嘉芬 MARY C. GARFEIN 2. 傑拉德 羅森賽 GERALD ROSENTHAL

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2000 年 03 月 06 日 09/519,104 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (1)

發明背景

1. 技術範疇

本發明和雜訊制，更特別是和利用磁滯抑制雜訊之方法及裝置有關。

2. 相關技術描述

類比電路常包含雜訊信號。在轉換類比信號為數位信號時，雜訊信號可導致誤碼。雜訊抑制可降低雜訊。例如對轉換(具雜訊)類比輸入信號為數位晶片上信號之接收機電路，磁滯是一種抑制雜訊之理想方法。當不正常中止信號軌跡斜率反向及轉換極慢(如半導體裝置測試之老煉測試啟動)加上隨機雜訊，可使該晶片上數位信號之脈衝及尖峰信號不完整。這可使假設特定最小及最大脈寬之電路故障。

圖1顯示以差動放大器為基礎之接收機架構。一第一級10包含具有一P通道電流鏡13之N通道差動對11。一第二級12由一反向器14實行。此架構之一優點是一切點由該參考電壓VREF妥加定義。該切點為該輸出切換之輸入電壓程度(VIN)。希望磁滯輸入電壓(VIN)擺動約5-10%，以使系統性能良好。對短截線串聯中止邏輯(stub series terminated logic)(如SSTL-2)而言，此約為幾十mV。

先前技術之具有磁滯之接收機，通常未提供足夠之磁滯控制。先前技術提供之可控性(即根據該輸出狀態達到之切點微位移)差，或反應時間(即抑制快雜訊尖峰信號之能力)慢。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

在 U.S. 專利 No. 5,796,281 添加額外之電流至一第一級 (差動放大器) 輸出節點產生磁滯。但因所加電流量未妥加控制，故無法妥加控制該磁滯量。在 U.S. 專利 No. 5,796,281，切換電流之電晶體 (如 U.S. 專利 No. 5,796,281 之 Q2) 大小需小該放大器之主要電晶體許多以使磁滯小。但因速度之考量，這些電晶體大小已近最小。故很難 (若可行) 達到小且受控制之磁滯量。要知道磁滯太大亦會影響速度。Baker et al., “CMOS Circuit Design, Layout and Simulation,” IEEE press 1998 之圖 26.4 及 26.5 亦顯示在一第一級輸出節點提供額外電流以控制磁滯之電路。此電路同樣有上述之缺點。

其它控制少量磁滯之公式包含根據該接收機輸出狀態位移參考電壓。這樣雖有些可控制性，但切換處理太久而無助於有效抑制雜訊尖峰信號。且亦需二個參考電壓產生器而造成額外電流消耗。見如 U.S. 專利 No. 4,775,807。

在 U.S. 專利 No. 4,745,365 所述之方式因利用具偏移 VREF 之二接收機而消耗更多功率。該二接收機速度相同。

故需要一可靠控制於類比至數位轉換中抑制雜訊之磁滯之裝置。

發明概論

依照本發明之接收機電路包含一第一級具有用以接收輸入信號之一輸入及一輸出節點。該第一級包含一放大器及一第二級包含一輸入和該第一級之輸出耦合。該第二級亦包含一邏輯閘和該第一級輸出耦合，該邏輯閘具有一代表

經濟部智慧財產局員工消費合作社印製

五、發明說明(3)

該接收機電路輸出之一輸出及一回授元件自該邏輯閘輸出耦合及和一切換元件連接。該切換元件回應該邏輯閘輸出，切換開關一電流源以調整該接收機電路之切點。

依照本發明另一接收機電路包含一第一級具一輸入用以接收輸入信號。該第一級包含一放大器具一做為輸出之第一節點及一第二節點。一第二級具一輸入和該第一節點耦合。該第二級另包含一邏輯閘具一輸入和該第一節點耦合，該邏輯閘具一代表該接收機電路輸出之輸出及一切換元件和該第一節點耦合，及回應該第一節點交換開關一電流源，使該電流源調整該第一節點之電流以控制該邏輯閘輸出之切點。一回授元件和該切換元件耦合及和該放大器之第二節點連接，以提供調整該第一節點電流之回授。

在其它實施例該切換元件可包含一電晶體或一對電晶體。該對電晶體可包含一P通道電晶體及一N通道電晶體。該電流源可和該P通道電晶體及/或該N通道電晶體串聯耦合。該第一級之放大器可包含一跨導放大器或可包含一差動放大器，具包含輸出基極電流之基極電流源，而該電流源依照該基極電流進行調整。該第一級輸出電流可調整約1%至20%。該接收機包含一可依照和該電流源電流之線性關係控制之磁滯。該接收機電路可包含於一半導體晶片上。該接收機電路輸入信號可包含類比信號且該接收機電路抑制該類比信號雜訊。該邏輯閘輸出可包含一數位邏輯狀態。該接收機電路可包含一電力關閉電路以在不作用時關掉該放大器。該邏輯閘可包含一反向器。

五、發明說明(4)

由以下說明實施例細述、加上附圖可清楚本發明這些及其它目的、特性及優點。

圖式簡述

本說明書將由以下較佳實施例敘述、參照附圖而細述，其中：

- 圖1之概圖顯示磁滯控制不足之先前技術接收機電路；
- 圖2之概圖顯示依照本發明一實施例之接收機電路；
- 圖3顯示依照本發明一實施例之接收機電路之磁滯及控制電流間之線性關係；
- 圖4顯示依照本發明調整切點之磁滯；
- 圖5之概圖顯示依照本發明另一實施例，具圖2之切換回授一支路之接收機電路；
- 圖6之接收機電路概圖顯示依照本發明另一實施例，其切換回授由該接收機電路一第一級輸出節點控制；
- 圖7之概圖顯示依照本發明另一實施例之接收機電路包含該接收機電路之第一級具有一跨導放大器；
- 圖8之概圖顯示依照本發明另一實施例之接收機電路具有一電力關閉電路；以及
- 圖9之概圖顯示依照本發明一實施例，用以產生VIREFP(或以VIREFN替代)之電路。

較佳實施例細述

本發明和雜訊抑制，更特別是和以控制磁滯控制雜訊有關。本發明雖以使用場效電晶體之說明接收機電路描述，但本發明不應受該系統說明電路限制。相反地，在此所述

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

電路之變動，以及其它電路及邏輯標準(如 SSTL、TTL 等)可有本發明之優點。

本發明包含一交換的電流回授(或前授)裝置。本發明包含利用加減小而量受控之電流調整接收機切點之電路。在一實施例，利用如該輸出之高阻抗電流源傳送一量受控之電流至該接收機一輸入級之高阻抗輸出節點。該回授以二元件實施。一元件定義回授電流量，而一元件包含一開關可由如該接收機輸出控制以開關此電流。要知道可變更所示電路之電晶體，如 P 通道電晶體變為 N 通道電晶體(反之亦然)，以及變更該電極，VDD 變為接地及接地變為 VDD。在一實施例於該電路之適當位置可能希望為 P 通道電晶體，以提供 SSTL-1、SSTL-1.8、SSTL-2.5 邏輯或其它邏輯(SSTL 為精於本技術者所知之短截線串聯中止邏輯)。

現參照各圖式，其中各圖中相同之參考編號表示類似或相同元件，現由圖 2 開始顯示本發明一說明實施例概圖。一接收機電路 200 包含一第一級 202，該第一級包含一最好為差動放大器之放大器用以抑制雜訊。在一實施例該第一級 202 包含圖 7 所示之跨導放大器。第一級亦可使用其它放大器；如可使用 CASCODE 放大器。電路 202 包含一接收類比信號之輸入(VIN)。第一級 202 可包含一 N 通道差動對 204。一第一 N 通道電晶體 206，具有一閘極和 VIN 相連以接收輸入信號。一第二 N 通道電晶體 208 包含一閘極和一參考電壓 VREF 相連。

亦包含一 P 通道電流 mirror 210 P 通道電流 mirror 210 之第

五、發明說明(6)

一電晶體212及第二電晶體214之閘極在節點216相連。該電晶體212及214閘極亦和節點218相連。一節點220和電晶體212及206相連。節點220為第一級202之一輸出節點(該差動放大器輸出)，且一和第二級223相連。

依照本發明電路200之第二級223包含一邏輯閘224，如反向器、及閘、或閘或其它邏輯閘之邏輯閘，及一交換的電流回授元件226。回授元件226和反向器一輸出(OUT)及電晶體228及230之閘極相連。以此方式，利用根據該接收機電路200之輸出節點(OUT)邏輯狀態加減該接收機電路200之節點222(第一級202輸出節點)之差動放大器(第一級202)基極電流一部份產生正回授。

電晶體228及230分別為P通道及N通道電晶體。電晶體228在OUT之一適當邏輯狀態啟動時在一節點220及一供應電壓VDD間提供一導通路徑。電晶體230在由OUT之一適當邏輯狀態啟動時，在節點220及接地(GND)間提供一導通路徑。第一級202之基線電流視電流源231或電流源233及OUT之邏輯狀態調整。

該回授及交換提供小且量受控之電流至輸出節點220。該量受控之電流利用至少一電流源(如電流源231或233)送至接收機電路之輸入級(第一級202)之輸出節點202。該電流源(或電流陷落)以電晶體234及236說明顯示，分別由VIREFP(電壓參考電流P)及VIREFN(電壓參考電流N)啟動。可使用其它類型之電流源。在一實施例VIREFP及VIREFN在節點235和第一級202連結，以追蹤該差動放大

五、發明說明(7)

器之電流輸出。一電流源追蹤節點220之電流輸出(如由節點235經電流源239接地之電流和節點220之結果電流相同)。好處是在節點235，可由此電流得到VIREFP及VIREFN。電流源239可包含一電晶體241，但可使用其它電流源。以此方式電流源231及/或233提供之電流追蹤第一級202之差動放大器基極電流。

可由其它電路控制VIREFP及VIREFN以變動送至節點220之電流。該電流源231或233最好如同亦包含一高阻抗之輸出，為高阻抗如在該電晶體飽和區動作。所示一接地之電容238代表和OUT相連之其它電路半導體晶片阻抗。在一說明範例，100 MHz之電流源239產生約100微安之電流。電流源239之電晶體241較大小相近之電晶體204、212及214大。另外電晶體234及236較電晶體204、212及214小。而電晶體228及230更小。

該回授以二元件實施。一元件定義該回授電流(電流源231或233(如電晶體234及236))量，及一元件包含一開關(電晶體228及230)可由該接收機電路輸出控制，以開關此電流。

該磁滯H為：

$H = I_{FB} / g_m$ (其中 g_m 為第一級202之跨導及 I_{FB} 為利用第一級202一電流源239，來自節點235之源極電流一小部份(反應來自節點220之電流)。好處是H實質上和VDD無關。這和先前技術大為不同。

I_{FB} 依照本發明受控，因此提供改良之H控制。該小部份

五、發明說明(8)

電流最好包含約1%至20%之源極電流(在一實施例來自電流源239(節點220電流)控制VIREFP及VIREFN)，更好是小於約4%。好處是依照本發明磁滯對處理參數及溫度之相依性大幅降低。

要知道第一級202(差動放大器)之源極電流如可由一相當大之電晶體241定義(畢竟其為DC電流)，故很容該電流之一小部份(如4%)，而無需次程序電晶體尺寸(sub-groundrule transistor dimensions)。例如因電晶體比例維持為上述電晶體相對大小。電晶體241可為200微米寬，同時電晶體204為10微米寬而電晶體236為8微米寬。無需次程序尺寸(sub-groundrule dimensions)即可達成電流比例。這些相對值可由其它技術量測及說明。

模擬結果

參照圖3顯示本發明電路200之模擬結果。圖3顯示磁滯對回授電流。該曲線之線性表示可妥善控制該磁滯做為回授電流(I_{FB})之函數。圖3顯示SSTL-2輸入電壓(IV/ns變動率)之圖2架構模擬結果。

利用增加該輸入或第一級電流可降低電路200之延遲，但也許需要額外電力。本發明另一優點是可調整磁滯窗。參照圖4顯示一磁滯窗402。磁滯404可調整為約標稱切點(如在無 I_{FB} 之線404，切點在 $V_{IN} = V_{REF}$)。在一實施例 $H+$ 等 $H-$ (如約在該切點對稱)，但依照本發明視所需可調整 $H+$ 及 $H-$ 約在標稱切點。

參照圖5顯示本發明一替代實施例。電路200'包含電路

五、發明說明(9)

200之架構，但只利用該回授元件(圖2)之一支路227產生非對稱磁滯。此架構可替代相反和電晶體230(圖2)而非電晶體228連接。該非對稱磁滯可用於非對稱邏輯程度，如電晶體-電晶體邏輯(TTL)。

參照點6本發明另一實施例包含一不同架構。一電路300包含一由節點220控制之回授開關(電晶體228及230)。當電晶體228(或230)導通，供應電流至節點302回授至節點222，以調整第一級202之節點220電流。

電路300之切點位移時間改良。故雜訊抑制較佳，但因節點220之電容負載增加，延遲可能會增加。

故電路300在一些技術雖較有利，但發現0.25至0.15微米之技術的較佳實施例為電路200。

參照圖7本發明另一實施例顯示之第一級502包含一跨導放大器504。一第二開506包含一邏輯開，如反向器508或其它邏輯開。其包含一回授元件510及開關512交換開關電流源514及516以提供電流(I_{FB+} 或 I_{FB-})往返節點520。電流 I_{FB+} 或/及 I_{FB-} 追蹤放大器504之跨導(g_m)。依照本發明如精於本技術者所知可改良該跨導之影響，以在第一級502之源極電流及 I_{FB+} 及/或 I_{FB-} 間形成不同關係。

參照圖8，本發明另一實施例包含一電力關閉電路602。電力關閉電路602包含一邏輯電路在不作用狀態禁制第一級202(或替代為第一級502)。一PDOWN輸入位元經電晶體604連接第一級202之放大器至VDD。否則該放大器利用電晶體612及614經路徑612短路。以此方式在

五、發明說明(10)

該電路不作用時可保存電力。圖8亦顯示來自電晶體241開極之VIREFN輸出。在一說明實施例VIREFP產生如圖9所示。如圖9說明顯示，利用電晶體902及904轉換VIREFN為VIREFP。亦可使用其它電路或方法。

要知道本發明可用於許多不同應用。例如可於半導體記憶體晶片或其它半導體裝置實施本發明，用以接收類比輸入信號且在雜訊抑制後轉換該輸入信號為數位脈衝。其它應用可包含但不限於電話或信號處理應用。利用依照本發明調整磁滯可節省整個電路時間、有效抑制雜訊及改良該接收信號之可靠度。

在以較佳實施例描述具有交換的電流回授受控磁滯之接收機後(這是做為說明而非限制)，精於本技術者由以上內容可進行改良及變動。故了解可在所附申請專利範圍敘述之本發明精神及範圍內對所揭示之本發明特定實施例變動。在特別依專利法要求細述本發明後，所要申請專利並希望受專利權保護之內容由所附申請專利範圍定義。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：具有用於受控磁滯之交換的電流回授之接收機)

依照本發明之接收機電路包含一第一級(202)具有用以接收輸入信號(VIN)之一輸入及一輸出節點(220)。該第一級包含一放大器及一第二級(223)包含一輸入和該第一級之輸出耦合。該第二級亦包含一邏輯閘(224)和該第一級輸出耦合，該邏輯閘具有一代表該接收機電路輸出之一輸出(OUT)及一回授元件(226)自該邏輯閘輸出耦合及和一切換元件(228或230)連接。該切換元件回應該邏輯閘輸出，切換開關一電流源(231或233)以調整該接收機電路之切點。

英文發明摘要 (發明之名稱：RECEIVER WITH SWITCHED CURRENT FEEDBACK FOR CONTROLLED HYSTERESIS)

A receiver circuit, in accordance with the present invention, includes a first stage (202) having an input for receiving input signals (VIN) and an output node (220). The first stage includes an amplifier, and a second stage (223) includes an input coupled to the output of the first stage. The second stage also includes a logic gate (224) coupled to the output of the first stage, the logic gate having an output (OUT) representing the output of the receiver circuit, and a feed back element (226) coupled from the logic gate output and connecting to a switching element (228 or 230). The switching element, being responsive to the logic gate output, switches a current source (231 or 233) on and off to adjust a switchpoint of the receiver circuit.

- 2 -

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

象

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種接收機電路包含：

一第一級具有一輸入用以接收輸入信號及一輸出節點，該第一級包含一放大器；

一第二級具有一輸入和該第一級輸出耦合，該第二級另包含：

一邏輯閘和該第一級輸出耦合，該邏輯閘具一輸出代表該接收機電路輸出；以及

一回授元件自該邏輯閘輸出耦合且和一切換元件連接，該切換元件回應該邏輯閘輸出交換開關一電流源以調整該接收機電路之切點。

2. 如申請專利範圍第1項之接收機電路，其中該切換元件包含一電晶體。

3. 如申請專利範圍第1項之接收機電路，其中該切換元件包含一對電晶體。

4. 如申請專利範圍第3項之接收機電路，其中該對電晶體包含一P通道電晶體及一N通道電晶體。

5. 如申請專利範圍第4項之接收機電路，其中該電流源和該P通道電晶體串聯耦合。

6. 如申請專利範圍第4項之接收機電路，其中該電流源和該N通道電晶體串聯耦合。

7. 如申請專利範圍第1項之接收機電路，其中該第一級之放大器包含一跨導放大器。

8. 如申請專利範圍第1項之接收機電路，其中該第一級之放大器包含一差動放大器包含具有基極電流輸出之一基

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

極電流源且該電流源依照該基體電流調整。

9. 如申請專利範圍第1項之接收機電路，其中該第一級輸出之電流以約1%至20%調整。
10. 如申請專利範圍第1項之接收機電路，其中該邏輯閘輸出包含依照和該電流源電流之線性關係受控之磁滯。
11. 如申請專利範圍第1項之接收機電路，其中該接收機電路包含於一半導體晶片上。
12. 如申請專利範圍第1項之接收機電路，其中該輸入信號包含類比信號而該接收機電路抑制該類比信號之雜訊。
13. 如申請專利範圍第1項之接收機電路，其中該邏輯閘輸出包含一數位邏輯狀態。
14. 如申請專利範圍第1項之接收機電路，另包含一電力關閉電路用以在不作用時關掉該放大器。
15. 如申請專利範圍第1項之接收機電路，其中該邏輯閘包含一反向器。
16. 一種接收機電路包含：
 - 一第一級具有一輸入用以接收輸入信號，該第一級包含一放大器具一第一節點做為一輸出及一第二節點；
 - 一第二級具有一輸入和該第一節點耦合，該第二級另包含：
 - 一邏輯閘具一輸入和該第一節點耦合，該邏輯閘具有代表該接收機電路輸出之一輸出；
 - 一切換元件和該第一節點耦合及回應該第一節點交換開關一電流源，使該電流源調整該第一節點之電流以控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

制該邏輯閘輸出之切點，以及

一回授元件和該切換元件耦合及和該放大器之第二節點連接以提供回授調整第一節點之電流。

17. 如申請專利範圍第16項之接收機電路，其中該切換元件包含一電晶體。
18. 如申請專利範圍第16項之接收機電路，其中該切換元件包含一對電晶體。
19. 如申請專利範圍第18項之接收機電路，其中該對電晶體包含一P通道電晶體及一N通道電晶體。
20. 如申請專利範圍第19項之接收機電路，其中該電流源和該P通道電晶體串聯耦合。
21. 如申請專利範圍第19項之接收機電路，其中該電流源和該N通道電晶體串聯耦合。
22. 如申請專利範圍第16項之接收機電路，其中該第一級之放大器包含一跨導放大器。
23. 如申請專利範圍第16項之接收機電路，其中該第一級之放大器包含一差動放大器包含具有基極電流輸出之一基極電流源且該電流源依照該基體電流調整。
24. 如申請專利範圍第16項之接收機電路，其中該第一級輸出之電流以約1%至20%調整。
25. 如申請專利範圍第16項之接收機電路，其中該邏輯閘輸出包含依照和該電流源電流之線性關係受控之磁滯。
26. 如申請專利範圍第16項之接收機電路，其中該接收機電路包含於一半導體晶片上。

六、申請專利範圍

27. 如申請專利範圍第16項之接收機電路，其中該輸入信號包含類比信號而該接收機電路抑制該類比信號之雜訊。
28. 如申請專利範圍第16項之接收機電路，其中該邏輯閘輸出包含一數位邏輯狀態。
29. 如申請專利範圍第16項之接收機電路，另包含一電力關閉電路用以在不作用時關掉該放大器。
30. 如申請專利範圍第16項之接收機電路，其中該邏輯閘包含一反向器。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

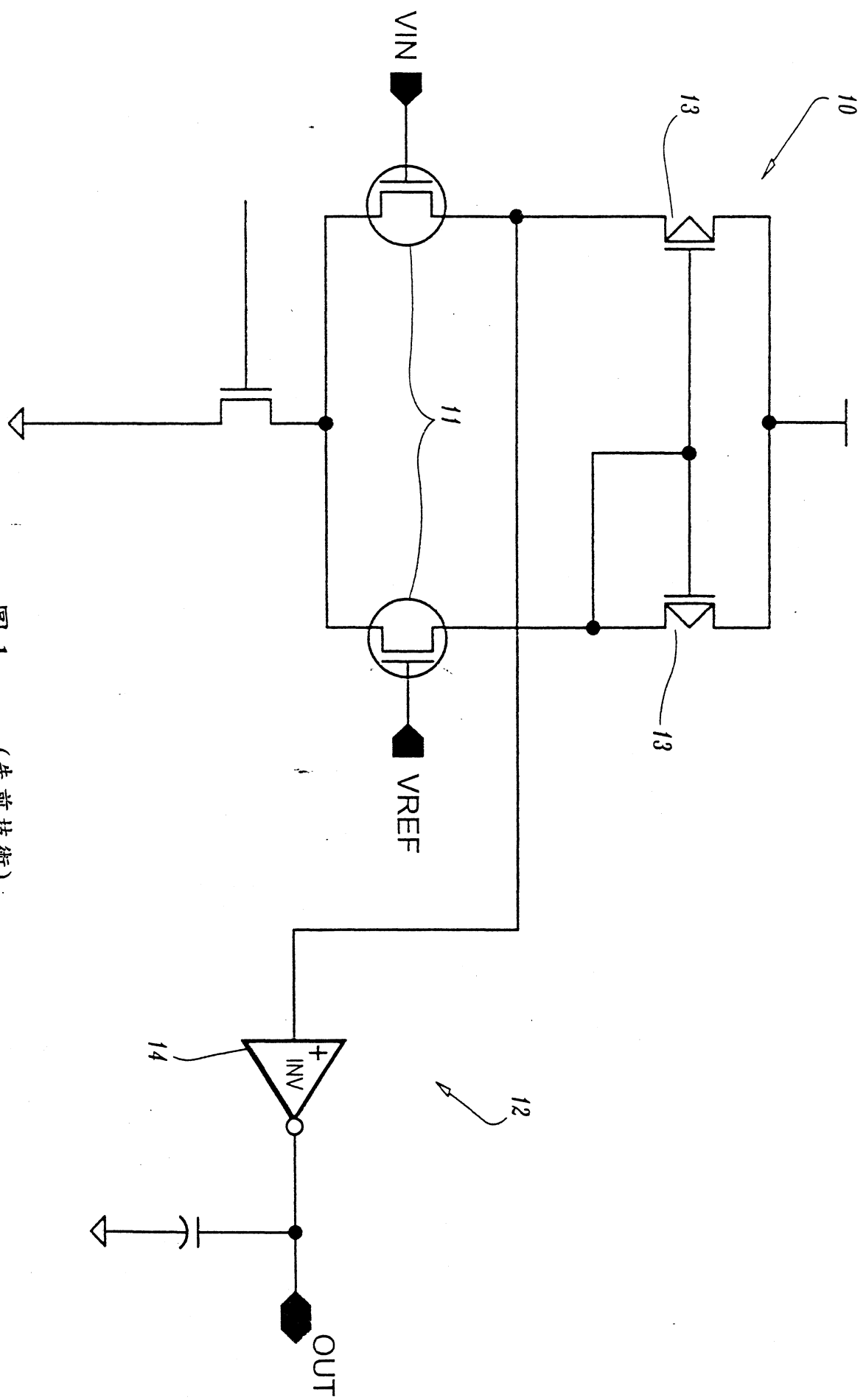
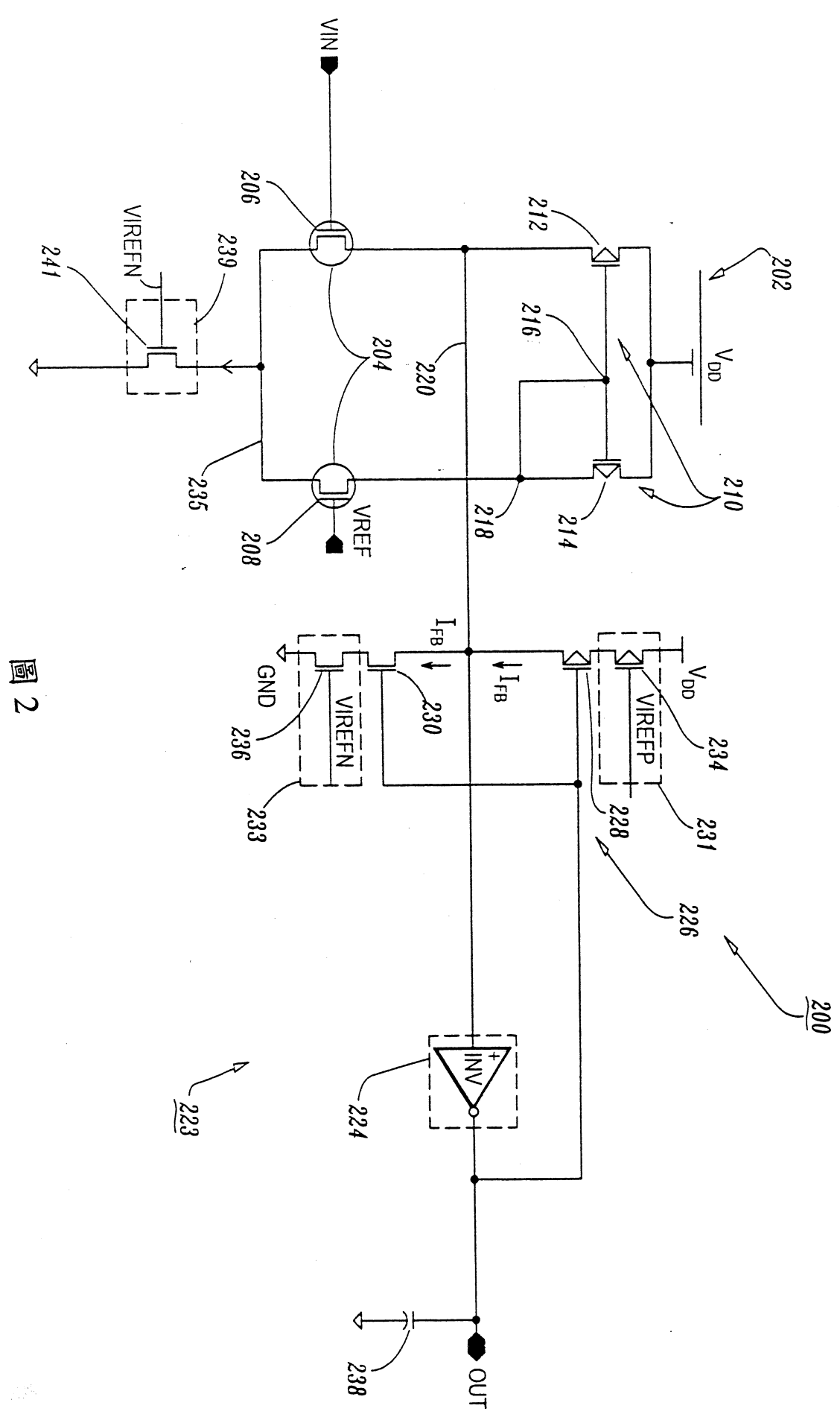


圖 1 (先前技術)



2

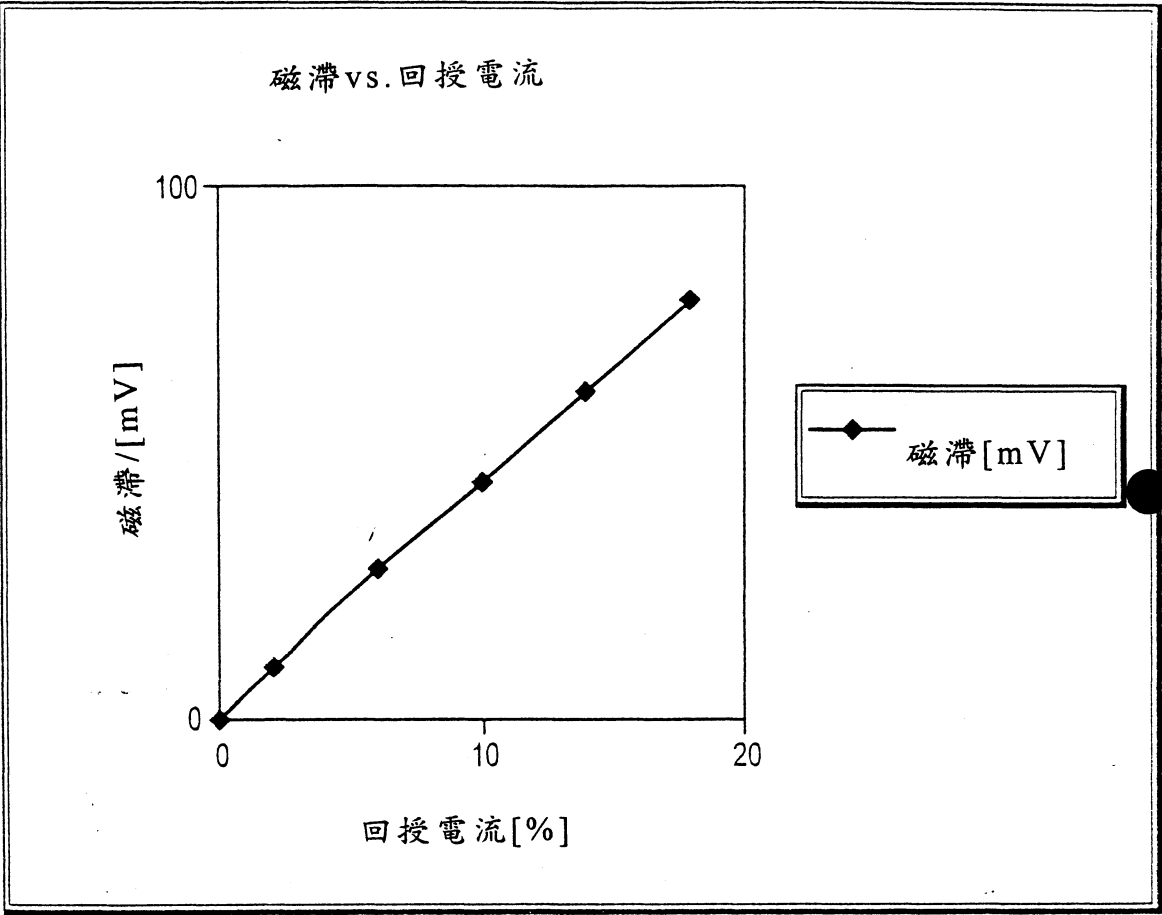


圖 3

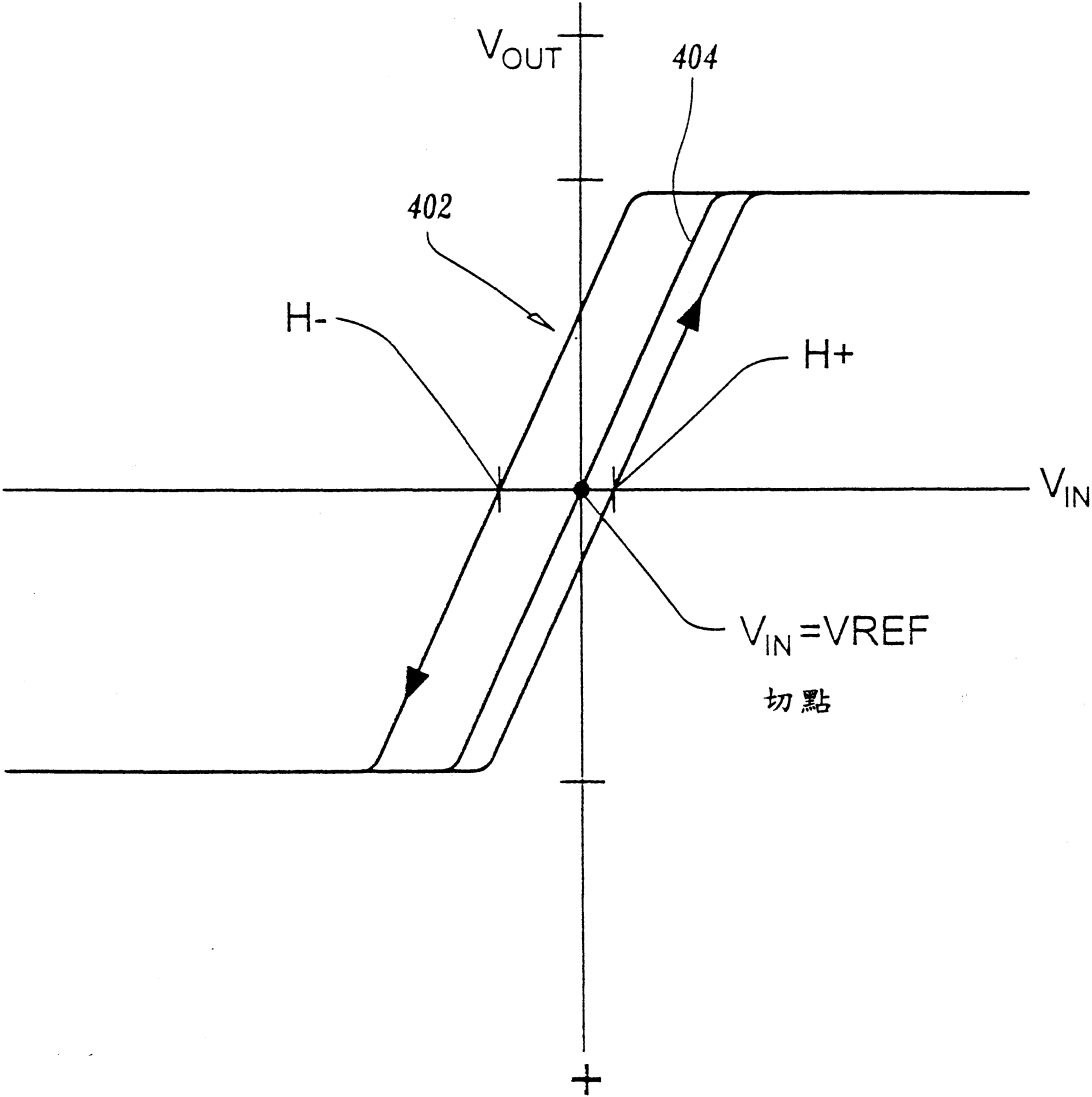


圖 4

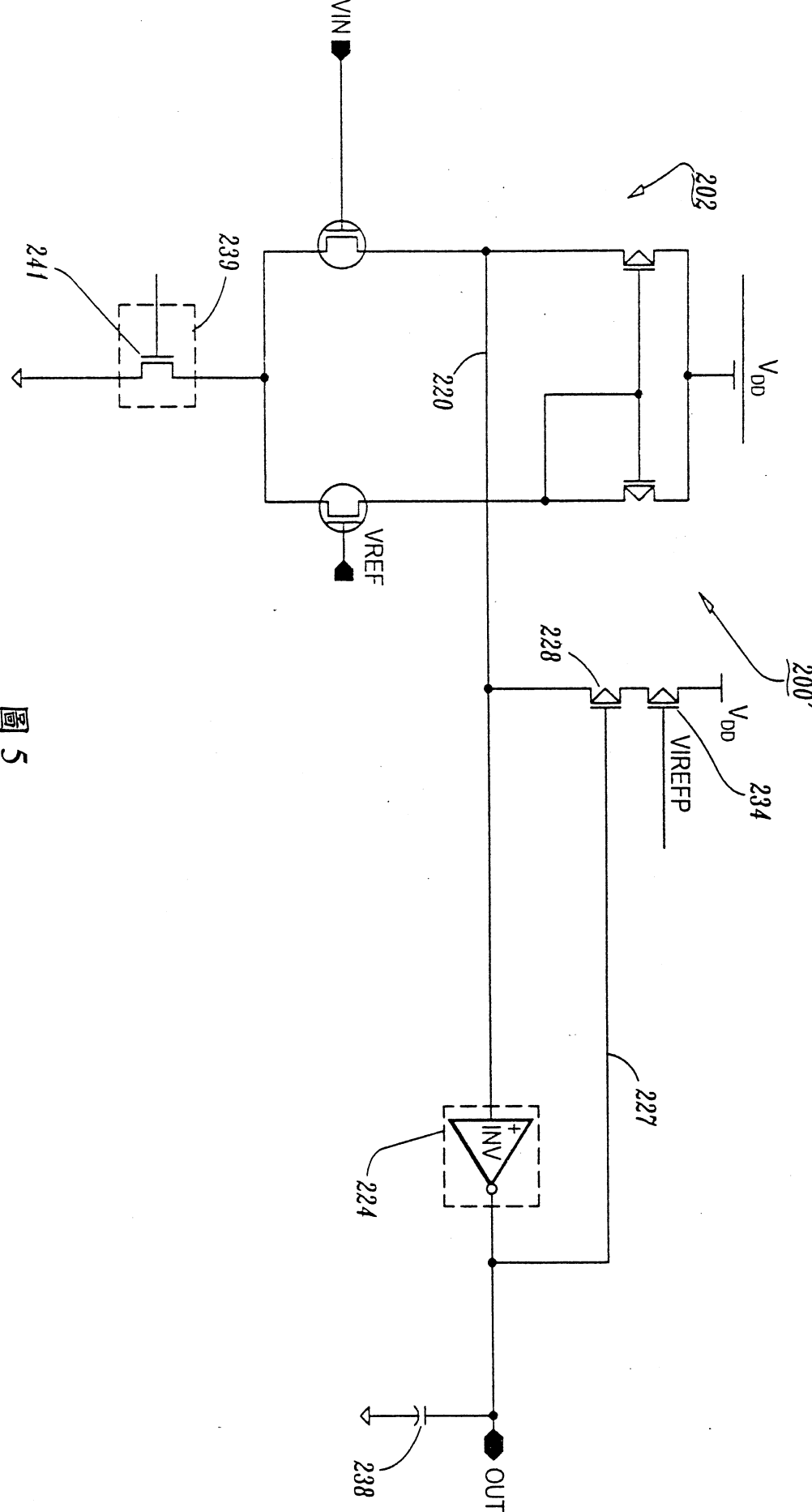


圖 5

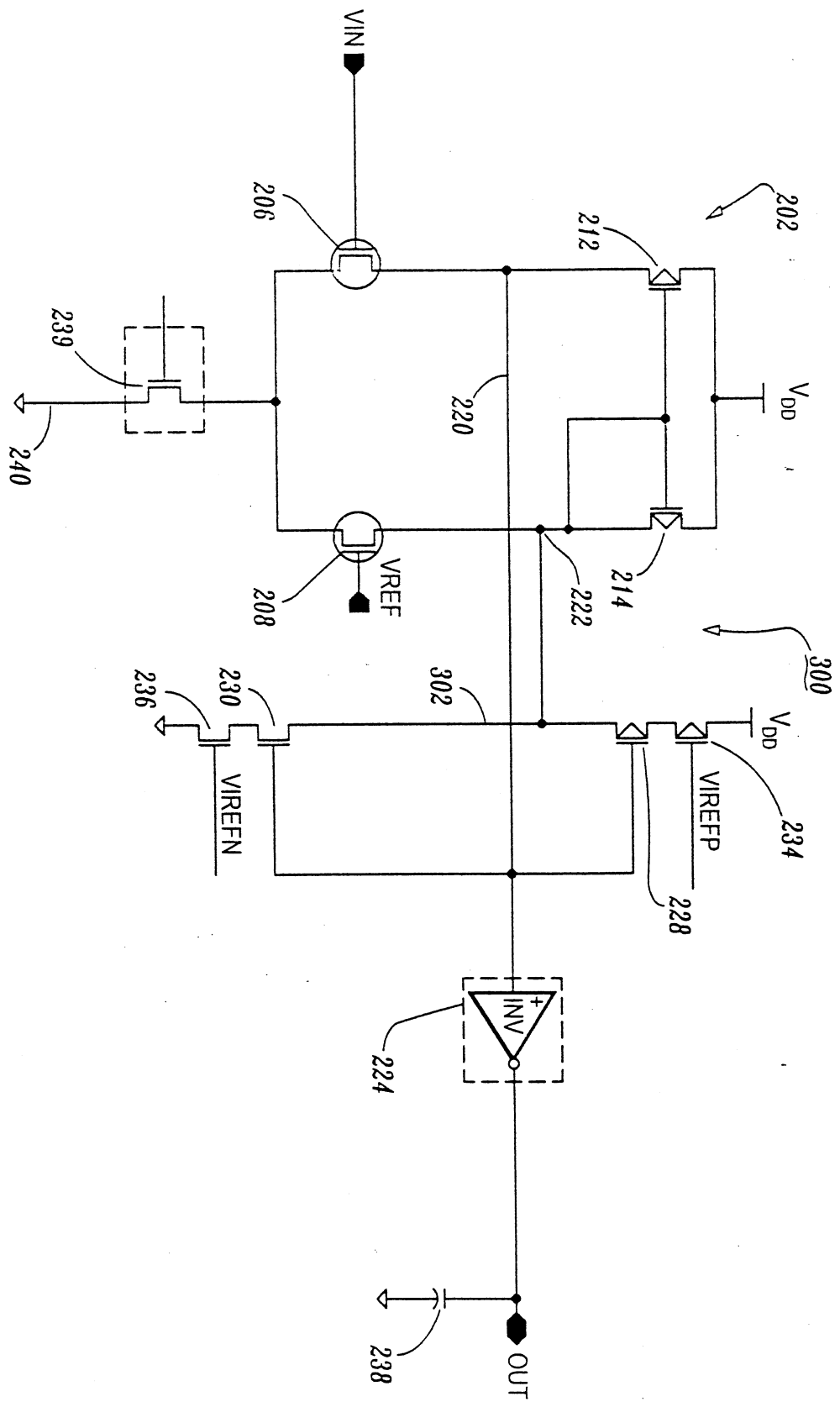


圖 6

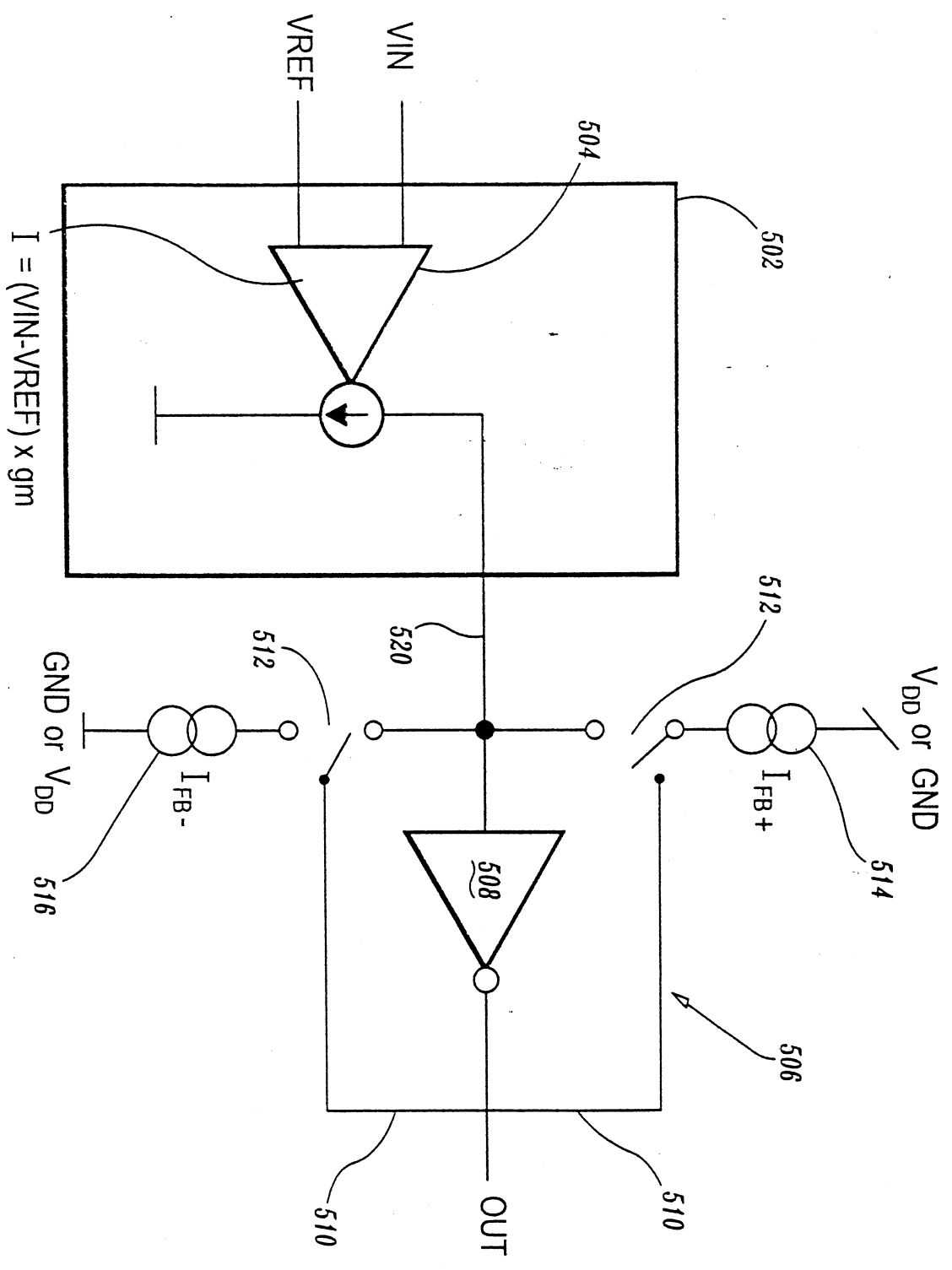


圖 7

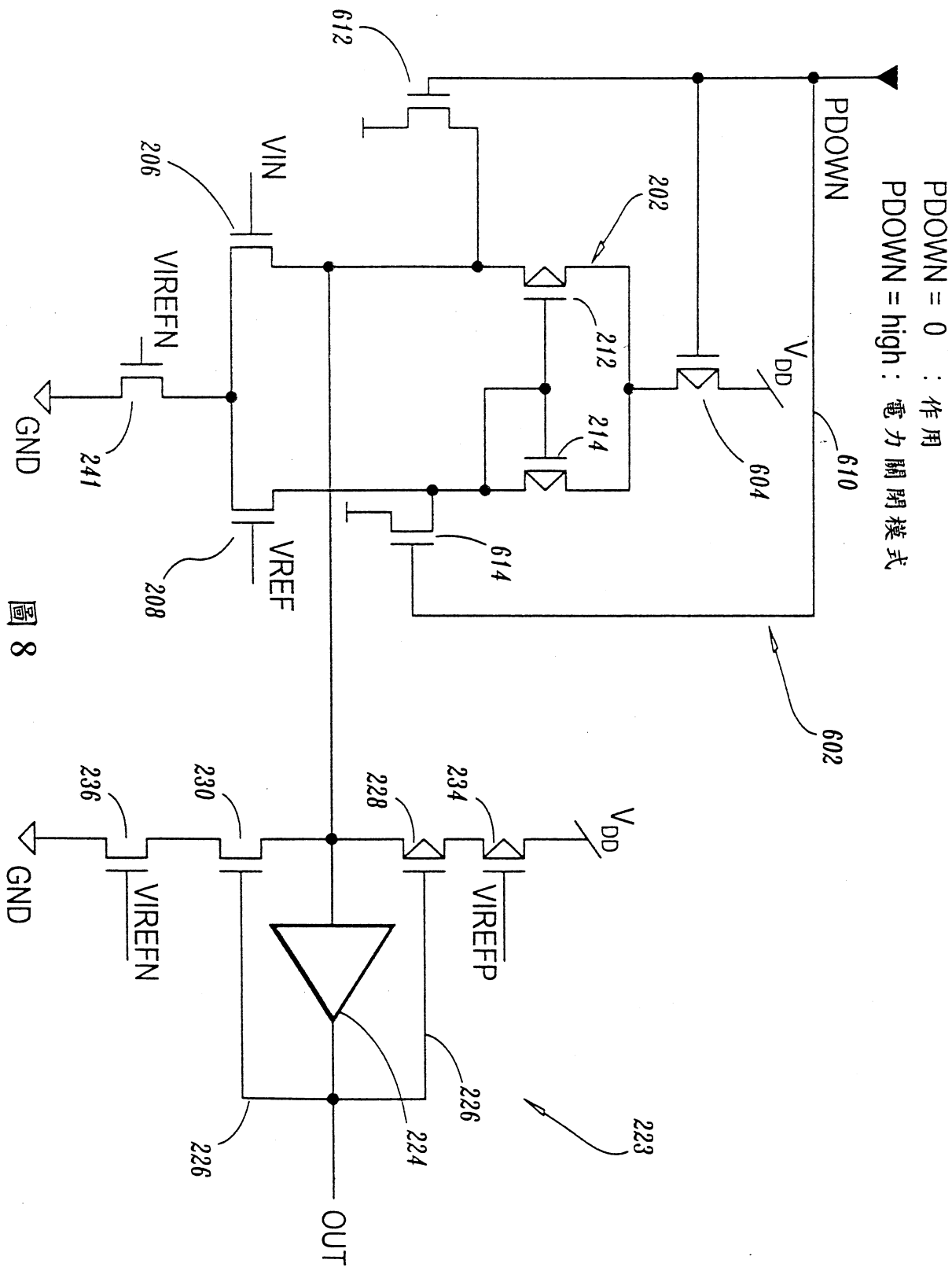


圖 8

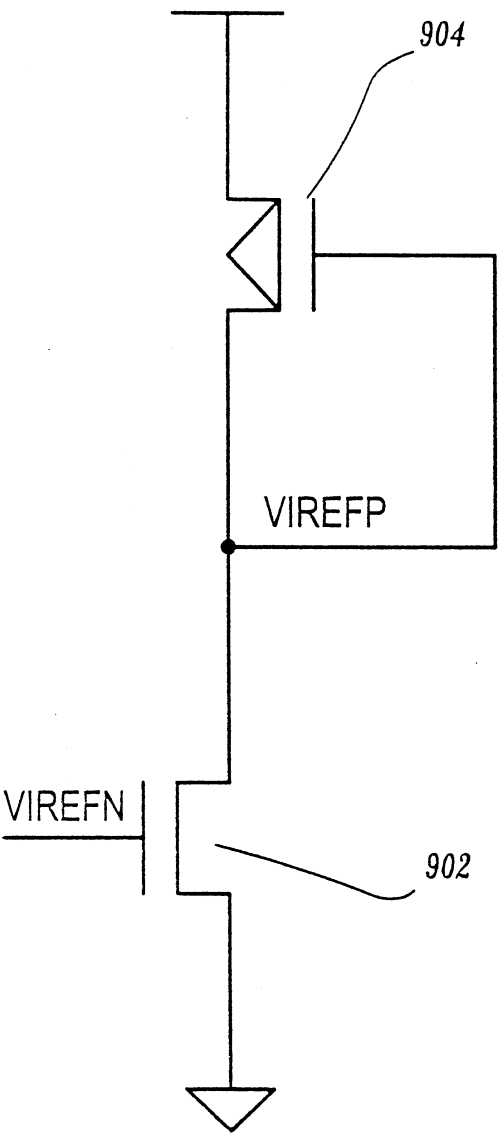


圖 9