



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

251 046

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 05 11 85
(21) PV 7937-85

(51) Int. Cl.

G 06 F 3/05

(40) Zveřejněno 16 10 86

(45) Vydáno 01 09 86

(75)

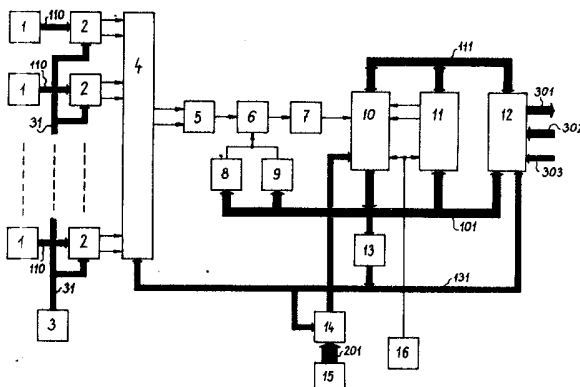
Autor vynálezu

KRTEK JAN ing. CSc., POPOV PETR ing.,
CIBULKA JOSEF ing. CSc., JELÍNEK RICHARD ing. CSc.,
KVASNIČKA JOSEF ing., PREPSL JIŘÍ ing.,
BUCHAR KAREL ing., PRAHA

(54)

Modul n-kanálového sběru, filtrace a A/D převodu
analogových dat

Řešení se týká modulu n-kanálového sběru, filtrace a A/D převodu analogových dat, zejména pro systémy automatického řízení technologických procesů a objektů, který má vysokou projekční flexibilitu a možnosti připojení různých typů čidel bez potřeby normalizačních aktivních nebo pasivních mezičlánků a s možností snadno tvořit variabilní projekční konfigurace jednotlivých kanálů s individuální volbou měřicích rozsahů, rozlišovací schopnosti a časové konstanty filtrace.



251 048

Vynález se týká modulu n-kanálového sběru, filtrace a A/D převodu analogových dat, zejména pro systémy automatického řízení technologických procesů a objektů.

V rozsáhlejších systémech automatického řízení se zpravidla monitoruje značné množství fyzikálních veličin prostřednictvím různých typů čidel s různými nároky na přesnost, rozlišovací schopnost a rychlost měření. Na modul sběru a A/D převodu analogových dat v universální stavebnici pro budování řídicích systémů jsou pak kladeny těžko splnitelné požadavky jako A/D převod různých typů elektrických veličin s úrovněmi, které se mohou lišit o několik řádů, zatížené různými typy rušení. Obvyklé řešení, modul sběru a A/D převodu konstruovaný jako analogový multiplexer a A/D převodník, je spojeno s řadou nevýhod. Mezi primární čidla a vlastní modul sběru a A/D převodu musí být zpravidla vkládány normalizační články pasivní i aktivní distribuované po procesu s doprovodnými problémy napájení, umístění, údržby, případné změny a diagnostiky. Naměřené výsledky je zpravidla nezbytné filtrovat kanál od kanálu různými programovými filtry, přičemž programová filtrace na vyšší řídicí úrovni, získávající data na příklad prostřednictvím komunikace po kruhu může být obtížná nebo nemožná.

Uvedené nevýhody odstraňuje modul n-kanálového sběru, filtrace a A/D převodu analogových dat podle vynálezu, jehož podstata

spočívá v tom, že každý z n zdrojů analogové měronosné veličiny je prostřednictvím vlastní kanálové měřicí sběrnice spojen s jedním z odporově kontaktních propojovacích polí, které je dvou-vodičově spojeno s jednou z dvojic vstupů dvojitého analogového multiplexeru, jehož dvojice výstupů je spojena dvouvodičově s dvojicí vstupů diferenciálního zesilovače. Výstup diferenciálního zesilovače je spojen s napěťovým vstupem integrátoru, jehož proudový vstup je spojen s výstupem klíčovaného zdroje proudu a s výstupem přednastavovacího klíče. Výstup integrátoru je spojen se vstupem komparátoru, jehož výstup je připojen na jeden ze vstupů řadiče, který je vnitřní datovou sběrnicí propojen s blokem čítače-časovače CTC a pamětí výsledků a dále na vnitřní řídicí sběrnicí, která tvoří výstup z řadiče, jsou napojeny svými ovládacími vstupy blok čítače-časovače CTC, paměť výsledků, klíčovaný zdroj proudu, přednastavovací klíč a svým hodinovým vstupem čítač kanálů. Navíc jsou vstupy řadiče spojeny se dvěma z výstupů čítacích kanálů bloku čítače-časovače CTC a na hodinové vstupy řadiče a jednoho z kanálů bloku čítače-časovače CTC je připojen zdroj hodinového signálu, dále výstupy čítače kanálů jsou vnitřní adresní sběrnicí spojeny s adresními vstupy dvojitého analogového multiplexeru, multiplexeru projekčních zadání kanálů a adresními vstupy pro zápis paměti výsledků. Paměť výsledků je napojena na vnější datovou sběrnicí, vnější řídicí sběrnicí a svými adresními vstupy pro čtení na vnější adresní sběrnicí a dále vstupy multiplexeru projekčních zadání kanálů jsou prostřednictvím sběrnice projekčních zadání spojeny s propojovacím polem logických zadání, zatímco jeho výstupy jsou spojeny se vstupy řadiče a výstupy zdroje referenčních napětí jsou prostřednictvím sběrnice referenčních napětí rozvedeny na jednotlivá odporově kontaktní propojovací pole.

Mezi výhody modulu n -kanálového sběru, filtrace a A/D převodu analogových dat podle vynálezu patří vysoká projekční flexibilita s možností přímého připojování různých typů čidel bez distribuovaných normalizačních mezičlánků, možnost snadno tvořit variabilní projekční konfigurace jednotlivých měřicích kanálů s individuální volbou měřicích rozsahů, rozlišovací schopnosti a časové konstanty filtrace.

Blokové schéma modulu n -kanálového sběru, filtrace a A/D převodu analogových dat podle vynálezu je na přiloženém výkresu.

Každý z n zdrojů 1 analogové měronosné veličiny je prostřednictvím vlastní kanálové sběrnice 110, zpravidla dvoudrátové, ale při měření odporů s výhodou čtyřdrátové, spojen s jedním z odporově kontaktních propojovacích polí 2, jehož výstupy jsou dvouvodově připojeny na jednu z dvojic vstupu dvojitého analogového multiplexeru 4. Dvojice výstupů dvojitého analogového multiplexeru 4 je spojena s dvojicí vstupů diferenciálního zesilovače 5, jehož výstup je spojen s napěťovým vstupem integrátoru 6. Na proudový vstup integrátoru 6 je připojen výstup klíčovaného zdroje 8 proudu a současně výstup přednastavovacího klíče 9, zatímco výstup integrátoru 6 je spojen se vstupem komparátoru 7, jehož výstup je připojen na jeden ze vstupů řadiče 10. Řadič 10 je vnitřní datovou sběrnici 111 propojen s blokem 11 čítače-časovače CTC a RAM pamětí 12 výsledků a dále prostřednictvím vnitřní řídicí sběrnice 101 ovládá na tuto napojený blok 11 čítače-časovače CTC, paměť 12 výsledku, klíčovaný zdroj 8 proudu, přednastavovací klíč 9 a rovněž na ni svým hodinovým vstupem napojený čítač 13 kanálů. Na vstupy řadiče 10 jsou přivedeny výstupy dvou čítacích kanálů v bloku 11 čítače-časovače CTC. Na hodinový vstup řadiče 10, stejně jako na hodinový vstup jednoho kanálu bloku 11 čítače-časovače CTC je přiveden signál z vnějšího zdroje 16 hodinového signálu. Výstupy čítače 13 kanálu jsou prostřednictvím vnitřní adresní sběrnice 131 rozvedeny na adresní vstupy dvojitého analogového multiplexeru 4, multiplexeru 14 projekčních zadání kanálů a na adresní vstupy pro zápis paměti 12 výsledků. Výsledky měření jsou zpřístupněny tím, že paměť 12 výsledků je připojena na vnější sběrnici rozdělitelnou obecně na vnější datovou sběrnici 301, vnější adresní sběrnici 302 a vnější řídicí sběrnici 303. Na vstupy vícenásobného multiplexeru 14 projekčních zadání kanálů je prostřednictvím sběrnice 201 projekčních zadání připojeno propojovací pole 15 logických zadání, zatímco jeho výstupy jsou přivedeny na vstupy řadiče 10. Výstupy zdroje 3 referenčních napětí jsou prostřednictvím sběrnice 31 referenčních napětí rozvedeny na jednotlivá odporově kontaktní propojovací pole 2.

Funkce modulu n -kanálového sběru, filtrace a A/D převodu analogových dat podle vynálezu je následující.

Zdrojem 1 měronosné analogové veličiny se zde pro účel popisu rozumí různá čidla, která snímanou fyzikální veličinu převádějí na stejnosměrné elektrické napětí nebo jinou elektrickou veličinu na na-

pětí převoditelnou. Typickým příkladem jsou termočlánky, měřicí transformátory s usměrňovači, odporová teplotní čidla, různá speciální průmyslová čidla s proudovým výstupem apod.

Úkolem odporově kontaktního propojovacího pole 2 je umožnit kombinací propojek na kontaktech převést snímanou elektrickou veličinu na napětí a toto upravit na jednotný napěťový rozsah. Za tímto účelem obsahuje s výhodou odporový řetězec s jednotlivými vývody, vyvedenými na kontakty poskytující možnost vytvořit několik různých napěťových děličů, odpor pro přemostění přívodů od proudového čidla, a tím převedení proudu na napětí, a konečně odpory zapojené mezi referenční napětí ze zdroje 3 referenčních napětí a mezi kontakty odporově kontaktního propojovacího pole 2 pro volitelné naproudění odporového čidla definovaným proudem za účelem převodu odporu na napětí.

Kanálová měřicí sběrnice 110 je zpravidla dvoudrátová pro diferenciální připojení zdroje napětí, případně proudu, ovšem pro odporová čidla je výhodnější čtyřdrátová tak, aby se do měření odporu nezávaděla chyba způsobená odporem přívodních drátů.

Dvojitý analogový multiplexer 4, přepínaný adresou z vnitřní adresní sběrnice 131, v nejjednodušším případě sestává ze dvou n -vstupových analogových multiplexerů, přičemž zdvojení je dáno diferenciálním snímáním měřených napětí. Jeho úkolem je připínat cyklicky normalizovaná výsledná napětí jednotlivých kanálů po dobu A/D konverze na vstup diferenciálního zesilovače 5, který převádí vstupní diferenciální napětí na napětí vztažené proti nulovému potenciálu a zesílené ve zvoleném poměru.

Integrátor 6 může být realizován obvyklým invertujícím zapojením s operačním zesilovačem, integračním odporem a integračním kondenzátorem. Napěťovým vstupem se pak rozumí vstup před integračním odporem, zatímco proudový vstup je za tímto odporem.

Integrátor 6 spolu s komparátorem 7 a klíčovým zdrojem 8 proudu je základem převodníku napětí na kmitočet /dále V/f /.

Integrátor 6 integruje vstupní napětí na napěťovém vstupu a současně proudové impulsy opačné polaroty z klíčovaného zdroje 8 proudu spínané na konstantní dobu zajišťující konstantní dávku náboje vždy, když výstupní napětí integrátoru 6 dosáhne komparační úrovně komparovaného komparátorem 7.

Klíčový zdroj 8 proudu je ovládán řadičem 10 na základě informace z komparátoru 7. Řadič 10 je synchronní sekvenční automat realizo-

vatelný například pevnou pamětí typu PROM se zpětnou vazbou přes registr vzorkovaný signálem ze zdroje 16 hodinového signálu, který prostřednictvím souboru výstupních logických signálů souhrnně označovaného jako vnitřní řídicí sběrnice 101 ovládá a řídí funkci ostatních funkčních bloků modulu. Využívá k tomu informace na svých vstupech, podle které se může větvit průběh stavového diagramu.

Vždy na začátku A/D převodu cyklicky následujícího kanálu zajistí řadič 10 inkrementaci, resp. dekrementaci čítače kanálů 13, na základě dekódování projekčního zadání pro daný kanál načítaného prostřednictvím multiplexeru 14 projekčních zadání kanálů ze sběrnice 201 projekčních zadání, která je zakončena propojovacím polem 15 logických zadání, na kterém má každý kanál vyhrazen stejný počet uzemnitelných kontaktů pro zakódování zvolené doby filtrační integrace a způsobu číselného zobrazení výsledku A/D převodu přednastaví prostřednictvím vnitřní řídicí sběrnice 101a konstant vysílaných ba vnitřní datovou sběrnici 111 kanál vyhrazený v univerzálním čítači-časovači CTC 10, kterým může být například integrovaný obvod I 8253, pro odměřování doby filtrační integrace na odpočítání potřebného počtu hodinových impulsů. Řadič 10 dále naprogramuje kanál vyhrazený na předdělování počtu impulsů V/f převodníku na dělení potřebným číslem a konečně nastaví počáteční stav kanálu určeného pro čítání počtu předdělených impulsů po dobu filtrační integrace. Volbou doby filtrační integrace rovné periodě dominantního superponovaného rušivého signálu, což bývá v průmyslovém prostředí 50 Hz, ale například u čidel výkonových měničů 300 Hz se zajistí eliminace této složky rušení včetně jejích celistvých násobků. Volbou předdělení lze zajistit nezávislost výsledku A/D převodu získaného čítáním předdělených pulsů po dobu filtrační integrace na této době. Mimoto lze volbou předdělení menším číslem, než vyplývá z uvedeného požadavku, získat vyšší rozlišovací schopnost za cenu toho, že na množinu například osmibitových čísel výsledku se zobrazí pouze jistý úsek vstupního měřicího rozsahu, kompromis mezi požadovanou rozlišovací schopností a objemem přenášených informací v řídicím systému. Předpokládá to ovšem, že blok 11 čítače-časovače CTC, určený pro čítání předdělených pulsů V/f převodu, má více bitů než přenášený výsledek. Po odměření doby filtrační integrace, o čemž je řadič 10 informován výstupem příslušného kanálu přivedeným na jeden ze svých vstupů, zajistí řadič

prostřednictvím signálů vnitřní řídicí sběrnice 101 vyvolání obsahu bloku 11 čítače a časovače CTC čítajícího pulsy na vnitřní datovou sběrnici 111 a na základě otestování potřebného počtu bitů řádově nad MSB přenášeného výsledku a projekčního zadání pro daný kanál rozhodne, zda načítaný počet pulsů je v předpokládaném rozsahu, či zda došlo k podtečení nebo přetečení.

V případě správného výsledku zajistí přepsání dolní části bloku 11 čítače a časovače CTC pro čítání předdělených pulsů přes vnitřní datovou sběrnici 111 do paměti 12 výsledků na adresu dodávanou čítačem 13 kanálů. Není-li výsledek v předpokládaných mezích, vyšle řadič 10 na vnitřní datovou sběrnici 111 konstantu přetečení nebo podtečení a zajistí její zapsání do paměti 12 výsledků. Po inkrementaci stavu čítače 13 kanálů se celý postup konverze opakuje pro cyklicky následující měřicí kanál s modifikacemi danými jeho projekčním zadáním na projekční sběrnici zadání 201.

Přednastavovací klíč 9 je zdroj proudu opačné polaroty v porovnání s klíčovaným zdrojem 8 proudu ovládaný řadičem 10, který umožňuje vždy na začátku konverze po přepnutí dvojitého analogového multiplexeru 4 a ustálení analogových obvodů nastavit výchozí stav integrátoru 6. Délku impulsu V/f převodu, ve všech režimech stejnou, odměřuje řadič 10 jako daný počet hodinových pulsů. Hodinové impulsy kanálů bloku 11 čítače-časovače CTC, vyhrazených pro předdělování pulsů a pro jejich čítání, jsou s výhodou dodávány z vnitřní řídicí sběrnice 101.

Paměť 12 výsledků je připojena na sběrnici řídicího systému, která obecně sestává z hlediska popisovaného modulu z vnější datové sběrnice 301, vnější adresní sběrnice 302 a vnější řídicí sběrnice 303.

PŘEDMĚT VYNALEZU

251 048

Modul n-kanálového sběru, filtrace a A/D převodu analogových dat, zejména pro systémy automatického řízení technologických procesů a objektů, v y z n a č e n ý t í m , že každý z n-zdrojů /1/ analogové měronosné veličiny je prostřednictvím vlastní kanálové měřicí sběrnice /110/ spojen s jedním z odporově kontaktních propojovacích polí /2/, které je dvouvodičově spojeno s jednou z dvojic vstupů dvojitého analogového multiplexeru /4/, jehož dvojice výstupů je spojena dvouvodičově s dvojicí vstupů diferenciálního zesilovače /5/, přičemž výstup diferenciálního zesilovače /5/ je spojen s napěťovým vstupem integrátoru /6/, jehož proudový vstup je spojen s výstupem klíčovaného zdroje /8/ proudu a s výstupem přednastavovacího klíče /9/, zatímco výstup integrátoru /6/ je spojen se vstupem komparátoru /7/, jehož výstup je připojen na jeden ze vstupů řadiče /10/, který je vnitřní datovou sběrnicí /111/ propojen s blokem /11/ čítače-časovače CTC a paměti /12/ výsledků, dále na vnitřní řídicí sběrnicí /101/, která tvoří výstup z řadiče /10/, jsou napojeny svými ovládacími vstupy blok /11/ čítače-časovače CTC, paměť /12/ výsledků, klíčovaný zdroj /8/ proudu, přednastavovací klíč /9/ a svým hodinovým vstupem čítač /13/ kanálů, navíc jsou vstupy řadiče /10/ spojeny se dvěma z výstupů čítacích kanálů bloku /11/ čítače-časovače CTC a na hodinové vstupy řadiče /10/ a jednoho z kanálů bloku /11/ čítače-časovače CTC je připojen zdroj /16/ hodinového signálu, dále výstupy čítače /13/ kanálů jsou vnitřní adresní sběrnicí /131/ spojeny s adresními vstupy dvojitého analogového multiplexeru /4/, multiplexeru /14/ projekčních zadání kanálů a adresními vstupy pro zápis paměti /12/ výsledků, přičemž paměť /12/ výsledků je napojena na vnější datovou sběrnicí /301/, vnější řídicí sběrnicí /303/ a svými adresními vstupy pro čtení na vnější adresní sběrnicí /302/, dále vstupy multiplexeru /14/ projekčních zadání kanálů jsou prostřednictvím sběrnice /201/ projekčních zadání spojeny s propojovacím polem /15/ logických zadání, zatímco jeho výstupy jsou spojeny se vstupy řadiče /10/ a výstupy zdroje /3/ referenčních napětí jsou prostřednictvím sběrnice /31/ referenčních napětí rozvedeny na jednotlivá odporově kontaktní propojovací pole /2/.

