



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0091787
(43) 공개일자 2012년08월20일

(51) 국제특허분류(Int. Cl.)

H03K 5/22 (2006.01) H03K 19/0175 (2006.01)

(21) 출원번호 10-2011-0011779

(22) 출원일자 2011년02월10일

심사청구일자 2011년02월10일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김철우

서울특별시 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)

박영호

서울특별시 광진구 능동로48길 18-1 (중곡동)

김경민

경기도 남양주시 와부읍 덕소로97번길 12, 주공아파트 209동 1008호

(74) 대리인

특허법인엠에이피에스

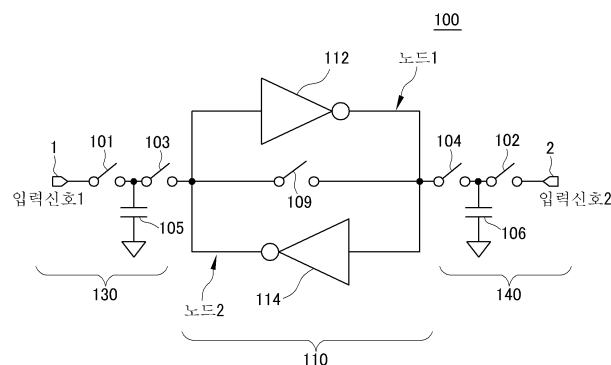
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 데이터 샘플링 장치 및 이를 이용한 데이터 샘플링 방법

(57) 요약

데이터 샘플링 장치는 입력과 출력이 교차 접속된 인버터를 포함하고, 교차 접속된 인버터의 제 1 노드와 제 2 노드에 전달된 입력신호에 대해 능동 피드백을 수행하는 인버터 모듈 및 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 연결된 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로를 포함하는 샘플 앤 홀드 모듈을 포함하되, 샘플 앤 홀드 모듈은 제 1 입력신호와 제 2 입력신호를 샘플링하고, 클럭 신호의 제어에 따라 샘플링된 제 1 입력신호와 제 2 입력신호의 홀드된 신호를 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 전달하고, 인버터 모듈은 제 1 노드와 제 2 노드에 전달된 홀드된 신호에 대해 능동 피드백을 수행하고, 능동 피드백이 수행된 홀드된 신호의 값을 출력신호로 출력한다.

대표도 - 도4



특허청구의 범위

청구항 1

데이터 샘플링 장치에 있어서,

입력과 출력이 교차 접속된 인버터를 포함하고, 상기 교차 접속된 인버터의 제 1 노드와 제 2 노드에 전달된 입력신호에 대해 능동 피드백을 수행하는 인버터 모듈 및

상기 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 연결된 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로를 포함하는 샘플 앤 홀드 모듈을 포함하되,

상기 샘플 앤 홀드 모듈은 제 1 입력신호와 제 2 입력신호를 샘플링하고, 클럭 신호의 제어에 따라 상기 샘플링된 제 1 입력신호와 제 2 입력신호의 홀드된 신호를 상기 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 전달하고,

상기 인버터 모듈은 상기 제 1 노드와 제 2 노드에 전달된 상기 홀드된 신호에 대해 상기 능동 피드백을 수행하고, 상기 능동 피드백이 수행된 상기 홀드된 신호의 값을 출력신호로 출력하는

데이터 샘플링 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로는

입력신호를 저장하는 커패시터,

상기 입력신호를 상기 커패시터로 전달하는 제 1 스위치 및

상기 커패시터와 상기 인버터 모듈의 노드를 연결하는 제 2 스위치

를 각각 포함하는 것을 특징으로 하는 데이터 샘플링 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 스위치는 PMOS 트랜지스터이고, 상기 제 2 스위치는 NMOS 트랜지스터인 것을 특징으로 하는 데이터 샘플링 장치.

청구항 4

제 2 항에 있어서,

상기 샘플 앤 홀드 모듈은

상기 클럭 신호의 제어에 따라 상기 제 1 스위치를 닫고 상기 제 2 스위치를 열어 상기 커패시터에 상기 입력신호를 저장하고, 상기 클럭 신호의 제어에 따라 상기 제 1 스위치를 열고 상기 제 2 스위치를 닫아 상기 커패시터에 저장된 홀드된 신호의 값을 상기 인버터 모듈의 각 노드로 전달하는 것을 특징으로 하는 데이터 샘플링 장치.

청구항 5

제 2 항에 있어서,

상기 인버터 모듈은

상기 클럭 신호의 제어에 따라 상기 제 1 노드와 제 2 노드를 연결하거나 연결 해제하는 제 3 스위치를 포함하는 것인 데이터 샘플링 장치.

청구항 6

제 5 항에 있어서,

상기 인버터 모듈은

상기 클럭 신호의 제어에 따라 상기 커패시터에 상기 입력신호가 저장될 경우 상기 제 3 스위치를 닫아 상기 제 1 노드와 제 2 노드를 연결시켜 상기 제 1 노드와 제 2 노드의 전압에 대한 균등화가 이루어지도록 하고, 상기 클럭 신호의 제어에 따라 상기 커패시터에 저장된 상기 입력신호의 홀드된 신호 값이 상기 교차 접속된 인버터의 상기 제 1 노드와 제 2 노드에 각각 전달될 경우 상기 제 3 스위치를 열어 상기 제 1 노드와 제 2 노드의 연결을 해제시키는 것인 데이터 샘플링 장치.

청구항 7

제 5 항에 있어서,

상기 교차 접속된 인버터는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성되고, 상기 제 3 스위치는 PMOS 트랜지스터로 구성된 것을 특징으로 하는 데이터 샘플링 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 하나의 항에 있어서,

상기 클럭 신호를 발생시키는 클럭 신호 생성부를 더 포함하는 데이터 샘플링 장치.

청구항 9

데이터 샘플링 장치를 이용한 데이터 샘플링 방법에 있어서,

(a) 능동 피드백을 수행하는 인버터 모듈에 포함된 입력과 출력이 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 연결된 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로가 제 1 입력신호와 제 2 입력신호를 샘플링하여 저장하는 단계,

(b) 상기 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로가 상기 제 1 입력신호와 제 2 입력신호의 홀드된 신호 값을 상기 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 전달하는 단계,

(c) 상기 인버터 모듈이 상기 제 1 노드와 제 2 노드에 전달된 상기 제 1 입력신호와 제 2 입력신호의 홀드된 신호에 대해 상기 능동 피드백을 수행하는 단계 및

(d) 상기 능동 피드백이 수행된 상기 홀드된 신호의 값을 출력신호로 출력하는 단계를 포함하는 데이터 샘플링 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로는

입력신호를 저장하는 커패시터,

상기 입력신호를 상기 커패시터로 전달하는 제 1 스위치 및

상기 커패시터와 상기 인버터 모듈의 노드를 연결하는 제 2 스위치

를 각각 포함하고,

상기 (a) 단계는

클럭 신호의 제어에 따라 상기 제 1 스위치를 닫고 상기 제 2 스위치를 열어서 상기 커패시터에 상기 입력신호를 저장하는 것인 데이터 샘플링 방법.

청구항 11

제 9 항에 있어서,

상기 인버터 모듈은

상기 제 1 노드와 제 2 노드를 연결하거나 연결 해제하는 제 3 스위치를 포함하고,

상기 (a) 단계는

상기 인버터 모듈이 클럭 신호의 제어에 따라 상기 제 3 스위치를 닫아 상기 제 1 노드와 제 2 노드를 연결시켜 상기 제 1 노드와 제 2 노드의 전압에 대한 균등화가 이루어지도록 하는 단계를 포함하는 것인 데이터 샘플링 방법.

청구항 12

제 11 항에 있어서,

상기 (b) 단계는

상기 인버터 모듈이 상기 클럭 신호의 제어에 따라 상기 제 3 스위치를 열어 상기 제 1 노드와 제 2 노드의 연결을 해제시키는 단계를 포함하는 것인 데이터 샘플링 방법.

명세서

기술 분야

[0001] 본 발명은 데이터 샘플링 장치 및 이를 이용한 데이터 샘플링 방법에 관한 것이다.

배경 기술

[0002] 고속의 데이터 전송이 필요한 SoC(System on Chip)나 ASIC(Application Specific Integrated Circuit) 등의 데이터 송수신 분야에서, 송신기는 고속의 데이터를 채널을 통해 수신기로 전송하고, 수신기는 클럭(clock)을 이용하여 송신기로부터 전송된 신호를 읽는다. 여기서, 채널은 기본적으로 로우 패스 필터(low pass filter) 특성을 가지고 있으므로, 채널을 통과한 송신기의 출력 신호는 그 특성이 크게 저하되어, 신호의 진폭이 작아지거나 신호들 간에 간섭이 많이 발생하게 된다.

[0003] 한편, 송신기로부터 전송된 신호는 일반적으로 차동 데이터 구조를 갖고 있으며, 수신기의 데이터 샘플링 회로는 고속 데이터 또는 소진폭 차동 데이터와 같은 입력신호의 값을 읽어 출력신호로 출력한다. 그러나, 센스-앰프(sense-amplifier)나 고속 비교기(comparator)와 같은 종래의 데이터 샘플링 회로는 그 구조가 대부분 상당히 복잡하여 설계가 어렵고, 복잡한 구조로 인하여 면적을 크게 차지할 뿐 아니라, 다수의 기생 커패시터 성분(parasitic capacitance)들이 발생하여 실제 칩으로 제작하였을 때 성능이 저하되는 문제점이 있었다.

[0004] 또한, 데이터 샘플링 회로의 입력단에 인가되는 차동 데이터 구조의 입력신호는 계속적으로 변화하고 있기 때문에 인가된 입력신호의 정확한 값을 읽기가 어렵고, 데이터 샘플링 회로가 입력신호의 값을 판별하는 동안 변화하는 입력(전압) 값이 데이터 샘플링 회로에 영향을 주어 잘못된 출력값을 생성할 수 있었다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 일 실시예는 회로의 구조를 단순화시켜 다수의 기생성분의 발생을 제거하고, 고속 데이터 또는 소진폭 차동 데이터와 같은 입력신호를 효과적으로 판별하여 처리하는 데이터 샘플링 장치 및 이를 이용한 데이터 샘플링 방법을 제공하는 데에 그 목적이 있다.
- [0006] 또한, 본 발명의 일 실시예는 샘플 앤 홀드 회로를 교차 접속된 인버터의 입력단에 연결함으로써, 샘플 앤 홀드 회로를 통해 수신한 홀드된 신호 값의 차이를 교차 접속된 인버터의 능동 피드백에 의해 크게 하여 각각의 입력 신호들을 보다 정확하게 판별할 수 있는 데이터 샘플링 장치 및 이를 이용한 데이터 샘플링 방법을 제공하는 데에 목적이 있다.

과제의 해결 수단

- [0007] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 실시예에 따른 데이터 샘플링 장치는 입력과 출력이 교차 접속된 인버터를 포함하고, 교차 접속된 인버터의 제 1 노드와 제 2 노드에 전달된 입력신호에 대해 능동 피드백을 수행하는 인버터 모듈 및 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 연결된 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로를 포함하는 샘플 앤 홀드 모듈을 포함하되, 샘플 앤 홀드 모듈은 제 1 입력신호와 제 2 입력신호를 샘플링하고, 클럭 신호의 제어에 따라 샘플링된 제 1 입력신호와 제 2 입력신호의 홀드된 신호를 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 전달하고, 인버터 모듈은 제 1 노드와 제 2 노드에 전달된 홀드된 신호에 대해 능동 피드백을 수행하고, 능동 피드백이 수행된 홀드된 신호의 값을 출력신호로 출력한다.
- [0008] 또한, 본 발명의 일 실시예에 따른 데이터 샘플링 방법은 (a) 능동 피드백을 수행하는 인버터 모듈에 포함된 입력과 출력이 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 연결된 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로가 제 1 입력신호와 제 2 입력신호를 샘플링하여 저장하는 단계, (b) 제 1 샘플 앤 홀드 회로와 제 2 샘플 앤 홀드 회로가 제 1 입력신호와 제 2 입력신호의 홀드된 신호 값을 교차 접속된 인버터의 제 1 노드와 제 2 노드에 각각 전달하는 단계, (c) 인버터 모듈이 제 1 노드와 제 2 노드에 전달된 제 1 입력신호와 제 2 입력신호의 홀드된 신호에 대해 능동 피드백을 수행하는 단계 및 (d) 능동 피드백이 수행된 홀드된 신호의 값을 출력신호로 출력하는 단계를 포함한다.

발명의 효과

- [0009] 전술한 본 발명의 과제 해결 수단 중 어느 하나에 의하면, 회로의 구조를 단순화시켜 다수의 기생성분의 발생을 제거하고, 고속 데이터 또는 소진폭 차동 데이터와 같은 입력신호를 효과적으로 판별하여 처리할 수 있다.
- [0010] 또한, 전술한 본 발명의 과제 해결 수단 중 어느 하나에 의하면, 샘플 앤 홀드 회로를 교차 접속된 인버터의 입력단에 연결함으로써, 샘플 앤 홀드 회로를 통해 수신한 홀드된 신호 값의 차이를 교차 접속된 인버터의 능동 피드백에 의해 크게 하여 각각의 입력신호들을 보다 정확하게 판별할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 통상적인 교차 접속된 구조의 인버터 회로를 도시한다.
- 도 2는 상기 도 1의 교차 접속된 인버터의 각각의 전압 특성을 도시한다.
- 도 3은 상기 도 1의 교차 접속된 인버터의 전압 특성을 도시한다.
- 도 4는 본 발명의 일 실시 예에 따른 데이터 샘플링 장치의 구성도이다.
- 도 5는 본 발명의 일 실시 예에 따른 입력신호를 샘플링하여 저장하는 데이터 샘플링 장치의 스위치 구성을 도시한다.
- 도 6은 본 발명의 일 실시 예에 따른 각 노드에 입력된 신호에 대해 능동 피드백을 수행하는 데이터 샘플링 장치의 스위치 구성을 도시한다.
- 도 7은 본 발명의 일 실시 예에 따른 클럭의 신호와 클럭 신호의 고/저 상태에 따른 각 스위치들의 상태를 도시

한다.

도 8은 상기 도 4의 데이터 샘플링 장치의 상세 구성도이다.

도 9는 본 발명의 일 실시 예에 따른 클럭 신호가 ‘저’에서 ‘고’ 상태로 변화될 때, 교차 접속된 인버터의 각 노드의 변화를 도시한다.

도 10은 본 발명의 일 실시 예에 따른 데이터 샘플링 장치의 여러 모의 환경에서의 실험 결과 값으로 표로 도시한 것이다.

도 11은 본 발명의 일 실시 예에 따른 데이터 샘플링 방법의 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 다수의 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0013] 명세서 전체에서, 어떤 부분이 다른 부분과 “연결”되어 있다고 할 때, 이는 “직접적으로 연결”되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 “전기적으로 연결”되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 “포함”한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0014] 도 1은 통상적인 교차 접속된 구조의 인버터 회로를 도시한다.
- [0015] 도 1에 도시된 바와 같이, 통상적인 교차 접속된 인버터(12, 14)는 능동 피드백(positive feedback) 역할을 하므로, 각 인버터들(12, 14)의 입력력 상태가 외부의 영향을 받지 않고 안정화된 상태로 유지된다.
- [0016] 즉, 외부의 조절에 의해서 서로 불안정한 동작점을 초기 상태로 셋팅할 경우, 능동 피드백 특성에 의해서 교차 접속된 인버터(12, 14)의 입력력 상태는 안정화된 상태로 빠르게 도달하는 특성을 갖는다. 이와 같이, 인버터의 입력과 출력이 서로 교차 구성된 경우, 교차 접속된 인버터(12, 14)의 각각의 전압 특성은 하기 도 2와 같이 나타난다.
- [0017] 도 2는 상기 도 1의 교차 접속된 인버터의 각각의 전압 특성을 도시한다.
- [0018] 도 2의 (a)에 도시된 바와 같이, 인버터(12)의 입력전압(즉, 노드 2의 전압)의 변화에 따라 출력전압(즉, 노드 1의 전압)이 변하게 된다.
- [0019] 또한 도 2의 (b)에 도시된 바와 같이, 인버터(14)의 입력전압(즉, 노드 1의 전압)의 변화에 따라 출력전압(즉, 노드 2의 전압)이 변하게 된다. 따라서, 교차 접속된 인버터(12, 14)는 결과적으로 하기 도 3과 같은 전압 특성을 갖게 된다.
- [0020] 도 3은 상기 도 1의 교차 접속된 인버터의 전압 특성을 도시한다.
- [0021] 도 3에 도시된 바와 같이, 교차 접속된 인버터(12, 14)는 서로 능동 피드백 역할을 수행하므로, 노드 1과 노드 2의 신호(전압) 값은 전압 특성 곡선에 나타나 있는 ‘가’ 또는 ‘나’의 위치 중 하나에 위치하게 된다. 여기서, 초기 상태나 외부 인자에 의해서 노드 1 또는 노드 2가 ‘가’와 ‘나’ 이외의 위치에 놓이게 되면, 교차 접속된 인버터(12, 14)의 능동 피드백으로 인해 노드 1은 ‘가’ 위치에, 노드 2는 ‘나’ 위치에 위치하게 된다.
- [0022] 그리고, 초기 상태에서 노드 1과 노드 2의 신호 값이 ‘다’에 위치하여 매우 작은 차이의 값을 가지게 되면, 후술할 본 발명의 데이터 샘플링 장치(100)를 통해 안정화된 값으로 도달시켜, 노드 1과 노드 2의 차이값을 크게 하여 보다 정확히, 노드 1과 노드 2에 전달된 신호의 값을 읽어 출력할 수 있게 된다.
- [0023] 도 4는 본 발명의 일 실시 예에 따른 데이터 샘플링 장치의 구성도이다.
- [0024] 도 4에 도시된 바와 같이, 본 발명의 데이터 샘플링 장치(100)는 인버터 모듈(110) 및 인버터 모듈(110)의 입력단에 연결된 샘플 앤 홀드 모듈(130, 140)을 포함한다.
- [0025] 인버터 모듈(110)은 입력과 출력이 교차 접속된 인버터(112, 114) 및 클럭 신호의 제어에 따라 교차 접속된 인

버터(112, 114)의 노드 1과 노드 2를 연결하거나 연결 해제하는 제 3 스위치(109)를 포함한다. 또한, 인버터 모듈(110)은 클럭 신호를 생성하는 클럭 생성부(3)(도 8 참조)를 더 포함할 수 있다.

- [0026] 인버터 모듈(110)은 교차 접속된 인버터(112, 114)의 노드 1과 노드 2에 전달되는 입력신호 1과 입력신호 2에 대해 능동 피드백을 수행한다. 이를 통해, 인버터 모듈(110)은 노드 1과 노드 2에 전달된 각각의 입력신호 1과 입력신호 2의 홀드된 신호 값의 차이값을 크게 하여 각각의 홀드된 신호 값을 명확하게 읽어 출력신호로 출력할 수 있다.
- [0027] 샘플 앤 홀드 모듈(130, 140)은 교차 접속된 인버터(112, 114)의 노드 1과 노드 2에 각각 연결된 제 1 샘플 앤 홀드 회로(sample and hold circuit)(130)와 제 2 샘플 앤 홀드 회로(140)를 포함한다. 샘플 앤 홀드 모듈(130, 140)은 입력신호 1과 입력신호 2를 샘플링하고, 클럭 신호의 제어에 따라 샘플링된 입력신호 1과 입력신호 2의 홀드된 신호를 교차 접속된 인버터(112, 114)의 노드 1과 노드 2에 각각 전달한다.
- [0028] 여기서, 제 1 샘플 앤 홀드 회로(130) 및 제 2 샘플 앤 홀드 회로(140)는 입력신호를 저장하는 병렬 연결된 커패시터(105, 106), 입력신호를 커패시터(105, 106)로 전달하는 제 1 스위치(101, 102) 및 커패시터(105, 106)와 인버터 모듈(110)의 노드를 연결하는 제 2 스위치(103, 104)를 각각 포함한다. 이하, 도 5 및 도 6을 통해 보다 구체적으로 설명한다.
- [0029] 도 5는 본 발명의 일 실시 예에 따른 입력신호를 샘플링하여 저장하는 데이터 샘플링 장치의 스위치 구성을 도시한다.
- [0030] 도 5에 도시된 바와 같이, 클럭 신호의 제어에 따라 제 1 스위치(101, 102)가 닫히고 제 2 스위치(103, 104)가 열리면, 외부로부터 입력단자(1, 2)에 입력된 입력신호 1과 입력신호 2가 제 1 커패시터(105)와 제 2 커패시터(106)에 각각 샘플링되어 저장된다. 여기서, 각 커패시터(105, 106)에 저장된 신호(전압)의 값은 입력신호 1과 입력신호 2의 변화를 따르게 된다. 이때, 제 2 스위치(103, 104)가 열려있는 상태여서 변화하는 입력신호 1과 입력신호 2의 값이 노드 1과 노드 2에 영향을 주지 못한다.
- [0031] 또한, 클럭 신호의 제어에 따라 제 3 스위치(109)는 데이터 샘플링 장치(100)의 노드 1과 노드 2를 연결하여, 노드 1과 노드 2의 신호 값이 동일한 전압 균등화(equalization)가 이루어지도록 한다. 즉, 데이터 샘플링 장치(100)의 초기 상태에서 제 3 스위치(109)를 통해 노드 1과 노드 2를 연결함으로써, 상술한 도 3에 도시된 상태 곡선의 ‘다’ 상태로 교차 접속된 인버터(112, 114)의 노드 1과 노드 2의 신호 값을 초기화시키게 된다.
- [0032] 도 6은 본 발명의 일 실시 예에 따른 각 노드에 입력된 신호에 대해 능동 피드백을 수행하는 데이터 샘플링 장치의 스위치 구성을 도시한다.
- [0033] 이어서 설명하면 도 6에 도시된 바와 같이, 특정 시점에서 클럭 신호의 제어에 따라 제 1 스위치(101, 102)가 열리고 제 2 스위치(103, 104)가 닫히면, 각 커패시터(105, 106)는 제 2 스위치(103, 104)가 닫히는 순간의 샘플링된 입력신호 1과 입력신호 2의 홀드된 신호 값을 기억한다. 그리고, 각 커패시터(105, 106)에 저장(기억)된 입력신호 1과 입력신호 2의 홀드된 신호 값이 노드 1과 노드 2로 각각 전달된다.
- [0034] 이때, 클럭 신호의 제어에 따라 특정 시점에서 제 1 스위치(101, 102)가 열리고 제 2 스위치(103, 104)가 닫힐 경우, 제 3 스위치(109)가 열리게 되어 노드 1과 노드 2 사이의 직접적인 연결은 해제된다. 그리고, 초기 상태에서의 노드 1과 노드 2에 전달된 신호의 차이값은 교차 접속된 인버터(112, 114)의 능동 피드백에 의해 점차 커져서 더욱 명확하게 구분될 수 있는 상태가 된다.
- [0035] 즉, 샘플 앤 홀드 모듈(130, 140)에 의해 작은 차이값을 갖는 입력신호 1과 입력신호 2의 홀드된 신호 값이 노드 1과 노드 2로 각각 전달되면, 교차 접속된 인버터(112, 114)의 능동 피드백 동작에 의해서 노드 1과 노드 2에 전달된 신호의 값이 상술한 도 3의 ‘가’ 또는 ‘나’ 상태를 갖게 되어 신호의 차이값이 커지게 된다. 따라서, 노드 1과 노드 2로 전달된 각 신호의 정확한 값을 판별할 수 있게 된다. 그리고 인버터 모듈(110)은 각각의 신호를 읽어 출력신호로 출력하게 된다.
- [0036] 이와 같이, 본 발명의 데이터 샘플링 장치(100)는 샘플 앤 홀드 모듈(130, 140)을 인버터 모듈(110)의 각 입력단에 연결함으로써, 교차 접속된 인버터(112, 114)가 샘플 앤 홀드 모듈(130, 140)을 통해 수신한 홀드된 신호 값의 차이를 능동 피드백에 의해 크게 하여 각각의 입력신호들을 보다 정확하게 판별할 수 있다.
- [0037] 이에 반해, 샘플 앤 홀드 모듈(130, 140)이 구성되지 않았던 종래의 통상적인 데이터 샘플링 회로는 입력단에 인가되는 입력신호가 계속적으로 변하기 때문에, 입력신호의 정확한 값을 읽기가 어려웠다. 또한, 데이터 샘플링 회로가 값을 판별하는 동안에 변화한 입력신호 값이 데이터 샘플링 회로에 영향을 주어 잘못된 출력값을 생

성하였다. 특히, 데이터 입력 속도가 고속일수록 데이터 샘플링 회로의 성능을 악화시켰다.

- [0038] 그러나, 본 발명의 데이터 샘플링 장치(100)는 상술한 바와 같이 변화하는 입력신호 값을 특정 시점에 홀드시킨 상태에서 그 차이를 크게 하여 정확한 값을 판별할 수 있으며, 입력신호로서 소진폭 차동 데이터뿐 아니라 고속의 데이터에 대해서도 더욱 정확하게 성능의 저하를 줄이면서 동작할 수 있어 종래의 문제점들을 해소시킬 수 있다.
- [0039] 한편, 본 발명의 데이터 샘플링 장치(100)에 사용된 스위치(101~104, 109)의 제어는 클럭 신호에 의해 이루어진다. 이하 도 7을 통해 클럭 신호와 클럭 신호의 고/저 상태에 따른 각 스위치들의 상태에 대해서 구체적으로 설명하기로 한다.
- [0040] 도 7은 본 발명의 일 실시 예에 따른 클럭의 신호와 클럭 신호의 고/저 상태에 따른 각 스위치들의 상태를 도시한다.
- [0041] 도 7에 도시된 바와 같이, 클럭 신호와 클럭의 상태에 따른 각 스위치(101~104, 109)의 상태를 나타낸다. 클럭 신호가 ‘저’ 상태일 때 제 1 스위치(101, 102)는 닫히고 제 2 스위치(103, 104)는 열리고, 제 3 스위치(109)는 닫힌 상태가 된다. 이때, 입력신호 1과 입력신호 2는 커패시터(105, 106)에 각각 저장되며, 클럭 신호가 ‘저’에서 ‘고’ 상태로 넘어가는 순간 각 커패시터(105, 106)에 홀드된 신호 값이 노드 1과 노드 2로 각각 전달된다.
- [0042] 이때, 제 1 스위치(101, 102)는 열리고 제 2 스위치(103, 104)는 닫히고, 제 3 스위치(109)는 열린 상태가 된다. 그리고, 교차 접속된 인버터(112, 114)에 의해 노드 1과 노드 2에 전달된 신호간의 차이값이 커지게 된다. 이를 통해 입력신호에 대한 정확한 값을 판별할 수 있으며, 고속의 입력신호에 대해서도 정확하게 성능의 저하를 줄이면서 동작할 수 있게 된다.
- [0043] 한편, 상술한 도 4의 데이터 샘플링 장치(100)는 하기 도 8과 같이 PMOS 트랜지스터와 NMOS 트랜지스터로 구성될 수 있다.
- [0044] 도 8은 상기 도 4의 데이터 샘플링 장치의 상세 구성도이다.
- [0045] 도 8에 도시된 바와 같이, PMOS 트랜지스터(201, 202)는 상술한 제 1 스위치(101, 102)에 각각 대응하며, PMOS 트랜지스터(209)는 제 3 스위치(109)에 대응한다. 상술한 제 1 인버터(112)는 PMOS 트랜지스터(207)와 NMOS 트랜지스터(205)를 포함하고, 제 2 스위치(103)는 NMOS 트랜지스터(203)에 대응된다.
- [0046] 또한, 상술한 제 2 인버터(114)는 PMOS 트랜지스터(208)와 NMOS 트랜지스터(206)를 포함하고, 제 2 스위치(104)는 NMOS 트랜지스터(204)에 대응된다. 여기서, 기생 커패시터 성분에 의해 상술한 커패시터(105, 106)는 생략 가능하다.
- [0047] 또한, 클럭 생성부(3)에 의해 생성된 클럭 신호는 트랜지스터(201~204, 209)를 제어할 수 있으며, 상술한 도 7의 클럭 신호와 스위치간의 관계를 만족시키도록 트랜지스터(201, 202, 209)는 PMOS 형태로, 트랜지스터(203, 204)는 NMOS 형태로 구성될 수 있다.
- [0048] 또한, 상술한 데이터 샘플링 장치(100)는 제 3 인버터(211, 212)와 NOR(213, 214)로 구성된 슬레이브 래치(210) 및 제 4 인버터(215, 216)를 포함할 수 있다. 이때, 노드 1과 노드 2에 전달된 홀드된 신호는 제 3 인버터(211, 212)를 통해 슬레이브 래치(210)로 전달되고, 제 4 인버터(215, 216)는 해당 신호의 극성을 바로 잡아 각 출력단자(4, 5)를 통해 출력신호1과 출력신호2로 각각 출력할 수 있다. 상술한 도 8을 기초로 클럭 신호의 상태 변화에 따른 노드 1 및 노드 2의 변화를 도 9에서 구체적으로 후술하기로 한다.
- [0049] 도 9는 본 발명의 일 실시 예에 따른 클럭 신호가 ‘저’에서 ‘고’ 상태로 변화될 때, 교차 접속된 인버터의 각 노드의 변화를 도시한다.
- [0050] 도 9에 도시된 바와 같이, 클럭 신호가 ‘저’인 상태에서는 트랜지스터(209)가 켜져서 노드 1과 노드 2를 연결시킨다. 이를 통해 노드 1과 노드 2의 신호 값이 동일한 전압 균등화가 이루어진다. 이때, 트랜지스터(201, 202)를 통하여 입력신호가 입력된다.
- [0051] 그리고, 클럭 신호가 ‘고’ 상태가 되면 트랜지스터(209)가 꺼져서 노드 1과 노드 2의 연결 상태를 해제시킨다. 이때, 트랜지스터(203, 204)를 통하여 노드 1과 노드 2에 입력신호가 전달된다. 그리고 노드 1과 노드 2에 각각 전달된 입력신호의 값은 능동 피드백에 의해서 차이가 점차 크게 되어, 각각의 입력신호 값을 명확하게 판별할 수 있게 상태가 된다.

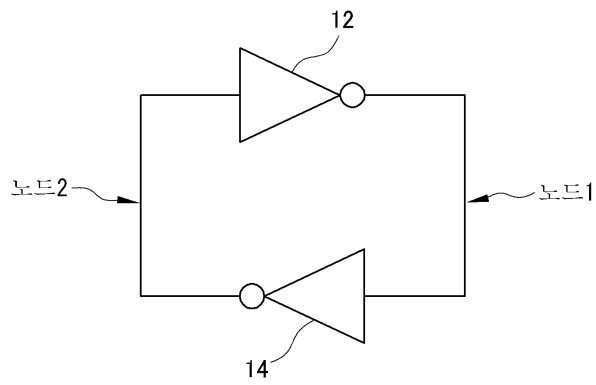
- [0052] 도 10은 본 발명의 일 실시 예에 따른 데이터 샘플링 장치의 여러 모의 환경에서의 실험 결과 값으로 표로 도시한 것이다.
- [0053] 도 10에 도시된 바와 같이, 실험 결과 표에서 'VCM'은 입력신호 1과 입력신호 2의 중심 전압을 나타내며, 'Vswing'은 입력신호 1과 입력신호 2의 'VCM'을 중심으로 신호의 폭을 나타낸다. 실험 결과 표에서, 'P'표기는 데이터 샘플링 장치(100)가 노드 1과 노드 2에 전달된 각각의 입력신호 1과 입력신호 2의 홀드된 신호의 값을 명확하게 읽어 출력신호1과 출력신호2로 출력한 경우를 나타낸 것이다.
- [0054] 도 11은 본 발명의 일 실시 예에 따른 데이터 샘플링 방법의 순서도이다.
- [0055] 도 11에 도시된 바와 같이, 능동 피드백을 수행하는 인버터 모듈(110)에 포함된 입력과 출력이 교차 접속된 인버터(112, 114)의 노드 1과 노드 2에 각각 연결된 제 1 샘플 앤 홀드 회로(130) 및 제 2 샘플 앤 홀드 회로(140)를 포함하는 샘플 앤 홀드 모듈(130, 140)이 입력신호 1과 입력신호 2를 샘플링하여 각각 저장한다(S1101).
- [0056] 여기서, 제 1 샘플 앤 홀드 회로(130) 및 제 2 샘플 앤 홀드 회로(140)는 입력신호를 저장하는 커패시터(105, 106), 입력신호를 커패시터(105, 106)로 전달하는 제 1 스위치(101, 102) 및 커패시터(105, 106)와 인버터 모듈(110)의 노드를 연결하는 제 2 스위치(103, 104)를 각각 포함할 수 있다.
- [0057] 또한, 샘플 앤 홀드 모듈(130, 140)은 클럭 신호의 제어에 따라 제 1 스위치(101, 102)를 닫고 제 2 스위치(103, 104)를 열어서 각각의 커패시터(105, 106)에 입력신호를 저장할 수 있다. 이때, 클럭 신호의 제어에 따라 제 3 스위치(109)가 닫혀 노드 1과 노드 2를 연결시키게 된다.
- [0058] 여기서, 제 1 스위치(101, 102)와 제 2 스위치(103, 104)는 각각 PMOS 트랜지스터와 NMOS 트랜지스터로 구성될 수 있다. 또한, 교차 접속된 인버터(112, 114)는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성되고, 제 3 스위치(109)는 PMOS 트랜지스터로 구성될 수 있다. 이에 대한 상세한 설명은 도 8을 참조하기 바란다.
- [0059] 다음으로, 샘플 앤 홀드 모듈(130, 140)이 클럭 신호의 제어에 따라 저장된 입력신호 1과 입력신호 2의 홀드된 신호 값을 교차 접속된 인버터(112, 114)의 노드 1과 노드 2에 각각 전달한다(S1111). 이때, 클럭 신호의 제어에 따라 제 3 스위치(109)가 열려 노드 1과 노드 2의 연결을 해제시키게 된다.
- [0060] 다음으로, 인버터 모듈(110)이 노드 1과 노드 2에 전달된 입력신호 1과 입력신호 2의 홀드된 신호에 대해 능동 피드백을 수행한다(S1121).
- [0061] 그리고, 능동 피드백이 수행된 홀드된 신호의 차이를 읽어 출력신호로 출력한다(S1131).
- [0062] 한편, 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0063] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

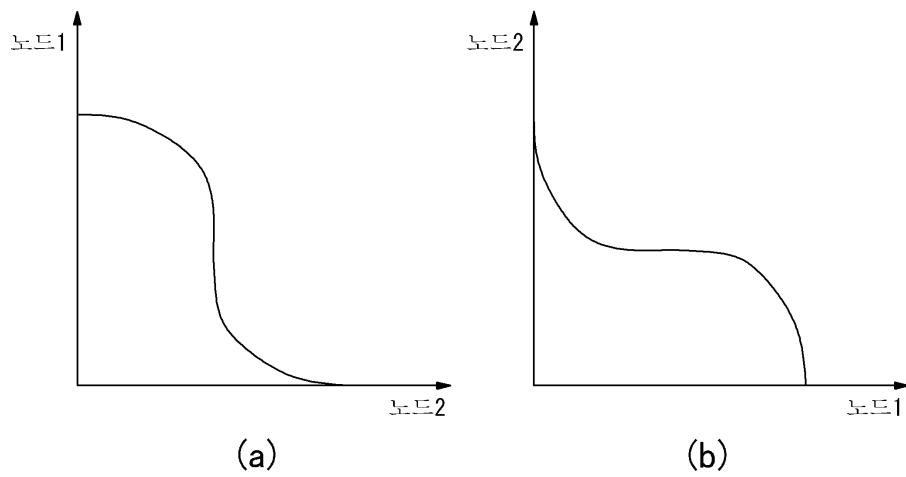
- [0064] 101~104, 109: 스위치
105, 106: 커패시터
110: 인버터 모듈
112, 114: 인버터
130, 140: 샘플 앤 홀드 회로

도면

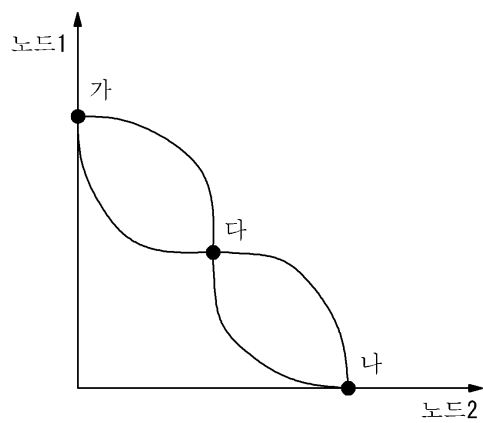
도면1



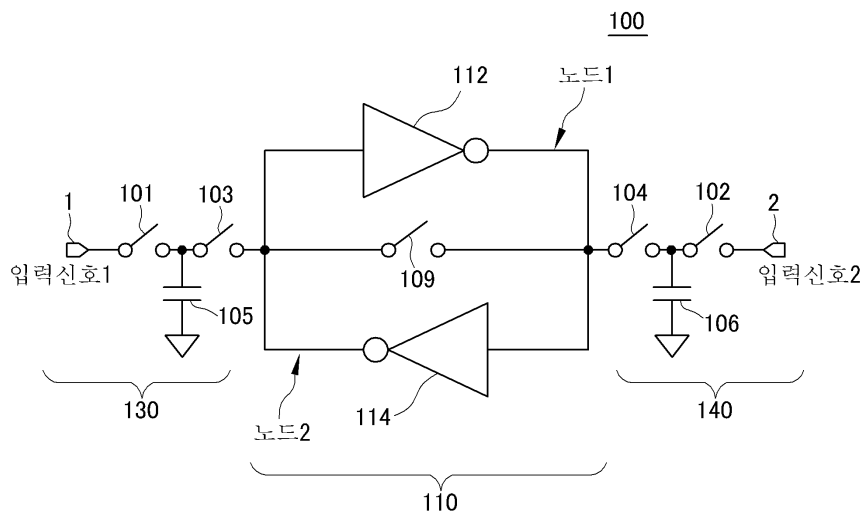
도면2



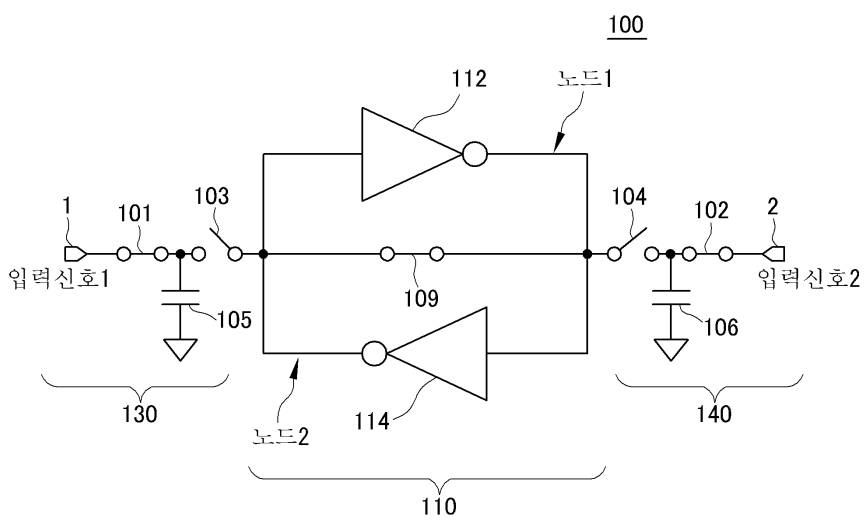
도면3



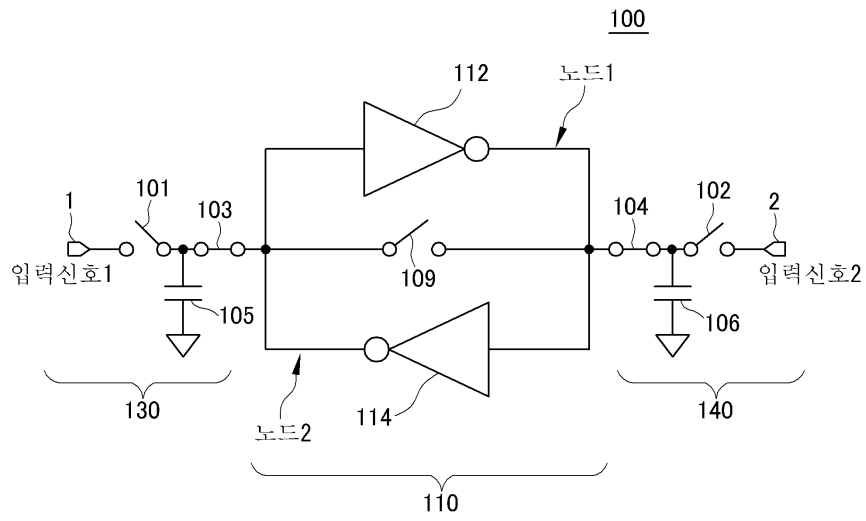
도면4



도면5



도면6

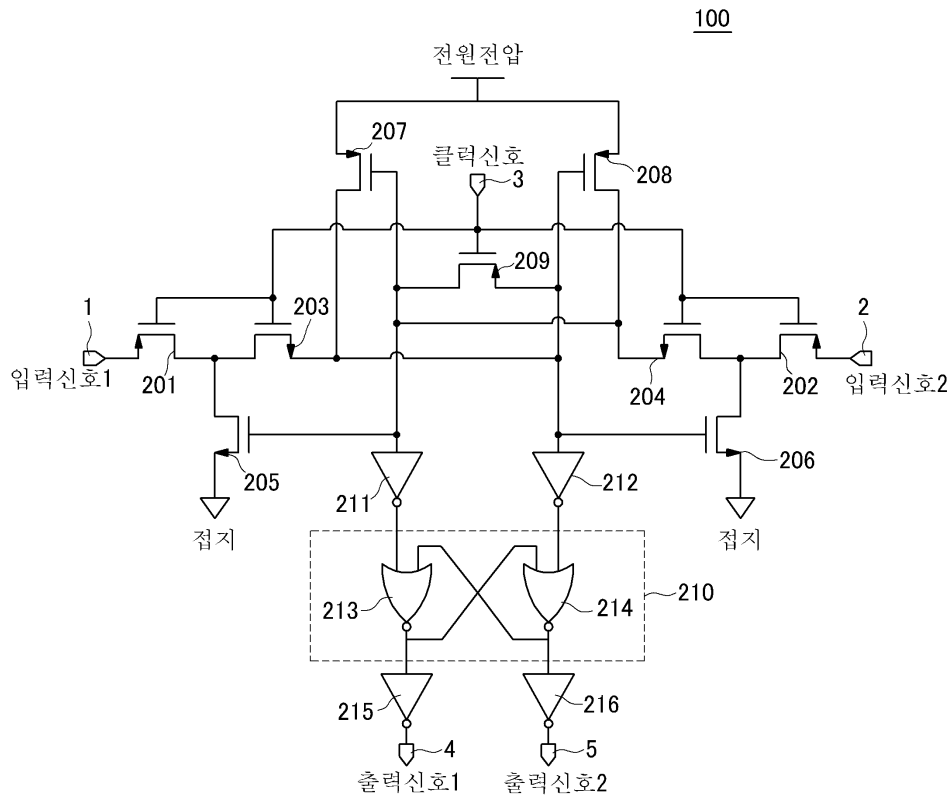


도면7

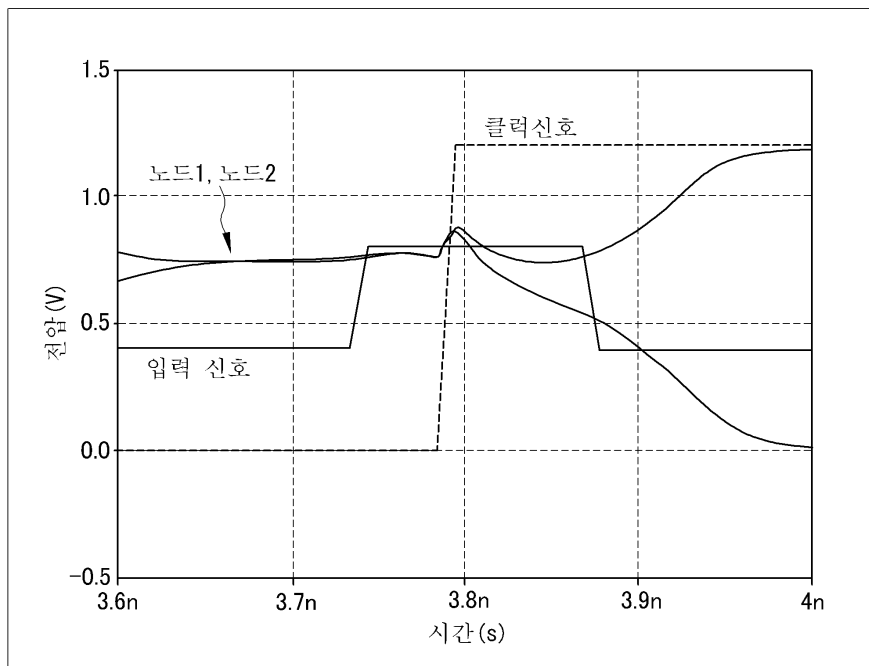


	스위치		
클럭 신호	101, 102	103, 104	109
저	단합	열림	단합
고	열림	단합	열림

도면8



도면9



도면10

		Vswing										
		6.25m	12.5m	25m	50m	75m	100m	175m	200m	260m	275m	300m
VCM	0.3										P	P
	0.4							P	P	P	P	P
	0.5					P	P	P	P	P	P	P
	0.6			P	P	P	P	P	P	P	P	P
	0.7		P	P	P	P	P	P	P	P	P	P
	0.8		P	P	P	P	P	P	P	P	P	P
	0.9			P	P	P	P	P	P	P	P	P
	1			P	P	P	P	P	P			
	1.1			P	P	P	P					

도면11

