

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 18 年 9 月 21 日 (2006.9.21)

【公表番号】特表 2006-508413 (P2006-508413A)

【公表日】平成 18 年 3 月 9 日 (2006.3.9)

【年通号数】公開・登録公報 2006-010

【出願番号】特願 2003-582653 (P2003-582653)

【国際特許分類】

G 0 6 F 13/10 (2006.01)

G 0 6 F 13/12 (2006.01)

【F I】

G 0 6 F 13/10 3 4 0 B

G 0 6 F 13/12 3 3 0 A

【手続補正書】

【提出日】平成 18 年 8 月 2 日 (2006.8.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

記憶装置に対する、および / または記憶装置からのデータ転送を制御する制御装置であって、

A T A (Advanced Technology Attachment) 準拠の平行記憶装置に対する、および / またはそれからのデータ転送を制御する第 1 制御ユニットと、

S A T A (シリアル A T A) 準拠のシリアル記憶装置に対する、および / またはそれからのデータ転送を制御する第 2 制御ユニットとを備え、

前記平行記憶装置および前記シリアル記憶装置に対する、および / またはそれからのデータ転送を並行して実行する能力を持つ、制御装置。

【請求項 2】

前記第 2 制御ユニットは、2 つの S A T A 記憶装置に対して、および / またはそれからのデータ転送の制御をマスタ / スレーブエミュレーションモードで実行するように構成され、前記マスタ / スレーブエミュレーションモードにおいては一方の S A T A 記憶装置はホストコンピュータに対してマスタとして表示され、他方の S A T A 記憶装置はスレーブとして表示され、両方がホストバスアドレスの同じセットにおいてアクセス可能である、請求項 1 記載の制御装置。

【請求項 3】

前記第 1 制御ユニットは、一つの平行ポートに接続された 2 つの平行 A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成され、前記平行ポートにおいて一方の装置がマスタとなり、他方の装置がスレーブとなる、請求項 1 記載の制御装置。

【請求項 4】

前記平行記憶装置および前記シリアル記憶装置を特定する特定データを記憶するポートマップレジスタと、

前記特定データによって示される前記平行記憶装置および前記シリアル記憶装置に対する接続を確立するポート切り替えユニットをさらに備える、請求項 1 記載の制御装置。

。

【請求項 5】

前記ポートマップレジスタはソフトウェアによって書き換え可能である、請求項 4 記載の制御装置。

【請求項 6】

前記第 1 制御ユニットは 1 つの平行ポートに接続された 2 つの A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成され、前記平行ポートにおいて一方の記憶装置はマスタとなり、他方の記憶装置はスレーブとなり、

前記ポートマップレジスタは、どちらの記憶装置がマスタなのか、またはスレーブなのかを特定するマスタ / スレーブ特定データを記憶するように接続されている、請求項 4 記載の制御装置。

【請求項 7】

前記第 1 制御ユニットは 2 つの平行 A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成され、前記第 2 制御ユニットは 2 つの S A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成される、請求項 1 記載の制御装置。

【請求項 8】

S A T A 記憶装置とのデータ転送のみを可能にするために、前記第 1 制御ユニットの動作を停止することができる請求項 7 記載の制御装置。

【請求項 9】

平行 A T A 記憶装置とのデータ転送のみを可能にするために、前記第 2 制御ユニットの動作を停止することができる請求項 7 記載の制御装置。

【請求項 10】

S A T A 記憶装置が前記制御装置に接続されているかどうかを判定するように構成された、請求項 1 記載の制御装置。

【請求項 11】

前記判定された S A T A 記憶装置上の情報をホストソフトウェアに提供するように構成された、請求項 10 記載の制御装置。

【請求項 12】

前記第 2 制御ユニットは平行データをシリアルデータに変換し、および / またはシリアルデータを平行データに変換して、S A T A 記憶装置に対する、および / またはそれからのデータ転送を可能にする、請求項 1 記載の制御装置。

【請求項 13】

集積回路チップである、請求項 1 記載の制御装置。

【請求項 14】

A T A (Advanced Technology Attachment) および S A T A (シリアル A T A) 装置との間のデータ転送を実行する回路を含む集積回路チップであって、

A T A 準拠の平行記憶装置に対する、および / またはそれからのデータ転送を制御する第 1 制御回路と、

S A T A 準拠のシリアル記憶装置に対する、および / またはそれからのデータ転送を制御する第 2 制御回路とを備え、

前記第 1 および第 2 制御回路は、前記平行記憶装置および前記シリアル記憶装置に対する、および / またはそれらからのデータ転送を並行して実行する能力を持つ、集積回路チップ。

【請求項 15】

記憶装置に対する、および / または記憶装置からのデータ転送を制御する制御装置の制御方法であって、

前記制御装置に接続された A T A (Advanced Technology Attachment) 準拠の平行記憶装置に対する、および / またはそれからのデータ転送を実行するステップと、

前記制御装置に接続された S A T A (シリアル A T A) 準拠のシリアル記憶装置に対する、および / またはそれからのデータ転送を実行するステップとを含み、

前記 A T A 準拠の平行記憶装置に対する、および / またはそれからのデータ転送と、S A T A 準拠のシリアル記憶装置に対する、および / またはそれからのデータ転送とは並行して行われる方法。

【請求項 1 6】

前記平行記憶装置および前記シリアル記憶装置を特定する特定データを、前記制御装置のポートマップレジスタに記憶するステップと、

前記特定データによって示される前記平行記憶装置および前記シリアル記憶装置に対する接続を確立するために前記制御装置のポートを切り替えるステップとをさらに含む、請求項 1 5 記載の方法。

【請求項 1 7】

前記ポートマップレジスタはソフトウェアによって書き換え可能である、請求項 1 6 記載の方法。

【請求項 1 8】

1 つの平行ポートに接続された 2 つの平行 A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成され、前記平行ポートにおいて一方の記憶装置はマスタとなり、他方の記憶装置はスレーブとなり、

前記ポートマップレジスタは、どちらの記憶装置がマスタなのか、またはスレーブなのかを特定するマスタ / スレーブ特定データを記憶する、請求項 1 6 記載の方法。

【請求項 1 9】

2 つの A T A 準拠の平行記憶装置に対する、および / またはそれからのデータ転送を制御するステップと、2 つの S A T A 準拠のシリアル記憶装置に対する、および / またはそれからのデータ転送を制御するステップとを含む、請求項 1 5 記載の方法。

【請求項 2 0】

S A T A 記憶装置が前記制御装置に接続されているかどうかを判定するステップをさらに含む、請求項 1 5 記載の方法。

【請求項 2 1】

前記判定された S A T A 記憶装置上の情報をホストソフトウェアに提供するステップをさらに含む、請求項 2 0 記載の方法。

【請求項 2 2】

S A T A 準拠のシリアル記憶装置に対する、および / またはそれからのデータ転送を実行するステップは、

平行データをシリアルデータに変換し、および / またはシリアルデータを平行データに変換するステップを含む、請求項 1 5 記載の方法。