

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成18年9月21日(2006.9.21)

【公表番号】特表2006-508413(P2006-508413A)

【公表日】平成18年3月9日(2006.3.9)

【年通号数】公開・登録公報2006-010

【出願番号】特願2003-582653(P2003-582653)

【国際特許分類】

G 06 F 13/10 (2006.01)

G 06 F 13/12 (2006.01)

【F I】

G 06 F 13/10 3 4 0 B

G 06 F 13/12 3 3 0 A

【手続補正書】

【提出日】平成18年8月2日(2006.8.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

記憶装置に対する、および／または記憶装置からのデータ転送を制御する制御装置であつて、

ATA(Advanced Technology Attachment)準拠のパラレル記憶装置に対する、および／またはそれからのデータ転送を制御する第1制御ユニットと、

SATA(シリアルATA)準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送を制御する第2制御ユニットとを備え、

前記パラレル記憶装置および前記シリアル記憶装置に対する、および／またはそれからのデータ転送を並行して実行する能力を持つ、制御装置。

【請求項2】

前記第2制御ユニットは、2つのSATA記憶装置に対して、および／またはそれからのデータ転送の制御をマスタ／スレーブエミュレーションモードで実行するように構成され、前記マスタ／スレーブエミュレーションモードにおいては一方のSATA記憶装置はホストコンピュータに対してマスタとして表示され、他方のSATA記憶装置はスレーブとして表示され、両方がホストバスアドレスの同じセットにおいてアクセス可能である、請求項1記載の制御装置。

【請求項3】

前記第1制御ユニットは、一つのパラレルポートに接続された2つのパラレルATA記憶装置に対する、および／またはそれからのデータ転送を制御するように構成され、前記パラレルポートにおいて一方の装置がマスタとなり、他方の装置がスレーブとなる、請求項1記載の制御装置。

【請求項4】

前記パラレル記憶装置および前記シリアル記憶装置を特定する特定データを記憶するポートマップレジスタと、

前記特定データによって示される前記パラレル記憶装置および前記シリアル記憶装置に対する接続を確立するポート切り替えユニットをさらに備える、請求項1記載の制御装置。

【請求項 5】

前記ポートマップレジスタはソフトウェアによって書き換え可能である、請求項4記載の制御装置。

【請求項 6】

前記第1制御ユニットは1つのパラレルポートに接続された2つのATA記憶装置に対する、および／またはそれからのデータ転送を制御するように構成され、前記パラレルポートにおいて一方の記憶装置はマスターとなり、他方の記憶装置はスレーブとなり、

前記ポートマップレジスタは、どちらの記憶装置がマスターなのか、またはスレーブなのかを特定するマスター／スレーブ特定データを記憶するように接続されている、請求項4記載の制御装置。

【請求項 7】

前記第1制御ユニットは2つのパラレルATA記憶装置に対する、および／またはそれからのデータ転送を制御するように構成され、前記第2制御ユニットは2つのSATA記憶装置に対する、および／またはそれからのデータ転送を制御するように構成される、請求項1記載の制御装置。

【請求項 8】

SATA記憶装置とのデータ転送のみを可能にするために、前記第1制御ユニットの動作を停止することができる請求項7記載の制御装置。

【請求項 9】

パラレルATA記憶装置とのデータ転送のみを可能にするために、前記第2制御ユニットの動作を停止することができる請求項7記載の制御装置。

【請求項 10】

SATA記憶装置が前記制御装置に接続されているかどうかを判定するように構成された、請求項1記載の制御装置。

【請求項 11】

前記判定されたSATA記憶装置上の情報をホストソフトウェアに提供するように構成された、請求項10記載の制御装置。

【請求項 12】

前記第2制御ユニットはパラレルデータをシリアルデータに変換し、および／またはシリアルデータをパラレルデータに変換して、SATA記憶装置に対する、および／またはそれからのデータ転送を可能にする、請求項1記載の制御装置。

【請求項 13】

集積回路チップである、請求項1記載の制御装置。

【請求項 14】

ATA(Advanced Technology Attachment)およびSATA(シリアルATA)装置との間のデータ転送を実行する回路を含む集積回路チップであって、

ATA準拠のパラレル記憶装置に対する、および／またはそれからのデータ転送を制御する第1制御回路と、

SATA準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送を制御する第2制御回路とを備え、

前記第1および第2制御回路は、前記パラレル記憶装置および前記シリアル記憶装置に対する、および／またはそれらからのデータ転送を並行して実行する能力を持つ、集積回路チップ。

【請求項 15】

記憶装置に対する、および／または記憶装置からのデータ転送を制御する制御装置の制御方法であって、

前記制御装置に接続されたATA(Advanced Technology Attachment)準拠のパラレル記憶装置に対する、および／またはそれからのデータ転送を実行するステップと、

前記制御装置に接続されたSATA(シリアルATA)準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送を実行するステップとを含み、

前記 A T A 準拠のパラレル記憶装置に対する、および／またはそれからのデータ転送と、S A T A 準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送とは並行して行われる方法。

【請求項 1 6】

前記パラレル記憶装置および前記シリアル記憶装置を特定する特定データを、前記制御装置のポートマップレジスタに記憶するステップと、

前記特定データによって示される前記パラレル記憶装置および前記シリアル記憶装置に対する接続を確立するために前記制御装置のポートを切り替えるステップとをさらに含む、請求項 1 5 記載の方法。

【請求項 1 7】

前記ポートマップレジスタはソフトウェアによって書き換え可能である、請求項 1 6 記載の方法。

【請求項 1 8】

1つのパラレルポートに接続された2つのパラレルA T A 記憶装置に対する、および／またはそれからのデータ転送を制御するように構成され、前記パラレルポートにおいて一方の記憶装置はマスターとなり、他方の記憶装置はスレーブとなり、

前記ポートマップレジスタは、どちらの記憶装置がマスターなのか、またはスレーブなのかを特定するマスター／スレーブ特定データを記憶する、請求項 1 6 記載の方法。

【請求項 1 9】

2つのA T A 準拠のパラレル記憶装置に対する、および／またはそれからのデータ転送を制御するステップと、2つのS A T A 準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送を制御するステップとを含む、請求項 1 5 記載の方法。

【請求項 2 0】

S A T A 記憶装置が前記制御装置に接続されているかどうかを判定するステップをさらに含む、請求項 1 5 記載の方法。

【請求項 2 1】

前記判定されたS A T A 記憶装置上の情報をホストソフトウェアに提供するステップをさらに含む、請求項 2 0 記載の方法。

【請求項 2 2】

S A T A 準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送を実行するステップは、

パラレルデータをシリアルデータに変換し、および／またはシリアルデータをパラレルデータに変換するステップを含む、請求項 1 5 記載の方法。