

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4824397号
(P4824397)

(45) 発行日 平成23年11月30日 (2011.11.30)

(24) 登録日 平成23年9月16日 (2011.9.16)

(51) Int.Cl.		F I			
H05K	3/46	(2006.01)	H05K	3/46	N
H05K	1/18	(2006.01)	H05K	1/18	J
			H05K	3/46	Q

請求項の数 7 (全 18 頁)

(21) 出願番号	特願2005-373733 (P2005-373733)	(73) 特許権者	000000158
(22) 出願日	平成17年12月27日 (2005.12.27)		イビデン株式会社
(65) 公開番号	特開2007-180076 (P2007-180076A)		岐阜県大垣市神田町2丁目1番地
(43) 公開日	平成19年7月12日 (2007.7.12)	(74) 代理人	100080687
審査請求日	平成20年11月20日 (2008.11.20)		弁理士 小川 順三
		(74) 代理人	100077126
			弁理士 中村 盛夫
		(72) 発明者	苅 谷 隆
			岐阜県揖斐郡揖斐川町北方1-1 イビデ ン株式会社内
		審査官	内田 博之

最終頁に続く

(54) 【発明の名称】 多層プリント配線板

(57) 【特許請求の範囲】

【請求項 1】

スルーホール導体を有するコア基板上に、導体回路と絶縁性樹脂層とが交互に積層されてなるビルドアップ配線層が形成され、そのビルドアップ配線層の表層にIC等の半導体素子を搭載するための実装部を有する多層プリント配線板において、

前記半導体素子を実装する領域の直下に位置するスルーホール導体のピッチを、他の領域に位置するスルーホール導体のピッチよりも小さくするとともに、

前記半導体素子のプロセッサコア部直下に位置するスルーホール導体のピッチを、それ以外のスルーホール導体のピッチよりも小さくし、

前記半導体素子のプロセッサコア部直下の領域に配設されたスルーホール導体のピッチを P_c とし、半導体素子を実装する領域の直下であるがプロセッサコア部直下以外の領域に設けたスルーホール導体のピッチを P_m 、半導体素子を実装する領域以外に設けたスルーホール導体のピッチを P_s とするとき、

$$P_c < P_m \quad P_s$$

の関係式で表されるような配置密度としたことを特徴とする多層プリント配線板。

【請求項 2】

前記半導体素子のプロセッサコア部直下に配設する半導体素子搭載用のパッドの数を B_c 、プロセッサコア部直下の領域に配設するスルーホール導体の数を T_c とし、全てのパッド数および全てのスルーホール導体の数をそれぞれ B_p および T_p とするとき、

10

20

$$B_c / T_c < (B_p - B_c) / (T_p - T_c)$$

の関係式で表されるように、パッドとスルーホール導体とが配設されることを特徴とする請求項 1 に記載の多層プリント配線板。

【請求項 3】

前記半導体素子のプロセッサコア部直下の領域に配設されるスルーホール導体のピッチは、125～250 μmであることを特徴とする請求項 1 または 2 に記載の多層プリント配線板。

【請求項 4】

前記半導体素子を実装する領域の直下であるが、プロセッサコア部直下以外の領域に設けるスルーホール導体のピッチは、150～600 μmピッチであることを特徴とする請求項 1 から 3 までのいずれか 1 項に記載の多層プリント配線板。

10

【請求項 5】

前記半導体素子を実装する領域の直下以外に設けるスルーホール導体のピッチは、200～600 μmであることを特徴とする請求項 1 から 4 までのいずれか 1 項に記載の多層プリント配線板。

【請求項 6】

前記半導体素子のプロセッサコア部直下の領域に設けたスルーホール導体のピッチと、プロセッサコア部直下に設けたパッドのピッチが一致していることを特徴とする請求項 1 から 5 までのいずれか 1 項に記載の多層プリント配線板。

20

【請求項 7】

前記コア基板は、コア材上に導体回路と絶縁性樹脂層とが交互に積層されてなる多層コア基板であり、前記多層コア基板の内部に設けた導体回路の厚みを T とし、多層コア基板の表面に設けた導体回路の厚みを t とするとき、 $T = 1.5t$ であることを特徴とする請求項 1 から 6 までのいずれか 1 項に記載の多層プリント配線板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、IC等の半導体素子を実装する多層プリント配線板に係り、特に高周波領域での誤動作を抑制することができる半導体素子実装基板に関する。

【背景技術】

30

【0002】

従来の半導体素子実装基板としては、スルーホール導体が形成されたコア基板上に絶縁層と導体回路とが交互に積層して作られているビルドアップ基板がある（特許文献 1 参照）。

【特許文献 1】特開 2002 - 374066

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来技術にかかる上記半導体素子実装用の多層プリント配線板においては、比較的サイズが大きく、かつ電極数が多い 3 GHz 以上の高速駆動する IC チップを基板上に実装すると、実装後の IC チップが誤動作しやすいという問題点がある。

40

そこで、本発明は、実装された IC チップの誤動作が生じ難い半導体素子実装用の多層プリント配線板を提供することを目的とする。

【課題を解決するための手段】

【0004】

すなわち、本発明は、

スルーホール導体を有するコア基板上に、導体回路と絶縁性樹脂層とが交互に積層されてなるビルドアップ配線層が形成され、そのビルドアップ配線層の表層に IC チップ等の半導体素子（以下、単に「IC」という）を搭載するための実装部を有してなる多層プリント配線板において、

50

前記 IC を実装する領域の直下の領域に配設されるスルーホール導体のピッチを、他の領域に配設されるスルーホール導体のピッチよりも小さくした多層プリント配線板である。

【 0 0 0 5 】

本発明においては、実装される IC は、主としてプロセッサコア部とメモリ部とを有して構成され、プロセッサコア部直下の領域に配設されるスルーホール導体のピッチを、プロセッサコア部以外の領域に配設されるスルーホール導体のピッチよりも小さく（狭ピッチと）する。

【 0 0 0 6 】

なお、本発明において、「スルーホール導体」とは、コア基板またはプリント配線板の全層を貫通する貫通孔の内壁面に導体層を形成してなるタイプのものだけでなく、その貫通孔内に金属めっき等を完全に充填してなるタイプのものを含み、コア基板またはプリント配線板の表面および裏面に形成された導体層を電氣的に接続する導体層として定義される。

【 0 0 0 7 】

本発明において、IC を構成するプロセッサコア部直下に配設する IC 搭載用のパッドの数を B_c 、プロセッサコア部直下の領域に配設するスルーホール導体の数を T_c とし、IC の電極に接続される全てのパッド数を B_p 、全てのスルーホール導体の数を T_p とするとき、

$$B_c / T_c < (B_p - B_c) / (T_p - T_c)$$

の関係式で表されるように、IC 搭載用パッドとスルーホール導体とを配置することができる。

【 0 0 0 8 】

また、本発明において、IC のプロセッサコア部直下の領域に配設されるスルーホール導体のピッチを P_c 、IC を実装する領域の直下であるがプロセッサコア部直下以外の領域に配設されるスルーホール導体のピッチを P_m 、IC を実装する領域以外に配設されるスルーホール導体のピッチを P_s とするとき、

$$P_c < P_m \quad P_s$$

の関係式で表されるようなスルーホール導体の配置密度とする。即ち、スルーホール導体の配置密度が、IC のプロセッサコア部直下の領域から、プロセッサコア部直下以外の領域に向かって次第に小さくなるように、スルーホール導体を配設する。

【 0 0 0 9 】

また、本発明において、プロセッサコア部直下の領域に配設されるスルーホール導体のピッチ P_c は、 $125 \sim 250 \mu m$ とすることができる、また IC の直下であるが、プロセッサコア部直下以外の領域に配設されるスルーホール導体のピッチ P_m は、 $150 \sim 600 \mu m$ ピッチとすることができる、さらに、IC の直下以外の領域に配設されるスルーホール導体のピッチ P_s は、 $200 \sim 600 \mu m$ とすることができる。

【 0 0 1 0 】

また、本発明においては、IC を構成するプロセッサコア部直下の領域に配設されるスルーホール導体のピッチ P_c と、プロセッサコア部直下に配設されるパッドのピッチが一致するように、スルーホール導体およびパッドを配設することができる。

【 0 0 1 1 】

さらに、本発明においては、前記コア基板は、コア材上に導体回路と絶縁性樹脂層とが交互に積層されてなる多層コア基板であり、前記多層コア基板の内部に設けた導体回路の厚みを T とし、多層コア基板の表面に設けた導体回路の厚みを t とするとき、 $T = 1.5t$ とすることができる。

【発明の効果】

【 0 0 1 2 】

本発明の多層プリント配線板によれば、IC 直下の領域に配設されるスルーホール導体のピッチを、IC 直下以外の領域に配設されるスルーホール導体のピッチよりも小さくす

10

20

30

40

50

る、即ち、挟ピッチとすることによって、電源用のスルーホール導体とグランド用スルーホール導体との間のピッチが挟ピッチとなるため、相互インダクタンスを小さくすることができる。その結果、ＩＣのプロセッサコア部への電源供給の遅延が抑制され、ＩＣの誤動作が起こり難くなる。

【００１３】

また、ＩＣの誤動作に大きく影響するのがプロセッサコアであるので、プロセッサコア部直下に配設されるスルーホール導体のピッチを、プロセッサコア部以外に配設されるスルーホール導体のピッチよりも挟ピッチとすることは、ＩＣの誤動作を防止するのに有効である。

【発明を実施するための最良の形態】

10

【００１４】

以下、本発明にかかる多層プリント配線板の具体的な実施形態について、添付図面を参照して説明する。

本発明にかかる半導体素子実装用の多層プリント配線板の一実施形態は、図１に示されるように、コア基板を貫通して複数のスルーホール導体が形成され、そのコア基板上に導体回路と絶縁性樹脂層とが交互に積層されてなるビルドアップ配線層が形成され、そのビルドアップ配線層の表層にＩＣを搭載するための実装部を有する多層プリント配線板であって、半導体素子を実装する領域の直下に配設されたスルーホール導体のピッチを、半導体素子を実装する領域以外の他の領域、即ち、半導体素子実装領域の外側の周辺領域に位置するスルーホール導体のピッチよりも挟ピッチとしたことを特徴とする。

20

【００１５】

このように、ＩＣ実装領域の直下に配設されたスルーホール導体を他の領域に配設されたスルーホール導体よりも挟ピッチとすることによって、ＩＣの電源電極に接続される電源用スルーホール導体と、ＩＣのグランド電極に接続されるグランド用スルーホール導体との間のピッチが狭くなるので、相互インダクタンスが小さくなる。その結果、ＩＣのプロセッサコア部への電源供給の遅延が抑制され、ＩＣの誤動作が起こり難くなる。この時、電源用スルーホール導体およびグランド用スルーホール導体は、格子状にまたは千鳥状に配置され、電源用スルーホール導体とグランド用スルーホール導体とは隣接して配置されることが望ましい。

【００１６】

30

本発明の実施形態では、基板上に実装されるＩＣは、主としてプロセッサコア部とメモリ部とを有して構成され、プロセッサコア部直下の領域に配設されるスルーホール導体のピッチを、メモリ部分等のプロセッサコア部以外の領域に配設されるスルーホール導体のピッチよりも小さく（狭ピッチと）する。

【００１７】

ＩＣの誤動作に大きく影響するのがプロセッサコアであるので、プロセッサコア部直下のみを挟ピッチとすれば、プロセッサコア部に電源を遅延なく供給でき、誤動作を抑えることが可能となる。また、ＩＣを実装するプリント配線板のサイズは、一般的にＩＣのサイズに比して１．２～７倍程度である。このようなプリント配線板においては、プロセッサコア部以外の領域のスルーホールピッチをプロセッサコア直下のスルーホールピッチよりも大きくすると、プリント配線板のほぼ全面に亘ってスルーホールを配置できるので、プリント配線板の強度を大きくすることができる。このため、プリント配線板の反りなどが小さくなるので、ＩＣの実装歩留まりや、ＩＣ実装後の接続信頼性が向上する。

40

【００１８】

また、本発明の実施形態では、ＩＣを構成するプロセッサコア部直下に配設するパッドの数をＢｃ、プロセッサコア部直下の領域に配設するスルーホール導体の数をＴｃとし、全てのパッド数をＢｐ、全てのスルーホール導体の数をＴｐとすると、

$$Bc / Tc < (Bp - Bc) / (Tp - Tc)$$

の関係式で表されるように、パッドとスルーホール導体とを配置することが望ましい。

【００１９】

50

パッド数とスルーホール数との関係を、 $B_c / T_c < (B_p - B_c) / (T_p - T_c)$ としているので、プロセッサコア直下のスルーホールピッチを挟ピッチに保ったまま、パッド数に対するスルーホール数を少なくすることができる。そのため、電源用導体層を貫通するグランド用スルーホール導体（ICのグランド電極に接続されているスルーホール導体）や、電源用導体層におけるグランド用スルーホール導体から延出する導体回路を少なくできるので、電源用導体層の面積あるいは体積を大きくすることができる。その結果、電源用導体層の抵抗が小さくなるので、ICチップへの電源供給を遅延なく行うことが可能となる。

【0020】

また、本発明の実施形態では、ICのプロセッサコア部直下の領域に配設されるスルーホール導体のピッチを P_c 、ICを実装する領域の直下であるが、プロセッサコア部直下以外の領域に配設されるスルーホール導体のピッチ P_m 、ICを実装する領域以外に配設されるスルーホール導体のピッチ P_s とすると、

$$P_c < P_m \quad P_s$$

のような関係式で表されるようなスルーホール導体の配置密度とすることができる、即ち、スルーホール導体の配置密度が、ICのプロセッサコア部直下の領域から、プロセッサコア部直下以外の領域に向かって次第に小さくなるように、スルーホール導体を配設することが望ましい。

【0021】

例えば、プロセッサコア部直下の領域に配設されるスルーホール導体のピッチ P_c を、 $125 \sim 250 \mu m$ とし、またICの直下であるが、プロセッサコア部直下以外の領域に配設されるスルーホール導体のピッチ P_m を、 $150 \sim 600 \mu m$ ピッチとし、さらに、ICの直下以外の領域に配設されるスルーホール導体のピッチ P_s を、 $200 \sim 600 \mu m$ とすることができる。

【0022】

電源を必要とするICのプロセッサコア直下は挟ピッチなので、ICへ電源をスムーズに供給できる。そして、それ以外の領域では比較的広いピッチなので、プリント配線板の強度を大きくすることができるからである。

【0023】

また、本発明の実施形態では、ICを構成するプロセッサコア部直下の領域に配設されるスルーホール導体のピッチ P_c と、プロセッサコア部直下に配設されるパッドのピッチ B_c が一致するように、スルーホール導体およびパッドを配設することが望ましい。

配線長を短くできるので、ICへの電源供給の遅延をさらに抑えることができるからである。

【0024】

さらに、本発明の実施形態では、前記コア基板を、コア材上に導体回路と絶縁性樹脂層とが交互に積層されてなる多層コア基板から形成し、前記多層コア基板の内部に設けた導体回路の厚みを T とし、多層コア基板の表面に設けた導体回路の厚みを t とすると、 $T \geq 1.5t$ とすることが望ましい。

【0025】

多層コア基板の内部に設けた導体回路を電源用導体層やグランド用導体層として用いる場合、導体回路の厚みが厚いので、低抵抗となり、電源供給がスムーズになるからである。

【0026】

本発明の実施形態では、コア基材に用いられる絶縁性樹脂基材としては、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布 - エポキシ樹脂基材、アラミド不織布 - ポリイミド樹脂基材から選ばれる硬質基材が用いることが望ましく、ガラス布エポキシ樹脂基材がより望ましい。

【0027】

前記絶縁性樹脂基材の厚さは、 $30 \sim 800 \mu\text{m}$ 程度とすることが望ましい。その理由は、 $30 \mu\text{m}$ 未満の厚さでは、剛性が十分でなく、 $800 \mu\text{m}$ を超えると、配線長が長くなり、電源供給に不利となるからである。

【0028】

かかる絶縁性樹脂基材の両面に形成される導体回路は、後述するように、スルーホール導体用の貫通孔へのめっき充填の後に、絶縁性樹脂基材の両面に貼付された金属箔およびその上に形成されためっき層をエッチング処理することによって形成されることが望ましい。

【0029】

前記絶縁性樹脂基材の両面に形成される導体回路の厚さは、 $10 \sim 40 \mu\text{m}$ 程度とする。その理由は、 $10 \mu\text{m}$ 未満では、電源用導体層やグランド用導体層として用いる場合に、高抵抗となるからであり、一方、 $40 \mu\text{m}$ を超えると、基板上に形成されるビルドアップ配線層の平坦性が劣るからである。

【0030】

前記絶縁性樹脂基材および金属箔にて構成される基板は、特に、エポキシ樹脂をガラスクロスに含浸させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を用いることができる。このような基板は、銅箔がエッチングされた後の取扱中に、配線パターンやビア位置がずれることがなく、位置精度に優れている。

【0031】

本発明の実施形態では、スルーホール導体は、貫通孔をドリル加工またはレーザ加工によって形成した後、それらの貫通孔に金属めっきを充填することによって形成されることが望ましい。

なお、レーザ加工における照射レーザ光の吸収効率を高めるために、予め絶縁性樹脂基板上の金属箔に公知の黒化処理を施しておくことが望ましい。

【0032】

前記絶縁性樹脂基材にレーザを用いてスルーホール導体用貫通孔を形成させるには、レーザ照射により金属箔と絶縁性樹脂基材を同時に穿孔するダイレクトレーザ法と、金属箔の貫通孔に該当する金属箔部分をエッチングにより除去した後、レーザ照射により絶縁性樹脂基材に穿孔するコンフォーマル法があるが、本発明ではそのどちらを用いてもよい。

【0033】

上記レーザ加工は、パルス発振型炭酸ガスレーザ加工装置によって行われることが望ましく、その加工条件は、たとえば、パルス幅が $3 \sim 15 \mu\text{s}$ 、ショット数が $2 \sim 30$ の範囲内とすることができる。

【0034】

なお、レーザ照射によって形成された貫通孔の側面に残留する樹脂残滓を除去するために、デスミア処理を行う。このデスミア処理は、酸あるいは酸化剤（例えば、クロム酸、過マンガン酸）の薬液処理等の湿式処理や、酸素プラズマ放電処理、コロナ放電処理、紫外線レーザ処理またはエキシマレーザ処理等の乾式処理によって行う。

【0035】

これらのデスミア処理方法からいずれの方法を選択するかは、絶縁基材の種類、厚み、スルーホール導体用貫通孔の開口径、レーザ照射条件などに応じて、残留が予想されるスミア量を考慮して選ばれる。

【0036】

本発明の実施形態では、前記貫通孔にめっき充填してスルーホール導体を形成するには、まず、貫通孔内壁に通常は無電解めっき処理によって無電解めっき膜を形成した後、通常のエレクトロメッキ処理を施して、貫通孔の内壁面にめっき金属層を形成するか、あるいは貫通孔内を完全にめっき充填することができる。

上記無電解めっきまたは電解めっきとしては、たとえば、銅、すず、銀、各種はんだ、

10

20

30

40

50

銅／すず、銅／銀等の金属めっきが好ましく、とくに、無電解銅めっきまたは電解銅めっきが好適である。

【0037】

上記貫通孔の内壁面にめっき金属層を形成することによってスルーホール導体を形成する場合には、貫通孔内に樹脂組成物等を充填した後、乾燥させ、必要に応じて、樹脂組成物に被覆された基板表面を、導体回路表面およびスルーホール導体のランド表面が露出するように研磨、平坦化した後、加熱硬化処理を行って、充填用樹脂組成物を硬化させて樹脂充填材層とする。

【0038】

本発明の実施形態では、コア基板としての絶縁性樹脂基材の両面に形成される導体回路は、スルーホール導体の形成と同時に形成された導体層をエッチング処理することによって形成されることが望ましい。

10

この導体回路形成工程は、先ず、前記導体層の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の導体層をエッチングして、電極パッドを含んだ導体回路パターンとする。

【0039】

前記処理工程において、エッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種の水溶液を用いることができる。

また前記導体層をエッチングして導体回路を形成する前処理として、ファインパターンを形成しやすくするため、あらかじめ、導体層の表面全面をエッチングして厚さを1～10 μm、より好ましくは2～8 μm程度まで薄くすることができる。

20

【0040】

このようなプリント配線板をコア基板とし、そのコア基板上に、常法によって導体層と樹脂絶縁層とを交互に形成してなるビルドアップ配線層を形成してなる多層プリント配線板を形成し、多層プリント配線板の最も外側の導体層の一部を、所定のピッチでパンプ接続用パッドに形成すると共に、それらのパッド上にはんだパンプを形成することが望ましい。

【0041】

以下、本発明にかかる多層プリント配線板について、実施例を参照にして、さらに詳細に説明する。

30

【実施例】

【0042】

(実施例1)

A．貫通孔充填用樹脂組成物の調製

ビスフェノールF型エポキシモノマー（油化シェル社製、分子量：310、YL983U）100重量部、表面にシランカップリング剤がコーティングされた平均粒径が1.6 μmで、最大粒子の直径が15 μm以下のSiO₂球状粒子（アドテック社製、CRS 1101-CE）170重量部およびレベリング剤（サンプロコ社製 ペレノールS4）1.5重量部を容器にとり、攪拌混合することにより、その粘度が23±1で44～49 Pa・sの樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤（四国化成社製、2E4MZ-CN）6.5重量部を用いた。スルーホール導体を形成する貫通孔を充填するための樹脂としては、他のエポキシ樹脂（例えば、ビスフェノールA型、ノボラック型など）、ポリイミド樹脂、フェノール樹脂などの熱硬化性樹脂を用いてもよい。

40

【0043】

B．多層プリント配線板の製造

多層コア基板の作成

(1) 厚さ0.6 mmのガラスエポキシ樹脂またはBT（ビスマレイミドトリアジン）樹脂からなる絶縁性基板14の両面に、10～250 μmの銅箔16がラミネートされてな

50

る両面銅張積層板 10 を出発材料として用いた（図 2（a））。この実施例 1 では、 $30\text{ }\mu\text{m}$ の銅箔を使用した。

【0044】

（2） 続いて、サブトラクティブ法により、基板 10 の表面側の銅箔 16 をエッチング処理して、抜き 22 内にダミーランドを有しない下層の導体回路 16E を形成すると共に、基板 10 の裏面側の銅箔 16 をエッチング処理して、抜き 22 内にダミーランドを有しない下層の導体回路 16P を形成した（図 2（b）参照）。なお、前記抜き（開口）22 は、スルーホール導体が形成される位置に対応して形成される。

通常、ダミーランドは、スルーホール導体の口径に対して $150\sim 250\text{ }\mu\text{m}$ 程度大きな口径を有して形成されるので、ダミーランドを有しない導体回路とすることで、ダミーランドを有する通常の構造に比べて、スルーホール導体間および電源用スルーホール導体とグランド用導体層間、グランド用スルーホール導体と電源用導体層間の間隔を狭くすることができる。ここで、ダミーランドとは、図 5 に示すように、多層コア基板の内層において、スルーホール導体から延出して、抜き 22 内に配設されたスルーホール周りの導体回路のことである。

このようにダミーランドを設けないことで、相互インダクタンスを減少させたり、導体抵抗を低くすることが可能になる。さらに、電源層、グランド層を構成する導体層の体積を増加させることも可能である。

【0045】

（3） その後、その基板を NaOH （ 10 g/l ）、 NaClO_2 （ 40 g/l ）、 Na_3PO_4 （ 6 g/l ）を含む水溶液を黒化浴（酸化浴）とする黒化処理、および、 NaOH （ 10 g/l ）、 NaBH_4 （ 6 g/l ）を含む水溶液を還元浴とする還元処理を行い、下層のグランド用導体層 16E、下層の電源用導体層 16P の表面に粗化面を形成する。

なお、表層の導体層に信号用導体回路を形成してもよい。

【0046】

（4） 上記基板の両面に $200\text{ }\mu\text{m}$ 厚のプリプレグ 18 と $18\text{ }\mu\text{m}$ 厚の銅箔 20 の順で積層し、その後、加熱、加圧プレスして 4 層の多層コア基板 30 を作成した（図 2（c）、（d）参照）。

【0047】

（5） この多層コア基板 30 をドリル削孔し、スルーホール導体形成用貫通孔 22 を穿設する（図 2（e）参照）。

ここで、実装する IC のプロセッサコア部直下の領域に設ける貫通孔 35 は、 $100\text{ }\mu\text{m}$ のドリルを用いて、それらのピッチが IC の電極ピッチ（パッドピッチ）と同等な $125\text{ }\mu\text{m}$ となるように形成される。

また、IC 直下でプロセッサコア部以外の領域に設ける貫通孔 35 は、 $100\text{ }\mu\text{m}$ のドリルを用いて、それらのピッチが $150\sim 400\text{ }\mu\text{m}$ となるように形成される。

また、IC 直下以外の領域に設ける貫通孔 35 は、 $250\text{ }\mu\text{m}$ のドリルを用いて、それらのピッチが $300\sim 600\text{ }\mu\text{m}$ となるように形成される。なお、IC 直下以外の領域のプリント配線板全体に亘るように形成する。

さらに、IC のプロセッサコア部直下以外に設けるスルーホール導体の個数は、プロセッサコア部直下以外に位置するパッドの個数に対して、 $10\sim 50\%$ の割合で形成することが出来るが、本実施例では 30% とした。

【0048】

（6） 次いで、前記（5）にてスルーホール導体を形成するための貫通孔 35 を穿設した多層コア基板 30 に対して、無電解銅めっき、電解銅めっきを施して、多層コア基板を貫通する口径がそれぞれ $100\text{ }\mu\text{m}$ 、 $100\text{ }\mu\text{m}$ 、 $250\text{ }\mu\text{m}$ であるスルーホール導体 36 を形成する（図 3（a）参照）。

なお、これらのスルーホール導体 36 は、信号用スルーホール導体（図示を省略）や、電源用スルーホール導体 36P1（ $100\text{ }\mu\text{m}$ ）およびグランド用スルーホール導体 36

10

20

30

40

50

E 1 (1 0 0 μ m)、電源用スルーホール導体 3 6 P 2 (1 0 0 μ m) およびグランド用スルーホール導体 3 6 E 2 (1 0 0 μ m)、電源用スルーホール導体 3 6 P 3 (2 5 0 μ m) およびグランド用スルーホール導体 3 6 E 3 (2 5 0 μ m) から構成される。

ここで、電源用スルーホール導体とグランド用スルーホール導体とを隣接して格子状または千鳥状に配置することが望ましい。プロセッサコア直下のみの電源用スルーホール導体とグランド用スルーホール導体とを隣接して格子状または千鳥状に配置してもよい。なお、符号 3 6 P 1 および 3 6 E 1 で示されるのが、プロセッサコア直下の領域に設けたスルーホール導体である。

【 0 0 4 9 】

(7) 前記 (6) にて、スルーホール導体 3 6 が形成された多層コア基板 3 0 を、NaOH (1 0 g / l)、NaClO₂ (4 0 g / l)、Na₃PO₄ (6 g / l) を含む水溶液を黒化浴 (酸化浴) とする黒化処理、および、NaOH (1 0 g / l)、NaBH₄ (6 g / l) を含む水溶液を還元浴とする還元処理を行い、スルーホール導体 3 6 の内壁に粗化面 (図示を省略) を形成する。

【 0 0 5 0 】

(8) ついで、上記 A . で作成した貫通孔充填用樹脂組成物 4 0 を、各スルーホール導体 3 6 内に、スキージを用いて充填した後、1 0 0 、2 0 分の条件で乾燥を行った。

その基板 3 0 の表面を、研磨して平坦化し、1 0 0 で 1 時間、1 5 0 で 1 時間の加熱を行うことにより、貫通孔充填用樹脂組成物 4 0 を硬化させて樹脂充填材層を形成した。その後、基板表面 (貫通孔充填用樹脂表面も含む) に、無電解めっきおよび電解めっきを施して、多層コア基板の表面および裏面に導体層 4 6、4 6 を形成した (図 3 (b) 参照) 。

【 0 0 5 1 】

この実施形態では、多層コア基板の表面および裏面に形成される導体層の厚さ (銅厚) は、7 . 5 ~ 7 0 μ m とした。このように、多層コア基板 3 0 の表面および裏面に形成される導体層 4 6 の厚さ (銅厚) は、多層コア基板 3 0 の内部に設けた導体層 1 6 の厚さ (銅厚) に比べて薄くするのが好適である。本実施例では 2 0 μ m とした。

これにより、多層コア基板 3 0 の外側に設ける導体層 4 6 は、多層コア基板の内部に設ける導体層 1 6 に比べて微細な回路を形成することが可能になり、スルーホールランドの小径化および導体回路間の隙間やスルーホールランドと導体回路との間の隙間を小さくできる。従って、多層コア基板 3 0 の表面および裏面側に設けるスルーホールランドや導体回路は、スルーホール導体の挟ピッチ化を阻害することがない。

【 0 0 5 2 】

(9) その後、公知のサブトラクティブ法により、多層コア基板の表面および裏面の導体層をパターニングし、表面に電源用導体層 4 6 P、裏面にグランド用導体層 4 6 E を形成した (図 3 (c) 参照) 。

【 0 0 5 3 】

(1 0) 上記基板を水洗、酸性脱脂した後、ソフトエッチングし、次いで、エッチング液を基板の両面にスプレーで吹きつけて、信号用導体回路 (図示を省略)、電源用導体回路 4 6 P およびグランド用導体回路 4 6 E の表面と、各スルーホール導体 3 6 のランド表面を覆う導体層をエッチングすることにより、導体回路の表面に粗化面 (図示を省略) を形成した。

エッチング液としては、イミダゾール銅 (I I) 錯体 1 0 重量部、グリコール酸 7 . 3 重量部、塩化カリウム 5 重量部からなるエッチング液 (メック社製、メックエッチボンド) を使用した。

導体回路およびスルーホール導体のランド表面を覆う導体層 (ふためっき層) 3 6 L の表面に粗化層を形成すると、その導体は、層間樹脂絶縁層との密着性に優れるので、導体回路およびスルーホール導体のランドを被覆する導体の側面と樹脂絶縁層との界面を起点とするクラックの発生を抑制できる。また一方で、スルーホール導体のランドを覆う導体層は、電氣的に接続されるパイアホールとの密着性が改善される。

【 0 0 5 4 】

(1 1) 次に、基板の両面に、基板より少し大きめの層間絶縁層用樹脂フィルム（味の素社製：A B F シリーズ）を基板上に載置し、圧力 0 . 4 5 M P a、温度 8 0 、圧着時間 1 0 秒の条件で仮圧着して裁断した後、さらに、以下の方法により真空ラミネーター装置を用いて貼り付けた。

すなわち、層間絶縁層用樹脂フィルムを基板上に、真空度 6 7 P a、圧力 0 . 4 7 M P a、温度 8 5 、圧着時間 6 0 秒の条件で本圧着し、その後、1 7 0 で 4 0 分間熱硬化させた（図 3（d）参照）。

【 0 0 5 5 】

(1 2) 次に、層間絶縁層用樹脂フィルム上に、厚さ 1 . 2 m m の貫通孔が形成されたマスクを介して、波長 1 0 . 4 μ m の炭酸ガスレーザにて、ビーム径 4 . 0 m m、トップハットモード、パルス幅 8 . 1 μ 秒、マスクの貫通孔の径 1 . 0 m m、1 ~ 3 ショットの条件で層間絶縁層用樹脂フィルムに、直径 6 0 ~ 1 0 0 μ m の間でのバイアホール用開口 5 0 a を形成し、層間絶縁層用樹脂フィルムを硬化させて層間絶縁層 5 0 とする（図 3（e）参照）。

この実施例では、直径 6 0 μ m と 7 5 μ m の開口 5 0 a を形成した。

【 0 0 5 6 】

(1 3) バイアホール用開口 5 0 a を形成した基板を、6 0 g / l の過マンガン酸を含む 8 0 の溶液に 1 0 分間浸漬し、層間絶縁層 5 0 の表面に存在する粒子を除去することにより、バイアホール用開口 5 0 a の内壁を含む層間絶縁層 5 0 の表面に粗化面（図示を省略）を形成した。

【 0 0 5 7 】

(1 4) 次に、上記処理を終えた基板を、中和溶液（シブレイ社製）に浸漬してから水洗いした。

さらに、粗面化処理（粗化深さ 3 μ m）した該基板の表面に、パラジウム触媒を付与することにより、層間絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。すなわち、上記基板を塩化パラジウム（P b C l₂）と塩化第一スズ（S n C l₂）とを含む触媒液中に浸漬し、パラジウム金属を析出させることにより触媒を付与した。

【 0 0 5 8 】

(1 5) 次に、以下の組成の無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ 0 . 3 ~ 3 . 0 μ m の無電解銅めっき膜を形成し、バイアホール用開口 5 0 a の内壁を含む層間絶縁層 5 0 の表面に無電解銅めっき膜が形成された基板を得た。

〔 無電解銅めっき水溶液 〕

E D T A	0 . 2 0 0	m o l / l
硫酸銅	0 . 0 3 2	m o l / l
H C H O	0 . 1	g / l
N a O H	0 . 1 0 0	m o l / l
、 - ビピリジル	1 0 0	m g / l
ポリエチレングリコール（P E G）	0 . 1 0	g / l

〔 無電解めっき条件 〕

液温度： 3 4
時間： 4 5 分

【 0 0 5 9 】

(1 6) 無電解銅めっき膜が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、1 1 0 m J / c m² で露光し、0 . 8 % 炭酸ナトリウム水溶液で現像処理することにより、厚さ 2 5 μ m のめっきレジスト（図示を省略）設けた。

【 0 0 6 0 】

(1 7) ついで、基板を 5 0 の水で洗浄して脱脂し、2 5 の水で水洗後、さらに硫

10

20

30

40

50

酸で洗浄してから、以下の条件で電解めっきを施し、めっきレジスト非形成部に、厚さ $15\ \mu\text{m}$ の電解銅めっき膜を形成した。

〔電解銅めっき液〕

硫酸	200	g / l
硫酸銅	80	g / l
添加剤	19.5	ml / l

(アトテックジャパン社製、カパラシドGL)

〔電解めっき条件〕

電流密度	1	A / dm ²
時間	70	分
温度	22 ± 2	

10

【0061】

(18) 前記めっきレジストを5% KOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素水との混合液でエッチング処理して溶解除去し、上層の導体回路58およびバイアホール60を形成した(図3(f))。この上層の導体回路58の厚みは $15\ \mu\text{m}$ としたが、 $5\sim 25\ \mu\text{m}$ の範囲内であることが好ましい。

【0062】

(19) さらに、前記(11)～(18)の工程と同様の処理によって、さらに上層の層間樹脂絶縁層70、上層の導体回路72およびバイアホール74を形成した(図4(a))。

20

【0063】

(20) ソルダーレジスト組成物の調整

次に、ジエチレングリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量:4000)45.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エピコート1001)16.0重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)1.6重量部、感光性モノマーである2官能アクリルモノマー(日本化薬社製、商品名:R604)4.5重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DPE6A)1.5重量部、分散系消泡剤(サンプロコ社製、S-65)0.71重量部を容器にとり、攪拌、混合して混合組成物を調製し、この混合組成物に対して光重合開始剤としてベンゾフェノン(関東化学社製)1.8重量部、光増感剤としてのミヒラーケトン(関東化学社製)0.2重量部、を加えることにより、粘度を25で2.0 Pa・sに調整したソルダーレジスト組成物を得た。

30

なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60 min⁻¹の場合はローターNo.4、6 min⁻¹の場合はローターNo.3によった。

【0064】

(21) 次に、多層配線基板の両面に、上記ソルダーレジスト組成物を20 μm の厚さで塗布し、70で20分間、70で30分間の条件で乾燥処理を行った後、ソルダーレジスト開口部のパターンが描画された厚さ5 mmのフォトマスクをソルダーレジスト層に密着させて1000 mJ / cm²

40

の紫外線で露光し、DMTG溶液で現像処理し、200 μm の直径の開口を形成した。

そして、さらに、80で1時間、100で1時間、120で1時間、150で3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが $15\sim 25\ \mu\text{m}$ のソルダーレジストパターン層76を形成した。上記ソルダーレジスト組成物としては、市販のソルダーレジスト組成物を使用することもできる。

【0065】

(22) 次に、ソルダーレジスト層76を形成した基板を、塩化ニッケル($2.3 \times 10^{-1}\text{mol / l}$)、次亜リン酸ナトリウム($2.8 \times 10^{-1}\text{mol / l}$)、クエン酸ナトリウム($1.6 \times 10^{-1}\text{mol / l}$)を含むpH = 4.5の無電解ニッケルめっき液に2

50

0 分間浸漬して、開口部に厚さ $5\ \mu\text{m}$ のニッケルめっき層を形成した。さらに、その基板をシアン化金カリウム ($7.6 \times 10^{-3}\text{mol/l}$)、塩化アンモニウム ($1.9 \times 10^{-1}\text{mol/l}$)、クエン酸ナトリウム ($1.2 \times 10^{-1}\text{mol/l}$)、次亜リン酸ナトリウム ($1.7 \times 10^{-1}\text{mol/l}$) を含む無電解金めっき液に 80 の条件で 7.5 分間浸漬して、ニッケルめっき層上に、厚さ $0.03\ \mu\text{m}$ の金めっき層を形成した。ニッケル - 金層以外にも、スズ、貴金属層 (金、銀、パラジウム、白金など) の単層を形成してもよい。

【0066】

(23) この後、基板の IC チップを載置する面のソルダーレジスト層 76 の開口部に、スズ - 鉛を含有するはんだペーストを印刷し、さらに他方の面のソルダーレジスト層 76 の開口にスズ - アンチモンを含有するはんだペーストを印刷した後、200 でリフローすることによりはんだバンプ (はんだ体) を形成し、はんだバンプ 78U、78D を有する多層プリント配線板を製造した (図 4 (b))。

そして、この多層プリント配線板には、はんだバンプ 78U を介してプリント配線板に形成された IC 搭載用のパッドと IC 80 の電極が接続され、さらに、はんだバンプ 78D を介してドータボード 82 に実装される (図 4 (c))。

【0067】

以上説明したように、本実施例では IC 80 のプロセッサコア部 80a 直下のスルーホール導体が、その他の領域のスルーホール導体と比べ狭ピッチに形成されているので、プロセッサコア部 80a への電源供給に対しインダクタンスが減少する。また、プロセッサコア部 80a 直下以外の領域のスルーホール導体は、パッドと 1:1 に対応した位置に形成されていないので、電源層の面積を広くできるので、電源層の抵抗を小さくすることができる。

【0068】

(実施例 2)

実施例 1 の (5) の工程において、スルーホール導体を形成するピッチを変更した。プロセッサコア部直下においては、全パッド直下にスルーホール導体を形成することは行わず (プロセッサコア部直下のパッド数に対して 50 ~ 100 % の範囲内で可能)、1 個置きにスルーホール導体を形成したため、 $250\ \mu\text{m}$ ピッチとなった。プロセッサコア部直下以外は、プロセッサコア部直下以外のパッド数に対し、10 % のスルーホール導体を $300 \sim 600\ \mu\text{m}$ ピッチで形成した。それ以外は実施例 1 と同様にして多層プリント配線板を作製した。

【0069】

(実施例 3)

実施例 1 の (5) の工程において、スルーホール導体を形成する貫通孔数を変更した。プロセッサコア部直下は、実施例 1 と同様である。プロセッサコア部直下以外は、プロセッサコア部直下以外のパッド数に対し、50 % のスルーホール導体を形成した。プロセッサコア部直下以外の IC チップ直下は $150 \sim 400\ \mu\text{m}$ ピッチで、IC 直下以外は $300 \sim 600\ \mu\text{m}$ ピッチでスルーホール導体を形成した。それ以外は実施例 1 と同様にして多層プリント配線板を作製した。

【0070】

(実施例 4)

実施例 1 の (1) の工程において、銅箔 16 に $60\ \mu\text{m}$ の銅箔を使用した以外は、実施例 1 と同様にして作製した。

【0071】

(実施例 5)

実施例 1 の (1) の工程において、銅箔 16 に $150\ \mu\text{m}$ の銅箔を使用した以外は、実施例 1 と同様にして多層プリント配線板を作製した。

【0072】

(実施例 6)

10

20

30

40

50

実施例 1 において、プロセッサコア部直下以外のスルーホール導体の数を変更した以外は、実施例 1 と同様にして多層プリント配線板を作製した。この実施例では、実施例 2 の如く、プロセッサコア直下以外のスルーホール導体の数は、プロセッサコア直下以外のパッド数に対して 10 % であるように形成した。

【0073】

(実施例 7)

プロセッサコア部直下以外の領域に設けたスルーホール導体数を、10 % から 30 % に変更した以外は、実施例 2 と同様にして多層プリント配線板を作製した。

【0074】

(実施例 8)

実施例 1 の (1) の工程において、銅箔 16 に 20 μm の銅箔を使用した以外は、実施例 1 と同様にして多層プリント配線板を作製した。

【0075】

(実施例 9)

実施例 1 の (1) の工程において、銅箔 16 に 300 μm の銅箔を使用した以外は、実施例 1 と同様に作製した。

【0076】

(参考例 1)

実施例 1 の (5) の工程において、スルーホール導体を形成するドリル及びピッチを変更した。全スルーホール導体を 0.1 mm のドリルを用い、全パッド直下に 125 μm ピッチでスルーホール導体を形成した以外は、実施例 1 と同様にして多層プリント配線板を作製した。

【0077】

(参考例 2)

参考例 1 において、スルーホール導体を形成するピッチを変更した。プロセッサコア部直下は全パッド直下にスルーホール導体を形成せず、1 個置きに形成したため、250 μm ピッチでスルーホール導体を形成した。IC 直下でプロセッサコア部直下以外が全バン

プ直下に 125 μm ピッチでスルーホール導体を形成した。

【0078】

(評価試験 1)

実施例 1 ~ 9 及び参考例 1 ~ 2 で作製したそれぞれのプリント配線板に、表 1 に示すような駆動周波数および FSB (フロントサイド・バス) を有する 3 種類の IC (以下、「IC チップ No. 1 ~ No. 3」という) のいずれかを搭載し、同時スイッチングを繰り返して、例えば、パルス・パターン・ジェネレータ/エラー・ディテクタ (例えば、アドバンテスト社製: 商品名「D3186/3286」) を用いて誤動作の有無を確認する。その結果を表 2 に示す。誤動作が観察されなかった場合を、誤動作が観察された場合を × と評価する。

【0079】

【表 1】

IC チップ番号	駆動周波数	FSB
No. 1	1.3 GHz	400 MHz
No. 2	3.0 GHz	800 MHz
No. 3	3.73 GHz	1066 MHz

【0080】

10

20

30

40

【表 2】

	コア導体の厚み (μm)		TH 導体数／パッド数 (%)		TH 導体ピッチ (μm)			搭載 IC チップ No.		
	表層	内層	プロセッサ コア直下の 領域	プロセッサ コア直下以外 の領域	プロセッサ コア直下	IC直下で プロセッサ コア直下以外 の領域	IC 直下以外 の領域	No. 1	No. 2	No. 3
実施例 1	20	30	100	30	125	150-400	300-600	○	○	○
実施例 2	20	30	50	10	250	300-600	300-600	○	○	×
実施例 3	20	30	100	50	125	150-400	300-600	○	○	○
実施例 4	20	60	100	30	125	150-400	300-600	○	○	○
実施例 5	20	150	100	30	125	150-400	300-600	○	○	○
実施例 6	20	30	100	10	125	150-400	300-600	○	○	○
実施例 7	20	30	50	30	250	300-600	350-600	○	○	×
実施例 8	20	20	100	30	125	150-400	300-600	○	○	×
実施例 9	20	300	100	30	125	150-400	300-600	○	○	×
参考例 1	20	30	100	100	125	125	—	○	×	×
参考例 2	20	30	50	100	250	125	—	○	×	×

【0081】

(評価試験 2)

実施例 1～7 で作製したそれぞれのプリント配線板に、表 1 に示す No. 3 の IC を搭載し、同時スイッチングを繰り返して、IC のトランジスタの電圧降下量を測定する。なお、IC のトランジスタの電圧は直接測定が困難なので、プリント配線板に測定可能な回路を形成して行なう。

【0082】

この結果から、さらに駆動周波数が早くなった時、各実施例において、電圧降下量 (%) (電圧降下量 / 駆動電圧 $\times 100$) がどのようなになるかをシミュレーションする。この結果を表 3 に示す。電圧降下量は、大きいほど不具合が発生しやすいが、電圧降下量 (%) が 10 % を超えると誤動作が発生するおそれがある。

【0083】

表 3 の結果から、プロセッサコア部直下のスルーホール導体が狭ピッチであり、それ以外の領域のスルーホール導体がプロセッサコア部直下のスルーホール導体よりピッチが広く形成されているプリント配線板は、電圧降下量が小さい。さらに、多層コアの内層の導体厚みが 60～150 μm である (実施例 4、5) と電圧降下量が小さいことが分かる。

【0084】

【表 3】

実施例	1	2	3	4	5	6	7
No.3	1.8	2.8	1.8	0.7	0.7	1.8	2.7
5GHz	2	3	2	1	1	2	3
10GHz	4	6	4	2	2	4	6
15GHz	6	8	6	3	3	6	9
20GHz	8	13	9	5	5	8	12

10

【産業上の利用可能性】

【0085】

以上説明したように、本発明は、実装されたＩＣチップの誤動作が生じ難い半導体素子実装基板に有利に適用される。

【図面の簡単な説明】

【0086】

【図１】本発明にかかる多層プリント配線板におけるスルーホール導体の配列を説明するための概略図である。

20

【図２】（ａ）～（ｅ）は、本発明の実施例１にかかる多層プリント配線板を製造する工程の一部を示す図である。

【図３】（ａ）～（ｆ）は、本発明の実施例１にかかる多層プリント配線板を製造する工程の一部を示す図である。

【図４】（ａ）～（ｃ）は、本発明の実施例１にかかる多層プリント配線板を製造する工程の一部を示す図である。

【図５】スルーホール導体形成時の抜きとダミーランドとを説明するための図である。

【符号の説明】

【0087】

30

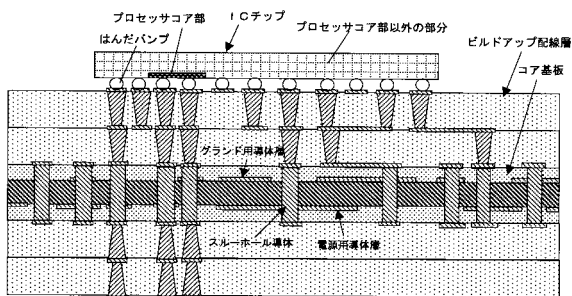
- 10 両面銅張積層板
- 14 樹脂絶縁層
- 16 銅箔
- 16E グランド用下層導体層
- 16P 電源用下層導体層
- 18 プリプレグ
- 20 銅箔
- 22 抜き孔
- 30 コア基板
- 35 貫通孔
- 36E1～36E3 グランド用スルーホール導体
- 36P1～36P3 電源用スルーホール導体
- 40 貫通孔充填用樹脂組成物
- 46E グランド用導体層
- 46P 電源用導体層
- 50 層間樹脂絶縁層
- 50a バイアホール形成用開口
- 58 導体回路
- 60 バイアホール
- 70 層間樹脂絶縁層

40

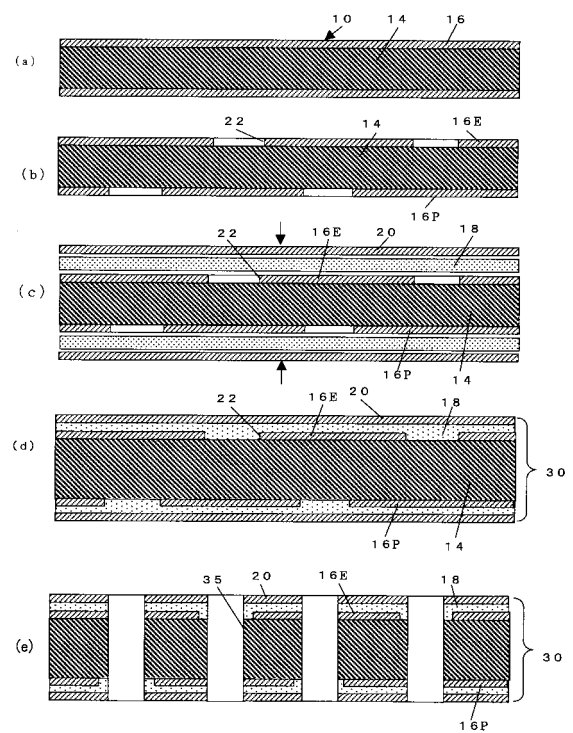
50

- 7 2 導体回路
- 7 4 バイアホール
- 7 6 ソルダーレジスト層
- 7 8 U、7 8 D はんだバンプ
- 8 0 ICチップ
- 8 2 ドータボード

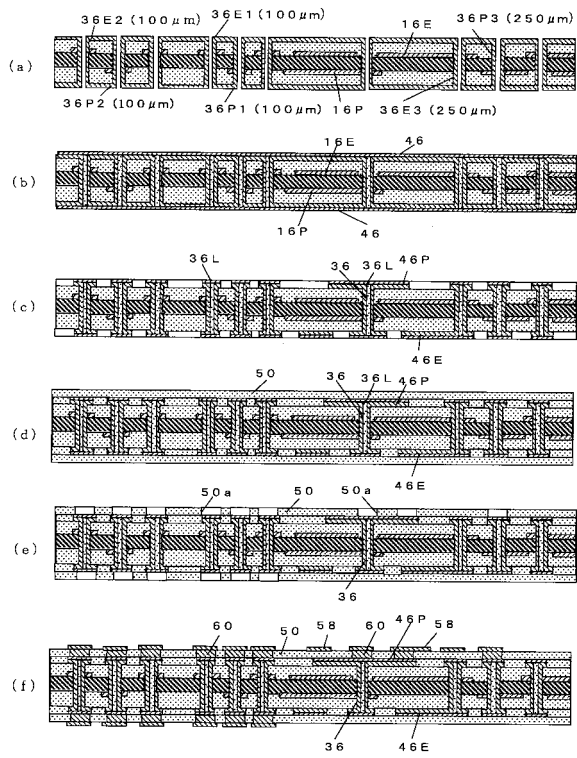
【図 1】



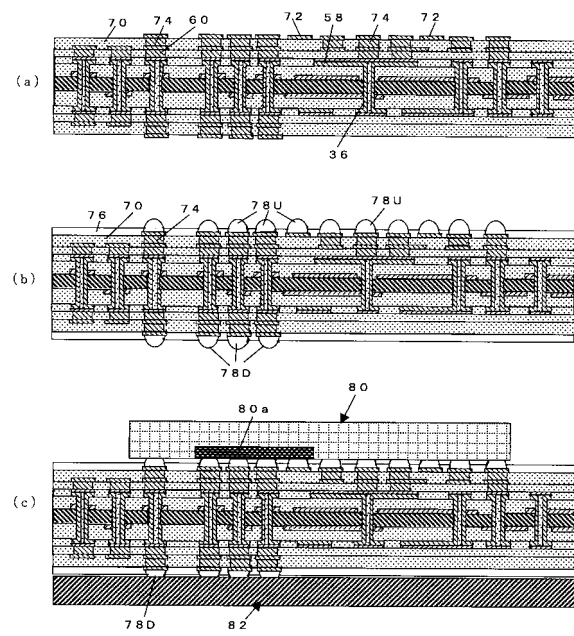
【図 2】



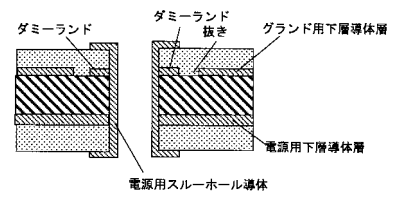
【図 3】



【図 4】



【図 5】



フロントページの続き

(56)参考文献 特開平 1 1 - 2 8 9 0 2 5 (J P , A)
特開 2 0 0 5 - 0 3 3 1 9 5 (J P , A)
特開 2 0 0 5 - 3 1 1 1 8 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 5 K 3 / 4 6
H 0 5 K 1 / 1 8