



(12) 发明专利申请

(10) 申请公布号 CN 104200840 A

(43) 申请公布日 2014. 12. 10

(21) 申请号 201410339871. 6

G11C 7/10(2006. 01)

(22) 申请日 2002. 12. 19

(30) 优先权数据

386596/2001 2001. 12. 19 JP

311475/2002 2002. 10. 25 JP

(62) 分案原申请数据

02157191. 0 2002. 12. 19

(71) 申请人 株式会社东芝

地址 日本东京都

(72) 发明人 中村宽 今宫贤一 山村俊雄

细野浩司 河合矿一

(74) 专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038

代理人 付建军

(51) Int. Cl.

G11C 16/10(2006. 01)

G11C 16/26(2006. 01)

G11C 7/06(2006. 01)

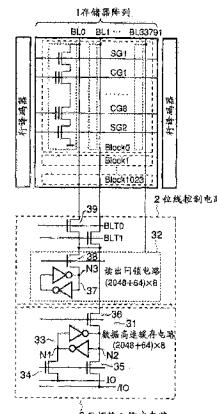
权利要求书2页 说明书15页 附图36页

(54) 发明名称

半导体集成电路

(57) 摘要

本发明提供一种半导体集成电路，在NAND单元型EEPROM中，在数据写入动作中并行执行写入数据输入动作，使得整个数据写入顺序所需时间缩短。其中，具有在动作结束后在将该动作的成功/失败结果保持于芯片内的第1动作及第2动作，在第1动作和第2动作连续进行时，具有在第1和第2动作结束后把第1动作和第2动作这两者的成功/失败结果输出的动作。



1. 一种半导体存储装置,其特征在于,

具备 :

设置有多个存储器的存储器阵列;

闩锁电路,连接到上述存储器阵列,执行第 1 动作;以及

数据高速缓存电路,连接到上述闩锁电路,执行第 2 动作,

其中,

上述第 1 动作和上述第 2 动作能够并行执行;且

将表示上述第 1 动作是否在执行中的第 1 就绪 / 忙信息及表示上述第 2 动作是否能够执行的第 2 就绪 / 忙信息这两者同时向半导体存储装置外部输出,

使用上述闩锁电路执行上述第 1 动作,使用上述数据高速缓存电路执行上述第 2 动作,上述第 1 动作是数据读出动作,上述第 2 动作是向半导体存储装置外部输出数据的动作。

2. 一种半导体存储装置,其特征在于:

具备 :

设置有多个存储器的存储器阵列;

闩锁电路,连接到上述存储器阵列,执行第 1 动作;以及

数据高速缓存电路,连接到上述闩锁电路,执行第 2 动作,

其中,

上述第 1 动作和上述第 2 动作能够并行执行;且

将表示上述第 1 动作是否在执行中的第 1 就绪 / 忙信息及表示上述第 2 动作是否能够执行的第 2 就绪 / 忙信息这两者同时向半导体存储装置外部输出,

使用上述闩锁电路执行上述第 1 动作,使用上述数据高速缓存电路执行上述第 2 动作,上述第 1 动作是数据写入动作,上述第 2 动作是从半导体存储装置外部输入数据的动作。

3. 如权利要求 1 或 2 的半导体存储装置,其特征在于:上述第 1 动作是上述闩锁电路的闩锁动作,而上述第 2 动作是在半导体存储装置内部的上述数据高速缓存电路和半导体存储装置外部之间传送数据的动作。

4. 如权利要求 1 的半导体存储装置,其特征在于:上述第 1、第 2 动作是在具有包含非易失性存储器单元的存储器单元阵列的半导体存储电路中进行的。

5. 如权利要求 2 的半导体存储装置,其特征在于:上述第 1、第 2 动作是在具有包含非易失性存储器单元的存储器单元阵列的半导体存储电路中进行的。

6. 如权利要求 4 或 5 的半导体存储装置,其特征在于:上述存储器单元阵列包含行列状配置的多个 NAND 型单元。

7. 如权利要求 5 的半导体存储装置,其特征在于:上述第 1、第 2 动作是包含在上述存储器单元阵列的针对多个页顺序地进行数据写入的数据写入顺序中的动作。

8. 如权利要求 7 的半导体存储装置,其特征在于:在上述数据写入顺序中的针对最终页的数据写入动作时,执行上述第 1 动作,并且不执行上述第 2 动作。

9. 如权利要求 2 的半导体存储装置,其特征在于:

上述第 1 动作、上述第 2 动作在具有包含非易失性存储器单元的存储器单元阵列的半导体存储电路中进行,上述数据写入动作是反复进行对上述存储器单元施加数据写入用电压的动作、和从被施加了上述数据写入用电压的上述存储器单元读出数据并进行验证的检

验动作的动作。

10. 如权利要求 2 的半导体存储装置, 其特征在于,  
在上述数据写入动作中 :  
输入用来输入地址及数据的命令 ;  
输入进行数据写入的地址 ;  
输入写入数据,  
通过输入数据写入动作开始用命令而开始上述数据写入动作,  
其中, 作为上述数据写入动作开始用命令, 输入指定与写入数据输入动作并行地进行  
的数据写入动作的命令。

## 半导体集成电路

[0001] 本申请是申请号为 201010543237.6、分案递交日为 2010 年 11 月 15 日、发明名称为“半导体集成电路”(其原始母案的申请号为 02157191.0、申请日为 2002 年 12 月 19 日、发明名称为“半导体集成电路”)的发明专利申请的分案申请。

### 技术领域

[0002] 本发明特别涉及将内部动作的成功 / 失败结果输出到半导体芯片外部的半导体集成电路，例如，NAND 单元 EEPROM、DINOR 单元 EEPROM、AND 单元型 EEPROM 等非易失性半导体存储装置。

### 背景技术

[0003] 作为半导体存储装置之一，公知的有电可改写的 EEPROM。尤其是，将多个存储器单元串联构成 NAND 单元块的 NAND 单元型 EEPROM，作为可以高集成化的器件受到注目。

[0004] NAND 单元型 EEPROM 的一个存储器单元，具有在半导体基板上经绝缘膜叠置用作电荷存储层的浮动栅和控制栅的 FET-MOS 构造。于是，将多个存储器单元以邻接的存储器单元共用源和漏的形式串联而构成 NAND 单元，并将此作为一个单位与位线相连接。

[0005] 这种 NAND 单元排列成为矩阵形式而构成存储器单元阵列。存储器单元阵列集成于 p 型阱区或 p 型基板内。在存储器单元阵列的列方向排列的 NAND 单元的一端侧的漏，分别通过选择栅(选通电路)晶体管共同连接到位线，而另一端侧源通过另外的选择栅晶体管连接到共通源线。

[0006] 存储器单元晶体管的控制栅及选择栅晶体管的栅极在存储器单元阵列的行方向上延长，分别成为共通的控制栅线(字线)、选择栅线。

[0007] 此 NAND 单元型 EEPROM 的动作如下。

[0008] 数据写入动作，是从距离位线接触点最远的位置的存储器单元开始顺序进行。在选择的存储器单元的控制栅上施加高电压  $V_{pgm}$ (= 18V 左右)。从此选择存储器单元还对位于位线接触点侧的存储器单元的控制栅及选择栅分别施加中间电位  $V_{mw}$ (= 10V 左右)，在位线上相应于数据给予 0V 或中间电位  $V_{mb}$ (= 8V 左右)。

[0009] 在位线电位为 0V 时，该电位传达到选择存储器单元的漏，产生从漏向浮动栅的隧道电流的电子注入。由此，该选择存储器单元的阈值向正方向上移动。就以这种状态作为，例如，“0”写入状态。

[0010] 在位线电位是  $V_{mb}$  时，不发生电子注入，所以，阈值不改变，停止与负值上。以这种状态为“1”写入状态。

[0011] 数据删除，是对选择的 NAND 单元块内的全部存储器单元同时进行。就是说，对选择的 NAND 单元块内的全部控制栅施加 0V，在 p 型阱区或 p 型基板上施加高电压  $V_{era}$ (= 20V 左右)。另外，使位线、源线、非选择 NAND 单元块中的控制栅及全部选择栅处于浮动状态。

[0012] 由此，在选择 NAND 单元块中的全部存储器单元中，由于隧道电流，浮动栅的电子

释放到 p 型阱区或 p 型基板。由此,删除后阈值电压向负方向移动。

[0013] 数据读出动作,在选择存储器单元的控制栅上施加 0V,而在其以外的存储器单元的控制栅及选择栅上施加电源电压 Vcc 或比电源电压稍高的读出电压 VH。此电压 VH 的值通常为 Vcc 的 2 倍以下的电压电平,例如,在 5V 以下。此时,可通过检测在选择存储器单元中是否有电流流过而读出数据。

[0014] 图 35 示出现有的 NAND 单元型 EEPROM 的存储器单元阵列及位线控制电路的构成的一例。

[0015] 在图 35 中示出的是,存储器单元阵列 1 具有,例如,33792 根的位线 BL0 ~ BL33791 和 1024 个块 Block0 ~ block1023,在行方向的两侧分别配置行译码器的示例。

[0016] 在位线控制电路 2 内,在数据输入输出缓冲存储器和收发数据的经路 I0, /I0 线对和位线 BLi, BLi+1, ... (i = 0) 之间设置有检测闩锁电路 31。就是说,在 I0, /I0 线对和互相邻接的奇数列及偶数列的 2 根位线之间分别连接有一个检测闩锁电路 31。

[0017] 图 36 示出图 35 的 NAND 单元型 EEPROM 的数据写入顺序的一例的算法。

[0018] 在此算法中,对多个页的各页顺序写入数据。在数据写入动作时,因为检测闩锁电路 31 处于动作中,即使用中,检测闩锁电路 31 不能用于数据输入等其他动作。

[0019] 就是说,因为在此数据写入顺序中,对于 1 页,执行写入数据输入动作和数据写入动作,对各个页反复执行,所以在数据写入动作中不能并行执行写入数据输入动作。

[0020] 另外,在实际的动作中,在数据写入动作结束后,将写入的数据读出,进行写入检验确定是否与应该写入的数据一致,确认是否完成正常写入的成功 / 失败状态。

[0021] 因此,在数据写入顺序中,写入数据输入动作和数据写入动作交互反复进行。数据写入顺序整体所需要的时间,主要是处理写入数据输入动作和处理数据写入动作的时间之和,数据写入顺序整体所需要的时间变长。

[0022] 图 37 示出图 35 的 NAND 单元型 EEPROM 的读出顺序的一例的算法。

[0023] 此算法示出的是对多个页的各页连续进行数据读出的场合的顺序。在数据读出动作时,因为检测闩锁电路 31 处于动作中,即在使用中,检测闩锁电路 31 不能用于数据输出等其他动作。

[0024] 在图 37 的算法中,由单元数据读出动作和读出数据输出动作两者所需的时间和决定整个读出顺序所需时间,数据读出顺序整体所需要的时间变长。

[0025] 另外,为了可以实现高速缓存功能及多值逻辑动作,备有临时保持写入数据和读出数据的数据改写读出电路的存储电路,关于这种电路,例如,在专利文献 1 中有记载,此专利文献 1 为特开 2001-325796 号公报。

## 发明内容

[0026] 如上所述,在现有的 NAND 单元型等非易失性半导体存储装置中,存在在数据写入动作中不能并行执行写入数据输入动作,使得整个数据写入顺序所需时间变长的问题。

[0027] 另外,还存在在数据读出动作中不能并行执行读出数据输出动作,使得整个数据读出顺序所需时间变长的问题。

[0028] 本发明正是鉴于上述问题而完成的,其第一个目的是提供一种在动作结束后在将该动作的成功 / 失败结果保持于芯片内的第 1 动作及第 2 动作连续进行时,可以将两者的

成功 / 失败结果输出到外部, 提高在芯片外的控制上的便利性的半导体集成电路。

[0029] 另外, 本发明的第二个目的是提供一种可以在数据写入动作中并行进行写入数据输入, 缩短整个数据写入顺序所需时间, 实现具有高速数据写入功能的半导体存储电路的半导体集成电路。

[0030] 此外, 本发明的第三个目的是提供一种可以在数据读出动作中并行进行读出数据输出, 缩短整个数据读出顺序所需时间, 实现具有高速数据读出功能的半导体存储电路的半导体集成电路。

[0031] 第一发明方面的半导体集成电路的特征在于: 连续进行第 1 动作和第 2 动作, 在上述第 1 动作结束后在内部保持该动作的成功 / 失败结果, 在上述第 1 及上述第 2 动作结束后将上述第 1 动作的成功 / 失败结果和上述第 2 动作的成功 / 失败结果两者输出到外部。

[0032] 第二发明方面的半导体集成电路的特征在于: 可以并行执行第 1 动作和第 2 动作, 将表示上述第 1 动作是否处于执行中的第 1 信息及表示在上述第 1 动作中是否可以执行上述第 2 动作的第 2 信息两者输出到外部。

[0033] 第三发明方面的半导体集成电路的特征在于具备: 可以并行执行第 1 动作和第 2 动作的内部电路; 和将表示上述第 1 动作是否处于执行中的第 1 信息及表示在上述第 1 动作中是否可以执行上述第 2 动作的第 2 信息两者输出到外部的输出电路。

[0034] 第四发明方面的半导体集成电路的特征在于具备: 判定内部电路刚刚动作的结果、输出成功 / 失败信号的成功 / 失败判定电路; 输入上述成功 / 失败信号、在上述内部电路中分别保持连续执行的第 1 动作及第 2 动作各自的成功 / 失败结果的成功 / 失败保持电路; 以及将在上述第 1 动作及第 2 动作连续进行时保持于上述成功 / 失败保持电路中的上述第 1 动作及第 2 动作各自的成功 / 失败结果输出的输出电路。

[0035] 第五发明方面的半导体集成电路的特征在于具备: 与数据输入输出线相连接、临时保持数据的数据高速缓存电路; 与上述数据高速缓存电路相连接、读出从存储器单元读出的数据并闩锁的同时, 将应该写入存储器单元的数据进行闩锁的闩锁电路。

## 附图说明

[0036] 图 1 为示出本发明的实施方式 1 的 NAND 单元型 EEPROM 的整体概略构成的框图。

[0037] 图 2 为取出存储器单元阵列中的一个 NAND 单元部分的剖面图及等效电路图。

[0038] 图 3 为图 2(a) 中的不同剖面的剖面图。

[0039] 图 4 为示出图 1 中的存储器单元阵列的一部分的等效电路图。

[0040] 图 5 为示出图 1 中的存储器单元阵列、位线控制电路、数据输入输出控制电路的构成一例的电路图。

[0041] 图 6 为示出在利用图 5 的电路的场合的数据写入顺序的一例的算法的示图。

[0042] 图 7 为概略示出在利用图 6 的算法的场合的图 5 的电路的动作的示图。

[0043] 图 8 为示出图 1 的 NAND 单元型 EEPROM 形成的半导体芯片的数据写入顺序的控制方法的一例的示图。

[0044] 图 9 为示出实施方式 1 的存储器单元阵列的变形例 1 的电路图。

[0045] 图 10 为示出实施方式 1 的存储器单元阵列的变形例 2 的电路图。

[0046] 图 11 为示现有例和本发明的数据写入顺序的各种控制方法的示图。

- [0047] 图 12 为示出本发明的数据写入顺序的控制方法的示图。
- [0048] 图 13 为示出在使用图 12 的控制方式的场合的数据写入动作时的“忙”状态的输出方法的示图。
- [0049] 图 14 为示出在使用图 12 的控制方式的场合的数据写入动作时的“忙”状态的输出方法的示图。
- [0050] 图 15 为示出在写入动作连续进行的场合的状态读时的成功 / 失败输出结果定时依赖性的一例的示图。
- [0051] 图 16 为示出在写入动作连续进行的场合的状态读时的成功 / 失败输出结果的定时依赖关系的一例的示图。
- [0052] 图 17 为示出在写入动作以外的动作和写入动作连续进行的场合的状态读时的成功 / 失败输出结果定时的依赖关系的一例的示图。
- [0053] 图 18 为示出在写入动作以外的动作连续进行的场合的状态读时的成功 / 失败输出结果定时依赖性的一例的示图。
- [0054] 图 19 为实施方式 1 的状态读时的数据输出内容的一例的示图。
- [0055] 图 20 为示出在实施方式 1 的状态读时、输出 2 次写入动作的累积成功 / 失败的状态的场合的动作例的示图。
- [0056] 图 21 为示出在实施方式 1 的状态读时、输出 2 次写入动作的累积成功 / 失败的状态的场合的动作例的示图。
- [0057] 图 22 为示出本发明的实施方式 2 的 NAND 单元型 EEPROM 的整体概略构成的框图。
- [0058] 图 23 为示出本发明的实施方式 3 的 NAND 单元型 EEPROM 的整体概略构成的框图。
- [0059] 图 24 为示出在将本发明应用于图 5 的电路的数据读出动作的场合的数据读出顺序的实施例的算法的示图。
- [0060] 图 25 为概略示出在利用图 24 的算法的场合的图 5 的电路的数据读出动作的示图。
- [0061] 图 26 为示现有例和本发明的数据读出顺序的各种控制方法的示图。
- [0062] 图 27 为示出使用图 26(b) 的控制方式的场合的数据读出动作的“就绪”/ “忙”状态的详情的示图。
- [0063] 图 28 为示出使用图 26(b) 的控制方式的场合的数据读出动作的“就绪”/ “忙”状态的详情的示图。
- [0064] 图 29 为示出归纳本发明的 NAND 单元型 EEPROM 的后台动作中的有效命令 / 禁止命令的示图。
- [0065] 图 30 为示出 NOR 单元型 EEPROM 的存储器单元阵列的等效电路图。
- [0066] 图 31 为示出 DINOR 单元型 EEPROM 的存储器单元阵列的等效电路图。
- [0067] 图 32 为示出 AND 单元型 EEPROM 的存储器单元阵列的等效电路图。
- [0068] 图 33 为示出带有选通晶体管的 NOR 单元型 EEPROM 的一例的存储器单元阵列的等效电路图。
- [0069] 图 34 为示出带有选通晶体管的 NOR 单元型 EEPROM 的另一例的存储器单元阵列的等效电路图。
- [0070] 图 35 为示出现有的 NAND 单元型 EEPROM 的存储器单元阵列、位线控制电路、数据

输出控制电路的一例的电路图。

[0071] 图 36 为示出利用图 35 的电路的数据写入顺序的一例的算法的示图。

[0072] 图 37 为示出利用图 35 的电路的数据写入顺序的一例的算法的示图。

## 具体实施方式

[0073] 下面参照附图对本发明的实施方式予以说明。

[0074] <实施方式 1>

[0075] 图 1 为示出本发明的实施方式 1 的 NAND 单元型 EEPROM 的整体概略构成的框图。

[0076] 在存储器单元阵列 1 内,如后所述,分别设置有多个具有控制栅及选择栅的存储器单元。在这些存储器单元各个上分别连接有位线和字线。并且,上述多个存储器单元分割为多个块,在动作时选择某一个块。

[0077] 在存储器单元阵列 1 上连接有位线控制电路 2。此位线控制电路 2,从存储器单元阵列 1 内的多个存储器中读出数据并将数据写入到各个存储器单元中。

[0078] 为此,上述位线控制电路 2,包含用来检测放大存储器单元阵列 1 内的位线的电位的检测放大器和目的为将用来进行写入的数据闩锁的检测闩锁电路(检测放大器 / 数据闩锁电路)。于是,在位线控制电路 2 和数据输入输出控制电路 3 之间进行写入数据 / 读出数据等的数据传送。

[0079] 上述数据输入输出控制电路 3,如后所述,包含保持写入数据 / 读出数据等的数据高速缓存电路,对写入数据及读出数据等内部数据或外部数据的输入输出进行控制。此数据输入输出控制电路 3 与数据输入输出缓冲器(I/O 缓冲器)4 相连接。

[0080] 另外,上述数据输入输出控制电路 3,由从接受地址输入的地址缓冲器(地址闩锁器)5 接受地址信号的列译码器 6 的输出进行控制。

[0081] 用来控制存储器单元的控制栅及选择栅的行译码器 7 与存储器单元阵列 1 相连接。此外,用来控制形成存储器单元阵列 1 的 p 型阱区或 p 型基板的电位的阱电位控制电路 8 与存储器单元阵列 1 相连接。另外,用来控制存储器单元阵列 1 内的源线电压的源线控制电路 9 与存储器单元阵列 1 相连接。

[0082] 另外,设置有用来控制选择块内的字线,即控制栅线的电位的字线控制电路 10 及用来控制行译码器 7 的电源电位的行译码器电源控制电路 11。此字线控制电路 10 及译码器电源控制电路 11 一起连接到行译码器 7。

[0083] 此外,还设置有产生写入用高电压和中间电压及删除用高电压、读出用高电压等,在删除动作中供给上述 p 型阱区或 p 型基板,在写入动作中供给存储器单元阵列 1 内的字线及位线、行译码器 7 等的高电压和中间电压生成电路 12。此高电压和中间电压生成电路 12,与上述存储器单元阵列 1、位线控制电路 2、字线控制电路 10 及译码器电源控制电路 11 相连接。

[0084] 上述数据输入输出缓冲器 4,在和外部之间进行各种数据的收发。在此数据输入输出缓冲器 4 上连接有,例如,由 I/O-1 ~ I/O-8 组成的 8 个 I/O 焊盘。于是,经过这 8 个 I/O 焊盘 I/O-1 ~ I/O-8 从外部供给写入数据及地址、命令等,经过这 8 个 I/O 焊盘 I/O-1 ~ I/O-8 从内部将读出数据及各种信号输出到外部。

[0085] 上述数据输入输出缓冲器 4 还连接到上述地址缓冲器 5 及命令译码器 13。

[0086] 命令译码器 13，在从 I/0-1～I/0-8 输入命令时，经过数据输入输出缓冲器 4 接受此命令进行闩锁，接着闩锁的命令输出用来控制数据读出动作、写入动作、删除动作等各种动作的控制信号。

[0087] 另外，设置有成功 / 失败判定电路 14 及成功 / 失败保持电路 15。上述成功 / 失败判定电路 14 与上述位线控制电路 2 相连接，上述成功 / 失败保持电路 15 与上述成功 / 失败判定电路 14 相连接。上述成功 / 失败保持电路 15，例如，由位移寄存器构成。

[0088] 上述成功 / 失败判定电路 14，判定写入或删除是否正常进行。于是，如写入或删除正常进行，就判定为通过状态，如不是，就判定为失败状态。

[0089] 上述成功 / 失败判定电路 14 的成功 / 失败判定，在写入或删除动作结束之后，发送到成功 / 失败保持电路 15 进行保持。并且，如用来调查成功 / 失败状态的命令经过 I/0-1～I/0-8 从外部供给，此命令经过数据输入输出缓冲器 4 输入到命令译码器 13，从命令译码器 13 输出控制信号，根据此控制信号将保持于成功 / 失败保持电路 15 中的成功 / 失败判定结果输入到数据输入输出缓冲器 4，之后，从 I/0-1～I/0-8 中的某一个有选择地输出。

[0090] 另外，设置有“就绪”/“忙”控制电路 (R/B 控制电路) 16。此 R/B 控制电路 16，与上述数据输入输出控制电路 3 及数据输入输出缓冲器 4 相连接。“就绪”/“忙”控制电路 16，根据数据输入输出控制电路 3 的动作，生成表示芯片的动作状态的“就绪”/“忙”信号。此“就绪”/“忙”信号输入到数据输入输出缓冲器 4，之后，从 I/0-1～I/0-8 中的某一个有选择地输出。

[0091] 图 2(a)、(b) 为取出图 1 中的存储器单元阵列中的一个 NAND 单元部分的剖面图及等效电路图，图 3(a)、(b) 分别为图 2(a) 中的沿 3A-3A 线的剖面图及沿 3B-3B 线的剖面图。

[0092] 在由元件分离氧化膜 21 包围的 p 型硅基板 (或 p 型阱区) 22 上形成由多个 NAND 单元组成的存储器单元阵列。在一个 NAND 单元中，串联的多个存储器单元 (在本例中为 8 个存储器单元 M1～M8)，在邻接的单元间共用作为各自的源、漏区的 n 型扩散层 23 (23<sub>0</sub>、23<sub>1</sub>、…、23<sub>10</sub>)。

[0093] 此外，在 NAND 单元的漏侧分别设置有和存储器单元的浮动栅控制栅同时形成的选通晶体管 24<sub>9</sub>、25<sub>9</sub> 及 24<sub>10</sub>、25<sub>10</sub>。

[0094] 各存储器单元 M1～M8 具有的构造为，在半导体基板 22 上经栅绝缘膜 26 形成浮动栅 24 (24<sub>1</sub>、24<sub>2</sub>、…、24<sub>8</sub>)，并且在其上经栅绝缘膜 27 形成叠置的控制栅 25 (25<sub>1</sub>、25<sub>2</sub>、…、25<sub>8</sub>)。

[0095] 在这样形成元件的基板上，由 CVD 氧化膜 28 覆盖，在其上配置位线 29。位线 29，与 NAND 单元的一端的漏侧的扩散层 23<sub>0</sub> 相接触。

[0096] 上述这种 NAND 单元，排列成为矩阵状，NAND 单元的漏侧的选通晶体管共同连接到源线，源侧的选通晶体管则连接到源线 (源线电压单元 - 源)。

[0097] 存储器单元 M1～M8 的控制栅 24，作为控制栅线 (字线) CG1、CG2、…、CG8 共同配设于存储器单元阵列的行方向上。

[0098] 图 4 为示出图 2(a)、(b) 中示出的 NAND 单元配列成为矩阵状的图 1 中的存储器单元阵列 1 的等效电路的一部分的示图。

[0099] 共有同一字线及选择栅线的 NAND 单元群称为块，例如，在图中，以虚线围成的区

域为一个块。读出 / 写入等的动作,对在多个块中选择的一个选择块进行。

[0100] 图 5 为示出图 1 中的存储器单元阵列 1、位线控制电路 2、数据输入输出控制电路 3 的构成一例的电路图。

[0101] 如图 5 所示,作为与数据输入输出缓冲器 4 进行数据收发的路径的 I<sub>O</sub>, /I<sub>O</sub> 线对, 经过设置于数据输入输出控制电路 3 内的多个数据高速缓存电路 31 与设置于位线控制电路 2 内的多个检测闩锁电路 32 相连接。上述各数据高速缓存电路 31 及各检测闩锁电路 32 的构成都包含输入输出结点交叉连接的各自 2 个反相器电路。更详细说, 各数据高速缓存电路 31 的构成包括:由 2 个反相器电路组成的闩锁电路 33、连接到此闩锁电路 33 的一方的数据存储节点 N<sub>1</sub> 和 I<sub>O</sub> 线之间的开关用的晶体管 34、连接到上述闩锁电路 33 的另一方的数据存储节点 N<sub>2</sub> 和检测闩锁电路 32 之间的开关用的晶体管 35、以及连接到上述数据存储节点 N<sub>2</sub> 和检测闩锁电路 32 之间的开关用的晶体管 36。

[0102] 另外, 各检测闩锁电路 32 的构成包括由 2 个反相器电路组成的闩锁电路 37 和一端连接到此闩锁电路 37 的数据存储节点 N<sub>3</sub> 的开关用的晶体管 38。于是, 在位线控制电路 2 内在各个检测闩锁电路 32 的每一个中分别设置 2 个开关用的晶体管 39、40。上述的一个晶体管 39 与上述晶体管 38 的另一端和存储器单元阵列 1 内的偶数列的任何一根位线之间相连接, 另一个晶体管 40 与上述晶体管 38 的另一端和存储器单元阵列 1 内的奇数列的任何一根位线之间相连接。上述晶体管 39、40 以位线选择信号 BTL0 或 BTL1 进行栅控。

[0103] 就是说, I<sub>O</sub>, /I<sub>O</sub> 线对只直接与数据高速缓存电路 31 相连接, 此数据高速缓存电路 31 与检测闩锁电路 32 相连接。

[0104] 另外, 图 5 中示出的是, 存储器单元阵列 1 具有 33792 根位线 BL<sub>0</sub> ~ BL<sub>33791</sub> 和 1024 个块, 即块 0 ~ 块 1023 (Block<sub>0</sub> ~ Block<sub>1023</sub>), 在行方向的两侧分别配置行译码器的示例。

[0105] 在图 5 的电路中, 在奇数列、偶数列的 2 根位线和 I<sub>O</sub>, /I<sub>O</sub> 线对之间存在 2 种闩锁电路, 即 1 个检测闩锁电路 32 和 1 个数据高速缓存电路 31。所以, 在数据写入动作及数据读出动作时, 可以只选择与检测闩锁电路 32 相连接的 2 根位线中的 1 根, 并只对与选择的位线相连接的存储器单元执行数据写入 / 读出。

[0106] 因为在数据写入动作中使用的只是检测闩锁电路 32, 数据高速缓存电路 31 可以在独立于数据写入动作的动作中使用。例如, 可以在下面进行的数据写入动作中使用的写入数据, 即写入到次页的写入数据的输入动作中使用。

[0107] 图 6 为示出在利用图 5 的电路的场合的数据写入顺序的一例的算法的示图。

[0108] 此算法示出在对多个页的各页顺序进行数据写入的数据写入顺序中, 并行进行数据写入动作和写入到次页的写入数据输入动作的情况。在最初的步骤中, 进行对数据高速缓存电路 31 的写入数据输入动作 (到数据高速缓存), 在下一个步骤中从数据高速缓存电路 31 进行从数据高速缓存电路 31 向检测闩锁电路 32 传送写入数据的动作 (使用检测闩锁器)。另外, 与此数据写入动作并行进行将下面的写入数据输入到数据高速缓存电路 31 的动作 (到数据高速缓存)。

[0109] 下面, 同样地, 将数据从数据高速缓存电路 31 传送到检测闩锁电路 32、进行数据写入动作。

[0110] 在图 6 的算法中, 从数据高速缓存电路 31 向检测闩锁电路 32 的数据传送动作是

必需的。不过,因为通常数据传送动作所需要的时间与数据写入动作(通常为大约 200 μ s)及写入数据输入动作(通常为数十~数百 μ s)相比较非常短,通常为大约 2 ~ 3 μ s,对整个顺序所需的时间几乎没有影响。

[0111] 下面,对图 6 的算法相对于在现有例中示出的图 36 的算法的有利之处,通过比较 1 页的数据写入动作所需时间进行说明。

[0112] 利用图 6 的算法对 1 页的数据写入动作所需时间是数据写入动作和与此并行进行的写入数据输入动作之中的时间长的一方的动作所需时间与写入数据传送动作所需时间之和。与此相对,利用在现有例中示出的图 36 的算法的 1 页的数据写入动作所需时间为数据写入动作和写入数据输入动作所需时间之和。

[0113] 如考虑到,通常数据写入动作所需时间高达大约 200 μ s,而写入数据输入动作所需时间为数十~数百 μ s 这一点,因为数据写入动作和写入数据输入动作所需时间的数量级相同,在使用图 6 的算法的场合,1 页写入数据输入动作所需时间大约为数百 μ s。

[0114] 与此相对,利用图 36 的算法的 1 页的数据写入动作所需时间为数百 μ s+ 数百 μ s,使用图 6 的算法的整个顺序所需时间可大幅度地缩短。

[0115] 图 7(a) ~ (f) 为概略示出在利用图 6 的算法的场合的图 5 的电路的动作的示图。

[0116] 在图 7 中,与写入数据输入动作并行进行的数据写入动作以“后台”(Background)表示,而数据写入动作的单独动作以“前台”(Foreground)表示。另外,数据写入动作表示为“数据编程”(Data Prog),通过反复进行写入存储器单元数据写入用的电压施加动作“编程”(programming)和写入检验动作“检验”(verification)而执行。

[0117] 在数据写入顺序的最后页的数据写入动作中,因为必须输入下一页的写入数据,图 6、图 7 一起都变为数据写入动作的单独动作。所以,在对最终页的数据写入动作中,不需要后台动作。就是说,因为不需要与其他动作并行动作,所以可使用前台动作。

[0118] 图 8 为示出图 1 的 NAND 单元型 EEPROM 形成的半导体芯片的数据写入顺序的控制方法的一例的示图。另外,图 8 中的 Ta 至 Tf 各个期间的动作,与图 7 中的 (a) ~ (f) 相对应。

[0119] 作为用于实现写入动作的控制方法,一般采用的顺序为地址 / 数据输入用命令(COM1)输入、进行数据写入的地址输入、写入数据输入、数据写入动作开始命令的输入、数据写入动作开始,作为数据写入动作开始命令,有两种:前台用,即可以和写入数据输入动作并行进行的数据写入动作用的命令 COM2 和后台用,即不可以和其他动作并行进行的数据写入动作用的命令 COM3。

[0120] 在一方的数据写入动作用的命令 COM3 的输入时,表示芯片的动作状态的“就绪”/“忙”状态的“忙”期间长,一直到与命令 COM3 的输入相对应地数据写入动作结束为止“忙”状态一直继续。在此“就绪”/“忙”状态,根据图 1 中的数据输入输出控制电路 3 的动作在 R/B 控制电路 17 中检测,相应于此检测状态生成“就绪”信号 / “忙”信号。

[0121] 在另一方的数据写入动作用的命令 COM2 的输入时,表示芯片的动作状态的“就绪”/“忙”状态的“忙”期间短,在马上要输入命令 COM2 之前输入的写入数据从数据高速缓存电路 31 传送到检测闩锁电路 32 之后即刻从“忙”状态返回到“就绪”信号 / “忙”状态。

[0122] 通常,作为数据写入动作开始命令,通过在数据写入顺序中的最终页以外使用命令 COM2,可并行执行数据写入动作和写入数据输入动作而缩短所需时间,通过对最终页使

用命令 COM3 容易检测顺序的结束。就是说，采用通过检查“就绪”/“忙”状态可以检测的方法特别有效。

[0123] 另外，图 8 中示出的各个所需时间，作为输入数据量 1 页相当于 2112 字节，数据输入循环为 50ns，从数据高速缓存电路 31 到检测闩锁电路 32 的数据传送所需时间为 3 μ s，数据写入动作所需时间为 200 μ s，示出的数据写入顺序为从页 1 到页 N 的场合。

[0124] 另外，在图 8 所示的方法中，如 Tc 及 Td 期间，在后台的写入动作执行中，模拟输出“忙”状态。在此模拟“忙”状态时，COM1、COM2、COM3 这样的与写入动作相关联的命令以外的命令，特别是与其他动作，例如，数据读出动作及数据删除动作等相关联的命令的输入受到禁止。通常，关于此禁止命令的输入，记载于在芯片的规格说明书中。

[0125] 另外，芯片的设计考虑到在输入上述禁止命令的场合，可以忽视该禁止命令继续后台动作，可以防止误动作。

[0126] 具体言之，有效命令、禁止命令或可忽视的命令可举例如下。有效命令是 COM1、COM2、COM3 等写入系列命令，复位命令，输出表示“就绪”/“忙”状态及成功 / 失败状态的信号的命令。禁止命令或可忽视命令是上述有效命令以外的命令，例如，读出系列命令，删除系列命令。

[0127] 像芯片 ID 输出用命令等那样，属于上述有效命令、禁止命令的任何一个也没有问题，但这些一般列入到禁止命令方面，具有可以使电路简易的优点。

[0128] 另外，在上述第 1 具体实施方式中，是利用图 5 的电路构成例进行说明的，但本发明不限于本例，可以有各种改变。

[0129] 图 9 为示出具体实施方式 1 的存储器单元阵列 1、位线控制电路 2 及数据输入输出控制电路 3 的变形例 1 的构成的电路图。

[0130] 如图 9 所示，在将存储器单元阵列 1 在字线的延长方向上在一半处分割而成为 2 个存储器单元阵列 1-1、1-2，使 1 个块在 2 个存储器单元阵列 1-1、1-2 中各配置半个的场合，本发明当然也是有效的。

[0131] 在图 9 的构成中，在将 1 页的存储器单元在 2 个存储器单元阵列 1-1、1-2 中各配置半个，对配置于左右存储器单元阵列中的 1 页的存储器单元以上述方式执行动作的场合，本发明也是有效的。

[0132] 图 10 为示出具体实施方式 1 的存储器单元阵列 1、位线控制电路 2 及数据输入输出控制电路 3 的变形例 2 的构成的电路图。

[0133] 如图 10 所示，在将存储器单元阵列 1 在字线的延长方向上在一半处分割而成为 2 个存储器单元阵列 1-1、1-2，并且使 1 个块只配置于单个存储器单元阵列 1-1 或 1-2 中的场合，本发明当然也是有效的。

[0134] 在图 10 的场合，在左右存储器单元阵列内分别选择不同的 1 页合计选择 2 页执行上述的动作的场合，本发明也是有效的。在此场合，对不同块内的 2 页的存储器单元可同时进行数据写入。

[0135] 另外，在存储器单元阵列不是分割成为 2 个而是 3 个以上的场合，也可以实现与上述同样的动作，本发明当然有效。

[0136] 下面对本发明的数据写入的控制方式和现有的数据写入的控制方式进行比较。

[0137] 图 11(a) 示出现有的数据写入控制方式的概略，图 11(b) 示出图 8 所示的数据写

入的控制方式的概略。

[0138] 在图 11(a) 所示的现有方式中, 对整页数据写入动作可以以前台动作进行, 而在图 11(b) 所示的本例方式中, 对最终页以外的页可以以后台动作进行。

[0139] 图 12 示出本发明的数据写入顺序的控制方法的概略。

[0140] 这是对整页数据写入动作以前台动作进行的控制方式, 在此场合本发明也有效。

[0141] 图 13(a) 至图 13(d) 及图 14(a)、(b) 为示出使用图 11(b) 的控制方式的场合的数据写入动作时的“忙”信号的输出例。另外, 在图中的命令输入的记述部分中, 地址 / 数据输入的表示省略, 实际上这些输入是自不待言的。

[0142] 图 13(a) 至图 13(d) 及图 14(a)、(b) 中的信号高速缓存 -R/B(Cache-R/B) 与上述的“就绪”/“忙”状态, 例如, 图 8 中的“就绪”/“忙”状态相当, 通常, 与从图 1 中的 I/O 焊盘 I/0-1 至 I/0-8 中的某一个输出的芯片的“就绪”/“忙”状态一致。另一方面, 信号真 -R/B(True-R/B) 表示也包含后台动作的芯片中的动作, 后台动作中永远是变成为“忙”状态的信号。

[0143] 图 13(a) 是单独实行现有的数据写入动作的场合, 相当于前台动作。在此场合, 在数据写入动作期间 tPROG 中, 2 种信号高速缓存 -R/B 与真 -R/B 一致。

[0144] 图 13(b)、(d), 表示出在数据写入动作连续进行 2 次时, 在第 1 次动作结束后第 2 次动作开始命令输入的场合的数据写入动作期间 tPROG 及“忙”信号的状态。

[0145] 另外, 图 13(c)、图 14(a), 表示出在数据写入动作连续进行 2 次时, 在第 1 次动作中第 2 次动作开始命令输入的场合的数据写入动作期间 tPROG 及“忙”信号的状态。

[0146] 另外, 图 14(b), 表示出在数据写入动作以外的动作产生的“忙”信号的输出动作结束后数据写入动作开始命令输入的场合的动作期间 tPROG 及“忙”信号的状态。

[0147] 可以看到, 如图 13(b) 至图 13(d) 及图 14(a)、(b) 所示, 在与后台动作有关系的场合, 根据动作开始命令的输入定时“就绪”/“忙”状态可以有种种的变化。

[0148] 通常, 在某一动作结束后调查成功 / 失败状态中, 通过将芯片状态输出命令 COMS 输入到 I/O 焊盘 I/0-1 ~ I/0-8 进行。从 I/O 焊盘 I/0-1 ~ I/0-8 输入的芯片状态输出命令 COMS, 经图 1 中的数据输入输出缓冲器 4 送到命令译码器 13, 在此处生成用来输出成功 / 失败状态而使用的控制信号。

[0149] 另一方面, 如前所述, 在数据写入动作结束后, 在成功 / 失败保持电路 15 中保持写入是否正常完成的成功 / 失败状态。为了调查此成功 / 失败状态, 在 I/O 焊盘 I/0-1 ~ I/0-8 中输入芯片状态输出命令 COMS。据此, 保持于成功 / 失败保持电路 15 中的数据经过数据输入输出缓冲器 4 输出到 I/O 焊盘 I/0-1 ~ I/0-8。

[0150] 一般, 在输入芯片状态输出命令 COMS 之后, 输出包含成功 / 失败状态的芯片状态的状态的动作, 称为状态读。

[0151] 图 15(a) 至图 15(c) 及图 16(a) 至图 16(c) 为示出在写入动作连续进行的场合的状态读时的成功 / 失败输出结果的定时依赖关系的一例的示图。

[0152] 图 17(a) 至图 17(c) 及图 18(a)、(b) 为示出在写入动作以外的动作和写入动作连续进行的场合的状态读时的成功 / 失败输出结果的定时依赖关系的一例的示图。

[0153] 在图 15 至图 18 中, “A1- 状态”(A1-Status) 的标记, 表示对 A1 期间的动作 (A1 动作) 的成功 / 失败状态。同样, “A2- 状态”、“B1- 状态”、“B2- 状态”、... 等也相对应地表

示 A2 动作、B1 动作、B2 动作、... 的成功 / 失败状态。

[0154] 如图 15(a) 至图 15(c) 及图 16(a) 至图 16(c) 所示, 在考虑包含后台动作的场合的成功 / 失败输出的场合, 明确由状态读输出的成功 / 失败对应什么数据写入动作, 即对应对什么页的写入动作这一点非常重要。如这一点明确地可以发生, 万一在写入出现不良的场合, 就可以确定包含不良数据的页。

[0155] 为了明确这种成功 / 失败和页的对应, 如图 15(a) 至图 15(c) 及图 16(a) 至图 16(c) 详细地示出的, 在写入动作连续的场合, 对过去 2 次的写入动作的成功 / 失败同时或顺序输出。就是说, 如图所示, 在芯片状态输出命令 COMS 输入之后, 从 2 个 I/O 焊盘 I/O-1、I/O-2 输出与成功 / 失败状态相对应的信号。另外, “无效”(invalid) 是不反映成功 / 失败状态的无意义的数据。

[0156] 图 19(a) 示出在具体实施方式 1 的状态读时, 从 8 个 I/O 焊盘 I/O-1 ~ I/O-8 输出的数据输出内容的一例。

[0157] 从 I/O 焊盘 I/O-1, 输出马上要进行的动作的芯片状态 (Chip Status-II)。从 I/O 焊盘 I/O-2 输出在写入动作连续的场合中与紧前面 1 个写入启动命令相对应的芯片状态 (Chip Status-II)。各个芯片状态, 在成功的场合为“0”, 而在失败的场合为“1”。

[0158] 另外, 在采用图 15(a) 至图 15(c) 及图 16(a) 至图 16(c) 的方式的场合, 因为在高速缓存 -R/B 和真 -R/B 的定时顺序中成功 / 失败的状态内容改变, 在状态读的输出数据中, 最好也包含高速缓存 -R/B、真 -R/B。在此场合, 变为图 19(b) 的输出。在上述状态读中, 在输入命令 COMS 后, 输出成功 / 失败状态及“就绪”/“忙”状态。

[0159] 图 20(a) 至图 20(c) 及图 21(a) 至图 21(f) 示出在具体实施方式 1 的状态读时、输出连续的 2 次写入动作的成功 / 失败的状态的累积结果的成功 / 失败的状态的场合的实施例。

[0160] 图 20(a) 的所谓“(A1+A2)-状态”, 表示 A1 和 A2 的动作的成功 / 失败的状态的累积结果, 即表示如在 A1、A2 某一动作中出现失败, 维持失败状态原样的状态。

[0161] 在实际的动作中, 连续数页至数十页的数据写入的场合很多, 在此场合, 输出累积数页至数十页的写入动作的成功 / 失败的状态的累积状态。

[0162] 对于此累积状态, 如存在可以以通常的复位命令复位的方式, 也存在只利用累积状态的专用复位命令可以复位的方式。

[0163] 如也存在从复位后马上动作到最后的动作为止的累积成功 / 失败的状态的方式作为累积状态, 也存在只对于某一特定动作或命令, 例如, 写入动作及写入系列命令累积成功 / 失败的状态的方式。

[0164] 图 19(c), 示出包含上述的累积状态的输出的状态读时的数据输出的一例。在此场合, 从 I/O 焊盘 I/O-3 输出与累积状态 (累积芯片状态) 相应的数据信号。

[0165] 图 19(d), 示出不包含成功 / 失败的状态读时的数据输出的一例。

[0166] 就是说, 在上述具体实施方式中 1 的 NAND 单元型 EEPROM 中, 在动作结束后, 动作的成功 / 失败结果保持于芯片内的第 1 动作及第 2 动作连续进行时, 两者的成功 / 失败结果可以输出到半导体芯片之外, 可提高在芯片外的控制上的便利性。

[0167] 另外, 上述 NAND 单元型 EEPROM, 可以并行执行第 1 动作, 例如, 数据写入动作, 和第 2 动作, 例如, 写入数据输入动作, 具有向半导体芯片外输出表示第 1 动作是否在执行中

的数据,例如,真-R/B,和第2动作是否可以在第1动作中执行的数据,例如,高速缓存-R/B这两者的动作。

[0168] 因此,可以在数据写入动作中并行地进行写入数据输入动作。据此,整个数据写入顺序所需时间由写入数据输入动作所需时间和数据写入动作所需时间中的某一个时间长的一方决定,时间短的一方所需时间对顺序所需时间没有影响。因此,整个数据写入顺序所需时间可以缩短,可以实现高速数据写入功能。

[0169] 另外,如上所述,具备在动作结束后,将动作的成功 / 失败结果保持于芯片内的第1动作及第2动作,为了在第1动作及第2动作连续进行时,在第1及第2动作结束后,将第1动作的成功 / 失败结果和第2动作的成功 / 失败结果两者都输出到半导体芯片外的动作以半导体集成电路实现,最好基本上具备如下的构成要件。

[0170] 就是说,其构成最好包括:判定集成电路内部电路的即将进行的动作的结果并生成成功 / 失败信号的成功 / 失败判定电路(成功 / 失败判定电路14);将此成功 / 失败信号作为输入,并将集成电路内部电路的连续进行的第1动作及第2动作的各个成功 / 失败结果分别保持的成功 / 失败保持电路(成功 / 失败保持电路15);以及在第1动作和第2动作连续进行的场合,将保持于成功 / 失败保持电路中的2个动作的各个成功 / 失败结果输出到半导体芯片外的输出电路(数据输入输出缓冲器4)。

[0171] 此外,通过设置将上述连续的第1动作及第2动作各自的成功 / 失败结果累积保持的累积结果保持电路,将保持于此累积结果保持电路中的上述2个动作的累积结果及 / 或保持于上述成功 / 失败保持电路中的2个动作各自的 success / failure 结果由上述输出电路输出到半导体芯片外。

[0172] 图22为示出具备上述累积结果保持电路的本发明的具体实施方式2的NAND单元型EEPROM的整体概略构成的框图。

[0173] 在此EEPROM中,对图1的EEPROM新增了累积结果保持电路17。此累积结果保持电路17,与成功 / 失败判定电路14和数据输入输出缓冲器4相连接。累积结果保持电路17,接受在成功 / 失败判定电路14中生成的多个动作的成功 / 失败结果,将这些多个成功 / 失败结果累积。此累积结果,发送到数据输入输出缓冲器4,如图19所示,之后,从I/O焊盘I/O-3输出到芯片的外部。

[0174] 此外,如果设置将从上述累积结果保持电路17输出的多个累积成功 / 失败结果分别进行保持的累积数据保持电路,则可以将保持于此累积数据保持电路中的累积数据及 / 或保持于上述成功 / 失败保持电路中的2个动作各自的 success / failure 结果由输出电路输出到半导体芯片外部。

[0175] 图23为示出具备上述累积结果保持电路的本发明的具体实施方式3的NAND单元型EEPROM的整体概略构成的框图。

[0176] 在此EEPROM中,对图2的EEPROM新增了累积结果保持电路18。此累积结果保持电路18,与累积结果保持电路17和数据输入输出缓冲器4相连接。累积结果保持电路18,分别保持从累积结果保持电路17输出的多个累积成功 / 失败结果。在此累积结果保持电路18中保持的累积成功 / 失败结果发送到数据输入输出缓冲器4。之后,从I/O焊盘I/O-1 ~ I/O-8的任何一个之中输出到芯片的外部。

[0177] 在上述各具体实施方式中,是以在数据写入动作中,以利用后台动作的场合为例

进行说明的,在其他场合,例如,在将后台动作应用于数据读出动作的场合,本发明也有效。

[0178] 图 24 为示出在将本发明应用于图 5 的电路的数据读出动作的场合的数据读出顺序的实施例的算法的示图。

[0179] 图 25 为概略示出在将本发明应用于图 5 的电路的数据读出动作的场合的数据读出顺序的算法的示图。

[0180] 此处,在对多个页连续进行数据读出的场合,并行执行单元数据读出动作和读出数据输出动作。

[0181] 这样一来,因为第 2 页以后的单元数据读出动作和数据输出动作并行执行,整个顺序所需时间由单元数据读出动作和数据输出动作中所需时间长的一方的动作所需时间决定,所需时间短的一方的动作所需时间没有影响。

[0182] 就是说,在图 24 的各动作中,读出数据传送所需时间大约为  $2 \sim 3 \mu s$ , 单元数据读出动作所需时间大约为  $25 \sim 50 \mu s$ , 读出数据输出动作所需时间大约为  $25 \sim 100 \mu s$ , 读出数据传送所需时间与其他相比极短。所以,数据读出顺序所需时间由单元数据读出动作和读出数据输出动作支配。

[0183] 与此相对,在图 37 所示的上述现有例的算法中,由单元数据读出动作和读出数据输出动作两者所需时间的和决定整个顺序的所需时间。所以,图 24 的算法的一方可实现较之图 37 所示的现有例的算法更高速的数据读出顺序。

[0184] 图 25(a) 至图 25(f) 为概略示出在采用图 24 的算法的场合的图 5 的电路的数据读出动作的示图。

[0185] 图 26(a) 概略示出现有的数据读出动作的各种控制方法,在前台进行整页数据读出动作。

[0186] 图 26(b) 概略示出图 25 所示的数据读出动作的控制方式。图 26(b) 中的①~⑥期间的动作,与图 25(a) 至图 25(f) 的动作相对应。

[0187] 从图 25 及图 26(b) 可知,第 1 页的数据读出动作(图中的①的期间),使用与现有的数据读出动作同样的控制方式,即使用同样的命令 COM4、COM5,其动作是前台动作。

[0188] 在图 26(b) 中的命令 COM6 的输入以后的动作(图中的②~⑥的期间)中,单元数据读出动作是后台动作,与读出数据输出动作并行执行。

[0189] 后台读出动作的开始命令是命令 COM6,此命令输入后,首先,在输出“忙”状态进行读出数据传送之后,与开始次页的单元数据读出动作的同时输出“就绪”状态。

[0190] 读出数据输出是从 0 列开始顺序进行,在想要指定特定的列地址的场合,如图 26(c) 所示,通过在命令 COM8 和 COM9 之间输入列地址,可以在读出数据输出动作中,指定特定的列地址。

[0191] 对于数据读出顺序的最终页,在最终页数据输出时不需要读出次页的单元数据,所以采用不伴随单元数据读出动作的读出数据传送专用命令 COM7 是有效的。因为通过采用此命令 COM7 使多余的单元数据读出动作取消,动作所需时间,即“忙”状态时间可以缩短。

[0192] 图 27(a) 至图 27(d) 及图 28(a)、(b) 示出使用图 26(b) 的控制方式的场合的数据读出动作的“就绪”/“忙”状态的详情。另外,在图中的命令输入的标记部分中,地址 / 数据输入的记载省略,实际上这些当然要输入。

[0193] 图 27(a) 至图 27(d) 及图 28(a)、(b) 中的信号高速缓存 -R/B 相当于上述“就绪”/“忙”状态, 例如, 图 26(b) 中的“就绪”/“忙”状态, 通常, 与从图 1 中的 I/O 焊盘 I/0-1 至 I/0-8 的任何一个输出的芯片的一致。另一方面, 信号真 -R/B 表示也包含后台动作的芯片中的动作状态, 后台动作中经常是表示“忙”状态的信号。

[0194] 因为对于数据读出, 通常, 不输出成功 / 失败状态, 此场合的状态读时的数据输出如图 19(d) 所示。

[0195] 在图 27(a) 中的 L1 期间, 是单独执行数据读出动作的场合, 相当于前台动作, 在此场合中, 信号高速缓存 -R/B 和信号真 -R/B 的状态一致。

[0196] 图 27(b)、(d) 及图 28(a), 表示在数据读出动作连续进行 2 次时, 在第 1 次的动作结束后输入第 2 次的动作开始命令的场合的读出动作期间及“忙”信号的状态。

[0197] 另外, 图 27(c) 及图 28(b), 表示在数据读出动作连续进行 2 次时, 在第 1 次的动作中输入第 2 次的动作开始命令的场合的读出动作期间及“忙”信号的状态。

[0198] 可以看到, 如图 27(a) 至图 27(d) 及图 28(a)、(b) 所示, 在与后台动作有关系的场合, 根据动作开始命令的输入定时, “就绪”/“忙”状态可以有种种的变化。

[0199] 数据读出时的后台动作中 (高速缓存 -R/B 为“就绪”状态, 真 -R/B 为“忙”状态) 时的有效命令及禁止命令, 或可忽视命令如下。就是说, 有效命令是 COM6、COM7、COM8、COM9 等读出系列命令, 复位命令, 输出表示“就绪”/“忙”状态及成功 / 失败状态的信号的命令。另外, 禁止命令或可忽视命令是上述有效命令以外的命令, 例如, 写入系列命令, 删除系列命令等。

[0200] 也有像芯片 ID 输出用命令这样, 属于上述有效命令、禁止命令任何一个也没有问题的场合, 但这些一般列入到禁止命令方面, 具有可以使电路简易的优点。

[0201] 图 29(a)、(b) 为示出归纳本发明的 NAND 单元型 EEPROM 的后台动作中的有效命令 / 禁止命令的示图。

[0202] 如图 29(a) 所示, 在数据写入动作时, 在信号高速缓存 -R/B 从“忙”状态切换为“就绪”状态之后, 信号真 -R/B 从“忙”状态一直到切换为“就绪”状态为止的期间 T 中有效命令是 COM6、COM7、COM8、COM9 等读出系列命令, 状态读命令 COMS、复位命令等, 其他命令是禁止或可忽视命令。

[0203] 在图 29(b) 的动作中, 在读出最终页的数据的场合, 因为不存在次页, 即使是连续输入读出系列命令 COM6, 数据读出动作对最终页一次足够。

[0204] 因此, 在对最终页连续输入读出系列命令 COM6 的场合, 对第 2 次以后的命令 COM6 的输入, 省略数据读出动作, 并且“忙”状态的输出只是短时间, 例如, 大约  $2 \sim 3 \mu s$ , 或是可以采用只进行读出数据传送动作的方式。在此场合, 因为省略数据读出动作, 可实现动作时间即“忙”期间的缩短。

[0205] 另外, 本发明不限定于上述各实施方式, 可以有各种改变。

[0206] 例如, 在上述各实施方式中, 是以在 NAND 单元内串联的存储器单元的数目为 8 个的场合为例进行说明的, 在其他的场合, 例如, 在 NAND 单元内存储器单元的数目为 1、2、4、16、32、64 的场合等当然本发明也同样有效。

[0207] 另外, 在上述具体实施方式中, 是以 NAND 单元型 EEPROM 为例对本发明进行说明的, 但本发明不限定于上述个具体实施方式, 在其他器件中, 例如, NOR 单元型 EEPROM、

DINOR 单元 EEPROM、AND 单元型 EEPROM、带有选择晶体管的 NOR 单元型 EEPROM 等之中也可以实施。

[0208] 例如, NOR 单元型 EEPROM 的存储器单元阵列的等效电路示于图 30, DINOR 单元 EEPROM 的存储器单元阵列的等效电路示于图 31, AND 单元型 EEPROM 的存储器单元阵列的等效电路示于图 32, 带有选择晶体管的 NOR 单元型 EEPROM 的存储器单元阵列的等效电路示于图 33 及图 34。

[0209] 另外,关于 DINOR 单元 EEPROM 的详细情况和关于 AND 单元型 EEPROM 的详细情况已知分别公开于“H. Onoda et al., IEDM Tech. Digest, 1992, pp. 599–602”中和“H. Kume et al., IEDM Tech. Digest, 1992, pp. 991–993”中。

[0210] 另外,在上述实施方式中,是以具有电可改写的非易失性存储器单元的阵列的半导体存储装置为例对本发明进行说明的,但本发明也可应用于其他的半导体存储装置,并且也可应用于其他的半导体集成电路。

[0211] 以上利用具体实施方式对本发明进行了说明,但本发明在不脱离其要旨的范围内可以有种种改变。

[0212] 如上所述,根据本发明的半导体集成电路,在动作结束后在动作的成功 / 失败结果保持于芯片内第 1 动作和第 2 动作连续进行时,可以将两者的结果输出,可以提高半导体集成电路上的控制上的便利性。

[0213] 另外,可以在数据写入动作中并行进行写入数据输入动作,可缩短整个数据写入顺序所需时间,可以实现具有高速数据写入功能的半导体存储装置。

[0214] 另外,可以在数据读出动作中并行进行读出数据输出动作,可缩短整个数据读出顺序所需时间,可以实现具有高速数据读出功能的半导体存储装置。

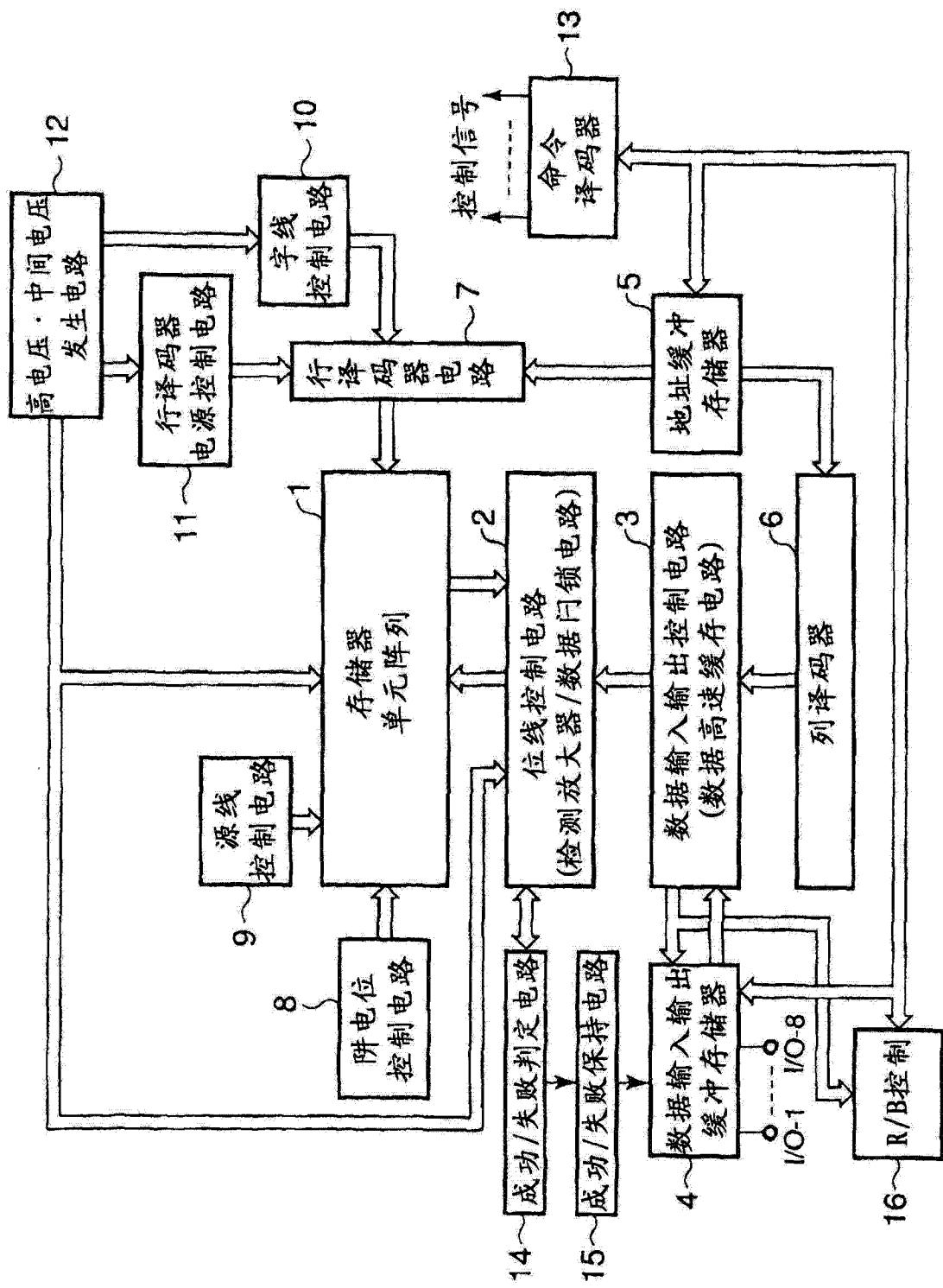


图 1

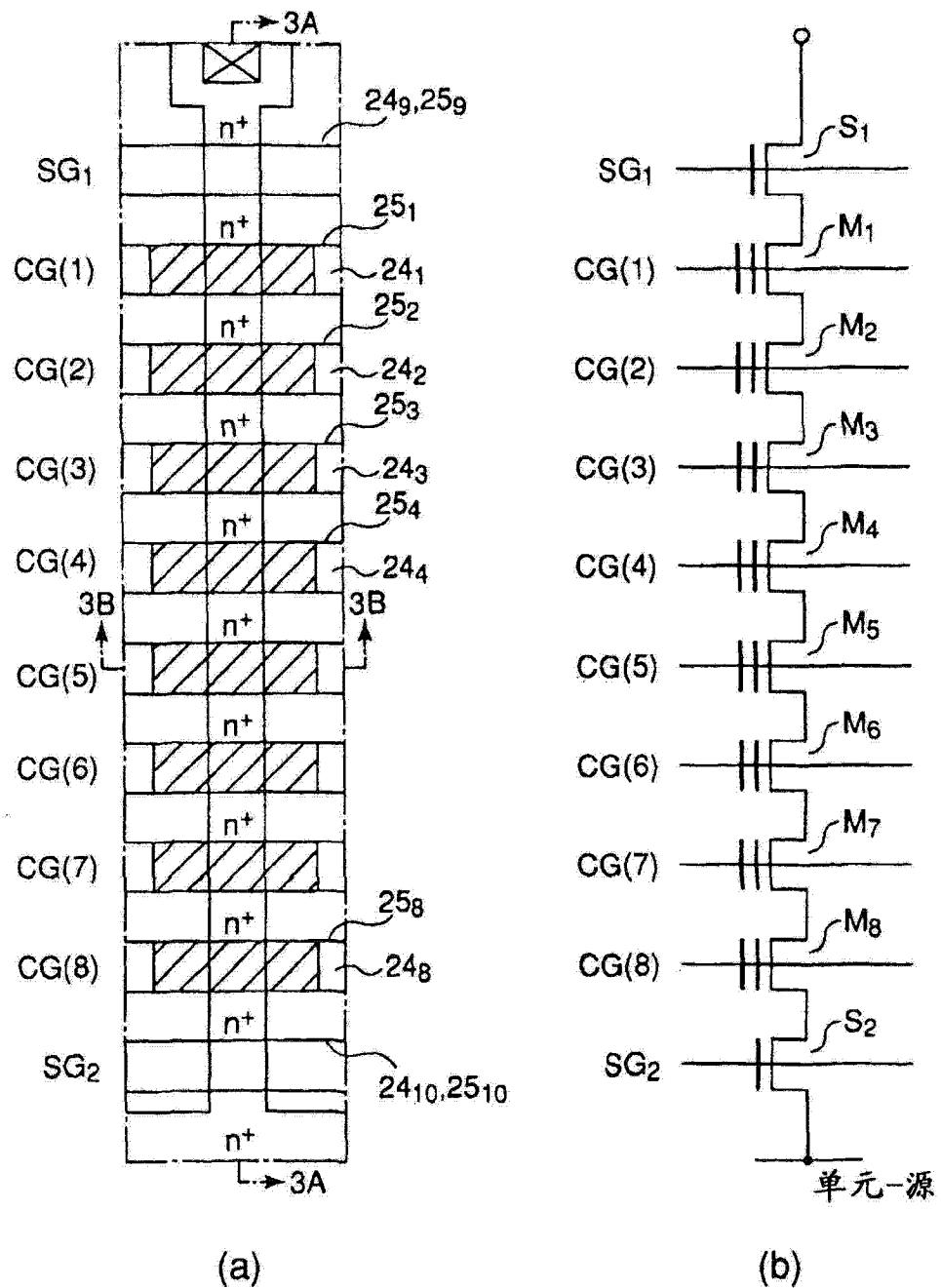
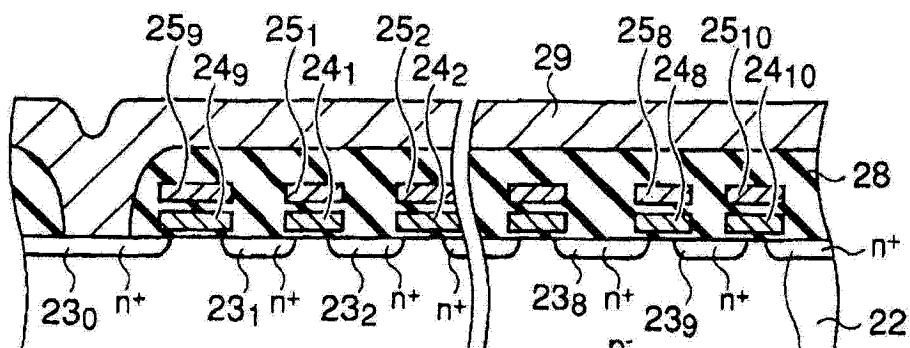
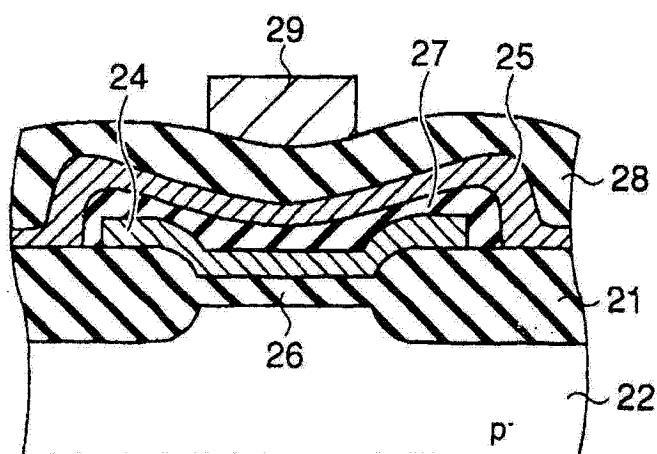


图 2



(a)



(b)

图 3

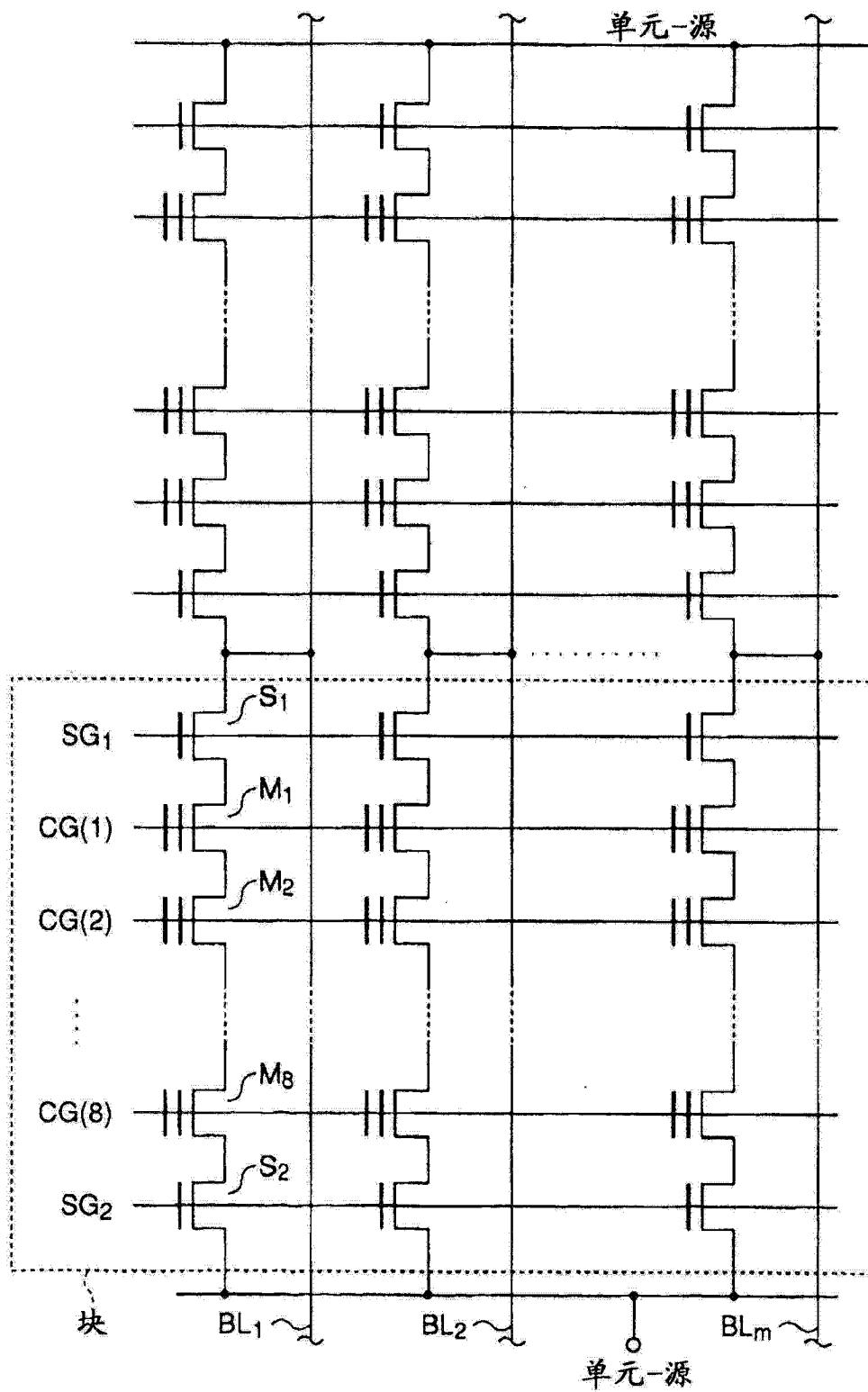


图 4

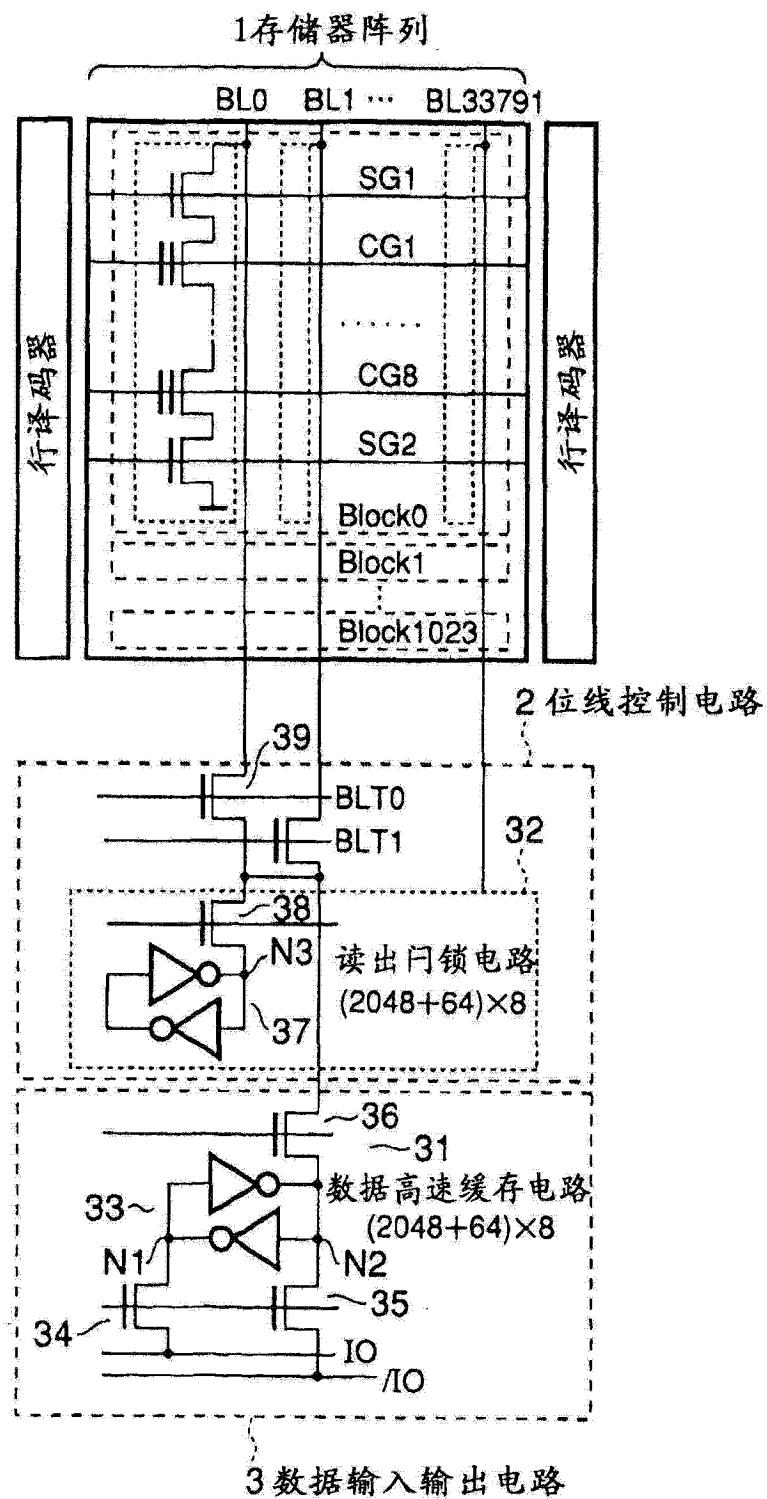


图 5

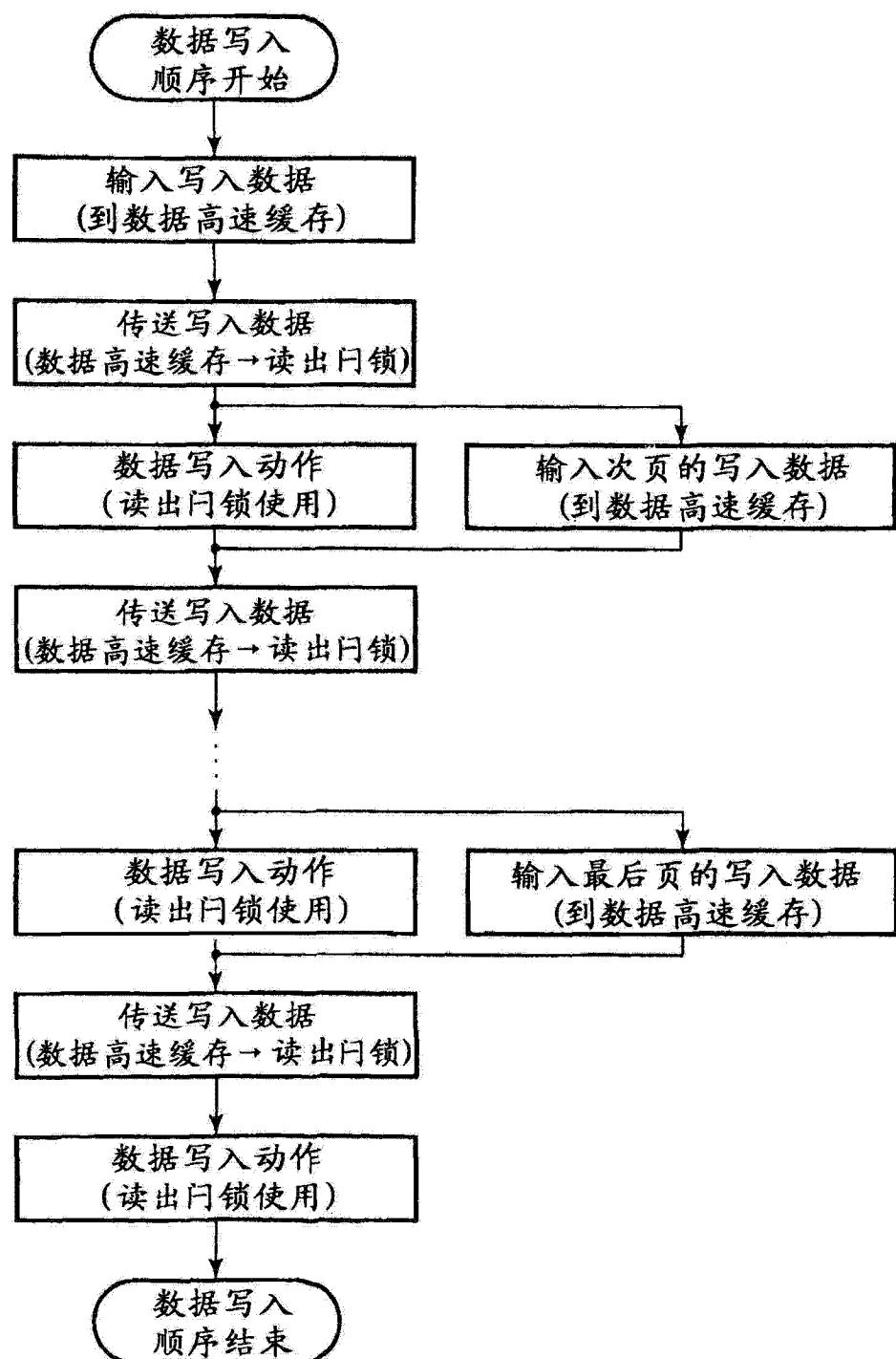


图 6

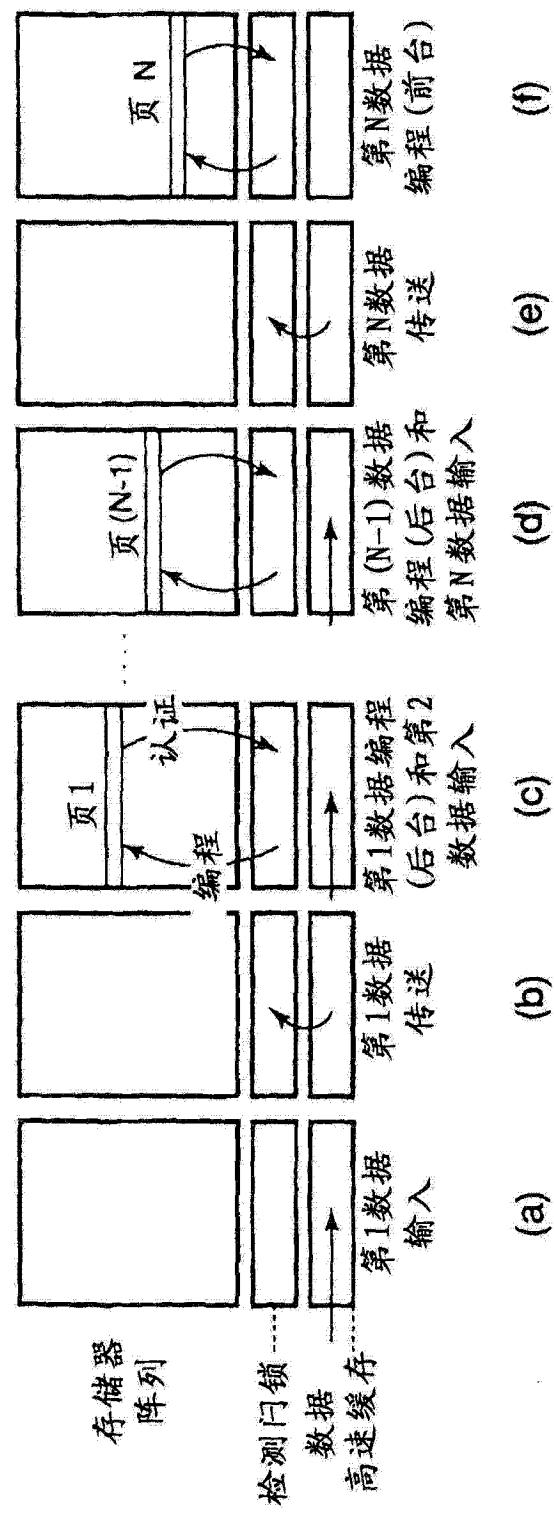


图 7

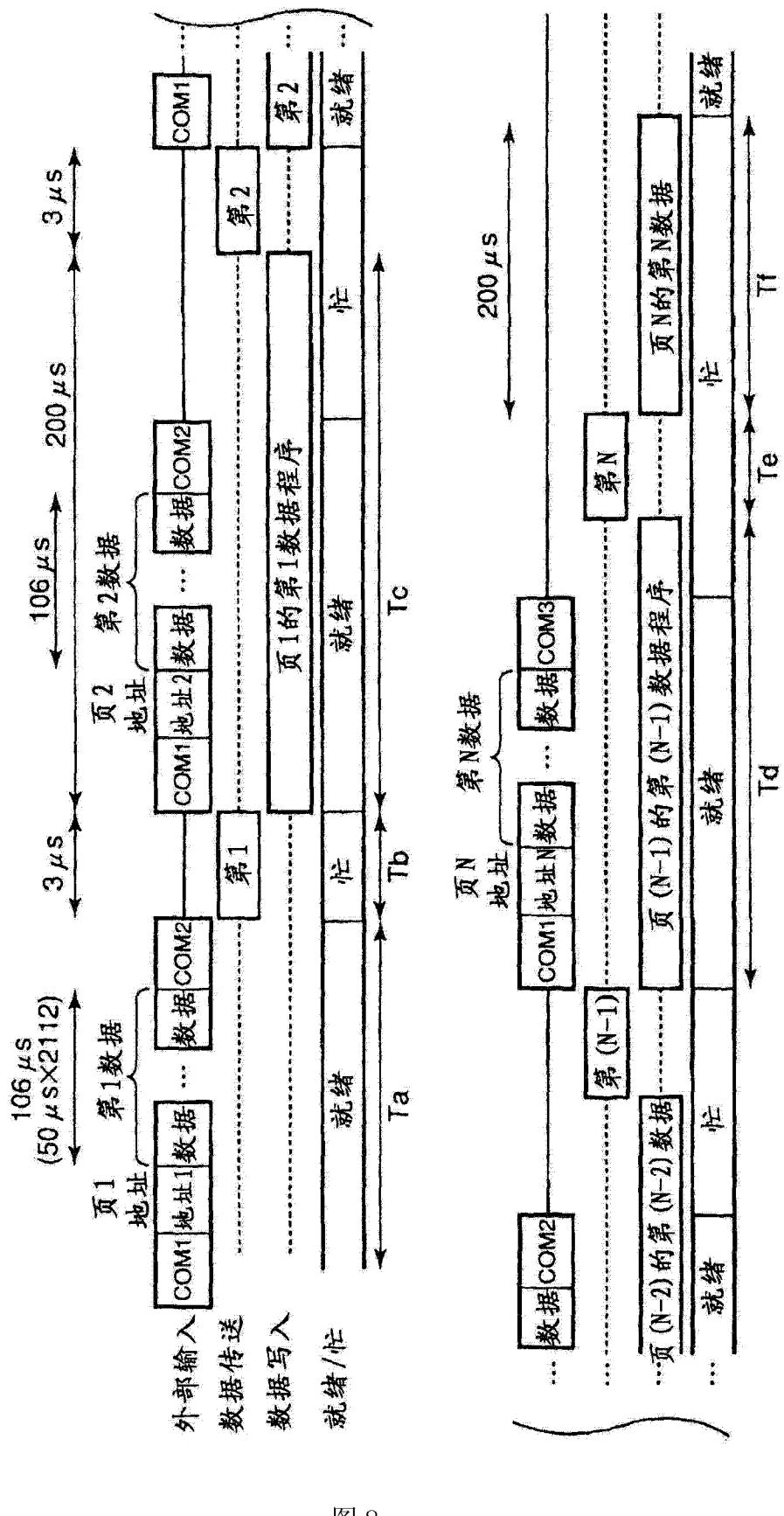


图 8

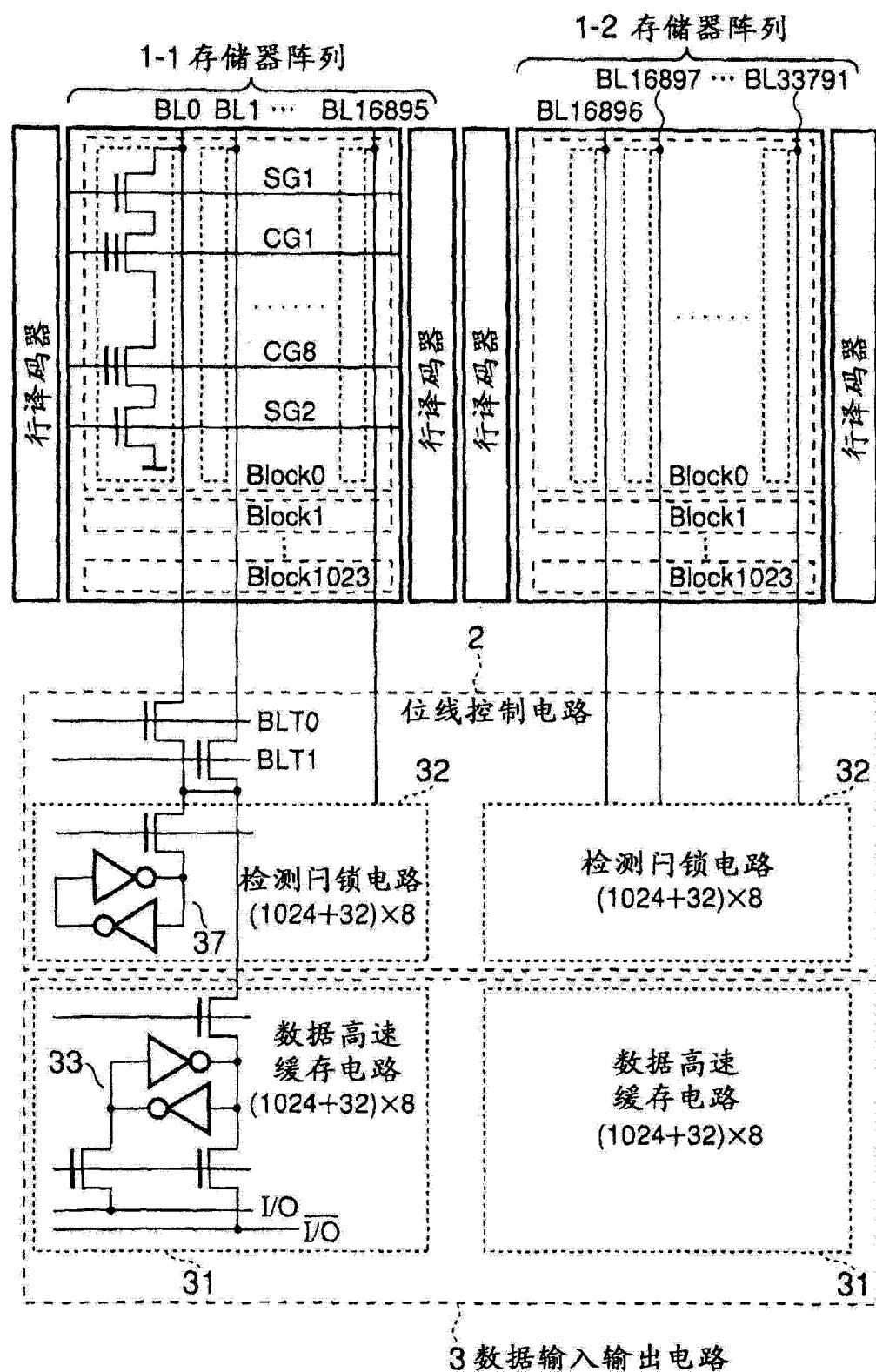


图 9

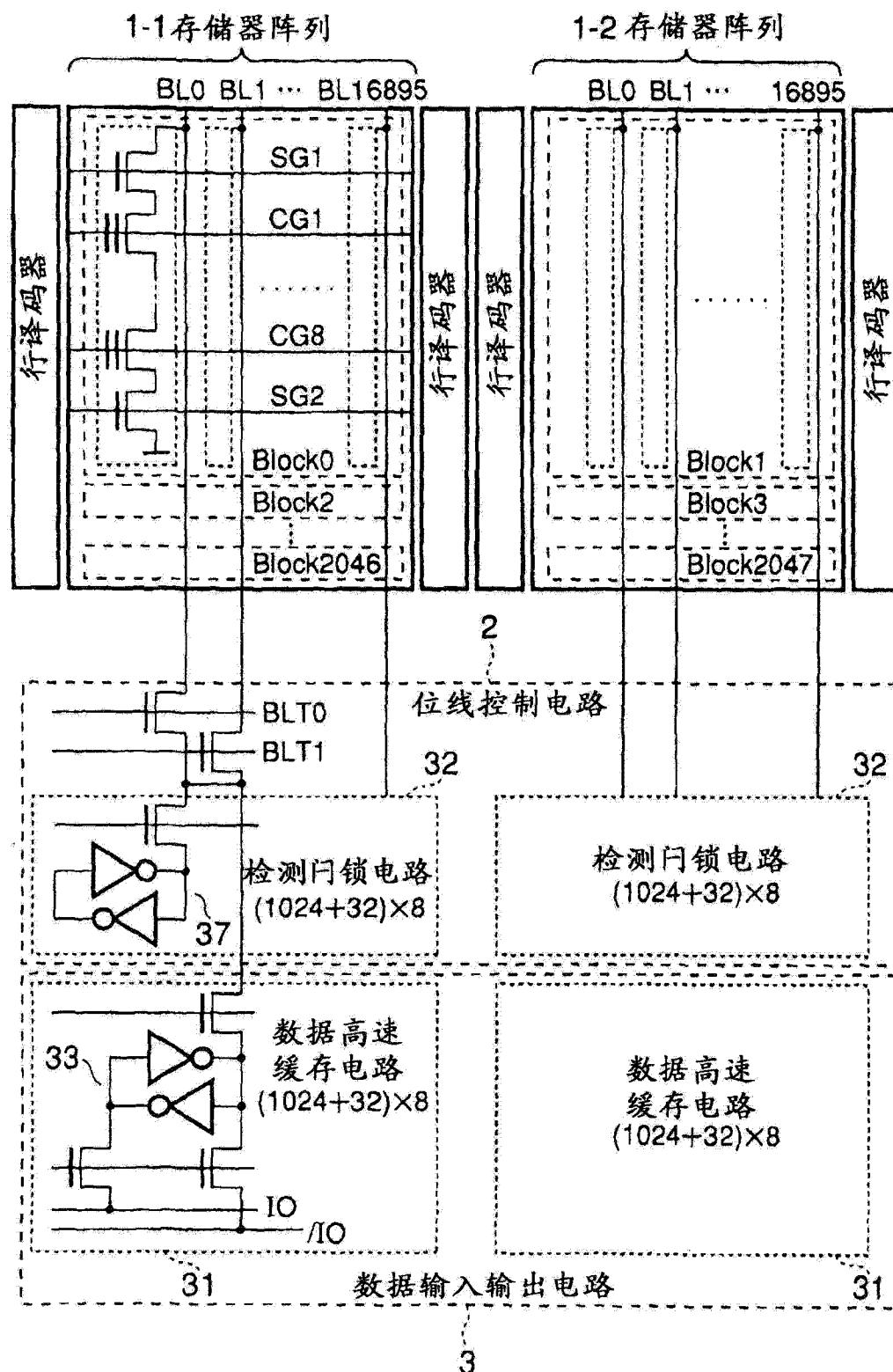
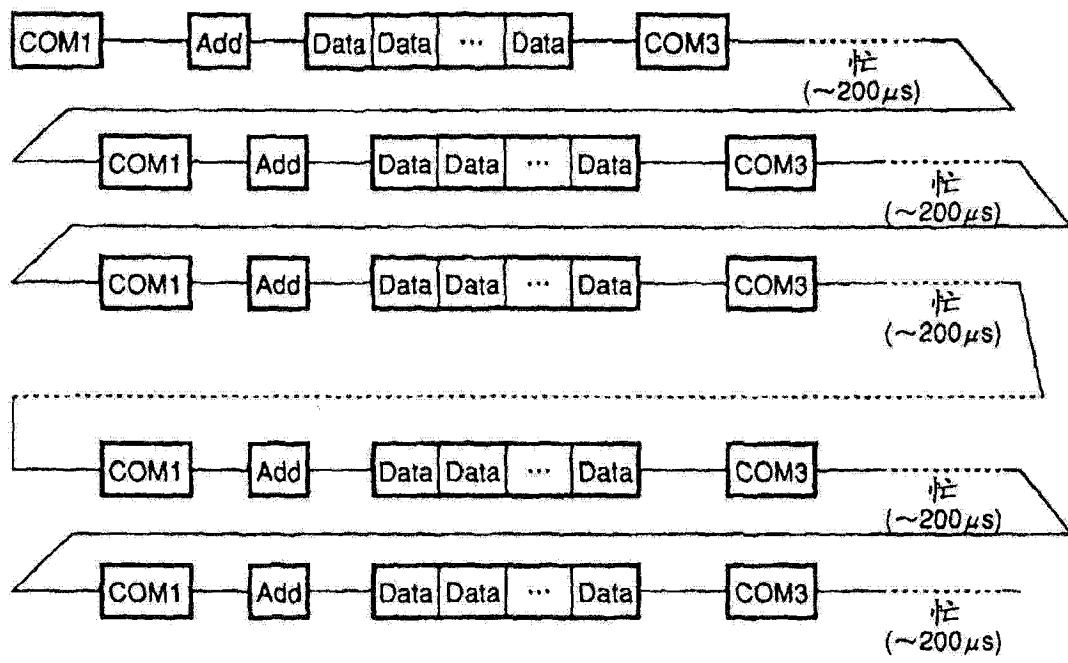
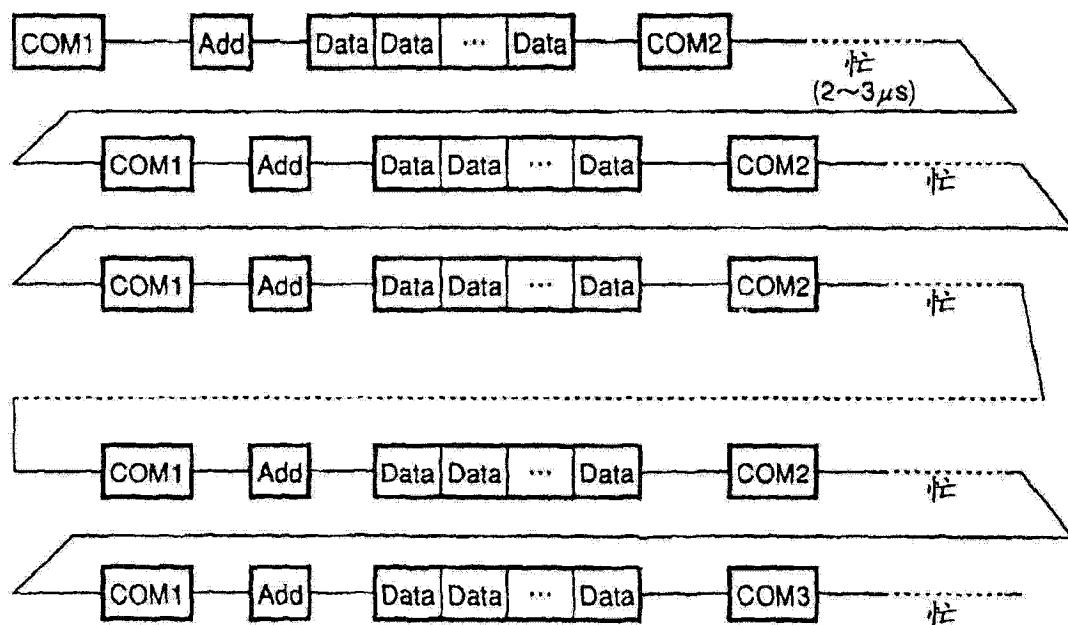


图 10



(a) 现有方式的数据写入



(b) 本发明的数据写入-1

图 11

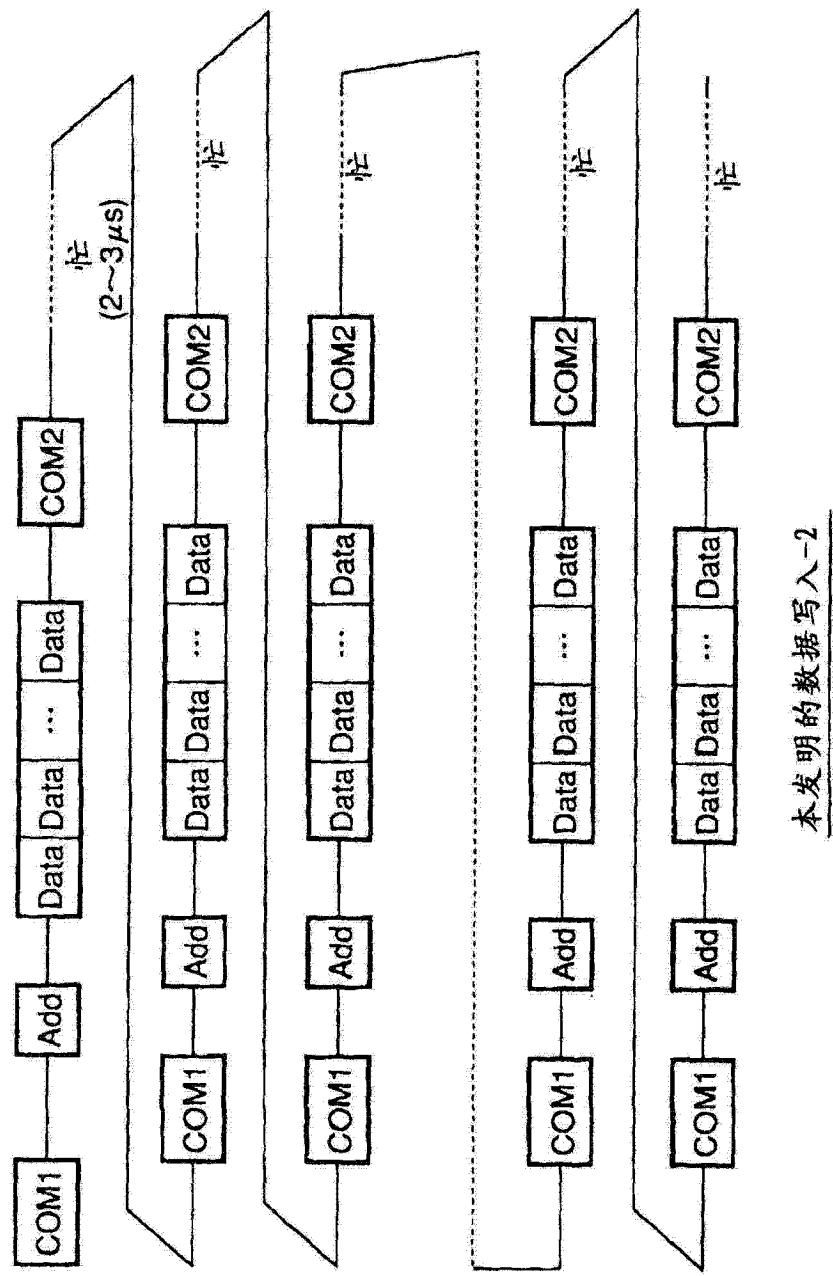


图 12

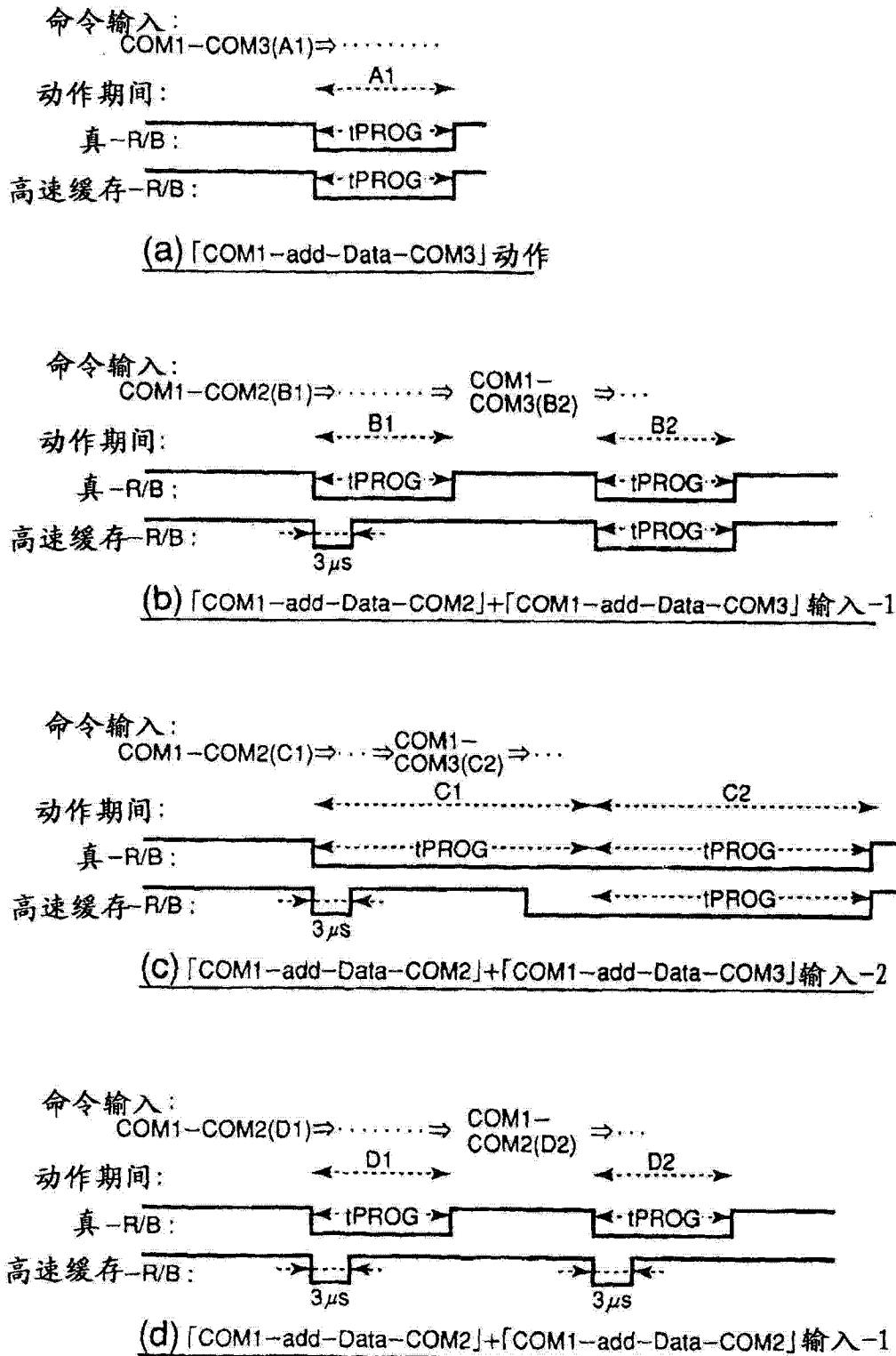


图 13

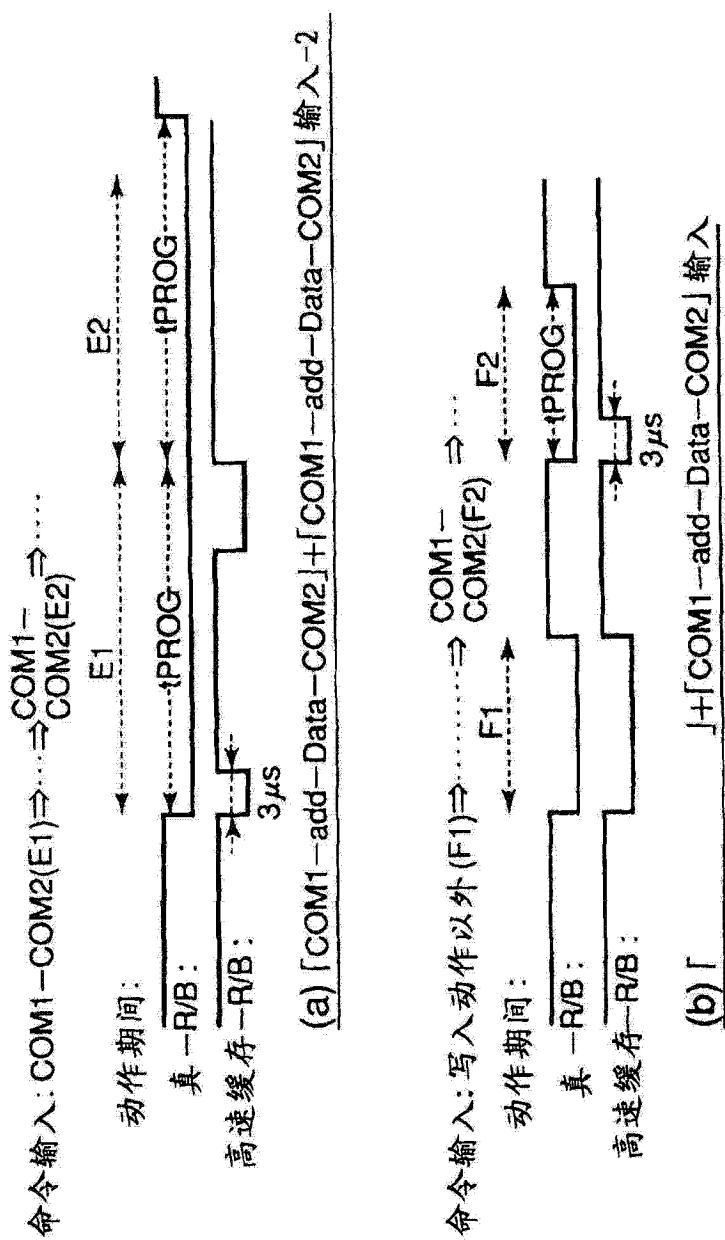


图 14

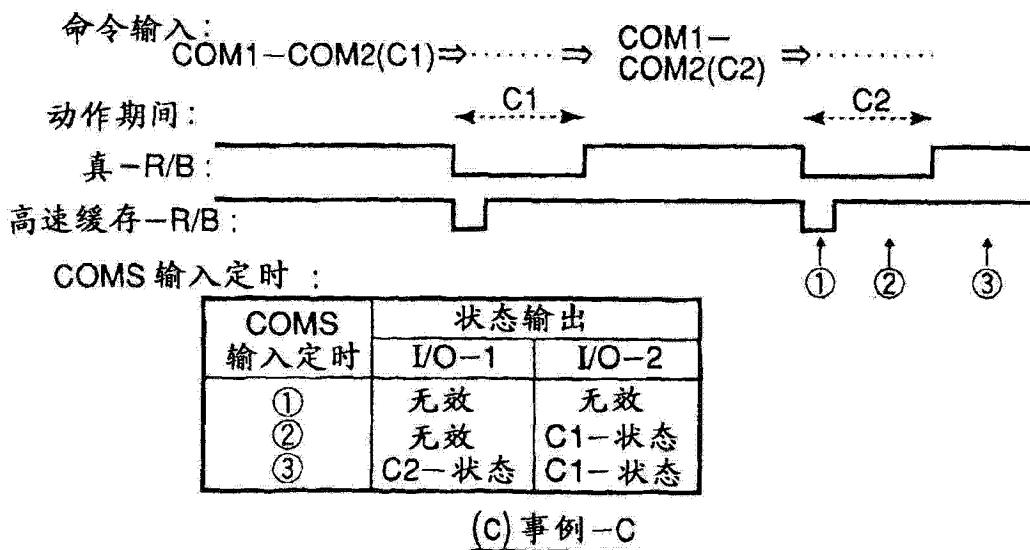
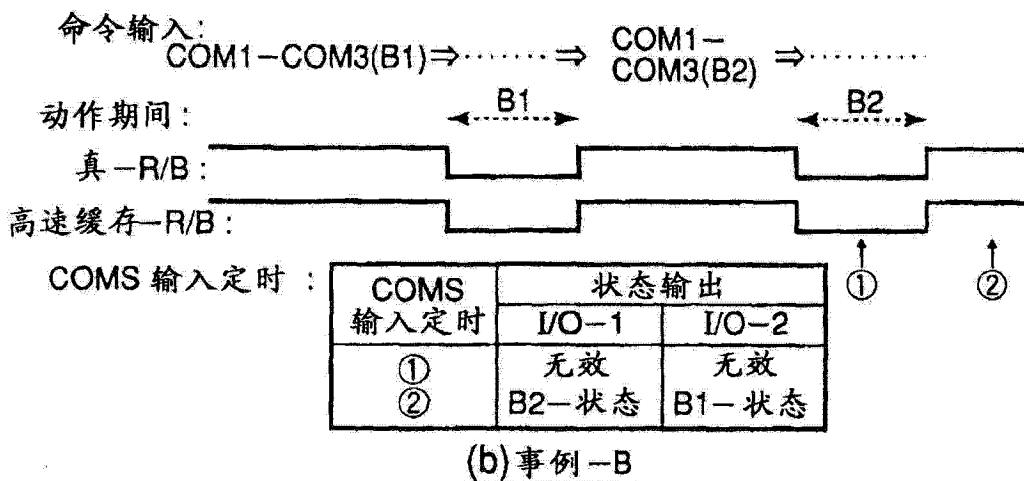
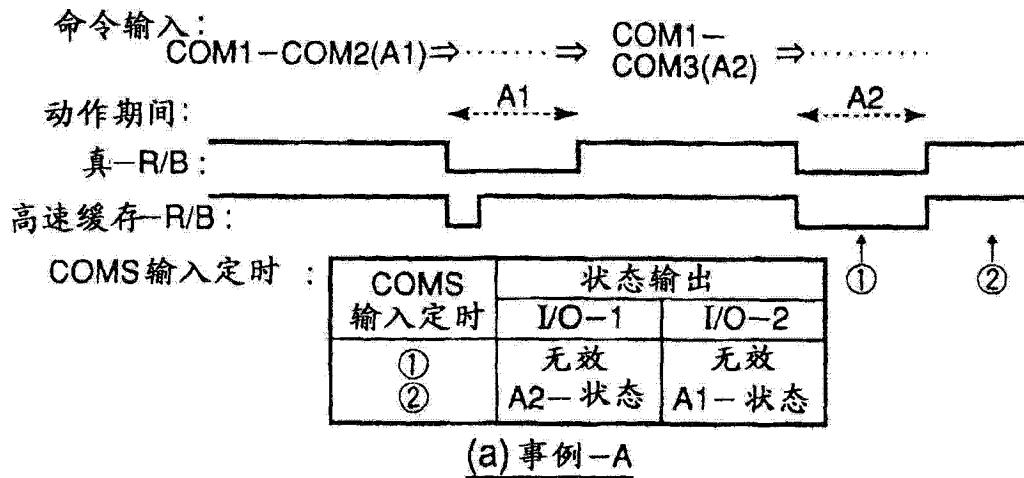


图 15

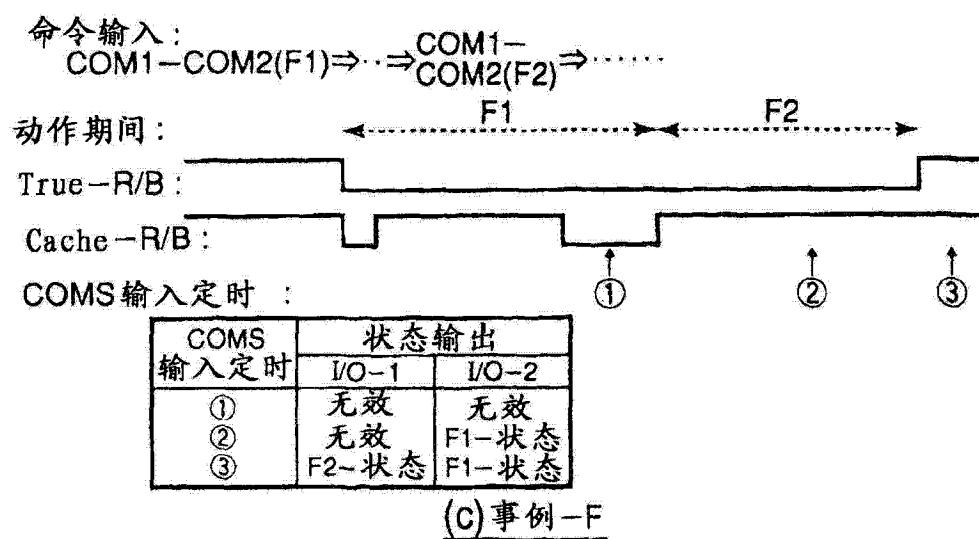
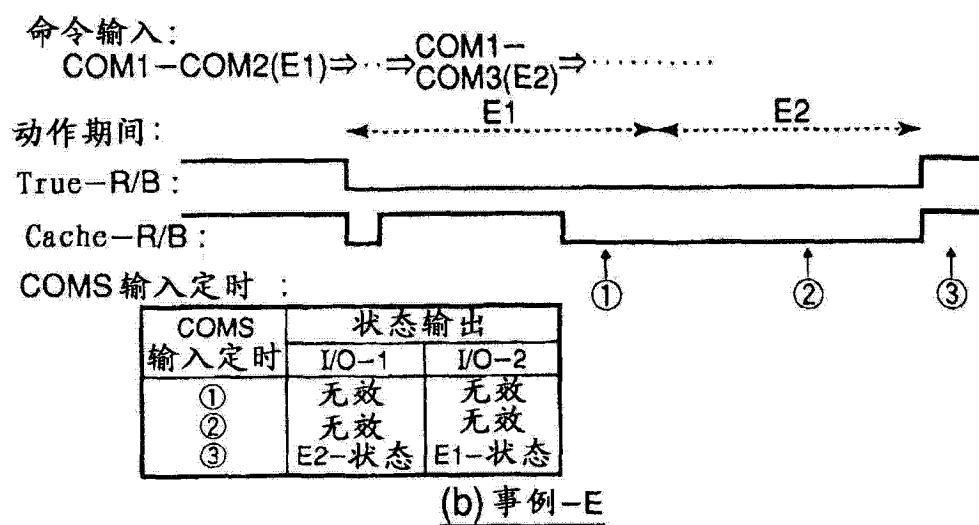
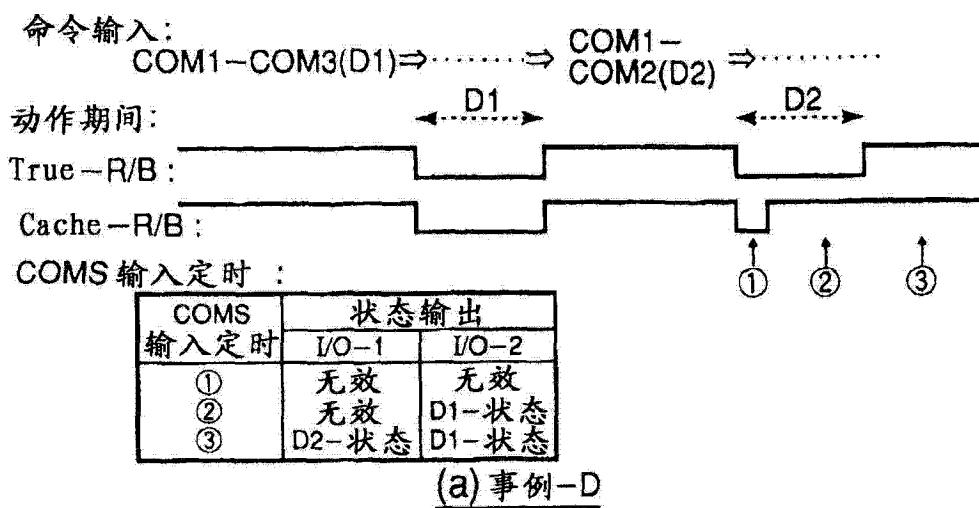


图 16

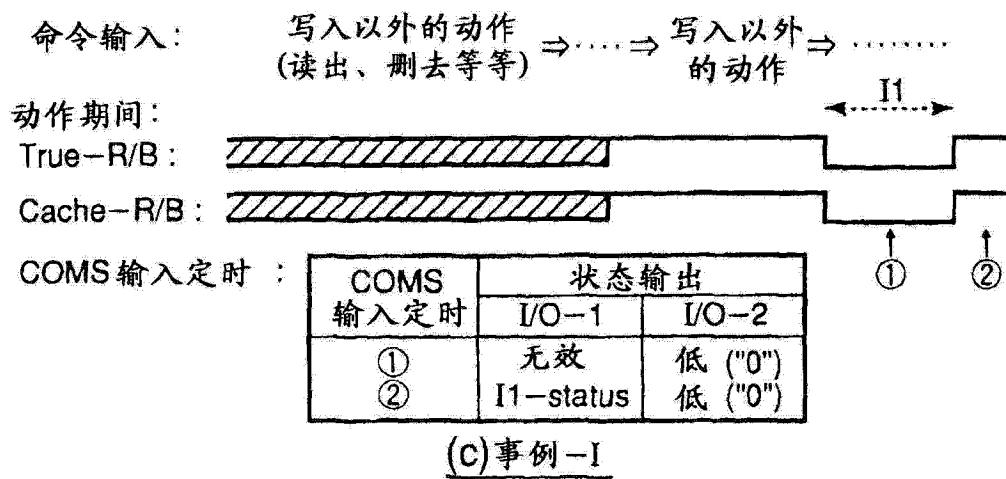
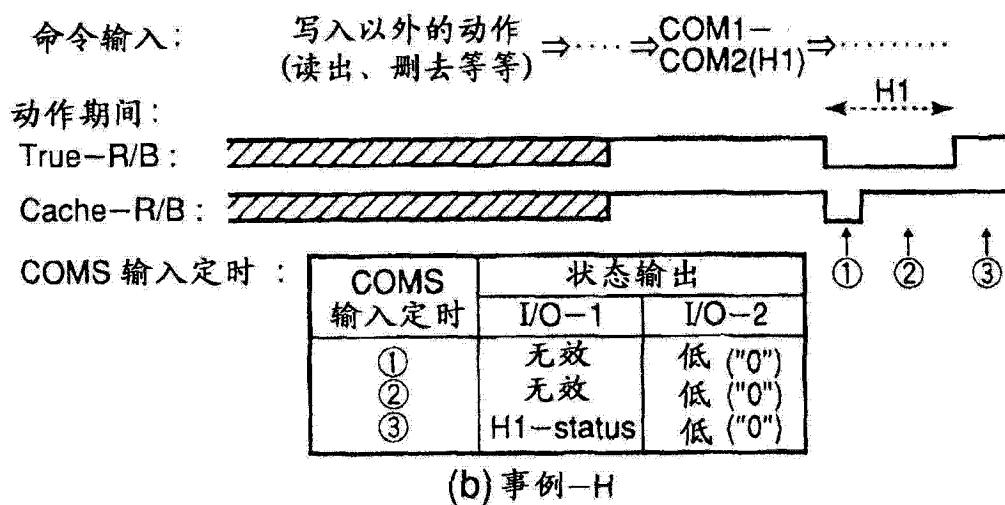
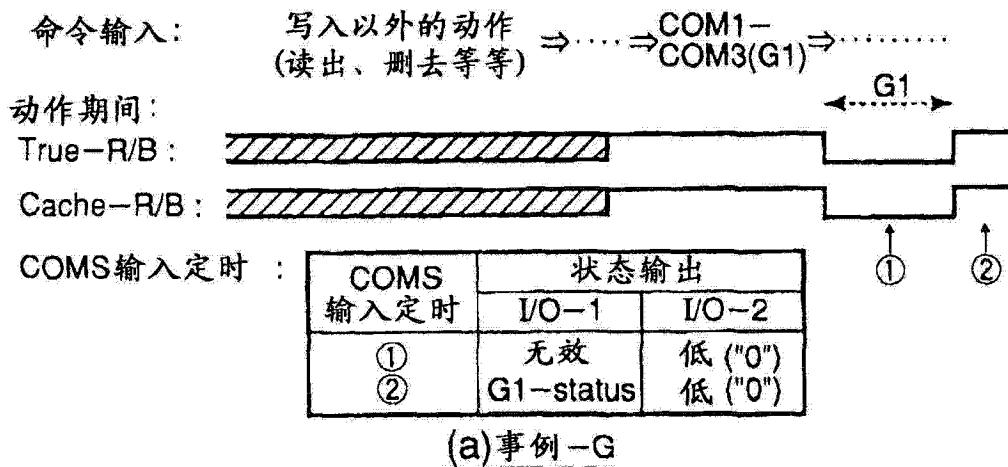


图 17

**命令输入：**

COM1-COM2(J1)⇒.....⇒写入以外的动作 (J2)⇒.....

**动作期间：**

True-R/B :

Cache-R/B :

COMS 输入定时 :

J1 J2

COMS 输入定时	状态输出	
	I/O-1	I/O-2
①	无效	低 ("0")
②	J2-status	低 ("0")

(a) 事例-J

**命令输入：**

COM1-COM3(K1)⇒.....⇒写入以外的动作 (K2)⇒.....

**动作期间：**

K1 K2

True-R/B :

Cache-R/B :

COMS 输入定时 :

COMS 输入定时	状态输出	
	I/O-1	I/O-2
①	无效	低 ("0")
②	K2-status	低 ("0")

(b) 事例-K

图 18

	STATUS	输出
I/O-1	Chip Status- I	成功→0 失败→1
I/O-2	Chip Status- II	成功→0 失败→1
I/O-3	-----	-----
(a) I/O-4	-----	-----
I/O-5	-----	-----
I/O-6	-----	-----
I/O-7	-----	-----
I/O-8	-----	-----

	STATUS	输出
I/O-1	Chip Status- I	成功→0 失败→1
I/O-2	Chip Status- II	成功→0 失败→1
I/O-3	-----	-----
(b) I/O-4	-----	-----
I/O-5	-----	-----
I/O-6	True-R/B	忙→0 就绪→1
I/O-7	Cache-R/B (=PAD- 就绪 / 忙)	忙→0 就绪→1
I/O-8	-----	-----

	STATUS	输出
I/O-1	Chip Status- I	成功→0 失败→1
I/O-2	Chip Status- II	成功→0 失败→1
I/O-3	累积 Chip Status	成功→0 失败→1
(c) I/O-4	-----	-----
I/O-5	-----	-----
I/O-6	True-R/B	忙→0 就绪→1
I/O-7	Cache-R/B (=PAD- 就绪 / 忙)	忙→0 就绪→1
I/O-8	-----	-----

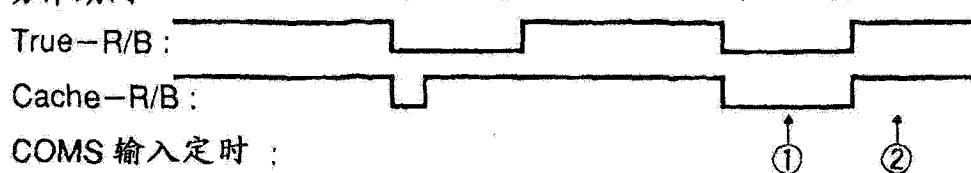
	STATUS	输出
I/O-1	-----	-----
I/O-2	-----	-----
I/O-3	-----	-----
(d) I/O-4	-----	-----
I/O-5	-----	-----
I/O-6	True-R/B	忙→0 就绪→1
I/O-7	Cache-R/B (=PAD- )	忙→0 就绪→1
I/O-8	-----	-----

图 19

命令输入：

COM1—COM2(A1)⇒……⇒ COM1—  
COM3(A2) ⇒ ……

动作期间：



COMS 输入定时：

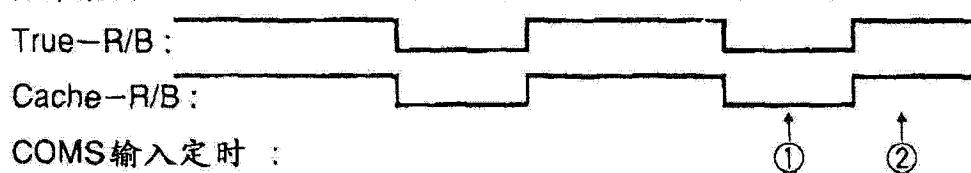
COMS 输入定时	状态输出		
	I/O-1	I/O-2	I/O-3
①	无效	无效	A1-status
②	A2-status	A1-status	(A1+A2)-status

(a) 事例-A

命令输入：

COM1—COM3(B1)⇒……⇒ COM1—  
COM3(B2) ⇒ ……

动作期间：



COMS 输入定时：

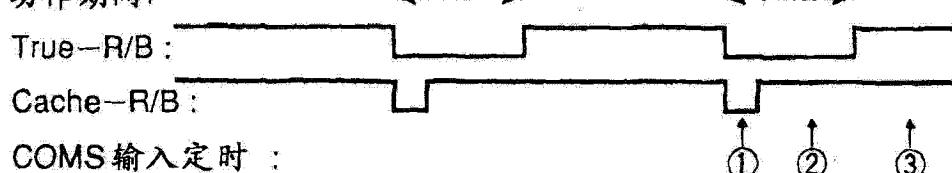
COMS 输入定时	状态输出		
	I/O-1	I/O-2	I/O-3
①	无效	无效	B1-status
②	B2-status	B1-status	(B1+B2)-status

(b) 事例-B

命令输入：

COM1—COM2(C1)⇒……⇒ COM1—  
COM2(C2) ⇒ ……

动作期间：



COMS 输入定时：

COMS 输入定时	状态输出		
	I/O-1	I/O-2	I/O-3
①	无效	无效	C1-status
②	无效	C1-status	C1-status
③	C2-status	C1-status	(C1+C2)-status

(c) 事例-C

图 20

命令输入：

输入: COM1—COM2(D1)⇒.....⇒ COM1—  
COM2(D2) ⇒.....

动作期间：

### True-B/B :

Cache-R/B :

### COMS输入定时

COMS 输入定时	Status出力		
	I/O-1	I/O-2	I/O-3
①	无效	无效	D1-status
②	无效	D1-status	D1-status
③	D2-status	D1-status	(D1+D2)-status

(a) 事例-D

**命令输入：**

#### 动作期间：

True-B/B =

Cache-R/B

## COMS 输入定时

COMS 输入定时	I/O-1	I/O-2	I/O-3
①	无效	无效	无效
②	无效	无效	E1-status
③	E2-status	E1-status	(E1+E2)-status

(b) 事例-E

## 命令输入：

命令输入：COM1-COM2(F1)⇒…⇒COM2(F2)⇒…

动作期间

### True-B/B

Cache-R/B:

IS输入定时：		①	②
COMS 输入定时	I/O-1	I/O-2	I/O-3
①	无效	无效	无效
②	无效	F1-status	C1-status
③	F2-status	F1-status	(F1+F2)-status

(C) 事例 - E

图 21

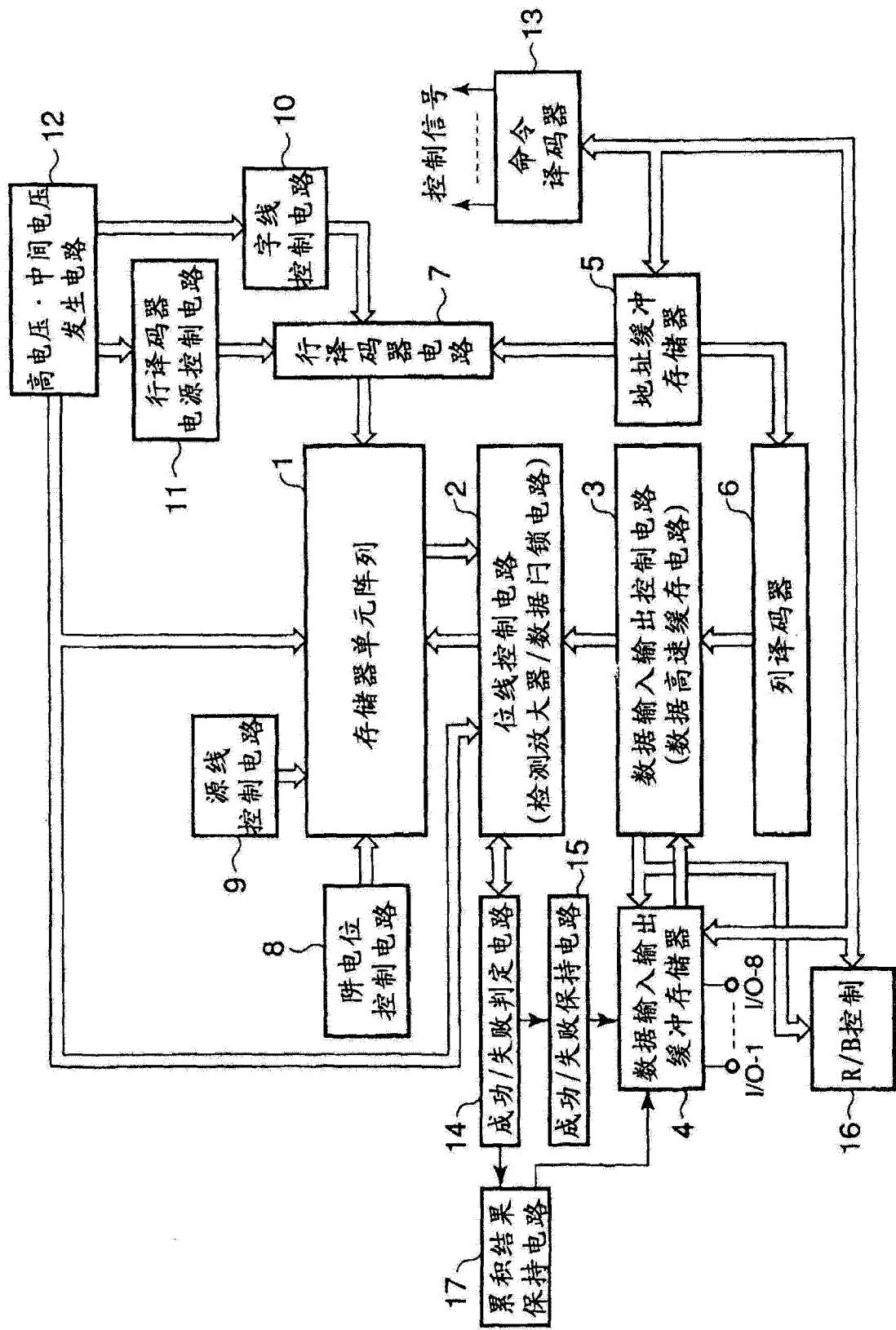


图 22

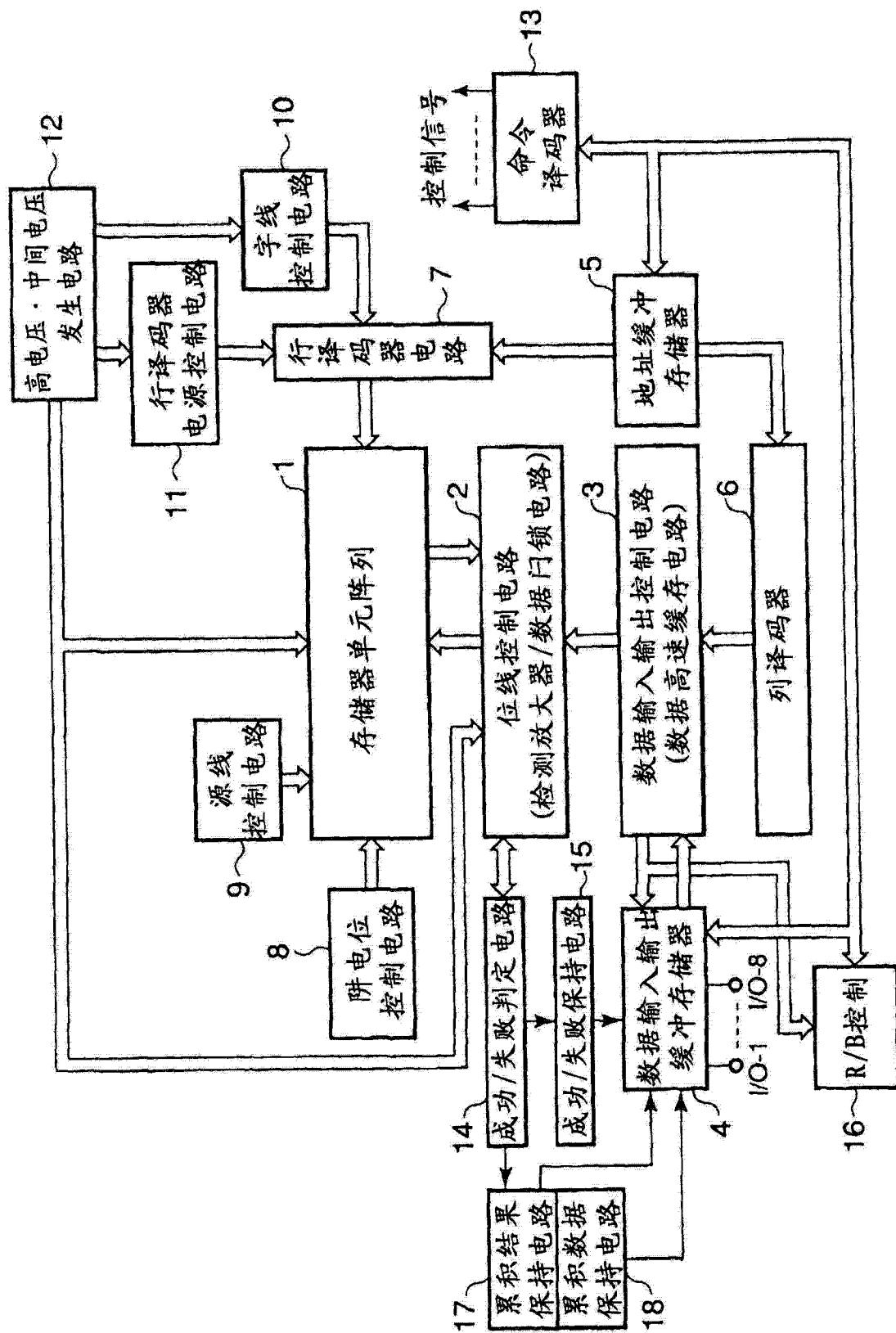


图 23

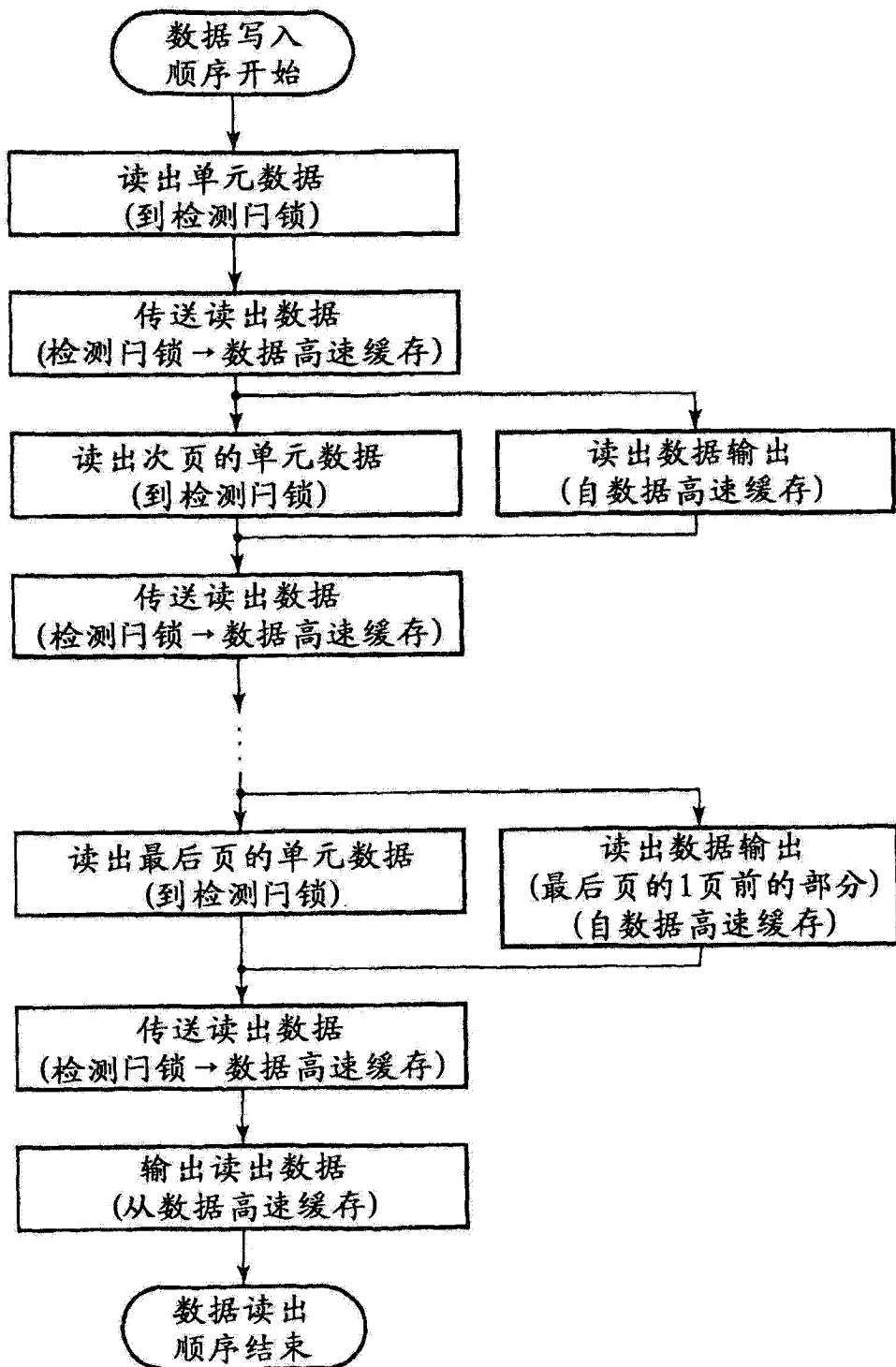


图 24

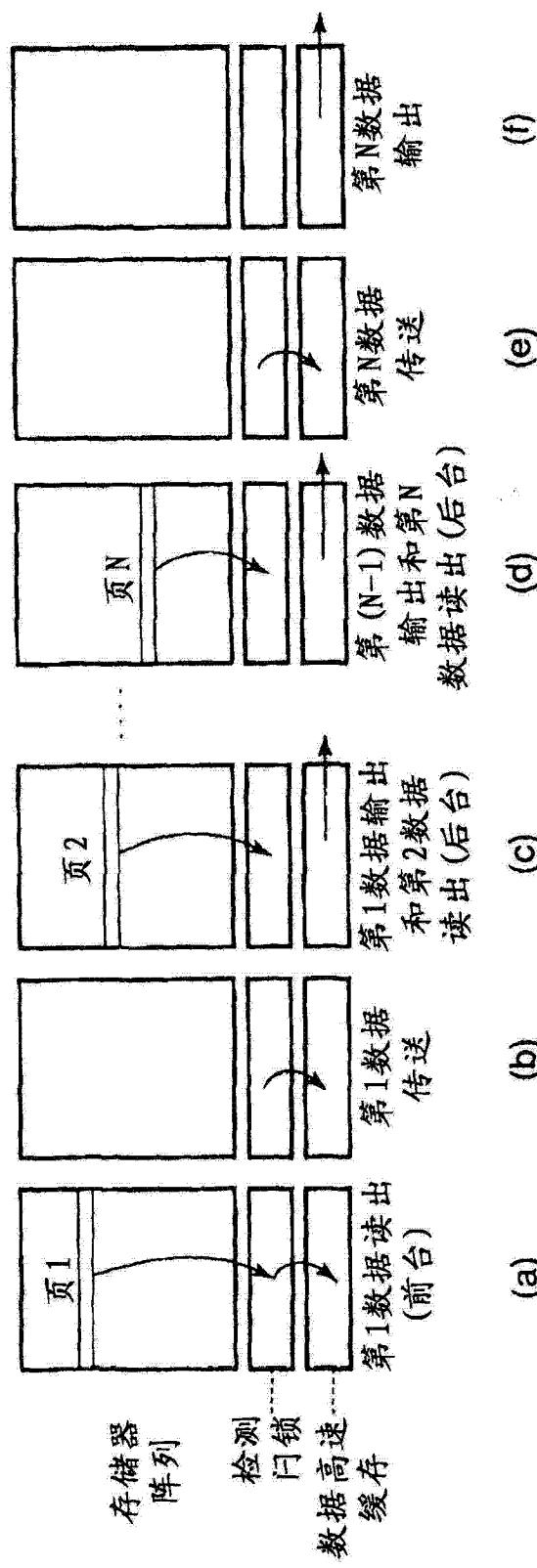
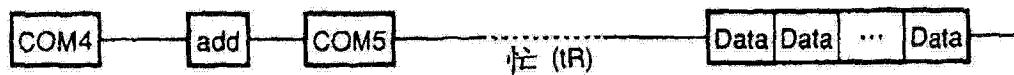
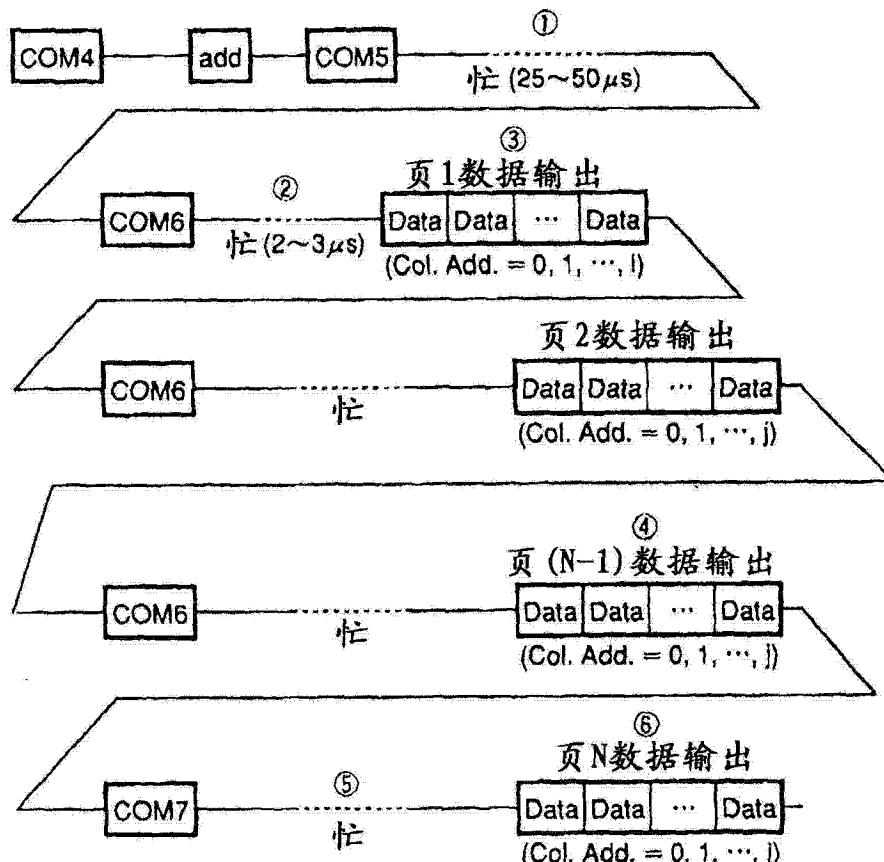


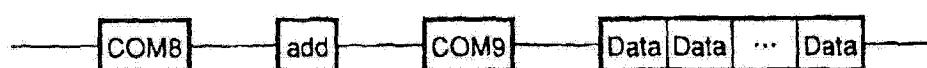
图 25



(a) 现有的数据读出



(b) 数据读出的实施例



(c) 列地址指定数据输出

图 26

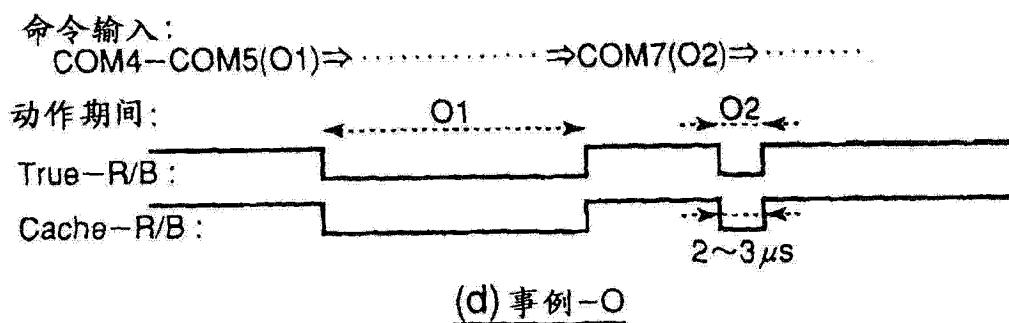
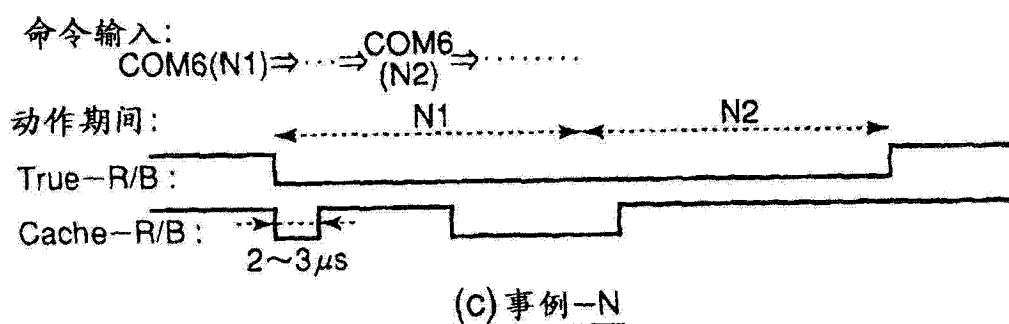
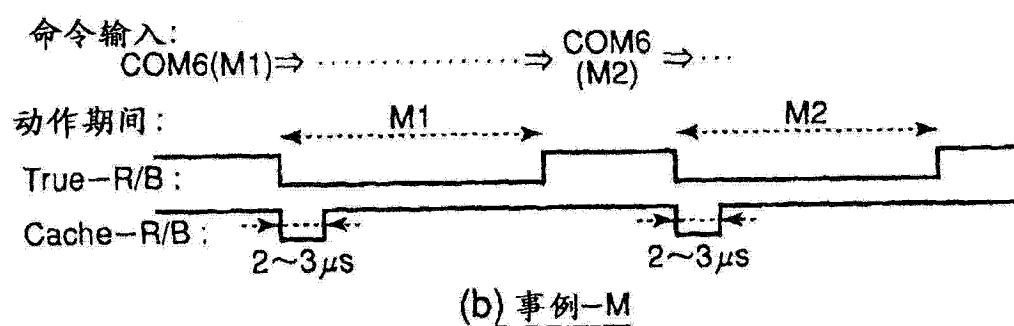
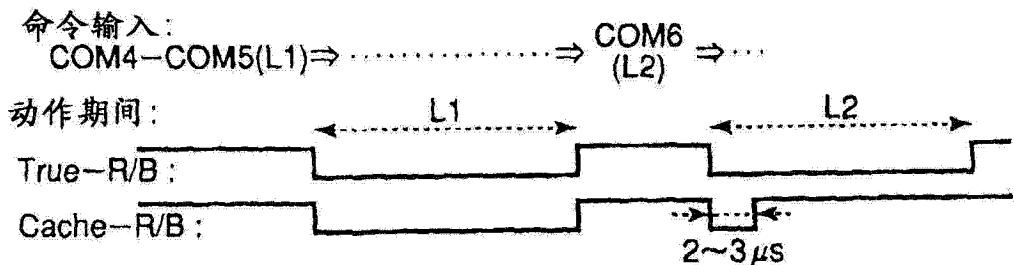


图 27

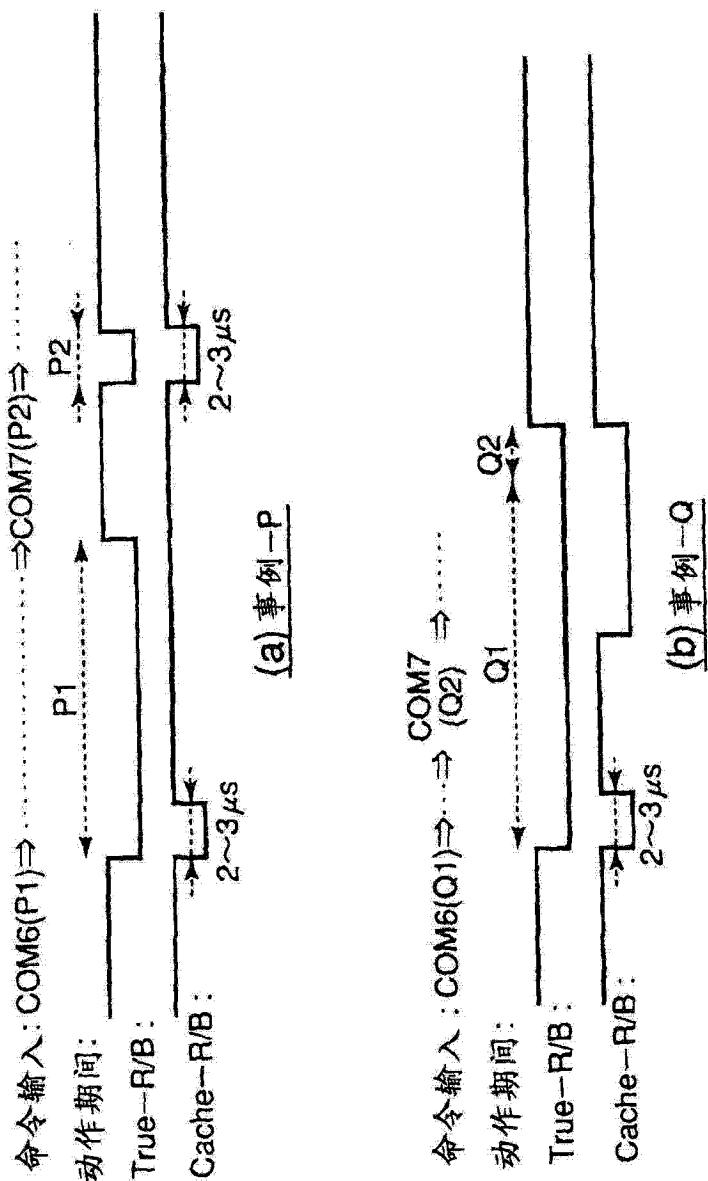
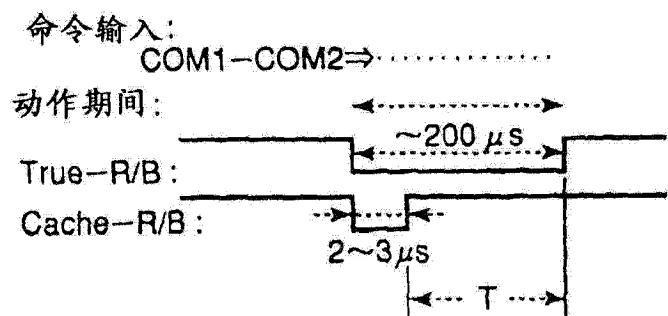
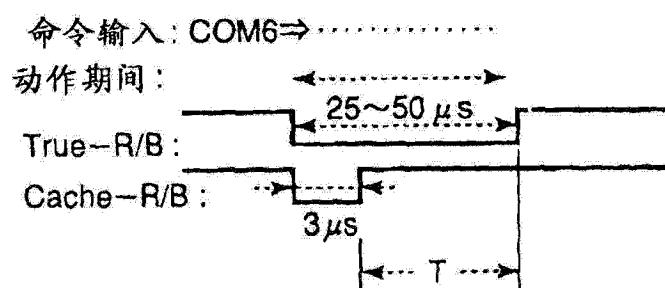


图 28



(a) 后台-程序动作 (COM2启动动作)



(b) 后台-读出动作 (COM6启动动作)

图 29

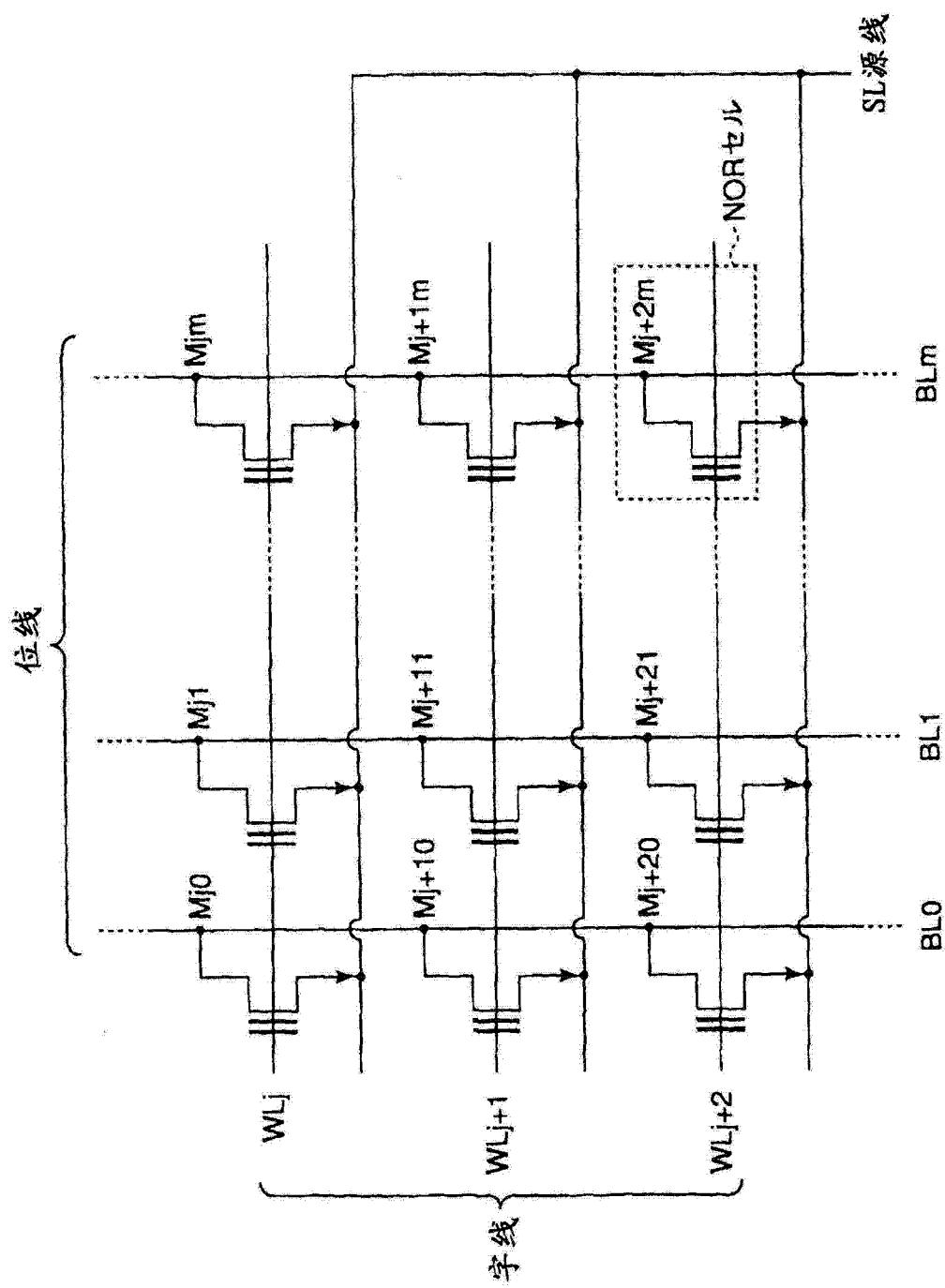


图 30

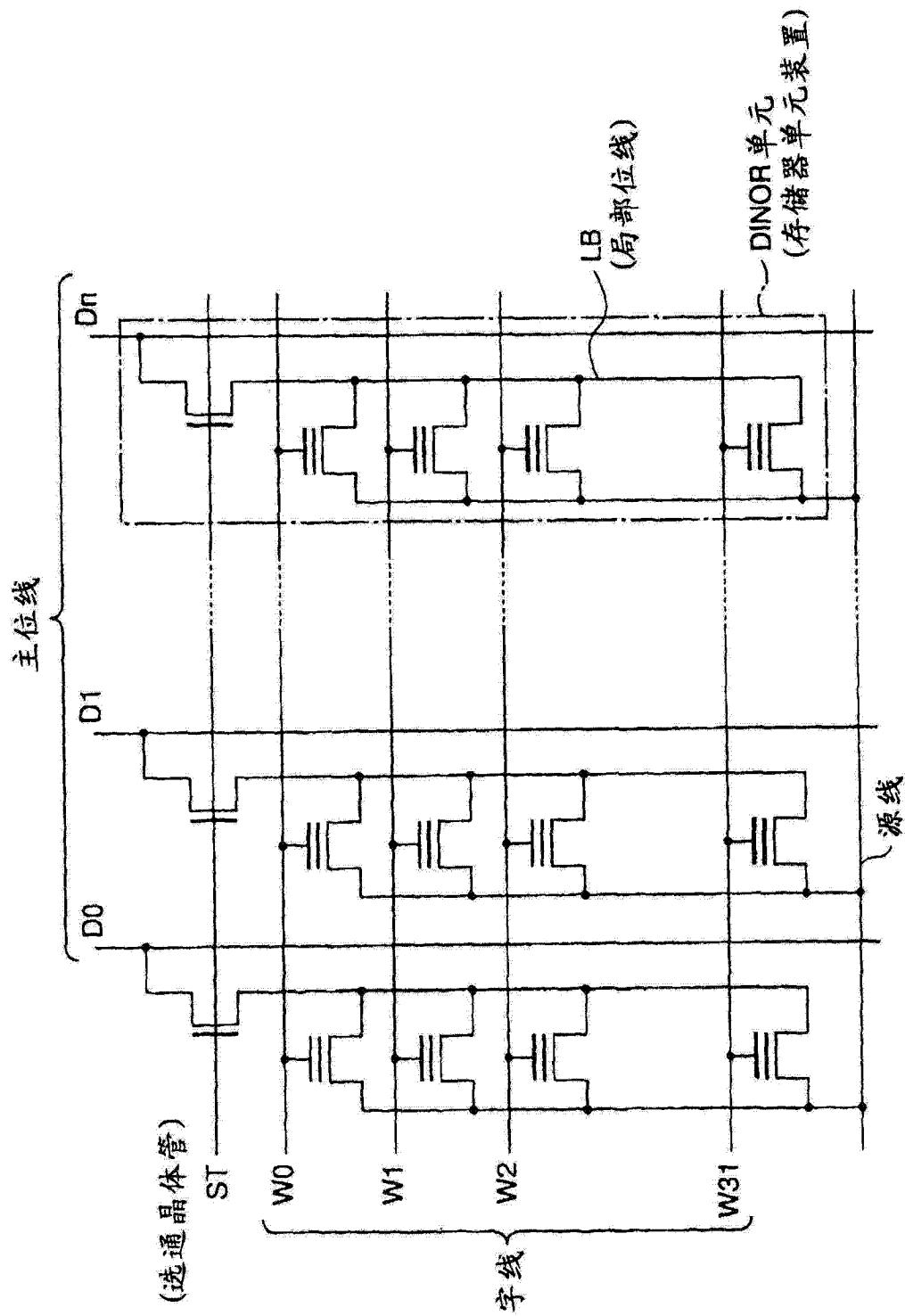


图 31

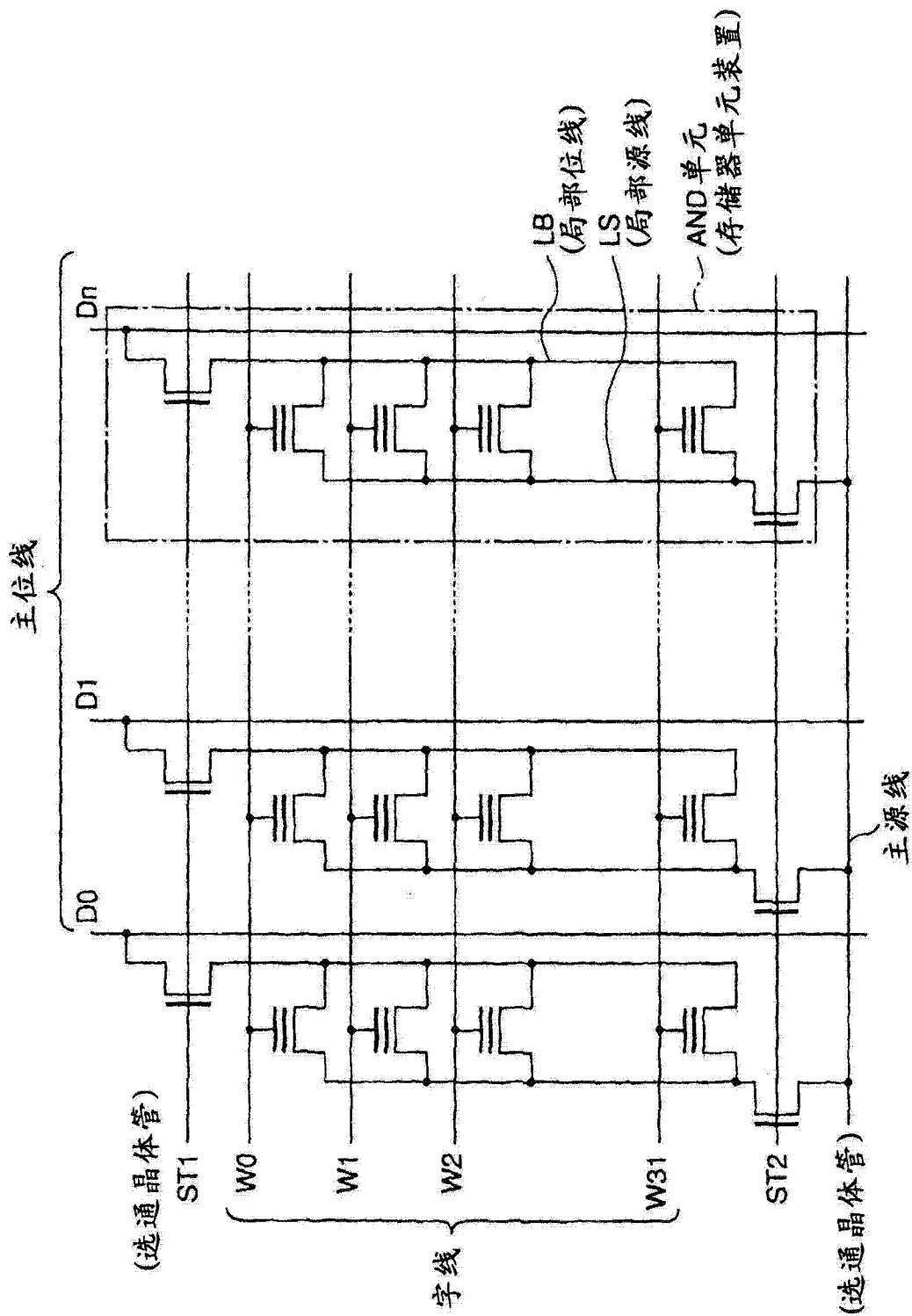


图 32

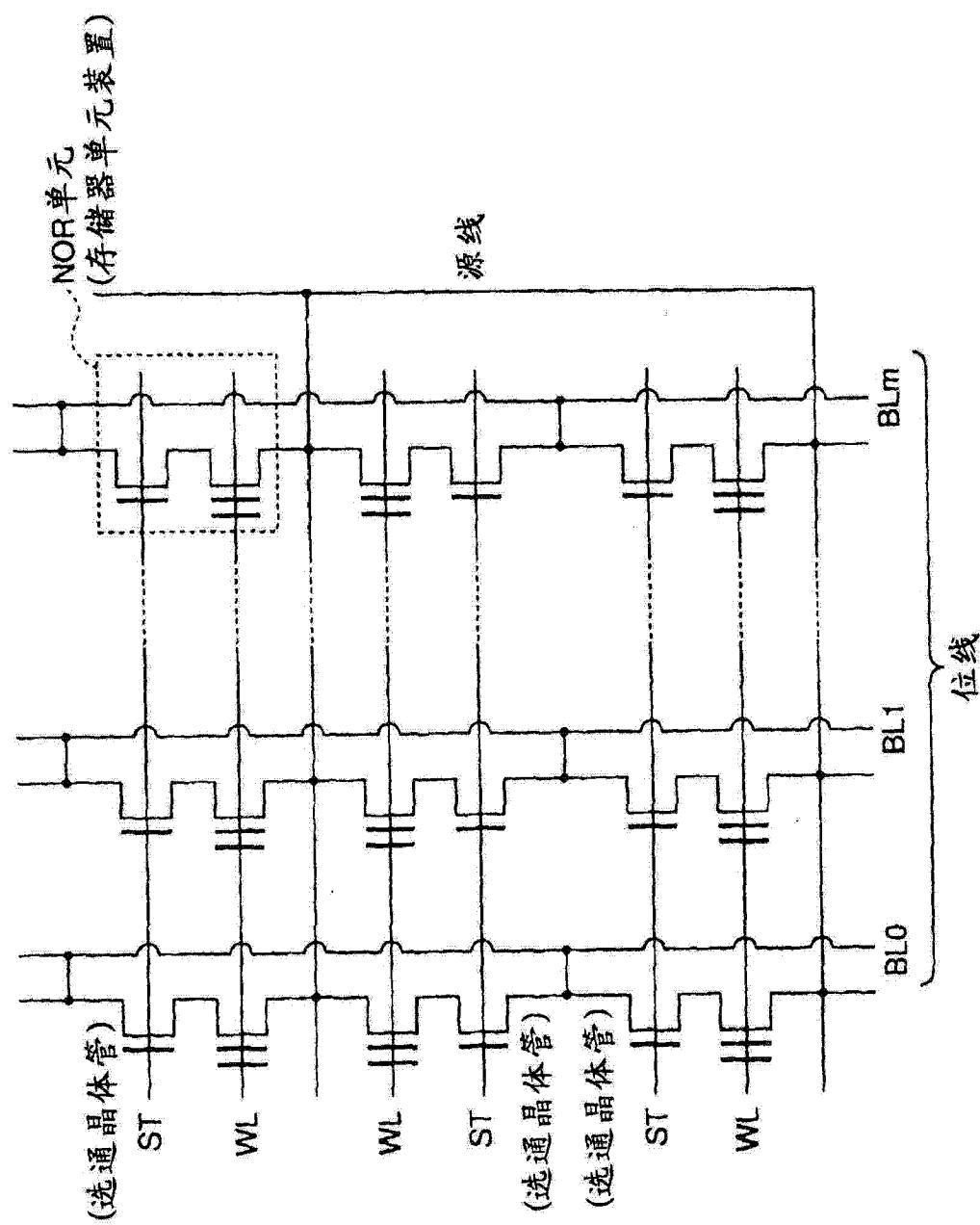


图 33

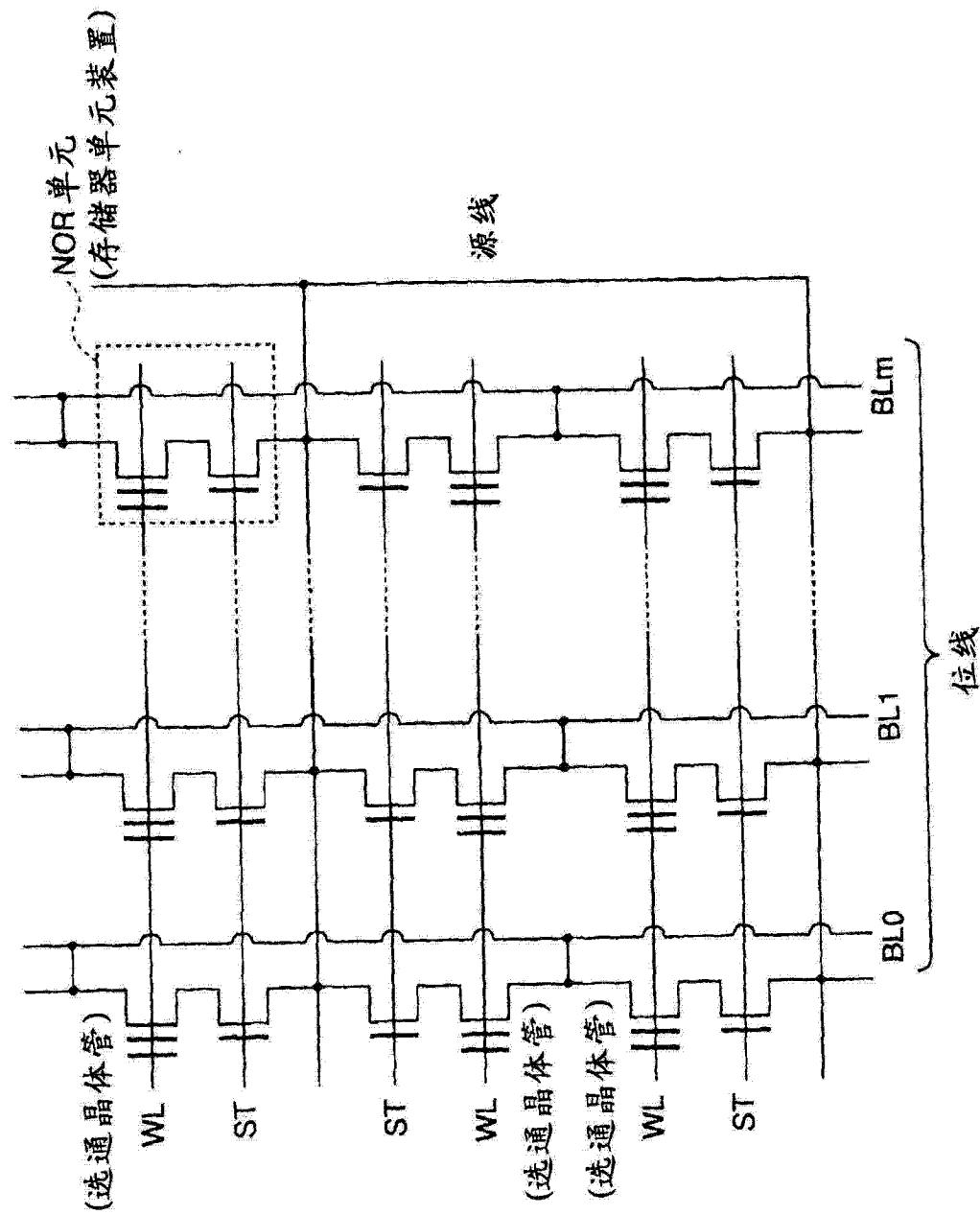


图 34

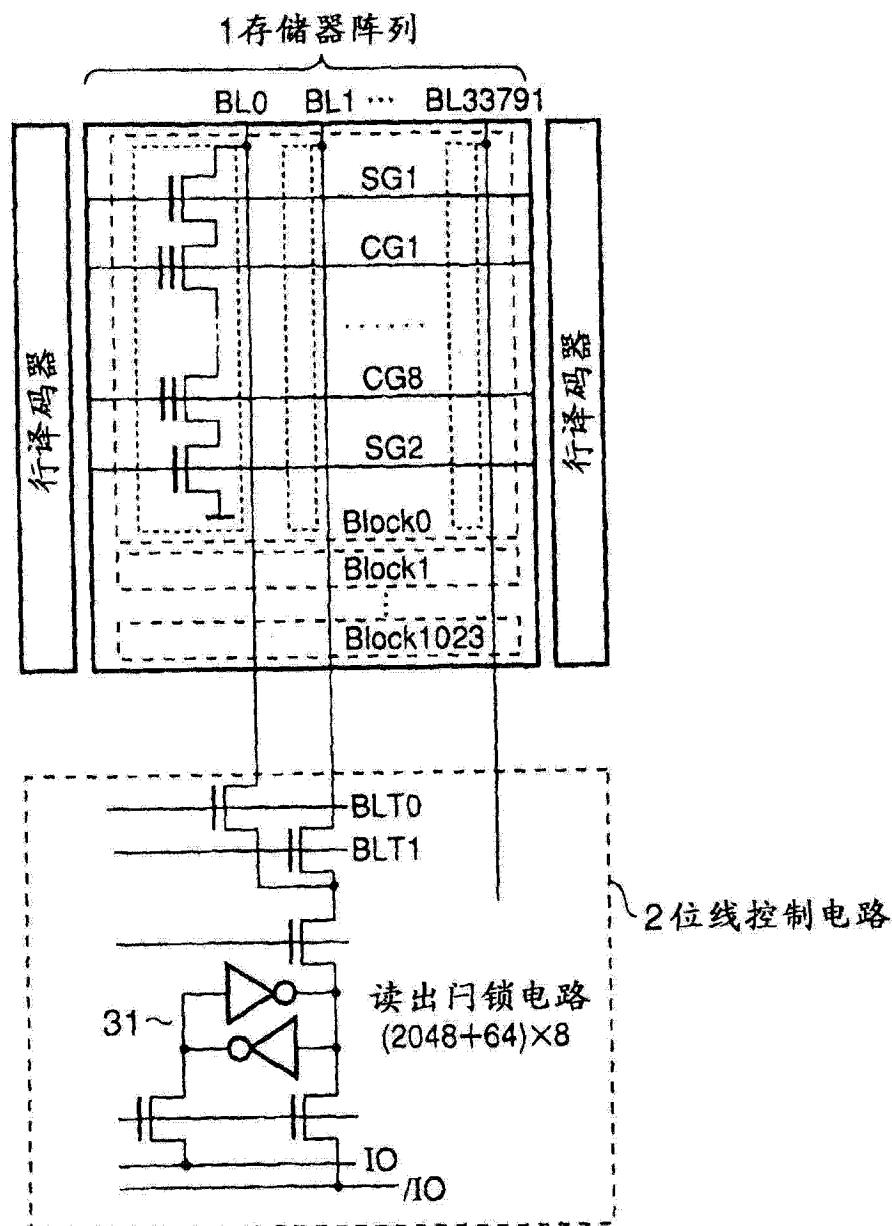


图 35

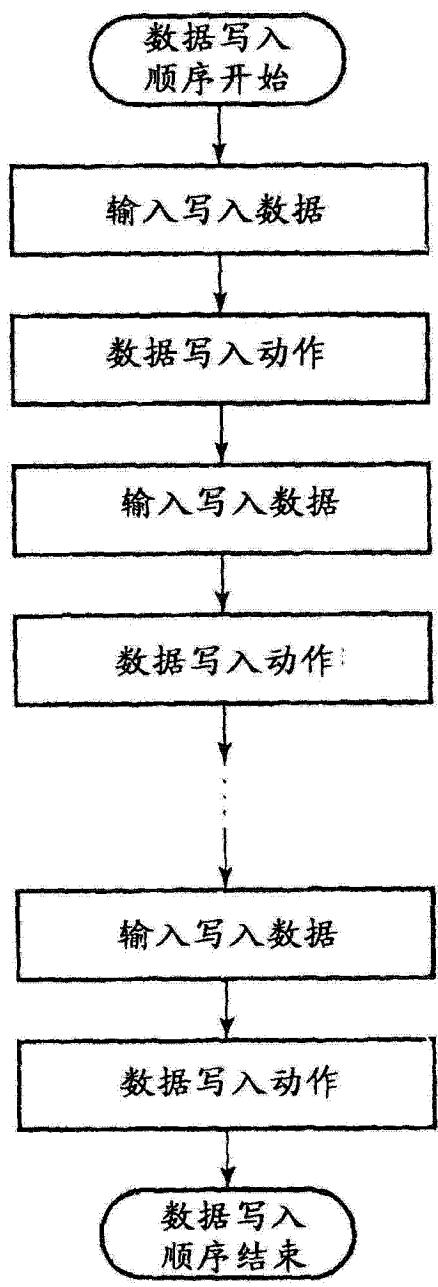


图 36

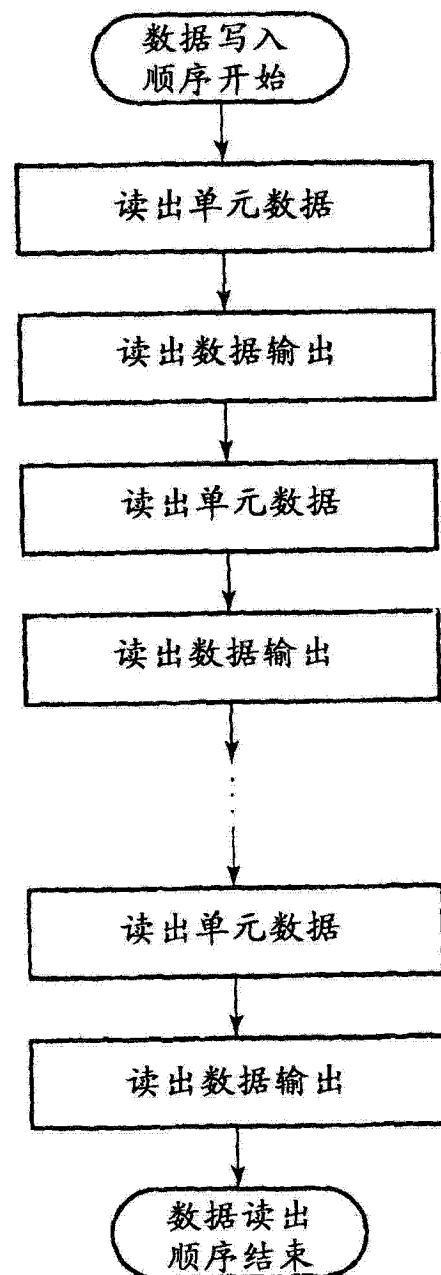


图 37