(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 3 月 12 日 (12.03.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/032141 A1

(51) 国际专利分类号:
G09G 3/32 (2006.01)

(21) 国际申请号: PCT/CN2013/089018

(22) 国际申请日: 2013 年 12 月 10 日 (10.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310404123.7 2013 年 9 月 6 日 (06.09.2013) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。

(72) 发明人: **陈俊生 (CHEN, Junsheng)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: PIXEL CIRCUIT AND DISPLAY

(54) **发明名称** : 像素电路及显示器

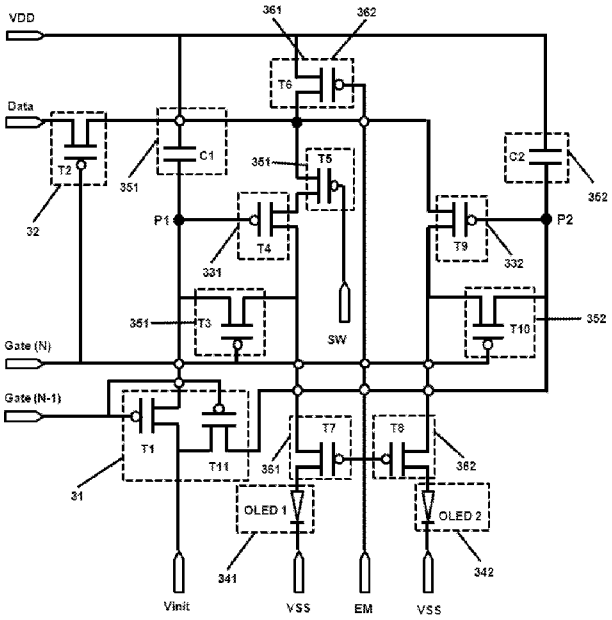


图 3 /Fig.3

(57) **Abstract**: A pixel circuit and a display, which are used for reducing the size of a pixel circuit, and thus reducing the spacing between pixels, increasing the number of pixels in a unit area, and improving the picture display quality. The pixel circuit comprises a first pixel subcircuit and a second pixel subcircuit, and an initialization module (31) and a data voltage writing module (32) which are connected to the first pixel subcircuit and the second pixel subcircuit, wherein the initialization module (31) is connected to a reset signal end and a low potential end, and is used for initializing the first pixel subcircuit and the second pixel subcircuit which are under the control of a reset signal input by the reset signal end; and the data voltage writing module (32) is connected to a data voltage and a gate signal end, and is used for writing a first data voltage into the first pixel subcircuit and the second pixel subcircuit which are under the control of a signal input by the gate signal end, compensating for a drive module of the first pixel subcircuit, then writing a second data voltage into the second pixel subcircuit, and compensating for a drive module of the second pixel subcircuit.

(57) **摘要**:

[见续页]

WO 2015/032141 A1

一种像素电路及显示器，用以减小像素电路尺寸，进而减小像素间距，提高单位面积内所拥有的像素数目，提升画面显示品质。所述像素电路包括：第一像素子电路和第二像素子电路，以及与第一像素子电路和第二像素子电路连接的初始化模块（31）和数据电压写入模块（32）；初始化模块（31）连接复位信号端和低电位端，用于在复位信号端输入的复位信号控制下对第一像素子电路和第二像素子电路进行初始化；数据电压写入模块（32）连接数据电压和门信号端，用于在门信号端输入的信号控制下先对第一像素子电路和第二像素子电路写入第一数据电压，并对第一像素子电路的驱动模块进行补偿，然后对第二像素子电路写入第二数据电压，并对第二像素子电路的驱动模块进行补偿。

像素电路及显示器

技术领域

本发明涉及显示器技术领域，尤其涉及一种像素电路及显示器。

背景技术

目前高端中小尺寸有源矩阵有机发光二极管（Active Matrix Organic Light Emitting Diode，AMOLED）产品背板多使用低温多晶硅（Low Temperature Poly-Silicon，LTPS）工艺技术，然而由于 LTPS 工艺的波动性会导致薄膜晶体管（Thin Film Transistor，TFT）器件的阈值电压漂移，从而使得驱动有机发光二极管（Organic Light Emitting Diode，OLED）器件的电流不稳定导致画面显示品质降低。现有技术中的像素补偿电路为 6T1C 电路（由 6 个薄膜晶体管和 1 个电容组成的电路），电路图如图 1 所示，图中，VDD 为高电压电平信号，VSS 为低电压电平信号，Data 为数据信号，Gate 为栅极控制信号，Reset 为初始化控制信号，Vinit 为初始化电压电平信号，Emission（即 EM）为控制 OLED 发光的信号，由 OLED 面板的 emission 电路提供此电压。然而，需要将 6 个薄膜晶体管和 1 个电容在一个像素中布置下去是不容易的，需要 TFT 器件做得非常小，所以 TFT 器件的性能要求也相对较高，会导致像素间距（Pixel Pitch）无法进一步降低。

如图 2 所示，现有技术中的 6T1C 电路在 2 个像素里的水平方向所需要布置的元器件数目为：2 条数据信号线：Data v1 和 Data v2、12 个 TFT、2 个电容、1 条栅极控制信号线 Gate、1 个发光控制信号端 Emission、1 个高电压电平信号端 VDD、1 个初始化电压电平信号端 Vinit，1 个初始化控制信号端 Reset，图 2 中有两个有机发光二极管 OLED1 和 OLED2，其阴极均与低电压电平信号 VSS 相连，图 2 为水平排列的 2 个像素的电路原理图，其在水平或者垂直方向组成一个像素单元，在垂直方向所需要布置的元器件数目为：1 条数据信号线、12 个 TFT、2 个电容、2 条栅极控制信号线、1 个发光控制信号端 Emission、1 个高电压电平信号端 VDD、1 个初始化电压电平信号端 Vinit。

综上所述，现有技术中在 2 个像素中需要布置 12 个 TFT 和 2 个电容。

发明内容

本发明实施例提供了一种像素电路，用以减小像素电路尺寸，进而减小像素间距，提高单位面积内所拥有的像素数目，提升画面显示品质。本发明还提供了一种显示器。

根据本发明一实施例，提供的一种像素电路，包括：第一像素子电路和第二像素子电路，以及与所述第一像素子电路和第二像素子电路连接的初始化模块和数据电压写入模块，

所述初始化模块连接复位信号端和低电位端，用于在复位信号端输入的复位信号控制下对第一像素子电路和第二像素子电路进行初始化；

所述数据电压写入模块连接数据电压和门信号端，用于在门信号端输入的信号控制下先对第一像素子电路和第二像素子电路写入第一数据电压，并对所述第一像素子电路的驱动模块进行补偿，然后对第二像素子电路写入第二数据电压，并对第二像素子电路的驱动模块进行补偿。

由本发明实施例提供的所述像素电路，包括：第一像素子电路和第二像素子电路，以及与所述第一像素子电路和第二像素子电路连接的初始化模块和数据电压写入模块，所述由第一像素子电路、第二像素子电路以及初始化模块和数据电压写入模块组成的像素电路能够减小像素电路尺寸，进而减小像素间距，提高单位面积内所拥有的像素数目，提升画面显示品质。

可选地，所述第一像素子电路包括第一驱动模块、第一发光模块、第一阈值补偿模块和第一发光控制模块，

初始化模块连接所述第一阈值补偿模块，用于在初始化模块输出的初始化信号控制下对第一阈值补偿模块进行初始化；

所述第一阈值补偿模块连接第一驱动模块，用于对第一驱动模块进行阈值电压补偿；

所述第一发光模块连接第一发光控制模块，用于在第一发光控制模块作用下进行发光显示。

这样，由第一驱动模块、第一发光模块、第一阈值补偿模块和第一发光控制模块组成的第一像素子电路在像素电路的设计中简单便于实施。

可选地，所述第一阈值补偿模块包括第一存储电容、第三晶体管和第五晶体管；所述第一驱动模块包括第四晶体管；所述第一发光控制模块包括第六晶

体管和第七晶体管；所述第一发光模块包括第一发光二极管。

这样，由存储电容、晶体管和发光二极管组成的第一像素子电路在像素电路的设计中简单便于实施。

可选地，所述第一存储电容的一端与高电压电平信号线相连，另一端与第三晶体管的源极相连；

所述第三晶体管的栅极与门信号端相连，所述第三晶体管的漏极与所述第四晶体管的漏极相连；

所述第五晶体管的栅极与开关控制信号线相连，所述第五晶体管的源极与所述第六晶体管的漏极相连，所述第五晶体管的漏极与所述第四晶体管的源极相连；

所述第四晶体管的栅极与所述初始化模块相连；

所述第六晶体管的栅极与发光控制信号线连接，所述第六晶体管的源极与高电压电平信号线相连；

所述第七晶体管的栅极与发光控制信号线连接，所述第七晶体管的源极与所述第四晶体管的漏极相连，所述第七晶体管的漏极与第一发光二极管相连；

所述第一发光二极管的阳极与第七晶体管的漏极相连，所述第一发光二极管的阴极与低电压电平信号线相连。

这样，所述存储电容、晶体管及发光二极管的连接关系在像素电路的设计中简单便于实施。

可选地，所述第二像素子电路包括第二驱动模块、第二发光模块、第二阈值补偿模块和第二发光控制模块，

所述初始化模块连接第二阈值补偿模块，用于在初始化模块输出的初始化信号控制下对第二阈值补偿模块进行初始化；

所述第二阈值补偿模块连接第二驱动模块，用于对第二驱动模块进行阈值电压补偿；

所述第二发光模块连接第二发光控制模块，用于在第二发光控制模块作用下进行发光显示。

这样，由第二驱动模块、第二发光模块、第二阈值补偿模块和第二发光控制模块组成的第二像素子电路在像素电路的设计中简单便于实施。

可选地，所述第二阈值补偿模块包括第二存储电容和第十晶体管；所述第二驱动模块包括第九晶体管；所述第二发光控制模块包括第六晶体管和第八晶

体管；所述第二发光模块包括第二发光二极管。

这样，由存储电容、晶体管和发光二极管组成的第二像素子电路在像素电路的设计中简单便于实施。

可选地，所述第二存储电容的一端与高电压电平信号线相连，另一端与第十晶体管的源极相连；

所述第十晶体管的栅极与门信号端相连，所述第十晶体管的漏极与所述第九晶体管的漏极相连；

所述第九晶体管的栅极与所述第十晶体管的源极相连，所述第九晶体管的源极与所述数据电压写入模块相连；

所述第六晶体管的栅极与发光控制信号线连接，所述第六晶体管的源极与高电压电平信号线相连，所述第六晶体管的漏极与所述第九晶体管的源极相连；

所述第八晶体管的栅极与发光控制信号线连接，所述第八晶体管的源极与所述第九晶体管的漏极相连，所述第八晶体管的漏极与第二发光二极管相连；

所述第二发光二极管的阳极与第八晶体管的漏极相连，所述第二发光二极管的阴极与低电压电平信号线相连。

这样，所述存储电容、晶体管及发光二极管的连接关系在像素电路的设计中简单便于实施。

可选地，所述初始化模块包括第一晶体管和第十一晶体管，其中，所述第一晶体管的栅极与复位信号线相连，所述第一晶体管的漏极与第一像素子电路的第一阈值补偿模块相连，所述第一晶体管的源极与低电位端相连；所述第十一晶体管的栅极与复位信号线相连，所述第十一晶体管的漏极与第二像素子电路的第二阈值补偿模块相连，所述第十一晶体管的源极与低电位端相连。

这样，所述初始化模块包括第一晶体管和第十一晶体管，第一晶体管和第十一晶体管作为像素电路中的初始化模块的开关器件，在电路设计中方便简单便于实施。

可选地，所述数据电压写入模块包括第二晶体管，所述第二晶体管的栅极与门信号端相连，所述第二晶体管的源极与数据信号线相连，所述第二晶体管的漏极与第一像素子电路的第一阈值补偿模块和和第二像素子电路的第二驱动模块相连。

这样，所述数据电压写入模块包括第二晶体管，第二晶体管作为像素电路

中的数据电压写入模块的开关器件，在电路设计中方便简单便于实施。

可选地，所述数据电压写入模块中写入的数据电压包括第一数据电压和第二数据电压，其中，第一数据电压用于驱动第一阈值补偿模块对第一驱动模块进行阈值电压补偿，第二数据电压用于驱动第二阈值补偿模块对第二驱动模块进行阈值电压补偿。

这样，由于数据信号为阶梯形的时序信号，可以实现由一条数据信号线输入两个不同的电压值。

可选地，所述第一发光二极管和第二发光二极管均为有机发光二极管。

这样，用有机发光二极管作为像素电路中的第一发光模块和第二发光模块中的发光二极管，在电路设计中方便简单。

可选地，所述晶体管均为 P 型薄膜晶体管。

这样，用 P 型薄膜晶体管作为像素电路中的薄膜晶体管，在电路设计中方便简单便于实施。

本发明实施例提供的显示器，包括多个像素、数据信号线以及栅极控制信号线，其中，每两个像素组成一像素单元，还包括与各像素单元连接的上面所述的像素电路。

这样，由于所述显示器包括与各像素单元连接的上面所述的像素电路，该显示器具有所述像素电路的优点，能够很好的提升画面显示品质。

可选地，所述每一像素单元中的两个像素共用一条数据信号线。

这样，每一像素单元中的两个像素共用一条数据信号线，故两个像素可以省略一条数据信号线，数据信号线的排列方法简单易行。

可选地，所述每一像素单元中的两个像素共用一条栅极控制信号线。

这样，每一像素单元中的两个像素共用一条栅极控制信号线，故两个像素可以省略一条栅极控制信号线，栅极控制信号线的排列方法简单易行。

附图说明

图 1 为现有技术中的单个像素中的 6T1C AMOLED 像素补偿电路示意图；

图 2 为现有技术中的 2 个像素中的 12T2C AMOLED 像素补偿电路示意图；

图 3 为本发明实施例提供的 11T2C AMOLED 像素电路示意图；

图 4 为本发明实施例提供的 11T2C AMOLED 像素电路工作的时序图；

图 5 为本发明实施例提供的 11T2C AMOLED 像素电路在初始化工作阶段

的简化电路图;

图 6 为本发明实施例提供的 11T2C AMOLED 像素电路在第一阈值补偿阶段的简化电路图;

图 7 为本发明实施例提供的 11T2C AMOLED 像素电路在第二阈值补偿阶段的简化电路图;

图 8 为本发明实施例提供的 11T2C AMOLED 像素电路在发光阶段的简化电路图;

图 9 为现有技术中的单个像素的排列示意图;

图 10 为本发明实施例提供的由任意两个像素组成的像素单元的一种水平排列示意图;

图 11 为本发明实施例提供的由任意两个像素组成的像素单元的另一种水平排列示意图;

图 12 为本发明实施例提供的由任意两个像素组成的像素单元的一种垂直排列示意图;

图 13 为本发明实施例提供的由任意两个像素组成的像素单元的另一种垂直排列示意图。

具体实施方式

本发明实施例提供了一种像素电路及显示器，用以减小像素电路尺寸，进而减小像素间距，提高单位面积内所拥有的像素数目，提升画面显示品质。

其中，本发明实施例提供的像素电路为有源矩阵发光二极管像素电路，由于有源矩阵发光二极管像素电路能够起到对像素的驱动模块进行补偿的作用，故本发明实施例中有源矩阵发光二极管像素电路也可称为有源矩阵发光二极管像素补偿电路。

下面给出本发明实施例提供的技术方案的详细介绍。

如图 3 所示，本发明实施例提供的一种有源矩阵发光二极管像素补偿电路，包括：第一像素子电路和第二像素子电路，以及与所述第一像素子电路和第二像素子电路连接的初始化模块 31 和数据电压写入模块 32，

所述初始化模块 31 连接复位信号端（对应 AMOLED 像素电路上一级栅极控制信号 Gate（N-1））和低电位端（对应 AMOLED 像素电路初始化电压电平信号 Vinit），用于在复位信号端输入的复位信号控制下对第一像素子电路和第

二像素子电路进行初始化;

所述数据电压写入模块 32 连接数据信号线(对应 AMOLED 像素电路数据信号 Data)和门信号端(对应 AMOLED 像素补偿电路本级栅极控制信号 Gate(N)),用于在门信号端输入的信号控制下先对第一像素子电路和第二像素子电路写入第一数据电压,并对所述第一像素子电路的驱动模块进行补偿,然后对第二像素子电路写入第二数据电压,并对第二像素子电路的驱动模块进行补偿。

在图 3 所示的电路中,为了区别导线间的交叉相连和不相连,将相连的交叉点以实心圆点表示,不相连的交叉点以空心圆点表示。

可选地,所述第一像素子电路包括第一驱动模块 331、第一发光模块 341、第一阈值补偿模块 351 和第一发光控制模块 361,

初始化模块 31 连接所述第一阈值补偿模块 351,用于在初始化模块 31 输出的初始化信号控制下对第一阈值补偿模块 351 进行初始化;

所述第一阈值补偿模块 351 连接第一驱动模块 331,用于对第一驱动模块 331 进行阈值电压补偿;

所述第一发光模块 341 连接第一发光控制模块 361,用于在第一发光控制模块 361 作用下进行发光显示。

可选地,所述第一阈值补偿模块 351 包括第一存储电容 C1、第三晶体管 T3 和第五晶体管 T5;所述第一驱动模块 331 包括第四晶体管 T4;所述第一发光控制模块 361 包括第六晶体管 T6 和第七晶体管 T7;所述第一发光模块 341 包括第一发光二极管 OLED1。

可选地,所述第一存储电容的 C1 一端与高电压电平信号线(对应高电压电平信号 VDD)相连,另一端与第三晶体管 T3 的源极相连;

所述第三晶体管 T3 的栅极与门信号端(对应 AMOLED 像素补偿电路本级栅极控制信号 Gate(N))相连,所述第三晶体管 T3 的漏极与所述第四晶体管 T4 的漏极相连;

所述第五晶体管 T5 的栅极与开关控制信号线(对应 AMOLED 像素补偿电路开关控制信号 SW)相连,所述第五晶体管 T5 的源极与所述第六晶体管 T6 的漏极相连,所述第五晶体管 T5 的漏极与所述第四晶体管 T4 的源极相连;

所述第四晶体管 T4 的栅极与所述初始化模块 31 相连;

所述第六晶体管 T6 的栅极与发光控制信号线(对应 AMOLED 像素电路

发光控制信号 EM）连接，所述第六晶体管 T6 的源极与高电压电平信号线（对应高电压电平信号 VDD）相连；

所述第七晶体管 T7 的栅极与发光控制信号线（对应 AMOLED 像素电路发光控制信号 EM）连接，所述第七晶体管 T7 的源极与所述第四晶体管 T4 的漏极相连，所述第七晶体管 T7 的漏极与第一发光二极管 OLED1 相连；

所述第一发光二极管 OLED1 的阳极与第七晶体管 T7 的漏极相连，所述第一发光二极管 OLED1 的阴极与低电压电平信号线（对应低电压电平信号 VSS）相连。

可选地，所述第二像素子电路包括第二驱动模块 332、第二发光模块 342、第二阈值补偿模块 352 和第二发光控制模块 362，

初始化模块 31 连接所述第二阈值补偿模块 352，用于在初始化模块 31 输出的初始化信号控制下对第二阈值补偿模块 352 进行初始化；

所述第二阈值补偿模块 352 连接第二驱动模块 332，用于对第二驱动模块 332 进行阈值电压补偿；

所述第二发光模块 342 连接第二发光控制模块 362，用于在第二发光控制模块 362 作用下进行发光显示。

可选地，所述第二阈值补偿模块 352 包括第二存储电容 C2 和第十晶体管 T10；所述第二驱动模块 332 包括第九晶体管 T9；所述第二发光控制模块 362 包括第六晶体管 T6 和第八晶体管 T8；所述第二发光模块 342 包括第二发光二极管 OLED2。

可选地，所述第二存储电容 C2 的一端与高电压电平信号线（对应高电压电平信号 VDD）相连，另一端与第十晶体管 T10 的源极相连；

所述第十晶体管 T10 的栅极与门信号端（对应 AMOLED 像素补偿电路本级栅极控制信号 Gate（N））相连，所述第十晶体管 T10 的漏极与所述第九晶体管 T9 的漏极相连；

所述第九晶体管 T9 的栅极与所述第十晶体管 T10 的源极相连，所述第九晶体管 T9 的源极与所述数据电压写入模块 32 相连；

所述第六晶体管 T6 的栅极与发光控制信号线（对应 AMOLED 像素电路发光控制信号 EM）连接，所述第六晶体管 T6 的源极与高电压电平信号线（对应高电压电平信号 VDD）相连，所述第六晶体管 T6 的漏极与所述第九晶体管 T9 的源极相连；

所述第八晶体管 T8 的栅极与发光控制信号线（对应 AMOLED 像素电路发光控制信号 EM）连接，所述第八晶体管 T8 的源极与所述第九晶体管 T9 的漏极相连，所述第八晶体管 T8 的漏极与第二发光二极管 OLED2 相连;

所述第二发光二极管 OLED2 的阳极与第八晶体管 T8 的漏极相连，所述第二发光二极管 OLED2 的阴极与低电压电平信号线（对应低电压电平信号 VSS）相连。

其中，第六晶体管 T6 是第一发光控制模块 361 和第二发光控制模块 362 共用的开关晶体管，发光控制模块 361 和 362 既可以同时控制 OLED1 和 OLED2 的发光，也可以分开控制 OLED1 和 OLED2 的发光。

可选地，所述初始化模块 31 包括第一晶体管 T1 和第十一晶体管 T11，其中，所述第一晶体管 T1 的栅极与复位信号线（对应 AMOLED 像素电路上一级栅极控制信号 Gate（N-1））相连，所述第一晶体管 T1 的漏极与第一像素子电路的第一阈值补偿模块 351 相连，所述第一晶体管 T1 的源极与低电位端（对应 AMOLED 像素电路初始化电压电平信号 Vinit）相连；所述第十一晶体管 T11 的栅极与复位信号线（对应 AMOLED 像素电路上一级栅极控制信号 Gate（N-1））相连，所述第十一晶体管 T11 的漏极与第二像素子电路的第二阈值补偿模块 352 相连，所述第十一晶体管 T11 的源极与低电位端（对应 AMOLED 像素电路初始化电压电平信号 Vinit）相连。

可选地，所述数据电压写入模块 32 包括第二晶体管 T2，所述第二晶体管 T2 的栅极与门信号端（对应 AMOLED 像素补偿电路本级栅极控制信号 Gate（N））相连，所述第二晶体管 T2 的源极与数据信号线（对应 AMOLED 像素电路数据信号 Data）相连，所述第二晶体管 T2 的漏极与所述第五晶体管 T5 的源极和第二像素子电路的第二驱动模块 332 相连。

其中，本级栅极控制信号 Gate（N）、上一级栅极控制信号 Gate（N-1）中 N 的取值可以根据像素补偿电路中栅极控制信号线的数量及实际需要进行选择。

可选地，所述数据电压写入模块 32 中输入的数据电压包括第一数据电压和第二数据电压，其中，第一数据电压用于驱动第一阈值补偿模块 351 对第一驱动模块 331 进行阈值电压补偿，第二数据电压用于驱动第二阈值补偿模块 352 对第二驱动模块 332 进行阈值电压补偿。

可选地，所述第一发光二极管 OLED1 和第二发光二极管 OLED2 均为有

机发光二极管。

可选地，所述晶体管 T1、T2、T3、T4、T5、T6、T7、T8、T9、T10 和 T11 均为 P 型薄膜晶体管。

下面结合图 3-图 8，具体说明本发明实施例提供的 AMOLED 像素补偿电路的工作原理。

如图 4 所示，在 I 阶段，本级栅极控制信号 Gate（N）和发光控制信号 EM 为高电平；上一级栅极控制信号 Gate（N-1）和开关控制信号 SW 为低电平，此时，图 3 中的第一晶体管 T1、第五晶体管 T5 和第十一晶体管 T11 打开；第二晶体管 T2、第三晶体管 T3、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第十晶体管 T10 关闭，因此，图 3 的简化电路图如图 5 所示。由于存储电容 C1 和 C2 分别存储上一帧画面输入的数据信号 Data，此时 2 个电容全部连接在具有低电位的初始化电压电平信号 Vinit 上，存储电容 C1 和 C2 均对初始化电压电平信号 Vinit 放电，放电到初始化电压 V_{init}。

如图 4 所示，在 II 阶段，上一级栅极控制信号 Gate（N-1）和发光控制信号 EM 为高电平；本级栅极控制信号 Gate（N）和开关控制信号 SW 为低电平，此时，图 3 中的第二晶体管 T2、第三晶体管 T3、第五晶体管 T5 和第十晶体管 T10 打开；第一晶体管 T1、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第十一晶体管 T11 关闭，因此，图 3 的简化电路图如图 6 所示。数据电平信号 Data 输入第一电压值 V1，此时第四晶体管 T4 相当于二极管，第一节点 P1 的电压变为：V=V1-Vth（T4），其中，Vth（T4）为第四晶体管 T4 的阈值电压，并将电压值 V 存储在存储电容 C1 中，第九晶体管 T9 相当于二极管，第二节点 P2 的电压变为：V′=V1-Vth（T9），其中，Vth（T9）为第九晶体管 T9 的阈值电压，并将电压值 V′存储在存储电容 C2 中，同时对 2 个电容 C1 和 C2 进行充电。

如图 4 所示，在 III 阶段，上一级栅极控制信号 Gate（N-1）、开关控制信号 SW 和发光控制信号 EM 为高电平；本级栅极控制信号 Gate（N）为低电平，此时，图 3 中的第二晶体管 T2、第三晶体管 T3 和第十晶体管 T10 打开；第一晶体管 T1、第十一晶体管 T11、第五晶体管 T5、第七晶体管 T7、第八晶体管 T8 和第六晶体管 T6 关闭，因此，图 3 的简化电路图如图 7 所示。数据电平信号 Data 输入第二电压值 V2，此时第九晶体管 T9 相当于二极管，第二节点 P2 的电压变为：V′′=V2-Vth（T9），其中，Vth（T9）为第九晶体管 T9 的阈值电

压，并将电压值 V′′存储在存储电容 C2 中。

如图 4 所示，在 IV 阶段即发光阶段，上一级栅极控制信号 Gate（N-1）和本级栅极控制信号 Gate（N）为高电平；发光控制信号 EM 和开关控制信号 SW 为低电平，此时，图 3 中的第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 打开；第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第十晶体管 T10 和第十一晶体管 T11 关闭，因此，图 3 的简化电路图如图 8 所示。第四晶体管 T4 和第九晶体管 T9 为 OLED 的驱动晶体管，其对电流的控制方式如下：第四晶体管 T4 和第九晶体管 T9 的源极均与高电压电平信号 VDD 相连，其中，高电压电平信号 VDD 的电压数值为恒定值，流经第一发光二极管 OLED1 的电流为：

$$Id1=\frac{k}{2}*\left[VDD-（V1-Vth（T4））-Vth（T4）\right]^2=\frac{k}{2}*\left(VDD-V1\right)^2,$$

其中，k 为预设常数，流经第二发光二极管 OLED2 的电流为：

$$Id2=\frac{k}{2}*\left[VDD-\left(V2-Vth\left(T9\right)\right)-Vth\left(T9\right)\right]^2=\frac{k}{2}*\left[VDD-V2\right]^2,$$

从上面的方程可以看出，流经第一发光二极管 OLED1 的电流 Id1 和流经第二发光二极管 OLED2 的电流 Id2 与第四晶体管 T4 的阈值电压 Vth（T4）和第九晶体管 T9 的阈值电压 Vth（T9）无关，因此可以起到补偿作用。

综上所述，本发明实施例提供的 AMOLED 像素电路包括 11 个薄膜晶体管和 2 个电容，即为 11T2C AMOLED 像素电路。

本发明实施例提供的一种显示器，包括多个像素、数据信号线以及栅极控制信号线，其中，每两个像素组成一像素单元，还包括与各像素单元连接的本发明实施例提供的 11T2C AMOLED 像素电路。

下面具体介绍包含 2 个像素的像素单元的排列方式：

现有技术中的单个像素的像素排列方式如图 9 所示，单个像素中的补偿电路为现有技术中的 6T1C AMOLED 像素补偿电路，如果将两个像素放到一起组成一个像素单元，则现有技术中的像素单元的补偿电路为现有技术中的 12T2C AMOLED 像素补偿电路。

本发明实施例提供的包含 2 个像素的像素单元的排列方式如图 10-13 所示，其中，水平方向排列的任一像素单元中的两个像素共用一条数据信号线 Data（m），垂直方向排列的任一像素单元中的两个像素共用一条栅极控制信号线 Gate（N），其中，水平方向排列的任一像素单元中的两个像素为水平方向

上的任意两个像素，如：像素 Pixel1 与 Pixel 2 或者 Pixel 2 与 Pixel 3，像素单元中垂直方向排列的两个像素为垂直方向上的任意两个像素。

如图 10 和 11 所示，所述水平方向排列的任一像素单元中的两个像素共用一条数据信号线 Data（m）包括：数据信号线 Data（m）位于两个水平方向排列的 Pixel 1 和 Pixel 2 之间，或数据信号线 Data（m）位于两个水平方向排列的 Pixel 1 和 Pixel 2 中的 Pixel 1 的一侧，当然，本发明实施例中的数据信号线 Data（m）不限于位于 Pixel 1 的一侧，可以位于两个水平方向排列的像素中的任一像素的一侧。

如图 12 和 13 所示，所述垂直方向排列的任一像素单元中的两个像素共用一条栅极控制信号线 Gate（N）包括：栅极控制信号线 Gate（N）位于组成一像素单元的垂直方向排列的任意两个像素之间或栅极控制信号线 Gate（N）位于组成一像素单元的垂直方向排列的任意两个像素中的任一像素的一侧。

综上所述，本发明实施例提供的技术方案中，所述 AMOLED 像素电路包括：第一像素子电路和第二像素子电路，以及与所述第一像素子电路和第二像素子电路连接的初始化模块和数据电压写入模块，所述初始化模块连接复位信号端和低电位端，用于在复位信号端输入的复位信号控制下对第一像素子电路和第二像素子电路进行初始化；所述数据电压写入模块连接数据电压和门信号端，用于在门信号端输入的信号控制下先对第一像素子电路写入第一数据电压，并对所述第一像素子电路的驱动模块进行补偿，然后对第二像素子电路写入第二数据电压，并对第二像素子电路的驱动模块进行补偿，所述 AMOLED 像素电路能够减小像素电路尺寸，进而减小像素间距，提高单位面积内所拥有的像素数目，提升画面显示品质。

显然，本领域的技术人员可以对本发明实施例进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明实施例的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权 利 要 求 书

1、一种像素电路，其特征在于，包括：第一像素子电路和第二像素子电路，以及与所述第一像素子电路和第二像素子电路连接的初始化模块和数据电压写入模块，

所述初始化模块连接复位信号端和低电位端，用于在复位信号端输入的复位信号控制下对第一像素子电路和第二像素子电路进行初始化；

所述数据电压写入模块连接数据电压和门信号端，用于在门信号端输入的信号控制下先对第一像素子电路和第二像素子电路写入第一数据电压，并对所述第一像素子电路的驱动模块进行补偿，然后对第二像素子电路写入第二数据电压，并对第二像素子电路的驱动模块进行补偿。

2、根据权利要求 1 所述的电路，其特征在于，所述第一像素子电路包括第一驱动模块、第一发光模块、第一阈值补偿模块和第一发光控制模块，

所述初始化模块连接所述第一阈值补偿模块，用于在初始化模块输出的初始化信号控制下对第一阈值补偿模块进行初始化；

所述第一阈值补偿模块连接第一驱动模块，用于对第一驱动模块进行阈值电压补偿；

所述第一发光模块连接第一发光控制模块，用于在第一发光控制模块作用下进行发光显示。

3、根据权利要求 2 所述的电路，其特征在于，所述第二像素子电路包括第二驱动模块、第二发光模块、第二阈值补偿模块和第二发光控制模块，

所述初始化模块连接所述第二阈值补偿模块，用于在初始化模块输出的初始化信号控制下对第二阈值补偿模块进行初始化；

所述第二阈值补偿模块连接第二驱动模块，用于对第二驱动模块进行阈值电压补偿；

所述第二发光模块连接第二发光控制模块，用于在第二发光控制模块作用下进行发光显示。

4、根据权利要求 2 或 3 所述的电路，其特征在于，所述第一阈值补偿模块包括第一存储电容、第三晶体管和第五晶体管；所述第一驱动模块包括第四晶体管；所述第一发光控制模块包括第六晶体管和第七晶体管；所述第一发光模块包括第一发光二极管。

5、根据权利要求 4 所述的电路，其特征在于，所述第一存储电容的一端与高电压电平信号线相连，另一端与第三晶体管的源极相连；

所述第三晶体管的栅极与门信号端相连，所述第三晶体管的漏极与所述第四晶体管的漏极相连；

所述第五晶体管的栅极与开关控制信号线相连，所述第五晶体管的源极与所述第六晶体管的漏极相连，所述第五晶体管的漏极与所述第四晶体管的源极相连；

所述第四晶体管的栅极与所述初始化模块相连；

所述第六晶体管的栅极与发光控制信号线连接，所述第六晶体管的源极与高电压电平信号线相连；

所述第七晶体管的栅极与发光控制信号线连接，所述第七晶体管的源极与所述第四晶体管的漏极相连，所述第七晶体管的漏极与第一发光二极管相连；

所述第一发光二极管的阳极与第七晶体管的漏极相连，所述第一发光二极管的阴极与低电压电平信号线相连。

6、根据权利要求 3 所述的电路，其特征在于，所述第二阈值补偿模块包括第二存储电容和第十晶体管；所述第二驱动模块包括第九晶体管；所述第二发光控制模块包括第六晶体管和第八晶体管；所述第二发光模块包括第二发光二极管。

7、根据权利要求 6 所述的电路，其特征在于，所述第二存储电容的一端与高电压电平信号线相连，另一端与第十晶体管的源极相连；

所述第十晶体管的栅极与门信号端相连，所述第十晶体管的漏极与所述第九晶体管的漏极相连；

所述第九晶体管的栅极与所述第十晶体管的源极相连，所述第九晶体管的源极与所述数据电压写入模块相连；

所述第六晶体管的栅极与发光控制信号线连接，所述第六晶体管的源极与高电压电平信号线相连，所述第六晶体管的漏极与所述第九晶体管的源极相连；

所述第八晶体管的栅极与发光控制信号线连接，所述第八晶体管的源极与所述第九晶体管的漏极相连，所述第八晶体管的漏极与第二发光二极管相连；

所述第二发光二极管的阳极与第八晶体管的漏极相连，所述第二发光二极管的阴极与低电压电平信号线相连。

8、根据权利要求 3 所述的电路，其特征在于，所述初始化模块包括第一晶体管和第十一晶体管，其中，所述第一晶体管的栅极与复位信号线相连，所述第一晶体管的漏极与第一像素子电路的第一阈值补偿模块相连，所述第一晶体管的源极与低电位端相连；所述第十一晶体管的栅极与复位信号线相连，所述第十一晶体管的漏极与第二像素子电路的第二阈值补偿模块相连，所述第十一晶体管的源极与低电位端相连。

9、根据权利要求 3 所述的电路，其特征在于，所述数据电压写入模块包括第二晶体管，所述第二晶体管的栅极与门信号端相连，所述第二晶体管的源极与数据信号线相连，所述第二晶体管的漏极与第一像素子电路的第一阈值补偿模块和第二像素子电路的第二驱动模块相连。

10、根据权利要求 9 所述的电路，其特征在于，所述数据电压写入模块中写入的数据电压包括第一数据电压和第二数据电压，其中，第一数据电压用于驱动第一阈值补偿模块对第一驱动模块进行阈值电压补偿，第二数据电压用于驱动第二阈值补偿模块对第二驱动模块进行阈值电压补偿。

11、根据权利要求 4 或 6 所述的电路，其特征在于，所述第一发光二极管和第二发光二极管均为有机发光二极管。

12、根据权利要求 4、6、8-9 任一权项所述的电路，其特征在于，所述晶体管均为 P 型薄膜晶体管。

13、一种显示器，包括多个像素、数据信号线以及栅极控制信号线，其特征在于，每两个像素组成一像素单元，还包括与各像素单元连接的权利要求 1-12 任一权项所述的像素电路。

14、根据权利要求 13 所述的显示器，其特征在于，所述每一像素单元中的两个像素共用一条数据信号线。

15、根据权利要求 13 或 14 所述的显示器，其特征在于，所述每一像素单元中的两个像素共用一条栅极控制信号线。

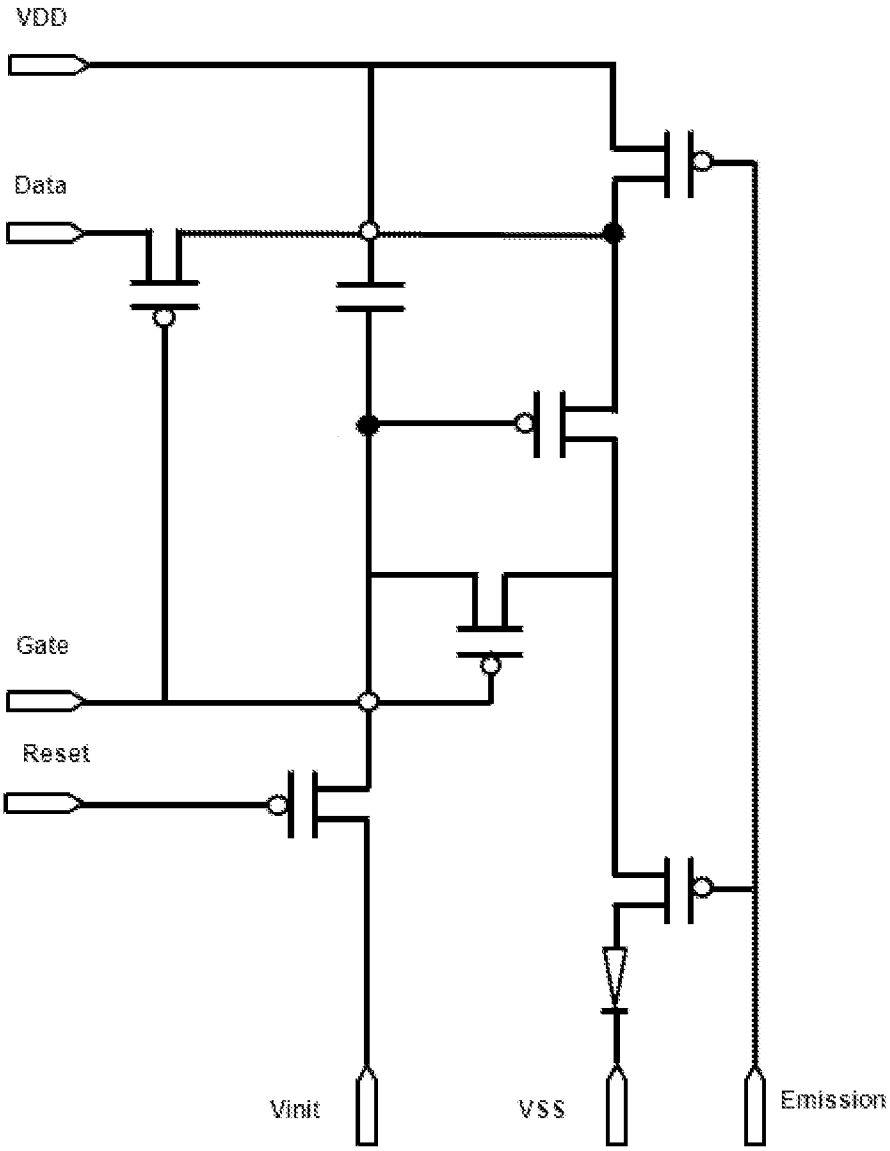


图 1

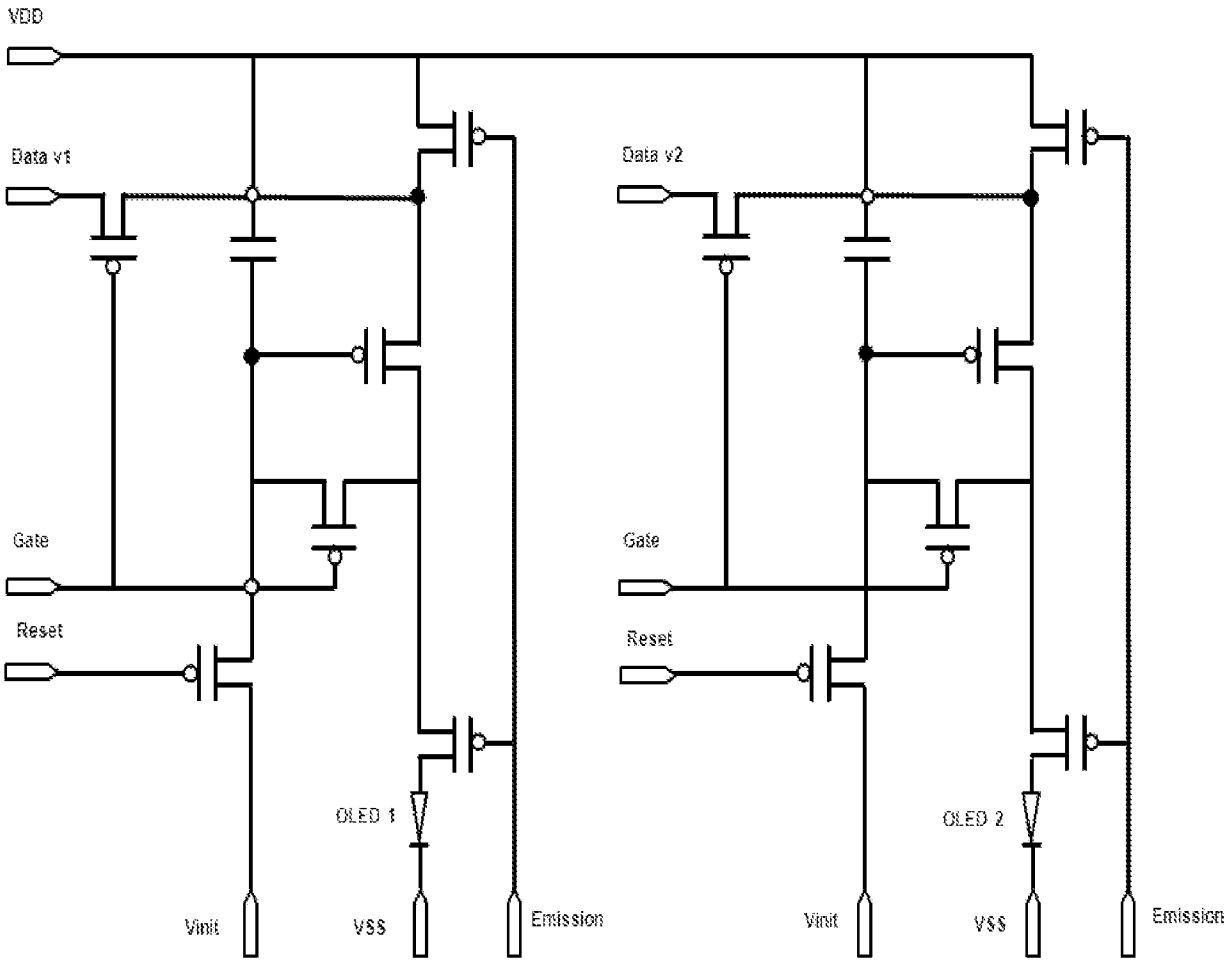

VDD
Data v1
Data v2
Gate
Gate
Reset
Reset
OLED 1
OLED 2
Vinit
VSS
Emission
Vinit
VSS
Emission

图 2

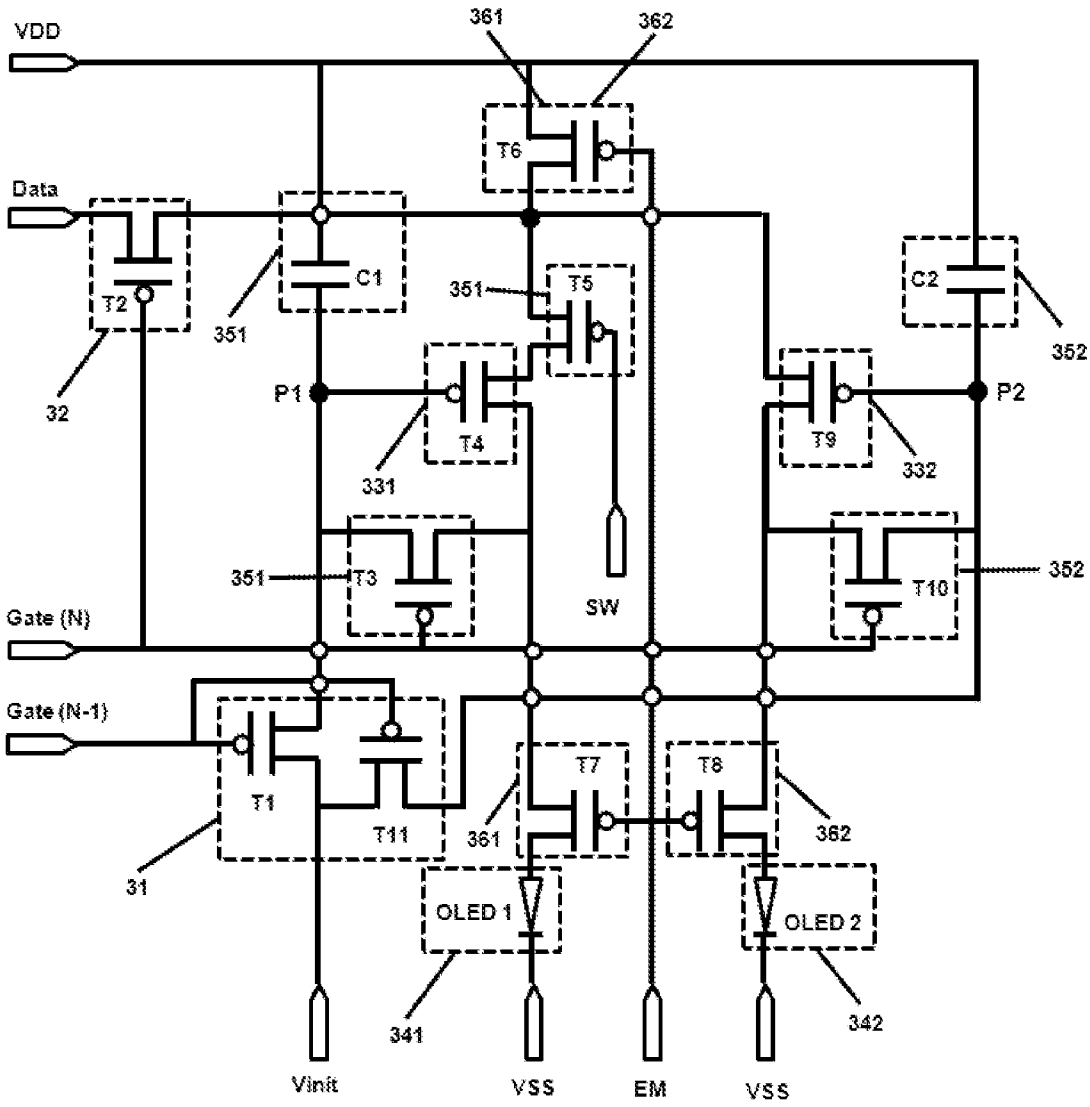

VDD
361
362
T6
Data
T2
C1
351
C2
352
351
T5
32
P1
T4
331
T9
332
P2
351
T3
SW
T10
352
Gate (N)
Gate (N-1)
T1
T11
T7
T8
361
362
31
OLED 1
OLED 2
341
342
Vinit
VSS
EM
VSS

图 3

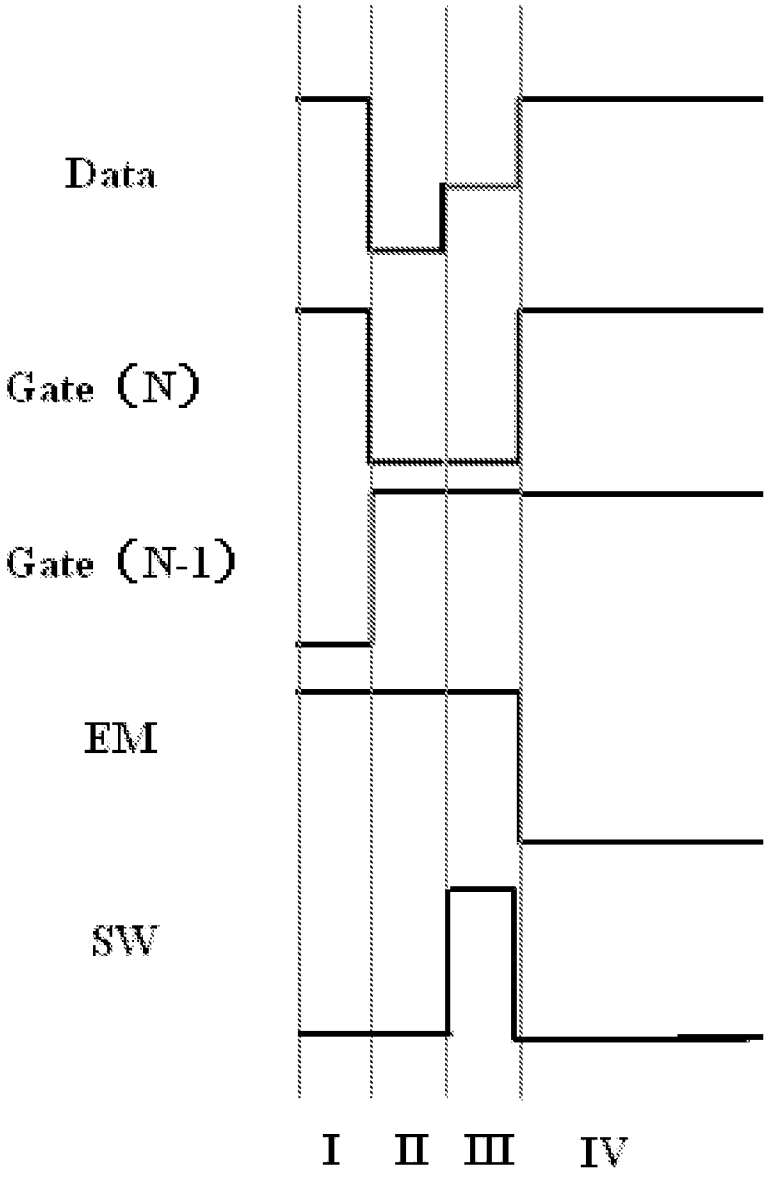


图 4

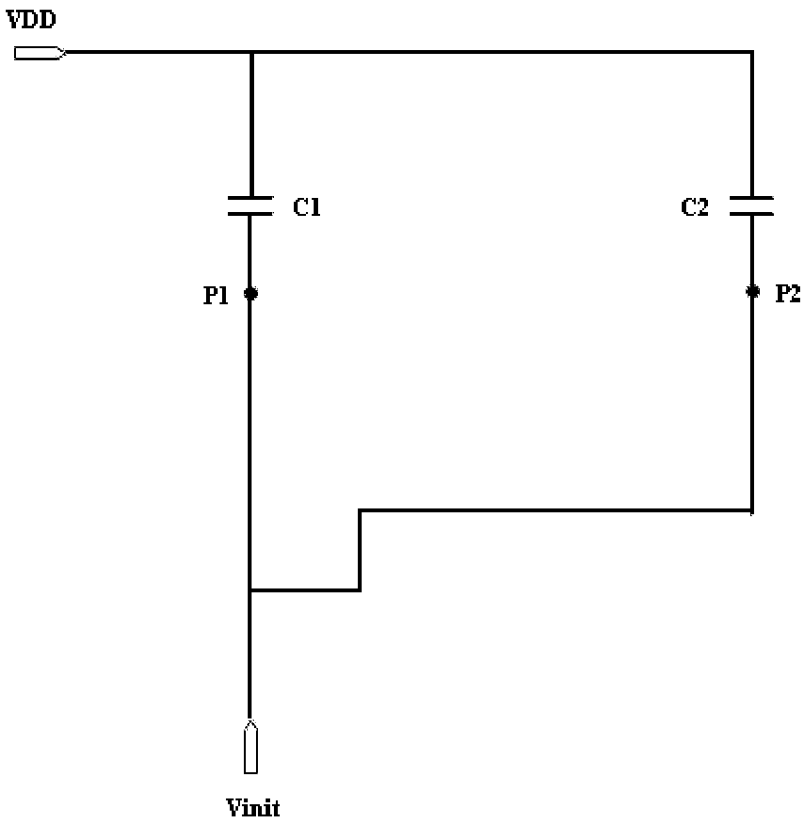


图 5

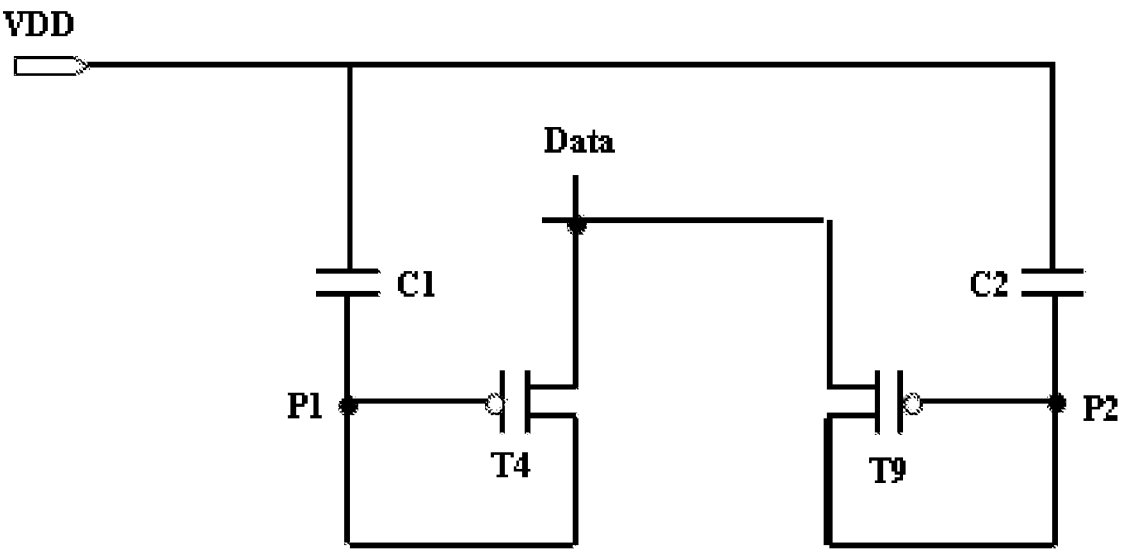


图 6

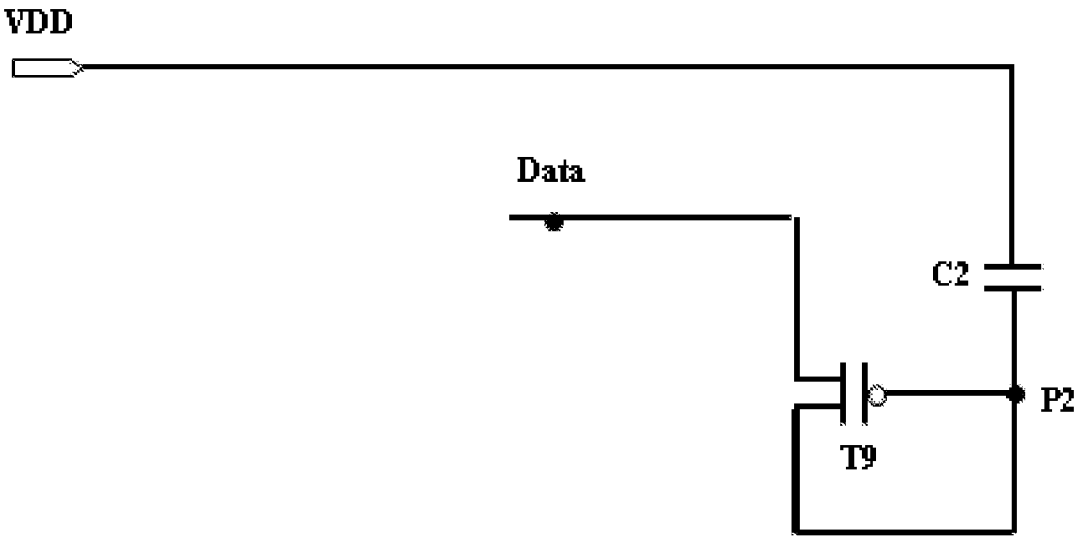


图 7

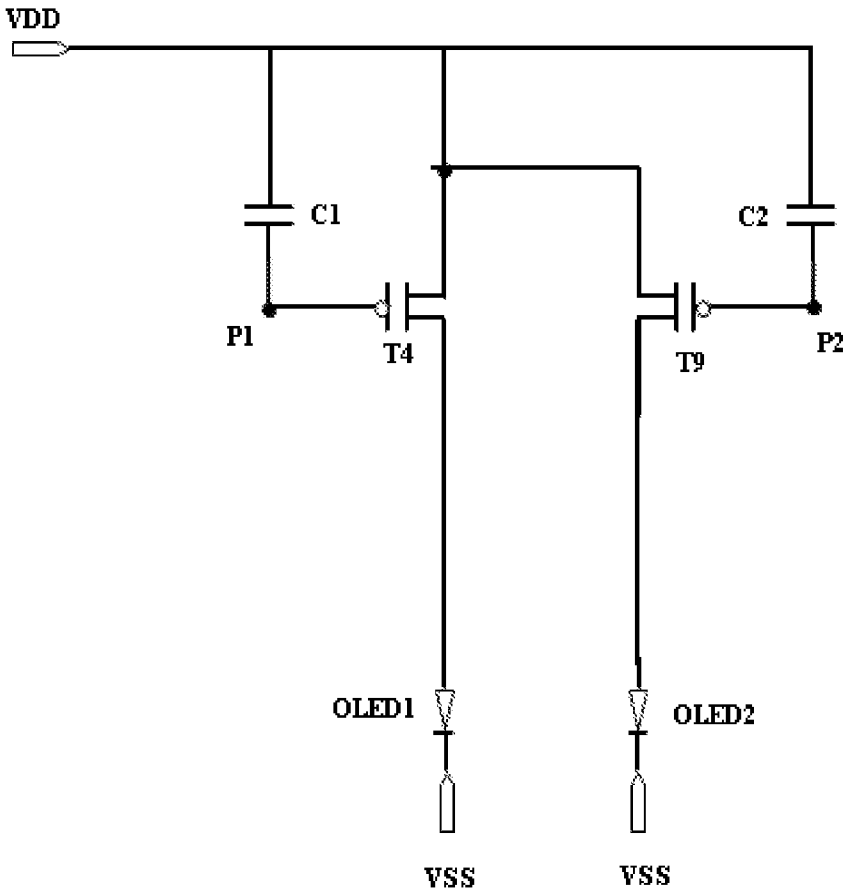


图 8

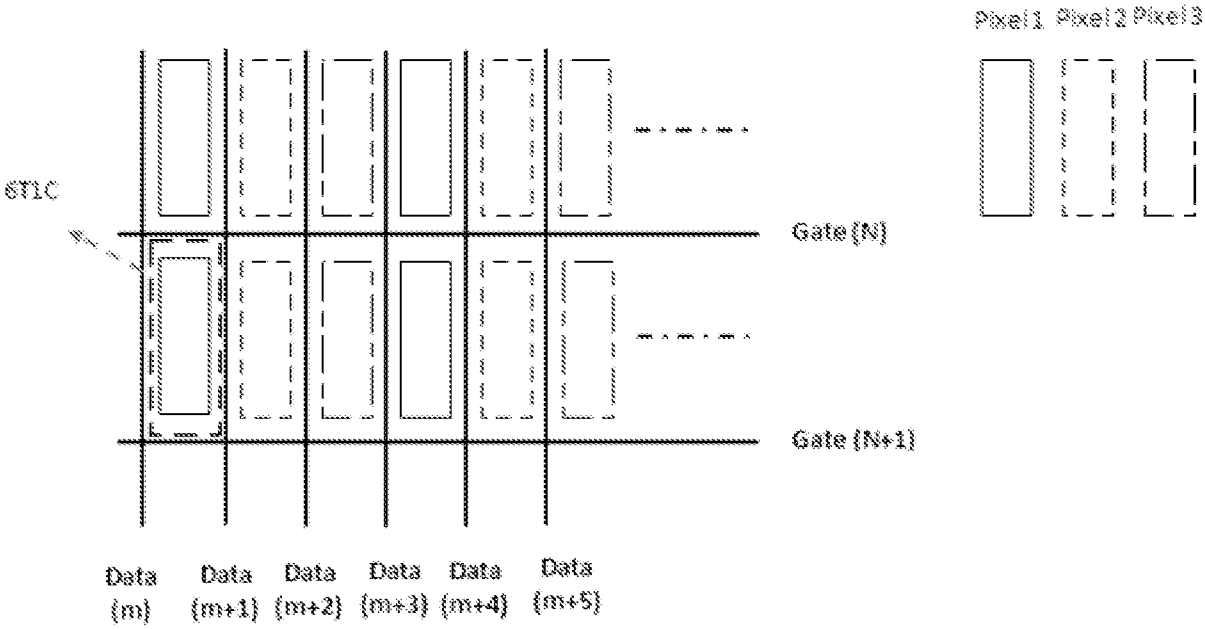

Pixel1 Pixel2 Pixel3
6T1C
Gate (N)
Gate (N+1)
Data (m)
Data (m+1)
Data (m+2)
Data (m+3)
Data (m+4)
Data (m+5)

图 9

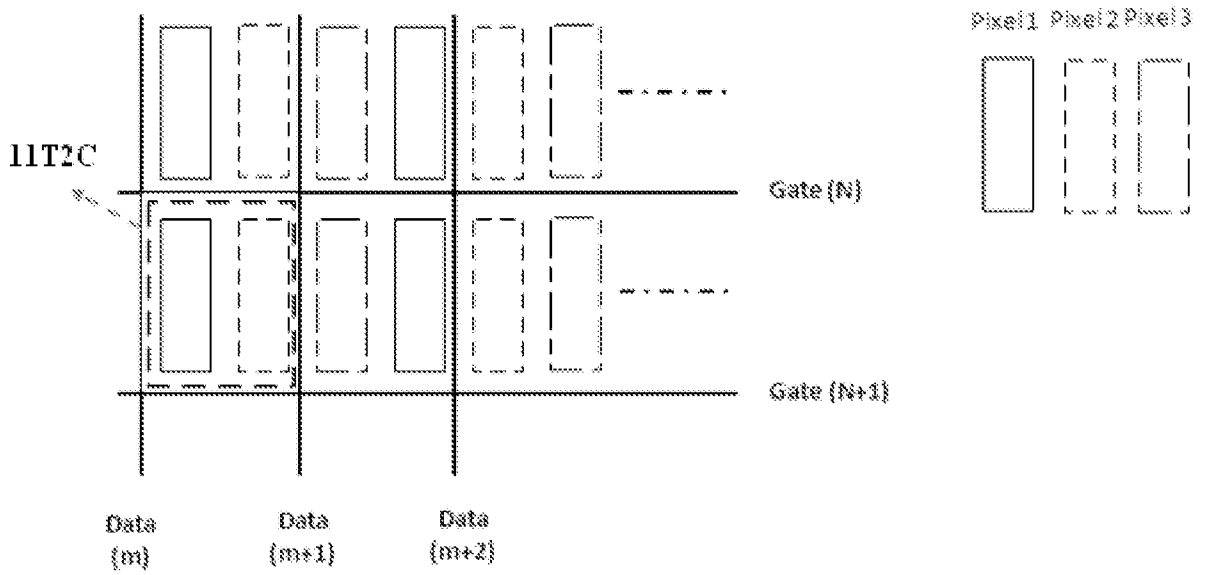

Pixel1 Pixel2 Pixel3
11T2C
Gate (N)
Gate (N+1)
Data (m)
Data (m+1)
Data (m+2)

图 10

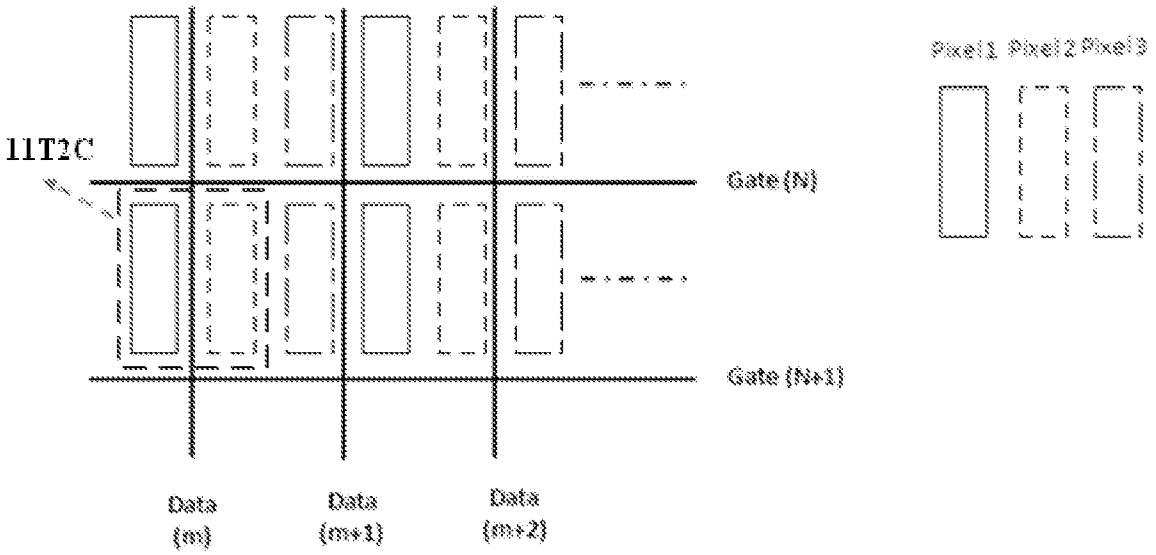

11T2C
Gate (N)
Gate (N+1)
Data (m)
Data (m+1)
Data (m+2)
Pixel1
Pixel2
Pixel3

图 11

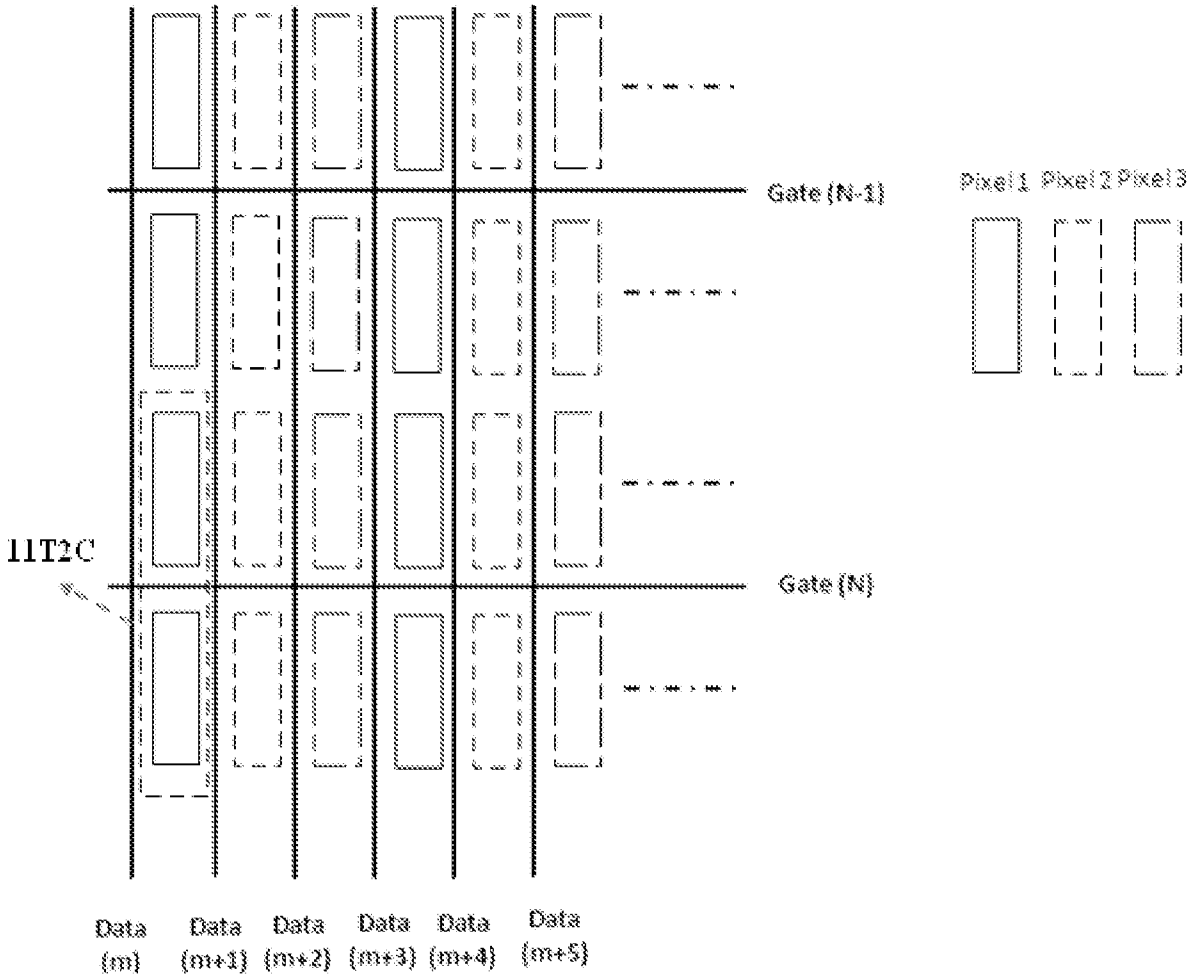

11T2C
Gate (N-1)
Gate (N)
Data (m)
Data (m+1)
Data (m+2)
Data (m+3)
Data (m+4)
Data (m+5)
Pixel1
Pixel2
Pixel3

图 12

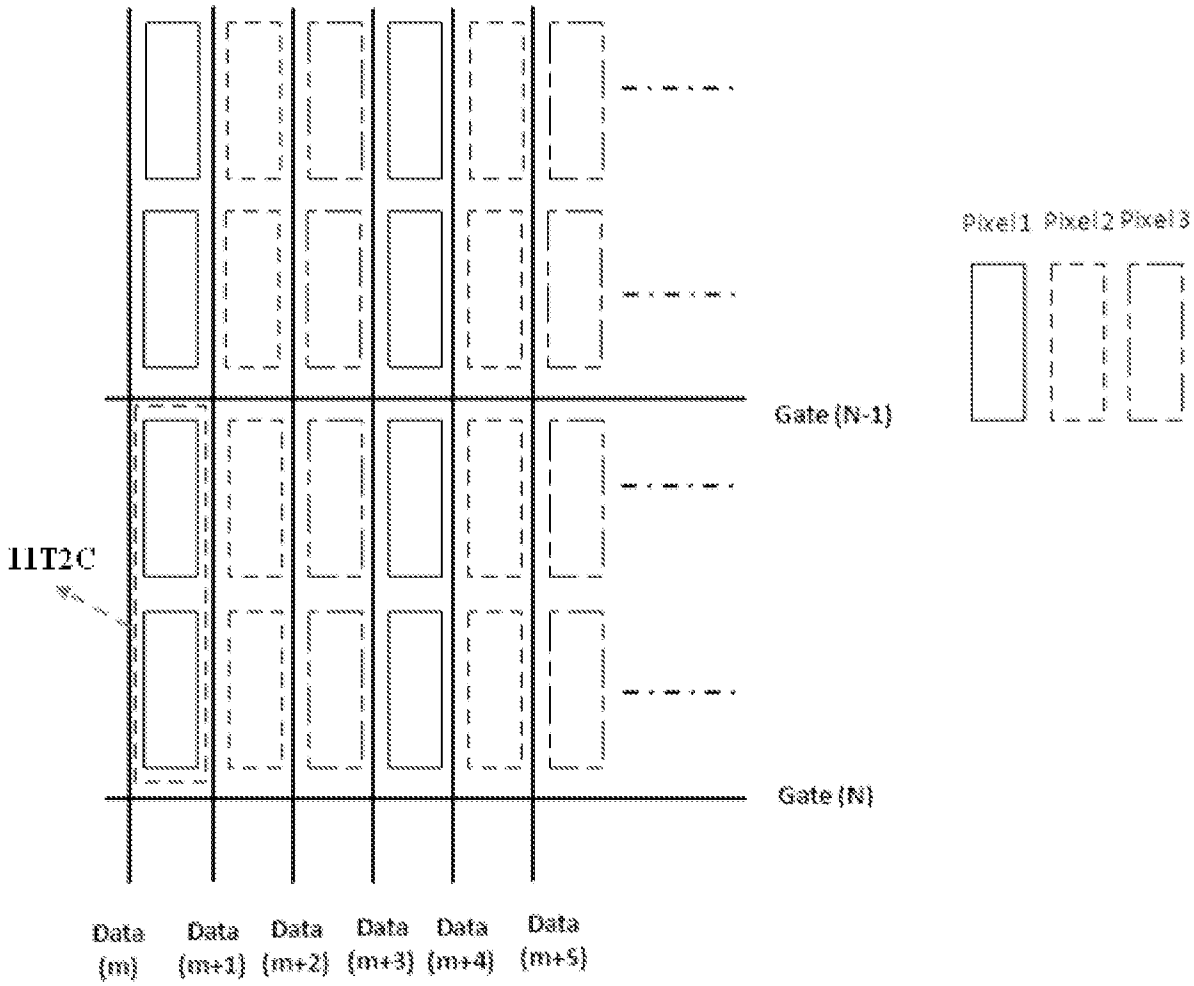

Pixel1
Pixel2
Pixel3
Gate (N-1)
Gate (N)
1IT2C
Data (m)
Data (m+1)
Data (m+2)
Data (m+3)
Data (m+4)
Data (m+5)

图 13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/089018

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: threshold, limit+, compensat+, correct+, adjust+, rectif+, second+, double+, dual+, two, twice, light+, ?LED, electrolum+, EL, sub+, pixel?, driv+, transistor ?, TFT, switch+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 203480808 U (BOE TECHNOLOGY GROUP CO LTD et al.) 12 March 2014 (12.03.2014) description, paragraphs [0068]-[0121] and figures 3-13	1-15
A	US 2011121738 A1 (CANON KK) 26 May 2011 (26.05.2011) the whole document	1-15
A	CN 101048023 A (SAMSUNG SDI CO LTD) 03 October 2007 (03.10.2007) the whole document	1-15
A	TW 201250658 A (UNIV NAT CHAO TUNG) 16 December 2012 (16.12.2012) the whole document	1-15
A	JP 2010127947 A (SONY CORP.) 10 June 2010 (10.06.2010) the whole document	1-15

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 March 2014	06 May 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer JIANG, Yingting Telephone No. (86-10) 62085786

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/089018

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 203480808 U	12 March 2014	None	
US 2011121738 A1	26 May 2011	WO 2009154310 A1	23 December 2009
		JP 2010218903 A	30 September 2010
		JP 2010002756 A	07 January 2010
		JP 2010008907 A	14 January 2010
CN 101048023 A	03 October 2007	US 2007229411 A1	04 October 2007
		JP 2007264587 A	11 October 2007
		EP 1840866 B1	19 September 2012
		EP 1840866 A3	25 March 2009
		EP 1840866 A2	03 October 2007
		CN 100551183 C	14 October 2009
		TW 200737105 A	01 October 2007
		KR 100698703 B1	23 March 2007
TW 201250658 A	16 December 2012	US 2012306374 A1	06 December 2012
JP 2010127947 A	10 June 2010	None	

国际检索报告

国际申请号
PCT/CN2013/089018

A. 主题的分类

G09G 3/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,CNTXT,VEN: 阈值,临界,临限,补偿,补正,修正,校正,第二,两,发光,子,像素,象素,驱动,晶体管,开关,threshold,limit+,compensat+,correct+,adjust+,rectif+,second+,double+,dual+,two,twice,light+,? LED,electrolum+,EL,sub+,pixel?,driv+,transistor?,TFT,switch+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
E	CN 203480808U（（京东方科技集团股份有限公司等））2014年 3月 12日 (2014-03-12) 说明书第[0068]-[0121]段、图3-13	1-15
A	US 2011121738A1（（CANON KK））2011年 5月 26日 (2011-05-26) 全文	1-15
A	CN 101048023A（（三星SDI株式会社））2007年 10月 03日 (2007-10-03) 全文	1-15
A	TW 201250658A（（国立交通大学（中华民国））2012年 12月 16日 (2012-12-16) 全文	1-15
A	JP 2010127947A（（SONY CORP））2010年 6月 10日 (2010-06-10) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2014年 3月 28日	2014年 5月 06日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	受权官员 姜颖婷 电话号码 (86-10)62085786

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/089018

检索报告引用的专利文件		公布日（年/月/日）	同族专利		公布日（年/月/日）
CN	203480808U	2014年 3月 12日	无		
US	2011121738A1	2011年 5月 26日	WO	2009154310A1	2009年 12月 23日
			JP	2010218903A	2010年 9月 30日
			JP	2010002756A	2010年 1月 07日
			JP	2010008907A	2010年 1月 14日
CN	101048023A	2007年 10月 03日	US	2007229411A1	2007年 10月 04日
			JP	2007264587A	2007年 10月 11日
			EP	1840866B1	2012年 9月 19日
			EP	1840866A3	2009年 3月 25日
			EP	1840866A2	2007年 10月 03日
			CN	100551183C	2009年 10月 14日
				TW200737105A	2007年 10月 01日
			KR	100698703B1	2007年 3月 23日
TW	201250658A	2012年 12月 16日	US	2012306374A1	2012年 12月 06日
JP	2010127947A	2010年 6月 10日	无		