(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0016399
(43) 공개일자 2011년02월17일

(51) Int. Cl.
H01L 33/36 (2010.01)
(21) 출원번호 10-2010-0074656
(22) 출원일자 2010년08월02일
심사청구일자 없음
(30) 우선권주장
JP-P-2009-185798 2009년08월10일 일본(JP)

(71) 출원인
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
히라오 나오끼
일본 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
와따나베 도시히꼬
일본 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
(74) 대리인
박충범, 이중희, 장수길

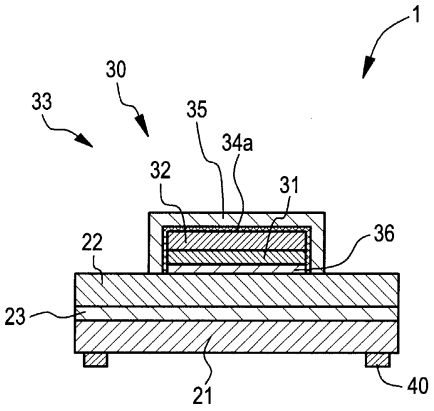
전체 청구항 수 : 총 35 항

(54) 반도체 발광 소자 및 그 제조 방법

(57) 요 약

반도체 발광 소자는 발광부와 상기 발광부 위에 형성된 전극을 포함한다. 상기 전극은, 제1 금속을 포함하며 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층과, 제2 금속을 포함하며 상기 광반사층 바로 위에 형성되는 제1 시드층과, 제3 금속을 포함하며 상기 광반사층 및 상기 제1 시드층의 적어도 측면을 코팅하는 제2 시드층과, 제4 금속을 포함하며 상기 제2 시드층의 적어도 최상면 및 측면을 코팅하는 도금층을 포함한다.

대 표 도 - 도1a



특허청구의 범위

청구항 1

반도체 발광 소자로서,

발광부와,

상기 발광부 위에 형성된 전극을 포함하고,

상기 전극은,

제1 금속을 포함하며 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층과,

제2 금속을 포함하며 상기 광반사층 바로 위에 형성되는 제1 시드층과,

제3 금속을 포함하며 상기 광반사층 및 상기 제1 시드층의 적어도 측면을 코팅하는 제2 시드층과,

제4 금속을 포함하며 상기 제2 시드층의 적어도 최상면 및 측면을 코팅하는 도금층을 포함하는, 반도체 발광 소자.

청구항 2

제1항에 있어서,

상기 제2 시드층은 상기 제1 시드층 바로 위에 형성되고 또한 상기 제1 시드층의 최상면을 코팅하는, 반도체 발광 소자.

청구항 3

제1항에 있어서,

상기 광반사층과 상기 발광부 사이에, 니켈을 포함하는 밀착층이 형성된, 반도체 발광 소자.

청구항 4

제1항에 있어서,

상기 제1 금속, 제2 금속, 제3 금속 및 제4 금속은 서로 다른 금속인, 반도체 발광 소자.

청구항 5

제1항에 있어서,

상기 제3 금속은 Zn이고, 상기 제4 금속은 Ni인, 반도체 발광 소자.

청구항 6

제1항에 있어서,

상기 전극을 피복하도록 형성되며, 상기 전극의 상부면 중 적어도 일부를 노출시키도록 애퍼처가 형성된 절연층과,

상기 전극의 상부면으로부터 상기 절연층 위를 연장하는 접속층을 더 포함하는, 반도체 발광 소자.

청구항 7

제1항에 있어서,

백금을 포함하며 상기 광반사층과 상기 제1 시드층 사이에 제공되는 마이그레이션 블로킹층을 더 포함하고,

상기 제2 시드층은 상기 광반사층, 상기 제1 시드층 및 상기 마이그레이션 블로킹층의 측면을 코팅하고, 또한 상기 제1 시드층의 최상면을 코팅하는, 반도체 발광 소자.

청구항 8

제1항에 있어서,

상기 제1 시드층 바로 위에 형성된 금피복층을 더 포함하고,

상기 제2 시드층은 상기 광반사층, 상기 제1 시드층 및 상기 금피복층의 측면을 코팅하고, 또한 상기 금피복층의 최상면을 코팅하는, 반도체 발광 소자.

청구항 9

제1항에 있어서,

상기 제2 시드층을 형성할 때, 상기 제2 시드층의 상기 제3 금속의 적어도 일부는 상기 제1 시드층의 상기 제2 금속의 적어도 일부를 치환(displace)하는, 반도체 발광 소자.

청구항 10

반도체 발광 소자로서,

제1 도전형을 갖는 제1 반도체층과,

활성층과,

상기 제1 도전형과는 반대인 제2 도전형을 갖는 제2 반도체층을 포함하는 발광부, 및

상기 발광부 위에 형성된 전극을 포함하고,

상기 전극은,

Ag를 포함하고 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층과,

Al을 포함하고 상기 광반사층 위에 형성된 제1 시드층과,

Zn을 포함하고 상기 광반사층과 상기 제1 시드층의 적어도 측면을 코팅하는 제2 시드층과,

Ni을 포함하고 상기 제2 시드층의 적어도 최상면 및 측면을 코팅하는 도금층을 포함하는, 반도체 발광 소자.

청구항 11

제10항에 있어서,

상기 제2 시드층은 상기 제1 시드층 바로 위에 형성되고 또한 상기 제1 시드층의 최상면을 코팅하는, 반도체 발광 소자.

청구항 12

제10항에 있어서,

상기 광반사층과 상기 발광부의 제2 반도체층 사이에 니켈을 포함하는 밀착층이 형성된, 반도체 발광 소자.

청구항 13

제10항에 있어서,

상기 전극을 피복하도록 형성되며, 상기 전극의 상부면 중 적어도 일부를 노출시키도록 애퍼쳐가 형성된 절연층과,

상기 전극의 상부면으로부터 상기 절연층 위를 연장하는 접속층을 더 포함하는, 반도체 발광 소자.

청구항 14

제10항에 있어서,

백금을 포함하며 상기 광반사층과 상기 제1 시드층 사이에 제공되는 마이그레이션 블로킹층을 더 포함하고,

상기 제2 시드층은 상기 광반사층, 상기 제1 시드층 및 상기 마이그레이션 블로킹층의 측면을 코팅하고, 또한

상기 제1 시드층의 최상면을 코팅하는, 반도체 발광 소자.

청구항 15

제10항에 있어서,

상기 제1 시드층 바로 위에 형성된 금피복층을 더 포함하고,

상기 제2 시드층은 상기 광반사층, 상기 제1 시드층 및 상기 금피복층의 측면을 코팅하고, 또한 상기 금피복층의 최상면을 코팅하는, 반도체 발광 소자.

청구항 16

제10항에 있어서,

상기 제2 시드층을 형성할 때, 상기 제2 시드층의 Zn의 적어도 일부는 상기 제1 시드층의 Al의 적어도 일부를 치환하는, 반도체 발광 소자.

청구항 17

반도체 발광 소자의 제조 방법으로서,

발광부를 형성하는 단계, 및

제1 금속을 포함하며 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층을 형성하는 단계와,

상기 광반사층 위에, 제2 금속을 포함하는 제1 시드층을 형성하는 단계와,

상기 광반사층 및 상기 제1 시드층의 적어도 측면에, 제3 금속을 포함하는 제2 시드층을 형성하는 단계와,

상기 제2 시드층의 적어도 최상면 및 측면에, 제4 금속을 포함하는 도금층을 형성하는 단계에 의해, 상기 발광부의 제2 반도체층 위에 전극을 형성하는 단계를 포함하고,

상기 광반사층 및 상기 제1 시드층은 리프트 오프법에 의해 형성되는, 반도체 발광 소자의 제조 방법.

청구항 18

제17항에 있어서,

상기 제1 시드층 바로 위에 제2 시드층을 형성하는 단계를 더 포함하고,

상기 제2 시드층은 상기 제1 시드층의 최상면도 코팅하는, 반도체 발광 소자의 제조 방법.

청구항 19

제17항에 있어서,

상기 광반사층과 상기 발광부 사이에 니켈을 포함하는 밀착층을 형성하는 단계를 더 포함하는, 반도체 발광 소자의 제조 방법.

청구항 20

제17항에 있어서,

상기 제1 금속, 제2 금속, 제3 금속 및 제4 금속은 서로 다른 금속인, 반도체 발광 소자의 제조 방법.

청구항 21

제17항에 있어서,

상기 제3 금속은 Zn이고, 상기 제4 금속은 Ni인, 반도체 발광 소자의 제조 방법.

청구항 22

제17항에 있어서,

상기 전극을 피복하도록 절연층을 형성하고, 상기 전극의 상부면 중 적어도 일부를 노출시키도록 상기 절연층에 애퍼쳐를 형성하는 단계와,

상기 전극의 상부면으로부터 상기 절연층 위를 연장하는 접속층을 형성하는 단계를 더 포함하는, 반도체 발광 소자의 제조 방법.

청구항 23

제17항에 있어서,

백금을 포함하며 상기 광반사층과 상기 제1 시드층 사이에 형성되는 마이그레이션 블로킹층을 형성하는 단계를 더 포함하고,

상기 제2 시드층은 상기 광반사층, 상기 제1 시드층 및 상기 마이그레이션 블로킹층의 측면을 코팅하고, 또한 상기 제1 시드층의 최상면을 코팅하는, 반도체 발광 소자의 제조 방법.

청구항 24

제17항에 있어서,

상기 제1 시드층 바로 위에 금피복층을 형성하는 단계를 더 포함하고,

상기 제2 시드층은 상기 광반사층, 상기 제1 시드층 및 상기 금피복층의 측면을 코팅하고, 또한 상기 금피복층의 최상면을 코팅하는, 반도체 발광 소자의 제조 방법.

청구항 25

제17항에 있어서,

상기 제2 시드층은, 진케이트 처리를 행하여 상기 제1 시드층의 최상면 및 상기 제1 시드층 및 상기 광반사층의 측면에 아연층을 증착함으로써 형성되는, 반도체 발광 소자의 제조 방법.

청구항 26

제17항에 있어서,

상기 제2 시드층을 형성하는 단계에 있어서, 상기 제2 시드층의 상기 제3 금속의 적어도 일부는 상기 제1 시드층의 상기 제2 금속의 적어도 일부를 치환하는, 반도체 발광 소자의 제조 방법.

청구항 27

제26항에 있어서,

상기 도금층을 형성하는 단계에 있어서, 상기 도금층의 상기 제4 금속의 적어도 일부는 상기 제2 시드층의 상기 제3 금속의 적어도 상당한 부분을 치환하는, 반도체 발광 소자의 제조 방법.

청구항 28

반도체 발광 소자의 제조 방법으로서,

제1 도전형을 갖는 제1 반도체층과,

활성층과,

상기 제1 도전형과는 반대인 제2 도전형을 갖는 제2 반도체층을 포함하는 발광부를 형성하는 단계, 및

Ag를 포함하며 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층을 형성하는 단계와,

상기 광반사층 위에 Al을 포함하는 제1 시드층을 형성하는 단계와,

상기 광반사층 및 상기 제1 시드층의 적어도 측면에, Zn을 포함하는 제2 시드층을 증착하는 단계와,

상기 제2 시드층의 적어도 최상면 및 측면에, Ni을 포함하는 도금층을 무전해 도금에 의해 형성하는 단계에 의해, 상기 발광부 위에 전극을 형성하는 단계를 포함하고,

상기 광반사층 및 상기 제1 시드층은 리프트 오프법에 의해 형성되는, 반도체 발광 소자의 제조 방법.

청구항 29

제28항에 있어서,

상기 제1 시드층 바로 위에 제2 시드층을 형성하는 단계를 더 포함하고,

상기 제2 시드층은 상기 제1 시드층의 최상면도 코팅하는, 반도체 발광 소자의 제조 방법.

청구항 30

제28항에 있어서,

상기 광반사층과 상기 발광부의 상기 제2 반도체층 사이에, 니켈을 포함하는 밀착층을 형성하는 단계를 더 포함하는, 반도체 발광 소자의 제조 방법.

청구항 31

제28항에 있어서,

상기 전극을 피복하도록 절연층을 형성하고, 상기 전극의 상부면 중 적어도 일부를 노출시키도록 상기 절연층에 애퍼쳐를 형성하는 단계와,

상기 전극의 상부면으로부터 상기 절연층 위를 연장하는 접속층을 형성하는 단계를 더 포함하는, 반도체 발광 소자의 제조 방법.

청구항 32

제28항에 있어서,

백금을 포함하며 상기 광반사층과 상기 제1 시드층 사이에 형성되는 마이그레이션 블로킹층을 형성하는 단계를 더 포함하고,

상기 제2 시드층은 상기 광반사층, 상기 제1 시드층 및 상기 마이그레이션 블로킹층의 측면을 코팅하고, 또한 상기 제1 시드층의 최상면을 코팅하는, 반도체 발광 소자의 제조 방법.

청구항 33

제28항에 있어서,

상기 제1 시드층 바로 위에 금피복층을 형성하는 단계를 더 포함하고,

상기 제2 시드층은 상기 광반사층, 상기 제1 시드층 및 상기 금피복층의 측면을 코팅하고, 또한 상기 금피복층의 최상면을 코팅하는, 반도체 발광 소자의 제조 방법.

청구항 34

제28항에 있어서,

상기 제2 시드층을 형성하는 단계에 있어서, 상기 제2 시드층의 Zn의 적어도 일부는 상기 제1 시드층의 Al의 적어도 일부를 치환하는, 반도체 발광 소자의 제조 방법.

청구항 35

제34항에 있어서,

상기 도금층을 형성하는 단계에 있어서, 상기 도금층의 Ni의 적어도 일부는 상기 제2 시드층의 Zn의 적어도 상당한 부분을 치환하는, 반도체 발광 소자의 제조 방법.

명 세 서

기 술 분 야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 일본특허출원 제2009-185798호(2009년 8월 10일 출원)에 대한 우선권을 주장하며, 그 전체 내용은 본원에 참조로써 포함된다.

[0003] 본 개시는 반도체 발광 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0004] 도 9에 도시된 바와 같이, 발광 다이오드(LED) 등의 반도체 발광 소자는, 반도체 발광 소자 제조용 기판(이하, 단순히 "기판(10)"으로 칭할 경우가 있음) 상에, n형 도전형을 갖는 제1 화합물 반도체층(21), 활성층(23) 및 p형 도전형을 갖는 제2 화합물 반도체층(22)이, 순차적으로 적층된 볼록 형상의 적층 구조체(20)로 이루어지는 발광부를 갖는다. 그리고, 기판(10) 또는 노출된 제1 화합물 반도체층(21)의 부분(21a)에는 제1 전극(n측 전극)(140)이 제공되고, 제2 화합물 반도체층(22)의 최상면에는 제2 전극(p측 전극)(130)이 제공되어 있다. 이러한 반도체 발광 소자는, 활성층(23)으로부터 제2 화합물 반도체층(22)을 통해서 광이 출사되는 형식의 반도체 발광 소자와, 활성층(23)으로부터 제1 화합물 반도체층(21)을 통해서 광이 출사되는 형식(편의상, 후자를 "보텀 이미션형"으로 칭함)의 2종류로 분류할 수 있다.

[0005] 종래의 보텀 이미션형의 반도체 발광 소자에 있어서는, 발광 효율을 높게 유지하기 위해서, 통상, 도 9에 나타낸 바와 같이, 제2 전극(130)에 대해 활성층(23)으로부터의 가시광을 반사하는 반사 전극이 종종 사용되고 있다. 반사 전극으로서의 제2 전극(130)은, 예를 들어, 아래로부터, 은(Ag)으로 이루어지는 하층(131) 및 니켈(Ni)로 이루어지는 상층(커버 메탈)(132)으로 구성되어 있다(예를 들어, C.H. Chou외, "High thermally stable Ni/Ag(Al) alloy contacts on p-GaN", Applied Physics Letters, 90,022102(2007) 참조). 상층(132)은 하층(131)을 피복하고 있다. 여기서, 하층(131)을 은(Ag)으로 구성함으로써, 높은 광반사율을 달성할 수 있다. 또한, 상층(132)을 니켈(Ni)로 구성함으로써, 하층(131)의 산화에 의한 열화를 방지하고, 또한, 마이그레이션의 발생을 방지하고 있다. 또한, 도 9에서, 참조 번호(141)은 절연층을 나타내고, 참조 번호(142A) 및 참조 번호(142B) 각각은 콘택트부를 나타낸다.

[0006] 통상, 상층(132)은 리프트 오프법(lift-off method)으로 형성된다. 즉, 하층(131)을 형성한 후, 상층(132)을 형성해야 할 부분에 애퍼처(151)를 갖는 레지스트층(150)을 포토리소그래피 기술에 기초하여 형성한다(도 10a 참조). 계속해서, 전체면에, 진공 증착법에 의해 상층(132)을 형성한다(도 10b 참조). 그 후, 레지스트층(150) 및 그 위에 위치된 상층(132)을 제거함으로써, 도 9에 나타내는 제2 전극 구조체를 얻을 수 있다.

[0007] 그러나, 이와 같은 리프트 오프법에 기초하는 상층(커버 메탈)(132)의 형성에 있어서는, 레지스트층(150)에 있어서의 애퍼처(151)의 형성 정밀도에 문제가 발생하고, 큰 위치 정렬 허용 오차가 요구되며, 또한 상층(132)에 의한 하층(131)의 산화 방지나 마이그레이션의 발생 방지를 효과적으로 행할 수 없을 경우가 있다. 특히, 반도체 발광 소자의 크기가 미세할수록, 제2 전극(p측 전극)(130)도 미세화되기 때문에, 이들 문제가 현저하게 된다.

발명의 내용

해결하려는 과제

[0008] 따라서, 특히 제2 전극의 커버 메탈을 높은 신뢰성 및 높은 정밀도를 가지고 형성하는 것을 가능하게 하는 반도체 발광 소자의 제조 방법, 및 이러한 방법을 기초로 얻어진 반도체 발광 소자를 제공할 것이 요구된다.

과제의 해결 수단

[0009] 일 실시형태에서, 반도체 발광 소자는 발광부와 상기 발광부 위에 형성된 전극을 포함한다. 상기 전극은, 제1 금속을 포함하며 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층과, 제2 금속을 포함하며 상기 광반사층 바로 위에 형성되는 제1 시드층과, 제3 금속을 포함하며 상기 광반사층 및 상기 제1 시드층의 적어도 측면을 코팅하는 제2 시드층과, 제4 금속을 포함하며 상기 제2 시드층의 적어도 최상면 및 측면을 코팅하는 도금층을 포함한다.

[0010] 다른 실시형태에서, 반도체 발광 소자는 제1 도전형을 갖는 제1 반도체층, 활성층 및 상기 제1 도전형과는 반대

인 제2 도전형을 갖는 제2 반도체층을 포함하는 발광부를 포함한다. 또한, 반도체 발광 장치는 상기 발광부 위에 형성된 전극을 포함한다. 상기 전극은, Ag를 포함하고 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층과, Al을 포함하고 상기 광반사층 위에 형성된 제1 시드층과, Zn을 포함하고 상기 광반사층과 상기 제1 시드층의 적어도 측면을 코팅하는 제2 시드층과, Ni을 포함하고 상기 제2 시드층의 적어도 최상면 및 측면을 코팅하는 도금층을 포함한다.

[0011] 또 다른 실시형태에서, 반도체 발광 소자의 제조 방법은 발광부를 형성하는 단계 및 상기 발광부의 제2 반도체층 위에 전극을 형성하는 단계를 포함한다. 상기 전극을 형성하는 단계는, 제1 금속을 포함하며 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층을 형성하는 단계와, 상기 광반사층 위에, 제2 금속을 포함하는 제1 시드층을 형성하는 단계와, 상기 광반사층 및 상기 제1 시드층의 적어도 측면에, 제3 금속을 포함하는 제2 시드층을 형성하는 단계와, 상기 제2 시드층의 적어도 최상면 및 측면에, 제4 금속을 포함하는 도금층을 형성하는 단계를 포함한다. 상기 광반사층 및 상기 제1 시드층은 리프트 오프법에 의해 형성된다.

[0012] 또 다른 실시형태에서, 반도체 발광 소자의 제조 방법은, 제1 도전형을 갖는 제1 반도체층, 활성층, 상기 제1 도전형과는 반대인 제2 도전형을 갖는 제2 반도체층을 포함하는 발광부를 형성하는 단계를 포함한다. 또한, 상기 방법은, Ag를 포함하며 상기 발광부로부터 출사된 광을 반사하도록 구성된 광반사층을 형성하는 단계와, 상기 광반사층 위에, Al을 포함하는 제1 시드층을 형성하는 단계와, 상기 광반사층 및 상기 제1 시드층의 적어도 측면에, Zn을 포함하는 제2 시드층을 증착하는 단계와, 상기 제2 시드층의 적어도 최상면 및 측면에, Ni을 포함하는 도금층을 무전해 도금에 의해 형성하는 단계에 의해, 상기 발광부 위에 전극을 형성하는 단계를 포함한다. 상기 광반사층 및 상기 제1 시드층은 리프트 오프법에 의해 형성된다.

발명의 효과

[0013] 상기 실시형태들에 따른 반도체 발광 소자 또는 그 제조 방법에 있어서는, 제2 시드층(예컨대, Zn층)의 최상면 및 측면 위에 도금층(예컨대, Ni층)이 형성되어 있다. 즉, 제2 시드층 전체는, 커버 메탈로서의 도금층에 의해 피복되어 있다. 이 도금층은, 상기 전극에 대하여 자기 정합적으로 형성된다. 따라서, 형성 정밀도에 문제가 발생하는 일이 없고, 위치 정렬 허용 오차를 고려할 필요도 없다. 게다가, 제2 시드층 전체를 도금층에 의해 확실하게 피복할 수 있기 때문에, 제2 시드층의 산화 또는 마이그레이션의 발생을 방지할 수 있어, 높은 신뢰성을 갖는 반도체 발광 소자를 제공할 수 있다. 특히, 반도체 발광 소자의 크기가 미세해질수록, 상기 전극의 크기도 미세하게 되기 때문에, 상기 실시형태들에 따른 현저한 효과가 발휘된다.

[0014] 추가의 특징 및 이점은 본 명세서에 기술되어 있으며, 이들은 이하의 상세한 설명 및 도면으로부터 명확하게 된다.

도면의 간단한 설명

[0015] 도 1a 및 도 1b는, 실시예1의 반도체 발광 소자의 모식적인 단면도.

도 2a 및 도 2b는, 실시예1의 반도체 발광 소자의 제조 방법을 설명하기 위한 적층 구조체 등의 모식적인 일부 단면도.

도 3a 및 도 3b는, 도 2b에 계속되어, 실시예1의 반도체 발광 소자의 제조 방법을 설명하기 위한 적층 구조체 등의 모식적인 일부 단면도.

도 4a 및 도 4b는, 실시예2의 화상 표시 장치의 제조 방법을 설명하기 위한 반도체 발광 소자 등의 모식적인 일부 단면도.

도 5a 및 도 5b는, 도 4b에 계속되어, 실시예2의 화상 표시 장치의 제조 방법을 설명하기 위한 반도체 발광 소자 등의 모식적인 일부 단면도.

도 6a 및 도 6b는, 도 5b에 계속되어, 실시예2의 화상 표시 장치의 제조 방법을 설명하기 위한 반도체 발광 소자 등의 모식적인 일부 단면도.

도 7은, 도 6b에 계속되어, 실시예2의 화상 표시 장치의 제조 방법을 설명하기 위한 반도체 발광 소자 등의 모식적인 일부 단면도.

도 8a 및 도 8b는, 실시예3 및 실시예4의 반도체 발광 소자의 모식적인 단면도.

도 9는, 종래의 반도체 발광 소자의 모식적인 일부 단면도.

도 10a 및 도 10b는, 도 9에 나타낸 종래의 반도체 발광 소자의 제조 단계의 일부를 나타내는 기판 등의 모식적인 일부 단면도.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 첨부 도면을 참조하여, 아래의 실시예에 기초한 실시형태를 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0017] 1. 실시형태에 따른 반도체 발광 소자 및 그 제조 방법, 및 그 전반에 관한 설명

[0018] 2. 실시예1(실시형태에 따른 반도체 발광 소자 및 그 제조 방법)

[0019] 3. 실시예2(실시예1의 변형)

[0020] 4. 실시예3(실시예1의 다른 변형)

[0021] 5. 실시예4(실시예1의 다른 변형)

[0022] 6. 실시예5(실시예1의 다른 변형)

[0023] 7. 실시예6(실시예1의 다른 변형 및 그 외)

[0024] [실시형태에 따른 반도체 발광 소자 및 그 제조 방법]

[0025] 일 실시형태에 있어서, 반도체 발광 소자의 제조 방법은, (A) 제1 도전형을 갖는 제1 화합물 반도체층을 포함하는 적층 구조체를 형성하는 단계와, 화합물 반도체층으로 이루어지는 활성층을 상기 제1 화합물 반도체층 위에 형성하는 단계와, 상기 제1 도전형과는 다른 제2 도전형을 갖는 제2 화합물 반도체층을 상기 활성층 위에 형성하는 단계를 포함한다. 상기 방법은 또한, (B) 상기 제1 화합물 반도체층에 전기적으로 접속된 제1 전극을 형성하는 단계, 및 (C) 상기 제2 화합물 반도체층 위에 제2 전극을 형성하는 단계도 포함한다. 이 실시형태에 있어서, 제2 전극을 형성하는 단계(C)는, (a) 제2 전극 구조체를 형성하는 단계, (b) 제2 시드층 또는 제2 시드 영역을 형성하는 단계, 및 (c) 도금층을 형성하는 단계를 포함한다. 제2 전극 구조체를 형성하는 단계(a)는, 상기 활성층으로부터의 광을 반사시킬 수 있으며 도전성 재료로 된 광반사층의 적층체를 형성하는 단계와, 상기 제2 화합물 반도체층측으로부터 상기 광반사층에 포함된 금속과는 다른 금속을 포함하는 제1 시드층을 형성하는 단계를 포함한다. 상기 제2 전극 구조체와 도금층 사이에 제2 시드층 또는 제2 시드 영역을 형성하는 단계(b)는, 상기 광반사층, 상기 제1 시드층 및 상기 도금층에 포함된 금속과는 다른 금속을 포함하는 제2 시드층을 형성하는 단계를 포함한다. 또한, 도금층을 형성하는 단계(c)는, 상기 제2 전극 구조체의 최상면 및 측면에 상기 광반사층 및 상기 제1 시드층에 포함된 금속과는 다른 금속을 포함하는 도금층을 형성하는 단계를 포함한다.

[0026] 본 실시형태에 따른 반도체 발광 소자의 제조 방법에 있어서는, 상기 단계(b)에 있어서, 제2 전극 구조체에 진케이트(zincate) 처리를 실시함으로써, 제2 전극 구조체의 최상면 및 측면 위에 제2 시드층으로서의 아연층을 증착시키고, 상기 단계(c)에 있어서, 제2 전극 구조체의 최상면 및 측면에 무전해 니켈 도금을 실시함으로써, 제2 전극 구조체의 최상면 및 측면 위에 니켈층(무전해 니켈 도금층)을 형성하는 구성을 채택할 수 있다.

[0027] 그리고, 본 실시형태에 따른 이와 같은 바람직한 형태를 포함하는 반도체 발광 소자의 제조 방법에 있어서는, 상기 단계(a)와 단계(b) 사이에 있어서, 제2 전극 구조체에 산소 플라즈마 처리를 실시하는 단계를 더 포함할 수 있고, 이에 의해, 제2 전극 구조체의 표면이 균일하게 산화된다. 그 결과, 진케이트 처리에 의해 증착되는 아연층의 균일화를 도모할 수 있다. 또한, 이러한 단계 및 상기의 바람직한 형태를 포함하는 본 실시형태에 따른 반도체 발광 소자의 제조 방법에 있어서는, 상기 단계(b)와 단계(c) 사이에 있어서, 상기 단계(b)에서의 진케이트 처리에 의해 증착된 아연층을 제거한 후, 제2 전극 구조체에 제2회째의 진케이트 처리를 실시하고, 이에 의해 제2 전극 구조체의 최상면 및 측면 위에 아연층을 증착시키는 구성을 채택할 수 있다. 이 경우, 상기 단계(b)와 단계(c) 사이에 있어서, 상기 단계(b)에서의 진케이트 처리에 의해서 증착된 아연층을 산을 사용하여 제거하는 구성으로 할 수 있다. 단계(b)에서의 진케이트 처리에 의해서 증착된 아연층을, 일단 제거한 후, 제2회째의 진케이트 처리를 적용함으로써, 제2 전극 구조체와 니켈층 사이의 보다 높은 밀착성 및 균일성을 얻을 수 있다. 여기서, 아연층을 제거하기 위해 사용되는 산으로서는, 황산 및 질산과 같이, 은을 포함하는 제1층 및 알루미늄을 포함하는 제2층으로 구성된 제2 전극 구조체에 손상을 발생시키지 않는 산을 사용하는 것이 바람직하다.

[0028] 이상 설명한 바람직한 형태, 구성 및 단계를 포함하는 본 실시형태에 따른 반도체 발광 소자의 제조 방법은, 상기 단계(a)에 있어서, 제1층, 마이그레이션 블로킹층 및 제2층으로 구성된 제2 전극 구조체를 형성하는 형태를 채택할 수 있다. 또한, 본 실시형태에 따른 반도체 발광 소자에 있어서는, 제2 전극 구조체에 있어서, 제1층과 제2층 사이에 마이그레이션 블로킹층이 제공되는 형태를 채택할 수 있다. 이와 같이, 제1층과 제2층 사이에 마이그레이션 블로킹층을 제공함으로써, 제1층을 구성하는 은 원자의 마이그레이션 발생을 억제할 수 있다. 마이그레이션 블로킹층은, 예를 들어, 백금(Pt) 또는 금(Au)으로 구성될 수 있다.

[0029] 다르게는, 이상으로 설명한 바람직한 형태, 구성 및 단계를 포함하는 본 실시형태에 따른 반도체 발광 소자의 제조 방법은, 상기 단계(a)에 있어서, 제2층과 접촉하는 합금화층을 형성한 후, 열처리를 적용함으로써, 제2층에 포함되는 알루미늄과 합금화층에 포함되는 금속 사이의 합금화를 촉진함으로써, 알루미늄 합금으로 이루어지는 제2층을 얻는 형태를 채택할 수 있다. 또한, 본 실시형태에 따른 반도체 발광 소자에 있어서는, 제2층은 알루미늄 합금으로 이루어지는 형태를 채택할 수 있다. 이와 같이, 제2층을 알루미늄 합금으로 구성함으로써, 진케이트 처리에 있어서의 알루미늄(Al)이 아연(Zn)에 의해 치환되는 속도(치환 속도)를 제어할 수 있고, 균일한 아연층의 형성, 니켈층(무전해 니켈 도금층)의 비정상적인 증착이나 증착 형상의 비정상적인 발생을 방지할 수 있고, 균일한 니켈층(무전해 니켈 도금층)을 형성할 수 있다. 또한, 치환 속도를 제어함으로써, 제1층에 대해 발생하는 악영향(제1층을 구성하는 은이 용출하거나, 제1층이 사이드 에칭되는 현상의 발생)을 방지할 수 있다. 합금화층을 구성하는 재료로서는, 금(Au), 구리(Cu), 은(Ag), 티타늄(Ti), 팔라듐(Pd) 및 백금(Pt)을 예로 들 수 있다. 합금화층은 제2층의 바로 아래에 형성해도 되고, 제2층의 바로 위에 형성해도 된다.

[0030] 다르게는, 이상으로 설명한 바람직한 형태, 구성 및 단계를 포함하는 본 실시형태에 따른 반도체 발광 소자의 제조 방법은, 상기 단계(a)에 있어서, 제2층 위에 피복층을 형성함으로써, 제1층, 제2층 및 피복층으로 이루어지는 제2 전극 구조체를 얻은 후, 상기 단계(b)에 있어서, 제2 전극 구조체에 진케이트 처리를 실시하여, 제2 전극 구조체의 최상면 및 측면 위에 아연층을 증착시키는 형태를 채택할 수 있다. 또한, 본 실시형태에 따른 반도체 발광 소자에 있어서는, 제2 전극 구조체에 있어서, 제2층의 최상면에 피복층이 제공되는 형태를 채택할 수 있다. 이와 같이, 제2층의 최상면에 피복층을 제공함으로써, 진케이트 처리에 있어서의 알루미늄(Al)이 아연(Zn)에 의해 치환되는 치환량을 제어할 수 있고, 균일한 아연층이 형성될 수 있고, 니켈층(무전해 니켈 도금층)의 비정상적인 증착이나 증착 형상의 비정상적인 발생을 방지할 수 있고, 균일한 무전해 니켈 도금층을 형성할 수 있다. 또한, 치환량을 제어함으로써, 제1층에 대한 악영향(예컨대, 제1층을 구성하는 은이 용출하거나, 제1층이 사이드 에칭되는 현상의 발생)을 없앨 수 있다. 피복층을 구성하는 재료로서는, 금(Au), 철(Fe), 니켈(Ni), 티타늄(Ti), 은(Ag), 팔라듐(Pd), 구리(Cu), 백금(Pt) 및 크롬(Cr)과 같이, 진케이트 처리에 의해 아연이 증착되지 않는 금속을 예로 들 수 있다.

[0031] 이상 설명한 바람직한 형태, 구성 및 단계를 포함하는 본 실시형태에 따른 반도체 발광 소자의 제조 방법(이하, 이들 방법을 총칭하여, 본 실시형태의 제조 방법이라고 칭함)은, 상기 단계(a)와 단계(b)의 사이에 있어서, 제2 전극 구조체에 대하여, 주지의 산화막 제거 처리를 실시하는 단계를 더 포함할 수 있다.

[0032] 이상 설명한 바람직한 형태, 구성 및 단계를 포함하는 본 실시형태에 따른 반도체 발광 소자의 제조 방법, 이상 설명한 바람직한 형태 및 구성을 포함하는 본 실시형태에 따른 반도체 발광 소자에 있어서는, 제1 도전형을 n형, 제2 도전형을 p형으로 해도 되고, 제1 도전형을 p형, 제2 도전형을 n형으로 해도 된다.

[0033] 일 실시형태에 따른 반도체 발광 소자에 있어서, 광반사층에 포함되는 금속으로서 은(Ag)을 예로 들 수 있고, 제1 시드층에 포함되는 금속으로서 알루미늄(Al)을 예로 들 수 있고, 도금층에 포함되는 금속으로서 니켈(Ni)을 예로 들 수 있고, 제2 시드 영역에 포함되는 금속으로서 아연(Zn)을 예로 들 수 있다.

[0034] 본 실시형태에 있어서, 진케이트 처리 그 자체는, 주지의 진케이트 처리로 할 수 있다. 진케이트 처리에 있어서는, 진케이트 처리액에 제2 전극 구조체(또는 제2 전극 구조체를 포함하는 적층 구조체 전체)를 침지함으로써, 알루미늄이 아연에 의해 치환되어, 아연층이 증착된다. 이 아연층은, 제2층을 피복할뿐만아니라, 제1층(구체적으로는, 노출된 제1층의 측면)도 피복한다. 또한, 제2층 위에 피복층을 형성했을 경우라도, 아연층은, 노출된 제2층의 측면을 피복할뿐만아니라, 제1층(구체적으로는, 노출된 제1층의 측면) 및 피복층의 최상면과 측면도 피복한다. 즉, 제2 전극 구조체 전체가 아연층에 의해 피복된다. 제2 전극 구조체에 대한 무전해 니켈 도금에 의해, 아연이 니켈에 의해 치환되어, 니켈층이 증착되고, 아연층의 상당한 부분은 소멸한다. 그러나, 최종적으로 아연층은 남겨진다. 남겨진 아연층은 층상의 부분을 포함할 수도 있고 또는 섬 형상의 부분도 포함할 수 있으므로, "아연을 포함하는 영역"이라고 표현한다.

[0035] 본 실시형태에 있어서, 제1층 또는 광반사층은, 구체적으로는, 순은층 또는 은합금층으로 이루어진다. 은합금

으로서는, 인듐(In)을 1중량% 이하 함유하는 은합금; 팔라듐을 0.1중량% 내지 10중량% 함유하고, 또한, 구리, 알루미늄, 금, 백금, 탄탈륨, 크롬, 티타늄, 니켈, 코발트 및 규소로부터 구성된 군으로부터 선택된 적어도 1종류의 원소를 0.1중량% 내지 3중량% 함유하는 은합금을 예시할 수 있다. 또한, 제2층 또는 제1 시드층은, 구체적으로는, 순알루미늄층 또는 알루미늄 합금층으로 이루어진다. 알루미늄 합금으로서는, Al/Au 이외에도, Al/Cu 및 Al/Co/Ni/C를 예시할 수 있다.

[0036] 제1층과 제2 화합물 반도체층 사이에, 예를 들어, 니켈(Ni)로 이루어지는 밀착층을 형성해도 된다. 그러나, 밀착층의 형성은 필수적이지 않다.

[0037] 피복층, 합금화층 및 밀착층을 포함하는 제2 전극 구조체는, 각종 PVD법 또는 각종 CVD법에 의해 형성할 수 있다. PVD법으로서는, (a) 전자 빔 가열법, 저항 가열법, 플래시 증착법 및 펄스 레이저 데포지션(PLD)법 등의 각종 진공 증착법, (b) 플라즈마 진공 증착법, (c) 2극 스퍼터링법, 직류 스퍼터링법, 직류 마그네트론 스퍼터링법, 고주파 스퍼터링법, 마그네트론 스퍼터링법, 이온 빔 스퍼터링법 및 바이어스 스퍼터링법 등의 각종 스퍼터링법, (d) DC(Direct Current)법, RF법, 다음극(multi-cathode)법, 활성화 반응법, HCD(Hollow Cathode Discharge)법, 전계 증착법, 고주파 이온 플레이팅법 및 반응성 이온 플레이팅법 등의 각종 이온 플레이팅법, (e) IVD법(이온 진공 증착법)을 예로 들 수 있다. 또한, CVD법으로서는, 상압 CVD법, 감압 CVD법, 열 CVD법, 플라즈마 CVD법, 광 CVD법 및 레이저 CVD법을 예로 들 수 있다. 제2 전극 구조체를 구성하는 제1층 및 제2층 등을, 순차적으로 성막한 후, 제2층, 제1층 등을 패터닝함으로써, 제2 전극 구조체를 얻을 수 있다. 또한, 소위 리프트 오프법에 기초하여 제2 전극 구조체를 얻을 수도 있다.

[0038] 본 실시형태에 있어서는, 제1 전극으로서, 예를 들어, Ti, TiW, TiMo, Ti/Ni/Au, Ti/Pt/Au, (Ti/)TiW/Pt/Au, (Ti/)TiW/Pd/TiW/Pt/Au, Al, 알루미늄 합금, AuGe 및 AuGe/Ni/Au를 예로 들 수 있다. 또한, "/" 앞의 층은 활성층 가까이에 위치한다. 다르게는, 제1 전극을, ITO, IZO, ZnO:Al 및 ZnO:B와 같은 투명한 도전 재료로 구성할 수도 있다. 제1 전극은, 제1 화합물 반도체층에 전기적으로 접속되어 있지만, 제1 전극을 제1 화합물 반도체층 상에 형성해도 되고, 반도체 발광 소자 제조용 기판이 도전성을 갖고 있는 경우, 반도체 발광 소자 제조용 기판 상에 제1 전극을 형성해도 된다. 제1 전극이나 제2 전극(이러한 전극의 연장부를 포함함)에 대하여, 필요에 따라, 예를 들어, (Ti층)/(Pt층)/(Au층) 등, [접착층(예를 들어, Ti층, Cr층 등)]/[배리어 메탈층(예를 들어, Pt층, Ni층, TiW층, Mo층 등)]/[실장에 대하여 융화성이 우수한 금속층(예를 들어, Au층)]과 같은 적층 구성으로 한 다층 메탈층으로 이루어지는 접속층이나 콘택트부(패드부)를 설치해도 된다. 제1 전극, 접속층 및 콘택트부(패드부)는, 예를 들어, 진공 증착법 및 스퍼터링법과 같은 각종 PVD법, 각종 CVD법 또는 도금법에 의해 형성할 수 있다.

[0039] 반도체 발광 소자의 제조에 있어서는, 반도체 발광 소자 제조용 기판을 사용한다. 반도체 발광 소자 제조용 기판으로서는, GaAs 기판, GaN 기판, SiC 기판, 알루미나 기판, 사파이어 기판, ZnS 기판, ZnO 기판, AlN 기판, LiMgO 기판, $LiGaO_2$ 기판, $MgAl_2O_4$ 기판, InP 기판, Si 기판, Ge 기판, GaP 기판, AlP 기판, InN 기판, AlGaInN 기판, AlGaN 기판, AlInN 기판, GaInN 기판, AlGaInP 기판, AlGaP 기판, AlInP 기판, GaInP 기판 및 전술한 기판의 표면(주면)에 하지층이나 버퍼층을 형성함으로써 얻어지는 기판을 예로 들 수 있다.

[0040] 본 실시형태에 있어서, 반도체 발광 소자는 반도체 발광 소자 제조용 기판 상에 제공되지만, 반도체 발광 소자 제조용 기판은 최종적으로 제거될 경우도 있고, 최종적으로 남겨질 경우도 있다. 또한, 반도체 발광 소자의 최종 형태로서는, 지지 기판이나 실장용 기판에 반도체 발광 소자가 실장되어 있는 형태를 들 수도 있다. 지지 기판 및 실장용 기판의 예로는, 유리판, 금속판, 합금판, 세라믹판, 플라스틱판 및 플라스틱 필름을 들 수 있다. 지지 기판이나 실장용 기판에 배선을 설치함으로써, 제2 전극 또는 제1 전극을 배선에 접속해도 된다.

[0041] 본 실시형태에 있어서, 활성층을 포함하는 각종 화합물 반도체층으로서, 예를 들어, GaN계 화합물 반도체(AlGaN 혼성 결정, AlGaInN 혼성 결정 또는 GaInN 혼성 결정을 포함함), GaInNAs계 화합물 반도체(GaInAs 혼성 결정 또는 GaNAs 혼성 결정을 포함함), AlGaInP계 화합물 반도체, AlAs계 화합물 반도체, AlGaInAs계 화합물 반도체, AlGaAs계 화합물 반도체, GaInAs계 화합물 반도체, GaInAsP계 화합물 반도체, GaInP계 화합물 반도체, GaP계 화합물 반도체, InP계 화합물 반도체, InN계 화합물 반도체 및 AlN계 화합물 반도체를 예시할 수 있다. 화합물 반도체층에 첨가되는 n형 불순물로서는, 예를 들어, 규소(Si), 셀레늄(Se), 게르마늄(Ge), 주석(Sn), 탄소(C) 및 티타늄(Ti)을 들 수 있고, 화합물 반도체층에 첨가되는 p형 불순물로서는, 아연(Zn), 마그네슘(Mg), 베릴륨(Be), 카드뮴(Cd), 칼슘(Ca), 바륨(Ba) 및 산소(O)를 들 수 있다. 활성층은 단일의 화합물 반도체층으로 구성되어 있어도 되고, 활성층은 단일 양자 웰 구조[QW 구조] 또는 다중 양자 웰 구조[MQW 구조]를 갖고 있어도 된다. 활성층을 포함하는 각종 화합물 반도체층의 형성 방법(성막 방법)으로서는, 유기 금속 화학적 기상 성장법

(MOCVD법 또는 MOVPE법), 유기 금속 분자선 애피택시법(MOMBE법) 및 할로겐이 수송 또는 반응에 기여하는 하이드라이드 기상 성장법(HVPE법)을 들 수 있다.

[0042] 화합물 반도체층을 형성하기 위한 MOCVD법에 있어서의 가스로서는, 주지의 가스, 예를 들어, 트리메틸갈륨(TMG) 가스, 트리에틸갈륨(TEG) 가스, 트리메틸알루미늄(TMA) 가스, 트리메틸인듐(TMI) 가스 및 아르신(arsin)(AsH_3) 등을 들 수 있다. 예를 들어, 질소원인 가스로서 암모니아 가스 및 히드라진 가스를 들 수 있다. 또한, 예를 들어, n형 불순물(n형 도펀트)로서, 규소(Si)를 첨가할 경우에는 Si원으로서 모노실란 가스(SiH_4 가스)를 사용하면 되고, n형 불순물(n형 도펀트)로서, 셀레늄(Se)을 첨가할 경우에는 Se원으로서 H_2Se 가스를 사용하면 된다. 한편, p형 불순물(p형 도펀트)로서, 마그네슘(Mg)을 첨가할 경우에는, Mg원으로서 시클로펜타디에닐마그네슘 가스, 메틸시클로펜타디에닐 마그네슘 또는 비스시클로펜타디에닐마그네슘(Cp_2Mg)을 사용하면 되고, p형 불순물(p형 도펀트)로서, 아연(Zn)을 첨가할 경우에는, Zn원으로서 디메틸아연(DMZ)을 사용하면 된다. 또한, n형 불순물(n형 도펀트)로서, Si 이외에, Ge, Se, Sn, C 및 Ti를 들 수 있고, p형 불순물(p형 도펀트)로서, Mg 이외에, Zn, Cd, Be, Ca, Ba 및 O를 들 수 있다. 또한, 적색 반도체 발광 소자의 제조에 있어서는, 사용하는 가스로서, 트리메틸알루미늄(TMA), 트리에틸알루미늄(TEA), 트리메틸갈륨(TMG), 트리에틸갈륨(TEG), 트리메틸인듐(TMI), 트리에틸인듐(TEI), 포스핀(PH_3), 아르신(arsine), 디메틸아연(DMZ), 디에틸아연(DEZ), H_2S, 셀렌화수소(H_2Se) 및 비스시클로펜탄디에틸아연을 예시할 수 있다.

[0043] 본 실시형태에 있어서, 반도체 발광 소자로서, 구체적으로는, 발광 다이오드(LED)를 구성할 수 있다. 여기서, 발광 다이오드의 크기, 구체적으로는, 활성층의 면적 S_1은, $3\times10^{-11}m^2 \leq S_1 \leq 3\times10^{-7}m^2$, 바람직하게는, $1\times10^{-10}m^2 \leq S_1 \leq 1\times10^{-9}m^2$이다. 본 실시형태에서는, 제1 화합물 반도체층을 통해서 활성층으로부터의 광이 외부로 출사되는 형태로 하는 것이 바람직하다.

[0044] 본 실시형태에 있어서, 반도체 발광 소자는, 전술한 바와 같이, 실장용 기판에 실장된다. 이 경우, 실장용 기판에 실장해야 할 반도체 발광 소자는 복수이며, 반도체 발광 소자를 구비한 제품에 요구되는 사양, 용도, 기능 등에 따라, 반도체 발광 소자의 수, 종류, 실장(배치), 간격 등을 정하면 된다. 실장용 기판에 반도체 발광 소자를 실장함으로써 얻어지는 제품으로서는, 예를 들어, 화상 표시 장치, 반도체 발광 소자를 사용한 백라이트 및 조명 장치를 들 수 있다. 적색 반도체 발광 소자(적색 발광 다이오드), 녹색 반도체 발광 소자(녹색 발광 다이오드) 및 청색 반도체 발광 소자(청색 발광 다이오드)로서는, 예를 들어, 질화물계 Ⅲ-Ⅴ족 화합물 반도체를 사용한 것을 사용할 수 있고, 적색 반도체 발광 소자(적색 발광 다이오드)로서는, 예를 들어, AlGaInP계 화합물 반도체를 사용한 것을 사용할 수도 있다. 또한, 반도체 발광 소자에 의해, 구체적으로는, 예를 들어, 발광 다이오드(LED) 이외에도, 단면(edge) 발광형의 반도체 레이저 또는 면 발광 레이저 소자(수직 공진기 레이저:VCSEL)를 구성할 수 있다.

[0045] [실시예1]

[0046] 실시예1은, 일 실시형태에 따른 반도체 발광 소자의 제조 방법 및 반도체 발광 소자에 관한 것이다. 실시예1에 있어서, 반도체 발광 소자(1)는, 구체적으로는, 발광 다이오드로 이루어진다.

[0047] 도 1a 및 도 1b에 모식적인 단면도를 나타낸 바와 같이, 실시예1의 반도체 발광 소자(1)는,

[0048] (A) 제1 도전형(구체적으로는, 실시예1에 있어서는 n형)을 갖는 제1 화합물 반도체층(21), 제1 화합물 반도체층(21) 위에 형성되고, 화합물 반도체층으로 이루어지는 활성층(23) 및 활성층(23) 위에 형성되고, 제1 도전형과는 다른 제2 도전형(구체적으로는, 실시예1에 있어서는 p형)을 갖는 제2 화합물 반도체층(22)으로 구성된 적층 구조체(발광부)(20),

[0049] (B) 제1 화합물 반도체층(21)에 전기적으로 접속된 제1 전극(n측 전극)(40) 및

[0050] (C) 제2 화합물 반도체층(22) 위에 형성된 제2 전극(p측 전극)(30)을 구비하고 있다.

[0051] 여기서, 제2 전극(30)은,

[0052] 제2 화합물 반도체층(22)측으로부터, 은을 포함하는 제1층(31) 및 알루미늄을 포함하는 제2층(32)으로 구성된 제2 전극 구조체(33), 및

[0053] 제2 전극 구조체(33)의 최상면 및 측면 위에 형성된 니켈층(35)으로 구성되어 있다.

[0054] 도 1b는, 도 1a에 나타낸 반도체 발광 소자를 지지 기판(50)에 설치한 상태를 나타내고 있다.

[0055] 제2 전극 구조체(33)의 최상면 및 측면과, 니켈층(35)과의 사이에, 아연을 포함하는 영역(34a)을 더 갖는다. 다르게는, 니켈층(35)은, 제2 전극 구조체(33)에 대한 진케이트 처리에 기초하는 제2 전극 구조체(33) 위에 있어서의 아연층(34)의 증착 및 여기에 계속되는 무전해 니켈 도금 처리에 의해 형성된다.

[0056] 다르게는, 실시예1의 반도체 발광 소자는,

[0057] (A) 제1 도전형(n형)을 갖는 제1 화합물 반도체층(21), 제1 화합물 반도체층(21) 위에 형성되고, 화합물 반도체층으로 이루어지는 활성층(23) 및 활성층(23) 위에 형성되고, 제1 도전형과는 다른 제2 도전형(p형)을 갖는 제2 화합물 반도체층(22)으로 구성된 적층 구조체(20),

[0058] (B) 제1 화합물 반도체층(21)에 전기적으로 접속된 제1 전극(n측 전극)(40) 및

[0059] (C) 제2 화합물 반도체층(22) 위에 형성된 제2 전극(p측 전극)(30)을 구비하고 있다.

[0060] 여기서, 제2 전극(30)은,

[0061] 제2 화합물 반도체층(22)측으로부터, 활성층(23)으로부터의 광을 반사하고, 도전 재료로 이루어지는 광반사층(31) 및 광반사층(31)에 포함되는 금속과는 다른 금속을 포함하는 제1 시드층(32)이 적층되어서 이루어지는 제2 전극 구조체(33), 및,

[0062] 제2 전극 구조체(33)의 최상면 및 측면 위에 형성되고, 광반사층(31) 및 제1 시드층(32)에 포함되는 금속과는 다른 금속을 포함하는 도금층(35)으로 구성되어 있고,

[0063] 제2 전극(30)은, 또한, 제2 전극 구조체(33)와 도금층(35)과의 사이에 위치하고, 광반사층(31), 제1 시드층(32) 및 도금층(35)에 포함되는 금속과는 다른 금속을 포함하는 제2 시드 영역(34a)을 더 포함한다.

[0064] 여기서, 광반사층(31)에 포함되는 금속은 은(Ag)이며, 제1 시드층(32)에 포함되는 금속은 알루미늄(Al)이며, 도금층(35)에 포함되는 금속은 니켈(Ni)이며, 제2 시드 영역(34a)에 포함되는 금속은 아연(Zn)이다. 보다 구체적으로는, 실시예1에 있어서는, 제1층 또는 광반사층(31)은 순은층으로 이루어지고, 제2층 또는 제1 시드층(32)은 순알루미늄층으로 이루어진다. 또한, 제1층(31)과 제2 화합물 반도체층(22)과의 사이에, 니켈(Ni)로 이루어지는 밀착층(36)이 형성된다.

[0065] 실시예1에 있어서, 제1 전극(40)은, 제1 화합물 반도체층(21)의 활성층(23)과 접촉하는 면과는 반대측의 면에 형성되어 있다. 또한, 제1 화합물 반도체층(21), 활성층(23) 및 제2 화합물 반도체층(22) 각각을 구성하는 화합물 반도체는, $Al_XGa_YIn_{1-X-Y}N(0\leq X\leq 1,\ 0\leq Y\leq 1$ 및 $0\leq (X+Y)\leq 1)$, 보다 구체적으로는, GaN계 화합물 반도체로 구성되어 있다. 즉, 제1 화합물 반도체층(21)은 Si 도프의 GaN(GaN:Si)로 이루어지고, 활성층(23)은 InGaN층(웰층) 및 GaN층(장벽층)으로 이루어지고, 다중 양자 웰 구조를 갖는다. 또한, 제2 화합물 반도체층(22)은 Mg 도프의 GaN(GaN:Mg)으로 이루어진다. 제1 화합물 반도체층(21), 활성층(23) 및 제2 화합물 반도체층(22)이 적층된 적층 구조체(20)로 발광부가 구성되어 있다. 또한, 제1 전극(40)은 Ti/Pt/Au 구조의 금속 적층막으로 이루어지고, Ti막 및 Pt막의 두께는, 예를 들어, 각각 50㎚이며, Au막의 두께는, 예를 들어, 2㎛이다. 제1 화합물 반도체층(21)을 통해서 활성층(23)으로부터의 광이 외부로 출사된다. 발광 다이오드의 크기, 구체적으로는, 활성층(23)의 면적은 $4\times10^{-10}m^2$이다.

[0066] 이하, 첨부 도면을 참조하여, 실시예1의 반도체 발광 소자(1)의 제조 방법을 설명한다.

[0067] [단계 100A]

[0068] 우선, 반도체 발광 소자 제조용 기판(10)의 주면에, 제1 도전형을 갖는 제1 화합물 반도체층(21A), 활성층(23A) 및 제1 도전형과는 다른 제2 도전형을 갖는 제2 화합물 반도체층(22A)을 순차적으로 형성한다. 또한, 제1 화합물 반도체층(21A), 활성층(23A) 및 제2 화합물 반도체층(22A) 각각은 패터닝 이전의 상태에 있으므로, 각각의 참조 번호의 말미에 알파벳 "A"를 붙이고 있다. 이하의 설명에 있어서의 각 층을 표시하는 참조 번호에 대해서도 마찬가지로 한다.

[0069] 구체적으로는, 사파이어로 이루어지는 반도체 발광 소자 제조용 기판(10)을 MOCVD 장치에 반입하고, 수소로 이루어지는 캐리어 가스내에서, 기판 온도 1,050℃에서 10분간의 기판 클리닝을 행한 후, 기판 온도를 500℃까지 저하시킨다. 그리고나서, MOCVD법에 기초하여, 질소 원료인 암모니아 가스를 공급하면서, 갈륨 원료인 트리메틸갈륨(TMG) 가스의 공급을 행하여, GaN으로 이루어지는 하지층(11)을 반도체 발광 소자 제조용 기판(10)의 표

면에 결정 성장시킨 후, TMG 가스의 공급을 중단한다.

[0070] [단계 100B]

[0071] 계속해서, 반도체 발광 소자 제조용 기판(10) 상에 n형의 도전형을 갖는 제1 화합물 반도체층(21A), 활성층(23A) 및 p형의 도전형을 갖는 제2 화합물 반도체층(22A)이 순차적으로 적층되어서 이루어지는 적층 구조체(20A)를 형성한다.

[0072] 구체적으로는, MOCVD법에 기초하여, 기판 온도를 1,020℃까지 상승시킨 후, 상압에서 실리콘 원료인 모노실란(SiH_4) 가스의 공급을 개시함으로써, Si 도프의 GaN(GaN:Si)으로 이루어지고, n형의 도전형을 갖는 두께 3㎛의 제1 화합물 반도체층(21A)을 기판층(11)에 결정 성장시킨다. 도핑 농도는, 예를 들어, 약 5×10^{18}/㎤이다.

[0073] 그 후, 일단 TMG 가스 및 SiH_4 가스의 공급을 중단하고, 기판 온도를 750℃까지 저하시킨다. 그리고, 트리에틸갈륨(TEG) 가스 및 트리메틸인듐(TMI) 가스를 사용하고, 밸브 절환에 의해 이들 가스의 공급을 행함으로써, InGaN 및 GaN으로 이루어지고, 다중 양자 웰 구조를 갖는 활성층(23A)을 결정 성장시킨다.

[0074] 예를 들어, 발광 파장 400㎚의 발광 다이오드이면, In 조성 약 9%의 InGaN과 GaN(각각의 두께는 2.5㎚ 및 7.5㎚)의 다중 양자 웰 구조(예를 들어, 2층의 웰층으로 이루어짐)를 채택하면 된다. 또한, 발광 파장 460㎚±10㎚의 청색 발광 다이오드이면, In 조성 15%의 InGaN과 GaN(각각의 두께는 2.5㎚ 및 7.5㎚)의 다중 양자 웰 구조(예를 들어, 15층의 웰층으로 이루어짐)를 채택하면 된다. 또한, 발광 파장 520㎚±10㎚의 녹색 발광 다이오드이면, In 조성 23%의 InGaN과 GaN(각각의 두께는 2.5㎚ 및 15㎚)의 다중 양자 웰 구조(예를 들어, 9층의 웰층으로 이루어짐)를 채택하면 된다.

[0075] 활성층(23A)의 형성 완료후, TEG 가스 및 TMI 가스의 공급 중단과 함께, 캐리어 가스를 질소에서 수소로 절환하고, 850℃까지 기판 온도를 상승시키고, TMG 가스와 비스시클로펜타디에닐마그네슘(Cp_2Mg) 가스의 공급을 개시함으로써, 두께 100㎚의 Mg 도프의 GaN(GaN:Mg)으로 이루어지는 제2 화합물 반도체층(22A)을 활성층(23A) 위에 결정 성장시킨다. 도핑 농도는 약 5×10^{19}/㎤이다. 그 후, TMG 가스 및 Cp_2Mg 가스의 공급 중지와 함께 기판 온도를 실온까지 저하시켜, 결정 성장을 완료시킨다.

[0076] [단계 100C]

[0077] 이렇게 해서 결정 성장을 완료한 후, 질소 가스 분위기중에서 약 800℃, 10분간의 어닐링 처리를 행하여, p형 불순물(p형 도펀트)을 활성화시킨다.

[0078] [단계 110]

[0079] 그 후, 제2 화합물 반도체층(22A)측으로부터, 은을 포함하는 제1층(광반사층)(31) 및 알루미늄을 포함하는 제2층(제1 시드층)(32)으로 구성된 제2 전극 구조체(33)를 형성한다. 구체적으로는, 제2 화합물 반도체층(22A) 상에 리프트 오프법에 기초하여, 두께 1㎚의 니켈 박막으로 이루어지는 밀착층(36), 두께 0.2㎛의 은층으로 이루어지는 제1층(광반사층)(31) 및 두께 0.1㎛의 알루미늄층으로 이루어지는 제2층(제1 시드층)(32)을 형성한다. 이렇게 해서, 도 2a에 나타내는 구조를 얻을 수 있다.

[0080] [단계 120]

[0081] 다음으로, 필요에 따라, 제2 전극 구조체(33)에 대하여 주지의 산화막 제거 처리를 실시한 후, 얻어진 제2 전극 구조체(33)에 진케이트 처리를 실시함으로써, 제2 전극 구조체(33) 위에 아연층(제2 시드층)(34)을 증착시킨다. 즉, 제2 전극 구조체(33)에 진케이트 처리를 실시하여, 제2 전극 구조체(33)의 최상면 및 측면 위에 아연층(34)을 증착시킨다. 진케이트 처리에 있어서는, 진케이트 처리액에 제2 전극 구조체(33)를 포함하는 적층 구조체(20) 전체를 침지한다. 이에 의해, 제2층(32)에 있어서의 알루미늄이 아연에 의해 치환되어, 아연층(34)이 증착된다. 그리고, 이 아연층(34)은, 제2층(32)을 피복할뿐만아니라, 제1층(31)(구체적으로는, 노출된 제1층(31)의 측면), 그리고 또한 밀착층(36)의 측면도 피복한다. 이렇게 해서, 도 2b에 나타내는 구조를 얻을 수 있다.

[0082] [단계 130]

[0083] 그 후, 제2 전극 구조체(33)에 무전해 니켈 도금을 실시한다. 즉, 제2 전극 구조체(33)의 최상면 및 측면에 무전해 니켈 도금을 실시함으로써, 제2 전극 구조체(33)의 최상면 및 측면 위에 니켈층(도금층 또는 무전해 니켈

도금층)(35)을 형성한다. 무전해 니켈 도금 처리에 있어서는, 무전해 니켈 도금액에 제2 전극 구조체(33)를 포함하는 적층 구조체(20) 전체를 침지한다. 이렇게 해서, 도 3a에 나타내는 구조를 얻을 수 있다. 제2 전극 구조체(33)에 대한 무전해 니켈 도금에 의해, 아연이 니켈에 의해 치환되어, 니켈층(35)이 증착되고, 아연층(34)의 상당한 부분은 소멸한다. 그러나, 최종적으로 아연층(34)은 남겨진다. 남겨진 아연층(34)은, 층상의 부분을 포함할 수도 있고 또는 섬 형상의 부분도 포함할 수 있으므로, 보다 정확하게는, 아연층(34)은 아연을 포함하는 영역(제2 시드 영역)(34a)이 된다. 그러나, 도 3a에 있어서는, 편의상 연속한 층으로서 아연을 포함하는 영역(제2 시드 영역)(34a)을 표현하고 있다.

[0084] [단계 140]

[0085] 이어서, 전체면에 절연층(37)을 형성하고, 제2 전극(30)의 상부의 절연층(37)의 일부분에 애퍼처(37a)를 형성한 후, 제2 전극(30)의 상부로부터 절연층(37) 위를 연장하는 접속층(38)을 형성한다(도 3b 참조). 그 후, 접속층(38)을 포함하는 절연층(37)과 지지 기판(50)을, 에폭시계 접착제로 이루어지는 접착층(51)을 통해서 서로 접합한 후, 반도체 발광 소자 제조용 기판(10)을 기계적 연마 및 웨트 에칭법에 의해 제거한다.

[0086] [단계 150]

[0087] 그 후, 리소그래피 기술에 기초하여, 노출된 제1 화합물 반도체층(21A) 위에 패터닝된 레지스트층을 형성하고, 이러한 레지스트층을 사용하여, 소위 리프트 오프법에 기초하여, 제1 화합물 반도체층(21A) 위에 제1 전극(40)을 형성한다.

[0088] [단계 160]

[0089] 그 후, 리소그래피 기술에 기초하여, 노출된 제1 화합물 반도체층(21A) 위에 패터닝된 레지스트층을 형성하고, 이러한 레지스트층을 에칭용 마스크로 사용하면서, Cl_2계 가스를 사용한 RIE 기술에 의해, 제1 화합물 반도체층(21A), 활성층(23A), 제2 화합물 반도체층(22A), 절연층(37) 및 접속층(38)을 패터닝하고나서, 레지스트층을 제거한다. 이렇게 해서, 적층 구조체(20)로 이루어지고, 제1 화합물 반도체층(21), 활성층(23) 및 제2 화합물 반도체층(22)이 패터닝된 발광부를 얻을 수 있다. 인접하는 반도체 발광 소자(1)의 중심과 반도체 발광 소자(1)의 중심 사이의 거리(형성 피치)는, 예를 들어, 30㎛이다.

[0090] 이렇게 해서, 실시예1의 반도체 발광 소자(1)를 제조할 수 있다.

[0091] [단계 170]

[0092] 그 후, 지지 기판(50)을 절단하여 반도체 발광 소자(1)를 분리한다. 또한, 수지 몰딩 및 패키지화를 행함으로써, 예를 들어, 램프형의 반도체 발광 소자 및 면실장형의 반도체 발광 소자와 같은 다양한 반도체 발광 소자(구체적으로는, 발광 다이오드)를 제조할 수 있다.

[0093] 실시예1의 반도체 발광 소자 또는 그 제조 방법에 있어서는, 제2 전극 구조체(33)의 최상면 및 측면 위에 니켈층 또는 도금층(35)이 형성되어 있다. 즉, 제2 전극 구조체(33)의 전체는, 커버 메탈로서의 니켈층 또는 도금층(35)에 의해 피복되어 있다. 이 니켈층 또는 도금층(35)은, 제2 전극 구조체(33)에 대하여 자기 정합적으로 형성되므로, 형성 정밀도에 문제가 발생할 일이 없고, 위치 정렬 허용 오차를 고려할 필요도 없다. 게다가, 제2 전극 구조체(33)의 전체를 니켈층 또는 도금층(35)에 의해 확실하게 피복할 수 있기 때문에, 제2 전극 구조체(33)의 산화 또는 마이그레이션의 발생을 방지할 수 있어, 높은 신뢰성을 갖는 반도체 발광 소자를 제공할 수 있다.

[0094] [실시예2]

[0095] 실시예2는 실시예1의 변형이다. 실시예2에 있어서는, 실시예1에 의해 얻어진 반도체 발광 소자(1)를 어레이 형상(2차원 매트릭스 형상)으로 재배열하여, 예를 들어, 화상 표시 장치를 제조한다. 구체적으로는, 실시예2에 있어서는, [단계 160]에 계속하여, 이하에 설명하는 단계를 실행한다.

[0096] [단계 200]

[0097] 본 단계에 있어서는, 우선, 원하는 피치로 반도체 발광 소자(1)를 선택한다.

[0098] 보다 구체적으로는, 실시예1의 [단계 160]에서 얻어지고, 2차원 매트릭스 형상으로 지지 기판(50) 위에 배열된 다수의 반도체 발광 소자(1) 가운데서, X 방향으로 M개마다 그리고 Y 방향으로 N개마다의 피치로, 반도체 발광 소자(1)를 선택한다. 또한, 실리콘 고무로 이루어지는 미 점착층(61)이 형성된 중계 기판(60), 및 유리 기판으

로 이루어지고, 미리 소정의 위치에 금속 박막 등으로 이루어진 얼라인먼트 마크(도시하지 않음)가 형성되고, 그 표면에는 미경화의 감광성 수지로 이루어진 접착제층(71)이 형성된 제2 중계 기판(70)을 준비한다.

[0099] 중계 기판(60)을 구성하는 재료로서는, 유리판, 금속판, 합금판, 세라믹판, 반도체판 및 플라스틱판을 예로 들 수 있다. 또한, 중계 기판(60)은, 도시하지 않은 위치 결정 장치에 의해 유지되고 있다. 위치 결정 장치의 작동에 의해, 중계 기판(60)과 지지 기판(50) 사이의 위치 관계를 조절할 수 있다.

[0100] 기본적으로, 접착제층(71)은, 광(특히, 자외선 등), 방사선(X선 등), 전자선 등과 같은 에너지선의 조사에 의해 접착 기능을 발휘할 수 있는 재료, 및 열, 압력 등을 가하는 것에 의해 접착 기능을 발휘할 수 있는 재료 등, 어떠한 방법에 기초하여 접착 기능을 발휘할 수 있는 재료인 한, 어떠한 재료로 구성되어 있어도 된다. 용이하게 형성할 수 있고 또한 접착 기능을 발휘할 수 있는 재료로서는, 수지계의 접착제, 특히, 감광성 접착제, 열경화성 접착제 및 열가소성 접착제를 예로 들 수 있다. 예를 들어, 감광성 접착제를 사용하는 경우, 접착제층에 광이나 자외선을 조사함으로써, 또는 가열함으로써, 접착제층이 접착 기능을 발휘하도록 할 수 있다. 또한, 열경화성 접착제를 사용하는 경우, 광의 조사 등에 의해 접착제층을 가열함으로써, 접착제층이 접착 기능을 발휘하도록 할 수 있다. 또한, 열가소성 접착제를 사용하는 경우, 광의 조사 등에 의해 접착제층의 일부분을 선택적으로 가열함으로써 그러한 일부분을 용융시켜 유동성을 갖게 할 수 있다. 접착제층으로서는, 이외에, 예를 들어, 감압성 접착제층(예를 들어, 아크릴계 수지 등으로 이루어진 접착제층) 등을 들 수도 있다.

[0101] 그리고, 선택된 반도체 발광 소자(1)를, 노출된 제1 화합물 반도체층(21) 및 제1 전극(40)이 중계 기판(60)에 접촉하도록, 중계 기판(60)에 전사한다. 구체적으로는, 2차원 매트릭스 형상으로 배열된 지지 기판(50) 상의 반도체 발광 소자(1)에, 미 점착층(61)을 가압한다(도 4a 및 도 4b 참조). 계속해서, 전사해야 할 반도체 발광 소자(1)에 대하여, 지지 기판(50)의 이면측으로부터, 예를 들어, 엑시머 레이저를 조사한다(도 5a 참조). 이에 의해, 레이저 어브레이션이 발생하고, 엑시머 레이저가 조사된 반도체 발광 소자(1)는 지지 기판(50)으로부터 박리된다. 그 후, 중계 기판(60)과 반도체 발광 소자(1)와의 접촉을 제거하면, 지지 기판(50)으로부터 박리된 반도체 발광 소자(1)는, 미 점착층(61)에 부착된 상태가 된다(도 5b 참조).

[0102] [단계 210]

[0103] 이어서, 반도체 발광 소자(1)를 접착제층(71) 위에 배치(이동 또는 전사)한다(도 6a 및 도 6b 참조). 구체적으로는, 제2 중계 기판(70) 위에 형성된 얼라이먼트 마크를 기초로 하여, 반도체 발광 소자(1)를 중계 기판(60)으로부터 제2 중계 기판(70)의 접착제층(71) 위에 배치한다. 반도체 발광 소자(1)는 미 점착층(61)에 약하게 부착되어 있을 뿐으므로, 반도체 발광 소자(1)를 접착제층(71)과 접촉시킨(가압한) 상태에서 중계 기판(60)을 제2 중계 기판(70)으로부터 이격되는 방향으로 이동시키면, 반도체 발광 소자(1)는 접착제층(71) 위에 남겨진다. 또한, 반도체 발광 소자(1)를 롤러 등으로 접착제층(71)에 깊게 매립시킴으로써, 반도체 발광 소자(1)를 제2 중계 기판(70)에 전사할 수 있다.

[0104] 이러한 중계 기판(60)을 사용한 방식을 편의상 스텝 전사법이라고 칭한다. 그리고, 이러한 스텝 전사법을 원하는 횟수로 반복함으로써, 원하는 개수의 반도체 발광 소자(1)가, 미 점착층(61)에 2차원 매트릭스 형상으로 부착되고, 제2 중계 기판(70) 위에 전사된다. 구체적으로는, 실시예2에 있어서는, 1회의 스텝 전사에 있어서, 160×120개의 반도체 발광 소자(1)를, 미 점착층(61)에 2차원 매트릭스 형상으로 부착시켜, 제2 중계 기판(70) 위에 전사한다. 따라서, {(1,920×1,080)/(160×120)}=108회의 스텝 전사법을 반복함으로써, 1,920×1,080개의 반도체 발광 소자(1)를 제2 중계 기판(70) 위에 전사할 수 있다. 그리고, 이상과 같은 단계를, 총 3회 반복함으로써, 원하는 수의 적색 반도체 발광 소자(적색 발광 다이오드), 녹색 반도체 발광 소자(녹색 발광 다이오드) 및 청색 반도체 발광 소자(청색 발광 다이오드) 각각을, 소정의 간격과 피치로 제2 중계 기판(70)에 전사할 수 있다.

[0105] 그 후, 반도체 발광 소자(1)가 배치되고 또한 감광성 수지로 이루어진 접착제층(71)에 자외선을 조사함으로써, 접착제층(71)을 구성하는 감광성 수지를 경화시킨다. 이렇게 해서, 반도체 발광 소자(1)가 접착제층(71)에 고정된 상태가 된다. 계속해서, 제1 전극(40)을 통해서 반도체 발광 소자(1)를 제2 가고정용 기판에 가고정한다. 구체적으로는, 표면에 미경화의 접착제로 이루어지는 접착층(80)이 형성된 유리 기판으로 이루어진 제2 가고정용 기판을 준비한다. 그리고나서, 반도체 발광 소자(1)와 접착층(80)을 서로 접합하고, 접착층(80)을 경화시킴으로써, 반도체 발광 소자(1)를 제2 가고정용 기판에 가고정할 수 있다. 계속해서, 접착제층(71) 및 제2 중계 기판(70)을 적절한 방법으로 반도체 발광 소자(1)로부터 제거한다. 이 상태에 있어서는, 반도체 발광 소자(1)의 접속층(38)이 노출된 상태이다.

[0106] [단계 220]

[0107] 이어서, 전체면에 제2 절연층(81)을 형성하고, 접속층(38)의 상부의 제2 절연층(81)에 애퍼처(82)를 형성하고, 제2 배선(83)을 접속층(38) 위에서 애퍼처(82) 및 제2 절연층(81) 위에 걸쳐 형성한다. 제2 배선(83)은, 도 7에서 수직 방향으로 연장되고 있다. 다음으로, 제2 배선(83)을 포함하는 제2 절연층(81)과 유리 기판으로 이루어진 실장용 기판(85)을, 접착층(84)을 통해 서로 접합함으로써, 반도체 발광 소자(1)를 실장용 기판(85)에 실장(고정)할 수 있다. 계속해서, 예를 들어, 제2 가고정용 기판의 이면측으로부터, 예를 들어, 엑시머 레이저를 조사한다. 이에 의해, 레이저 어브레이션이 발생하고, 엑시머 레이저가 조사된 반도체 발광 소자(1)는 제2 가고정용 기판으로부터 박리된다. 이 상태에 있어서는, 반도체 발광 소자(1)의 제1 전극(40)이 노출된 상태이다. 다음으로, 전체면에 제1 절연층(86)을 형성하고, 반도체 발광 소자(1)의 제1 전극(40)의 상부의 제1 절연층(86)에 애퍼처(87)를 형성하고, 제1 배선(88)을, 제1 전극(40) 위에서 애퍼처(87) 및 제1 절연층(86) 위에 걸쳐서 형성한다. 제1 배선(88)은 도 7에서 수평 방향으로 연장되고 있다. 이 상태를, 도 7의 모식적인 일부 단면도에 나타낸다. 그리고, 제1 배선(88) 및 제2 배선(83)을 구동 회로에 적절한 방법에 기초하여 접속함으로써, 반도체 발광 소자 및 그러한 반도체 발광 소자로 구성된 화상 표시 장치를 완성시킬 수 있다. 반도체 발광 소자(1)에 있어서는, 활성층(23)에서 출사된 광은 도 7의 하측 방향으로 출사된다.

[0108] [실시예3]

[0109] 실시예3은 실시예1의 변형이다. 실시예3에 있어서는, 도 8a에 모식적인 일부 단면도를 나타낸 바와 같이, 제2 전극 구조체(33)에 있어서, 제1층(31)과 제2층(32) 사이에 마이그레이션 블로킹층(91)이 제공되어 있다. 마이그레이션 블로킹층(91)은, 두께 0.1㎛의 백금(Pt)으로 이루어지며, 실시예1의 [단계 110]과 같은 단계에서, 제1층(31), 마이그레이션 블로킹층(91) 및 제2층(32)으로 구성된 제2 전극 구조체(33)를 형성하면 된다. 이와 같이, 제1층(31)과 제2층(32) 사이에 마이그레이션 블로킹층(91)을 제공함으로써, 제1층(31)을 구성하는 은 원자가 마이그레이션하는 것을 억제할 수 있다.

[0110] [실시예4]

[0111] 실시예4도 실시예1의 변형이다. 실시예4에 있어서는, 실시예1의 [단계 120]과 같은 단계에서, 제2 전극 구조체(33)에 진케이트 처리를 실시하기 전에, 제2 전극 구조체(33)에 산소 플라즈마 처리를 실시한다. 이에 의해, 제2 전극 구조체(33)의 표면이 균일하게 산화된다. 그 결과, 진케이트 처리에 의해 증착되는 아연층(34)의 균일화를 도모할 수 있다.

[0112] 또한, 실시예4에 있어서는, 실시예1의 [단계 120]과 같은 단계가 완료한 후, [단계 120]에 있어서의 진케이트 처리에 의해 증착된 아연층(34)을 제거한다. 구체적으로는, 제2 전극 구조체(33)를 포함하는 적층 구조체(20) 전체를 황산에 침지한다. 계속해서, 제2 전극 구조체(33)에 제2회째의 진케이트 처리를 실시하여, 제2 전극 구조체(33)의 최상면 및 측면 위에 아연층(제2 시드층)(34)을 증착시킨다. 제1회째의 진케이트 처리에 있어서의 처리 시간보다도, 제2회째의 진케이트 처리에 있어서의 처리 시간을 짧게 하였다. 이에 따라서, 제2회째의 진케이트 처리에 의해 단시간내에 균일한 진케이트 처리를 기대할 수 있다. 이렇게 하여, 진케이트 처리에 의해 증착된 아연층을 일단 제거한 후, 제2회째의 진케이트 처리를 적용함으로써, 제2 전극 구조체(33)와 니켈층(35) 사이의 보다 높은 밀착성 및 균일성을 얻을 수 있다. 또한, 산소 플라즈마 처리에 의해 제2층(32)을 구성하는 알루미늄이 비산하여, 원하지 않는 영역(예를 들어, 제2 화합물 반도체층(22) 등)에 부착되었을 경우, 원하지 않는 영역에 아연층이 형성될 우려가 있다. 그러나, 진케이트 처리에 의해서 증착된 아연층을 일단 제거함으로써, 원하지 않는 영역에 부착된 아연이 제거된다. 따라서, 이러한 문제의 발생을 방지할 수 있다.

[0113] [실시예5]

[0114] 실시예5도 실시예1의 변형이다. 실시예5에 있어서는, 실시예1의 [단계 110]과 같은 단계에서, 제2층(32)과 접촉하는 합금화층을 형성한 후, 열처리를 실시함으로써, 제2층(32)에 포함되는 알루미늄과 합금화층에 포함되는 금속 사이의 합금화를 촉진하여, 알루미늄 합금으로 이루어지는 제2층(32)을 얻는다. 구체적으로는, 두께 50㎚의 알루미늄으로 이루어지는 제2층(32)의 바로 위에 두께 10㎚의 금(Au)으로 이루어지는 합금화층을 진공 증착법에 의해서 성막하고, 계속해서, 150℃ 이상으로 가열함으로써, 알루미늄 합금(Al/Au)으로 이루어지는 제2층(32)을 형성한다. 이와 같이, 제2층(32)을 알루미늄 합금으로 구성함으로써, 진케이트 처리에 있어서의 알루미늄(Al)이 아연(Zn)에 의해 치환되는 치환 속도를 제어할 수 있고, 균일한 아연층(34)을 형성할 수 있고, 더 나아가 균일한 니켈층(35)(무전해 니켈 도금층)을 형성할 수 있다. 또한, 치환 속도가 빠를수록, 진케이트 처리에 있어서, 제1층(31) 및 밀착층(36) 각각이 사이드 에칭되는 양이 많아진다고 하는 실험 결과가 얻어지고

있다. 그리고 또한, 사이드 에칭량이 증가하면, 니켈층(무전해 니켈 도금층)의 비정상적인 증착이나 증착 형상의 비정상적인 발생도 증가한다고 하는 실험 결과도 얻어지고 있다.

[0115] 또한, 이러한 합금화 처리 대신에, 제2층을, 예를 들어, 알루미늄(Al)과 구리(Cu)의 합금을 타겟으로 사용한 스퍼터링법에 의해 성막함으로써, 알루미늄 합금으로 이루어지는 제2층을 얻을 수도 있다.

[0116] [실시예6]

[0117] 실시예6도 실시예1의 변형이다. 실시예6에 있어서는, 실시예1의 [단계 110]과 같은 단계에서, 제2층(32) 상에 두께 30㎚의 금(Au)으로 이루어지는 피복층(92)을 형성함으로써, 제1층(31), 제2층(32) 및 피복층(92)으로 이루어지는 제2 전극 구조체(33)를 얻는다. 그리고나서, 실시예1의 [단계 120]과 같은 단계에서, 제2 전극 구조체(33)에 진케이트 처리를 실시함으로써, 제2 전극 구조체(33)의 최상면 및 측면 위에 아연층(34)을 증착시킨다. 구체적으로는, 피복층(92)의 최상면 및 측면, 제2층(32)의 측면, 제1층(31)의 측면 및 밀착층(36)의 측면에 아연층(34)이 증착된다. 즉, 제2 전극 구조체(33) 전체가 아연층(34)에 의해 피복된다. 이와 같이, 제2층(32)의 최상면에 피복층(92)을 제공함으로써도, 진케이트 처리에 있어서의 알루미늄(Al)이 아연(Zn)에 의해 치환되는 치환량을 제어할 수 있고, 균일한 아연층(34)을 형성할 수 있고, 더 나아가 균일한 무전해 니켈 도금층을 형성할 수 있다. 최종적으로 얻어진 반도체 발광 소자의 모식적인 일부 단면도를 도 8b에 나타낸다.

[0118] 상기 실시예들에서 설명한 반도체 발광 소자의 구성 및 구조, 반도체 발광 소자를 구성하는 재료, 반도체 발광 소자의 제조 조건 및 각종 수치는 예시일 뿐이며 적절히 변경할 수 있다. 실시예3 내지 실시예6의 반도체 발광 소자를, 실시예2에서 설명한 화상 표시 장치에 적용할 수도 있다. 또한, 실시예3과 실시예4를 조합하는 것도 가능하고, 실시예3과 실시예5를 조합하는 것도 가능하고, 실시예3과 실시예6을 조합하는 것도 가능하고, 실시예4와 실시예5를 조합하는 것도 가능하고, 실시예4와 실시예6을 조합하는 것도 가능하고, 실시예5와 실시예6을 조합하는 것도 가능하고, 실시예3, 실시예4 및 실시예5를 조합하는 것도 가능하고, 실시예3, 실시예4 및 실시예6을 조합하는 것도 가능하고, 실시예3, 실시예5 및 실시예6을 조합하는 것도 가능하고, 실시예4, 실시예5 및 실시예6을 조합하는 것도 가능하고, 실시예3, 실시예4, 실시예5 및 실시예6을 조합하는 것도 가능하며, 또한 이러한 조합을 실시예2에 적용하는 것도 가능하다.

[0119] 당업자라면, 본 명세서에서 설명한 현재 바람직한 실시형태들에 대해 각종의 변경 및 수정을 가할 수 있음은 자명함을 알 수 있다. 이러한 변경 및 수정은 본 발명의 사상 및 범위를 일탈하지 않으며 그 의도하는 이점을 축소시키지 않게 하면서 이루어질 수 있다. 따라서, 이러한 변경 및 수정은 첨부된 청구범위에 의해 커버되는 것을 의도한다.

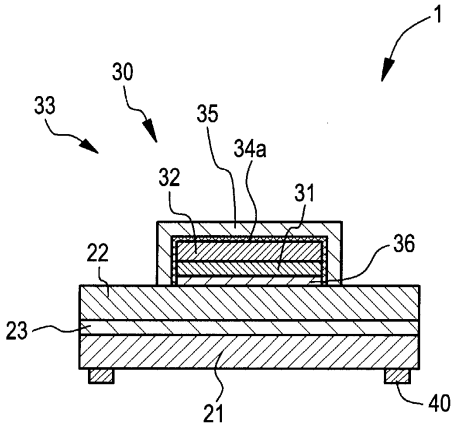
[0120]

[0121]

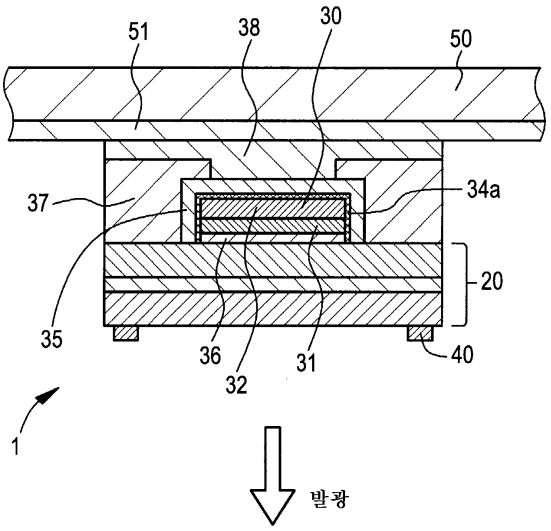
[0122]

도면

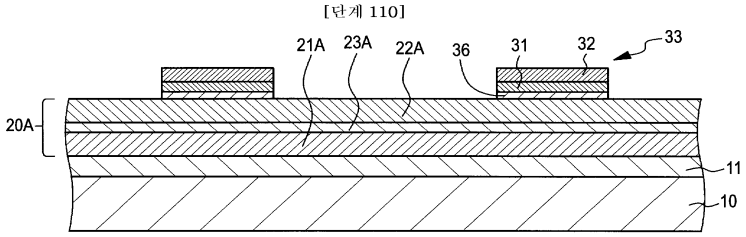
도면1a



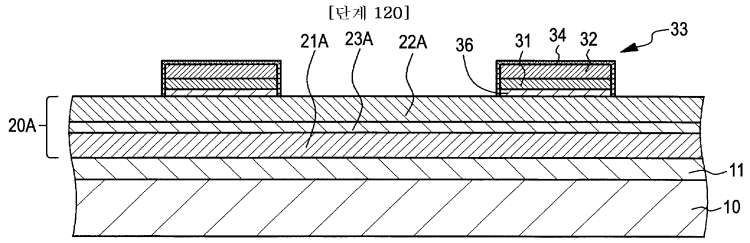
도면1b



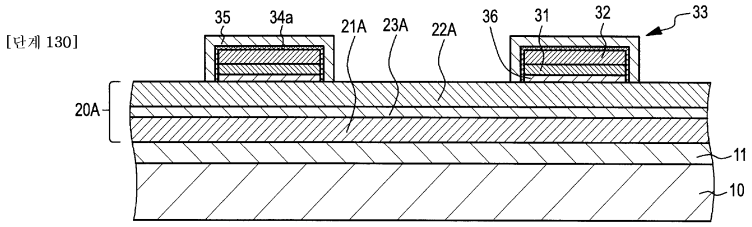
도면2a



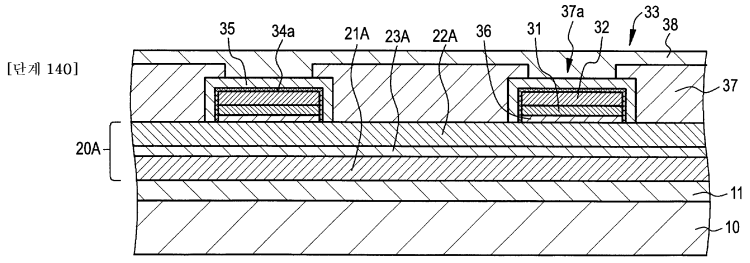
도면2b



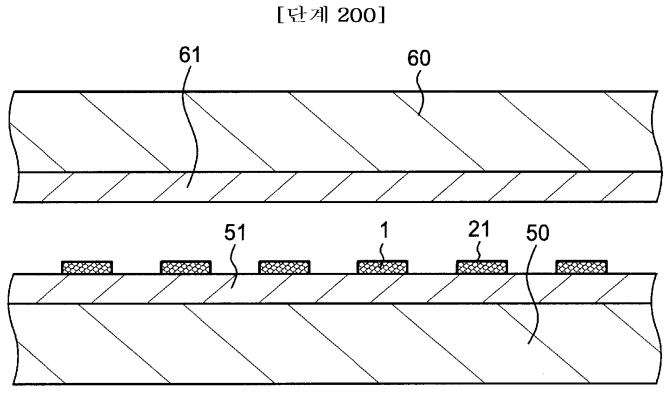
도면3a



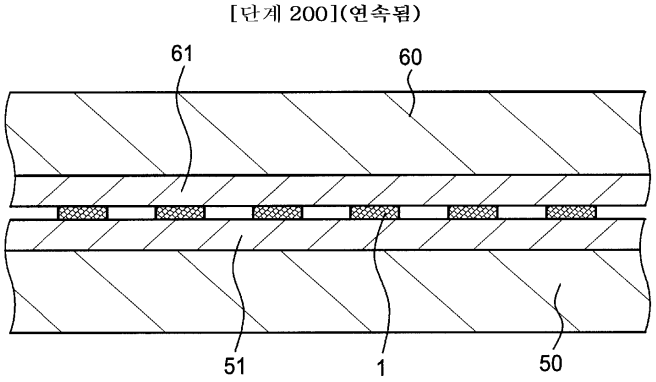
도면3b



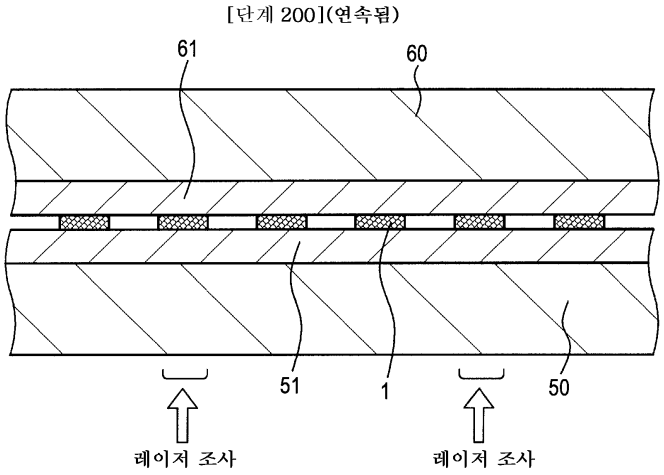
도면4a



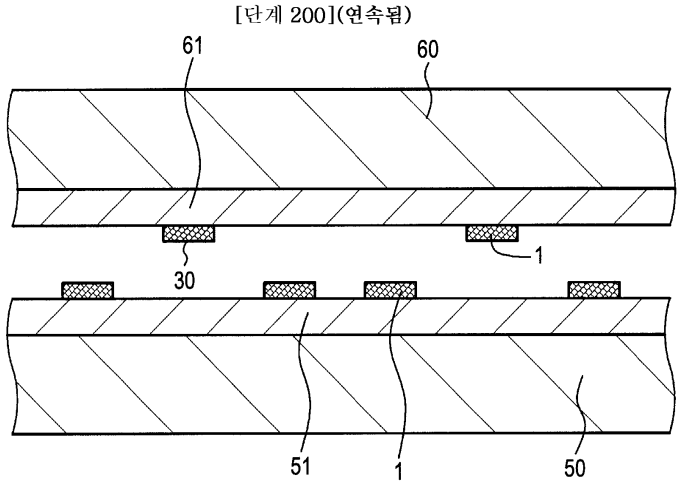
도면4b



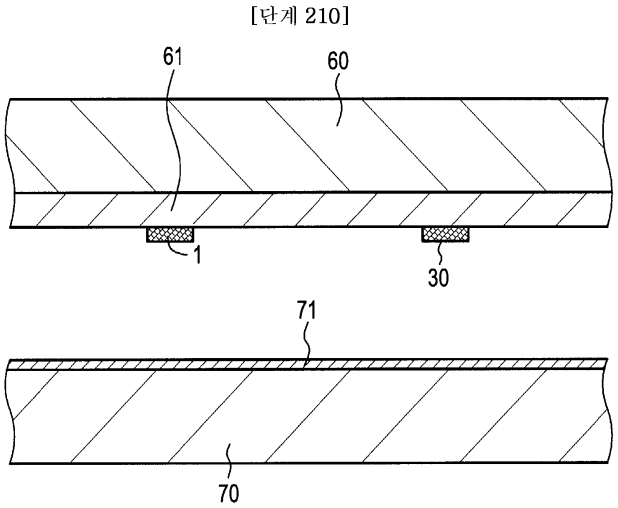
도면5a



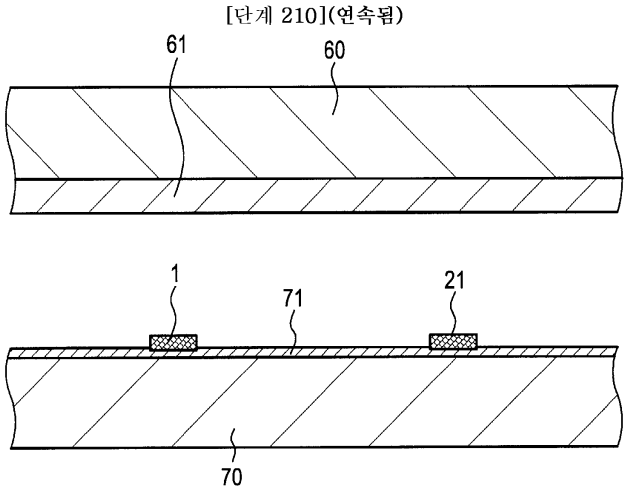
도면5b



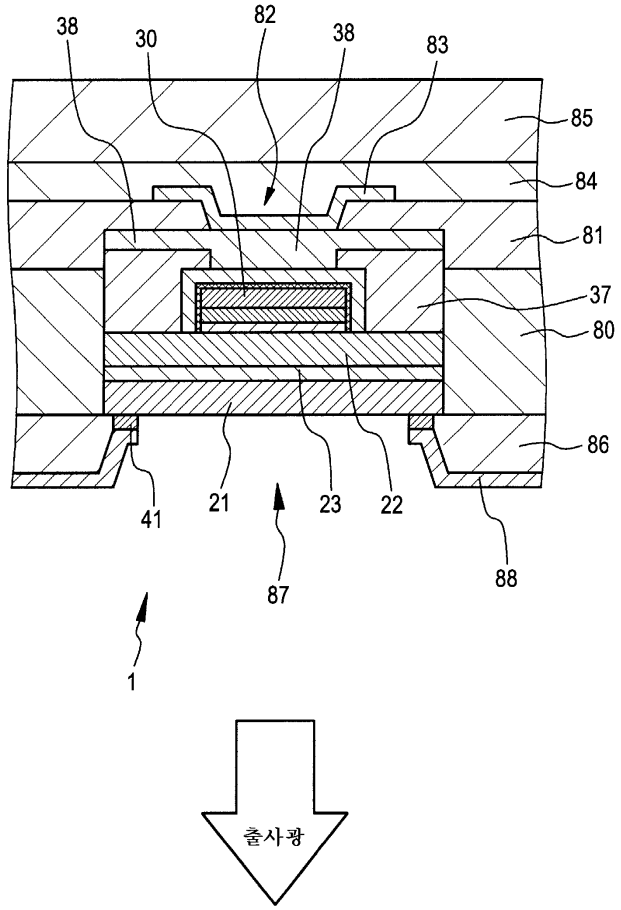
도면6a



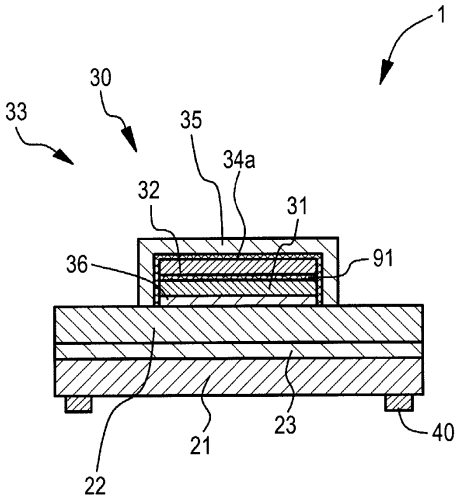
도면6b



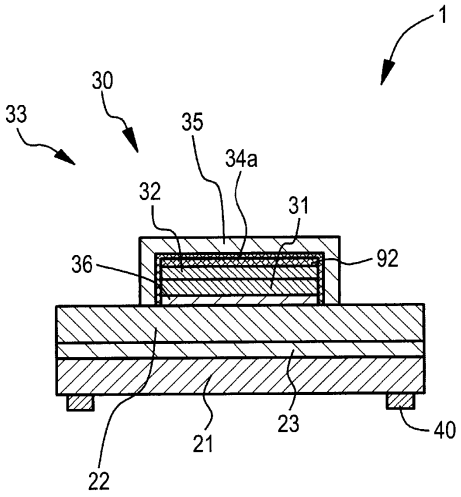
도면7


38
30
82
38
83
85
84
81
37
80
86
41
21
23
22
88
87
1
출사광

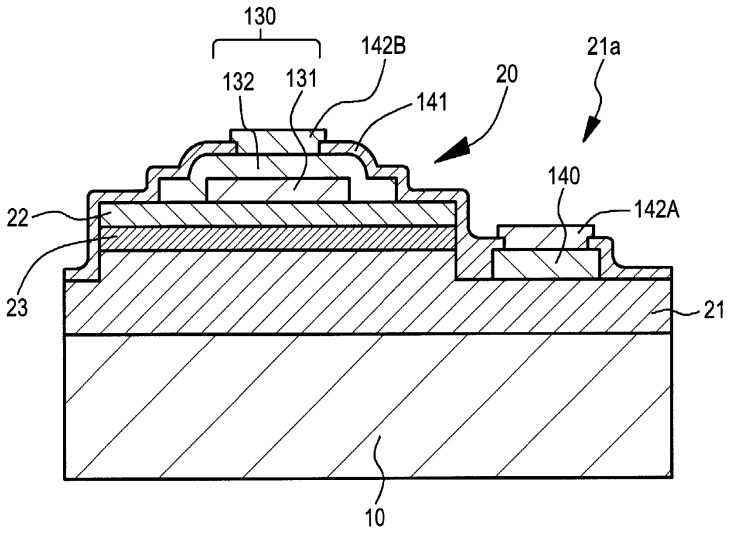
도면8a


1
30
33
35
34a
32
31
36
91
40
21
23
22

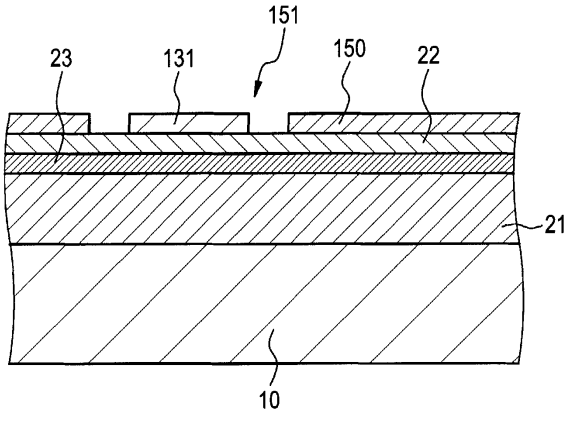
도면8b



도면9



도면10a



도면10b

