

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-255704

(P2012-255704A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
G O 1 R 31/28 (2006.01)	G O 1 R 31/28 U	2 G 1 3 2
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 T	5 F 0 3 3
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 E	5 F 0 3 8
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 T	5 F 0 8 3
H O 1 L 21/768 (2006.01)	H O 1 L 21/88 J	
審査請求 未請求 請求項の数 16 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2011-128541 (P2011-128541)
(22) 出願日 平成23年6月8日 (2011.6.8)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100080816
弁理士 加藤 朝道
(72) 発明者 石川 透
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内
Fターム(参考) 2G132 AA08 AA14 AK22 AL11
5F033 MM30 UU01 VV07 VV12 VV16
XX00 XX27 XX37
5F038 BE06 BE07 CA12 CA16 CD06
CD07 CD08 CD13 CD16 DF05
DT02 DT04 DT05 DT15 EZ07
EZ20
5F083 ZA23

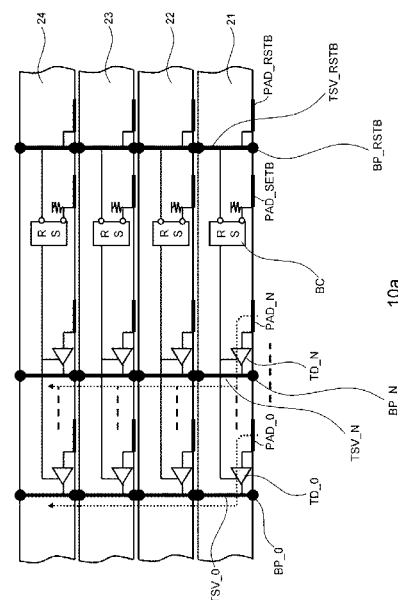
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】複数の半導体チップが積層された構造を有する半導体装置において、パンプ電極BP_0に接触せずに、かつ、貫通電極TSV_0の負荷容量を増やさずにテストできる半導体装置10を提供する。

【解決手段】積層された複数の半導体チップ21～24のそれぞれが、パンプ電極BP_0と、テストパッドPAD_0と、テストパッドから供給される信号を受け取りパンプ電極に供給するテストバッファTD_0と、テストバッファの活性状態と非活性状態とを制御する制御信号を供給するバッファ制御部BCとを含む。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

積層された複数の半導体チップのそれぞれが、バンプ電極と、テストパッドと、当該テストパッドから供給される信号を受け取り前記バンプ電極に供給するテストバッファと、当該テストバッファの活性状態と非活性状態とを制御する制御信号を供給するバッファ制御部とを含む、半導体装置。

【請求項 2】

前記複数の半導体チップがそれぞれ備える前記バンプ電極は、前記積層された複数の半導体チップを貫通して設けられた共通配線によって互いに接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記複数の半導体チップのうち、一の半導体チップの前記テストバッファが活性状態に制御されるとき、他の半導体チップの前記テストバッファが非活性状態になるように前記各バッファ制御部が制御することを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】

前記積層された複数の半導体チップのうち、前記一の半導体チップは、前記テストパッド面が表に露出している半導体チップであることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記各半導体チップに含まれる前記バッファ制御部は、リセット信号により前記テストバッファを非活性状態にリセットし、テスト信号により前記テストバッファを活性化可能状態にセットすることのできるフリップフロップ回路を備えることを特徴とする請求項 1 乃至 4 いずれか 1 項記載の半導体装置。

【請求項 6】

前記リセット信号により前記複数の半導体チップにそれぞれ含まれる前記フリップフロップ回路がリセットされた後、前記複数の半導体チップのうち、前記一の半導体チップのフリップフロップ回路が前記テスト信号によりセットされ、他の半導体チップのフリップフロップ回路は前記のリセット状態を維持することを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記フリップフロップ回路は、テスト時に複数の入力信号の組み合わせによりセットされ、前記複数の入力信号は、テスト時に前記複数の半導体チップのうち前記一の半導体チップのフリップフロップ回路を選択してセット可能であるように各半導体チップに接続位置を入れ替えて共通に配線されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

前記複数の入力信号は、前記各半導体チップのチップセレクト信号であることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

複数のバンプ電極と、

前記複数のバンプ電極にそれぞれ対応して設けられた複数のテストパッドと、

前記複数のバンプ電極にそれぞれ対応して設けられ、活性状態に制御されたときに、前記複数のバンプ電極とそれぞれ対応する前記複数のテストパッドとを接続する複数のテストバッファと、

前記テストバッファの活性状態と非活性状態とを制御する制御信号を前記複数のテストバッファに供給するバッファ制御部と、

をそれぞれ具備し、互いに同一機能を有する複数の半導体チップを備え、

前記各半導体チップの複数のバンプ電極は、それぞれ各半導体チップ間で共通配線により対応するバンプ電極同士接続され、前記複数の半導体チップのうち、一の半導体チップの前記テストバッファが活性状態に制御されるとき、他の半導体チップの前記テストバッファが非活性状態になるように前記各バッファ制御部が制御することを特徴とする半導体

10

20

30

40

50

装置。

【請求項 10】

前記複数の半導体チップは積層され、前記共通配線は、前記積層された複数の半導体チップを貫通する配線を含んでいることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】

前記積層された複数の半導体チップのうち、前記一の半導体チップは、前記テストパッド面が表に露出している半導体チップであることを特徴とする請求項 10 記載の半導体装置。

【請求項 12】

前記各半導体チップに含まれる前記複数のテストバッファは、前記活性状態に制御されたときに対応するテストパッドに入力された信号に基いて前記対応するパンプ電極を駆動する入力バッファと、前記活性状態に制御されたときに、対応するテストパッドに入力された信号に基いて前記対応するパンプ電極を駆動すると共に前記対応するパンプ電極に出力された信号に基いて前記対応するテストパッドを駆動する入出力バッファと、を含むことを特徴とする請求項 9 乃至 11 いずれか 1 項記載の半導体装置。

【請求項 13】

前記各半導体チップに含まれる前記バッファ制御部は、リセット信号により前記複数のテストバッファを非活性状態にリセットし、テスト信号により前記複数のテストバッファを活性化可能状態にセットすることのできるフリップフロップ回路を備えることを特徴とする請求項 9 乃至 12 いずれか 1 項記載の半導体装置。

【請求項 14】

前記リセット信号により前記複数の半導体チップにそれぞれ含まれる前記フリップフロップ回路がリセットされた後、前記複数の半導体チップのうち、前記一の半導体チップのフリップフロップ回路が前記テスト信号によりセットされ、他の半導体チップのフリップフロップ回路は前記のリセット状態を維持することを特徴とする請求項 13 記載の半導体装置。

【請求項 15】

前記フリップフロップ回路は、テスト時に複数の入力信号の組み合わせによりセットされ、前記複数の入力信号は、テスト時に前記複数の半導体チップのうち前記一の半導体チップのフリップフロップ回路を選択してセット可能であるように各半導体チップに接続位置を入れ替えて共通に配線されていることを特徴とする請求項 14 記載の半導体装置。

【請求項 16】

前記複数の半導体チップは、それぞれメモリチップであり、前記複数の入力信号は、前記各メモリチップのチップセレクト信号であることを特徴とする請求項 15 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。特に、メモリデバイスなどの同一の機能を有する複数の半導体チップが積層されている構造を有する半導体装置に関する。

【背景技術】

【0002】

特許文献 1 には、複数の半導体チップを互いに積層し、貫通電極で接続した半導体装置において、それぞれの半導体チップを積層する前の段階でテストするためのパッド 120 を備える半導体装置について開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2009-10390 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0004】

以下の分析は、本発明によって与えられたものである。

【0005】

複数の半導体チップを互いに積層した積層型半導体装置には、複数のメモリチップが積層されたメモリチップ積層体をさらに別のメモリコントローラチップに積層したメモリシステムなど、互いに異なる種類の半導体チップを積層するものが存在する。このような積層型のメモリシステムの製造においては、メモリチップ積層体部分とメモリコントローラ部分とを、互いに異なる製造者が製造することも可能である。このような場合、まず、メモリチップ積層体部分（図3の10a）と、メモリコントローラ部分（図3の10b）を別々に製造して、それぞれの部分をテストして良品であることを確認してから全体を組み立てることにより、全体の信頼性を向上させる必要がある。

【0006】

しかしながら、メモリチップ積層体とメモリコントローラとを接続するためにメモリチップ積層体に形成されたバンプ電極に直接コンタクト（テスターのプローブを直接当てる）した場合、バンプ電極に針跡等の傷が残り、この傷が、メモリチップ積層体とメモリコントローラとを積層して接続する際に、接続不良を引き起こす恐れがあった。

【0007】

バンプ電極に直接コンタクトをせずにメモリチップ積層体をテストするために、例えば、特許文献1に記載されているような積層前のメモリチップをテスト（ウェハテスト）する際に使用するテストパッドを、バンプ電極に接続しておき、積層後にこのテストパッドにコンタクトすることでメモリチップ積層体をテストする方法も考えられる。しかしながら、この方法では、バンプ電極のピン容量にテストパッドのパッド容量が重畳してしまうという問題があった。

【課題を解決するための手段】

【0008】

本発明の第1の視点によれば、積層された複数のメモリデバイスのそれぞれが、バンプ電極と、テストパッドと、当該テストパッドから供給される信号を受け取り前記バンプ電極に供給するテストバッファと、当該テストバッファの活性状態と非活性状態とを制御する制御信号を供給するバッファ制御部とを含む、半導体装置が提供される。

【0009】

本発明の第2の視点によれば、複数のバンプ電極と、前記複数のバンプ電極にそれぞれ対応して設けられた複数のテストパッドと、前記複数のバンプ電極にそれぞれ対応して設けられ、活性状態に制御されたときに、前記複数のバンプ電極とそれぞれ対応する前記複数のテストパッドとを接続する複数のテストバッファと、前記テストバッファの活性状態と非活性状態とを制御する制御信号を前記複数のテストバッファに供給するバッファ制御部と、をそれぞれ具備し、互いに同一機能を有する複数の半導体チップを備え、前記各半導体チップの複数のバンプ電極は、それぞれ各半導体チップ間で共通配線により対応するバンプ電極同士接続され、前記複数の半導体チップのうち、一の半導体チップの前記テストバッファが活性状態に制御されるとき、他の半導体チップの前記テストバッファが非活性状態になるように前記各バッファ制御部が制御する半導体装置が提供される。

【発明の効果】

【0010】

本発明の各視点によれば、複数の半導体チップ間で共通配線により互いに接続されたバンプ電極にテストバッファを介してテストパッドを接続することにより、バンプ電極に外部から直接接触することなく、かつ、テストバッファを介することにより、共通配線の負荷容量を大きく増やさずに、共通配線により互いに接続された複数の半導体チップをテストすることができる。

【0011】

特に、複数の半導体チップのバンプ電極が貫通電極により互いに接続されたメモリチップ

ブ積層体である場合には、外部からプローブ等によりパンプ電極に直接接触することなく、かつ、貫通電極配線の負荷容量を大きく増やすことなく、テストすることができる。

【図面の簡単な説明】

【0012】

【図1】本発明の第1の実施形態による半導体装置全体の構造を説明するための模式的な断面図である。

【図2】第1の実施形態における配線構造を説明するためのブロック図である。

【図3】第1の実施形態において、メモリチップ積層体部分をメモリコントローラ部分と合体して半導体装置10を製造する工程図である。

【図4】第1の実施形態における半導体チップのブロック図である。

10

【図5】第1の実施形態において、複数の半導体チップを積層した状態のブロック図である。

【図6】第1の実施形態の変形例における半導体チップのブロック図である。

【図7】第1の実施形態の変形例において、複数の半導体チップを積層した状態のブロック図である。

【図8】第2の実施形態における半導体チップのブロック図である。

【図9】第2の実施形態において、複数の半導体チップを積層した状態のブロック図である。

【図10】第3の実施形態における配線構造を説明するためのブロック図である。

【発明を実施するための形態】

20

【0013】

本発明の各実施形態について詳細に説明する前に、本発明の実施形態の概要について説明する。なお、概要の説明に付記した図面参照符号は専ら理解を助けるための例示であり、図示の態様に限定することを意図するものではない。

【0014】

本発明の一実施形態の半導体装置は、図1～図10に示すように、積層された複数のメモリデバイスのそれぞれ(21～24)が、パンプ電極(BP__0～BP__N)と、テストパッド(PAD__0～PAD__N)と、当該テストパッドから供給される信号を受け取りパンプ電極に供給するテストバッファ(TD__0～TD__N)と、当該テストバッファの活性状態と非活性状態とを制御する制御信号を供給するバッファ制御部BCとを含む。

30

【0015】

すなわち、バッファ制御部BCによりテストバッファを制御することにより、パンプ電極とテストパッドを接続することができる。バッファ制御部BCには、各実施形態に示すように様々なバリエーションが考えられる。

【0016】

以下により具体的な実施の形態について、図面を参照して詳しく説明する。

【0017】

[第1の実施形態]

図1は、本発明の第1の実施形態による半導体装置10全体の構造を説明するための模式的な断面図である。

40

【0018】

図1に示すように、本実施形態による半導体装置10は、4つのメモリデバイス21～24と1つのメモリコントローラ30を有しており、これらが積層された構造を有している。メモリデバイス21～24及びメモリコントローラ30は、それぞれシリコン基板を用いた1チップの半導体デバイスである。メモリデバイス21～24は互いに同じ回路構成を有しており、特に限定されるものではないが、本実施形態ではいずれも汎用DRAMチップである。したがって、そのアクセス方法は規格によって定められている。

【0019】

ここで、汎用DRAMとは、外部端子を介して外部とのインターフェースを行う回路からなるいわゆる「フロントエンド部」と、複数のメモリセルアレイ及びそれらへのアクセ

50

スを行う回路からなるいわゆる「バックエンド部」の両者を含むDRAMであり、特に限定されるものではないが、例えばDDR3 (Double Data Rate 3) 型のSDRAM (Synchronous Dynamic Random Access Memory) などが該当する。

【0020】

メモリデバイス21～24には、いずれもシリコン基板を貫通する多数の貫通電極TSV (Through Silicon Via) が設けられており、これによって上下に隣接するチップが電氣的に接続されている。また、メモリコントローラ30にも多数の貫通電極TSVが設けられており、これによってインターポーザ40の表面41に設けられた配線と電氣的に接続されている。インターポーザ40上に積層されたメモリコントローラ30及びメモリデバイス21～24は、封止樹脂50によって覆われ、これにより各チップが物理的に保護される。

10

【0021】

インターポーザ40は樹脂からなる回路基板であり、その裏面42 (表面41の反対面の第2の表面) には複数の外部端子 (半田ボール) SBが形成されている。インターポーザ40は、半導体装置10全体の機械的強度を確保するとともに、電極ピッチを拡大するための再配線基板として機能する。つまり、インターポーザ40の表面41に形成された電極をスルーホール電極によって裏面42に引き出し、裏面42に設けられた再配線層によって、外部端子SBのピッチを拡大している。すなわち、各外部端子SB間のピッチは、貫通電極TSV間のピッチより広い間隔で設けられている。図1に示す外部端子SBの数は例示であり、実際にはより多数の外部端子が設けられている。

20

【0022】

図2は、本実施形態による半導体装置10の配線構造を説明するためのブロック図である。

【0023】

図2に示すように、4つのメモリデバイス21～24は、メモリコントローラ30に対して共通接続されている。より具体的には、メモリコントローラ30に設けられたクロック端子30a、アドレス端子30b、コマンド端子30c及びデータ端子30dは、メモリデバイス21～24に設けられたクロック端子20a、アドレス端子20b、コマンド端子20c及びデータ端子20dにそれぞれ共通接続されている。これにより、メモリコントローラ30から出力される外部クロック信号CLK、アドレス信号ADD及びコマンドCMDは、4つのメモリデバイス21～24に共通に供給されることになる。また、各メモリデバイス21～24から出力されるリードデータDQは、共通のデータバスを介してメモリコントローラ30に入力され、逆に、メモリコントローラ30から出力されるライトデータDQは、共通のデータバスを介してメモリデバイス21～24に入力される。特に限定されるものではないが、本実施形態では、各チップに128個のデータ端子が設けられており、これにより一度に128ビットのリードデータ又はライトデータを転送することができる。

30

【0024】

メモリコントローラ30がいずれのメモリデバイス21～24を選択するかは、チップ選択信号 (チップセレクト信号) を用いて行う。チップセレクト信号は、メモリデバイス21～24ごとに個別に設けられた配線を用いて各メモリデバイス21～24に供給すればよい。一方、共通の配線を介してチップセレクト信号をメモリデバイス21～24に供給する場合には、各メモリデバイス21～24にチップアドレスを割り当て、チップセレクト信号の値とチップアドレスとが一致するメモリデバイスを選択すればよい。

40

【0025】

図3は、第1の実施形態において、メモリチップ積層体10a部分をメモリコントローラ部分10bと合体して半導体装置10を製造する工程を説明する工程図である。半導体装置10を製造する際に、同じ回路構成を有するメモリデバイス21～24は図3のメモリチップ積層体10aに示すように、先にバンプ電極を互いに位置合わせを行って、メモ

50

リデバイス 21～24 をメモリチップ積層体 10a として組み立てておく。さらに、メモリチップ積層体 10a は、メモリデバイス 21～24 が積層された状態で各メモリデバイス 21～24 が正常に動作することをテストにより確認してから、メモリコントローラ 30 やインターポザ 41 と合体する。

【0026】

図 3 では、メモリコントローラ 30 のみを先にインターポザ 40 に組み込んでメモリコントローラ部分 10b としてから、メモリチップ積層体 10a のバンプ電極 BE1 とメモリコントローラ部分 10b のバンプ電極 BE2 とを位置合わせして、メモリチップ積層体 10a とメモリコントローラ部分 10b とを合体して組み立て、最後に全体を封止樹脂 50 で樹脂封止して図 1 の半導体装置 10 として完成させている。しかし、半導体装置 10 全体の製造を完成させる前に、メモリチップ積層体 10a 部分を、単独でテストできることが可能であれば、メモリチップ積層体 10a とメモリコントローラ 30 とインターポザ 40 とから完成された半導体装置 10 を製造する工程は任意の工程を採用することが可能である。

【0027】

実施形態 1 によれば、先に、メモリチップ積層体 10a を組み立てて、メモリチップ積層体 10a に含まれる各メモリデバイス 21～24 の機能が正常に動作することをテストにより確認している。その後で、メモリチップ積層体 10a 以外のメモリコントローラ部分 10b とメモリチップ積層体 10a とを組み立てて半導体装置 10 を完成させている。従って、最終段階の組み立ての段階で、メモリチップ積層体 10a に不良が発生する可能性は低く、結果として高い信頼性の半導体装置 10 を製造することができる。

【0028】

ここで、メモリチップ積層体 10a のみを半完成品の状態でテストするときに問題となるのが、バンプ電極 BE1 に対するテスト時のプロービングである。メモリチップ積層体 10a には、まだ外部端子 SB は設けられていないので、テスト装置等からバンプ電極に対してプロービングを行い、バンプ電極 BE1 をテスト装置等に接続してテストを行う必要があると考えられる。

【0029】

しかし、メモリチップ積層体 10a の表面に形成されているバンプ電極 BE1 は、最終的に半導体装置 10 の外部端子となる SB と比べると狭ピッチであり、バンプ電極 1 個の大きさも小さい。従って、バンプ電極 BE1 にテスト装置等から直接プロービングしてテストしたのでは、バンプ電極にプロービングの際の針跡等の傷が残り、この傷が、メモリチップ積層体 10a とメモリコントローラ 30 とを積層して接続する際に接続不良を引き起こすおそれがあった。

【0030】

また、バンプ電極に直接コンタクトをせずにメモリチップ積層体をテストするために、バンプ電極に直接接続されたテストパッドを設け、バンプ電極に代えて、テストパッドに対してテスト装置等からプロービングしてメモリチップ積層体をテストすることも考えられる。しかし、テストパッドをバンプ電極に直接つなげたのでは、バンプ電極の負荷容量が増加してしまい、半導体装置 10 として完成した後の高速動作の観点からは好ましくない。

【0031】

そこで、実施形態 1 では、テストバッファを介してテストパッドとバンプ電極を接続し、バンプ電極には、直接外部からプロービングしなくとも、バンプ電極の負荷容量の増加を最小限に抑えてメモリチップ積層体 10a をテストできるようにしている。この具体的な回路構成を以下に説明する。

【0032】

図 4 は、第 1 の実施形態における半導体チップ内部のブロック図である。また、図 5 は、図 4 の半導体チップをメモリチップ積層体 10a の状態に組み立てたときのブロック図である。なおすでに説明したように、半導体チップは互いに同じ回路構成を有するメモリ

10

20

30

40

50

デバイス 21～24 である。図 4 に示すように、メモリデバイス 21～24 は、入出力回路部 60、アクセス制御回路 71、および、メモリセルアレイ 72 を含む。アクセス制御回路 71 は、入出力回路部 60 を介して外部から供給されるコマンドに応じて、メモリセルアレイ 72 の書き込みおよび読み出し動作を制御する。入出力回路部 60 は、複数の入力回路 61 と出力回路 62 とを含み、外部から供給されるコマンド信号、アドレス信号、クロック信号、および、書き込みデータを受け取り、これらをアクセス制御回路 71 に供給し、アクセス制御回路 71 から供給された読み出しデータを受け取り、これを外部に出力する。

【0033】

パンプ電極 BP__0～BP__N（N の値は 2 以上の整数）は、通常動作時には、メモリデバイス 21～24 が外部（メモリコントローラ等）と信号のやり取りをするメモリデバイス 21～24 の外部端子として機能するものである。即ち、メモリデバイス 21～24 は、通常動作時に、これらのパンプ電極を介して外部から供給される信号に基づいて動作し、また、これらのパンプ電極を介して外部に信号を出力する。パンプ電極 BP__0～BP__N には、例えば、図 2 に示すクロック端子 20a、アドレス端子 20b、コマンド端子 20c、データ端子 20d に対応するものが含まれる。また、パンプ電極 BP__0～BP__N の他にリセット信号の入力端子としてパンプ電極 BP__RSTB が設けられている。また、図 5 に示すとおり、これらのパンプ電極 BP__0～BP__N、BP__RSTB は、積層した各メモリデバイス 21～24 を貫通する貫通電極 TSV__0～TSV__N、TSV__RSTB により各メモリデバイス 21～24 に共通に接続されている。

【0034】

テストパッド PAD__0～PAD__N は、テスト動作時に、外部（テスト装置等）と信号のやり取りをするメモリデバイスの外部端子として機能するものである。即ち、メモリ積層体 10a に組み立てられたときにテストパッド PAD__0～PAD__N が表面に露出するメモリデバイス 21（図 5 参照）は、テスト動作時に、これらのテストパッドを介して外部から供給される信号に基づいて動作し、また、これらのパンプ電極を介して外部に信号を出力する。なお、メモリデバイス 22～24 についても、メモリデバイス 21 と互いに同じ回路構成のメモリデバイスを用いるため、テストパッド PAD__0～PAD__N が存在するが、メモリデバイス 22～24 のテストパッド PAD__0～PAD__N（および、テストパッド PAD__SETB、PAD__RSTB）は、実質的な動作には寄与しない。

【0035】

テストバッファ TD__0～TD__N は、テストパッド PAD__0～PAD__N と、パンプ電極 BP__0～BP__N と入出力回路部 60 との間のノードとの間に接続される。ここで、テストバッファは、図 4 の TD__0 のように入力バッファ（または、出力バッファ）であってもよく、TD__N のように、入力バッファと出力バッファとの両方を含む双方向バッファであってもよい。これらは、対応するパンプ電極が、入力端子（または、出力端子）か入出力端子かに応じてきまる。以下では、テストバッファは入力バッファであるとして説明するが、これに限定されるものではない。また、テストバッファ TD__0～TD__N はトライステートバッファであり、自身の制御端子に供給されるバッファ制御信号の論理レベルに応じて、活性状態と非活性状態（Hi-z 状態）とのいずれかの状態に制御される。即ち、テストバッファは、活性状態である場合に貫通電極とテストパッドとを電氣的に接続し、非活性状態である場合に貫通電極とテストパッドとを電氣的に切り離す役割がある。具体的には、通常動作時には、テストバッファを非活性状態とし、一方、テスト動作時には、メモリチップ積層体 10a の最下層にあるテストパッドが表面に露出しているメモリチップ 21 のテストバッファは活性状態に制御され、残りのメモリデバイス 22～24 のテストバッファは、非活性状態に制御される。

【0036】

図 4 のバッファ制御部 BC は、テストバッファ TD__0～TD__N に制御信号を供給する。第 1 の実施形態では、バッファ制御部 BC として、セット端子及びリセット端子の 2

つの入力端子と出力端子とを有するセットリセットフリップフロップ回路を用いている。バッファ制御部BCの出力端子は、複数のテストバッファTD__0～TD__Nの制御端子に共通に接続されている。バッファ制御部BCのセット端子SはテストパッドPAD__SETBに接続されると共に、抵抗を介して電源電位VDDにプルアップ接続されている。一方、バッファ制御部BCのリセット端子RはテストパッドPAD__RSTBに接続される。尚、第1の実施形態では、後述のとおりテストパッドPAD__SETBとテストパッドPAD__RSTBとにそれぞれ供給されるセット信号SETB、リセット信号RSTBは、ともにローアクティブ、つまり、ロウレベルが活性レベルでハイレベルが非活性状態であるため、バッファ制御部BCのセット端子S（テストパッドPAD__SETB）、リセット端子R（テストパッドPAD__RSTB）はともに、入力された信号を反転する構成となっている。

10

【0037】

なお、図5において、バンプ電極BP__0～BP__Nは、それぞれ、貫通電極TSV__0～TSV__Nと接続される。テストパッドPAD__0～PAD__Nは、それぞれ、貫通電極TSV__0～TSV__Nと接続される。貫通電極TSV__0～TSV__N、及び、貫通電極TSV__RSTBは、対応するバンプ電極と基板を挟んで対向する位置に形成された裏面側のバンプ電極とを接続する。メモリデバイス21～24の貫通電極TSV__0～TSV__N、TSV__RSTBは、互いに対応して、接続される。

【0038】

（第1の実施形態の動作：通常動作）

20

次に、第1の実施形態の動作について図4、図5を用いて説明する。まず、各メモリデバイス21～24が図1に示す半導体装置10として完成した後の通常動作について説明する。この状態では、各メモリデバイス21～24のバンプ電極BP__0～BP__N、BP__RSTBは、メモリコントローラ30、又は、外部端子SBと接続されている。また、各メモリデバイス21～24のテストパッドPAD__0～PAD__N、PAD__SETB、PAD__RSTBには何も接続されていない状態となる。メモリコントローラ30又は外部端子SBから各メモリデバイス21～24のバンプ電極BP__RSTBにリセット信号が与えられると、各メモリデバイス21～24のバッファ制御部BCはリセットされ、各メモリデバイス21～24の各テストバッファTD__0～TD__Nは非活性状態に初期設定される。この後は、貫通電極TSV__0～TSV__N、TSV__RSTBを介してメモリコントローラ30や外部端子SBと信号の送受信を行い、半導体装置10として機能する。

30

【0039】

（第1の実施形態の動作：各メモリデバイス単体でのテスト）

各メモリデバイス21～24がメモリチップ積層体10aに組み立てられる前のウェハー状態又は、ペレット状態のときは、テストパッドPAD__0、PAD__N、PAD__SETB、PAD__RSTBを用いて各メモリデバイス21～24単体でテストを行うことができる。

【0040】

テスト対象となるメモリデバイス21～24について、テストパッドPAD__0、PAD__N、PAD__SETB、PAD__RSTBを、テスト装置に接続する。また、各メモリデバイス単体でのテストであるので、バンプ電極BP__0～BP__N、BP__RSTBには、何も接続されていない。

40

【0041】

まず、メモリデバイス21～24のバッファ制御回路BCは、メモリデバイス21～24のテストパッドPAD__SETBを介して外部（例えば、テスト装置等）から供給される活性レベル（ロウレベル）のセット信号SETBを受け取り、活性レベルのセット信号に応じて、バッファ制御信号を活性レベル（ハイレベル）とする。メモリデバイス21のテストバッファTD__0～TD__Nが、活性レベル（ハイレベル）のバッファ制御信号を受け取り活性レベルになることで、メモリデバイス21～24のテストパッドPAD__0

50

～PAD__Nがそれぞれ対応して入出力回路部60に電氣的に接続される。この状態で各メモリデバイス単体でのテストを行うことができる。

【0042】

(第1の実施形態の動作：メモリチップ積層体10aとしてのテスト)

次に、図4、図5を用いて第1の実施形態におけるメモリチップ積層体10aのテスト動作について説明する。メモリチップ積層体10aのテストでは、テストパッドが外部に露出しているメモリデバイス21のテストパッドから外部のテスト装置等と信号の入出力を行い、メモリデバイス22～24は、貫通電極TSV__0～TSV__N、TSV__RSTBを介して外部のテスト装置等と信号の入出力を行う。

【0043】

まず、メモリデバイス21のバッファ制御回路BCは、メモリデバイス21のテストパッドPAD__SETBを介して外部(例えば、テスト装置等)から供給される活性レベル(ロウレベル)のセット信号SETBを受け取り、活性レベルのセット信号に応じて、バッファ制御信号を活性レベル(ハイレベル)とする。メモリデバイス21のテストバッファTD__0～TD__Nが、活性レベル(ハイレベル)のバッファ制御信号を受け取り活性レベルになることで、メモリデバイス21のテストパッドPAD__0～PAD__Nがそれぞれ対応して貫通電極TSV__0～TSV__Nに電氣的に接続される。なお、メモリデバイス22～24のテストパッドPAD__SETBは、外部のテスト装置等には、接続されておらず、プルアップされたままなので、非活性レベル(ハイレベル)が保持される。従って、メモリデバイス22～24のテストバッファTD__0～TD__Nは非活性状態を維持する。

【0044】

メモリデバイス21のテストパッドPAD__0～PAD__Nを用いて、所望のテスト信号の入出力を行う。その結果、メモリデバイス21の入出力回路部60には、テストパッドPAD__0～TD__Nと貫通電極TSV__0～TSV__Nを介して、外部のテスト装置との間で信号の入出力が行われる。また、メモリデバイス22～24には、バンプ電極BP__0～BP__Nと貫通電極TSV__0～TSV__Nを介して、所望のテスト信号の入出力が行われる。このように、メモリチップ積層体10aのテストをバンプ電極にプローブすることなく実施することができる。テスト終了時には、メモリデバイス21のリセットテストパッドRSTBから活性レベルのリセット信号を入力することで、メモリデバイス21のテストバッファを非活性状態として、各テストバッファを各貫通電極から電氣的に切りはなす。これにより、通常動作時には、バンプ電極にテストパッドの容量が重畳することはない。

【0045】

すなわち、メモリチップ積層体10aとしてテストを行うときは、積層された複数のメモリデバイス21～24のうち、テストパッドPAD__0～PAD__N、PAD__RSTBが表面に露出している一つのメモリデバイス21のテストバッファTD__0～TD__Nを活性化させ、当該メモリデバイス21のテストバッファを活性化させてテストパッドとバンプ電極とを接続し、テストパッドからテストを行っている。また、メモリデバイス21のバンプ電極BP__0～BP__Nは、貫通電極TSV__0～TSV__Nを介して他のメモリデバイス22～24のバンプ電極BP__0～BP__Nへも接続されているので、メモリデバイス21のテストパッドPAD__0～PAD__NとテストバッファTD__0～TD__Nを介してメモリデバイス22～24のテストを行うこともできる。

【0046】

[第1の実施形態の変形例]

図6は、第1の実施形態の変形例における半導体チップ内部のブロック図である。また、図7は、図6の半導体チップをメモリチップ積層体10aの状態に組み立てたときのブロック図である。図6、図7の第1の実施形態の変形例について、図4、図5に示す第1の実施形態と異なる点についてのみ説明する。図6、図7の第1の実施形態の変形例において、第1の実施形態と構成、動作がほぼ同一である個所については、同一の符号を付し

10

20

30

40

50

、重複する説明は省略する。

【0047】

図6に示すとおり、第1の実施形態の変形例のバッファ制御部BCは、セットリセットフリップフロップ回路F1に加えて、AND回路A1を備えている。図6において、セットリセットフリップフロップ回路F1は、図4に示す第1の実施形態のバッファ制御部BC全体にほぼ等しい。図6に示す第1の実施形態の変形例では、セットリセットフリップフロップ回路F1の出力端子とバンプ電極BP__TESTから入力したテストエンタリー信号の論理ANDを取るAND回路A1が設けられており、そのAND回路A1の出力信号が第1の実施形態の変形例におけるバッファ制御部BCの出力信号になっている。また、バンプ電極BP__TESTは、テストエンタリー信号の入力パッドPAD__TESTへも接続されている。

10

【0048】

図7に示すとおり、メモリチップ積層体10aに組み立てられたときは、テストエンタリー信号のバンプ電極BP__TESTも他のバンプ電極BP0～BP__N、BP__RS TBと同様に貫通電極TSV__RS TBにより積層された複数のメモリデバイス21～24のテストエンタリー信号のバンプ電極BP__TESTに共通に接続される。また、各メモリデバイス21～24のテストエンタリー信号の入力パッドPAD__TESTへも接続されるが、この内、パッドPAD__TESTがメモリチップ積層体10aの表面に露出しているメモリデバイス21のパッドPAD__TESTのみがテストエンタリー信号の入力に用いられ、メモリチップ積層体10aに組み立てられた後は、メモリデバイス22～24のテストエンタリー信号の入力パッドPAD__TESTはテストエンタリー信号の入力に用いられることはない。

20

【0049】

次に、図6、図7に示す第1の実施形態の変形例の動作について説明する。第1の実施形態の変形例では、メモリデバイス21のテストパッドPAD__SE TBから活性レベル（ロウレベル）のセット信号SE TBを外部のテスト装置等から入力することに加えて、メモリデバイス21のテストエンタリー信号の入力パッドPAD__TESTを活性レベルのハイレベルに維持し続けることにより、テストバッファTD__0～TD__Nを活性化することができる。また、通常動作時にはテストエンタリー信号TESTを非活性レベルのロウレベルに固定しておくことで、通常動作時にテストバッファTD__0～TD__Nが誤って活性化してしまう誤動作をより適切に抑えることができる。

30

【0050】

〔第2の実施形態〕

図8は、第2の実施形態における半導体チップ内部のブロック図である。また、図9は、図8の半導体チップをメモリチップ積層体10aの状態に組み立てたときのブロック図である。第1の実施形態と第2の実施形態で構成、動作がほぼ同一である部分については、同一の符号を付し、重複する説明は省略する。図8に示す通り、第2の実施形態では、既存のテストエンタリー信号であるTEST信号（バンプ電極BP__TEST、パッドPAD__TESTに接続）とコマンド信号の一部であるチップセレクト信号CS0B（バンプ電極BP__CS0B、パッドPAD__CS0Bに接続）を用いてテスト動作モードにエンタリーする。第1の実施形態のように、メモリチップ積層体10aのテストのための追加のテストパッドPAD__SE TBを設ける必要はない。第2の実施形態のバッファ制御部BCは、セットリセットフリップフロップ回路F1、F2、AND回路A1、A2、OR回路O1を備えている。

40

【0051】

図9に示すように、メモリデバイス21～24を選択する識別信号であるチップセレクト信号CS0B～CS3Bは、他の信号のように各メモリデバイス21～24に共通に貫通電極により同一の信号を配線するのではなく、各メモリデバイス21～24で接続するチップセレクト信号CS0B～CS3Bがずらして接続されている。すなわち、チップセレクト信号を接続する貫通電極TSV__CS0～TSV__CS3は、対応するバンプ電極

50

と基板を挟んで対向する位置に形成された裏面側のバンプ電極ではなく、ずれた位置に形成された裏面側バンプ電極とを接続する構成とし、メモリデバイスを積層したときに、メモリデバイス21～24の貫通電極TSV__CS0～TSV__CS3が螺旋状に接続されるようにしている。

【0052】

(メモリチップ積層体10aのテスト動作について)

メモリチップ積層体10aのテスト時には、第1の実施形態と同様にメモリデバイス21のテストパッド(PAD__0、PAD__N、PAD__TEST、PAD__CS0B、PAD__RSTB)からテストを行う。テストモードのエントリーには、PAD__TEST、PAD__CS0B、PAD__RSTBを用いる。なお、メモリチップ積層体10aのテスト中は、PAD__CS1B～PAD__CS3Bは、非活性レベル(ハイレベル、又はハイインピーダンス)を保持する必要がある。

10

【0053】

メモリデバイス21のテストパッドPAD__TESTから活性レベル(ハイレベル)のテスト信号を供給する。これにより、メモリデバイス21のバッファ制御信号をセットリセットフリップフロップ回路F1によって制御可能となる。

【0054】

メモリデバイス21のテストパッドPAD__RSTBから活性レベル(ロウレベル)のリセット信号RSTBを供給する。リセット信号RSTBは、バンプ電極BP__RSTB及び貫通電極を通して、各メモリデバイス21～24に接続されているので、メモリデバイス21～24のセットリセットフリップフロップ回路F1、F2のそれぞれをリセット状態(それぞれの出力がロウレベルとなる)にする。

20

【0055】

メモリデバイス21のテストパッドPAD__CS0Bに活性レベル(ロウレベル)のチップセレクト信号CS0Bを供給する。この際、メモリデバイス21のテストパッドPAD__CS1B～PAD__CS3Bは、非活性レベル(ハイレベル、または、Hi-z)としておく。この場合、メモリデバイス21では、OR回路O1の出力がロウレベルとなり、メモリデバイス21のセットリセットフリップフロップ回路F1がセット状態とされ、その結果、AND回路A1から出力されるバッファ制御信号が活性レベル(ハイレベル)となり、テストバッファTD__1～TD__Nが活性状態とされ、テストパッドPAD__0～PAD__Nがそれぞれ対応する貫通電極TSV__0～TSV__Nに接続される。

30

【0056】

一方、メモリデバイス22～24では、AND回路A2の出力はロウレベルとなるので、セットリセットフリップフロップ回路F2は、セット状態となってハイレベルを出力する。すると、これに応じて、OR回路O1の出力がハイレベルとなり、バッファ制御部BCの出力信号となるAND回路A1の出力信号は、非活性レベルのロウレベルとなり、テストバッファTD__0～TD__Nが非活性状態となるので、テストパッドPAD__0～PAD__Nは、それぞれ対応する貫通電極TSV__0～TSV__Nと電氣的に切り離されたままである。

【0057】

この状態で、メモリデバイス21のテストパッドPAD__0～PAD__Nを介して、所望のテスト信号の入出力が行われる。このように、メモリチップ積層体のテストをバンプ電極にプローブすることなく実施することができる。

40

【0058】

メモリチップ積層体10aのテスト終了時には、メモリデバイス21のテストパッドPAD__RSTBから活性レベル(ロウレベル)のリセット信号RSTBを供給し、メモリデバイス21～24のセットリセットフリップフロップ回路F1、F2をそれぞれリセット状態(それぞれの出力がロウレベルとなる)に初期設定し、テストを終了する。

【0059】

(通常動作時)

50

メモリチップ積層体10aがメモリコントローラ30、インターポーザ40と組み立てられ、半導体装置10として完成した後は、テストパッド(PAD__TEST等)から活性レベル(ハイレベル)のテスト信号が与えられることはないで、テストバッファTD__0~TD__Nを、セトリセットフリップフロップ回路F2の状態によらず、常に非活性状態とすることができる。

【0060】

(第2の実施形態の効果)

以上述べたように第2の実施形態によれば、第1の実施形態の効果に加えて、メモリチップ積層体10aのテスト専用のパッド(PAD__SETB)を設けなくとも、チップセレクト信号CS0B~CS3Bを用いてメモリチップ積層体10aのテストモードに設定することが可能であるという効果を奏する。

10

【0061】

[第3の実施形態]

図10は、図2に示した半導体装置10の第3の実施形態による半導体装置の配線構造を説明するためのブロック図である。

【0062】

図10に示す第3の実施形態では、メモリデバイス21a~24aがいずれも4つのチャンネル(チャンネル0~チャンネル3)を有しており、チャンネルごとにメモリコントローラ30xに対して共通接続されている。メモリデバイス21a~24aには、チャンネルごとにクロック端子20a、アドレス端子20b、コマンド端子20c及びデータ端子20dが設けられており、これらがメモリコントローラ30の当該チャンネルに対応するクロック端子30a、アドレス端子30b、コマンド端子30c及びデータ端子30dに接続されている。

20

【0063】

このような構成を有する半導体装置の場合、チャンネルごとに第1の実施形態、第1の実施形態の変形例、第2の実施形態で説明した図4、図6、図8のいずれかに示したブロック(バッファ制御部BC等)を設ける構成とする。また、チャンネルごとにバッファ制御部BCを設けることに代えて、メモリデバイス21a~24aの各々において4つのチャンネルに共通のバッファ制御部を設ける構成としても構わない。

【0064】

30

なお、以上説明した各実施形態では、いずれもメモリチップ積層体10aに実装するメモリデバイスの数は、4であったが、メモリチップ積層体10aに実装するメモリデバイスの数は、任意の数実装することが可能である。また、以上説明した各実施形態では、積層する半導体チップは、メモリデバイスであったが、メモリデバイス以外の半導体チップに適用することももちろん可能である。

【0065】

本発明の全開示(特許請求の範囲及び図面を含む)の枠内において、さらにその基本的技術思想に基づいて、実施例ないし実施例の変更・調整が可能である。また、本発明の特許請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、特許請求の範囲及び図面を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

40

【符号の説明】

【0066】

10：半導体装置

10a：メモリチップ積層体

10b：メモリコントローラ部分

21~24、21a~24a：半導体チップ(メモリデバイス)

20a：クロック端子

20b：アドレス端子

20c：コマンド端子

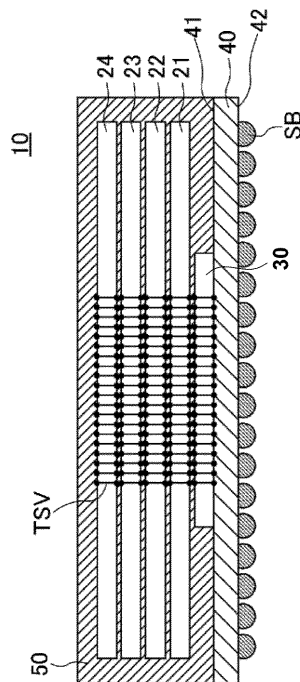
50

20d：データ端子
 30、30x：別の半導体チップ（メモリコントローラ）
 30a：クロック端子
 30b：アドレス端子
 30c：コマンド端子
 30d：データ端子
 40：インターポーザ
 41：インターポーザの表面
 42：インターポーザの裏面（41の反対面の第2の表面）
 50：封止樹脂
 60：入出力回路部
 61：入力回路
 62：出力回路
 71：アクセス制御回路
 72：メモリセルアレイ
 BC：バッファ制御部
 A1、A2：AND回路
 O1：OR回路
 F1、F2：セットリセットフリップフロップ回路
 BE1、BE2：パンプ電極
 SB：外部端子（半田ボール）
 TSV：貫通電極（Through Silicon Via）

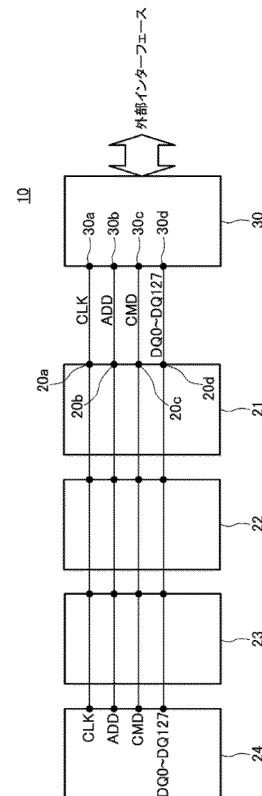
10

20

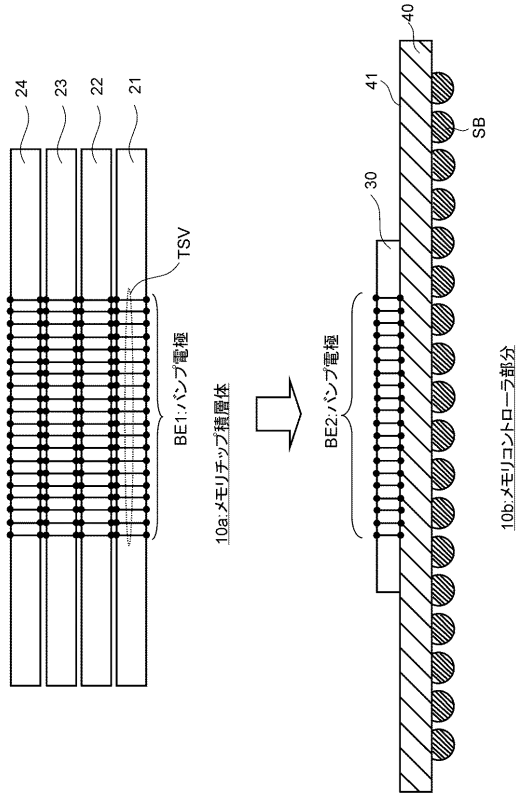
【図1】



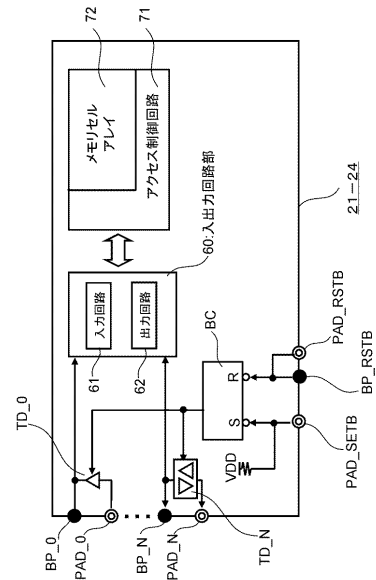
【図2】



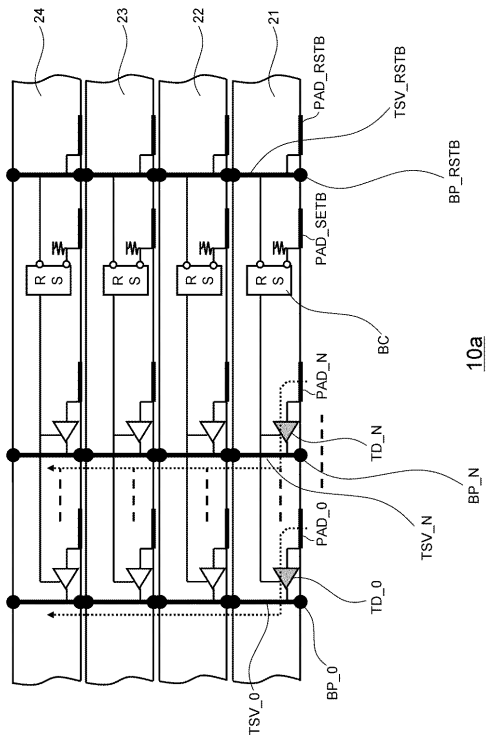
【図 3】



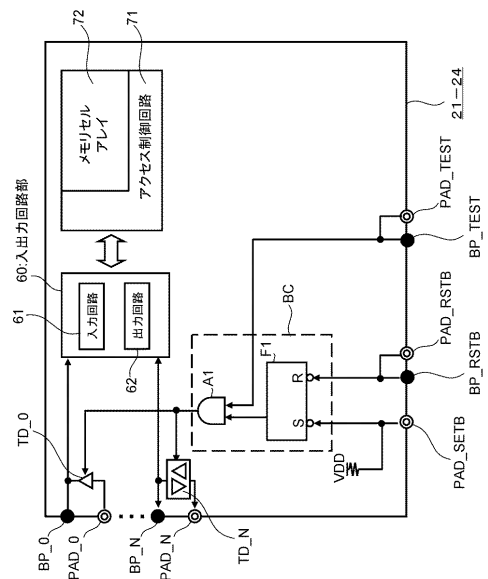
【図 4】



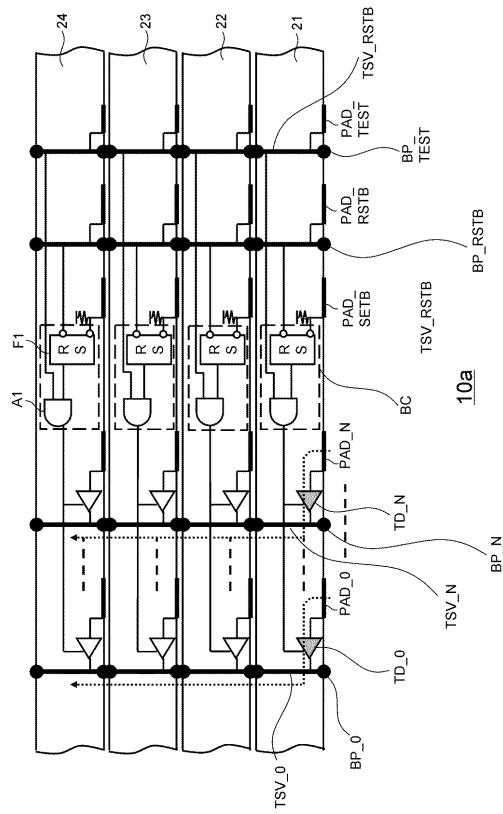
【図 5】



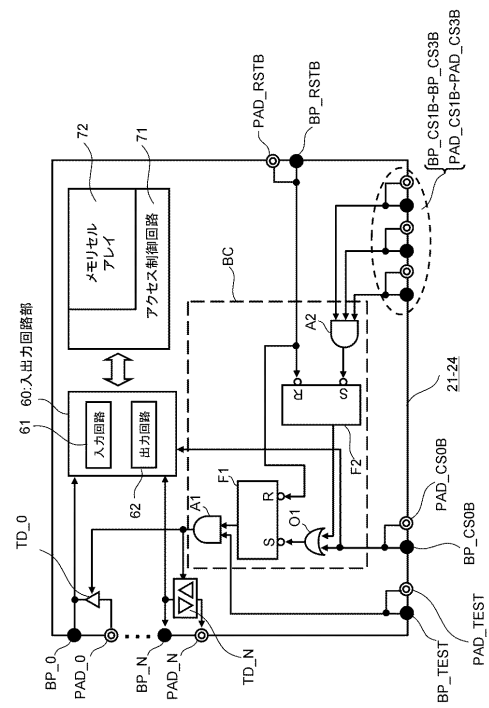
【図 6】



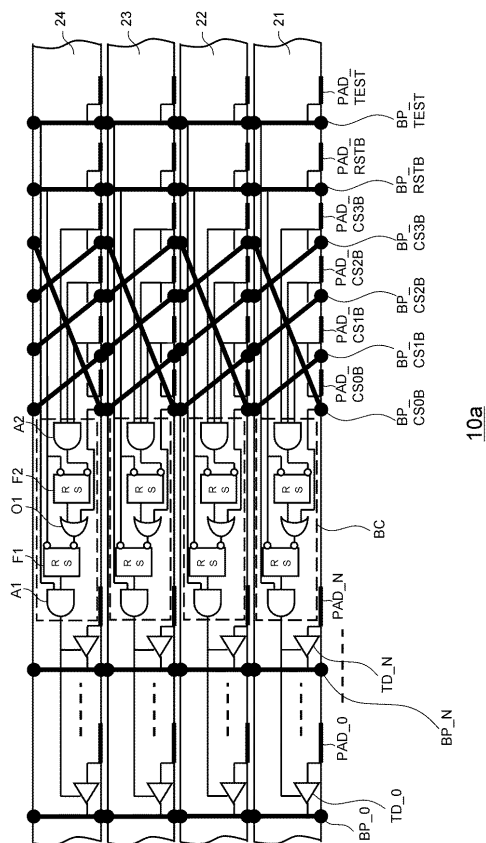
【図 7】



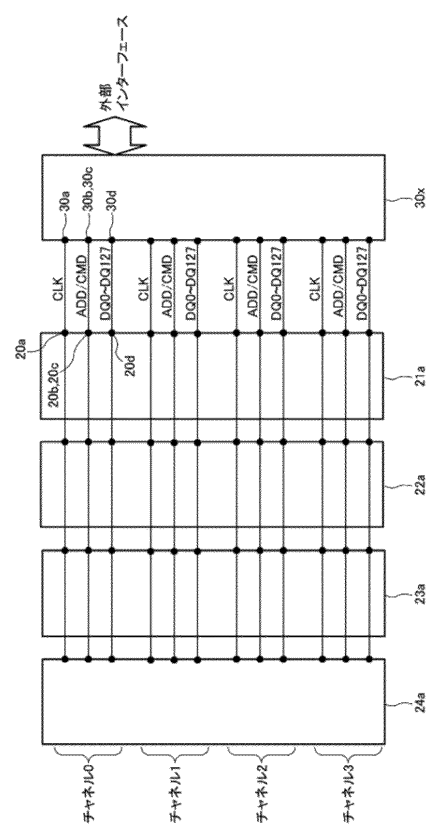
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
<i>H O 1 L 23/522 (2006.01)</i>	H O 1 L 27/10 4 9 5	
<i>H O 1 L 27/10 (2006.01)</i>	H O 1 L 25/08 B	
<i>H O 1 L 25/065 (2006.01)</i>		
<i>H O 1 L 25/07 (2006.01)</i>		
<i>H O 1 L 25/18 (2006.01)</i>		