

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 23 日 (23.01.2014)



(10) 国际公布号
WO 2014/012275 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2012/079401
- (22) 国际申请日: 2012 年 7 月 31 日 (31.07.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210250438.6 2012 年 7 月 19 日 (19.07.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克劳斯特街 11#, New York 12603 (US)。 蒋葳 (JIANG, Wei)

[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT AND TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: SEMICONDUCTOR COMPONENT AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制造方法

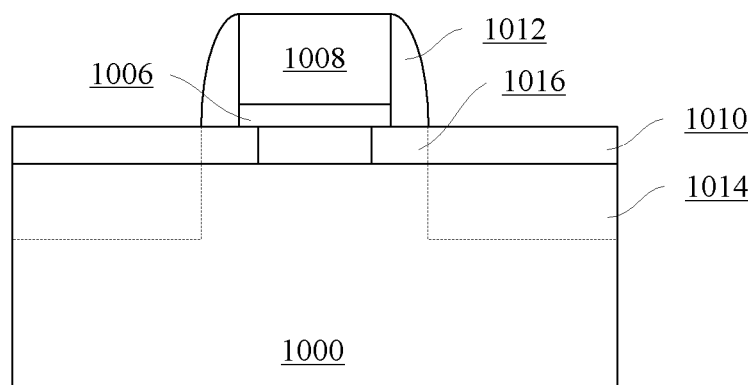


图6 /Fig.6

(57) Abstract: Disclosed are a semiconductor component and a manufacturing method therefor. The method comprises: growing a first epitaxy layer (1004) on a substrate (1000); forming a sacrificial gate stack (1006 and 1008) on the first epitaxy layer (1004); selectively etching the first epitaxy layer (1004); growing and *in situ* doping a second epitaxy layer (1010) on the substrate (1000); forming sidewalls (1012) on both sides of the sacrificial gate stack (1006 and 1008); and forming source/drain regions (1014) by using the sidewalls (1012) as a mask.

(57) 摘要: 公开了一种半导体器件及其制造方法。该方法包括: 在衬底 (1000) 上生长第一外延层 (1004); 在第一外延层 (1004) 上形成牺牲栅堆叠 (1006, 1008); 选择性刻蚀第一外延层 (1004); 在衬底 (1000) 上生长并原位掺杂第二外延层 (1010); 在牺牲栅堆叠 (1006, 1008) 两侧形成侧墙 (1012); 以及以侧墙 (1012) 为掩模, 形成源/漏区 (1014)。

WO 2014/012275 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

半导体器件及其制造方法

本申请要求了 2012 年 7 月 19 日提交的、申请号为 201210250438.6、发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体领域，更具体地，涉及一种半导体器件及其制造方法。

背景技术

随着器件尺寸日益缩小，短沟道效应越来越明显。为抑制短沟道效应，一种手段是减小源/漏延伸区的结深。为形成浅的延伸区，需要在进行延伸区注入时采用低能离子进行注入，且随后进行超快速退火来激活注入离子。这对生产设备和生产工艺提出了挑战。

另一方面，离子注入可能导致衬底损伤。从而需要额外的退火处理来消除损伤。

发明内容

本公开的目的至少部分地在于提供一种半导体器件及其制造方法。

根据本公开的一个方面，提供了一种制造半导体器件的方法，包括：在衬底上生长第一外延层；在第一外延层上形成牺牲栅堆叠；选择性刻蚀第一外延层；在衬底上生长并原位掺杂第二外延层；在牺牲栅堆叠两侧形成侧墙；以及以侧墙为掩模，形成源/漏区。

根据本公开的另一方面，提供了一种半导体器件，包括：在衬底上形成的栅堆叠；在衬底上生长的原位掺杂的第一外延层，被配置成源/漏延伸区；以及源/漏区。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-6 是示出了根据本公开实施例的制造半导体器件流程的示意图；以及

图 7-14 是示出了根据本公开另一实施例的制造半导体器件流程的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

以下，参照图1-6，描述根据本公开的一实施例。

如图1所示，提供衬底1000。衬底1000可以是各种形式的衬底，例如但不限于体半导体材料衬底如体Si衬底、绝缘体上半导体（SOI）衬底、SiGe衬底等。在以下的描述中，为方便说明，以体Si衬底为例进行描述。

在衬底1000上，例如通过外延，生长外延层1004。外延层1004例如可以包括SiGe（Ge的原子百分比例如为约10%），厚度可以为约5-10nm。该外延层1004的厚度将大体上确定随后形成的源/漏延伸区的厚度。

随后，如图2所示，在外延层1004上，形成牺牲栅堆叠。例如，可以通过淀积依次形成氧化物层1006和氮化物层1008，且随后进行构图，以形成牺牲栅堆叠。需要指出的是，本领域技术人员知道多种方式来形成牺牲栅堆叠。图2中所示的氧化物层1006和氮化物层1008的牺牲栅堆叠结构仅仅是示例。根据本公开的实施例，为了便于后续处理，牺牲栅堆叠优选地不包括晶体半导体材料（如，多晶硅），而是包括电介质材料例如氮化物、氧化物或其组合，这是为了在后续处理中需要进行选择性外延生长时避免在牺牲栅堆叠上进行生长。

接下来，如图3所示，可以对外延层1004进行选择刻蚀。这种选择性刻蚀例如

可以通过湿法刻蚀、干法刻蚀或其组合来进行。由于外延层1004（例如，SiGe）和衬底1000（例如，Si）之间的刻蚀选择性，刻蚀可以停止于衬底1000。由于牺牲栅堆叠的存在，外延层1004位于牺牲栅堆叠下方的部分得以保留。在图3所示的示例中，示出了外延层1004的横向边缘相对于牺牲栅堆叠的横向边缘略为凹进，凹进距离可以通过控制刻蚀工艺中的工艺条件来控制。

然后，如图4所示，在由于上述选择性刻蚀而露出的衬底1000上例如通过外延，生长外延层1010。外延层1010例如包括Si。由于牺牲栅堆叠包括电介质材料如氧化物和氮化物，因此外延生长不会在牺牲栅堆叠表面发生。在生长外延层1010的过程中，可以通过原位掺杂，将外延层1010掺杂为相应的导电类型。例如，对于n型器件，可以通过掺杂n型杂质如As或P，将外延层1010掺杂为n型；对于p型器件，可以通过掺杂p型杂质如In、BF₂或B，将外延层1010掺杂为p型。这种原位掺杂的外延层1010随后用来形成最终器件的延伸区。

接下来，如图5所示，在牺牲栅堆叠两侧形成侧墙1012。侧墙1012例如可以包括氮化硅、氧化硅或其组合。本领域技术人员知道多种方式来形成侧墙，在此不再赘述。

随后，如图6所示，可以以侧墙为掩模，来形成源/漏区1014。例如，可以通过离子注入，来形成源/漏区1014。具体地，对于n型器件，可以注入n型杂质如As或P；对于p型器件，可以注入p型杂质。离子注入之后，例如可以通过退火，来激活注入的离子。

之后，可以进行替代栅工艺。具体地，可以通过选择性刻蚀，去除牺牲栅堆叠（在该示例中，去除氮化物层1008和氧化物层1006），从而在侧墙之间形成空隙。然后，可以通过在空隙中填充栅介质和栅导体，来形成最终的栅堆叠。栅介质例如可以包括高K栅介质，栅导体例如可以包括金属栅导体。

这样，就得到了根据本公开一示例的半导体器件。如图6所示，该半导体器件包括在半导体衬底上形成的、通过原位掺杂的外延层1010。该外延层1010（更具体来说，其靠近沟道区的部分）构成该半导体器件的源/漏延伸区1016。由于外延层1010的形成工艺，其厚度主要由外延层1004的厚度决定，也就是说，外延层1004的厚度基本上确定了延伸区1016的深度。由于可以比较精确地控制在衬底上生长的外延层1004的厚度较薄，从而可以控制形成较浅的延伸区1016。另外，在形成延伸区1016的过程中，对其原位掺杂，从而避免了进行离子注入，并因此避免了需要对其进行的超快速退火。

以下，参照图7-14，描述根据本公开的另一实施例。

如图7所示，提供衬底2000。衬底2000可以是各种形式的衬底，例如但不限于体半导体材料衬底如体Si衬底、绝缘体上半导体（SOI）衬底、SiGe衬底等。在以下的描述中，为方便说明，以体Si衬底为例进行描述。

在衬底1000上，例如通过外延，生长外延层2002。外延层2002例如可以包括SiGe（Ge的原子百分比例如为约10%），厚度可以为约30-50nm。该外延层2002的厚度将大体上确定随后形成的源/漏区的厚度。

另外，在外延层2002上，例如通过外延，生长另一外延层2004。外延层2004例如可以包括Si，厚度可以为约5-10nm。该外延层2004的厚度将大体上确定随后形成的源/漏延伸区的厚度。

随后，如图8所示，在外延层2004上，形成牺牲栅堆叠。例如，可以通过淀积依次形成氧化物层2006和氮化物层2008，且随后进行构图，以形成牺牲栅堆叠。关于牺牲栅堆叠，可以参见以上结合图2的说明。

接下来，如图9所示，可以对外延层2004进行选择刻蚀。这种选择性刻蚀例如可以通过湿法刻蚀、干法刻蚀或其组合来进行。由于外延层2004（例如，Si）和外延层2002（例如，SiGe）之间的刻蚀选择性，刻蚀可以停止于外延层2002。由于牺牲栅堆叠的存在，外延层2004位于牺牲栅堆叠下方的部分得以保留。在图9所示的示例中，示出了外延层2004的横向边缘相对于牺牲栅堆叠的横向边缘略为凹进，凹进距离可以通过控制刻蚀工艺中的工艺条件来控制。

然后，如图10所示，在由于上述选择性刻蚀而露出的外延层2002上例如通过外延，生长外延层2010。外延层2010例如可以包括Si。由于牺牲栅堆叠包括电介质材料如氧化物和氮化物，因此外延生长不会在牺牲栅堆叠表面发生。在生长外延层2010的过程中，可以通过原位掺杂，将外延层2010掺杂为相应的导电类型。例如，对于n型器件，可以通过掺杂n型杂质如As或P，将外延层2010掺杂为n型；对于p型器件，可以通过掺杂p型杂质如In、BF₂或B，将外延层2010掺杂为p型。这种原位掺杂的外延层2010随后用来形成最终器件的延伸区。

接下来，如图11所示，在牺牲栅堆叠两侧形成侧墙2012。侧墙2012例如可以包括氮化硅、氧化硅或其组合。本领域技术人员知道多种方式来形成侧墙，在此不再赘述。

随后，如图12所示，可以以侧墙为掩模，依次选择性刻蚀外延层2010和外延层2002。这种选择性刻蚀例如可以通过湿法刻蚀、干法刻蚀或其组合来进行。由于牺牲栅堆叠和侧墙的存在，外延层2010和外延层2002位于它们之下的部分得以保留。

然后，如图13所示，在由于上述选择性刻蚀而露出的衬底2000上例如通过外延，生长外延层2014。外延层2014例如包括Si。由于牺牲栅堆叠包括电介质材料如氧化物和氮化物，因此外延生长不会在牺牲栅堆叠表面发生。在生长外延层2014的过程中，可以通过原位掺杂，将外延层2014掺杂为相应的导电类型。例如，对于n型器件，可以通过掺杂n型杂质如As或P，将外延层2014掺杂为n型；对于p型器件，可以通过掺杂p型杂质如In、BF₂或B，将外延层2014掺杂为p型。这种原位掺杂的外延层2014随后用来形成最终器件的源/漏区。此外，原位掺杂的外延层2010的剩余部分随后用来形成器件的源/漏延伸区2016。

根据本公开的一示例，为了增强器件性能，外延层2014还可以包括SiGe（对于p型器件，Ge原子百分比例如高于30%）或Si:C（对于n型器件）。这种外延层2014可以向器件的沟道区施加应力，从而增强载流子迁移率，并因此改善器件性能。

之后，可以进行替代栅工艺。具体地，可以通过选择性刻蚀，去除牺牲栅堆叠（在该示例中，去除氮化物层1008和氧化物层1006），从而在侧墙之间形成空隙。然后，可以通过在空隙中填充栅介质2018和栅导体2020，来形成最终的栅堆叠。栅介质2018例如可以包括高K栅介质，栅导体2020例如可以包括金属栅导体。在栅介质2018和栅导体2020之间还可以形成功函数调节层（未示出）。然后，例如通过淀积，形成层间电介质层2022（例如，氧化物），并进行CMP，得到如图14所示的半导体器件。

如图14所示，该半导体器件包括在衬底上形成的栅堆叠（栅介质层2018和栅导体层2020）。原位掺杂的外延层2010构成该半导体器件的源/漏延伸区2016。同上述实施例中一样，如此形成的延伸区2016可以控制为较浅，而且避免了离子注入工艺。

此外，该半导体器件还包括由外延层2014形成的源/漏区。同样，由于在源/漏区的形成过程中进行原位掺杂，避免了进行离子注入，并因此避免了相应的退火工艺。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求

1. 一种制造半导体器件的方法，包括：
在衬底上生长第一外延层；
在第一外延层上形成牺牲栅堆叠；
选择性刻蚀第一外延层；
在衬底上生长并原位掺杂第二外延层；
在牺牲栅堆叠两侧形成侧墙；以及
以侧墙为掩模，形成源/漏区。
2. 根据权利要求 1 所述的方法，其中，
在生长第一外延层之前，该方法还包括：在衬底上生长第三外延层，
以侧墙为掩模，形成源/漏区包括：
以侧墙为掩模，选择性刻蚀第二外延层和第三外延层；以及
在衬底上生长并原位掺杂第四外延层。
3. 根据权利要求 1 所述的方法，其中，在形成源/漏区之后，该方法还包括：
去除牺牲栅堆叠，在侧墙之间形成空隙；以及
在空隙中依次形成栅介质层和栅导体层。
4. 根据权利要求 1 所述的方法，其中，衬底包括 Si，第一外延层 SiGe，第二外延层包括 Si。
5. 根据权利要求 2 所述的方法，其中，衬底包括 Si，第一外延层 Si，第二外延层包括 Si，第三外延层包括 SiGe，第四外延层包括 Si、SiGe 或 Si:C。
6. 根据权利要求 1 所述的方法，其中，牺牲栅堆叠包括电介质材料。
7. 一种半导体器件，包括：
在衬底上形成的栅堆叠；
在衬底上生长的原位掺杂的第一外延层，被配置成源/漏延伸区；以及
源/漏区。
8. 根据权利要求 7 所述的半导体器件，还包括：
位于第一外延层中的第二外延层，第二外延层位于栅堆叠下方，
其中，第二外延层的厚度实质上确定第一外延层的厚度。
9. 根据权利要求 8 所述的半导体器件，其中，源/漏区包括在衬底上生长的

原位掺杂的第三外延层。

10. 根据权利要求 9 所述的半导体器件，还包括：

位于第三外延层中的第四外延层，第四外延层位于衬底上第二外延层下方，其中，第四外延层的厚度实质上确定第三外延层的厚度。

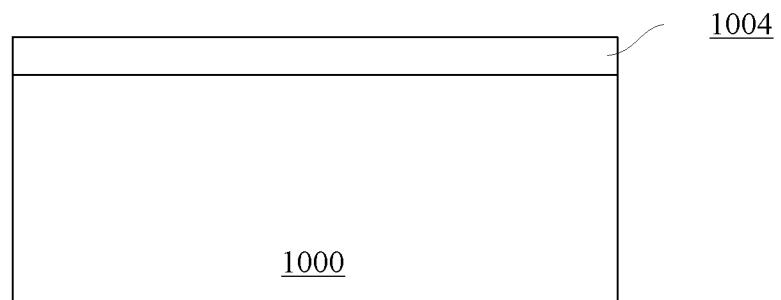


图1

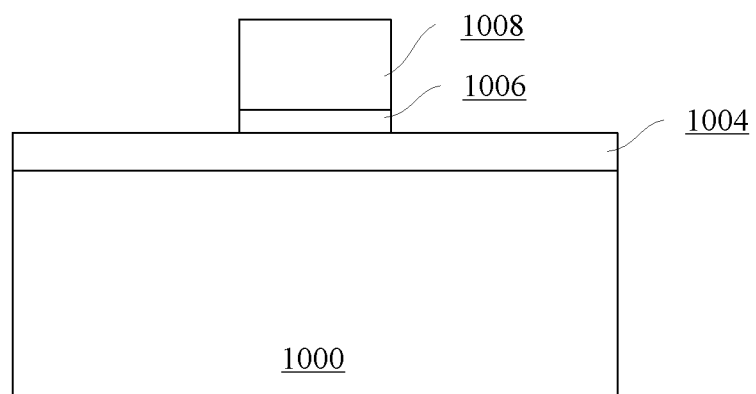


图2

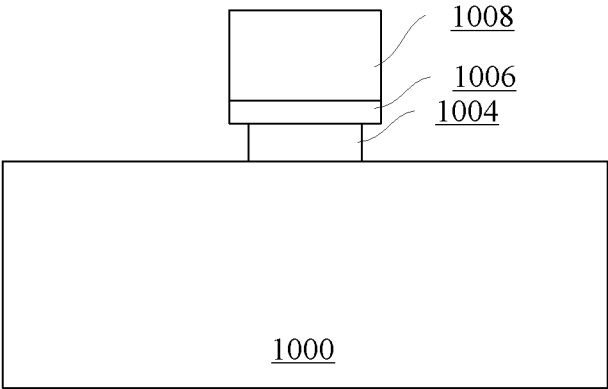


图3

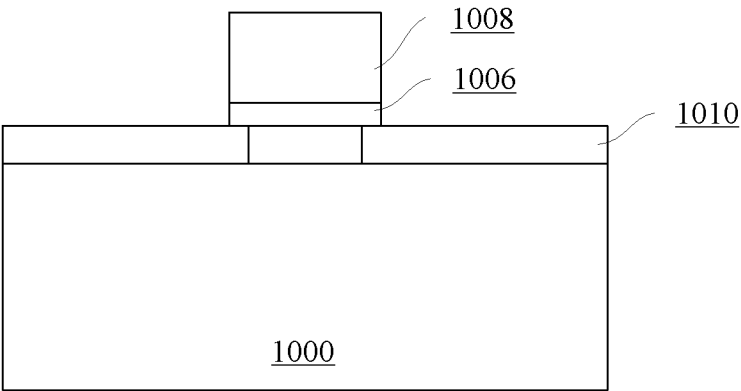


图4

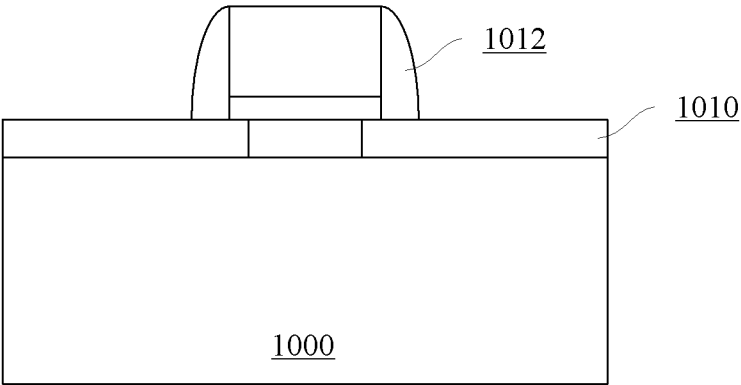


图5

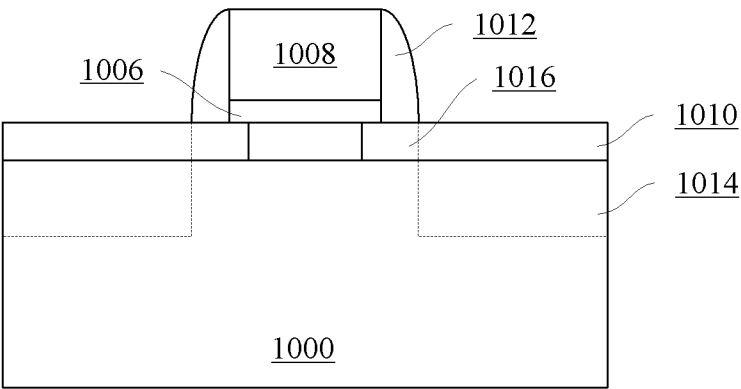


图6

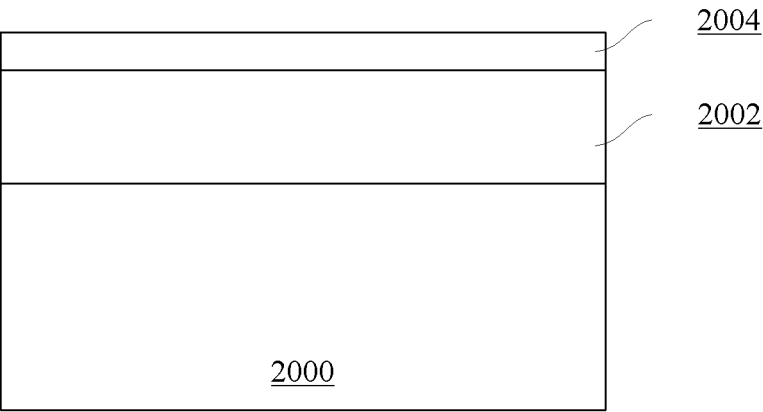


图7

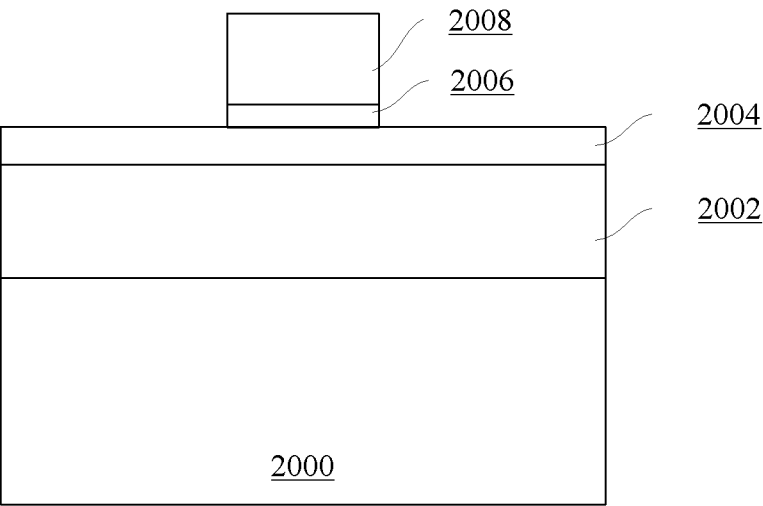


图8

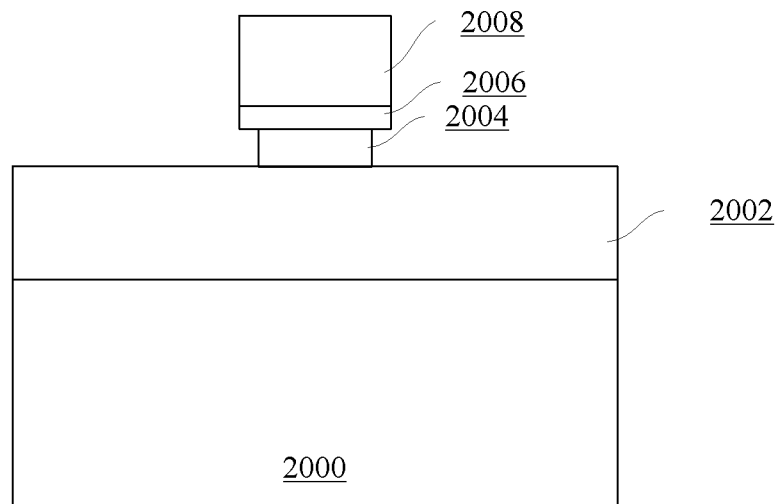


图9

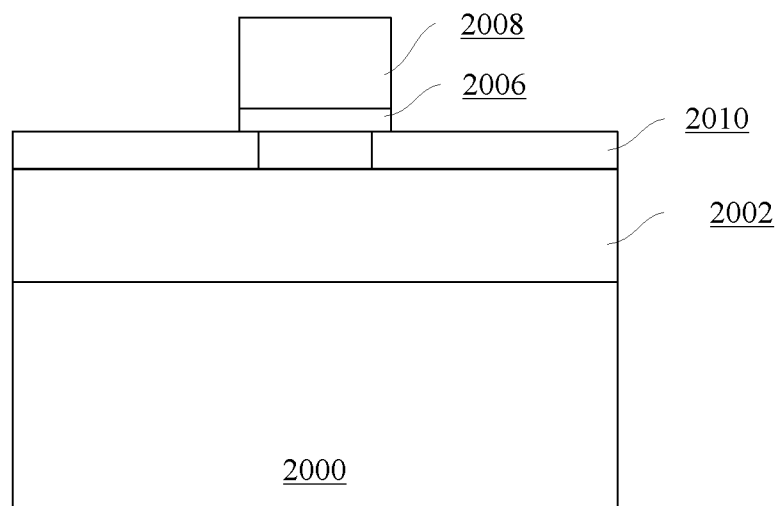


图10

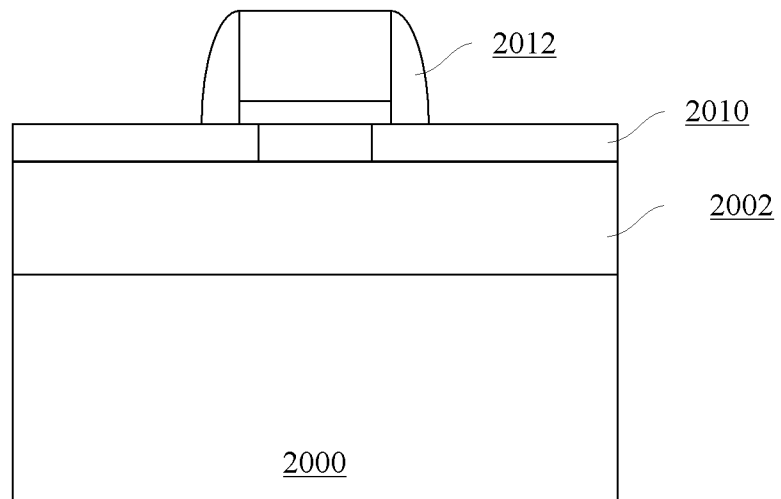


图11

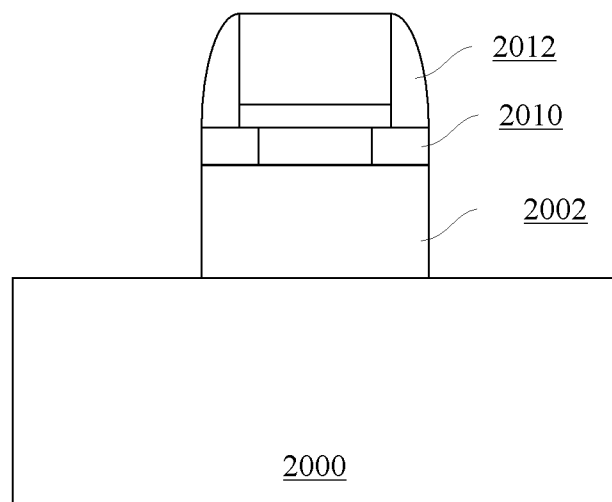


图12

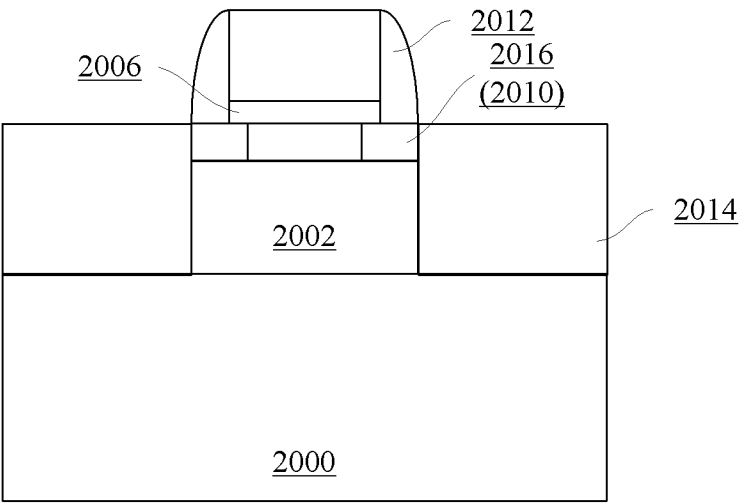


图 13

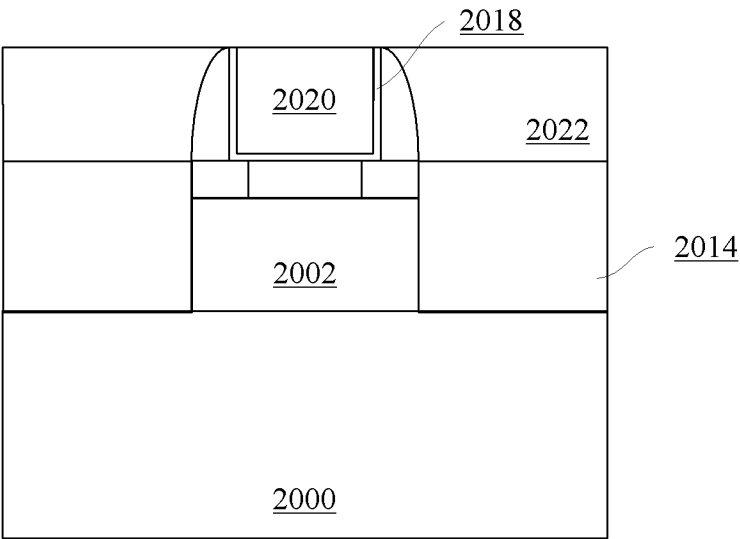


图 14

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/079401

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNKI: source, drain, epitaxial, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101027763 A (INTEL CORP.) 29 August 2007 (29.08.2007) page 2, line 20 to page 5, line 12 and figures 3-17	1, 3-4, 6-8
Y		2, 5, 9-10
Y	US 6881635 B1 (CHIDAMBARRAO et al.) 19 April 2005 (19.04.2005) column 2, line 50 to column 4, line 67 and figures 1-6	2, 5, 9-10
A	US 2006228842 A1 (ZHANG et al.) 12 October 2006 (12.10.2006) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 March 2013 (11.03.2013)	Date of mailing of the international search report 21 March 2013 (21.03.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Xin Telephone No. (86-10) 62411567

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/079401

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101027763 A	29.08.2007	US 7332439 B2	19.02.2008
		WO 2006039597 A3	13.07.2006
		WO 2006039597 A2	13.04.2006
		US 2006068590 A1	30.03.2006
		TW 200618125 A	01.06.2006
		DE 112005002302 T5	27.09.2007
		DE 112005002302 B4	23.07.2009
		KR 100867781 B1	10.11.2008
		KR 20070052329 A	21.05.2007
		TWI 272681 B	01.02.2007
US 6881635 B1	19.04.2005	US 2005242340 A1	03.11.2005
US 2006228842 A1	12.10.2006	US 7226820 B2	05.06.2007

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/079401

Continuation of : A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/079401

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-; H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN: source, drain, epitaxial

CNABS, CNKI: 源, 漏, 延伸, 外延, 栅

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101027763 A (英特尔公司) 29.8 月 2007 (29.08.2007) 第 2 页第 20 行至第 5 页第 12 行; 附图 3-17	1, 3-4, 6-8
Y		2, 5, 9-10
Y	US6881635 B1 (CHIDAMBARRAO 等) 19.4 月 2005 (19.04.2005) 第 2 栏第 50 行至第 4 栏第 67 行; 附图 1-6	2, 5, 9-10
A	US2006228842 A1 (ZHANG 等) 12.10 月 2006 (12.10.2006) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

11.3 月 2013 (11.03.2013)

国际检索报告邮寄日期

21.3 月 2013 (21.03.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王欣

电话号码: (86-10) 62411567

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/079401

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101027763 A	29. 08. 2007	US7332439 B2	19. 02. 2008
		W02006039597 A3	13. 07. 2006
		W02006039597 A2	13. 04. 2006
		US2006068590 A1	30. 03. 2006
		TW200618125 A	01. 06. 2006
		DE112005002302 T5	27. 09. 2007
		DE112005002302 B4	23. 07. 2009
		KR100867781 B1	10. 11. 2008
		KR20070052329 A	21. 05. 2007
		WI272681 B	01. 02. 2007
US6881635 B1	19. 04. 2005	US2005242340 A1	03. 11. 2005
US2006228842 A1	12. 10. 2006	US7226820 B2	05. 06. 2007

续: A. 主题的分类

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i