



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I465920 B

(45) 公告日：中華民國 103 (2014) 年 12 月 21 日

(21) 申請案號：101149051

(22) 申請日：中華民國 101 (2012) 年 12 月 21 日

(51) Int. Cl. : G06F13/14 (2006.01)

G06F9/06 (2006.01)

G06F9/30 (2006.01)

(30) 優先權：2011/12/30 世界智慧財產權組織 PCT/US11/68238

(71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：蒙娜里 卡麥隆 B MCNAIRY, CAMERON B. (US)

(74) 代理人：憚軼群；陳文郎

(56) 參考文獻：

CN 101645005A

US 6961806B1

US 8006225B1

審查人員：何偉權

申請專利範圍項數：27 項 圖式數：15 共 73 頁

(54) 名稱

結構存取處理器、方法、系統及指令

STRUCTURE ACCESS PROCESSORS, METHODS, SYSTEMS, AND INSTRUCTIONS

(57) 摘要

一種態樣之方法，該方法可回應於一或多個結構存取指令而獲執行，該方法包括將一處理器之一結構之一部分之一狀態改變為一隱退狀態。在該隱退狀態中，該處理器之組件不能存取該結構之該部分，但能夠存取該結構之一或多個其他部分。當該結構之該部分處於該隱退狀態中時，可修改該結構之該部分中的非架構可見資料。在該結構之該部分中之該非架構可見資料已獲修改之後，該結構之該部分的該狀態接著自該隱退狀態改變為一非隱退狀態。本案亦揭示其他方法、設備、系統及指令。

A method of an aspect, which may be performed responsive to one or more structure access instructions, includes changing a state of a portion of a structure of a processor to a sequestered state. In the sequestered state, components of the processor are not able to access the portion of the structure but are able to access one or more other portions of the structure. Non-architecturally visible data in the portion of the structure is modified, while the portion of the structure is in the sequestered state. The state of the portion of the structure is then changed from the sequestered state to a non-sequestered state, after the non-architecturally visible data in the portion of the structure has been modified. Other methods, apparatus, systems, and instructions are also disclosed.

方法  
215

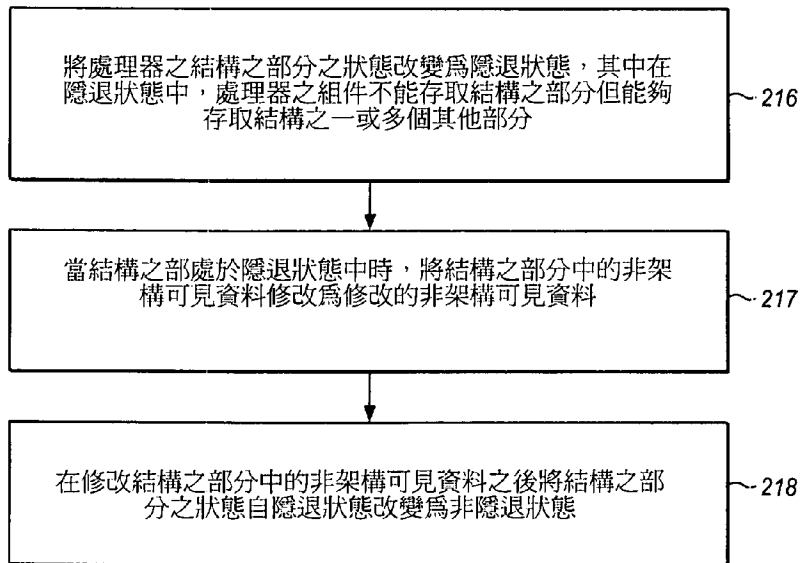


圖2

## 發明摘要

※ 申請案號：101149051

※ 申請日：101.12.21

※ IPC 分類：G06F 13/14 (2006.01)

9/06 (2006.01)

9/30 (2006.01)

【發明名稱】(中文/英文)

結構存取處理器、方法、系統及指令

STRUCTURE ACCESS PROCESSORS, METHODS, SYSTEMS, AND INSTRUCTIONS

【中文】

一種態樣之方法，該方法可回應於一或多個結構存取指令而獲執行，該方法包括將一處理器之一結構的一部分之一狀態改變為一隱退狀態。在該隱退狀態中，該處理器之組件不能存取該結構之該部分，但能夠存取該結構之一或多個其他部分。當該結構之該部分處於該隱退狀態中時，可修改該結構之該部分中的非架構可見資料。在該結構之該部分中之該非架構可見資料已獲修改之後，該結構之該部分的該狀態接著自該隱退狀態改變為一非隱退狀態。本案亦揭示其他方法、設備、系統及指令。

【英文】

A method of an aspect, which may be performed responsive to one or more structure access instructions, includes changing a state of a portion of a structure of a processor to a sequestered state. In the sequestered state, components of the processor are not able to access the portion of the structure but are able to access one or more other portions of the structure. Non-architecturally visible data in the portion of the structure is modified, while the portion of the structure is in the sequestered state. The state of the portion of the structure is then changed from the sequestered state to a non-sequestered state, after the non-architecturally visible data in the portion of the structure has been modified. Other methods, apparatus, systems, and instructions are also disclosed.

**【代表圖】**

**【本案指定代表圖】**：第（2）圖。

**【本代表圖之符號簡單說明】**：

215...方法

216~218...方塊

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

(無)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

結構存取處理器、方法、系統及指令

STRUCTURE ACCESS PROCESSORS, METHODS,  
SYSTEMS, AND INSTRUCTIONS

## 【技術領域】

發明領域

[0001]實施例係關於處理器。具體而言，實施例係關於回應於結構存取指令來隱退且修改處理器之結構內的微架構資料之處理器。

## 【先前技術】

發明背景

[0002]具有各種指令集架構(ISA)之處理器在此項技術中係已知。ISA 通常表示與程式設計相關之處理器之架構之部分。ISA 通常包括本機指令、架構暫存器、資料類型、定址模式、記憶體架構、中斷及異常處置，以及軟體及/或程式設計師可見的處理器之架構之其他部分。舉例而言，架構暫存器(例如，通用暫存器)可由應用程式之通用巨集指令指定來識別將要操作之資料。

[0003]ISA 與處理器之微架構不同。處理器之微架構通常表示選擇來實行 ISA 之特殊處理器設計技術。具有不同微架構之處理器可共享共用 ISA。大多數處理器具有許多微架構結構。此等微架構結構之少許實例包括但不限於快取記憶體、指令轉譯後備緩衝器、重新排序器緩衝器、引

退暫存器等。此等微架構結構及具有此等結構之各種不同類型之微架構資料或非架構可見資料通常係巨集指令不可存取的，或僅以相當有限之方式可存取。

### 【發明內容】

[0004] 依據本發明之一實施例，係特地提出一種方法，其包含：將一處理器之一結構的一部分之一狀態改變為一隱退狀態，其中在該隱退狀態中，該處理器之組件不能存取該結構之該部分，但能夠存取該結構之一或多個其他部分；當該結構之該部分處於該隱退狀態中時，將該結構之該部分中的非架構可見資料修改為修改的非架構可見資料；以及在修改該結構之該部分中之該非架構可見資料之後，將該結構之該部分的該狀態自該隱退狀態改變為一非隱退狀態。

### 【圖式簡單說明】

[0005] 本發明可最佳地藉由參考以下描述及用來例示本發明之實施例之隨附圖式來理解。在圖式中：

圖 1 係具有可操作以回應於結構存取指令之實施例來執行結構存取操作之邏輯之實施例的處理器之實施例的方塊圖。

圖 2 係可回應於一或多個結構存取指令之實施例予以執行之方法之實施例的方塊流程圖。

圖 3 係可由一或多個結構存取指令修改之快取記憶體之實施例的方塊圖。

圖 4 係結構存取指令之實施例的方塊圖。

圖 5 係結構存取運算元之詳細示例性實施例的方塊圖。

圖 6 係具有特權存取狀態之結構之實施例的方塊圖，該特權存取狀態允許較高特權組件存取結構之部分且防止較低特權組件存取結構之部分。

圖 7 係包括儲存一或多個結構存取指令之機器可讀儲存媒體之製品的方塊圖。

圖 8A 係例示根據本發明之實施例之如下兩者的方塊圖：示範性循序(in-order)管線，以及示範性暫存器重新命名亂序(out-of-order)發佈/執行管線。

圖 8B 係例示如下兩者之方塊圖：循序架構核心的示範性實施例，以及示範性暫存器重新命名亂序發佈/執行架構核心，上述兩者將包括於根據本發明之實施例的處理器中。

圖 9A 至圖 9B 例示更特定示範性循序核心架構之方塊圖，該核心將為晶片中若干邏輯區塊(包括相同類型及/或不同類型之其他核心)之一。

圖 10 係根據本發明之實施例之處理器的方塊圖，該處理器可具有一個以上核心，可具有整合型記憶體控制器，且可具有整合型圖形元件(graphics)。

圖 11 係根據本發明之一實施例之系統的方塊圖。

圖 12 係根據本發明之一實施例之第一更特定的示範性系統之方塊圖。

圖 13 係根據本發明之一實施例之第二更特定的示範性系統之方塊圖。

圖 14 係根據本發明之一實施例之 SoC(系統單晶片)的

方塊圖。

圖 15 係對照根據本發明之實施例之軟體指令轉換器的用途之方塊圖，該轉換器係用以將來源指令集中之二進位指令轉換成目標指令集中之二進位指令。

## 【實施方式】

詳細說明

[0006] 本文揭示結構存取指令、執行或處理該等結構存取指令之處理器、由該等處理器在處理或執行該等結構存取指令時執行之方法，及併入一或多個處理器來處理或執行該等結構存取指令之系統。在以下描述中，闡述大量特定細節(例如，特定處理器組配、操作之序列、指令格式、資料格式、微架構細節等)。然而，可在無此等特定細節的情況下實踐實施例。在其他實例中，並未詳細地展示出熟知的電路、結構及技術以避免混淆描述之理解。

[0007] 圖 1 係具有回應於結構存取指令 101 之實施例來執行結構存取操作之邏輯 103 之實施例的處理器 100 之實施例的方塊圖。處理器可為各種複雜指令集計算(CISC)處理器、各種精簡指令集計算(RISC)處理器、各種極長指令字(VLIW)處理器、其各種混合式處理器或完全其他類型之處理器中之任何處理器。在一些實施例中，處理器可係通用處理器(例如，桌上型電腦、膝上型電腦及類似電腦中使用之類型的通用微處理器)。替代地，處理器可係專用處理器。適合的專用處理器之實例包括但不限於網路處理器、通訊處理器、密碼處理器、圖形處理器、共處理器、嵌入

式處理器、數位信號處理器(DSP)及控制器(例如，微控制器)，僅舉數例。

[0008]處理器可接收一或多個結構存取指令 101。例如，可自指令擷取單元、指令隊列或記憶體接收指令。結構存取指令可各自表示由處理器辨識及控制設備來執行特殊操作的機器指令、巨集指令或控制信號。在一些實施例中，結構存取指令中每一者可明確地指定(例如，經由位元或一或多個欄位)或以其他方式指示(例如，隱含地指示)一或多個來源 111(例如，暫存器)。來源中每一者可具有結構存取運算元 112。結構存取運算元可提供資訊來指定或限定邏輯 103 將要回應於結構存取指令而執行之操作之類型。軟體可在實行結構存取指令之前將資料寫入至運算元之來源中。在一些實施例中，指令可明確地指定或以其他方式指示自結構讀取之資料將要儲存之目的地。在一些狀況下，來源 111 可再次用作目的地。

[0009]例示的處理器包括指令解碼單元或解碼器 102。解碼器可接收且解碼較高階機器指令或巨集指令，且輸出一或多個較低階微操作、微碼進入點、微指令或其他較低階指令或控制信號，上述各者反映原始較高階指令且/或自原始較高階指令導出。一或多個較低階指令或控制信號可經由一或多個較低階(例如，電路階或硬體階)操作來實行較高階指令之操作。可使用各種不同機構來實行解碼器，該等各種不同機構包括但不限於微碼唯讀記憶體 (ROM)、詢查表、硬體實行方案、可規劃邏輯陣列(PLA)

及此項技術中已知的用來實行解碼器之其他機構。

[0010]在其他實施例中，代替具有解碼器 102，可使用指令仿真器、轉譯器、變形器(morpher)、解譯器或其他指令轉換邏輯。各種不同類型之指令轉換邏輯在此項技術中係已知，且可實行於軟體、硬體、韌體或其組合中。指令轉換邏輯可接收指令，仿真、轉譯、變形、解譯或以其他方式將該接收的指令轉換為一或多個對應的導出指令或控制信號。在其他實施例中，可使用指令轉換邏輯及解碼器兩者。例如，設備可具有指令轉換邏輯以將收到的指令轉換為一或多個中間指令，及解碼器以將一或多個中間指令解碼為可由處理器之本機硬體執行之一或多個較低階指令或控制信號。指令轉換邏輯中之一些或全部可位於遠離其餘處理器之晶粒外(off-die)，諸如在分開的晶粒上或在晶粒外記憶體中。

[0011]再次參閱圖 1，執行用於結構存取指令 101 之結構存取操作的邏輯 103 與解碼器 102 耦接。邏輯 103 可自解碼器接收一或多個微操作、微碼進入點、微指令、其他指令或其他控制信號，上述各者反映一或多個結構存取指令或自一或多個結構存取指令導出。邏輯 103 亦與由一或多個結構存取指令指示之一或多個來源(例如，一或多個暫存器或其他儲存位置)耦接。如先前所提及，來源可具有結構存取運算元，該等結構存取運算元有助於指定或限定邏輯 103 將要回應於結構存取指令而執行之操作。以下將進一步論述運算元之特定實例。

[0012]邏輯 103 亦與處理器之結構 104 耦接。舉例而言，結構可為快取記憶體、暫存器組、指令轉譯後備緩衝器(TLB)、另一類型之快取記憶體或緩衝器、位址解碼器、處理器之微架構結構或類似者。結構具有部分 105 及一或多個其他部分 108。舉例而言，在結構為快取記憶體之狀況下，部分 105 可為個別快取記憶體列，且其他部分 108 可為全部其他快取記憶體列。如另一實例，在結構為暫存器組之狀況下，部分 105 可為個別暫存器，且其他部分 108 可為全部其他暫存器。如又一實例，在結構為 TLB 之狀況下，部分 105 可為 TLB 之個別項，且其他部分 108 可為 TLB 之全部其他項。此等實例僅為適合的結構及部分之少許說明性實例。

[0013]邏輯 103 係可操作的，回應於一或多個結構存取指令 101 且/或作為一或多個結構存取指令 101 之結果來將結構 104 之部分 105 之狀態改變為隱退狀態 107。在一些實施例中，第一結構存取指令可使邏輯 103 改變狀態。在隱退狀態下，邏輯 103 在處理一或多個結構存取指令 101 時能夠存取結構之部分 105，以及結構之其他部分 108。然而，在隱退狀態下，處理器之其他組件 109(例如，未處理結構存取指令 101 之其他邏輯及核心)不能存取結構之部分 105(如穿過雙向箭頭之圖解「X」中所指示)，但能夠存取結構之一或多個其他部分 108。隱退結構之部分 105 可有效地停用除執行或實行結構存取指令之資源之外的全部結構之部分且/或有效地將不可用部分呈現至此等其他組件。

[0014]隱退部分有效地使部分對於其他組件不可利用，以便可在無來自其他組件之干擾的情況下且在其他組件在完成修改之前不存取資料的情況下修改該部分中之資料。舉例而言，在快取記憶體及快取記憶體列之狀況下，其他組件 109 將不檢查隱退快取記憶體列 105 之命中且將不儲存資料或自隱退快取記憶體列 105 擷取資料，然而快取記憶體仍運轉正常且其他組件 109 可儲存資料或自快取記憶體之其他非隱退快取記憶體列 108 讀取資料。如另一實例，在暫存器組及暫存器之狀況下，其他組件 109 將不存取隱退暫存器 105，然而隱退暫存器組仍運轉正常且其他組件 109 可儲存資料或自暫存器組之其他非隱退暫存器 108 讀取資料。在一些實施例中，當微架構結構具有架構意義時，可對於隱退暫存器或其他隱退部分執行重新命名、重新對映或類似操作。例如，可將暫存器 Ax 及其他架構暫存器重新命名或重新對映至另一未隔離暫存器。如一實例，可藉助於重新排序緩衝器來達成此舉。

[0015]舉例而言，將結構之部分改變為隱退狀態可包括設定與該部分相關聯之一或多個位元(例如，在快取記憶體之狀況下設定一或多個每一快取記憶體列位元，在暫存器組之狀況下設定一或多個每一暫存器位元，在 TLB 中設定一或多個每一項位元，等等)。在一些實施例中，當結構具有原始/初始資料時，在修改非架構可見資料之前，邏輯 103 回應於一或多個結構存取指令(例如，回應於第一結構存取指令)而可將原始非架構可見資料同調地儲存至適當儲存

位置 110，以便不丟失原始/初始資料。例如，在快取記憶體之狀況下，可將原始資料回寫至記憶體。

[0016]再次參閱例示，當結構之部分處於隱退狀態中時，邏輯 103 係進一步可操作的，回應於一或多個結構存取指令 101 且/或作為一或多個結構存取指令 101 之結果來將結構之部分中之原始非架構可見資料修改為修改的非架構可見資料 106。在一些實施例中，第二結構存取指令可使邏輯 103 修改資料。在一些實施例中，兩個或兩個以上結構存取指令可用來進行兩個或兩個以上連續修改。如本文中所使用，修改包括改變一或多個位元(例如，藉由直接改變一或多個個別位元，或藉由以具有不同的一或多個位元之另一資料值來替換全部資料值)。

[0017]舉例而言，在結構 104 為快取記憶體且部分 105 為快取記憶體列之狀況下，邏輯 103 可修改快取記憶體列之一或多個欄位、值或部分。可修改的快取記憶體列之欄位、值或部分之實例包括但不限於標籤、誤差修正或同位資料、狀態、快取記憶體替換資料及實際資料，以及上述各者之組合。誤差修正資料可係基於各種不同誤差修正方案。類似地，快取記憶體替換資料可係基於各種不同方案(例如，最近最少使用(LRU)、偽 LRU、最近最多使用等)。舉例而言，邏輯 103 回應於一或多個結構存取指令而可翻轉快取記憶體列之標籤或誤差修正欄位中之一或多個位元，或以另一不同的不正確值替換標籤或誤差修正欄位(例如，以引入誤差)。

[0018]顯著地，在一些實施例中，本文揭示之結構存取指令可有助於提供對否則通常為架構可見結構(例如，暫存器組等)或非架構可見結構(例如，快取記憶體、TLB 等)之非架構可見或微架構欄位、資料或部分的事物之存取(例如，讀取及/或寫入存取)。此等結構之非架構可見或微架構欄位、資料或部分可表示應用程式通常不知道的資源。例如，在快取記憶體之狀況下，應用程式通常不需要知道快取記憶體之存在，更不用說知道標籤值、誤差修正資料、快取記憶體替換資料或快取記憶體之其他非架構可見資料或欄位。在沒有本文揭示之結構存取指令之情況下，結構之此等非架構可見或微架構欄位、資料或部分否則通常係程式不可利用的(例如，通用巨集指令不可利用的)。

[0019]使用本文揭示之結構存取指令來存取結構之此等非架構可見或微架構欄位、資料或部分可用於各種不同目的。舉例而言，存取可用來幫助管理、監視、測試、控制、重新組配或以其他方式與結構相互作用。如一特殊實例，結構存取指令可用來將誤差注入結構(例如，快取記憶體、暫存器組、其他資料儲存結構等)中。例如，可毀壞快取記憶體列之標籤、誤差修正、快取記憶體替換或其他欄位(例如，可翻轉位元中之一或多者)。如一實例，可執行此舉以測試快取記憶體偵測且/或修正誤差之能力。在其他實施例中，本文揭示之指令可用來執行結構之運作中(例如，在運轉時間或現用執行期間)重新組配。例如，結構存取指令可用來在運轉時間期間停用結構之有缺陷快取記憶體列

或其他部分。

[0020]再次參閱例示，邏輯 103 係進一步可操作的，回應於一或多個結構存取指令 101 且/或作為一或多個結構存取指令 101 之結果，來在修改結構之部分中的非架構可見資料之後將結構之部分之狀態自隱退狀態改變為非隱退狀態(未展示)。在一些實施例中，第三結構存取指令可使邏輯 103 將狀態改變為非隱退狀態。舉例而言，在快取記憶體之狀況下，非隱退狀態可為 MESI 狀態(例如，修改狀態、獨佔狀態、共享狀態或無效狀態)。在一些實施例中，此狀況可允許其他組件 109 能夠存取部分 105 及/或修改的非架構可見資料 106。替代地，如以下將進一步解釋，在一些實施例中，可組配額外特權存取狀態，該額外特權存取狀態可允許較高特權組件而不允許較低特權組件存取部分 105(參看例如圖 6)。

[0021]有利地，可以偽原子級方式來進行結構之部分中的資料之修改。其他組件可不能存取結構之部分或其中的資料，但能夠保持在操作中且能夠存取結構之其他部分。偽原子操作在無來自系統中之其他組件之干擾的情況下幫助原子級地執行資料之修改。偽原子操作可有效地使結構之部分被暫時地修改為其他組件不可存取。若其他組件能夠存取部分中之資料，則該等其他組件可潛在地使用資料，此舉可導致誤差，或者該等組件可潛在地修改資料，此舉可為不希望的。例如，在修改快取記憶體列之狀況下，偽原子修改可有助於防止在完成修改之前另一組件驅逐或

進一步修改快取記憶體列。偽原子修改亦可有助於防止在完成修改之前另一組件存取快取記憶體列中之修改的資料，該在完成修改之前存取快取記憶體列中之修改的資料可潛在地導致誤差。

[0022]此外，可在不需要靜止全部結構之情況下且/或在不需要靜止能夠存取結構之其他組件之情況下進行修改。靜止全部結構及/或禁止能夠存取結構之其他組件亦可有助於防止來自此等其他組件之干擾。然而，靜止全部結構及/或靜止其他組件通常易於降低效能。例如，靜止其他組件(例如，執行單元、多核心系統中之其他核心、多處理器系統中之其他處理器等)通常涉及停止或暫停此等組件之執行，此舉降低效能。同樣地，靜止全部快取記憶體、全部暫存器組及類似者亦易於降低效能。

[0023]邏輯 103 可包括回應於結構存取指令來執行結構存取操作之邏輯。特殊邏輯可取決於正操作且/或由結構存取指令作為目標之結構而變化。通常，邏輯可包括與用來調處結構(例如，在此等結構內增添且/或修改非架構可見資料)之結構及/或結構之部分相關聯的本機電路或其他邏輯。舉例而言，在快取記憶體、TLB 或記憶體有關的結構之狀況下，邏輯可為此等結構及/或調處此等結構之關聯邏輯(例如，存取誤差修正資料、標籤等之集體電路)中一者之部分。如另一實例，在暫存器檔案之狀況下，邏輯 103 可為執行單元之部分，該執行單元存取暫存器檔案及/或暫存器檔案之部分中的架構可見資料。邏輯 103 及/或設備可包

括特定或特殊邏輯(例如，潛在地與軟體及/或韌體組合之電路或其他硬體)，該邏輯係可操作以回應於結構存取指令(例如，回應於自指令導出之一或多個微指令或其他控制信號)來執行結構存取指令之操作。

[0024]為避免使描述難以理解，已展示出且描述相對簡單的處理器 100。在其他實施例中，處理器可選擇性地包括其他熟知的組件，諸如，指令擷取單元、指令排程單元、分支預測單元、指令及資料快取記憶體、指令及資料轉譯後備緩衝器、預取緩衝器、微指令隊列、微指令定序器、匯流排介面單元、二階或更高階快取記憶體、引退單元、暫存器重新命名單元、包括在處理器中之其他組件，及上述各者之各種組合。實施例可具有多個核心、邏輯處理器或執行引擎。可操作以實行或執行本文揭示之指令之實施例的邏輯可包括於至少一個、至少兩個、大多數或全部核心、邏輯處理器或執行引擎中。可存在處理器中之組件之簡直大量不同的組合及組配，且實施例不限於任何特殊組合或組配。

[0025]圖 2 係可回應於一或多個結構存取指令之實施例予以執行之方法 215 之示例性實施例的方塊流程圖。在各種實施例中，方法可由通用處理器、專用處理器(例如，網路處理器、圖形處理器或數位信號處理器)或另一類型之數位邏輯裝置來執行。在各種態樣中，可在處理器或其部分(例如，解碼器、指令轉換器等)處接收指令。在各種態樣中，可自處理器外來源(例如，自主記憶體、碟片或匯流排

或互連)或自處理器上的來源(例如，自指令快取記憶體)接收指令。在一些實施例中，方法 215 可由圖 1 之處理器 100 或類似處理器來執行。替代地，方法可由處理器之不同實施例來執行。此外，處理器 100 可執行與方法 215 之實施例相同、類似或不同的操作及方法之實施例。

[0026]方法包括將處理器之結構之一部分的狀態改變為隱退狀態，在方塊 216 處。在隱退狀態中，處理器之組件不能存取結構之該部分，但能夠存取結構之一或多個其他部分。在一些實施例中，可將結構之部分中之原始/初始資料同調地寫入或儲存至另一儲存位置。在一些實施例中，可回應於第一結構存取指令來執行此操作。

[0027]當結構之部分處於隱退狀態中時，將結構之部分中的非架構可見資料修改為修改的非架構可見資料，在方塊 217 處。舉例而言，在結構為快取記憶體且部分為快取記憶體列之狀況下，回應於指令之處理器邏輯可修改快取記憶體列之標籤、誤差修正或同位資料、狀態、快取記憶體替換資料及實際資料中一或多者。在一些實施例中，可回應於第二結構存取指令來執行此操作。在一些實施例中，當結構之部分處於隱退狀態中時，一或多個額外結構存取指令可用來修改結構之該部分。有利地，一或多個結構存取指令可提供對結構之非架構可見或微架構欄位、資料或部分之讀取及/或寫入存取，上述欄位、資料或部分否則通常為巨集指令及/或機器指令不可利用的。

[0028]在修改結構之部分中的非架構可見資料之後，將

結構之部分之狀態自隱退狀態改變為非隱退狀態，在方塊 218 處。有利地，可以偽原子級方式來進行結構之部分中的資料之修改。其他組件可不能存取結構之部分或其中的資料，以便該等其他組件不干擾，但是能夠保持在操作中且能夠存取結構之其他部分。靜止其他組件或全部結構係不需要的。

[0029]已以基本形式展示且描述方法，但是可選擇性地將操作增添至方法且/或可選擇性地自方法移除操作。舉例而言，可將結構存取指令擷取、解碼(或以其他方式轉換)為一或多個其他指令或控制信號，可使邏輯能夠執行指令之操作，邏輯可執行操作，等等。另外，已展示出且/或描述操作之特殊次序，但替代實施例可以不同次序執行某些操作，組合某些操作，重疊某些操作，等等。例如，在一替代實施例中，可與狀態改變為隱退狀態同時地或至少部分同時地執行修改。

[0030]為進一步例示某些概念，有幫助的係考慮示例性快取記憶體，及隱退快取記憶體列以及在將快取記憶體列改變為非隱退狀態之前修改快取記憶體列之實例。如已知，快取記憶體係常見於處理器中之結構，該等結構用來透明地儲存資料，以便可比資料在另一儲存位置(例如，處理器外記憶體)中更快速地存取資料。儲存於快取記憶體內之資料可表示儲存在其他儲存位置中之資料之拷貝。通常將快取記憶體結構佈置至許多項中。項中每一者具有對應的資料。項中每一者亦通常具有標籤，該標籤用來識別項

中之資料(例如，判定項中之資料是否對應於其他儲存位置中之所要的資料)。

[0031]當處理單元、核心或其他實體想要存取其他儲存位置中之給定資料時，其可首先檢查快取記憶體來確定所要的資料是否存在於快取記憶體中。實體可檢查標籤來確定該等標籤是否對應於所要的資料。若資料在快取記憶體中(例如，存在快取命中)，則可自快取記憶體擷取資料。此舉可有助於避免對其他儲存位置(例如，處理器外記憶體)中之資料之較緩存取。否則，若未發現具有匹配所要的資料之標籤之標籤的項(例如存在快取未中)，則可自其他儲存位置(例如，自處理器外記憶體)存取資料，此通常意欲為較緩存取。通常，快取命中之快取記憶體存取之百分比愈高，整體系統效能愈快。

[0032]通常，在快取未中期間，處理器可驅逐快取記憶體之另一項，以為新近自其他儲存位置擷取之資料讓出空間。可根據基於給定替換策略之演算法來選擇將要驅逐之項。各種替換策略係此項技術中已知的。替換策略之實例包括但不限於最近最少使用(LRU)、最近最多使用(MRU)，及偽 LRU、隨機替換等。快取記憶體之每一項亦可包括快取記憶體替換資料(例如，一或多個 LRU 位元)，該快取記憶體替換資料可由快取記憶體替換演算法使用。

[0033]快取記憶體之每一項亦通常包括狀態或同調資料，該狀態或同調資料用來維持同調域(例如，通常至少包括快取記憶體及處理器外輔助儲存位置)中之資料的同調

性。快取記憶體中使用之常見同調協定係 MESI(修改-獨佔-共享-無效)協定，及自 MESI 協定導出或類似於 MESI 協定之其他協定。在 MESI 協定中，快取記憶體之每一項或每一快取記憶體列係指示為在修改狀態、獨佔狀態、共享狀態及無效狀態的此四個狀態中之一者中。此等狀態此項技術中係熟知的。其他協定可界定其他狀態或有關狀態。

[0034]通常，亦將誤差修正方案使用於快取記憶體中，以幫助修正某些階的誤差。快取記憶體之每一項可包括誤差修正資料(例如，誤差修正碼之一或多個位元)。誤差修正碼之一或多個位元可表示同位位元或冗餘資料，該等同位位元或冗餘資料可用來修正其他欄位中之誤差(例如，偵測且修正表示資料中之位元之錯誤翻轉之誤差)。各種不同誤差修正方案係此項技術中已知的，諸如，基於漢明(Hamming)碼之該等誤差修正方案。在一些實施例中，快取記憶體列之欄位中的多個欄位或每一欄位(例如，資料、標籤、狀態、快取記憶體替換、使用向量、有效等)，可具有其自有對應的誤差修正資料。

[0035]圖 3 係快取記憶體 304 之示例性實施例的方塊圖。快取記憶體包括 N 個快取記憶體列 308-1 至快取記憶體列 308-N。在一些實施例中，結構存取指令可對個別快取記憶體列操作。例如，如例示中所展示，結構存取指令可對快取記憶體列 M 308-M 操作。結構存取指令可指定或以其他方式指示快取記憶體列 M。在結構存取指令能夠對多個不同結構(例如，多個階的快取記憶體)或多個不同類型

之結構操作之一些實施例中，結構存取指令可指定或以其他方式指示快取記憶體。

[0036]例示的快取記憶體列 M 包括許多快取記憶體列欄位或部分，其中包括誤差修正欄位 320、標籤欄位 321、狀態欄位 322、快取記憶體替換欄位 323 及資料欄位 324。在一些實施例中，可由一或多個結構存取指令隱退、修改，且接著解除隱退快取記憶體列之此等欄位中的任何欄位或更多欄位。在一些實施例中，可改變誤差修正欄位(例如，一或多個誤差修正碼位元)。在一些實施例中，可改變標籤欄位。在一些實施例中，可改變狀態欄位(例如，MESI 狀態)。在一些實施例中，可改變快取記憶體替換欄位(例如，一或多個 LRU 位元、偽 LRU 位元或 MRU 位元)在一些實施例中，可改變資料。可將資料修改為有效資料或無效資料。在一些實施例中，在修改之後，快取記憶體列 M 可改變為非隱退狀態，該非隱退狀態係選自修改狀態、獨佔狀態、共享州及無效狀態。

[0037]在一些實施例中，結構存取指令可指示快取記憶體將要將誤差修正(例如，產生誤差修正碼)應用於修改的資料，或將不會將該誤差修正應用於修改的資料。快取記憶體通常具有電路，當將資料寫入快取記憶體列時，該電路自動產生誤差修正碼。結構存取指令可指定將要執行此自動更新(例如，來節省必須自動產生適當的誤差修正碼之努力)，或可停用此自動更新(例如，來執行診斷或測試)。換言之，若欄位(例如，資料欄位)具有對另一欄位(例如，誤

差修正欄位或同位欄位)之相依性，則指令可指定當改變該另一欄位時，將要更新該相依欄位，或者當改變該另一欄位時，將不更新該相依欄位，使得可存在一些不一致性。在一些實施例中，結構存取指令可替換資料且亦替換用於該資料之誤差修正資料。

[0038]此僅為適合結構之一實例。適合結構之另一實例係暫存器組或一分組暫存器。處理器通常包括一或多個暫存器組(例如，多組暫存器或多個分組的暫存器)。暫存器組之暫存器通常表示架構可見暫存器。架構可見暫存器通常表示晶粒上處理器儲存位置。架構可見暫存器在本文中亦可稱為架構暫存器或簡稱為暫存器。處理器可包括各種類型之暫存器組。不同類型之暫存器組之少許實例包括但不限於通用暫存器組、純量暫存器組、緊縮資料暫存器組、浮點暫存器組以及狀態及控制暫存器。在一些狀況下，暫存器可用於多個類型之資料(例如，整數資料或浮點資料)。雖然由指令指定之暫存器中的資料係架構上可見的，但暫存器通常亦包括非架構可見或微架構欄位或部分。舉例而言，暫存器通常包括保護位元或誤差修正資料。如另一實例，暫存器可包括記分板位元或資料，該等記分板位元或資料可指示寄存器內容『在飛行中』且尚不可利用於存取。在一些實施例中，可由如本文揭示之一或多個結構存取指令隱退、修改，且接著解除隱退暫存器之非架構可見欄位或部分(例如，保護位元)。

[0039]適合結構之又一實例為指令轉譯後備緩衝器

(TLB)。處理器通常包括一或多個 TLB 以緩衝或快取虛擬至實體位址轉譯。TLB 係通常佈置為許多項，其中每一項儲存一給定虛擬至實體位址轉譯。在一些實施例中，可由如本文揭示之一或多個結構存取指令隱退、修改，且接著解除隱退 TLB 之非架構可見欄位或部分。此等非架構可見欄位之實例包括但不限於頁遮罩、頁大小、誤差修正資料、同位資料、存取權資料、預驗證位元或資料、虛擬位址、實體位址、壞位元、管腳位元及類似位元。

[0040]圖 4 係結構存取指令 401 之實施例的方塊圖。結構存取指令包括操作碼或運算碼欄位 425。運算碼欄位可表示多個位元，或一或多個欄位，該等多個位元可操作以識別指令且/或至少部分識別將要執行之操作。

[0041]結構存取指令之例示的實施例亦包括來源說明符欄位 426。來源說明符欄位係可操作的以明確地指定來源運算元(例如，來源暫存器或其他來源儲存位置)。舉例而言，來源說明符可包括通用暫存器之位址。替代地，而非具有來源說明符來明確地指定來源，來源可對於指令係隱含的或固有的。在一些替代實施例中，兩個或兩個以上來源可由指令明確地指定或隱含地指示。一或多個來源可與運算碼一起幫助指定或限定將要回應於結構存取指令執行之操作之類型。在一些實施例中，指令可進一步具有目的地說明符(例如，來指定讀出資料將要儲存之目的地)。替代地，來源可再次用作目的地。

[0042]結構存取指令之例示的實施例亦選擇性地包括

一或多個資料欄位 427 及選擇性立即 428。可選擇性地包括此等欄位中任一者或兩者，以進一步幫助指定或限定將要回應於結構存取指令執行之操作之類型。

[0043]例示之指令格式展示出可包括於實施例結構存取指令中的欄位之類型之實例。通常，可單獨或以組合方式包括來源說明符、資料及立即欄位中一或多者，以幫助指定或限定將要回應於結構存取指令執行之操作之類型。替代實施例可包括例示的欄位之子集，可增添額外欄位，可包括不同欄位，或上述各者之組合。此外，欄位之例示的次序/佈置並非必需，實情為可重新佈置欄位。欄位不必包括位元之相連序列，而是可由非相連或分開的位元組成。

[0044]圖 5 係結構存取運算元 512 之實施例的方塊圖。在一些實施例中，結構存取運算元可由來源(例如，來源暫存器)提供，該來源係由結構存取指令指定或以其他方式指示。運算元之例示的實施例包括同調欄位 530、操作欄位 531、誤差修正欄位 532、途徑欄位 533、狀態欄位 534、索引欄位 535、初級結構欄位 536 及次級結構欄位 537。其他實施例可包括更少、更多或不同的欄位。

[0045]同調欄位 530 可指示操作是否應維持資料同調性。例如，同調欄位可指示，若將要修改正被存取之結構之部分中的原始/初始資料，則是否應將該原始/初始資料儲存在另一儲存位置中，以便不丟失原始/初始資料。舉例而言，在快取記憶體列之狀況下，同調欄位可指示是否將要在修改之前將快取記憶體列回寫至記憶體。

[0046]操作欄位 531 可表示結構特定的編碼，該結構特定的編碼至少部分指定將要對給定結構執行之操作。舉例而言，在結構為快取記憶體之狀況下，結構存取指令之示例性實施例之三位元操作欄位可具有值『x00』以指示操作為將標籤讀取至目的地中之診斷操作，可具有值『x10』以指示操作為將標籤自來源寫入至快取記憶體列中之診斷操作，可具有值『x11』以指示操作為將狀態讀取至目的地中之診斷操作，具有值『001』以指示操作為淨化一值的診斷操作，或可具有值『101』以指示操作為狀態改變為無效狀態或隱退狀態之同調回寫。此等僅為特定於快取記憶體之少許說明性實例。可包括更少或更多位元來指定更少或更多不同類型之操作，其中包括與如本文其他地方揭示之其他類型之結構相關的操作。

[0047]誤差修正欄位 532 可指示處理器是否將要作為修改之結果產生新誤差修正資料/位元。舉例而言，單個位元可具有值 1 以指示處理器將要產生新誤差修正資料或同位位元，或具有值 0 以指示處理器將不產生新誤差修正資料或同位位元。當結構不執行誤差修正時，可省略或忽略此欄位。

[0048]途徑欄位 533 可指定所要的途徑以操作。當結構並非快取記憶體時，可省略或忽略此欄位。

[0049]狀態欄位 534 可指示結構存取指令已執行或實行之後的結構之部分的狀態。在一些實施例中，狀態可指示隱退或非隱退。如一實例，狀態欄位可包括單個位元，

該單個位元具有值 1 以指示隱退狀態，或具有值 0 以指示非隱退狀態。在其他實例中，可包括額外位元以指示其他狀態(例如，在快取記憶體之狀況下的 MESI 狀態)。

[0050]索引欄位 535 可指示索引以操作。位元之數目及索引欄位之意義可係結構特定的。當結構不具有索引時，可省略或忽略此欄位。

[0051]初級結構欄位 536 可指示結構存取指令將要操作之結構。在一些實施例中，結構存取指令可係可操作的以對給定類型之結構操作。例如，結構存取指令(例如，運算碼)可特定於快取記憶體，且初級結構欄位可指示多個不同快取記憶體中之特殊快取記憶體(例如，中階快取記憶體、最低階快取記憶體等)。在一實例中，可提供單個位元以指示中階快取記憶體或最低階快取記憶體。如另一實例，可指示多個階的 TLB。若希望，可包括多個不同類型之結構存取指令(例如，不同運算碼)以用於不同類型之結構。替代地，在其他實施例中，給定結構存取指令(例如，運算碼)可能夠對不同類型之結構操作，且初級結構欄位可自不同類型之結構中(例如，快取記憶體、暫存器組、TLB 或其他結構)指示特殊結構，且若多個階存在，則初級結構欄位可指示特殊階之結構(例如，若多個階存在，則指示特殊階的快取記憶體或 TLB)。初級結構欄位之位元之數目可取決於所選結構之數目而變化。

[0052]次級結構欄位 537 可指示結構之特殊部分，該結構由將要操作之初級結構欄位指示。例如，在結構為快取

記憶體之實施例中，次級結構欄位可具有不同的值來指示部分為快取記憶體列之資料欄位、快取記憶體列之標籤欄位、快取記憶體列之狀態欄位或快取記憶體列之誤差修正欄位。在一些實施例中，結構存取指令之不同實例可用來修改此等不同欄位中之多個欄位。替代地，單個結構存取指令可能夠指定在單個指令內將要改變之多個欄位。

[0053]例示之結構存取運算元表示適合的運算元之特殊詳細實例，該適合的運算元展示出可包括於結構存取運算元之實施例中的欄位之類型。替代實施例可具有更少、更多或不同的欄位，或上述各者之組合。此外，可將此等欄位中之一些欄位或全部欄位自運算元移動至嵌入指令編碼中之資料或立即欄位。指令編碼及結構存取運算元之組合可完全指示將要執行之操作之類型。此外，在替代實施例中，以上描述為明確地指定之資訊中的一些資訊可替代地對於指令係隱含的或固有的，而非明確地指定。欄位之例示的次序/佈置並非必需，實情為可重新佈置欄位。欄位不必包括位元之相連序列，而是可由非相連或分開的位元組成。

[0054]在一些實施例中，使用本文揭示之結構存取指令來修改資料可限制於某些組件，諸如相對較高特權組件，然而此並非必需。適合的較高特權組件之實例包括但不限於作業系統、超管理器、虛擬機器監視器及其他相對較高特權軟體或組件，該等其他相對較高特權軟體或組件具有比相對較低特權組件(例如，使用者階應用程式)更高的特權

之。較高特權組件具有比較低特權組件相對較高的特權。此等為相對術語。

[0055]此外，在一些實施例中，處理器及/或其結構可具有額外特權存取狀態。特權存取狀態與隱退狀態不同。可在如以上所論述之資料之隱退修改之後進入特權存取狀態。特權存取狀態可僅允許較高特權組件具有對特權存取狀態中之結構之部分的存取，且防止較低特權組件存取特權存取狀態中之結構之部分。

[0056]圖 6 係具有特權存取狀態 640 之結構 604 之實施例的方塊圖，特權存取狀態 640 允許較高特權組件 638 存取結構之部分 605 且防止較低特權組件 639 存取結構之部分 605。舉例而言，在快取記憶體之狀況下，特權存取狀態可表示一或多個每一快取記憶體列位元來指明對應的快取記憶體列是否在特權存取狀態中。舉例而言，在已修改結構之部分之後，在隱退狀態中時，結構存取指令可用來將結構之部分之狀態改變為特權可見性狀態。當在特權可見性狀態中時，僅較高特權組件可能夠存取部分及/或修改的非架構可見資料 606，但較低特權組件可不能存取部分及/或修改的非架構可見資料。可允許較高特權組件及較低特權組件兩者存取結構之一或多個其他部分 608。

[0057]圖 7 係包括機器可讀儲存媒體 743 之製品(例如，電腦程式產品)742 的方塊圖。在一些實施例中，機器可讀取儲存媒體可係有形的及/或非暫時性機器可讀儲存媒體。在各種示例性實施例中，機器可讀儲存媒體可包括

軟式磁片、光碟、CD-ROM、磁碟、磁光碟、唯讀記憶體 (ROM)、可規劃 ROM(PROM)、可抹除可規劃 ROM(EPROM)、電氣可抹除可規劃 ROM(EEPROM)、隨機存取記憶體 (RAM)、靜態 RAM(SRAM)、動態 RAM(DRAM)、快閃記憶體、相位改變記憶體、半導體記憶體、其他類型之記憶體或上述記憶體之組合。在一些實施例中，媒體可包括一或多個固態資料儲存材料，諸如，半導體資料儲存材料、相位改變資料儲存材料、磁性資料儲存材料、光學透明固態資料儲存材料等。

[0058]機器可讀儲存媒體儲存一或多個結構存取指令 701。一或多個結構存取指令若由機器執行或實行，則係可操作的，以使機器執行如本文揭示之一或多個操作或方法。不同類型之機器之實例包括但不限於處理器(例如，通用處理器及專用處理器)、指令處理設備及具有一或多個處理器及/或執行或處理指令之各種電子裝置。此等機器或電子裝置之少許代表性實例包括但不限於電腦系統、桌上型電腦、膝上型電腦、筆記本、伺服器、網絡路由器、網路交換器、桌上型易網機、機上盒、行動電話、視訊遊戲控制器等。

#### 示範性核心架構、處理器及電腦架構

[0059]可出於不同目的以不同方式且在不同處理器中實施處理器核心。舉例而言，此類核心的實行方案可包括：  
1)意欲用於通用計算的通用循序核心；2)意欲用於通用計算的高效能通用亂序核心；3)主要意欲用於圖形及/或科學(通

量)計算的專用核心。不同處理器之實行方案可包括：  
1)CPU，其包括意欲用於通用計算的一或多個通用循序核心及/或意欲用於通用計算的一或多個通用亂序核心；以及 2)共處理器，其包括主要意欲用於圖形及/或科學(通量)的一或多個專用核心。此等不同處理器導致不同電腦系統架構，該等架構可包括：1)共處理器在與 CPU 分離之晶片上；2)共處理器與 CPU 在同一封裝中，但在單獨的晶粒上；3)共處理器與 CPU 在同一晶粒上(在此情況下，此共處理器有時被稱為專用邏輯，諸如整合型圖形及/或科學(通量)邏輯，或被稱為專用核心)；以及 4)系統單晶片(system on a chip)，其在與所描述 CPU(有時被稱為應用核心或應用處理器)相同的晶粒上包括上述共處理器及額外功能性。接下來描述示範性核心架構，後續接著對示範性處理器及電腦架構的描述。

### 示範性核心架構

#### 循序及亂序核心方塊圖

[0060]圖 8A 係例示根據本發明之實施例之如下兩者的方塊圖：示範性循序管線，以及示範性暫存器重新命名亂序發佈/執行管線。圖 8B 係例示如下兩者之方塊圖：循序架構核心的示範性實施例，以及示範性暫存器重新命名亂序發佈/執行架構核心，上述兩者將包括於根據本發明之實施例的處理器中。圖 8A 至圖 8B 之實線方框例示循序管線及循序核心，虛線方框之選擇性增添說明暫存器重新命名亂序發佈/執行管線及核心。考慮到循序態樣係亂序態樣之

子集，將描述亂序態樣。

[0061]在圖 8A 中，處理管線 800 包括擷取級段 802、長度解碼級段 804、解碼級段 806、分配級段 808、重新命名級段 810、排程(亦稱為分派或發佈)級段 812、暫存器讀取/記憶體讀取級段 814、執行級段 816、回寫/記憶體寫入級段 818、異常處置級段 822 及確認級段 824。

[0062]圖 8B 示出處理器核心 890，其包括耦接至執行引擎單元 850 之前端單元 830，且執行引擎單元 850 及前端單元 830 兩者皆耦接至記憶體單元 870。處理器核心 890 可為精簡指令集計算(RISC)核心、複雜指令集計算(CISC)核心、極長指令字(VLIW)核心，或者混合式或替代性核心類型。作為另一選擇，核心 890 可為專用核心，諸如網路或通訊核心、壓縮引擎、共處理器核心、通用計算圖形處理單元(GPGPU)核心、圖形核心或類似者。

[0063]前端單元 830 包括耦接至指令快取記憶體單元 834 之分支預測單元 832，指令快取記憶體單元 834 耦接至指令轉譯後備緩衝器(TLB)836，指令 TLB 836 耦接至指令擷取單元 838，指令擷取單元 838 耦接至解碼單元 840。解碼單元 840(或解碼器)可解碼指令，且產生一或多個微操作、微碼進入點、微指令、其他指令或其他控制信號作為輸出，上述各者係自原始指令解碼所得，或以其他方式反映原始指令，或係由原始指令導出。可使用各種不同機構來實施解碼單元 840。合適的機構之實例包括(但不限於)詢查表、硬體實行方案、可規劃邏輯陣列(PLA)、微碼唯讀

記憶體(ROM)等。在一實施例中，核心 890 包括儲存用於某些巨集指令(macroinstruction)之微碼的微碼 ROM 或其他媒體(例如在解碼單元 840 中，或者在前端單元 830 內)。解碼單元 840 耦接至執行引擎單元 850 中的重新命名/分配器單元 852。

[0064]執行引擎單元 850 包括重新命名/分配器單元 852，其耦接至引退(retirement)單元 854 及一或多個排程器單元 856 之集合。排程器單元 856 表示任何數目的不同排程器，其中包括保留站、中央指令視窗等。排程器單元 856 耦接至實體暫存器檔案單元 858。實體暫存器檔案單元 858 中之每一者表示一或多個實體暫存器檔案，其中不同的實體暫存器檔案單元儲存一或多個不同的資料類型，諸如純量整數、純量浮點、緊縮整數、緊縮浮點、向量整數、向量浮點、狀態(例如，指令指標器，即下一個待執行指令的位址)等。在一實施例中，實體暫存器檔案單元 858 包括向量暫存器單元、寫入遮罩暫存器單元及純量暫存器單元。此等暫存器單元可提供架構性向量暫存器、向量遮罩暫存器及通用暫存器。引退單元 854 與實體暫存器檔案單元 858 重疊，以說明可實施暫存器重新命名及亂序執行的各種方式(例如，使用重新排序緩衝器及引退暫存器檔案；使用未來檔案、歷史緩衝器及引退暫存器檔案；使用暫存器對映表及暫存器集區；等)。引退單元 854 及實體暫存器檔案單元 858 耦接至執行叢集 860。執行叢集 860 包括一或多個執行單元 862 之集合及記憶體存取單元 864 之集合。執行單

元 862 可執行各種運算(例如，移位、加法、減法、乘法)且對各種類型之資料(例如，純量浮點、緊縮整數、緊縮浮點、向量整數、向量浮點)進行執行。雖然一些實施例可包括專門針對特定功能或功能集合之許多執行單元，但其他實施例可包括僅一個執行單元或多個執行單元，該等執行單元均執行所有功能。排程器單元 856、實體暫存器檔案單元 858 及執行叢集 860 被示出為可能係多個，因為某些實施例針對某些類型之資料/運算產生單獨的管線(例如，純量整數管線、純量浮點/緊縮整數/緊縮浮點/向量整數/向量浮點管線，及/或記憶體存取管線，其中每一管線具有其自有之排程器單元、實體暫存器檔案單元及/或執行叢集；且在單獨的記憶體存取管線的情況下，所實施的某些實施例中，唯有此管線之執行叢集具有記憶體存取單元 864)。亦應理解，在使用單獨的管線之情況下，此等管線中之一或多者可為亂序發佈/執行而其餘管線可為循序的。

[0065]記憶體存取單元 864 之集合耦接至記憶體單元 870，記憶體單元 870 包括耦接至資料快取記憶體單元 874 的資料 TLB 單元 872，資料快取記憶體單元 874 耦接至 2 階(L2)快取記憶體單元 876。在一示範性實施例中，記憶體存取單元 864 可包括載入單元、儲存位址單元及儲存資料單元，其中每一者耦接至記憶體單元 870 中的資料 TLB 單元 872。指令快取記憶體單元 834 進一步耦接至記憶體單元 870 中的 2 階(L2)快取記憶體單元 876。L2 快取記憶體單元 876 耦接至一或多個其他階快取記憶體且最終耦接至主記

憶體。

[0066]藉由實例，示範性暫存器重新命名亂序發佈/執行核心架構可將管線 800 實施如下：1)指令擷取 838 執行擷取級段 802 及長度解碼級段 804；2)解碼單元 840 執行解碼級段 806；3)重新命名/分配單元 852 執行分配級段 808 及重新命名級段 810；4)排程器單元 856 執行排程級段 812；5)實體暫存器檔案單元 858 及記憶體單元 870 執行暫存器讀取/記憶體讀取級段 814；執行叢集 860 執行執行級段 816；6)記憶體單元 870 及實體暫存器檔案單元 858 執行回寫/記憶體寫入級段 818；7)異常處置級段 822 中可涉及各種單元；及 8)引退單元 854 及實體暫存器檔案單元 858 執行確認級段 824。

[0067]核心 890 可支援一或多個指令集(例如，x86 指令集(以及一些擴展，較新版本已新增該等擴展)；MIPS Technologie 公司(Sunnyvale, CA)的 MIPS 指令集；ARM Holdings 公司(Sunnyvale, CA)的 ARM 指令集(以及選擇性的額外擴展，諸如 NEON))，其中包括本文中所描述之指令。在一實施例中，核心 890 包括支援緊縮資料指令集擴展(例如，AVX1、AVX2)的邏輯，進而允許使用緊縮資料來執行許多多媒體應用所使用的操作。

[0068]應理解，該核心可支援多執行緒處理(multithreading)(執行操作或執行緒之兩個或兩個以上並行集合)，且可以各種方式完成此支援，其中包括經時間切割之多執行緒處理、同時多執行緒處理(其中單個實體核心針

對該實體核心同時在多執行緒處理的各執行緒中之每一者提供一邏輯核心)或上述各者之組合(例如,經時間切割之擷取及解碼以及隨後同時的多執行緒處理,諸如在 Intel®超多執行緒處理(Hyperthreading)技術中)。

[0069]雖然在亂序執行的情況下描述暫存器重新命名,但應理解,暫存器重新命名可用於循序架構中。雖然處理器之所說明實施例亦包括單獨的指令與資料快取記憶體單元 834/874 以及共享的 L2 快取記憶體單元 876,但替代性實施例可具有用於指令與資料兩者的單個內部快取記憶體,諸如 1 階(L1)內部快取記憶體或多階內部快取記憶體。在一些實施例中,系統可包括內部快取記憶體與外部快取記憶體之組合,外部快取記憶體在核心及/或處理器外部。或者,所有快取記憶體可在核心及/或處理器外部。

#### 特定示範性循序核心架構

[0070]圖 9A 至圖 9B 例示更特定的示範性循序核心架構之方塊圖,該核心將係晶片中的若干邏輯區塊(包括相同類型及/或不同類型的其他核心)中之一者。邏輯區塊經由高頻寬互連網路(例如環形網路)與一些固定功能邏輯、記憶體 I/O 介面及其他必要的 I/O 邏輯通訊,此取決於應用。

[0071]圖 9A 係根據本發明之實施例的單個處理器核心及其至晶粒上互連網路 902 的連接以及其 2 階(L2)快取記憶體局域子集 904 之方塊圖。在一實施例中,指令解碼器 900 支援 x86 指令集與緊縮資料指令集擴展。L1 快取記憶體 906 允許對快取記憶體進行低延時存取,存取至純量單

元及向量單元中。雖然在一實施例中(爲了簡化設計)，純量單元 908 及向量單元 910 使用單獨的暫存器組(分別使用純量暫存器 912 及向量暫存器 914)，且在純量單元 908 與向量單元 910 之間傳遞的資料被寫入至記憶體，然後自 1 階(L1)快取記憶體 906 被讀回，但本發明之替代性實施例可使用不同方法(例如，使用單個暫存器組，或包括允許在兩個暫存器檔案之間傳遞資料而無需寫入及讀回的通訊路徑)。

[0072]L2 快取記憶體局域子集 904 係全域 L2 快取記憶體之部分，全域 L2 快取記憶體分成單獨的局域子集，每個處理器核心一個局域子集。每一處理器核心具有至其自有之 L2 快取記憶體局域子集 904 的直接存取路徑。處理器核心所讀取之資料係儲存於其自有之 L2 快取記憶體子集 904 中且可被快速存取，此存取係與其他處理器核心存取其自有之局域 L2 快取記憶體子集 904 並行地進行。由處理器核心所寫入之資料係儲存於其自有之 L2 快取記憶體子集 904 中且必要時自其他子集清除掉。環形網路確保共享資料之同調性。環形網路係雙向的，以允許諸如處理器核心、L2 快取記憶體及其他邏輯區塊之代理在晶片內彼此通訊。每一環形資料路徑在每個方向上的寬度係 1012 個位元。

[0073]圖 9B 係根據本發明之實施例的圖 9A 中之處理器核心之部分的展開圖。圖 9B 包括 L1 快取記憶體 904 之 L1 資料快取記憶體 906A 部分，以及關於向量單元 910 及向量暫存器 914 之更多細節。具體而言，向量單元 910 係

寬度為 16 之向量處理單元(VPU)(參見寬度為 16 之 ALU 928)，其執行整數、單精度浮點數及雙精度浮點數指令中之一或多者。VPU 支援由拌和單元 920 對暫存器輸入進行拌和、由數值轉換單元 922A-B 進行數值轉換，以及由複製單元 924 對記憶體輸入進行複製。寫入遮罩暫存器 926 允許預測所得向量寫入。

### *具有整合型記憶體控制器及圖形元件的處理器*

[0074]圖 10 係根據本發明之實施例之處理器 1000 的方塊圖，該處理器可具有一個以上核心，可具有整合型記憶體控制器，且可具有整合型圖形元件。圖 10 中的實線方框說明處理器 1000，其具有單個核心 1002A、系統代理 1010、一或多個匯流排控制器單元 1016 之集合，而虛線方框之選擇性增添說明替代性處理器 1000，其具有多個核心 1002A-N、位於系統代理單元 1010 中的一或多個整合型記憶體控制器單元 1014 之集合，以及專用邏輯 1008。

[0075]因此，處理器 1000 之不同實行方案可包括：  
1)CPU，其中專用邏輯 1008 係整合型圖形及/或科學(通量)邏輯(其可包括一或多個核心)，且核心 1002A-N 係一或多個通用核心(例如，通用循序核心、通用亂序核心、上述兩者之組合)；2)共處理器，其中核心 1002A-N 係大量主要意欲用於圖形及/或科學(通量)之專用核心；以及 3)共處理器，其中核心 1002A-N 係大量通用循序核心。因此，處理器 1000 可為通用處理器、共處理器或專用處理器，諸如網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU(通用圖

形處理單元)、高通量多重整合核心(MIC)共處理器(包括 30 個或更多核心)、嵌入式處理器或類似者。處理器可實施於一或多個晶片上。處理器 1000 可為一或多個基板之部分及/或可使用許多處理技術(例如 BiCMOS、CMOS 或 NMOS)中之任一者將處理器 1000 實施於一或多個基板上。

[0076]記憶體階層包括該等核心內的一或多階快取記憶體、一或多個共享快取記憶體單元 1006 之集合、耦接至整合型記憶體控制器單元 1014 之集合的外部記憶體(圖中未示)。共享快取記憶體單元 1006 之集合可包括一或多個中階快取記憶體，諸如 2 階(L2)、3 階(L3)、4 階(L4)，或其他階快取記憶體、末階快取記憶體(LLC)，及/或上述各者之組合。雖然在一實施例中，環式互連單元 1012 對整合型圖形邏輯 1008、共享快取記憶體單元 1006 之集合及系統代理單元 1010/整合型記憶體控制器單元 1014 進行互連，但替代性實施例可使用任何數種熟知技術來互連此等單元。在一實施例中，在一或多個快取記憶體單元 1006 與核心 1002A-N 之間維持同調性。

[0077]在一些實施例中，核心 1002A-N 中之一或多者能夠進行多執行緒處理。系統代理 1010 包括協調並操作核心 1002A-N 之彼等組件。系統代理單元 1010 可包括，例如，功率控制單元(PCU)及顯示單元。PCU 可為調節核心 1002A-N 及整合型圖形邏輯 1008 之功率狀態所需要的邏輯及組件，或者包括上述邏輯及組件。顯示單元係用於驅動一或多個外部已連接顯示器。

[0078]核心 1002A-N 就架構指令集而言可為同質的或異質的；即，核心 1002A-N 中之兩者或兩者以上可能能夠執行同一指令集，而其他核心可能僅能夠執行該指令集之子集或不同的指令集。

### 示範性電腦架構

[0079]圖 11 至圖 14 係示範性電腦架構之方塊圖。此項技術中已知的關於以下各者之其他系統設計及組配亦適合：膝上型電腦、桌上型電腦、手持式 PC、個人數位助理、工程工作站、伺服器、網路裝置、網路集線器(network hub)、交換器(switch)、嵌入式處理器、數位信號處理器(DSP)、圖形裝置、視訊遊戲裝置、機上盒(set-top box)、微控制器、行動電話、攜帶型媒體播放器、手持式裝置，以及各種其他電子裝置。一般而言，能夠併入如本文中所揭示之處理器及/或其他執行邏輯的多種系統或電子裝置通常適合。

[0080]現在參考圖 11，所展示為根據本發明之一實施例之系統 1100 的方塊圖。系統 1100 可包括一或多個處理器 1110、1115，該等處理器耦接至控制器集線器 1120。在一實施例中，控制器集線器 1120 包括圖形記憶體控制器集線器(GMCH)1190 及輸入/輸出集線器(IOH)1150(上述兩者可位於單獨的晶片上)；GMCH 1190 包括記憶體控制器及圖形控制器，記憶體 1140 及共處理器 1145 耦接至該等控制器；IOH 1150 將輸入/輸出(I/O)裝置 1160 耦接至 GMCH 1190。或者，記憶體控制器及圖形控制器中之一者或兩者整合於(如本文中所描述之)處理器內，記憶體 1140 及共處

理器 1145 直接耦接至處理器 1110，且控制器集線器 1120 與 IOH 1150 位於單個晶片中。

[0081]圖 11 中用間斷線表示額外處理器 1115 之可選擇性質。每一處理器 1110、1115 可包括本文中所描述之處理核心之一或多者且可為處理器 1000 之某一版本。

[0082]記憶體 1140 可為，例如，動態隨機存取記憶體 (DRAM)、相位變化記憶體 (PCM)，或上述兩者之組合。對於至少一個實施例，控制器集線器 1120 經由以下各者與處理器 1110、1115 通訊：諸如前端匯流排 (FSB) 之多分支匯流排 (multi-drop bus)、諸如快速路徑互連 (QuickPath Interconnect；QPI) 之點對點介面，或類似連接 1195。

[0083]在一實施例中，共處理器 1145 係專用處理器，諸如高通量 MIC 處理器、網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU、嵌入式處理器或類似者。在一實施例中，控制器集線器 1120 可包括整合型圖形加速器。

[0084]就優點量度範圍而言，實體資源 1110 與 1115 之間可能有各種差異，其中包括架構特性、微架構特性、熱特性、功率消耗特性及類似者。

[0085]在一實施例中，處理器 1110 執行控制一般類型資料處理操作的指令。共處理器指令可嵌入該等指令內。處理器 1110 認定此等共處理器指令係應由已附接之共處理器 1145 執行的類型。因此，處理器 1110 在共處理器匯流排或其他互連上發佈此等共處理器指令 (或表示共處理器指令的控制信號) 至共處理器 1145。共處理器 1145 接受並

執行接收到之共處理器指令。

[0086]現在參考圖 12，所展示為根據本發明之一實施例之第一更特定的示範性系統 1200 的方塊圖。如圖 12 中所示，多處理器系統 1200 係點對點互連系統，且包括第一處理器 1270 及第二處理器 1280，該等處理器經由點對點互連 1250 予以耦接。處理器 1270 及 1280 中之每一者可為處理器 1000 之某一版本。在本發明之一實施例中，處理器 1270 及 1280 分別為處理器 1110 及 1115，而共處理器 1238 為共處理器 1145。在另一實施例中，處理器 1270 及 1280 分別為處理器 1110 共處理器 1145。

[0087]所展示處理器 1270 及 1280 分別包括整合型記憶體控制器(IMC)單元 1272 及 1282。處理器 1270 亦包括點對點(P-P)介面 1276 及 1278，作為其匯流排控制器單元的部分；類似地，第二處理器 1280 包括 P-P 介面 1286 及 1288。處理器 1270、1280 可使用 P-P 介面電路 1278、1288 經由點對點(P-P)介面 1250 交換資訊。如圖 12 中所示，IMC 1272 及 1282 將處理器耦接至各別記憶體，亦即，記憶體 1232 及記憶體 1234，該等記憶體可為局部地附接至各別處理器之主記憶體的部分。

[0088]處理器 1270、1280 各自可使用點對點介面電路 1276、1294、1286、1298 經由個別 P-P 介面 1252、1254 與晶片組 1290 交換資訊。晶片組 1290 可選擇性地經由高效能介面 1239 與共處理器 1238 交換資訊。在一實施例中，共處理器 1238 係專用處理器，諸如高通量 MIC 處理器、

網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU、嵌入式處理器或類似者。

[0089]在任一處理器中或兩個處理器外部，可包括共享快取記憶體(圖中未示)，而該共享快取記憶體經由 P-P 互連與該等處理器連接，以使得當處理器被置於低功率模式中時，可將任一處理器或兩個處理器之局域快取記憶體資訊儲存在該共享快取記憶體中。

[0090]晶片組 1290 可經由介面 1296 耦接至第一匯流排 1216。在一實施例中，第一匯流排 1216 可為周邊組件互連 (PCI) 匯流排，或者諸如高速 PCI 匯流排或另一第三代 I/O 互連匯流排之匯流排，但本發明之範疇不限於此。

[0091]如圖 12 中所示，各種 I/O 裝置 1214 以及匯流排橋接器 1218 可耦接至第一匯流排 1216，匯流排橋接器 1218 將第一匯流排 1216 耦接至第二匯流排 1220。在一實施例中，一或多個額外處理器 1215(諸如，共處理器、高通量 MIC 處理器、GPGPU、加速器(諸如，圖形加速器或數位信號處理(DSP)單元)、場可規劃陣列，或任何其他處理器)耦接至第一匯流排 1216。在一實施例中，第二匯流排 1220 可為低針腳數(LPC)匯流排。各種裝置可耦接至第二匯流排 1220，其中包括，例如，鍵盤及/或滑鼠 1222、通訊裝置 1227，以及儲存單元 1228(諸如磁碟機或其他大容量儲存裝置)，在一實施例中，儲存單元 1228 可包括指令/程式碼及資料 1230。此外，音訊 I/O 1224 可耦接至第二匯流排 1220。請注意，其他架構係可能的。例如，代替圖 12 之點對點架

構，系統可實施多分支匯流排或其他此種架構。

[0092]現在參考圖 13，所展示為根據本發明之一實施例之第二更特定的示範性系統 1300 的方塊圖。圖 12 及圖 13 中的相似元件帶有相似參考數字，且圖 13 已省略圖 12 之某些態樣以避免混淆圖 13 之態樣。

[0093]圖 13 例示處理器 1270、1280 分別可包括整合型記憶體及 I/O 控制邏輯(「CL」)1272 及 1282。因此，CL 1272 及 1282 包括整合型記憶體控制器單元且包括 I/O 控制邏輯。圖 13 例示不僅記憶體 1232、1234 耦接至 CL 1272、1282，而且 I/O 裝置 1314 耦接至控制邏輯 1272、1282。舊式 I/O 裝置 1315 耦接至晶片組 1290。

[0094]現在參考圖 14，所展示為根據本發明之一實施例之 SoC 1400 的方塊圖。圖 10 中的類似元件帶有相似參考數字。此外，虛線方框係更先進 SoC 上之選擇性特徵。在圖 14 中，互連單元 1402 耦接至以下各者：應用處理器 1410，其包括一或多個核心 202A-N 之集合及共享快取記憶體單元 1006；系統代理單元 1010；匯流排控制器單元 1016；整合型記憶體控制器單元 1014；一或多個共處理器 1420 之集合，其可包括整合型圖形邏輯、影像處理器、音訊處理器及視訊處理器；靜態隨機存取記憶體(SRAM)單元 1430；直接記憶體存取(DMA)單元 1432；以及用於耦接至一或多個外部顯示器的顯示單元 1440。在一實施例中，共處理器 1420 包括專用處理器，諸如網路或通訊處理器、壓縮引擎、GPGPU、高通量 MIC 處理器、嵌入式處理器或類

似者。

[0095]本文中揭示之機構的實施例可硬體、軟體、韌體或者此類實施方法之組合來實施。本發明之實施例可實施為在可規劃系統上執行之電腦程式或程式碼，可規劃系統包含至少一個處理器、一儲存系統(包括依電性及非依電性記憶體及/或儲存元件)、至少一個輸入裝置及至少一個輸出裝置。

[0096]可將程式碼(諸如圖 12 中例示之程式碼 1230)應用於輸入指令，用來執行本文中所描述之功能且產生輸出資訊。可將輸出資訊以已知方式應用於一或多個輸出裝置。出於本申請案之目的，處理系統包括具有處理器之任何系統，諸如數位信號處理器(DSP)、微控制器、特殊應用積體電路(ASIC)或微處理器。

[0097]程式碼可以高階程序性或物件導向式程式設計語言來實施，以便與處理系統通訊。必要時，程式碼亦可以組合語言或機器語言來實施。事實上，本文中所描述之機構的範疇不限於任何特定的程式設計語言。在任何情況下，該語言可為編譯語言或解譯語言。

[0098]至少一個實施例之一或多個態樣可藉由儲存於機器可讀媒體上之代表性指令來實施，機器可讀媒體表示處理器內的各種邏輯，該等指令在由機器讀取時使機器製造邏輯來執行本文中所描述之技術。此類表示(稱為「IP 核心」)可儲存於有形的機器可讀媒體上，且可供應給各種用戶端或製造設施以載入至實際上製造該邏輯或處理器的製

造機中。

[0099]此等機器可讀儲存媒體可包括(但不限於)由機器或裝置製造的非暫時性有形物品配置，其中包括：儲存媒體，諸如硬碟、任何其他類型之碟片(包括軟碟片、光碟、光碟片-唯讀記憶體(CD-ROM)、可重寫光碟片(CD-RW)及磁光碟)、半導體裝置(諸如唯讀記憶體(ROM)、隨機存取記憶體(RAM)(諸如動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM))、可抹除可規劃唯讀記憶體(EPROM)、快閃記憶體、電氣可抹除可規劃唯讀記憶體(EEPROM)、相位變化記憶體(PCM)、磁性或光學卡)，或者適合於儲存電子指令的任何其他類型之媒體。

[0100]因此，本發明之實施例亦包括含有指令或含有諸如硬體描述語言(HDL)之設計資料的非暫時性有形機器可讀媒體，其中設計資料定義本文中所描述之結構、電路、設備、處理器及/或系統特徵。此類實施例亦可被稱為程式產品。

**仿真(包括二進位轉譯、程式碼漸變(*code morphing*)等)**

[0101]在一些情況下，可使用指令轉換器將指令自來源指令集轉換成目標指令集。例如，指令轉換器可將指令轉譯(例如，使用靜態二進位轉譯、包括動態編譯之動態二進位轉譯)、漸變、仿真或以其他方式轉換成將由核心處理的一或多個其他指令。指令轉換器可以軟體、硬體、韌體或其組合來實施。指令轉換器可位於處理器上、位於處理器外部，或部分位於處理器上而部分位於處理器外部。

[0102]圖 15 係對照根據本發明之實施例之軟體指令轉換器的用途之方塊圖，該轉換器係用以將來源指令集中之二進位指令轉換成目標指令集中之二進位指令。在所說明之實施例中，指令轉換器係軟體指令轉換器，但指令轉換器或者可以軟體、韌體硬體、或其各種組合來實施。圖 15 展示出，可使用 x86 編譯器 1504 來編譯用高階語言 1502 撰寫的程式以產生 x86 二進位碼 1506，x86 二進位碼 1506 自然可由具有至少一個 x86 指令集核心之處理器 1516 執行。具有至少一個 x86 指令集核心之處理器 1516 表示可執行與具有至少一個 x86 指令集核心之 Intel 處理器大體相同的功能之任何處理器，上述執行係藉由相容地執行或以其他方式處理以下各者：(1)Intel x86 指令集核心之指令集的大部分或(2)旨在在具有至少一個 x86 指令集核心之 Intel 處理器上運行的應用程式或其他軟體之目標碼版本，以便達成與具有至少一個 x86 指令集核心之 Intel 處理器大體相同的結果。x86 編譯器 1504 表示可操作以產生 x86 二進位碼 1506(例如目標碼)之編譯器，其中 x86 二進位碼 1506 在經額外連結處理或未經額外連結處理的情況下可在具有至少一個 x86 指令集核心之處理器 1516 上執行。類似地，圖 15 展示出，可使用替代性指令集編譯器 1508 來編譯用高階語言 1502 撰寫的程式以產生替代性指令集二進位碼 1510，替代性指令集二進位碼 1510 自然可由不具有至少一個 x86 指令集核心之處理器 1514(例如，具有多個核心的處理器，該等核心執行 MIPS Technologie 公司(Sunnyvale, CA)

之 MIPS 指令集，及/或該等核心執行 ARM Holdings 公司 (Sunnyvale, CA) 之 ARM 指令集) 執行。使用指令轉換器 1512 將 x86 二進位碼 1506 轉換成自然可由不具有一個 x86 指令集核心之處理器 1514 執行的碼。此轉換後的碼不可能與替代性指令集二進位碼 1510 相同，因為能夠實現此操作的指令轉換器很難製作，然而，轉換後的碼將完成一般操作且由來自替代性指令集之指令構成。因此，指令轉換器 1512 表示經由仿真、模擬或任何其他處理程序來允許不具有 x86 指令集處理器或核心的處理器或其他電子裝置執行 x86 二進位碼 1506 的軟體、韌體、硬體或其組合。

[0103] 在描述及申請專利範圍中，已使用「耦接」及/或「連接」等詞以及其衍生詞。應理解，此等詞並非意欲作為用於彼此之同義詞。實情為，在特定實施例中，「連接」可用來指示兩個或兩個以上元件處於彼此直接實體接觸或電接觸狀態中。「耦接」可意味，兩個或兩個以上元件處於直接實體接觸或電接觸狀態中。然而，「耦接」亦可意味，兩個或兩個以上元件並未處於彼此直接接觸狀態中，但是仍然彼此合作或相互作用。例如，邏輯可經由一或多個介入組件與解碼器及/或快取記憶體耦接。在諸圖中，箭頭用來展示出耦接及/或連接。

[0104] 在描述及申請專利範圍中，可已使用「邏輯」一詞。如本文中所使用，邏輯一詞可包括硬體、韌體、軟體或其各種組合。邏輯之實例包括集體電路、特殊應用積體電路、類比電路、數位電路、程式設計邏輯裝置、包括指

令之記憶體裝置等。在一些實施例中，邏輯可包括潛在地與其他電路組件一起的電晶體及/或閘極。

[0105]在以上描述中，已闡述特定細節以提供實施例之徹底理解。然而，可在沒有此等特定細節中之一些細節的情況下實踐其他實施例。本發明之範疇將並非由以上提供的特定實例來確定，而僅由以下申請專利範圍來確定。處於與圖式中所例示及在說明書中所描述之該等內容等效關係的全部內容涵蓋於實施例內。在其他實例中，已經以方塊圖形式或無細節的情況下展示出熟知的電路、結構、裝置及操作，以避免混淆描述之理解。在一些狀況下，在圖式中展示出之此等多個組件可併入一組件中。在已展示出且描述單個組件的情況下，在一些狀況下可將此單個組件分為兩個或兩個以上組件。

[0106]已經以基本形式展示出且描述本文揭示之某些方法，但是可選擇性地將操作增添至方法且/或自方法移除操作。另外，已展示出且/或描述操作之特殊次序，但替代實施例可以不同次序執行某些操作，組合某些操作，重疊某些操作，等等。

[0107]某些操作可由硬體組件來執行且/或可體現於機器可執行指令或電路可執行指令中，上述指令可用來產生且/或導致使用執行操作之指令程式設計的硬體組件(例如，處理器、處理器之藥水、電路等)。硬體組件可包括通用硬體組件或專用硬體組件。操作可藉由硬體、軟體及/或韌體之組合來執行。硬體組件可包括特定或特殊邏輯(例

如，潛在地與軟體及/或韌體組合之電路)，該特定或特殊邏輯係可操作的，以回應於指令(例如，回應於由該指令導出之一或多個微指令或其他控制信號)而執行且/或處理指令並儲存結果。

[0108]在全部本說明書中對例如「一個實施例」、「一實施例」、「一或多個實施例」、「一些實施例」之參考指示特殊特徵可包括於本發明之實踐中，但不必要要求包括於本發明之實踐中。類似地，在描述中，各種特徵有時在單個實施例、圖或其描述中集中在一起，以便簡化揭示內容且幫助理解各種發明性態樣。然而，揭示內容之此方法將並非解釋為反映本發明需要比在每一請求項中明確敘述之特徵更多的特徵之意圖。實情為，如以下申請專利範圍所反映，發明性態樣可在於少於單個揭示實施例之全部特徵中。因此，繼詳細描述之後的申請專利範圍因此明確地併入此詳細描述中，其中每一請求項堅持其身作為本發明之分開的實施例。

### 【符號說明】

100...處理器	107...隱退狀態
101...結構存取指令	108...一或多個其他部分
102...指令解碼單元/解碼器	109...其他組件
103...邏輯	110...適當儲存位置
104...結構	111...一或多個來源/來源
105...部分	112...結構存取運算元
106...修改的非架構可見資料	215...方法

- 216~218...方塊
- 304...快取記憶體
- 308-1...快取記憶體列
- 308-M...快取記憶體列 M
- 308-N...快取記憶體列
- 320...誤差修正欄位
- 321...標籤欄位
- 322...狀態欄位
- 323...快取記憶體替換欄位
- 324...資料欄位
- 401...結構存取指令
- 425...運算碼欄位
- 426...來源說明符欄位
- 427...一或多個資料欄位
- 428...選擇性立即
- 512...結構存取運算元
- 530...同調欄位
- 531...操作欄位
- 532...誤差修正欄位
- 533...途徑欄位
- 534...狀態欄位
- 535...索引欄位
- 536...初級結構欄位
- 537...次級結構欄位
- 604...結構
- 605...部分
- 606...修改的非架構可見資料
- 608...一或多個其他部分
- 638...較高特權組件
- 639...較低特權組件
- 640...特權存取狀態
- 701...一或多個結構存取指令
- 742...製品
- 743...機器可讀儲存媒體
- 800...處理管線
- 802...擷取級段
- 804...長度解碼級段
- 806...解碼級段
- 808...分配級段
- 810...重新命名級段
- 812...排程級段
- 814...暫存器讀取/記憶體讀取  
級段
- 816...執行級段
- 818...回寫/記憶體寫入級段
- 822...異常處置級段
- 824...確認級段
- 830...前端單元

- |                          |                        |
|--------------------------|------------------------|
| 832...分支預測單元             | 910...向量單元             |
| 834...指令快取記憶體單元          | 912...純量暫存器            |
| 836...指令轉譯後備緩衝器<br>(TLB) | 914...向量暫存器            |
| 838...指令擷取單元             | 920...拌和單元             |
| 840...解碼單元               | 922A、922B...數值轉換單元     |
| 850...執行引擎單元             | 924...複製單元             |
| 852...重新命名/分配器單元         | 926...寫入遮罩暫存器          |
| 854...引退單元               | 928...寬度為 16 之 ALU     |
| 856...排程器單元              | 1000...處理器             |
| 858...實體暫存器檔案單元          | 1002A-N...核心           |
| 860...執行叢集               | 1004A-N...快取記憶體單元      |
| 862...執行單元               | 1006...共享快取記憶體單元       |
| 864...記憶體存取單元            | 1008...專用邏輯            |
| 870...記憶體單元              | 1010...系統代理            |
| 872...資料 TLB 單元          | 1012...環式互連單元          |
| 874...資料快取記憶體單元          | 1014...整合型記憶體控制器單<br>元 |
| 876...L2 快取記憶體單元         | 1016...匯流排控制器單元        |
| 900...指令解碼器              | 1100...系統              |
| 902...互連網路               | 1110、1115...處理器        |
| 904...L2 快取記憶體局域子集       | 1120...控制器集線器          |
| 906...L1 快取記憶體           | 1140...記憶體             |
| 906A...L1 資料快取記憶體        | 1145...共處理器            |
| 908...純量單元               | 1150...輸入/輸出集線器        |

- 1160...輸入/輸出(I/O)裝置 (IMC)單元
- 1190...圖形記憶體控制器集線器(GMCH) 1276、1278...點對點(P-P)介面
- 1195...連接 1280...第二處理器
- 1200...第一更特定的示範性系統 1282...整合型記憶體控制器 (IMC)單元
- 1214、1314...I/O 裝置 1290...晶片組
- 1215...額外處理器 1294、1298...點對點介面電路
- 1216...第一匯流排 1296...介面
- 1218...匯流排橋接器 1300...第二更特定的示範性系統
- 1220...第二匯流排 1315...舊式 I/O 裝置
- 1222...鍵盤及/或滑鼠 1400...系統單晶片
- 1224...音訊 I/O 1402...互連單元
- 1227...通訊裝置 1410...應用處理器
- 1228...儲存單元 1420...共處理器
- 1230...指令/程式碼及資料 1430...靜態隨機存取記憶體 (SRAM)單元
- 1232、1234...記憶體 1432...直接記憶體存取(DMA)單元
- 1238...共處理器
- 1239...高效能介面
- 1250...點對點互連 1440...顯示單元
- 1252、1254、1286、1288...P-P 介面 1502...高階語言
- 1270...第一處理器 1504...x86 編譯器
- 1272...整合型記憶體控制器 1506...x86 二進位碼
- 1508...替代性指令集編譯器

1510...替代性指令集二進位碼	令集核心之處理器
1512...指令轉換器	1516...具有至少一個 x86 指令
1514...不具有至少一個 x86 指	集核心之處理器

## 申請專利範圍

1. 一種方法，其包含下列步驟：

將一處理器之一結構的一部分之一狀態改變為一隱退狀態，其中在該隱退狀態中，該處理器之組件不能存取該結構之該部分，但能夠存取該結構之一或多個其他部分；

當該結構之該部分處於該隱退狀態中時，將該結構之該部分中的非架構可見資料修改為修改的非架構可見資料；以及

在修改該結構之該部分中之該非架構可見資料之後，將該結構之該部分的該狀態自該隱退狀態改變為一非隱退狀態。

2. 如申請專利範圍第 1 項之方法，其中將該狀態改變為該隱退狀態包含將選自一快取記憶體、一暫存器組、一轉譯後備緩衝器(TLB)及一位址解碼器的一結構的一部分之該狀態改變為該隱退狀態。
3. 如申請專利範圍第 1 項之方法，其中將該狀態改變為該隱退狀態包含將一快取記憶體的一列之該狀態改變為該隱退狀態，其中修改包含修改選自該列的一標籤及該列的誤差修正碼資料中至少一者之資料，且其中將該狀態改變為該非隱退狀態包含將該快取記憶體之該列之該狀態改變為一非隱退狀態，該非隱退狀態選自一修改狀態、一獨佔狀態、一共享狀態及一无效狀態。

4. 如申請專利範圍第 1 項之方法，其中將該狀態改變為該隱退狀態包含改變一暫存器組的一暫存器之該狀態，且其中修改包含修改選自誤差修正資料及該暫存器之記分板資料中至少一者的資料。
5. 如申請專利範圍第 1 項之方法，其中回應於一第一指令來執行將該狀態改變為該隱退狀態，其中回應於一第二指令來執行修改該非架構可見資料，且其中回應於一第三指令來執行將該狀態改變為該非隱退狀態。
6. 如申請專利範圍第 5 項之方法，其中該第一指令、該第二指令及該第三指令中每一者為一結構存取指令。
7. 如申請專利範圍第 1 項之方法，其中回應於一指令來執行將該狀態改變為該隱退狀態，其中該指令指示該結構且能夠指示多個不同結構，該等不同結構各自選自一快取記憶體、一暫存器組、一位址解碼器及一轉譯後備緩衝器(TLB)。
8. 如申請專利範圍第 1 項之方法，其中將該狀態改變為該隱退狀態包含回應於一指令來改變一快取記憶體之列的一狀態，且其中該指令可操作來指示該快取記憶體將要或將不產生用於該修改的非架構可見資料之誤差修正碼。
9. 如申請專利範圍第 1 項之方法，其中修改包含當該等組件存取該結構之該一或多個其他部分時修改該非架構可見資料。
10. 如申請專利範圍第 1 項之方法，其中將該狀態改變為該

隱退狀態包含同調地將該狀態改變為該隱退狀態，其中包括在修改該非架構可見資料之前將該非架構可見資料儲存於一儲存位置中。

11. 如申請專利範圍第 1 項之方法，其中將該狀態改變為該隱退狀態包含一較高特權級組件，該較高特權級組件將該狀態改變為該隱退狀態，且其中當在該隱退狀態中時不能存取該結構之該部分之該等組件包含較低特權級組件，該等較低特權級組件各自具有比該較高特權級組件低的一特權級。

12. 一種處理器，其包含：

該處理器之一結構，該結構具有一非架構可見資料；以及

與該結構耦接之邏輯，該邏輯回應於一或多個指令來：

將該結構的一部分之一狀態改變為一隱退狀態，其中在該隱退狀態中，該處理器之組件不能存取該結構之該部分，但能夠存取該結構之一或多個其他部分；

當該結構之該部分處於該隱退狀態中時，將該結構之該部分中的該非架構可見資料修改為修改的非架構可見資料；以及

在修改該結構之該部分中之該非架構可見資料之後，將該結構之該部分的該狀態自該隱退狀態改變為一非隱退狀態。

13. 如申請專利範圍第 12 項之處理器，其中該邏輯回應於

一第一指令，將要將該狀態改變為該隱退狀態，其中該邏輯回應於一第二指令，將要修改該非架構可見資料，且其中該邏輯回應於一第三指令，將要將該狀態改變為該非隱退狀態。

14. 如申請專利範圍第 13 項之處理器，其中該第一指令、該第二指令及該第三指令具有一相同運算碼。
15. 如申請專利範圍第 12 項之處理器，其中該結構係選自一快取記憶體、一暫存器組、一轉譯後備緩衝器(TLB)，及一位址解碼器。
16. 如申請專利範圍第 12 項之處理器，其中該結構包含一快取記憶體，其中該快取記憶體之該部分包含一快取記憶體列，且其中該邏輯回應於該一或多個指令，修改選自該快取記憶體列的一標籤及該快取記憶體列之誤差修正碼資料中至少一者之資料。
17. 如申請專利範圍第 12 項之處理器，其中該結構包含一暫存器組，其中該暫存器組之該部分包含一暫存器，且其中該邏輯回應於該一或多個指令，將要修改選自誤差修正資料及該暫存器之記分板資料中至少一者的資料。
18. 如申請專利範圍第 12 項之處理器，其中該邏輯回應於一指令，將要將該狀態改變為該隱退狀態，該指令指示該結構且能夠指示多個不同結構，該等多個不同結構各自選自一快取記憶體、一暫存器組、一位址解碼器，及一轉譯後備緩衝器(TLB)。
19. 如申請專利範圍第 12 項之處理器，其中該結構包含一

- 快取記憶體，且該快取記憶體之該部分包含一快取記憶體列，且其中該邏輯回應於一指令，將要修改該非架構可見資料，該指令可操作來指示該快取記憶體將要或將不產生用於該修改的非架構可見資料之誤差修正碼。
20. 如申請專利範圍第 12 項之處理器，其中當該邏輯修改該非架構可見資料時，該等組件能夠存取該結構之該一或多個其他部分。
21. 如申請專利範圍第 12 項之處理器，其中該邏輯回應於該一或多個指令，同調地將該狀態改變為該隱退狀態，其中包括在修改該非架構可見資料之前將該非架構可見資料儲存於一儲存位置中。
22. 一種系統，其包含：
- 一互連；
  - 一處理器，其與該互連耦接，該處理器具有一結構，該結構包括非架構可見資料，該處理器可回應於一或多個指令操作來：
    - 將該結構的一部分之一狀態改變為一隱退狀態，其中在該隱退狀態中，該處理器之組件不能存取該結構之該部分，但能夠存取該結構的一或多個其他部分；以及
    - 當該結構之該部分處於該隱退狀態中時，將該結構之該部分中的該非架構可見資料修改為修改的非架構可見資料；以及
    - 一動態隨機存取記憶體(DRAM)，其與該互連耦接。
23. 如申請專利範圍第 22 項之系統，其中該結構包含一快

取記憶體，其中該快取記憶體之該部分包含一快取記憶體列，且其中該處理器單元回應於該一或多個指令，將要修改選自該快取記憶體列的一標籤及該快取記憶體列之誤差修正碼資料中至少一者的資料。

24. 如申請專利範圍第 22 項之系統，其中該指令可操作來指示該結構作為多個不同類型之結構之一。

25. 一種製造物品，其包含：

一機器可讀儲存媒體，其包括一或多個固態資料儲存材料，該機器可讀儲存媒體儲存一或多個指令，

該一或多個指令若由一機器處理，則可操作來使該機器執行操作，該等操作包含：

將一處理器之一結構的一部分之一狀態改變為一隱退狀態，其中在該隱退狀態中，該處理器之組件不能存取該結構之該部分，但能夠存取該結構之一或多個其他部分；以及

當該結構之該部分處於該隱退狀態中時，將該結構之該部分中的非架構可見資料修改為修改的非架構可見資料。

26. 如申請專利範圍第 25 項之製品，其中一第一結構存取指令將要使該機器改變該狀態，且一第二結構存取指令將要使該機器修改該非架構可見資料。

27. 如申請專利範圍第 25 項之製品，其中該一或多個指令包括一指令，該指令可操作來指示是否將要對該修改的非架構可見資料執行誤差修正。

圖式

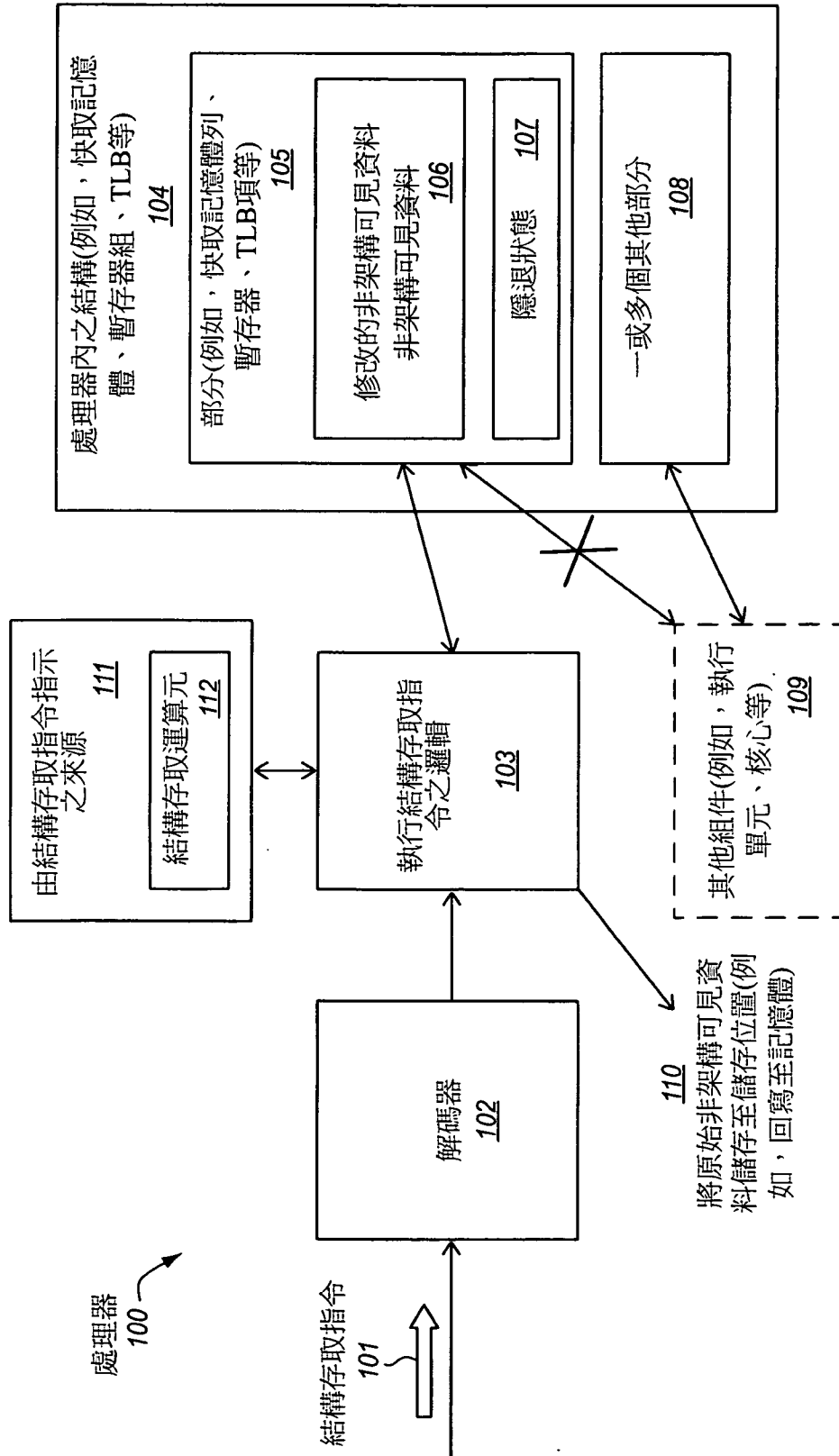


圖1

方法  
215

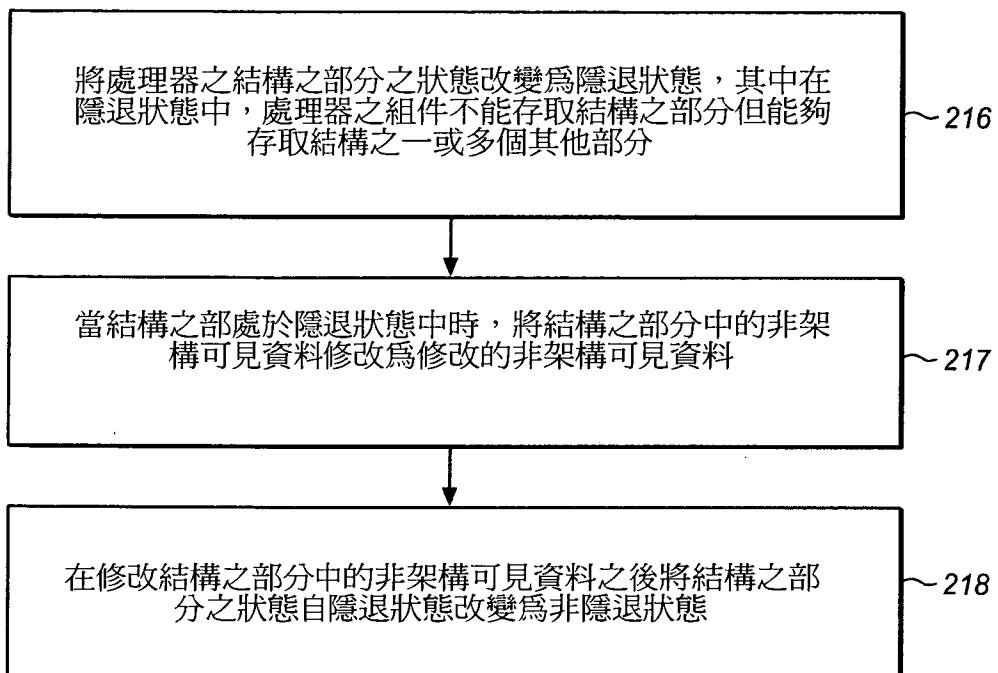


圖2

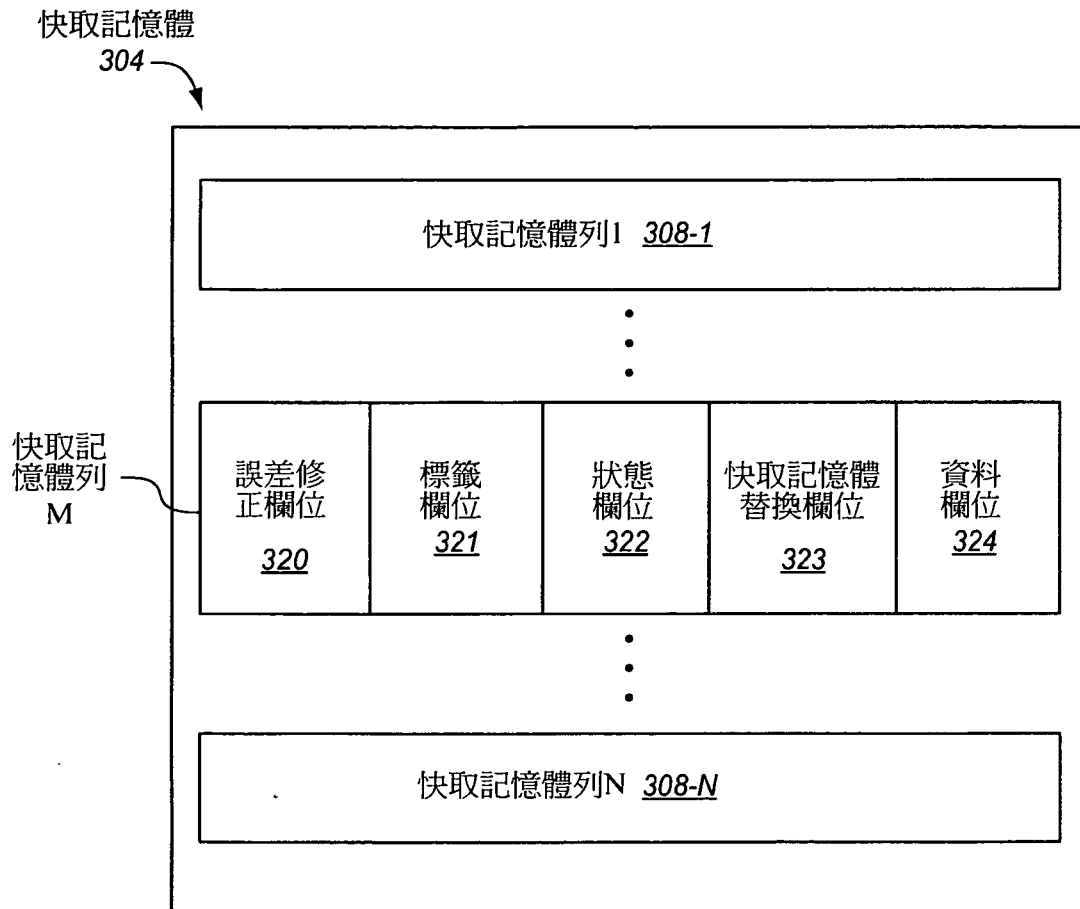


圖3

結構存取指令  
401 →

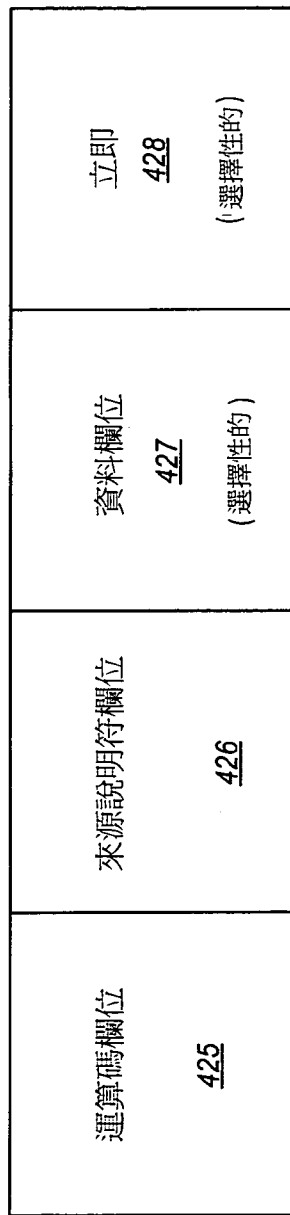


圖4

結構存取指令  
512 →

同調欄位	<u>530</u>	操作欄位	<u>531</u>	誤差修正欄位	<u>532</u>	途徑欄位	<u>533</u>	狀態欄位	<u>534</u>	索引欄位	<u>535</u>	初級結構欄位	<u>536</u>	次級結構欄位	<u>537</u>
------	------------	------	------------	--------	------------	------	------------	------	------------	------	------------	--------	------------	--------	------------

圖5

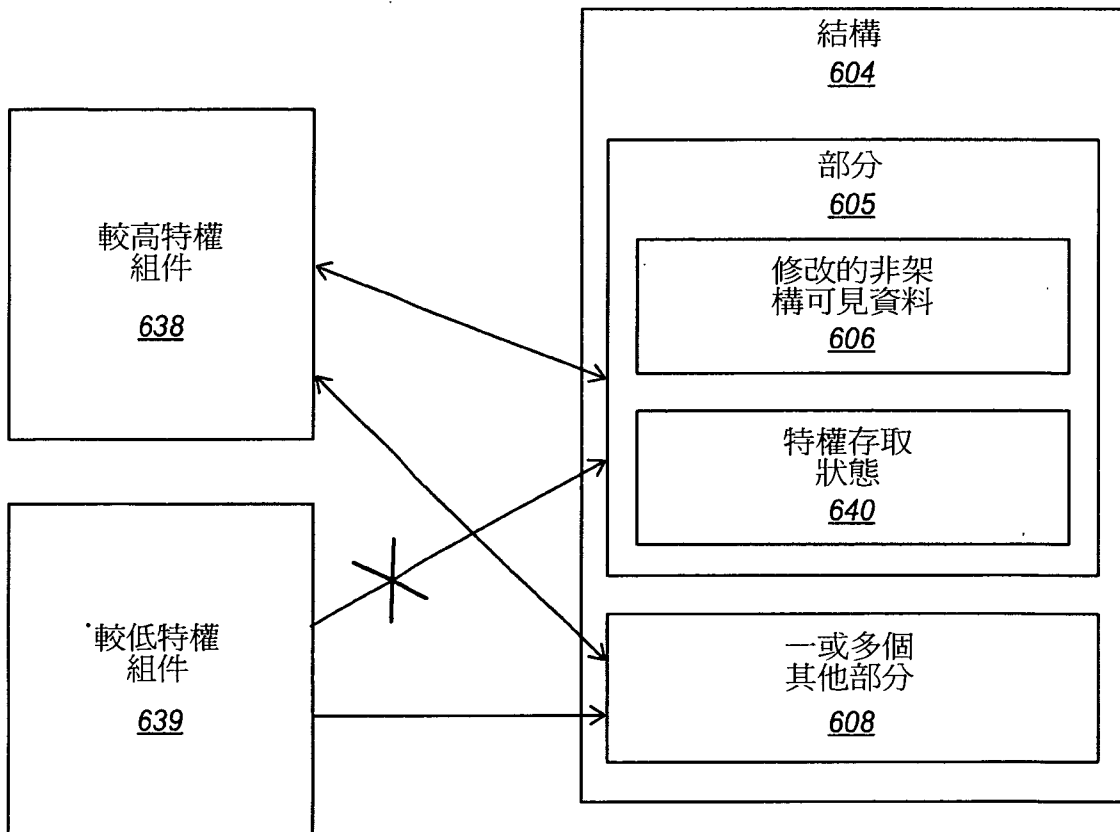


圖6

7/15

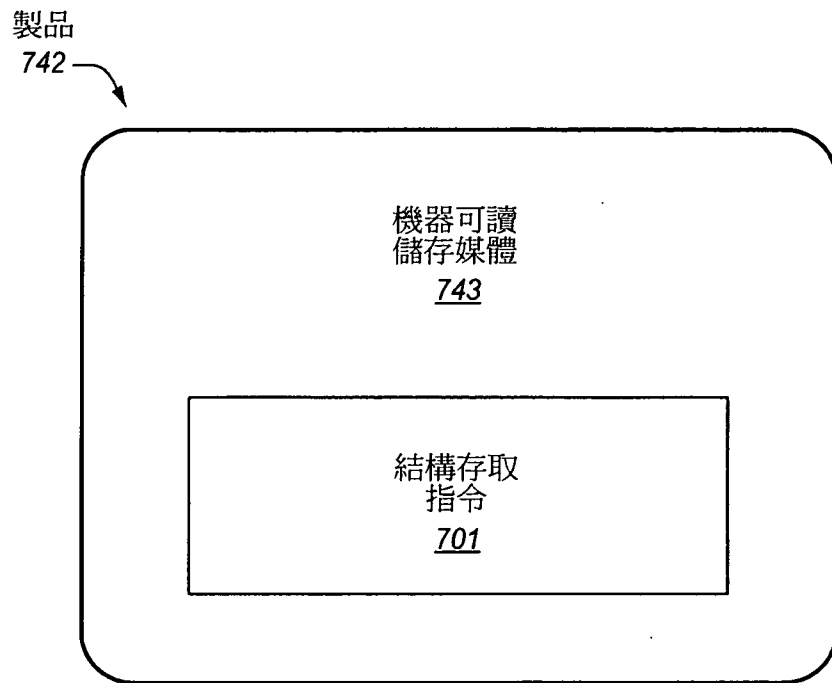


圖7

圖8A

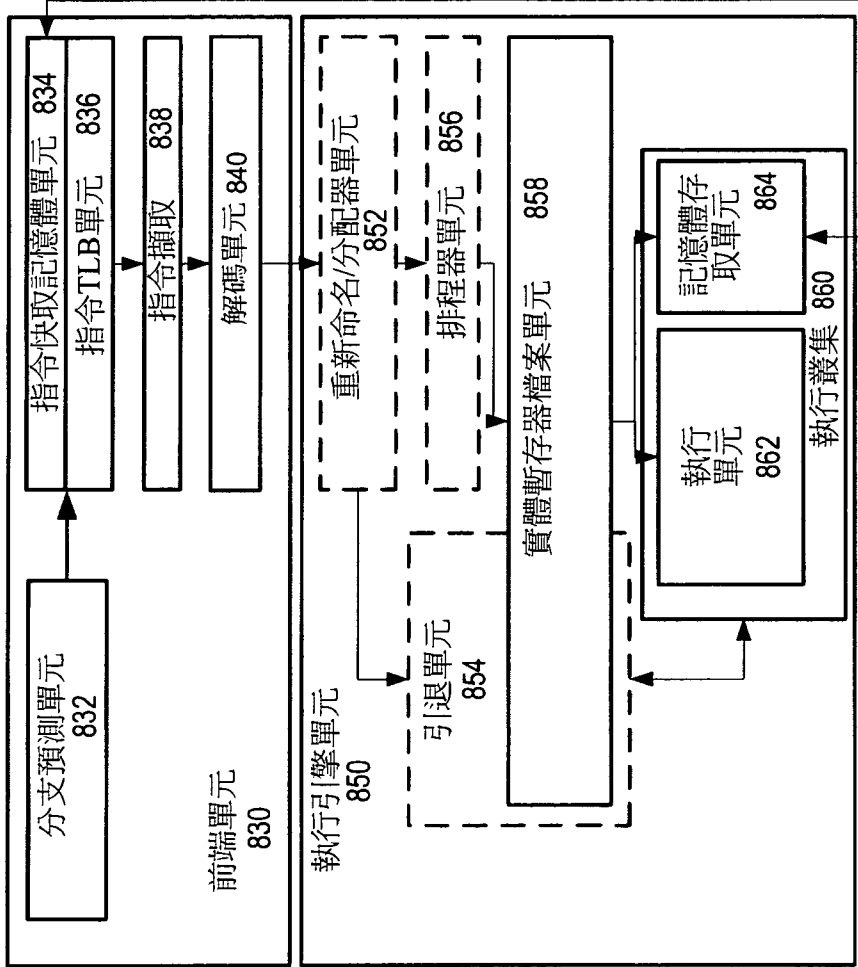
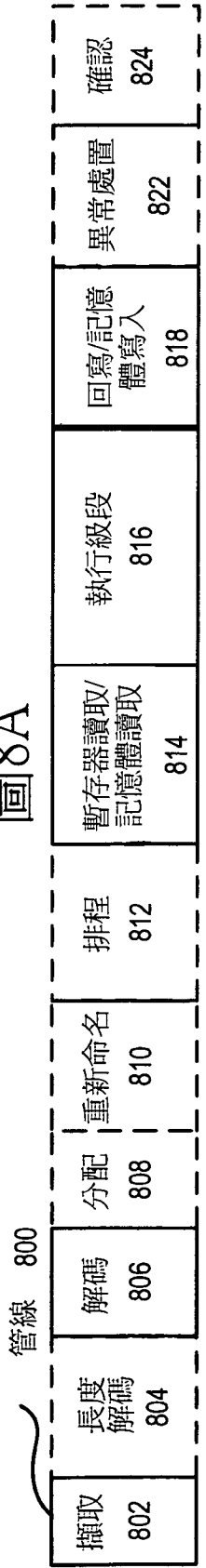


圖8B

圖9A

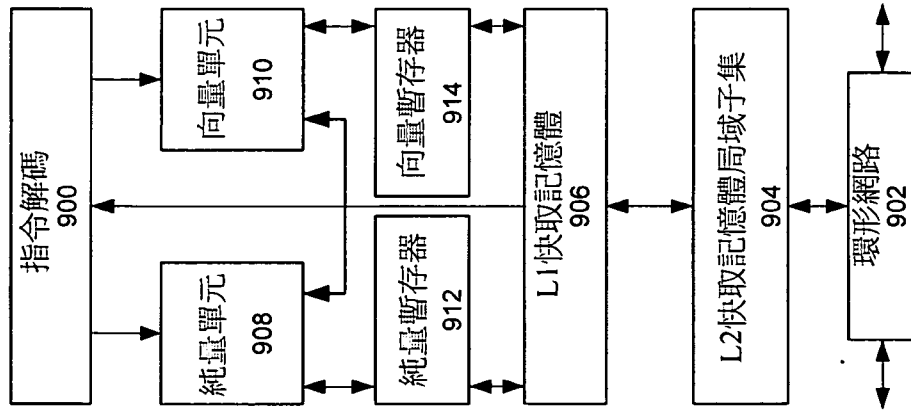
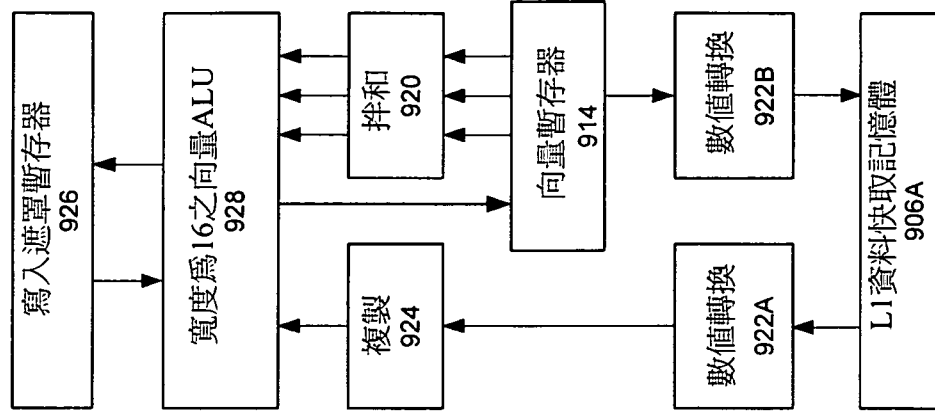


圖9B



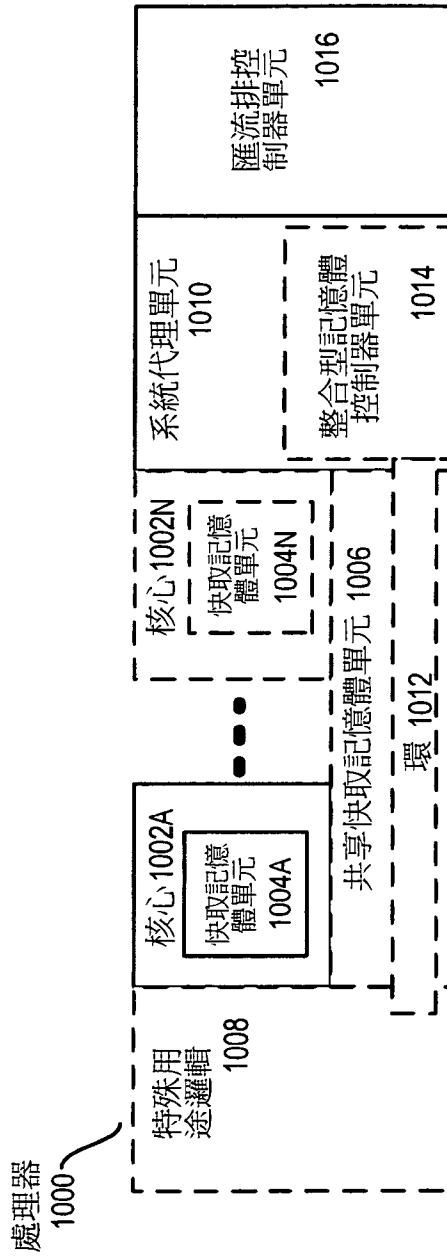


圖10

11/15

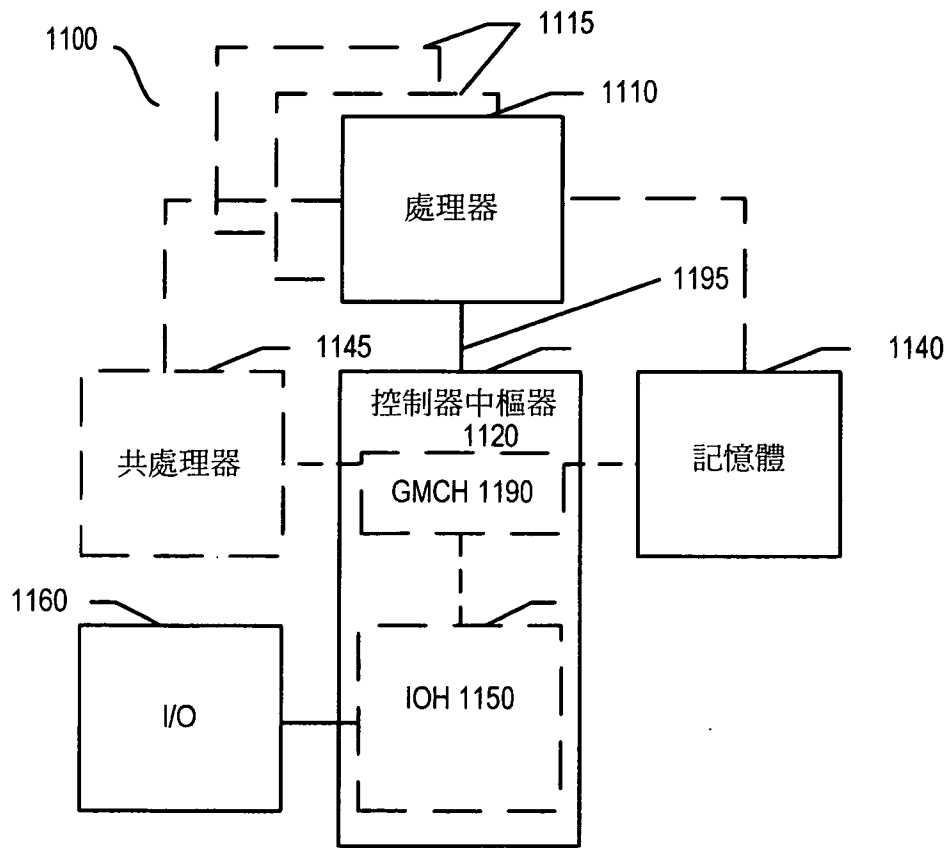


圖11

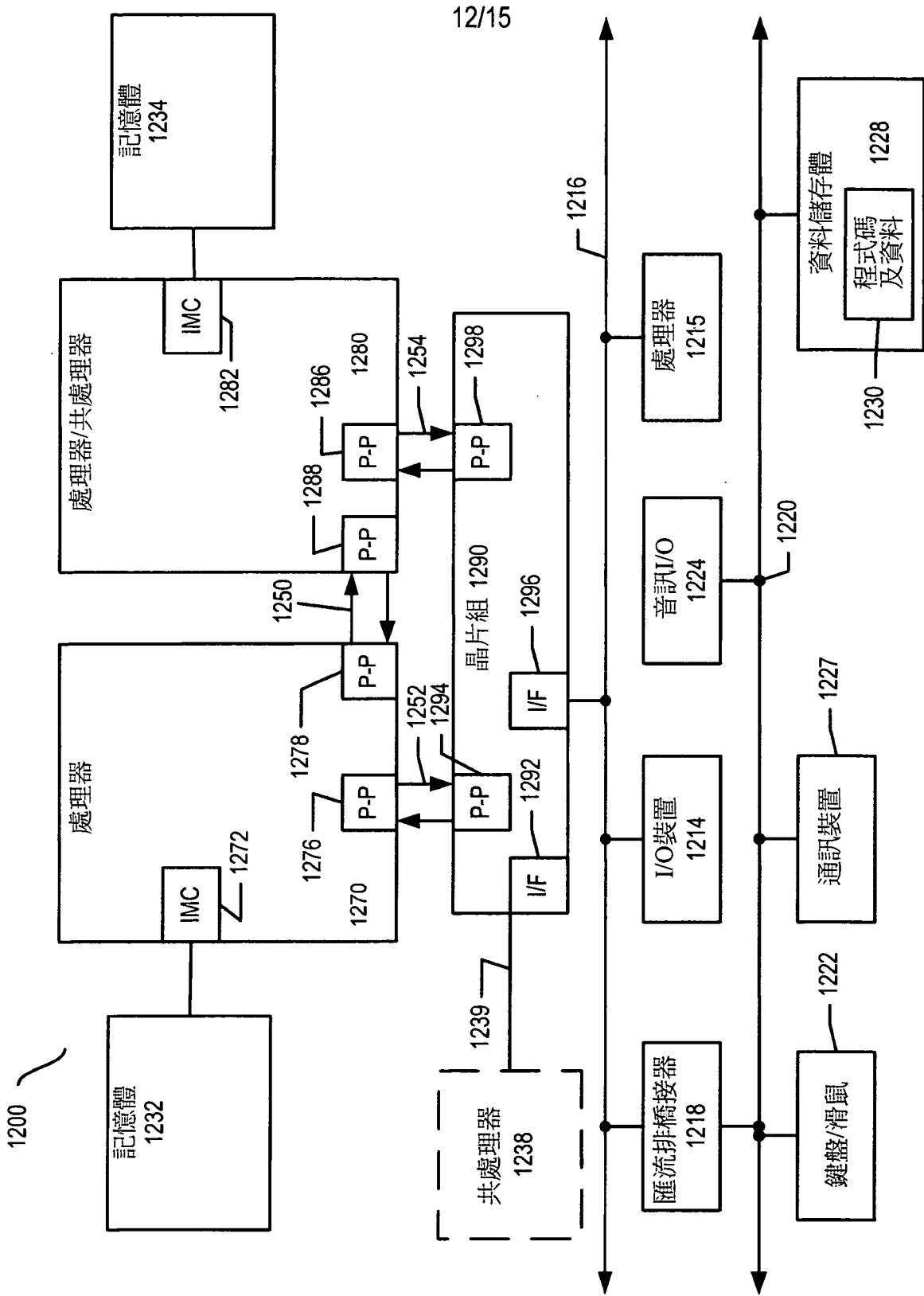


圖12



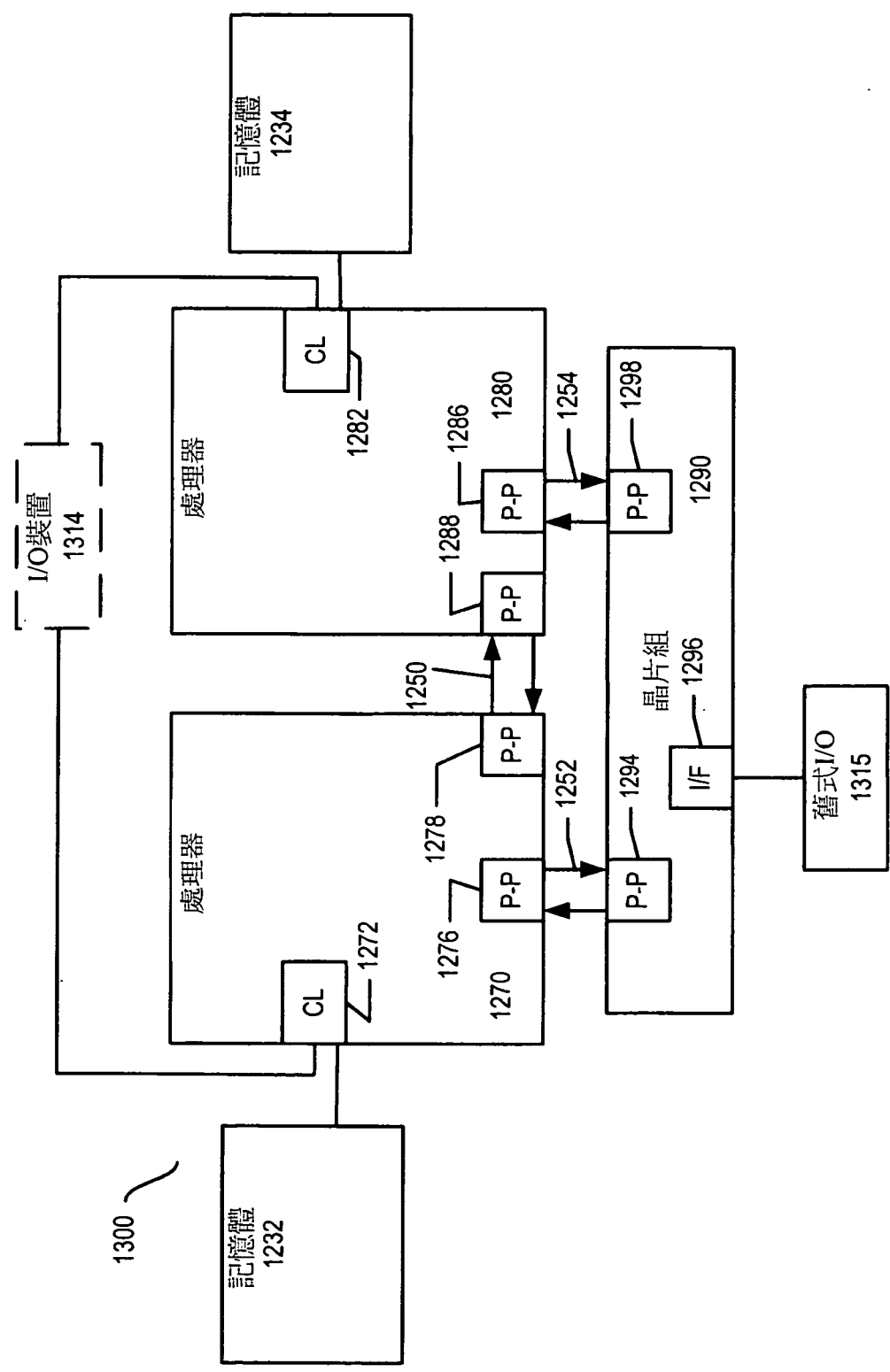


圖13

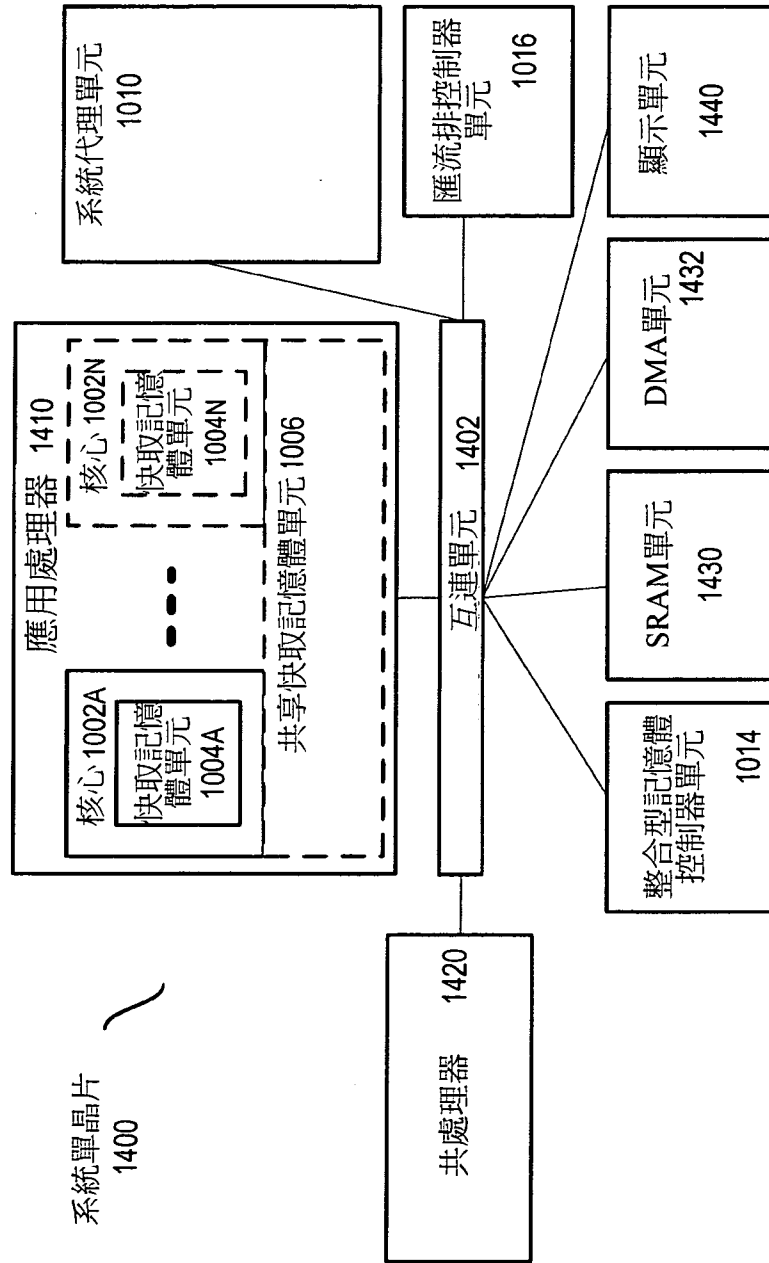


圖14

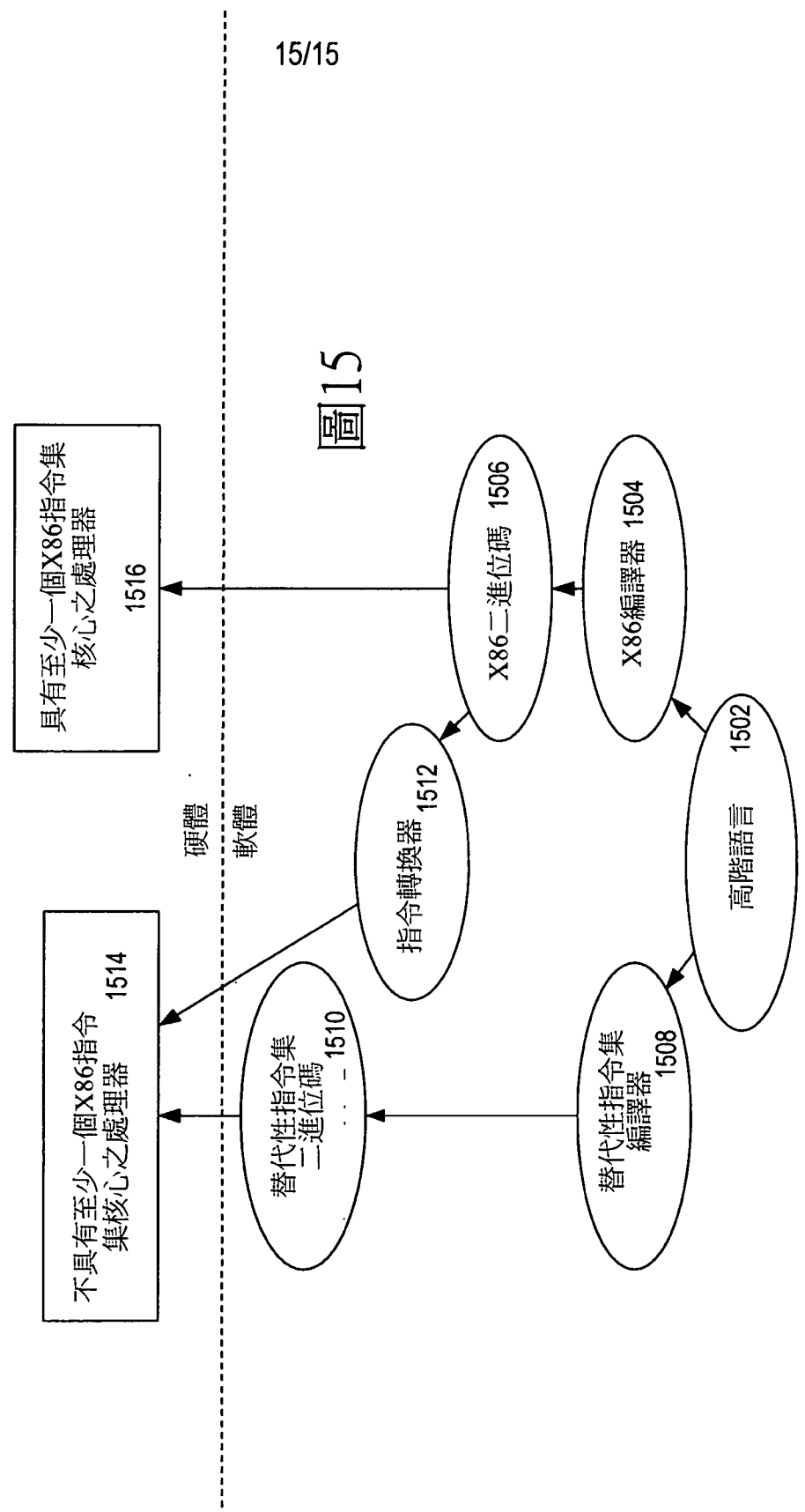


圖15