

發明專利說明書

200304218

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 91133414 ※IPC 分類： H01L27/11, H01L21/239

※ 申請日期： 91.11.14

壹、發明名稱

(中文) 可撓混成記憶體元件

(英文) A FLEXIBLE HYBRID MEMORY ELEMENT

貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 華倫 B. 傑克森

(英文) Warren B. Jackson

住居所地址：(中文) 美國加州舊金山市·卡斯特納達 160 號

(英文) 160 Castenada, San Francisco, CA, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商·惠普公司

(英文) HEWLETT-PACKARD COMPANY

住居所或營業所地址：(中文) 美國加州帕羅亞托·哈諾維街 3000 號

(英文) 3000 Hanover Street, Palo Alto, CA
94304 U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

代表人：(中文) 安 O. 巴斯金

(英文) ANN O. BASKINS

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 卡爾 P. 陶斯格

(英文) Carl Philip Taussig

住居所地址：(中文) 美國加州紅木市・帕格斯散步道路 2295 號

(英文) 2295 Alameda De Las Pulgas, Redwood City,
CA, U.S.A.

國籍：(中文) 美 國 (英文) U. S. A.

發明人 3

姓名：(中文) 克瑞格・佩洛芙

(英文) Craig Perlov

住居所地址：(中文) 美國加州聖瑪戴歐・樹頂巷 46 號

(英文) 46 Treetop Lane, San Mateo, CA, U.S.A.

國籍：(中文) 美 國 (英文) U. S. A.

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國； 2002,3,1； 10/086,606
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明通常是有關於隨機存取記憶體(RAM)。本發明
5 更尤其是關於撓性混合記憶體元件包括：撓性無機二極體
與撓性有機開關。

【先前技術】

發明背景

RAM裝置通常包括記憶體陣列。此等記憶體典型地設
10 計成列與行。各列通常包括相對應之字元線，且各行通常
包括相對應位元線。第1圖顯示RAM記憶體胞110，120，130
，140之陣列，以及相對應之字元線(WL)與位元線(BL)。
此等RAM記憶體胞110，120，130，140是位於字元線與位元
線之交點，且各RAM記憶體胞110，120，130，140通常儲存
15 一位元資訊。

此等RAM記憶體胞110，120，130，140具有功能用於將
此等記憶體胞設定至少兩個邏輯狀態之一。各邏輯狀態代表
一位元資訊。此外，RAM記憶體胞110，120，130，140具有
功能用於感測各RAM記憶體胞110，120，130，140之邏輯狀
20 態。

第2圖顯示RAM記憶體胞205之詳細細節。此RAM記憶
胞205通常包括切換元件210與二極體元件230。可以由字
元線(WL)與位元線(BL)設定切換元件之狀態。切換元件
210具有兩種狀態，各對應於邏輯設定。第一狀態(此切換

玖、發明說明

元件210關閉)對應於低電阻狀態。第二狀態(此切換元件210開啟)對應於高電阻狀態。此開關之狀態(以及因此其邏輯設定)可以藉由對字元線(WL)與位元線(BL)施加電壓與電流且感測所產生的電阻而決定。

- 5 切換元件210通常包括一種材料其具有低的初始電阻，而在通過足夠數量電流時變成為高電阻(稱為熔絲)。以替代的方式、切換元件210通常包括一種材料其具有高的初始電阻，而在通過足夠數量電流時變成為低電阻(稱為逆熔絲)。因此，切換元件210之電阻(以及因此，其邏輯狀態)藉由將足夠數量電流通過切換元件210而設定。
- 10

- 二極體元件230是設置成與切換元件210串聯，以確保只感測經選擇RAM記憶體之電阻。亦將字元線(WL)與位元線(BL)之間之電壓電位設定，以致於只有經選擇之RAM胞之二極體元件230可以順向偏壓。此二極體元件230確保
- 15 在RAM胞陣列中之經選擇之RAM胞不包括潛入通路(sneak path)。當由經選擇RAM胞之外之RAM胞所傳導之電流對經由位元線(BL)與字元線(WL)所感測的電流造成貢獻時，則存在此潛入通路。這即是，此經選擇RAM胞之邏輯狀態是藉由對所選擇之RAM胞施加電壓，且感測其所造成流經
- 20 此經選擇RAM胞之電流，亦即此經選擇RAM胞之電阻狀態，而決定。如果沒有二極體元件與切換元件串聯，則其他的記憶體元件可以對感測電流貢獻電流(潛入通路)。此二極體元件要求字元線(WL)與位元線(BL)適當地偏壓以便選擇特定之RAM胞。

玖、發明說明

習知技術之RAM記憶胞結構包括：切換元件由氧化物或非晶矽製成；以及二極體元件由結晶矽製成。矽是昂貴的，且此等結構之製造是昂貴的。

其他習知技術之RAM記憶胞結構包括切換元件與二極體元件均由非晶矽形成。然而，此種結構在當切換元件被設定為低電阻狀態時會導至二極體元件短路。一旦二極體元件短路，則它不再提供任何效益。

因此，令人期望具有一種裝置與方法，用於提供便宜的記憶體陣列其製造便宜。此等記憶胞應該結實牢固。開關狀態之設定不應造成串聯二極體之短路。

【發明內容】

發明概要

本發明包括一種裝置與方法用於提供RAM記憶體元件，其節省製造成本。此外，此RAM記憶體元件結實牢固。

本發明之第一實施例包括記憶體裝置。此記憶體裝置包括撓性混合記憶體元件。此撓性混合記憶體元件包括形成靠近撓性基板之撓性第一導電層。此撓性二極體結構形成靠近撓性第一導體。撓性開關形成靠近撓性二極體結構。撓性第二導電層形成靠近撓性開關。此撓性開關通常由有機材料形成。撓性二極體結構通常由無規律之無機材料所構成。

當臨界電流數量流經撓性開關時，可以形成撓性開關以產生高電阻通路；或當臨界電流數量流經撓性開關時，可以形成撓性開關以產生低電阻通路。

玖、發明說明

第二實施例類似於第一實施例。此第二實施例更包括形成介於撓性開關與撓性二極體之間之緩衝層。此緩衝層通常消耗由撓性開關所產生之能量，因此保護此撓性二極體。

5 第三實施例類似於第一實施例。第三實施例包括多個記憶體元件，其中記憶體元件彼此實體隔離以提供記憶體元件之間之電性隔離。另外的實施例包括有機開關是非均向性的(anisotropic)，因此在記憶體元件之間提供電性隔離。

10 第四實施例類似於第一實施例。第四實施例包括撓性第一導電層與撓性第二導電層其被設計以形成交點陣列。此撓性第一導電層與撓性第二導電層之圖案，可以與在撓性二極體結構與撓性開關中形成之圖案對齊。

第5實施例包括方法以形成多個撓性混合記憶體元件
15 。此方法包括在撓性基板上沈積撓性第一導電層。在撓性第一導體上沈積撓性無規律材料以形成多個撓性二極體結構。將撓性有機材料沈積在撓性無規律無機材料上，在靠近多個撓性二極體結構處形成多個撓性開關。在撓性有機材料上沈積撓性第二導體。

20 本發明之其他觀點與優點將由以下之說明，參考所附圖式並藉由實施例之說明而明顯。

圖式簡單說明

第1圖為習知技術RAM記憶胞陣列之截面。

第2圖顯示習知技術RAM記憶體之詳細細節。

玖、發明說明

第3圖顯示本發明之實施例。

第4圖顯示根據本發明之記憶體元件之寫入負載線與讀取負載線。

第5圖顯示本發明之另一實施例。

5 第6圖顯示導電層，其可在製造根據本發明記憶體元件期間使用於自行對準記憶體元件。

第7圖顯示以基板為主之過程，其可被使用於製造根據本發明記憶體元件陣列之實施例。

【實施方式】

10 較佳實施例之詳細說明

如同於圖中所示用於說明的目的，本發明是在一種裝置與方法中實現其用於提供RAM結構而以具有成本效益的方式製造。

第3圖顯示本發明之實施例。此實施例包括：基板310
15 、第一導電層320、二極體層330、切換層350以及第二導電層360。亦可包括緩衝層340。基板310與層330，320，330，350形成記憶體元件之陣列。

此被使用以形成第3圖所示元件的材料通常適用於以基板(Web)為主之處理。此以基板為主之處理是用於製造
20 電子電路之製程：它通常較以前的處理方法便宜。電子元件典型地形成或以類似在報紙上印刷的方式在撓性基板上沈積。這即是，撓性基板典型地是從來源滾筒展開。當撓性基板移動經過處理點時，此等電子元件是在各種不同的處理點形成於基板上，並且在取出滾筒捲起。此過程類似

玖、發明說明

於在報紙上沈積墨水。電子元件之圖案可以藉由單純的投影遮蔽而形成，接著實施標準的蝕刻方法、壓花、接觸遮蔽以及自行對準製程。在形成電子元件後，可以將基板切割成各別的積體電路。通常，以基板為主之處理要求此用於形成電子元件與基板之材料為撓性。

基板310，第一導電層320、二極體層330、切換層350以及第二導電層360均應為撓性，以允許此等層經由以基板為主之處理而形成。此等層應可以承受特定半徑之曲率。通常此等層應能承受一或兩英吋半徑之曲率。這包括將它彎曲成多重曲率以允此等層經由以基板為主之處理而製成。

基板310通常由撓性材料形成，其可承受在基板310上形成電子元件之形成與處理步驟。此基板310必須為撓性以便使用以基板為主之製程製造記憶體陣列。基板310承受在隨後形成電子元件(記憶體元件、位元線以及字元線)之處理溫度。因此，基板必須能夠承受形成電子元所須之處理溫度。典型的處理溫度是從100°C至300°C。

基板310之可能材料為聚亞胺。基板310必須能夠承受使用於製造電子元件之處理溫度、處理化學物質與製程、以及承受在此以基板為主之處理期間當基板從來源滾筒移至取得滾筒時保持基板穩定所須之機械張力。

第一導電層320提供至記憶體陣列之記憶體元件之電性連接。通常，第一導電層320是形成作為許多實質上平行之導電線，其提供先前說明之寫入線或位元線之功能。

玖、發明說明

第一導電層320可能的材料包括：不銹鋼、鉻、鈦、鋁、銅或金。此第一導電層材料之主要要求為，它可以在與基板310符合的溫度沈積而附著於基板，且它是足夠地撓性以承受在基板處理期間所須之彎曲。此第一導電層320可以
5 使用類似於傳統微影術之光阻覆蓋、曝光與蝕刻循環而製成圖案。其他的製造方法包括將液體材料壓花，然後蝕刻、晶片切割、或光阻及/或蝕刻劑之照像板之應用。

二極體層330通常沈積在第一導電層320。此二極體層330通常是非結晶材料例如：非晶矽、非晶碳、非晶矽碳
10 、非晶鍺、非晶矽鍺、或微晶矽。應瞭解以上所列示並未窮盡。

此二極層330可以包括p-i-n或肖特基(Schottky)二極體。如果此二極體層330形成p-i-n二極體，於是此二極體層330包括p-型層、本質(intrinsic)層以及n-型層。

15 通常，非晶矽之n-層是沈積在導電層320上。典型地，使用電漿增強化學氣相沈積(PECVD)製程以沈積此n-層。

此i-層通常由氫化之非晶矽形成。此i-層可以使用PECVD或反應濺鍍製程沈積。此PECVD製成必須包括含有氣體之矽。此沈積應在足夠低的溫度進行而保留具有薄
20 膜之氫。

此p-層通常由非晶矽形成。p-層典型地以硼B摻雜。此p-層可以使用PECVD而沈積。PECVD是以含有氣體之硼實施。當形成非晶矽p-層時則包括含有氣體之矽。

如同先前說明，此n-層、i-層、以及p-層通常是由非

玖、發明說明

晶矽形成。然而，此n-層、i-層、以及p-層亦可由非晶碳、非晶碳化矽、非晶鍺、或非晶矽鍺所形成。應瞭解以上所列示者並未窮盡。

另一個實施例包括肖基特二極體。肖基特二極體可以
5 包括數種不同的結構。第一個肖基特二極體結構包括以導電金屬替代之上述p-i-n二極體之n-層。此結構亦包括i-層與p-層。第二肖基特二極體結構包括將n-層以導電層替代，且p-層以導電層替代。可以使用於肖基特二極體結構之導電層之導電金屬包括：鉻、鉑、鋁以及鈦。Schottky二
10 極體結構之導電層必須圖案化，以避免相鄰記憶胞之間的漏電。

切換層350形成於二極體層330上。切換層350實質上形成開關而與二極體層330之二極體串聯。當在第一狀態中時，此切換層350實質上提供高電阻通路，而在第二狀態中時，其提供低電阻通路。切換層350通常包括具有低
15 初始電阻之有機材料，此材料在當通過足夠數量電流時成為高電阻(稱為熔絲)；或包括具有高初始電阻之有機材料，此材料在當通過足夠數量電流時成為低電阻(稱為逆熔絲)。

20 可以將最靠近第二導電層360之切換層350之部份處理以增強載子注入特性。此部份應包括低接觸電阻。發展包括低接觸電阻之有機層之方法在材料科學之領域為人所熟知。

第二導電層360是形成於開關層350上。第二導電層

玖、發明說明

360提供對面電性連接至記憶體陣列之記憶體元件作為第一導電層320。通常，第二導電層360形成許多實質上平行之導線其提供上述寫入線或位元線之功能。第二導電層360可能的材料包括：鈣、鉑、鈦，以及其他電極材料其
5 與有機材料作良好之注入接觸。第二導電層360材料之主要須求為，它提供與有機層良好之電性接觸。亦為重要的是，此第二導電層360是在與切換層350符合一致的溫度沈積。此第二導電層360應附著於切換層350，且足夠地撓性以承受在基板處理期間所須之彎曲。此第二導電層360可以
10 使用與傳統微影術相同之光阻塗佈、曝光、與蝕刻循環形成圖案。其他的製造方法包括將液體材料壓花，接著是蝕刻、晶片切割、或塗佈抗蝕層及/或蝕刻劑。

可以將接觸導體包括於第一導電層320與基板之間，以及介於第二導電層360與切換層350之間。接觸導體在材料科學領域中是為人所熟知。
15

切換層350之電阻狀態(高或低)決定在記憶體元件陣列中相對應記憶體元件之邏輯狀態。各記憶體元件包括：由第一導電層320形成之第一電極，由第二導電層360所形成之第二電極、切換層350以及二極體層330。各記憶體元件
20 之邏輯狀態藉由對第一電極施加電壓或電流而決定，並且測量在與此記憶體元件有關之第二電極中發展所造成流過的電流或在此第二電極上所產生之電壓以決定此記憶體元件之電阻狀態。此所施加之電流或電壓應足夠的大以提供足夠的信號對雜訊之比例以測量電阻狀態，但應足夠的小

玖、發明說明

以避免將此記憶體元件之邏輯狀態切換。此記憶體元件之電阻狀態是由切換層350中相對應之有機切換元件設定。二極體層330中相對應二極體元件保持其整流特性，不被有機切換元件之狀態所改變。此等二極體元件確保只感測
5 所選擇記憶體元件之電阻，因此去除潛入通路，且降低記憶體陣列整體之功率消耗。

當將足夠大的電壓或電流施加於第一電極與第二電極時，此有機切換層350改變其電子特性。這即是，此跨接有機切換層350之電阻急劇改變，因此設定相對應有機切
10 換元件之邏輯狀態。此二極體層330之二極體元件保持其整流特性，而不被有機切換元件之狀態所改變。此改變有機切換層350之電阻狀態所須電壓理想上為0.5至3伏特，因而匹配其典型的供應電壓，此改變二極體層330之電阻狀態所須之電流應為 10^{-5} 安培或更小。此轉換變成高阻抗
15 狀態後之有機切換層350之阻抗(電阻)應為百萬歐姆之等級。

第4圖顯示根據本發明記憶體元件之寫入負載線450與讀取負載線460。第4圖為圖形其說明記憶體元件之電流對電壓之關係。對於一實施例，此記憶體元件說明高阻抗特性。箭頭410說明此特性。當跨接記憶體元件之電壓增加
20 至臨界電壓(V_{TH})時，此有機切換層之電氣特性經歷重大的改變。此改變由箭頭420說明，並且接著是寫入負載線450。此在電氣特性改變後之記憶體元件是在低的阻抗狀態中。箭頭430說明當記憶體元件是在低阻抗狀態中時，跨接記憶體元件電壓之增加與所產生之電流。箭頭440說

玖、發明說明

明當記憶體元件是在低阻抗狀態中時，跨接記憶體元件電壓之減少與所產生之電流。此邏輯元件之阻抗並且因此其邏輯狀態可以如所示由讀取負載線460所偵測。此於第4圖中所示之例是用於本發明之逆熔絲結構。應瞭解熔絲(fuse)

5 結構包括類似之特性，所不同的是其I-V曲線關係交換。

如同先前說明，當通過足夠數量之電流時，切換層350之切換元件提供高電阻電氣特性(熔絲)；或者當通過足夠電流時此有機材料形成低電阻(逆熔絲)。逆熔絲通常須要較少能量以切換狀態，因為只須要小的導電通道以降低
10 電阻。為了增加電阻，必須改變切換材料之整個面積或體積以減少所流過的整個電流。從系統位準而言通常以熔絲為較佳，因為當多個熔絲燒毀時傳導較少的功率。如果在製造期間未發生短路，則此熔絲型式的開關將減少所傳導電流之數量，並且因此(即使特定的記憶單元故障)減少電
15 流之數量。

在第3圖中所示之實施例會在相鄰記憶體元件之間遭受漏電。此等記憶體元件共用此共同二極體層330與切換層350。因此，在相鄰切換元件之間可能產生漏電。大的漏電電流會大幅增加記憶體元件所須之功率。

20 如同以下將說明，可以藉由將二極體層330與切換層350形成圖案，而將在記憶體元件之間之漏電電流最小化。然而，形成圖案須要額外的製造與處理步驟，並且因此增加成本。以替代的方式、切換層350可以使用非均向性材料製成。這即是，可以製成切換層以致於在切換元件之

玖、發明說明

間之電阻大於跨接各切換元件之電阻許多。此為有利的，因為可以省略將切換層形成圖案有關之處理步驟。

可以使用以形成切換層350之材料為：聚對亞苯基二甲基、聚乙炔、聚對次苯基、聚吡咯、聚苯胺，以及胺基吡啶。此等材料是提供作為例子而非窮盡之列表。雖然適當的沈積方法(包括電子聚合物化與Langmuir-Boldgett沈積，可以使得此等聚合物分子對表面垂直。可以使得導電性為非均向性，因為可使沿著材料分子之導電性大於跨越材料分子之導電性。

10 本發明之實施例包括形成於無機二極體層330上的有機切換層350。通常，並不將有機材料形成靠近無機材料，因為典型令人期望的是相鄰的材料共用相同的特性。因此通常較容易且較便宜將類似的材料相鄰形成。亦典型地期望有機與無機材料為優良導體。然而，本發明之實施例
15 (逆熔絲)包括為不良導體之有機材料。

本發明亦包括緩衝層340。選擇性地包括緩衝層340以消耗由切換層350之高電阻切換元件所產生之能量，以保護二極體層330之二極體元件。此緩衝層可以由金屬、薄的半導體或絕緣體形成。此緩衝層340必須包括對流經各
20 記憶體元件電流之低電阻。此緩衝層幫助避免二極體層330之損毀。通常，經由記憶體元件之間緩衝層340之導電性應為低。可以將緩衝層340形成圖案，而使記憶體元件之間導電性最小化。

第5圖顯示本發明另一實施例。此實施例類似於第3圖

玖、發明說明

之實施例。然而，此等層中數層形成圖案以提供記憶體元件之間之隔離。第一導電層320是形成於基板310上。在基板310與第一導電層320上形成分段的二極體層530、分段的切換層540與第二導電層550。

5 第5圖之實施例可以提供比第3圖之實施例較佳的表現。這即是，在記憶體元件之間之改良隔離大幅減少在記憶體裝置之切換元件之間之漏電電流。然而，此實施例通常其製造更貴更困難。

 第6圖顯示導電層其在根據本發明記憶體元件的製造
10 期間使用於自行對齊記憶體元件。上導電層(相當於第二導電層)包括上導電線610，620，630。下導電層(相當於第一導電層)包括下導電線640，650，660。一旦例如形成下導電線640，650，660，可以密切地使用下導電線640，650，660以形成記憶體陣列之二極體元件與切換元件。例
15 如，基板可以為透明。此在透明基板上所形成之下導電線640，650，660可以與光阻一起使用以選擇性地蝕刻隨後沈積在基板上之下導電線640，650，660上之記憶體元件之層。

 第7圖顯示基板處理器，其可被使用以形成本發明之
20 實施例。來源滾筒700是撓性基板710之來源。撓性基板710從來源滾筒展開，用於沈積與處理以形成RAM元件。

 一種沈積模720沈積所須之層材。為了提供層材料之圖案，可以對此等層材料塗佈抗蝕層。此抗蝕層可以藉由使撓性基板710經由抗蝕層塗佈滾筒740通過而塗佈。此抗

玖、發明說明

蝕劑塗佈滾筒640從抗蝕刻劑槽730塗佈抗蝕劑。刮刀650確保此抗蝕劑均勻地塗佈。圖案壓印或壓花滾筒760將圖案施加於抗蝕層。蝕刻劑槽770根據抗蝕層的圖案將層之材料去除。最後，藉由將此撓性基板通過抗蝕劑去除槽5780而去除抗蝕層。此所製成的裝置在取出滾筒790終止。明顯地，此過程須要此材料在滾筒的周圍可以彎曲。此外，此等材料必須承受此製程所須之張力。

雖然以上說明且描述本發明之特殊實施例，然而本發明並不受限於所說明與描述之特殊的形式或部件之配置。

10 本發明只受限於所附之申請專利範圍。

【圖式簡單說明】

第1圖為習知技術RAM記憶胞陣列之截面。

第2圖顯示習知技術RAM記憶體之詳細細節。

第3圖顯示本發明之實施例。

15 第4圖顯示根據本發明之記憶體元件之寫入負載線與讀取負載線。

第5圖顯示本發明之另一實施例。

第6圖顯示導電層，其可在製造根據本發明記憶體元件期間使用於自行對準記憶體元件。

20 第7圖顯示以基板為主之過程，其可被使用於製造根據本發明記憶體元件陣列之實施例。

玖、發明說明

【圖式之主要元件代表符號表】

110…記憶胞	460…讀取負載線
120…記憶胞	530…分段二極體層
130…記憶胞	540…分段切換層
140…記憶胞	550…第二導體層
205…RAM記憶胞	610…上導電線
210…切換元件	620…上導電線
230…二極體元件	630…上導電線
310…基板	640…下導電線
320…第一導電層	650…下導電線
330…二極體層	700…來源滾筒
340…緩衝層	710…撓性基板
350…切換層	720…層沈積模組
360…第二導電層	740…滾筒
410…箭頭	750…刮刀
420…箭頭	760…壓花滾筒
430…箭頭	770…蝕刻劑槽
440…箭頭	780…阻抗劑去除槽
450…寫入負載線	

肆、中文發明摘要

本發明包括記憶胞裝置以及形成記憶胞之方法。此記憶胞裝置包括撓性混合記憶體元件。此撓性混合記憶體元件包括：靠近撓性基板(310)所形成之撓性第一導電層(320)；靠近撓性第一導體(320)所形成之撓性二極體結構(330)；靠近撓性二極體結構(330)所形成之撓性開關(350)；靠近撓性開關(350)所形成之撓性第二導電層(360)。此撓性開關(350)通常由有機材料形成。撓性二極體結構(330)通常由無規律無機材料形成。可以形成撓性開關(350)，在當臨界數量電流通過此撓性開關(350)時其產生高電阻通路；或可以形成撓性開關(330)，在當臨界數量電流通過此撓性開關(330)時其產生低電阻通路。此方法包括在撓性基板(310)上沈積撓性第一導電層(320)；在撓性第一導體(320)上沈積撓性無規律無機材料以形成多個撓性二極體結構(330)；在此撓性無規律無機材料上沈積撓性有機材料，而形成靠近多個撓性二極體結構(330)之多個撓性開關(350)，在撓性有機材料上沈積撓性第二導體(360)。

伍、英文發明摘要

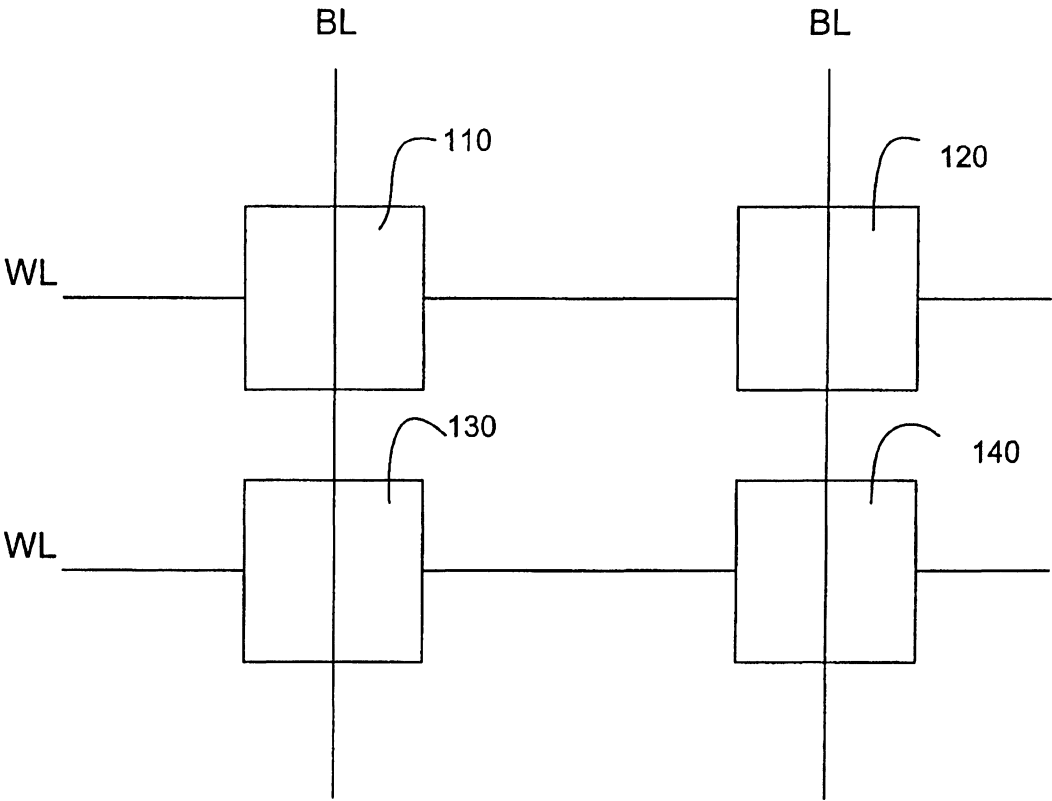
The invention includes a memory cell apparatus, and a method of forming the memory cell. The memory cell apparatus includes a flexible hybrid memory element. The flexible hybrid memory element includes a flexible first conductive layer [320] formed adjacent to a flexible substrate [310]. A flexible diode structure [330] is formed adjacent to the flexible first conductor [320]. A flexible switch [350] is formed adjacent to the flexible diode structure [330]. A flexible second conductive layer [360] is formed adjacent to the flexible switch [350]. The flexible switch [350] is generally formed from an organic material. The flexible diode structure [330] is generally formed from a disordered, inorganic material. The flexible switch [350] can be formed to create a high resistance path when a threshold amount of current is passed through the flexible switch [330], or the flexible switch [330] can be formed to create a low resistance path when a threshold amount of current is passed through the flexible switch [330]. The method includes depositing a flexible first conductive layer [320] on a flexible substrate [310]. A flexible disordered inorganic material is deposited on the flexible first conductor [320] forming a plurality of flexible diode structures [330]. A flexible organic material is deposited on the flexible disordered inorganic material, forming a plurality of flexible switches [350] adjacent to the plurality of flexible diode structures [330]. A flexible second conductor [360] is deposited on the flexible organic material.

拾、申請專利範圍

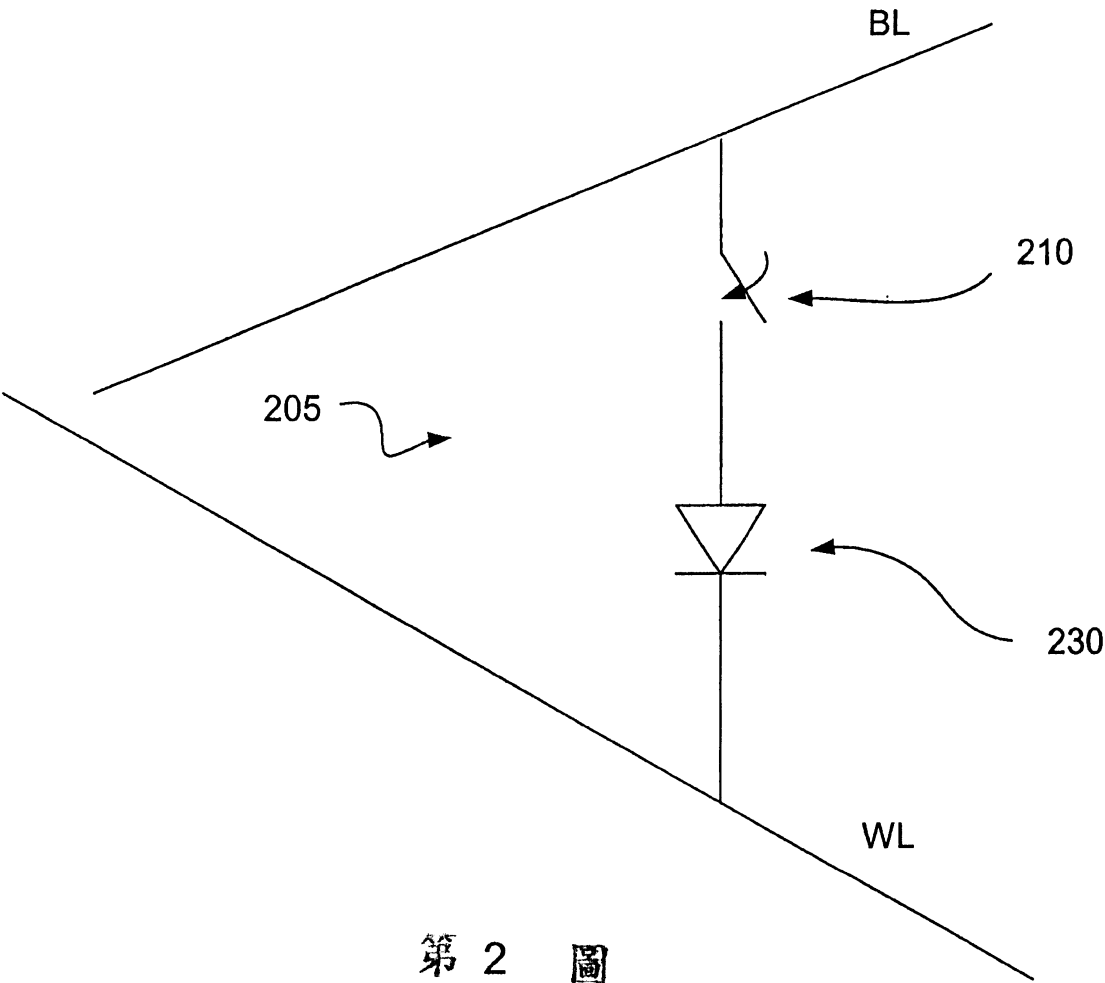
1. 一種包括撓性混合記憶體元件之記憶體裝置，其特徵為包括：
靠近撓性基板(310)形成之撓性第一導電層(320)；
靠近撓性第一導電層(320)形成之撓性二極體結構
5 (330)；
靠近撓性二極體結構(330)形成之撓性切換層(350)
；以及
靠近撓性切換層(350)所形成之撓性第二導電層
(360)。
- 10 2. 如申請專利範圍第1項之撓性混合記憶體元件，其中撓性切換層(350)包括有機材料。
3. 如申請專利範圍第1項之撓性混合記憶體元件，其中此撓性二極體結構(330)包括無規律之無機材料。
4. 如申請專利範圍第1項之撓性混合記憶體元件，其中此
15 撓性二極體結構(330)包括非有機非晶體材料。
5. 如申請專利範圍第2項之撓性混合記憶體元件，其中當臨界數量電流通過撓性有機切換層(350)時，此撓性有機切換層(350)形成高電阻通路。
6. 如申請專利範圍第2項之撓性混合記憶體元件，其中當
20 臨界數量電流通過撓性有機切換層(350)時，此撓性有機切換層(350)形成低電阻通路。
7. 如申請專利範圍第2項之撓性混合記憶體元件，其中形成撓性有機切換層(350)所須之開關製程溫度小於形成撓性二極體結構(330)所須之二極體製程溫度。

拾、申請專利範圍

8. 如申請專利範圍第2項之撓性混合記憶體元件，更包括形成介於撓性有機切換層(350)與撓性二極體結構(330)之間之緩衝層(340)。
9. 如申請專利範圍第8項之撓性混合記憶體元件，其中緩衝層(340)消耗由撓性有機切換層(350)所產生之能量，
5 因此保護撓性二極體結構(330)。
10. 如申請專利範圍第1項之記憶體裝置，更包括多個混合記憶體元件，其中此等混合記憶體元件彼此實體隔離，以提供此等混合記憶體元件之間的電性隔離，且將
10 撓性第一導電層(320)與撓性第二導電層(360)圖案化以形成交點陣列，並且其中將撓性第一導電層(320)與撓性第二導電層(360)之圖案與在撓性二極體結構(330)與撓性有機切換層(360)中所形成之圖案對齊。

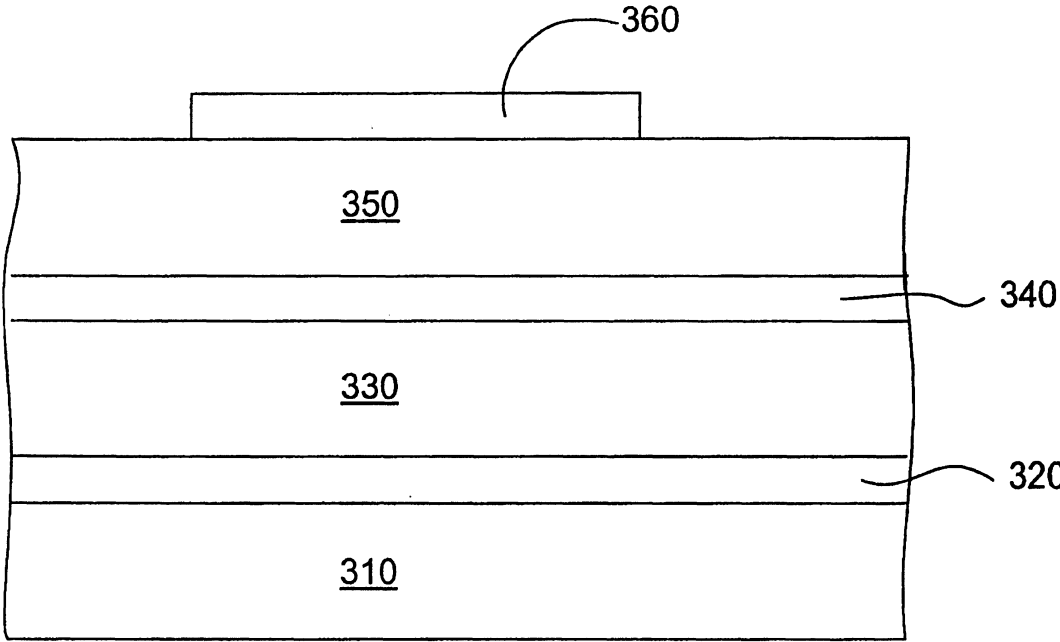


第 1 圖

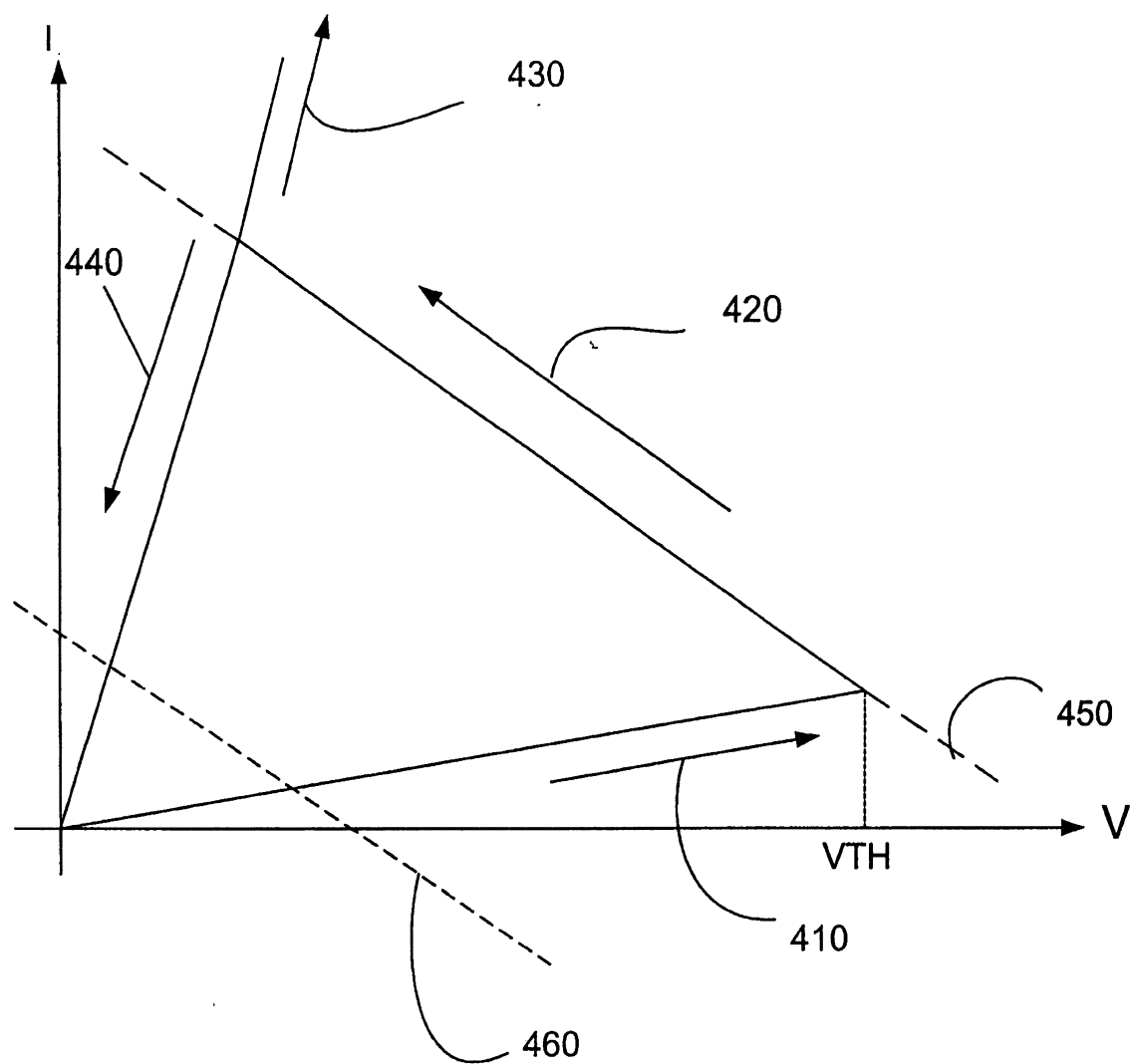


第 2 圖

3/8

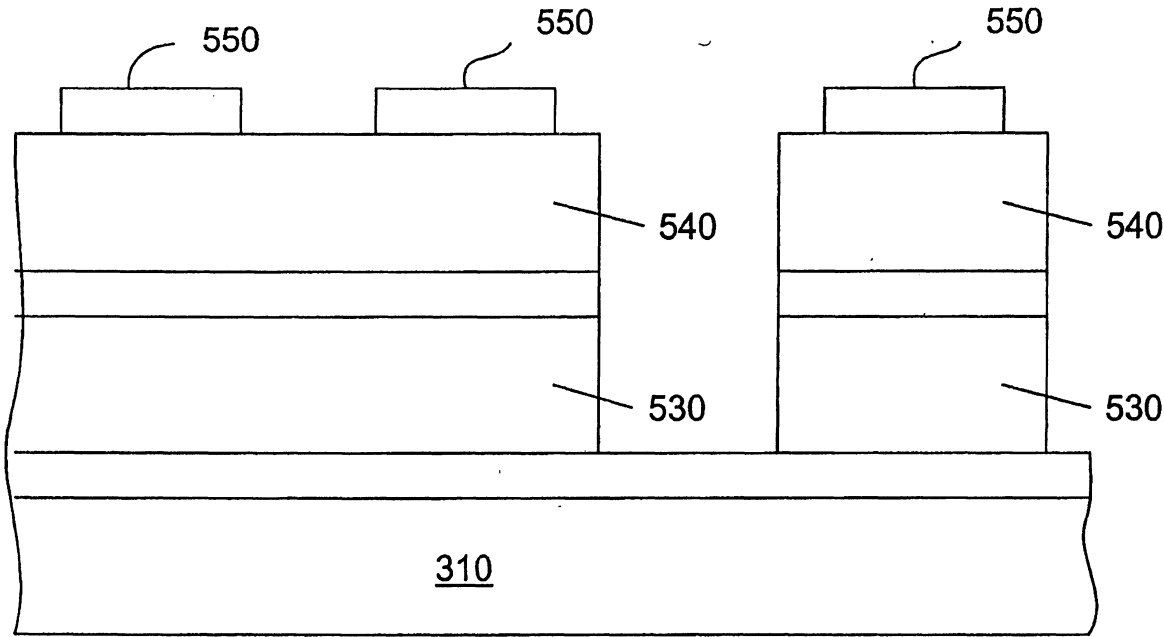


第 3 圖

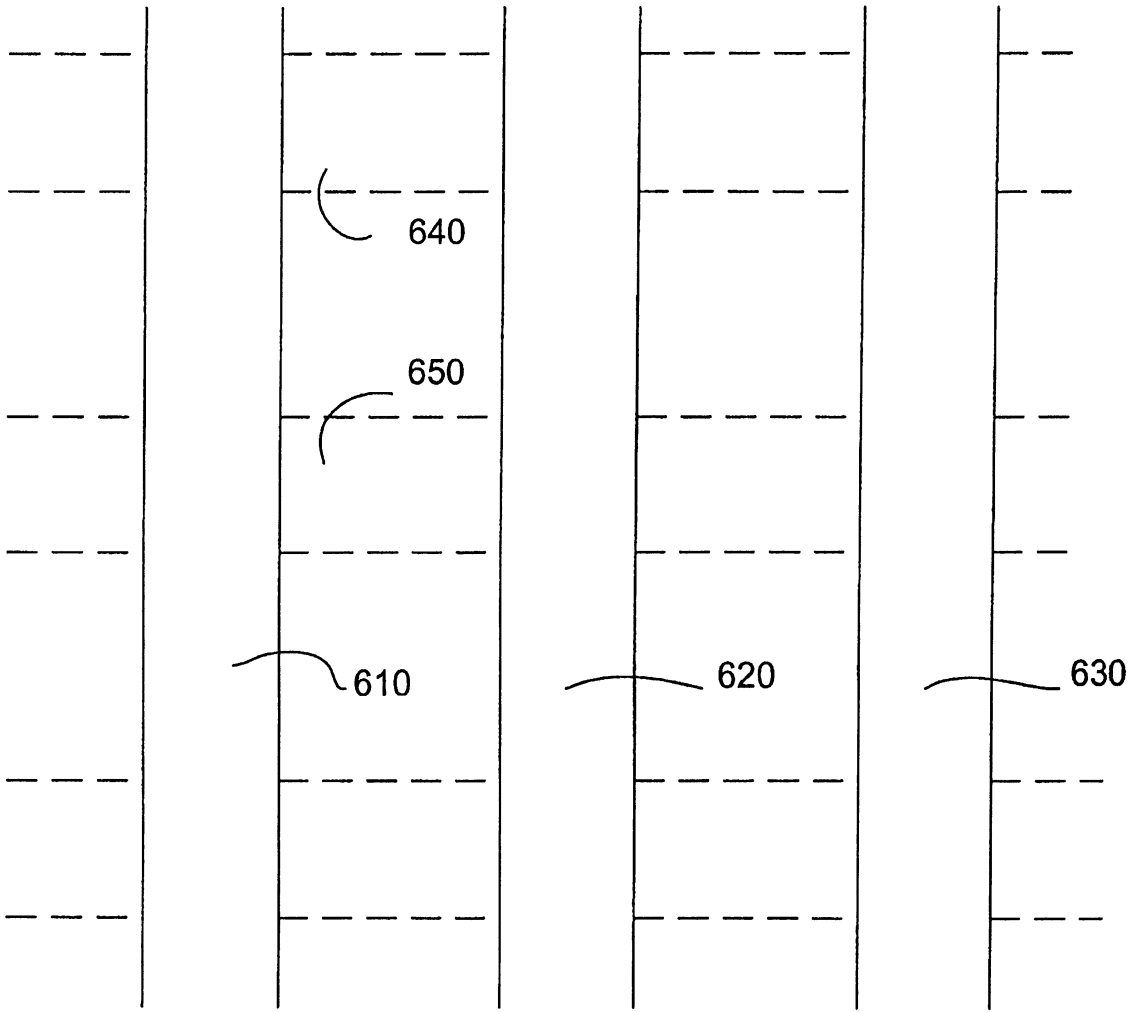


第 4 圖

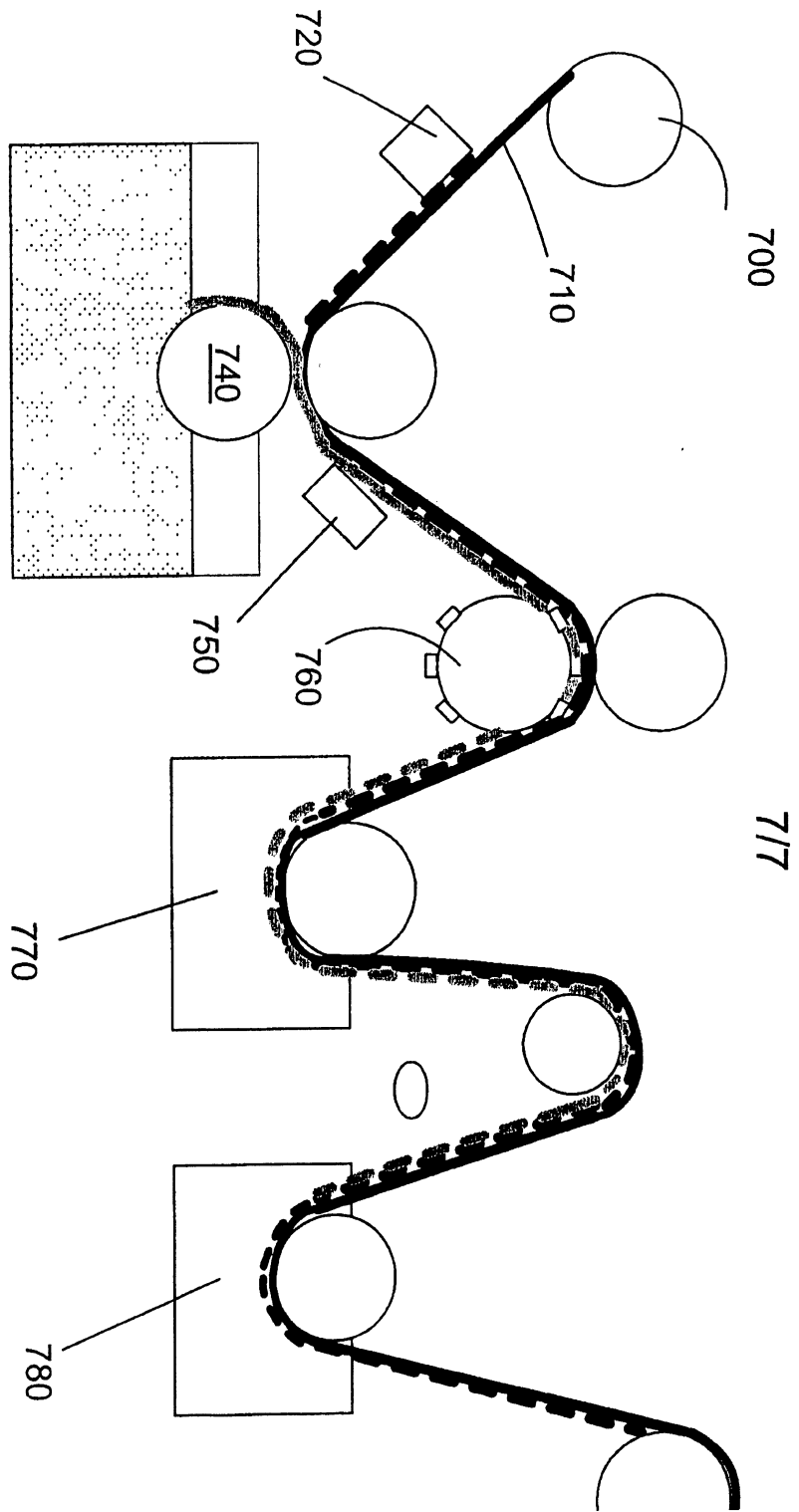
5/7



第 5 圖



第 6 圖



第 7 圖

陸、(一)、本案指定代表圖爲：第 3 圖

(二)、本代表圖之元件代表符號簡單說明：

310…基板

320…第一導電層

330…二極體層

340…緩衝層

350…切換層

360…第二導電層

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：