

# 公告本

申請日期	85.4.22
案 號	85104763
類 別	1701K 1/2

296469

A4  
C4

Int. Cl<sup>6</sup>

296469

(以上各欄由本局填註)

<b>發 明 專 利 說 明 書</b>		
一、發明 名稱	中 文	具備高介質常數層之高度積成薄膜電容器
	英 文	HIGHLY-INTEGRATED THIN FILM CAPACITOR WITH HIGH DIELECTRIC CONSTANT LAYER
二、發明 創作人	姓 名	1. 山道新太郎 2. 皮耶耳費斯雷塞契爾 (Pierre Yves Lesaicherre)
	國 籍	1. 日本 2. 法國
	住、居所	1. 東京都港區芝五丁目7番1號 日本電氣株式會社內 2. 同上所
三、申請人	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國 籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代 表 人 姓 名	金子尚志

裝 訂 線

經濟部中央標準局員工消費合作社印製

206469

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權  
1995年 4月19日 特願平7-117853號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明( / )

### 發明背景

### 發明簡述

本發明係關於在動態隨機存取記憶(DRAM)裝置的記憶電池內，用做堆式電容器之薄膜電容器。

### 相關技藝說明

一般而言，在DRAM電池內的堆式電容器，包括多結晶性矽製下電極、多結晶性矽製上電極層，以及其間由氧化矽或氧化矽／氮化矽／氧化矽(ONO)製電容器絕緣(介質)層。在此情況下，氧化矽或ONO的電容率較小。

近來，DRAM裝置的結構愈精，堆式電容器的結構也愈精。尤其是在256百萬位元DRAM裝置中，採用0.3至0.35 $\mu\text{m}$ 規則，若使用氧化矽或ONO為電容器介質層，則電容器絕緣層厚度會小於4nm，難以形成。所以為增進堆式電容器的電容，乃採用高介質常數層做為 $\text{SiTiO}_3$ 或 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)製電容器介質層。

第一種前案堆式電容器，包含由貴金屬／耐火金屬或導電性氧化物／耐火金屬，諸如Pt/Ta和 $\text{RuO}_2/\text{TiN}$ 所製成，而形成於多結晶性矽塞上之下電極層，上電極層，以及其間由 $\text{SiTiO}_3$ 或BST製成的高介質常數層(見：P-Y. Lesaicherre等人：「具有ECR MOCVD  $\text{SiTiO}_3$ 和RIE式樣 $\text{RuO}_2/\text{TiN}$ 儲存節點的G位元規模DRAM堆式電容器技術」，IEDM，第831-834頁，1994)。詳後，在此情況下，貴金屬或導電性氧化物不易在氧氛圍內與氧反應形成高介質常數層，所以，在貴金屬和高介質常數

## 五、發明說明 ( > )

層間不易產生低電容率的氧化物層。因此，貴金屬或導電性氧化物用做抗氧化的導電層。然而，貴金屬或導電性氧化物卻容易在450°C等低溫與矽反應，形成矽化金屬，容易製成低電容率氧化物。所以，耐火金屬即插入貴金屬或導電性氧化物與多結晶性矽塞之間，使貴金屬或導電性氧化物不直接接觸多結晶性矽塞。在此情況下，耐火金屬即使在600°C溫度也不易與矽反應，故不易產生耐火金屬矽化物。因此，耐火金屬用做防止矽擴散的導電層。

須知迄今尚無導電層，可兼用做抗氧化的導電性和防止矽擴散的導電層。

在上述第一種前案堆式電容器內，由於耐火金屬暴露於溫度約600°C的氧，形成高介質常數層，故耐火金屬容易與氧反應，使耐火金屬氧化。結果，下電極層的接觸電阻增加，而堆式電容器的電容密度降低。

在第二種前案堆式電容器內，為避免耐火金屬的氧化，在形成高介質常數層之前，於下電極層的整個側壁形成絕緣隔體（見：T·Emori等人，「具有256百萬位元DRAM用於高介質常數膜之新設計平坦堆式電容器電池」，IEDM，第631-634頁，1993）。亦詳後。

在上述第二種前案堆式電容器內，堆式電容器的側向長度實質增加，減少積成。尤其是在採用0.2 $\mu$ m規則以下的1Gbit DRAM裝置內，由於高介質常數層的物理尺寸有限，下電極層必須更加立體結構。又由於側壁絕緣隔

## 五、發明說明( )

體，抗氧化導電層的厚度較小，故抗氧化導電層與高介質常數層接觸的表面積小，因此，無法預計大電容。

### 發明概述

本發明之目的，在於提供具有高介質常數層之高度積成電容器。

按照本發明，電容器包含矽基材和在矽基材上形成而具有接觸洞的絕緣層，含防止矽擴散導電層和抗氧化導電層的下電極層，上電極層，以及其間的高介質常數層，其中的防止矽擴散層位於接觸洞上或內；且與高介質常數層絕緣。高介質常數層形成於抗氧化導電層的上面和側面。

### 圖式簡單說明

本發明參照附圖與前案比較說明如下，即可更為清楚明白，其中：

圖 1 為第一種習知堆式電容器的斷面圖；

圖 2 為第二種習知堆式電容器的斷面圖；

圖 3 為圖 1 和圖 2 堆式電容器的接觸電阻和電容密度特性之曲線圖；

圖 4 為本發明堆式電容器第一具體例斷面圖；

圖 5 為圖 4 堆式電容器的接觸電阻和電容密度特性之曲線圖；

圖 6 為本發明堆式電容器第二具體例斷面圖；

圖 7 為本發明堆式電容器第三具體例斷面圖；

圖 8 為本發明堆式電容器第四具體例斷面圖；

### 五、發明說明 ( )

- 圖 9 為本發明堆式電容器第五具體例斷面圖；
- 圖 10 為本發明堆式電容器第六具體例斷面圖；
- 圖 11 為本發明堆式電容器第七具體例斷面圖；
- 圖 12 為本發明堆式電容器第八具體例斷面圖；
- 圖 13 為本發明堆式電容器第九具體例斷面圖；
- 圖 14 為本發明堆式電容器第十具體例斷面圖；
- 圖 15 為本發明堆式電容器第十一具體例斷面圖；
- 圖 16 為本發明堆式電容器第十二具體例斷面圖；
- 圖 17 為本發明堆式電容器第十三具體例斷面圖；
- 圖 18 為本發明堆式電容器第十四具體例斷面圖；
- 圖 19 為本發明堆式電容器第十五具體例斷面圖；
- 圖 20 為本發明堆式電容器第十六具體例斷面圖；
- 圖 21 為本發明堆式電容器第十七具體例斷面圖；
- 圖 22 為本發明堆式電容器第十八具體例斷面圖；
- 圖 23 為本發明堆式電容器第十九具體例斷面圖；
- 圖 24 為本發明堆式電容器第二十具體例斷面圖；
- 圖 25 為本發明堆式電容器第二十一具體例斷面圖；
- 圖 26A 至 26G 為說明圖 4 堆式電容器製法之斷面圖；
- 圖 27A 和 27B 為說明圖 12 和 19 堆式電容器製法之斷面圖；
- 圖 28A 至 28F 為說明圖 6 堆式電容器製法之斷面圖；
- 圖 29A 和 29B 為說明圖 13 和 20 堆式電容器製法之斷面圖；
- 圖 30A 至 30H 為說明圖 7 堆式電容器製法之斷面圖；
- 圖 31A 和 31B 為說明圖 14 和 21 堆式電容器製法之斷面圖；
- 圖 32A 至 32G 為說明圖 8 堆式電容器製法之斷面圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 5 )

圖 33A、33B和 33C為說明圖 15堆式電容器製法之斷面圖；

圖 34A至 34G為說明圖 8 堆式電容器製法之斷面圖；

圖 35為說明圖 15堆式電容器製法之斷面圖；

圖 36A至 36G為說明圖 9 堆式電容器製法之斷面圖；

圖 37A、37B和 37C為說明圖 23堆式電容器製法之斷面圖；

圖 38A和 38E為說明圖 10堆式電容器製法之斷面圖；

圖 39A和 39B為說明圖 17和 24堆式電容器製法之斷面圖；

圖 40A至 40E為說明圖 11堆式電容器製法之斷面圖。

### 較佳具體例之詳細說明

在說明較佳具體例之前，先參照圖 1 至圖 3 說明習知堆式電容器。

圖 1 表示第一種堆式電容器（見 P-Y. Lesaicherre 文獻），1 指低電阻 N 型單結晶性矽基材，2 指氧化矽製絕緣層。絕緣層 2 亦形成接觸洞 CONT，其中埋入 N 型摻雜不純物的多結晶性矽。

在多結晶性矽塞 3 上，形成 TiN 等耐火金屬製防止矽擴散的導電層 4，以及貴金屬或  $RuO_2$  等導電性氧化物製抗氧化導電層 5，以形成下電極層。另形成  $SiTiO_3$  或 BST 製高介質常數層 6，覆蓋於下電極層。在高介質常數層 6 上形成上電極層 7。

然而，在圖 1 堆式電容器中，若高介質常數層 6 是利用金屬有機化學蒸著 (MOCVD) 法成長，則防止矽擴散的

## 五、發明說明 ( b )

導電層 4 之耐火金屬，如箭頭 X 所示暴露於氧。所以，由於耐火金屬容易與氧反應，耐火金屬即告氧化。

耐火金屬的氧化程度，視 MOCVD 法的定著溫度而定。亦即如圖 3 所示，當定著溫度高於 550℃，多結晶性矽塞 3 與下電極層 (4, 5) 之接觸電阻即明顯上升，因此堆式電容器的電容密度即明顯下降。

圖 2 表示第二種習知堆式電容器 (見 T. Eimori 文獻)，其中在形成高介質常數層 6 之前，在下電極層 (4, 5) 的全部側壁形成側壁絕緣隔體 8。所以，若高介質常數層 6 是利用 RF 噴鍍法成長，由於防止矽擴散的導電層 4 之耐火金屬，完全被側壁絕緣層 8 所覆蓋，耐火金屬即不易氧化。亦即如圖 3 所示，即使定著溫度高於 550℃，接觸電阻仍未上升，且堆式電容器的電容密度係上升而非下降，因為高介質常數層 6 的結晶度愈好，定著溫度愈高。

然而，在圖 3 堆式電容器內，由於堆式電容器的側面長度，因大側壁絕緣隔體 8 的存在而實質增加，故積成減小。又，抗氧化的導電層 6 厚度因側壁絕緣隔體 8 而較小，故抗氧化層與高介質常數層 6 接觸的表面積小，無法期待大電容。

圖 4 表示本發明第一具體例，1 指 N 型單結晶性矽基材，具有約  $0.1 \Omega \cdot \text{cm}$  的低電阻，2 指氧化矽製約 600nm 厚的絕緣層。另在絕緣層 2 內形成接觸洞 CONT，內埋設摻磷的多結晶性矽塞 3。

## 五、發明說明(7)

在多結晶性矽塞3上形成TiN等耐火金屬製約100nm厚防止矽擴散的導電層4，和RuO<sub>2</sub>(500nm)/Ru(50nm)等貴金屬製抗氧化導電層5，以形成下電極層。

只在防止矽擴散層4的側壁上，亦形成氮化矽製側壁絕緣隔體8。因此，高介質常數層6與抗氧化導電層5側壁及其上面接觸。又，防止矽擴散的導電層4與高介質常數層6隔離。

另形成SiTiO<sub>3</sub>或BST製高介質常數層6，覆蓋下電極層。此外，在高介質常數層6上，形成Al(1μm)/TiN(100nm)製上電極層7。

如圖4所示，當高介質常數層6利用MOCVD法成長時，防止矽擴散層4的耐火金屬即完全被側壁絕緣隔體8所覆蓋。此外，在圖2中，由於只有抗氧化導電層5的頂面有效用做下電極，故電容小。反之，在圖4中，由於抗氧化導電層5的側面及其頂面都有效用做下電極，電容可較圖2的堆式電容器上升。因此，圖4堆式電容器可適合1 Gbit DRAM裝置。耐火金屬也未氧化過。如圖5所示，即使定著溫度在550℃以上，接觸電阻未增加，而堆式電容器的電容密度亦未增加而是減少，因為高介質常數層6的結晶率愈好，定著性溫度愈高。

此外，如上所述，由圖4中抗氧化導電層5與高介質常數層6接觸的有效面積，較圖2為大，下電極層的高度即減小。又因圖4中側壁絕緣隔體8較圖2中為小，可增進積成。

## 五、發明說明( 8 )

圖 6 表示本發明第二具體例，消除圖 4 的側壁絕緣隔體 8，而圖 4 防止砂擴散的導電層 4 在側向減小。因此，防止砂擴散的導電層即與高介質常數層 6 隔離。

此外，由於圖 6 內抗氧化導電層 5 與高介質常數層 6 接觸的有效面積，較圖 4 為大，可減少下電極層的高度。此外，由於無圖 4 的側壁絕緣隔體 8，可增進積成。

圖 7 表示本發明第三具體例，防止砂擴散的導電層 4 側向較圖 4 為小。易言之，側壁絕緣隔體 8 位於抗氧化導電層 5 下方。因此，可較圖 4 堆式電容器增進積成。

防止砂擴散的導電層 4 亦與高介質常數層 6 隔離。

圖 8 表示本發明第四具體例，防止砂擴散的導電層 4 埋於接觸洞 CONT 內。因此，防止砂擴散的導電層 4 即與高介質常數層 6 隔離。

此外，由於圖 8 內抗氧化導電層 5 與高介質常數層 6 接觸的有效面，較圖 4 大，可進一步減少下電極層的高度。又因防止砂擴散的導電層 4 套裝入接觸洞 CONT 內，不必提供特殊步驟以限定防止砂擴散的導電層 4 之位置，故生產成本可較圖 7 的堆式電容器為低。

圖 9 表示本發明第五具體例，防止砂擴散的導電層 4 和一部份抗氧化導電層 5，埋入接觸洞 CONT 內。因此，防止砂擴散的導電層 4 即與高介質常數層 6 隔離。

此外，與圖 8 堆式電容器相同，由於圖 9 內抗氧化導電層 5 與高介質常數層 6 接觸的有效面積，較圖 4 大，可進一步降低下電極層的高度。此外，由於防止砂擴散

## 五、發明說明 ( )

的導電層 4 套入接觸洞 CONT 內，不必提供特別步驟限定防止砂擴散的導電層 4 位置，故生產成本較圖 7 堆式電容器為低。再者，防止砂擴散的導電層 5 在縱向的位置不需準確，可進一步降低生產成本。

圖 10 表示本發明第六具體例，防止砂擴散的導電層 4 完全埋入接觸洞 CONT 內。即未形成多結晶性砂塞 3，所以，圖 10 的堆式電容器，適於絕緣層 2 厚度小而接觸洞 CONT 直徑大的情況。因此，防止砂擴散的導電層 4 即與高介質常數層 6 隔離。

此外，由於圖 10 內抗氧化導電層 5 與高介質常數層 6 接觸的有效面，較圖 4 大，可進一步減小下電極層的高度。再者，由於防止砂擴散的導電層 4 完全套裝入接觸洞 CONT 內，不必提供特殊步驟限定防止砂擴散的導電層 4 位置，使生產成本較圖 7 堆式電容器為低。

圖 11 表示本發明第七具體例，防止砂擴散的導電層 4 和一部份抗氧化導電層 5，即埋入接觸洞 CONT 內。在此情況下，未形成多結晶性砂塞 3，所以，圖 11 的堆式電容器亦適於絕緣層 2 厚度小而接觸洞 CONT 直徑大的情況。因此，防止砂擴散的導電層 4 即與高介質常數層 6 隔離。

此外，由於圖 11 內抗氧化導電層 5 與高介質常數層 6 接觸的有效面積，較圖 6 大，故進一步減小下電極層的高度。又因防止砂擴散的導電層 4 完全套入接觸洞 CONT 內。不需提供特別步驟限定防止砂擴散的導電層 4 位置

## 五、發明說明(10)

，故生產成本可較圖7的堆式電容器低。

圖12, 13, 14, 15, 16, 17, 18分別表示本發明第八, 九, 十, 十一, 十二, 十三, 十四具體例, 分別改變圖4, 6, 7, 8, 9, 10, 11的堆式電容器。即, 矽接觸層9介置於防止矽擴散的導電層4與多結晶性矽塞3(或矽基材1)之間。例如, 防止矽擴散的導電層4由約50nm厚的TiN製成, 而矽接觸層9是由約50nm厚的TiSi<sub>2</sub>製成。一般而言, 諸化TiN等金屬氮化物對矽的接觸特性不佳, 其間的接觸電阻較大。最壞是金屬氮化物脫落矽。反之, TiSi<sub>2</sub>等金屬矽化物對矽、氧化矽和氮化矽的接觸特性優良。所以, 矽接觸層9改進防止矽擴散的導電層4與多結晶性矽塞3(或矽基材1)間的連接, 因此進一步減少多結晶性矽塞3(或矽基材1)與下電極層(4, 5, 9)的接觸電阻。而生產產率亦有所增進。

圖19, 20, 21分別表示本發明第十五、十六、十七具體例, 分別改變圖12, 13, 14的堆式電容器。即矽接觸層9側向較圖12, 13, 14為小。所以, 堆式電容器可減小尺寸以增進積成。

圖22, 23, 24, 25分別表示本發明第十八, 十九, 二十, 二十一具體例, 分別改變圖15, 16, 17, 18的堆式電容器。即矽接觸層9亦形成於接觸洞CONT內之絕緣層2側壁。結果, 矽接觸層9容易形成, 使生產產率增進。

其次, 說明本發明堆式電容器之製法。

## 五、發明說明 ( 11 )

圖 26A 至 26G 為說明圖 4 堆式電容器製法之斷面圖。

首先參見圖 26A，將電阻約  $0.1 \Omega \cdot \text{cm}$  的 N 型單結晶性矽基材 1 加熱氧化，形成約  $600 \text{nm}$  厚的氧化矽製絕緣層 2。在絕緣層 2 打接觸洞 CONT。再利用 CVD 法全面定著約  $1 \mu \text{m}$  厚的多結晶性矽層 3'，磷離子擴散入多結晶性矽層 3'，以減少其電阻。

其次，參見圖 26B，多結晶性矽層 3' 利用反應性離子侵蝕 (RIE) 法，使用氟氣回侵，結果，多結晶性矽塞 3 即埋入接觸洞 CONT 內。

其次，參見圖 26C，利用反應性 DC 噴鍍法，接續定著 TiN 層和  $\text{RuO}_2 / \text{Ru}$  層。再利用電子迴旋加速器共振 (ECR) 電漿侵蝕法，使用氟氣和氧氣的混合物，造型 TiN 層和  $\text{RuO}_2 / \text{Ru}$  層，形成 TiN 製防止矽擴散的導電層 4 和  $\text{RuO}_2$  ( $500 \text{nm}$ ) 及 Ru ( $50 \text{nm}$ ) 製抗氧化導電層 5。

其次，參見圖 26D，利用 CVD 法定著氮化矽層 8'。

其次，參見圖 26E，利用 RIE 法，使用氟氣回侵，形成氮化矽製側壁絕緣隔體 8。在此情況下，側壁絕緣隔體 8 覆蓋防止矽擴散的導電層 4 側壁，而側壁絕緣隔體 8 只覆蓋抗氧化導電層 5 側壁一部份。

其次，參見圖 26F，利用 ECR-MOCVD 法，使用  $\text{Ba}(\text{DPM})_2$ ， $\text{Sr}(\text{DPM})_2$ ， $\text{Ti}(\text{i-OC}_3\text{H}_7)$  和氧氣，全面定著 BST 製約  $100 \text{nm}$  厚的高介質常數層 6。DPM 指雙二特戊醯甲烷化物，在此法中，基材溫度約  $400$  至  $700^\circ\text{C}$ ，氣體壓力約  $7 \text{mTorr}$ 。

## 五、發明說明 ( 12 )

最後，參見圖 26G，Al(1 $\mu$ m)/TiN(50nm)製上電極層 7，利用 DC 噴鍍法，使用 Ar(氬氣)全面定著。

再利用 RIE 法，使用氯氣侵蝕上電極層 7，即得圖 4 之堆式電容器。

須知在圖 26C 所示製法步驟中，形成圖 27A 內 4' 所示 TiN 層之前，形成 TiSi<sub>2</sub> 製矽接觸層 9，可得圖 12 堆式電容器。

在 Ti 層(圖上未示)定著後，若在 Ti 層上，於氮氛圍內，在約 700℃ 的溫度進行快速加熱退火法，則在多結晶性矽塞 3 上形成 TiSi<sub>2</sub> 製矽接觸層 9，如圖 27B 所示，即得圖 19 之堆式電容器。

圖 28A 至圖 28F 為說明圖 6 堆式電容器製法之斷面圖。

首先參見圖 28A，按圖 26A 同樣方式，將電阻約 0.1  $\Omega \cdot \text{cm}$  的 N 型單結晶性矽基材 1 加熱氧化，形成約 600 nm 厚的氧化矽製絕緣層 2。在絕緣層 2 打接觸洞 CONT。再利用 CVD 法全面定著約 1 $\mu$ m 厚的多結晶性矽層 3'，磷離子擴散入多結晶性矽層 3'，以減少其電阻。

其次，參見圖 28B，按圖 26B 同樣方式，多結晶性矽層 3' 利用反應性離子侵蝕 (RIE) 法，使用氯氣回侵，結果，多結晶性矽塞 3 即埋入接觸洞 CONT 內。

其次，參見圖 28C，利用反應性 DC 噴鍍法，定著 TiN 層。再利用電子迴旋加速器共振 (ECR) 電漿侵蝕法，使用氯氣和氧氣的混合物，形成 TiN 製防止矽擴散的導電層 4。

## 五、發明說明(13)

其次，參見圖 28D，利用反應性 DC 噴鍍法定著  $\text{RuO}_2 / \text{Ru}$  層。再利用 ECR 電漿侵蝕法，使用氯氣和氧氣的混合物造型  $\text{RuO}_2 / \text{Ru}$  層，形成  $\text{RuO}_2$  (500nm) 和  $\text{Ru}$  (50nm) 製抗氧化導電層 5。

其次，參見圖 28E，按圖 26F 同樣方式，利用 ECR-MOCVD 法，使用  $\text{Ba}(\text{DPM})_2$ ， $\text{Sr}(\text{DPM})_2$ ， $\text{Ti}(\text{i-OC}_3\text{H}_7)$  和氧氣，全面定著 BST 製約 100nm 厚高介質常數層 6。在此法中，基材溫度約 400 至 700℃，而氣體壓力約 7mTorr。

最後，參見圖 28F，按圖 26G 同樣方式， $\text{Al}(1\mu\text{m}) / \text{TiN}(50\text{nm})$  製上電極層 7，利用 DC 噴鍍法，使用 Ar 氣全面定著。

再利用 RIE 法，使用氯氣侵蝕上電極層 7，即得圖 6 之堆式電容器。

須知在圖 28C 所示製法步驟中，形成圖 29A 內 4' 所示 TiN 層之前，形成  $\text{TiSi}_2$  製矽接觸層 9，可得圖 13 堆式電容器。

在 Ti 層 (圖上未示) 定著後，若在 Ti 層上，於氮氛圍內，在約 700℃ 的溫度進行快速加熱退火法，則在多結晶性矽塞 3 上形成  $\text{TiSi}_2$  製矽接觸層 9，如圖 29B 所示，即得圖 20 之堆式電容器。

圖 30A 至圖 30H 為說明圖 7 堆式電容器製法之斷面圖。

首先參見圖 30A，按圖 26A 同樣方式，將電阻約  $0.1 \Omega \cdot \text{cm}$  的 N 型單結晶性矽基材 1 加熱氧化，形成約 600

## 五、發明說明(14)

$n$ 厚的氧化矽製絕緣層2。在絕緣層2打接觸洞CONT。再利用CVD法全面定著約 $1\mu$ 厚的多結晶性矽層3'，磷離子擴散入多結晶性矽層3'，以減少其電阻。

其次，參見圖30B，按圖26B同樣方式，多結晶性矽層3'利用反應性離子侵蝕(RIE)法，使用氯氣回侵，結果，多結晶性矽塞3即埋入接觸洞CONT內。

其次，參見圖30C，利用反應性DC噴鍍法，定著TiN層和 $RuO_2/Ru$ 層。再利用電子迴旋加速器共振(ECR)電漿侵蝕法，使用氯氣和氧氣的混合物，造型TiN層和 $RuO_2/Ru$ ，形成TiN製防止矽擴散的導電層，和 $RuO_2$ (500nm)及 $Ru$ (50nm)製抗氧化導電層5。

其次，參見圖30D，只有防止矽擴散的導電層4側面，利用濕侵法，使用過氧化氫混合物、過氧化硫酸混合物或過氧化鹽酸混合物侵蝕。

其次，參見圖30E，按照圖26D同樣方式，利用CVD法定著氮化矽層8'。

其次，參見圖30F，按照圖26E同樣方式，利用RIE侵蝕法，使用氯氣回侵，形成氮化矽製側壁絕緣隔體8。在此例中，側壁絕緣隔體8位於抗氧化導電層5下方。即側壁絕緣隔體8覆蓋防止矽擴散的導電層4側壁，而側壁絕緣隔體8不覆蓋抗氧化導電層5之側壁。

其次，參見圖30G，按照圖26F同樣方式，利用ECR-MOCVD法，使用 $Ba(DPM)_2$ 、 $Sr(DPM)_2$ 、 $Ti(i-OC_3H_7)$ 和氧氣，全面定著BST製約100nm厚高介質常數層6。

## 五、發明說明(15)

在此法中，基材溫度約400至700℃，氣體壓力約7mTorr。

最後，參見圖30H，按照圖26G同樣方式，利用DC噴鍍法，使用Ar氣全面定著Al(1μm)/TiN(50nm)製上電極層7。

須知在圖30C製法步驟中，形成圖31A中4'所示TiN層之前，形成TiSi<sub>2</sub>製矽接觸層9，可得圖14堆式電容器。

又在Ti層(圖上未示)定著後，若在Ti層上，於氮氛圍內，在約700℃的溫度進行快速加熱退火法，在多結晶性矽塞3上即形成TiSi<sub>2</sub>製矽接觸層9，如圖31B所示，故得圖21堆式電容器。

圖32A至32G為說明圖8堆式電容器製法之斷面圖。

首先參見圖32A，將電阻約0.1Ω·cm的N型單結晶性矽基材1加熱氧化，形成約600nm厚的氧化矽製絕緣層2。在絕緣層2打接觸洞CONT。再利用CVD法全面定著約1μm厚的多結晶性矽層3'，磷離子擴散入多結晶性矽層3'，以減少其電阻。

其次，參見圖32B，多結晶性矽層3'利用反應性離子侵蝕(RIE)法，使用氟氣回侵，結果，多結晶性矽塞3即埋入接觸洞CONT內。在此例中，多結晶性矽塞3頂面較絕緣層2低約100nm。

其次，參見圖32C，利用反應性DC噴鍍法，使用氫氣和氮氣混合物定著TiN層4'。

其次，參見圖32D，絕緣層2上的TiN層4'使用膠體

### 五、發明說明 ( b )

氧化矽利用化學機械磨光 (CMP) 法除去，使 TiN 製防止矽擴散的導電層 4，埋入接觸洞 CONT 內。

其次，參見圖 32E，利用反應性 DC 噴鍍法定著 RuO<sub>2</sub> / Ru 層。再利用 ECR 電漿侵蝕法，使用氮氣和氧氣的混合物，造型 RuO<sub>2</sub> / Ru 層，形成 RuO<sub>2</sub> (500nm) 及 Ru (50nm) 製抗氧化導電層 5。

其次，參見圖 32F，按圖 26F 同樣方式，利用 ECR-MOCVD 法，使用 Ba(DPM)<sub>2</sub>，Sr(DPM)<sub>2</sub>，Ti(i-OC<sub>3</sub>H<sub>7</sub>) 和氧氣，全面定著 BST 製約 100nm 厚高介質常數層 6。在此法中，基材溫度約 400 至 700℃，而氣體壓力約 7mTorr。

最後，參見圖 32G，按照圖 26G 同樣方式，利用 DC 噴鍍法，使用 Ar 氣全面定著 Al(1μm) / TiN(50nm) 製上電極層 7。

再利用 RIE 法，使用氮氣侵蝕上電極層 7，即得圖 8 堆式電容器。

須知在圖 32C 製法步驟內，形成 TiN 層 4' 之前，形成 TiSi<sub>2</sub> 製矽接觸層 9，得圖 22 堆式電容器。

又，在形成 TiN 層 4' 之前，利用 DC 噴鍍法定著約 100nm 厚的 Ti 層 4a，如圖 33A 所示。再在 Ti 層 4a 上，於氮氛圍內，在約 700℃ 進行快速加熱退火法約 30 秒，只在多結晶性矽塞 3 上形成 TiSi<sub>2</sub> 製矽接觸層 9，Ti 層 4a 轉變成 TiN 層 4b，如圖 33B 所示。再形成 TiN 層 4'，如圖 33C 所示。由此可得圖 15 的堆式電容器。

## 五、發明說明(17)

圖 34A 至 34G 亦為說明圖 8 堆式電容器製法之斷面圖。

首先參見圖 34A，利用 CVD 法，在電阻約  $0.1 \Omega \cdot \text{cm}$  的 N 型單結性矽基材上，定著約  $1 \mu \text{m}$  厚的多結晶性矽層 3'，磷離子擴散入多結晶性矽層 3' 內，降低其電阻。再利用反應性 DC 噴鍍法，使用氫氣和氮氣的混合物，定著約  $600 \text{nm}$  的 TiN 層 4'。

其次，參見圖 34B，造型 TiN 層 4' 和多結晶性矽層 3'，形成防止矽擴散的導電層 4 和多結晶性矽塞 3。

其次，參見圖 34C，利用 CVD 法形成氧化矽製絕緣層 2。

其次，參見圖 34D，利用 CMP 法，使用膠體氧化矽除去防止矽擴散的導電層 4，使防止矽擴散的導電層 4 從絕緣層 2 露出。

其次，參見圖 34E，按照圖 32E 同樣方式，利用反應性 DC 噴鍍法，定著  $\text{RuO}_2 / \text{Ru}$  層。再利用 ECR 電漿侵蝕法，使用氫氣和氧氣的混合物，造型  $\text{RuO}_2 / \text{Ru}$  層，形成  $\text{RuO}_2$  ( $500 \text{nm}$ ) 和  $\text{Ru}$  ( $50 \text{nm}$ ) 製抗氧化導電層 5。

其次，參見圖 34F，按照圖 32F 同樣方式，利用 ECR-MOCVD 法，使用  $\text{Ba}(\text{DPM})_2$ 、 $\text{Sr}(\text{DPM})_2$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)$  和氧氣，定著 BST 製約  $100 \text{nm}$  厚高介質常數層 6。在此法中，基材溫度約  $400$  至  $700^\circ\text{C}$ ，而氣體壓力約  $7 \text{mTorr}$ 。

最後，參見圖 34G，按照圖 32G 同樣方式，利用 DC 噴鍍法，使用 Ar 氣全面定著  $\text{Al}(1 \mu \text{m}) / \text{TiN}(50 \text{nm})$  製上電極層 7。

## 五、發明說明 ( 18 )

再利用 RIE 法，使用氫氣侵蝕上電極層 7，即得圖 8 堆式電容器。

須知在圖 34A 製法步驟中，在形成 TiN 層 4' 之前形成 Ti 層後，若在 Ti 層上，於氮氛圍內在約 700°C 進行快速加熱退火法時，即在多結晶性矽層 3' 上形成  $TiSi_2$  製矽接觸層 9，得圖 16 堆式電容器。

圖 36A 至 36G 亦為說明圖 9 堆式電容器製法之斷面圖。

首先參見圖 36A，按照圖 32A 同樣方式，將電阻約  $0.1 \Omega \cdot cm$  的 N 型單結晶性矽基材 1 加熱氧化，形成氧化矽製約 600nm 厚的絕緣層 2。再於絕緣層 2 打接觸洞 CONT。再利用 CVD 法，全面定著約  $1 \mu m$  厚多結晶性矽層 3'，磷離子擴散入多結晶性矽層 3' 內，以降低其電阻。

其次，參見圖 36B，類似圖 32B 的方式，利用 RIE 法，使用氫離子回侵多結晶性矽層 3'，結果，多結晶性矽塞 3 埋入接觸洞 CONT 內。在此情況下，多結晶性矽塞 3 的頂面明顯較絕緣層 2 為低。

其次，參見圖 36C，按照圖 32C 同樣方式，利用反應性 DC 噴鍍法，使用氫氣和氮氣的混合物，定著約 600nm 的 TiN 層 4'。

其次，參見圖 36D，按照圖 32D 同樣方式，利用 RIE 法，使用氫氣除去絕緣層 2，使 TiN 製防止矽擴散的導電層 4 完全埋入接觸洞 CONT 內。在此情況下，防止矽擴散的導電層 4 表面，較絕緣層 2 為低。

其次，參見圖 36E，按照圖 32E 同樣方式，利用反應

## 五、發明說明 ( 19 )

性 DC 噴鍍法定著  $\text{RuO}_2 / \text{Ru}$  層。再利用 ECR 電漿侵蝕法，使用氮氣和氧氣的混合物造型  $\text{RuO}_2 / \text{Ru}$  層，形成  $\text{RuO}_2$  (500nm) 和  $\text{Ru}$  (50nm) 製抗氧化導電層 5，在此情況下，抗氧化導電層 5 部份埋入接觸洞 CONT 內。

其次，參見圖 36F，按照圖 32F 同樣方式，利用 ECR-MOCVD 法，使用  $\text{Ba}(\text{DPM})_2$ 、 $\text{Sr}(\text{DPM})_2$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)$  和氧氣，全面定著 OST 製約 100nm 厚的高介質常數層 6。在此法中，基材溫度約 400 至 700°C，而氣體壓力約 7mTorr。

最後，參見圖 36G，按照圖 32G 同樣方式，利用 DC 噴鍍法，使用 Ar 氣全面定著  $\text{Al}(1\mu\text{m}) / \text{TiN}(50\text{nm})$  製上電極層 7。

再利用 RIE 法，使用氮氣侵蝕上電極層 7，即得圖 9 堆式電容器。

須知在圖 36C 製法步驟中，於形成 TiN 層 4' 之前，形成  $\text{TiSi}_2$  製矽接觸層 9，故得圖 23 堆式電容器。

另在形成 TiN 層 4' 之前，利用 DC 噴鍍法定著約 100nm 厚的 Ti 層 4a，如圖 37A 所示。再在氮氛圍內，於 Ti 層 4a 上，在約 700°C 溫度進行快速加熱退火法約 30 秒，只在多結晶性矽塞 3 上形成  $\text{TiSi}_2$  製矽接觸層 9，同時將 Ti 層 4a 轉化為 TiN 層 4b，如圖 37B 所示。再形成 TiN 層 4'，如圖 37C 所示。因此，得圖 23 堆式電容器。

圖 38A 至 38E 為說明圖 10 堆式電容器製法之斷面圖。

首先參見圖 38A，將電阻約  $0.1\Omega \cdot \text{cm}$  的 N 型單結晶性矽基材 1 加熱氧化，形成約 600nm 厚的氧化矽製絕緣層

## 五、發明說明 ( )

2。再於絕緣層2打接觸洞CONT。再利用反應性DC噴鍍法，使用氫氣和氮氣的混合物，定著約600nm TiN層4'。

其次，參見圖38B，利用CMP法，使用膠體氧化矽除去絕緣層2上的TiN層4'，故TiN製防止矽擴散的導電層4即埋入接觸洞CONT內。

其次，參見圖38C，按照圖32E同樣方式，利用反應性DC噴鍍法定著RuO<sub>2</sub>/Ru層。再利用ECR電漿侵蝕法，使用氫氣和氧氣的混合物造型RuO<sub>2</sub>/Ru層，形成RuO<sub>2</sub>(500nm)和Ru(50nm)製抗氧化導電層5。

其次，參見圖38D，按照圖32F同樣方式，利用ECR-MOCVD法，使用Ba(DPM)<sub>2</sub>、Sr(DPM)<sub>2</sub>、Ti(i-OC<sub>3</sub>H<sub>7</sub>)和氧氣，全面定著OST製約100nm厚的高介質常數層6。在此法中，基材溫度約400至700℃，而氣體壓力約7mTorr。

最後，參見圖38E，按照圖32G同樣方式，利用DC噴鍍法，使用Ar氣全面定著Al(1μm)/TiN(50nm)製上電極層7。

再利用RIE法，使用氫氣侵蝕上電極層7，即得圖10堆式電容器。

須知在圖38A製法步驟中，於形成TiN層4'之前，形成TiSi<sub>2</sub>製矽接觸層9，故得圖24堆式電容器。

另在形成TiN層4'之後，利用DC噴鍍法定著約100nm厚的Ti層4a，如圖39A所示。再在氮氛圍內，於Ti層4a上，在約700℃溫度進行快速加熱退火法約30秒，只在

## 五、發明說明 ( >1 )

矽基材 1 上形成  $TiSi_2$  製矽接觸層 9，同時將 Ti 層 4a 轉化為 TiN 層 4b，如圖 39B 所示。再形成 TiN 層 4'，如圖 39C 所示。因此，得圖 17 堆式電容器。

圖 40A 至 40E 為說明圖 11 堆式電容器製法之斷面圖。

首先參見圖 40A，按照圖 38A 同樣方式，將電阻約  $0.1\Omega \cdot cm$  的 N 型單結性矽基材 1 加熱氧化，形成約 600 nm 厚的氧化矽製絕緣層 2。再於絕緣層 2 打接觸洞 CONT。再利用反應性 DC 噴鍍法，使用氫氣和氮氣的混合物，定著約 600 nm TiN 層 4'。

其次，參見圖 40B，利用 RIE 法，使用氟氣除去絕緣層 2 上的 TiN 層 4'，故 TiN 製防止矽擴散的導電層 4 即完全埋入接觸洞 CONT 內。在此例中，防止矽擴散的導電層 4 之高度，較絕緣層 2 為低。

其次，參見圖 40C，按照圖 38C 同樣方式，利用反應性 DC 噴鍍法，定著  $RuO_2/Ru$  層。再利用 ECR 電漿侵蝕法，使用氟氣和氧氣的混合物，造型  $RuO_2/Ru$  層，形成  $RuO_2$  (500 nm) 和 Ru (50 nm) 製抗氧化導電層 5。

其次，參見圖 40D，按照圖 38D 同樣方式，利用 ECR-MOCVD 法，使用  $Ba(DPM)_2$ 、 $Sr(DPM)_2$ 、 $Ti(i-OC_3H_7)$  和氧氣，定著 BST 製約 100 nm 厚高介質常數層 6。在此法中，基材溫度約 400 至 700 °C，而氣體壓力約 7 mTorr。

最後，參見圖 40E，按照圖 38E 同樣方式，利用 DC 噴鍍法，使用 Ar 氣全面定著  $Al(1\mu m)/TiN(50nm)$  製上電極層 7。

## 五、發明說明 ( >> )

再利用 RIE 法，使用氯氣侵蝕上電極層 7，即得圖 11 堆式電容器。

須知圖 40A 製法步驟中，在形成圖 40A 中 4' 所示 TiN 層之前，形成  $TiSi_2$  製矽接觸層 9，即可得圖 25 堆式電容器。

又如圖 39A，39B，39C 所示，在矽基材 1 上形成  $TiSi_2$  製矽接觸層 9，得圖 18 堆式電容器。

在上述具體例中，雖然多結晶性矽塞 3 是利用 CVD 法成長，但多結晶性矽塞 3 亦可利用晶膜成長法成長。亦可將銻等代替磷為雜質引入多結晶性矽塞 3 內。

又，防止矽擴散的導電層 4 可由包含 Ti、W、Ta、Mo、Co、Ni 至少一種金屬，或其氮化物、或其含氮之膜，或其矽化物製成。在此例中，防止矽擴散的導電層 4 與矽的反應溫度，較 ECR-MOCVD 法形成高介質常數層 6 的溫度約 400 至 700℃ 為低。尤其是防止矽擴散的導電層 4 由金屬矽化物製時，矽接觸層 9 即可與防止矽擴散的導電層 4 自行對準而容易形成，因而減少所需的生產步驟數。

此外，矽接觸層 9 可由包含 Ti、W、Ta、Mo、Co、Ni 至少一種金屬的矽化物製成。該矽化物即使在 500℃ 以下溫度，亦有防止矽擴散的能力，而且對矽具有小接觸電阻，因為矽化物內含有矽。

再者，抗氧化導電層 6 可由包含 Ru、Re、Os、Ir、Rh 至少一種金屬、其氧化物、其矽化物、或包含 Pt 和 Pd 至

### 五、發明說明(之)

少一種金屬製成。以  $RuO_2$  和 Ru 特佳，因其精細結構技術之故。

又，高介質常數層 6 可由  $ABO_3$  製成，A 包含 Ba、Sr、Pb、Ca、La、Li、K 至少其一，B 包含 Ti、Ta、Nb、Mg、Mn、Fe、Zn、W 至少其一。 $ABO_3$  之例有  $SrTiO_3$ 、 $PbTiO_3$ 、 $Pb(Zr,Ti)O_3$ 、 $(Pb,La)(Zr,Ti)O_3$ 、 $Pb(Mg,Nb)O_3$ 、 $Pb(Mg,W)O_3$ 、 $Pb(Zn,Nb)O_3$ 、 $LiTaO_3$ 、 $LiNbO_3$ 、 $KTaO_3$  和  $KNbO_3$ 。

此外，高介質常數層 6 可由  $(Bi_2O_2)(A_{m-1}B_mO_{3m-1})$  ( $m=1,2,3,4,5$ ) 製成，A 包含 Ma、Sr、Pb、Ca、K、Bi 至少其一，B 包含 Nb、Ta、Ti、W 至少其一。 $(BiO_2)(A_{m-1}B_mO_{3m-1})$  之例有  $BiTiO_{12}$ 、 $SrBr_2TaO_9$  和  $SrBi_2Nb_2O_9$ 。另外，高介質常數層 6 可由  $Ta_2O_5$  製成。

如前所述，按照本發明，由於抗氧化導電層與高介質常數層以小側壁絕緣隔體或無側壁絕緣隔體加以隔離，可減小堆式電容器尺寸，以增進積成。

四、中文發明摘要(發明之名稱: 具備高介質常數層之高度積成薄膜)  
電容器)

一種電容器, 包含矽基材(1)和在矽基材上所形成具有接觸洞(CONT)的絕緣層(2), 含有防止矽擴散的導電層(4)和抗氧化的導電層(5)的下電極層, 上電極層, 其間的高介質常數層(6), 其中防止矽擴散層係位於接觸洞之上或之內, 並與高介質常數層絕緣。高介質常數層形成於抗氧化導電層的上面和側面。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱: HIGHLY-INTEGRATED THIN FILM CAPACITOR )  
WITH HIGH DIELECTRIC CONSTANT LAYER )

In a capacitor including a silicon substrate (1) and an insulating layer (2) formed on the silicon substrate having a contact hole (CONT), a lower electrode layer including a silicon diffusion preventing conductive layer (4) and an oxidation resistance conductive layer (5), an upper electrode layer, and a high dielectric constant layer (6) therebetween, the silicon diffusion preventing layer is located on or within the contact hole and is isolated from the high dielectric constant layer. The high dielectric constant layer is formed on an upper surface and a side surface of the oxidation resistance conductive layer.

訂

線

## 六、申請專利範圍

### 1. 一種電容器，包括：

一矽基材 (1)；

一多結晶性矽層 (3)，形成於該矽基材上；

一下電極層，包含該多結晶性矽層上防止矽擴散的導電層 (4)，和該防止矽擴散的導電層上形成之抗氧化導電層 (5)；

一高介質常數層 (6)，形成於該抗氧化導電層之頂面和側面；以及

一上電極層 (7)，形成於該高介質常數層上，

該防止矽擴散的導電層係與該高介質常數層隔離者。

### 2. 如申請專利範圍第 1 項之電容器，又包括該半導體基材上形成的絕緣層 (2)，

該多結晶性矽層係形成於該絕緣層之接觸洞 (CONT) 內者。

### 3. 如申請專利範圍第 2 項之電容器，其中該防止矽擴散的導電層，係形成於該絕緣層之接觸洞內者。

### 4. 如申請專利範圍第 3 項之電容器，其中該抗氧化層的下部，係形成於該絕緣層之接觸洞內者。

### 5. 如申請專利範圍第 1 項之電容器，其中該防止矽擴散層的寬度，與該抗氧化導電層寬度大約相同，

該電容器又包括側壁絕緣隔體 (8)，覆蓋於該防止矽擴散的導電層側壁者。

### 6. 如申請專利範圍第 1 項之電容器，其中該防止矽擴散層的寬度，較該抗氧化導電層寬度為小，

## 六、申請專利範圍

該抗氧化導電層覆蓋該防止砂擴散的導電層側壁者。

7. 如申請專利範圍第1項之電容器，其中該防止砂擴散層的寬度，較該抗氧化導電層寬度為小，

該電容器又包括側壁絕緣隔體<sup>(8)</sup>，形成於該抗氧化導電層下方，以覆蓋該防止砂擴散的導電層側壁者。

8. 如申請專利範圍第1項之電容器，其中又包括砂接觸層<sup>(9)</sup>，介置於該多結晶性砂層與該防止砂擴散的導電層之間，

該砂接觸層係與該高介質常數層隔離者。

9. 如申請專利範圍第1項之電容器，其中該防止砂擴散的導電層包括材料選自鈦、鎢、鉭、鉍、鈷、鎳、氮化鈦、氮化鎢、氮化鉭、氮化鉍、氮化鈷、氮化鎳、含氮鈦、含氮鎢、含氮鉭、含氮鉍、含氮鈷、含氮鎳、矽化鈦、矽化鎢、矽化鉭、矽化鉍、矽化鈷、和矽化鎳者。

10. 如申請專利範圍第1項之電容器，其中該抗氧化導電層包括材料選自鈮、銻、鐵、鉍、銻、鉑、鈮、氧化鈮、氧化銻、氧化鐵、氧化鉍、氧化銻、矽化鈮、矽化銻、矽化鐵、矽化鉍、和矽化銻者。

11. 如申請專利範圍第8項之電容器，其中該砂接觸層包括材料選自矽化鈦、矽化鎢、矽化鉭、矽化鉍、矽化鈷、和矽化鎳者。

12. 如申請專利範圍第1項之電容器，其中該高介質常數層包括材料選自  $ABO_3$ 、 $Bi_2O_2(X_{m-1}Z_mO_{3m-1})$

## 六、申請專利範圍

( $n=1, 2, 3, 4, 5$ ), 和  $Ta_2O_5$ , 其中 A 包含鉕、鋇、鉛、鈣、鋰、鉀至少其一, B 包含銻、鈦、鉭、銱、鎂、錳、鐵、鋅、鎢至少其一, X 包含鉕、鋇、鉛、鈣、鉀、銻至少其一, 而 Z 包含鈦、鉭、銱、鎢至少其一者。

13. 一種電容器, 包括:

一矽基材 (1);

一絕緣層 (2), 形成於該半導體基材上;

一下電極層, 包含防止矽擴散的導電層 (4), 形成於該矽基材上, 於該絕緣層形成的接觸洞 (CONT) 內, 以及抗氧化導電層 (5), 形成於該防止矽擴散的導電層上;

一高介質常數層 (6), 形成於該抗氧化導電層的頂面和側面; 以及

一上電極層 (7), 形成於該高介質常數層上,

該防止矽擴散的導電層, 係與該高介質常數層隔離者。

14. 如申請專利範圍第 13 項之電容器, 其中該抗氧化層的下部, 係形成於該絕緣層之接觸洞內者。

15. 如申請專利範圍第 13 項之電容器, 又包括矽接觸層 (9), 形成於該絕緣層之該接觸洞內, 並介置於該多結晶性矽層和該防止矽擴散的導電層之間者。

16. 如申請專利範圍第 13 項之電容器, 其中該防止矽擴散的導電層包括材料選自鈦、鎢、鉭、鉬、鈷、鎳、氮化鈦、氮化鎢、氮化鉭、氮化鉬、氮化鈷、氮化鎳

## 六、申請專利範圍

- 、含氮鈦、含氮鎢、含氮鉭、含氮鉬、含氮鈷、含氮鎳、矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。
17. 如申請專利範圍第13項之電容器，其中該抗氧化導電層包括材料選自鈮、銻、鐵、鉍、銻、鉑、鈮、氧化鈮、氧化銻、氧化鐵、氧化鉍、氧化銻、矽化鈮、矽化銻、矽化鐵、矽化鉍、和矽化銻者。
18. 如申請專利範圍第15項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。
19. 如申請專利範圍第13項之電容器，其中該高介質常數層包括材料選自  $ABO_3$ 、 $Bi_2O_2(X_{m-1}Z_mO_{3m-1})$  ( $m=1,2,3,4,5$ )，和  $Ta_2O_5$ ，其中A包含銀、鋇、鉛、鈣、鋰、鉀至少其一，B包含鎳、鈦、鉭、銻、鎂、錳、鐵、鋅、鎢至少其一，X包含銀、鋇、鉛、鈣、鉀、鉍至少其一，而Z包含鈦、鉭、銻、鎢至少其一者。
20. 一種電容器之製法，包括步驟為：  
在一矽基材(1)上形成一絕緣層(2)；  
在該絕緣層打一接觸洞(CONT)；  
將多結晶性矽塞(3)埋入該絕緣層之接觸洞內；  
在該多結晶性矽塞和該絕緣層上，形成一防止矽擴散的導電層(4)；  
在該防止矽擴散的導電層上，形成一抗氧化導電層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

(5)；

侵蝕該抗氧化導電層和該防止矽擴散的導電層，形成一下電極層；

只在該防止矽擴散的導電層側壁，形成一側壁絕緣隔體(8)；

在該抗氧化導電層和該側壁絕緣隔體上，形成一高介質常數層(6)；以及

在該高介質常數層上，形成一上電極層(7)。

21. 如申請專利範圍第20項之方法，又包括在該多結晶性矽塞上形成矽接觸層(9)之步驟，在該多結晶性矽塞埋設之後，和形成該防止矽擴散的導電層之前者。

22. 如申請專利範圍第20項之方法，又包括下列步驟：

於該多結晶性矽塞埋設之後，在該多結晶性矽塞上形成一耐火金屬層；以及

於氮氛圍內，在該耐火金屬層上進行加熱退火操作，以形成一矽接觸層(9)。

23. 如申請專利範圍第20項之電容器，其中該防止矽擴散的導電層包括材料選自鈦、鎢、鉭、鉬、鈷、鎳、氮化鈦、氮化鎢、氮化鉭、氮化鉬、氮化鈷、氮化鎳、含氮鈦、含氮鎢、含氮鉭、含氮鉬、含氮鈷、含氮鎳、矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。

24. 如申請專利範圍第20項之電容器，其中該抗氧化導電層包括材料選自鈉、銻、鐵、鉍、銻、鉑、鈮、氧

## 六、申請專利範圍

化鈦、氧化銻、氧化鐵、氧化錒、氧化銻、矽化鈦、矽化銻、矽化鐵、矽化錒、和矽化銻者。

25. 如申請專利範圍第21項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。

26. 如申請專利範圍第22項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。

27. 如申請專利範圍第20項之電容器，其中該高介質常數層包括材料選自  $ABO_3$ 、 $Bi_2O_2(X_{m-1}Z_{m-1})$  ( $m=1, 2, 3, 4, 5$ )，和  $Ta_2O_5$ ，其中A包含銀、鋇、鉛、鈣、鋰、鉀至少其一，B包含鎳、鈦、鉭、鈷、鎂、錳、鐵、鋅、鎢至少其一，X包含銀、鋇、鉛、鈣、鉀、鉍至少其一，而Z包含鈦、鉭、鈷、鎢至少其一者。

28. 一種電容器之製法，包括如下步驟：

在一矽基材(1)上形成一絕緣層(2)；

在該絕緣層中打一接觸洞(CONT)；

將一多結晶性矽塞(3)埋設於該絕緣層之接觸洞內；

在該多結晶性矽塞和該絕緣層上，形成一防止矽擴散的導電層(4)；

侵蝕該防止矽擴散的導電層，形成一第一下電極層；

在該第一下電極層上，形成一抗氧化導電層(5)；

侵蝕該抗氧化導電層，形成一第二下電極層，該第

## 六、申請專利範圍

二下電極層的寬度較該第一下電極層的寬度為大；

在該第二下電極層和該絕緣層上，形成一高介質常數層 (6)；以及

在該高介質常數層上，形成一上電極層者。

29. 如申請專利範圍第28項之方法，又包括在該多結晶性矽塞上形成矽接觸層 (9) 之步驟，在該多結晶性矽塞埋設之後，和形成該防止矽擴散的導電層之前者。

30. 如申請專利範圍第28項之方法，又包括下列步驟：

於該多結晶性矽塞埋設之後，在該多結晶性矽塞上形成一耐火金屬層；以及

於氮氛圍內，在該耐火金屬層上進行加熱退火操作，以形成一矽接觸層 (9)。

31. 如申請專利範圍第28項之電容器，其中該防止矽擴散的導電層包括材料選自鈦、鎢、鉭、鉬、鈷、鎳、氮化鈦、氮化鎢、氮化鉭、氮化鉬、氮化鈷、氮化鎳、含氮鈦、含氮鎢、含氮鉭、含氮鉬、含氮鈷、含氮鎳、矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。

32. 如申請專利範圍第28項之電容器，其中該抗氧化導電層包括材料選自鈦、銻、鐵、鉍、銻、鉑、鈮、氧化鈦、氧化銻、氧化鐵、氧化鉍、氧化銻、矽化鈦、矽化銻、矽化鐵、矽化鉍、和矽化銻者。

33. 如申請專利範圍第29項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽

## 六、申請專利範圍

化鈷、和矽化鎳者。

34. 如申請專利範圍第30項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。

35. 如申請專利範圍第28項之電容器，其中該高介質常數層包括材料選自  $ABO_3$ 、 $Bi_2O_2(X_{m-1}Z_{m-1}O_{3m-1})$  ( $m=1, 2, 3, 4, 5$ )，和  $Ta_2O_5$ ，其中A包含鋇、鋇、鉛、鈣、鋰、鉀至少其一，B包含銻、鈦、鉭、鈮、鎂、錳、鐵、鋅、鎢至少其一，X包含鋇、鋇、鉛、鈣、鉀、鉍至少其一，而Z包含鈦、鉭、鈮、鎢至少其一者。

36. 一種電容器之製法，包括如下步驟：

在一矽基材(1)上形成一絕緣層(2)；

在該絕緣層中打一接觸洞(CONT)；

將一多結晶性矽塞(3)埋設於該絕緣層之接觸洞內；

在該多結晶性矽塞和該絕緣層上，形成一防止矽擴散的導電層(4)；

在該防止矽擴散的導電層上，形成一抗氧化導電層(5)；

侵蝕該抗氧化導電層和該防止矽擴散的導電層，形成一下電極層；

在形成該下電極層上後，只侵蝕該防止矽擴散的導電層側面；

於侵蝕該防止矽擴散的導電層後，在該抗氧化導電

## 六、申請專利範圍

層下方，而在該防止砂擴散的導電層側壁上，形成一側壁絕緣隔體(8)；

在該抗氧化導電層和該側壁絕緣隔體上，形成一高介質常數層(6)；以及

在該高介質常數層上，形成一上電極層(7)。

37. 如申請專利範圍第36項之方法，又包括在該多結晶性砂塞上形成砂接觸層(9)之步驟，在該多結晶性砂塞埋設之後，和形成該防止砂擴散的導電層之前者。

38. 如申請專利範圍第36項之方法，又包括下列步驟：

於該多結晶性砂塞埋設之後，在該多結晶性砂塞上形成一耐火金屬層；以及

於氣氛圈內，在該耐火金屬層上進行加熱退火操作，以形成一砂接觸層(9)。

39. 如申請專利範圍第36項之電容器，其中該防止砂擴散的導電層包括材料選自鈦、鎢、鉭、鉬、鈷、鎳、氮化鈦、氮化鎢、氮化鉭、氮化鉬、氮化鈷、氮化鎳、含氮鈦、含氮鎢、含氮鉭、含氮鉬、含氮鈷、含氮鎳、砂化鈦、砂化鎢、砂化鉭、砂化鉬、砂化鈷、和砂化鎳者。

40. 如申請專利範圍第36項之電容器，其中該抗氧化導

## 六、申請專利範圍

電層包括材料選自鈦、銻、鐵、鉍、銻、鉑、鈮、氧化鈦、氧化銻、氧化鐵、氧化鉍、氧化銻、矽化鈦、矽化銻、矽化鐵、矽化鉍、和矽化銻者。

41. 如申請專利範圍第37項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鉍、矽化鉑、矽化鉮、矽化鈷、和矽化鎳者。

42. 如申請專利範圍第38項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鉍、矽化鉑、矽化鉮、矽化鈷、和矽化鎳者。

43. 如申請專利範圍第36項之電容器，其中該高介質常數層包括材料選自  $ABO_3$ 、 $Bi_2O_2(X_{m-1}Z_mO_{3m-1})$  ( $m=1, 2, 3, 4, 5$ )，和  $Ta_2O_5$ ，其中A包含銀、鋇、鉛、鈣、鋰、鉀至少其一，B包含鎳、鈦、鉑、鉍、鎂、錳、鐵、鋅、鎢至少其一，X包含銀、鋇、鉛、鈣、鉀、鉍至少其一，而Z包含鈦、鉑、鉍、鎢至少其一者。

44. 一種電容器之製法，包括如下步驟：

在一矽基材(1)上形成一絕緣層(2)；

在該絕緣層中打一接觸洞(CONT)；

將一多結晶性矽塞(3)埋設於該絕緣層之接觸洞中；

將該多結晶性矽塞上之一防止矽擴散的導電層(4)，埋設於該絕緣層之接觸洞中；

在該防止矽擴散的導電層和該絕緣層上，形成一抗氧化導電層(5)；

## 六、申請專利範圍

侵蝕該抗氧化導電層，與該防止矽擴散的導電層形成一下電極層；

在該下電極層和該絕緣隔體上，形成一高介質常數層(6)；以及

在該高介質常數層上，形成一上電極層(7)。

45. 如申請專利範圍第44項之方法，又包括在該多結晶性矽塞上形成矽接觸層(9)之步驟，在該多結晶性矽塞埋設之後，和形成該防止矽擴散的導電層之前者。

46. 如申請專利範圍第44項之方法，其中該抗氧化導電層形成步驟，係將該抗氧化導電層的下部形成於該絕緣層的接觸洞中。

47. 如申請專利範圍第44項之方法，又包括下列步驟：

於該多結晶性矽塞埋設之後，在該多結晶性矽塞上形成一耐火金屬層；以及

於氮氛圍內，在該耐火金屬層上進行加熱退火操作，以形成一矽接觸層(9)。

48. 如申請專利範圍第44項之電容器，其中該防止矽擴散的導電層包括材料選自鈦、鎢、鉭、鉬、鈷、鎳、氮化鈦、氮化鎢、氮化鉭、氮化鉬、氮化鈷、氮化鎳、含氮鈦、含氮鎢、含氮鉭、含氮鉬、含氮鈷、含氮鎳、矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。

49. 如申請專利範圍第44項之電容器，其中該抗氧化導電層包括材料選自鈮、銻、鐵、鉍、銻、鉑、鈮、氧

## 六、申請專利範圍

化鈦、氧化銻、氧化鐵、氧化鋁、氧化銻、矽化鈦、矽化銻、矽化鐵、矽化鋁、和矽化銻者。

50. 如申請專利範圍第45項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉍、矽化鉬、矽化鈷、和矽化鎳者。

51. 如申請專利範圍第46項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉍、矽化鉬、矽化鈷、和矽化鎳者。

52. 如申請專利範圍第45項之電容器，其中該高介質常數層包括材料選自  $ABO_3$ 、 $Bi_2O_2(X_{m-1}Z_mO_{3m-1})$  ( $m=1,2,3,4,5$ )，和  $Ta_2O_5$ ，其中A包含銀、鋇、鉛、鈣、鋰、鉀至少其一，B包含銻、鈦、鉍、銻、鎂、錳、鐵、鋅、鎢至少其一，X包含銀、鋇、鉛、鈣、鉀、鉍至少其一，而Z包含鈦、鉍、銻、鎢至少其一者。

53. 一種電容器之製法，包括如下步驟：

在一矽基材(1)上形成一多結晶性矽層(3')；

在該多結晶性矽層上，形成一防止矽擴散的導電層(4)；

侵蝕該防止矽擴散的導電層和該多結晶性矽層，形成一第一下電極層；

在該第一下電極層和該矽基材上，形成一絕緣層(2)；

以化學機械式磨光該絕緣層，使該防止矽擴散的導

## 六、申請專利範圍

電層露出；

在該防止矽擴散的導電層和該絕緣層上，形成一抗氧化導電層(5)；

侵蝕該抗氧化導電層，形成一第二下電極層；

在該第二下電極層和該絕緣隔體上，形成一高介質常數層(6)；以及

在該高介質常數層上，形成一上電極層(7)者。

54. 如申請專利範圍第53項之方法，又包括步驟為於形成該多結晶性矽層之後，而在形成該防止矽擴散的導電層之前，在該多結晶性矽層上，形成具有凹部的矽接觸層(a)者。

55. 如申請專利範圍第53項之方法，又包括下列步驟：

於該多結晶性矽塞埋設之後，在該多結晶性矽塞上形成一耐火金屬層；以及

於氮氛圍內，在該耐火金屬層上進行加熱退火操作，以形成一矽接觸層(9)。

56. 如申請專利範圍第53項之電容器，其中該防止矽擴散的導電層包括材料選自鈦、鎢、鉭、鉬、鈷、鎳、氮化鈦、氮化鎢、氮化鉭、氮化鉬、氮化鈷、氮化鎳、含氮鈦、含氮鎢、含氮鉭、含氮鉬、含氮鈷、含氮鎳、矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。

57. 如申請專利範圍第53項之電容器，其中該抗氧化導電層包括材料選自鈉、銻、鐵、鉍、銻、鉑、鈮、氧

## 六、申請專利範圍

化鈦、氧化銻、氧化鐵、氧化鋱、氧化銻、矽化鈦、矽化銻、矽化鐵、矽化鋱、和矽化銻者。

58. 如申請專利範圍第54項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉍、矽化鉬、矽化鈷、和矽化鎳者。

59. 如申請專利範圍第55項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉍、矽化鉬、矽化鈷、和矽化鎳者。

60. 如申請專利範圍第53項之電容器，其中該高介質常數層包括材料選自  $ABO_3$ 、 $Bi_2O_2(X_{m-1}Z_{m-1}O_{3m-1})$  ( $m=1,2,3,4,5$ )，和  $Ta_2O_5$ ，其中A包含鋇、鋇、鉛、鈣、鋰、鉀至少其一，B包含鎳、鈦、鉍、鈷、鎂、錳、鐵、鋅、鎢至少其一，X包含鋇、鋇、鉛、鈣、鉀、鉍至少其一，而Z包含鈦、鉍、鈷、鎢至少其一者。

61. 一種電容器之製法，包括如下步驟：

在一矽基材(1)上形成一絕緣層(2)；

在該絕緣層中打一接觸洞(CONT)；

將一防止矽擴散的導電層(4)埋設於該絕緣層的接觸洞內；

在該防止矽擴散的導電層和該絕緣層上，形成一抗氧化導電層(5)；

侵蝕該抗氧化導電層，與該防止矽擴散的導電層形成一下電極層；

## 六、申請專利範圍

在該下電極層和該絕緣隔體上，形成一高介質常數層(6)；以及

在該高介質常數層上，形成一上電極層(7)。

62. 如申請專利範圍第61項之方法，又包括步驟為，於打接觸洞之後，而在埋設該防止砂擴散的導電層之前，在該砂基材上，形成一砂接觸層(8)。

63. 如申請專利範圍第61項之方法，其中該抗氧化導電層形成步驟，係將該抗氧化導電層的下部形成於該絕緣層的接觸洞中。

64. 如申請專利範圍第61項之方法，又包括步驟為：

於形成該接觸洞後，在該砂基材上，形成一耐火金屬層；以及

在氮氛圍內，於該耐火金屬層上，進行加熱退火操作，以形成一砂接觸層(9)。

65. 如申請專利範圍第61項之電容器，其中該防止砂擴散的導電層包括材料選自鈦、鎢、鉭、鉬、鈷、鎳、氮化鈦、氮化鎢、氮化鉭、氮化鉬、氮化鈷、氮化鎳、含氮鈦、含氮鎢、含氮鉭、含氮鉬、含氮鈷、含氮鎳、矽化鈦、矽化鎢、矽化鉭、矽化鉬、矽化鈷、和矽化鎳者。

66. 如申請專利範圍第61項之電容器，其中該抗氧化導電層包括材料選自鈉、銻、鐵、鉍、銻、鉑、鈮、氧化鈉、氧化銻、氧化鐵、氧化鉍、氧化銻、矽化鈉、矽化銻、矽化鐵、矽化鉍、和矽化銻者。

## 六、申請專利範圍

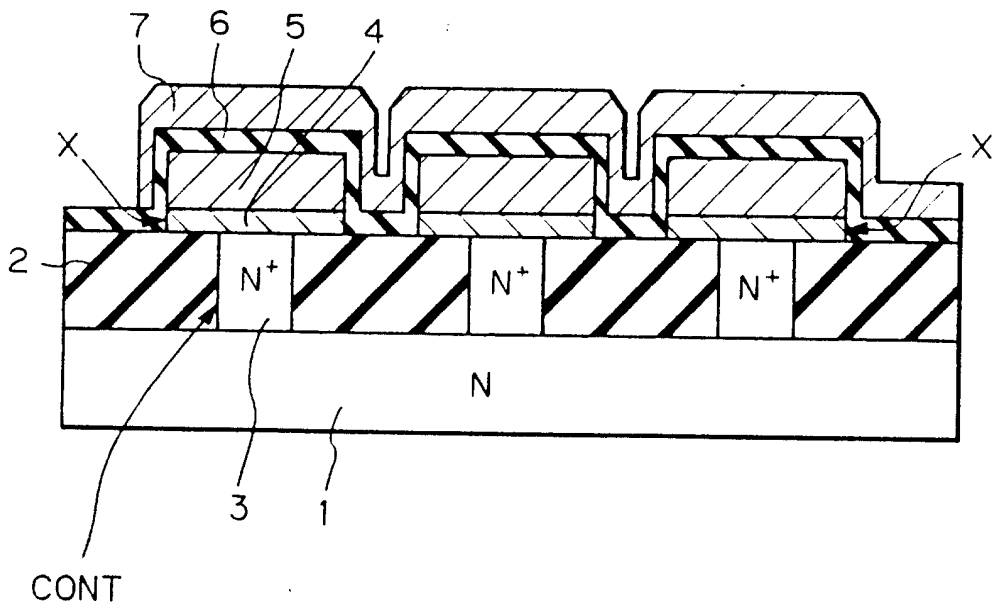
67. 如申請專利範圍第62項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉍、矽化鉬、矽化鈷、和矽化鎳者。
68. 如申請專利範圍第64項之電容器，其中該矽接觸層包括材料選自矽化鈦、矽化鎢、矽化鉍、矽化鉬、矽化鈷、和矽化鎳者。
69. 如申請專利範圍第61項之電容器，其中該高介質常數層包括材料選自  $ABO_3$ 、 $Bi_2O_2(X_{m-1}Z_mO_{3m-1})$  ( $m=1,2,3,4,5$ )，和  $Ta_2O_5$ ，其中A包含鉍、鋇、鉛、鈣、鋰、鉀至少其一，B包含鍺、鈦、鉍、鈮、鎂、錳、鐵、鋅、鎢至少其一，X包含鉍、鋇、鉛、鈣、鉀、鉍至少其一，而Z包含鈦、鉍、鈮、鎢至少其一者。

(請先閱讀背面之注意事項再填寫本頁)

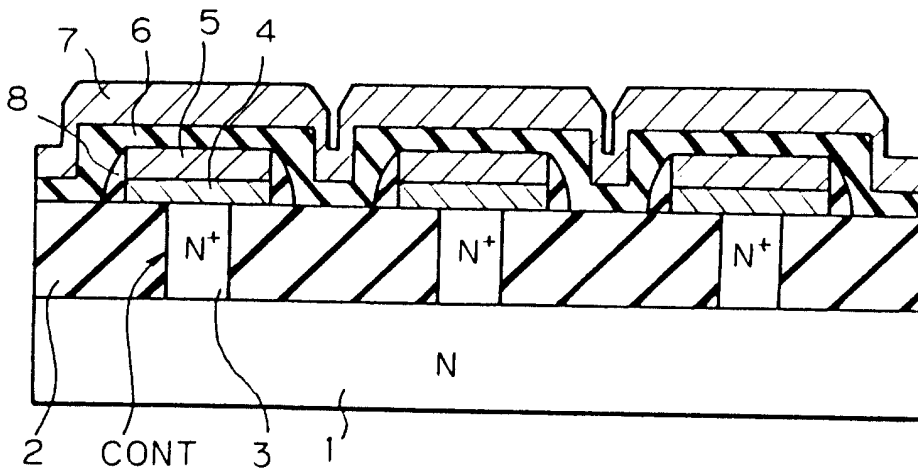
裝

訂

第1圖 習知技術

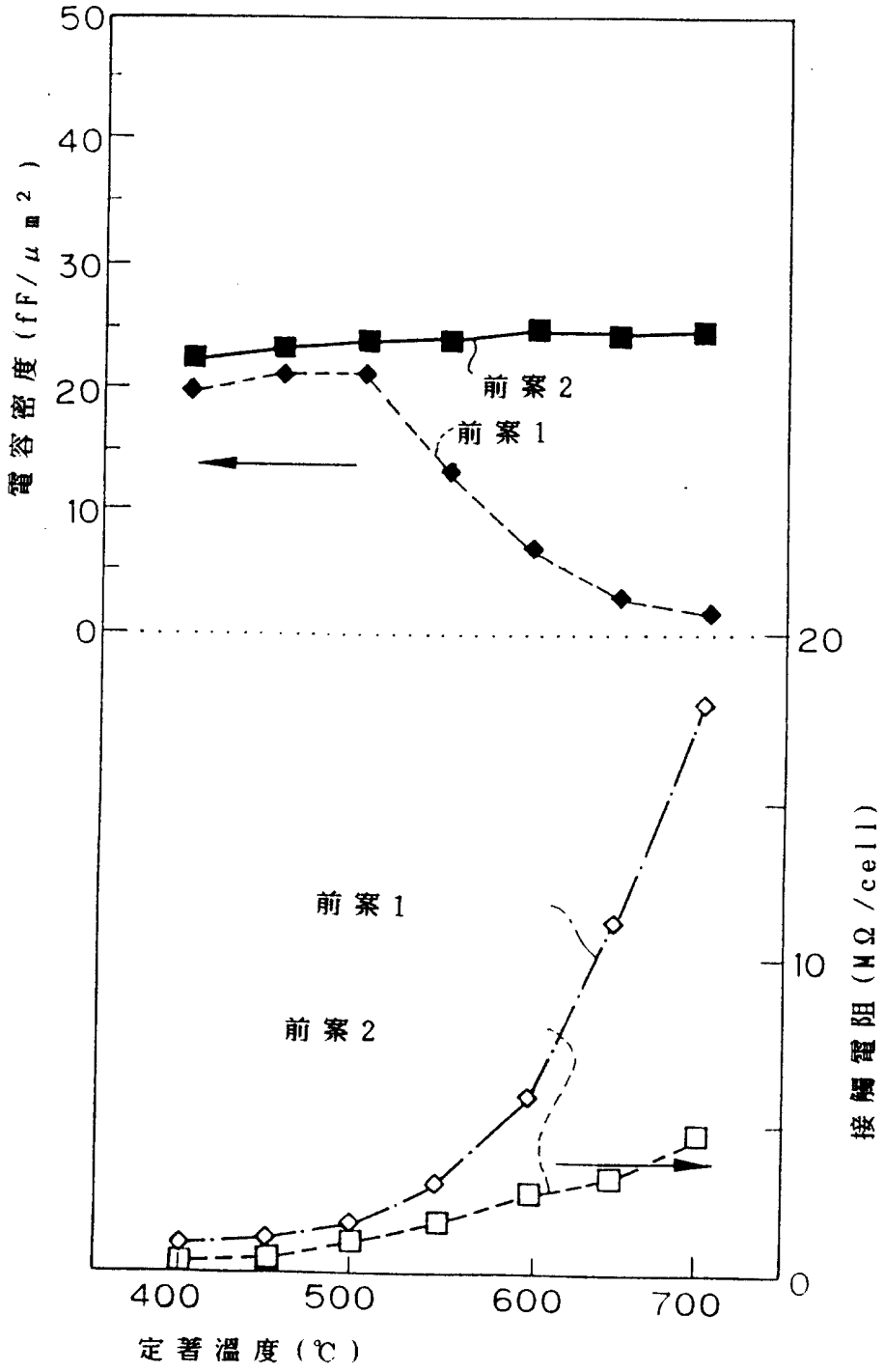


# 第2圖 習知技術

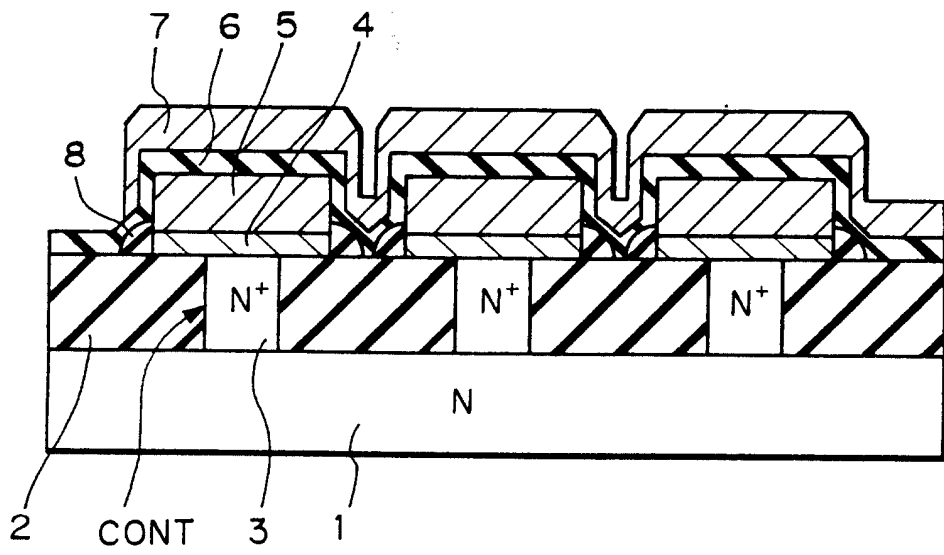


### 第3圖

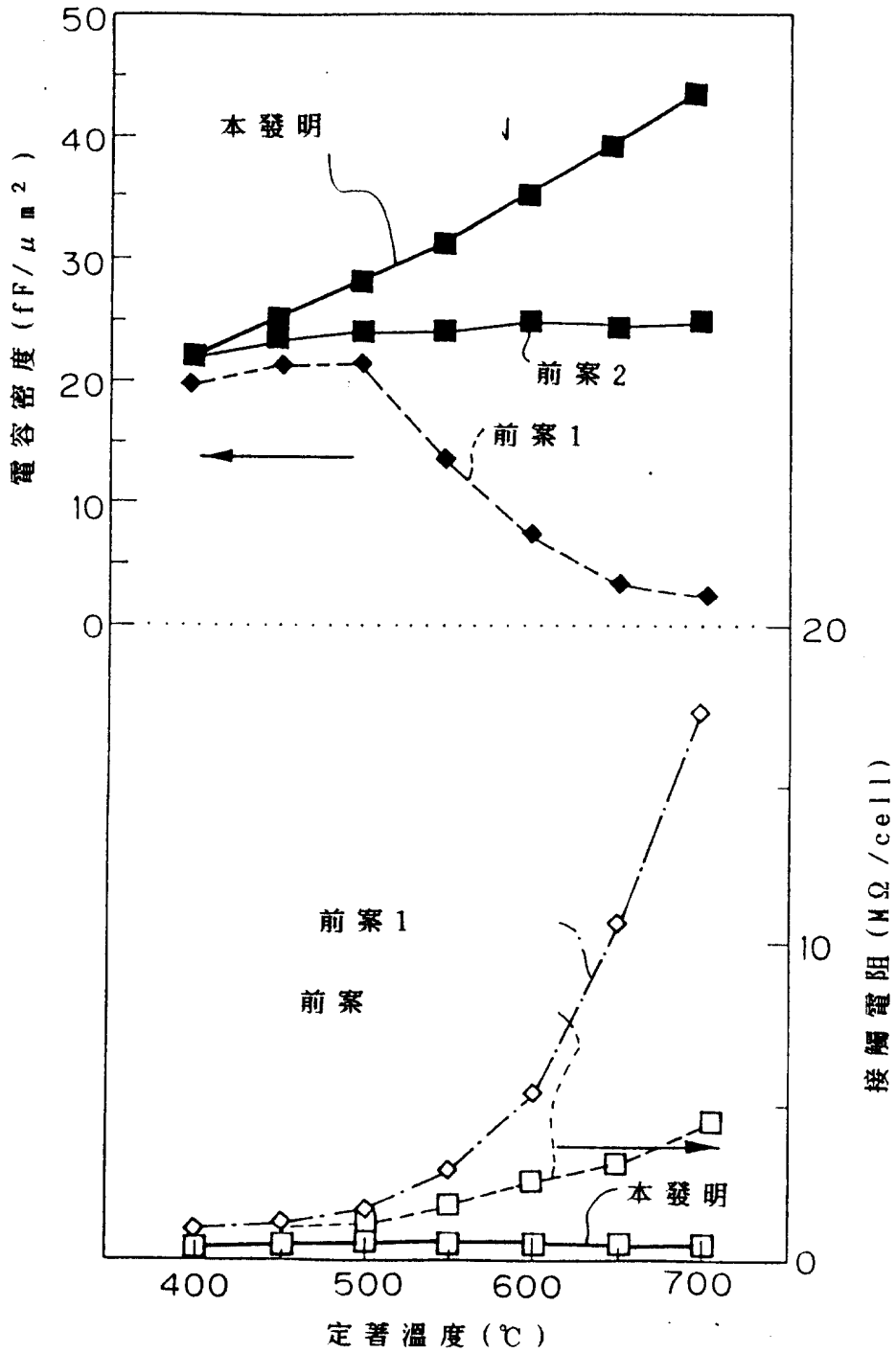
習知技術



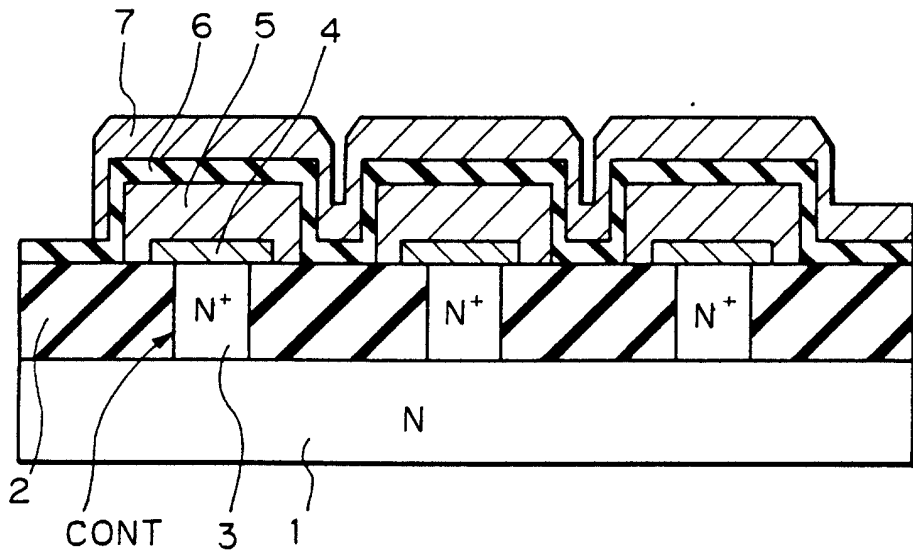
# 第4圖



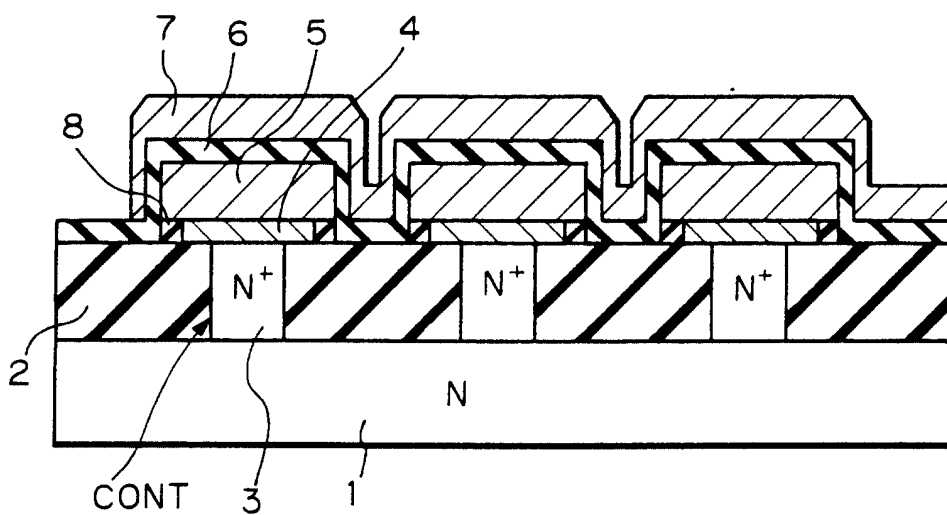
第5圖



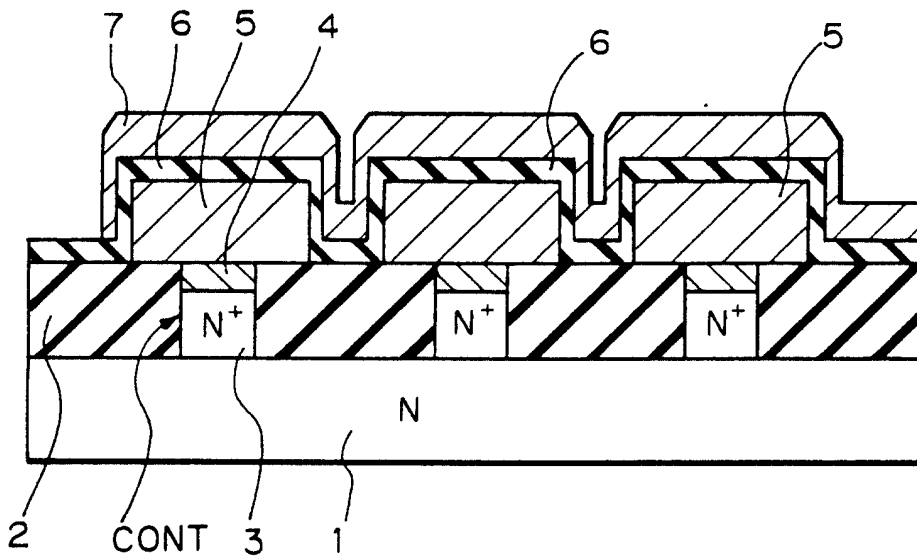
第6圖



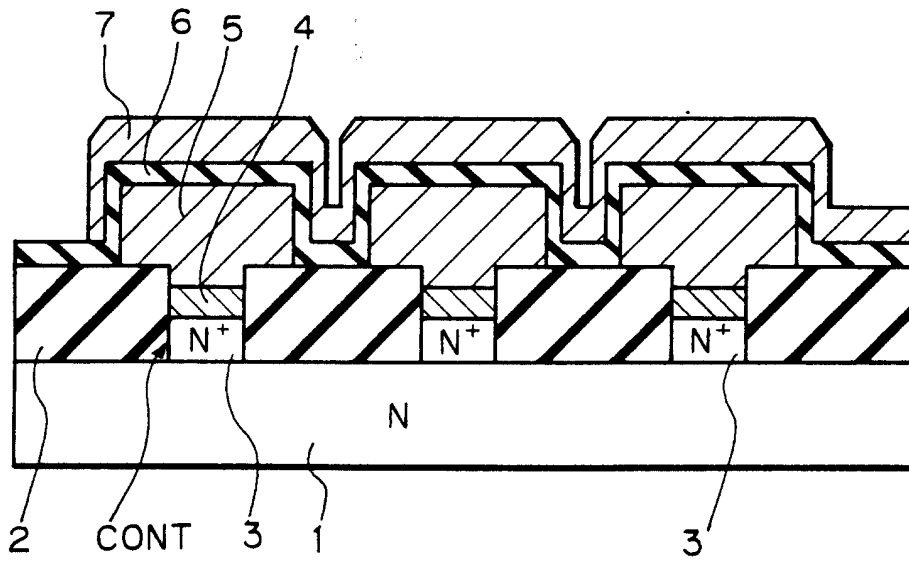
第7圖



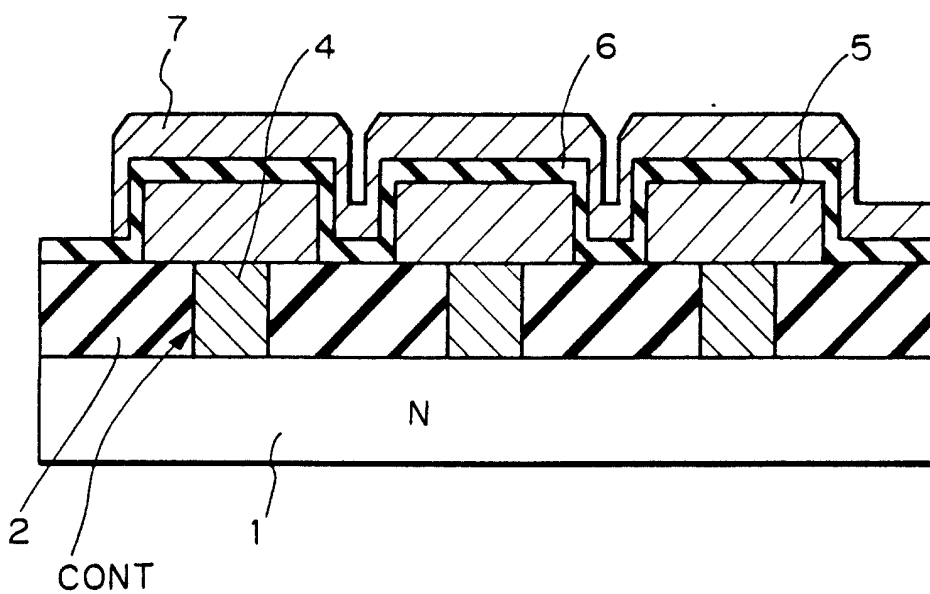
第8圖



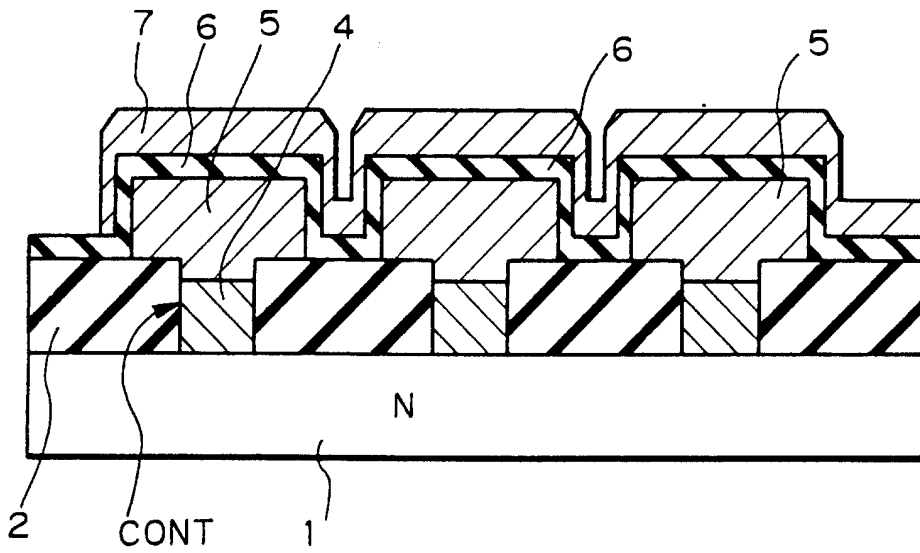
第9圖



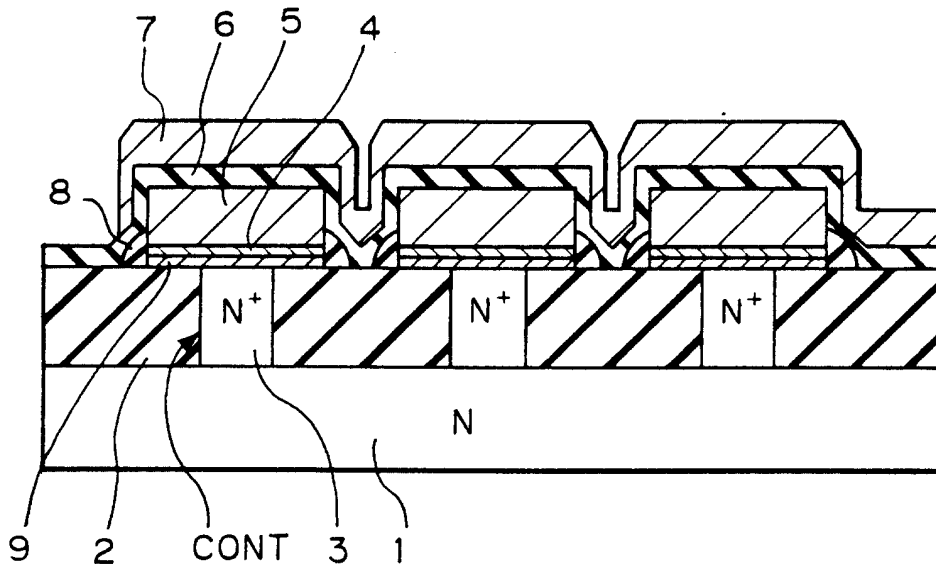
第10圖



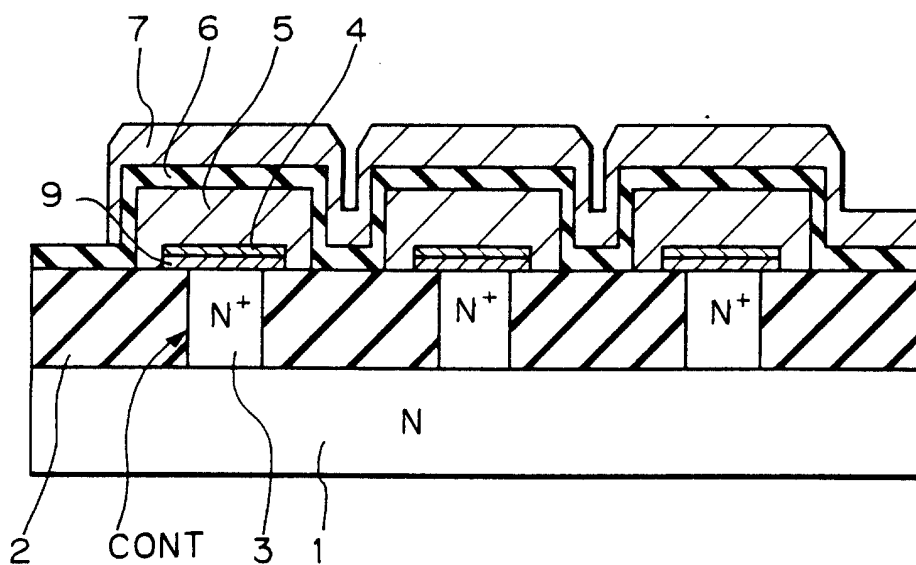
第11圖



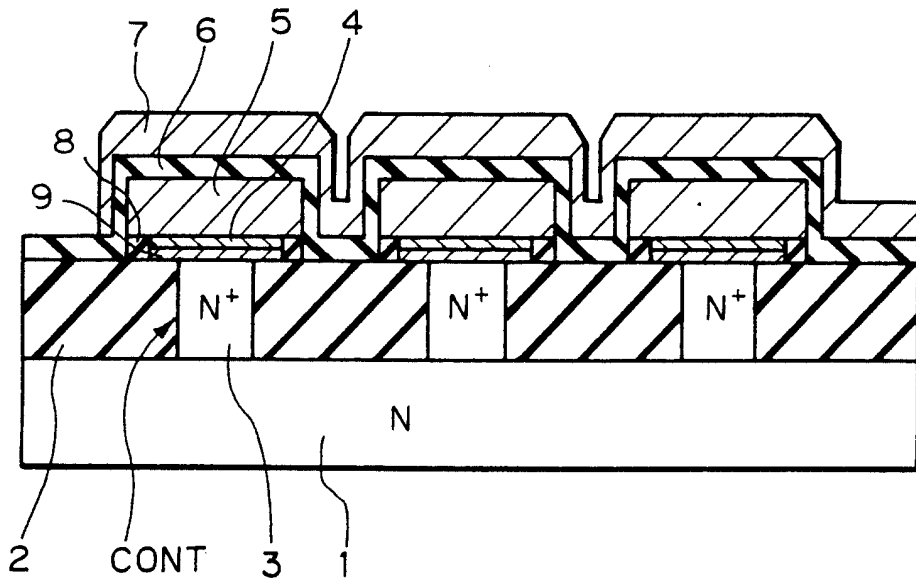
第12圖



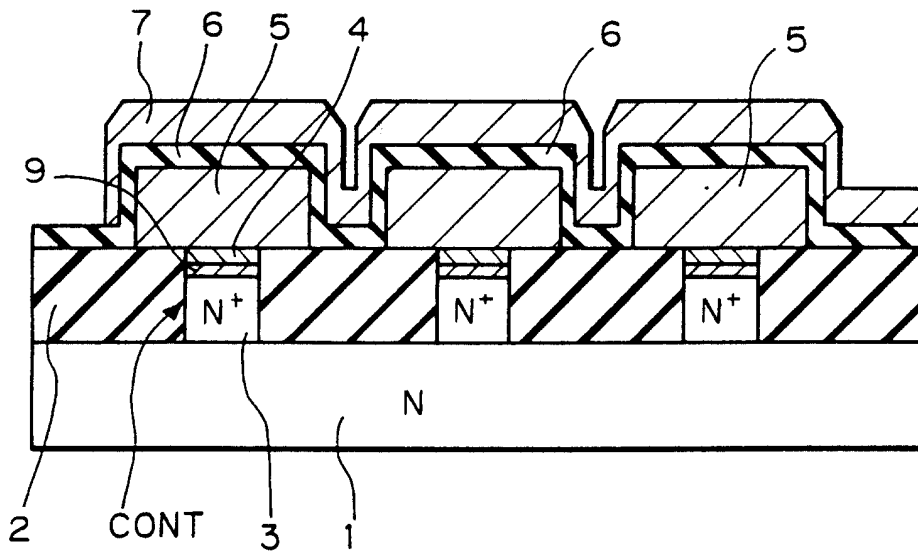
第13圖



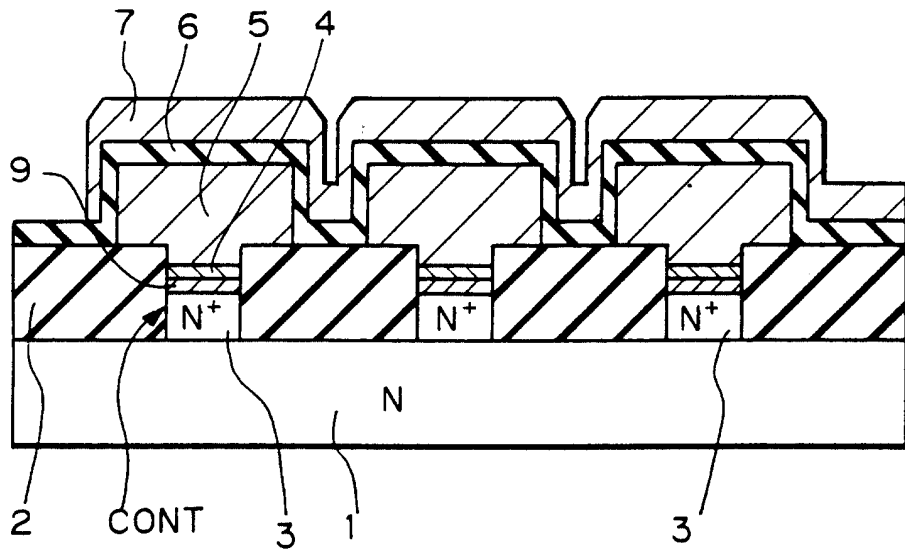
第14圖



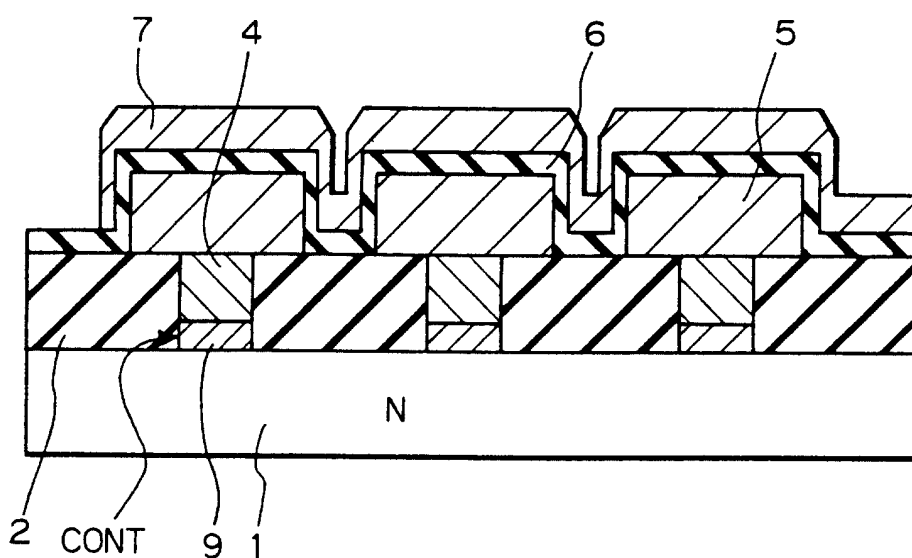
第15圖



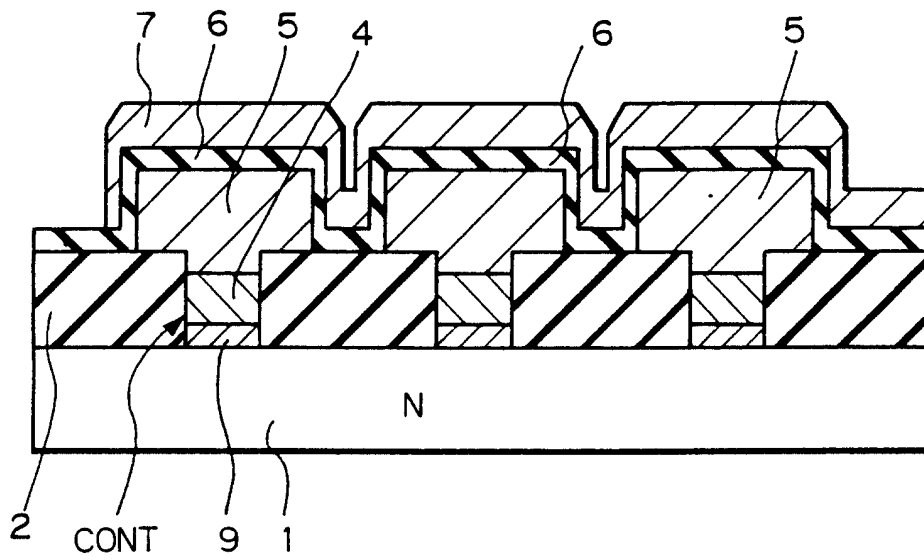
第16圖



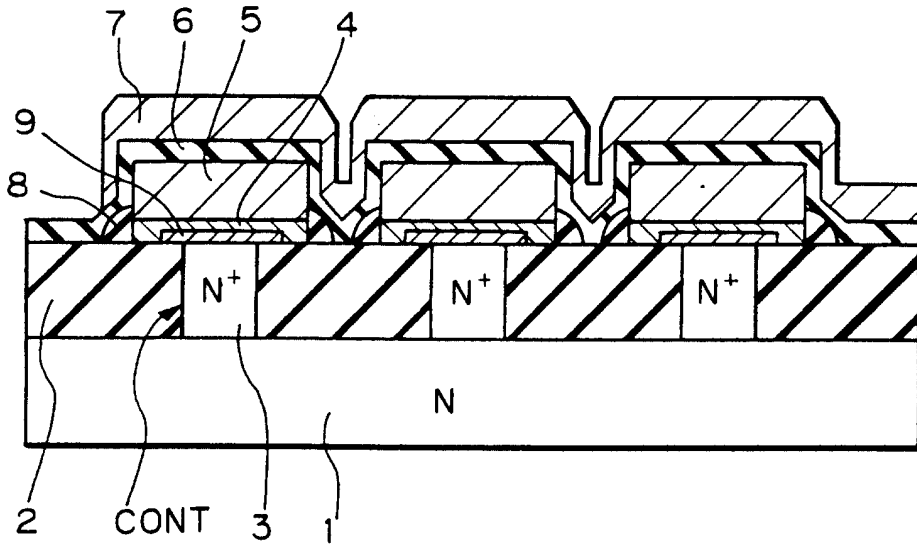
第17圖



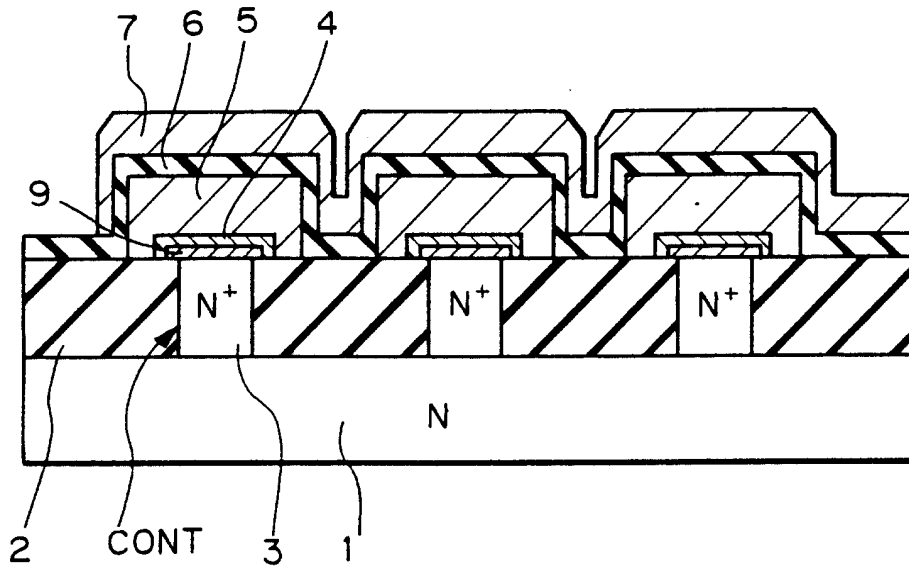
第18圖



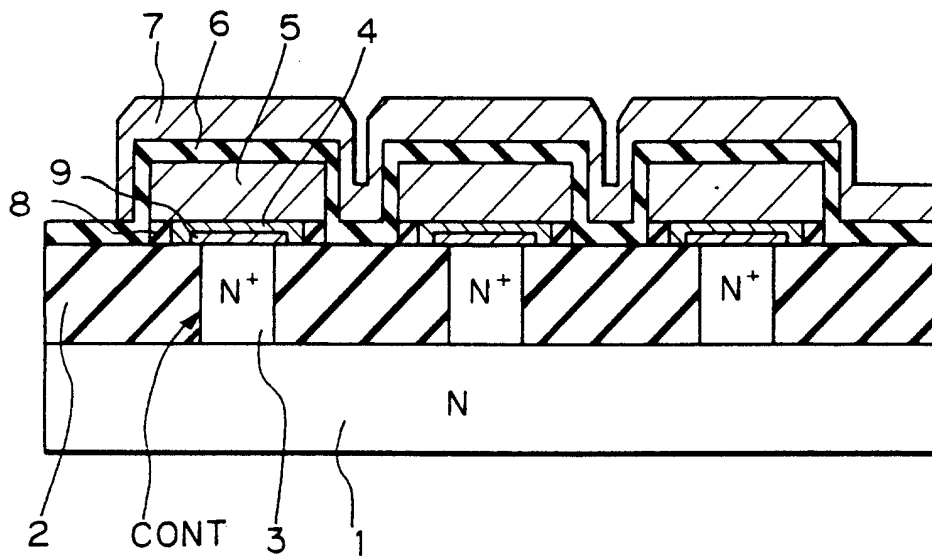
第19圖



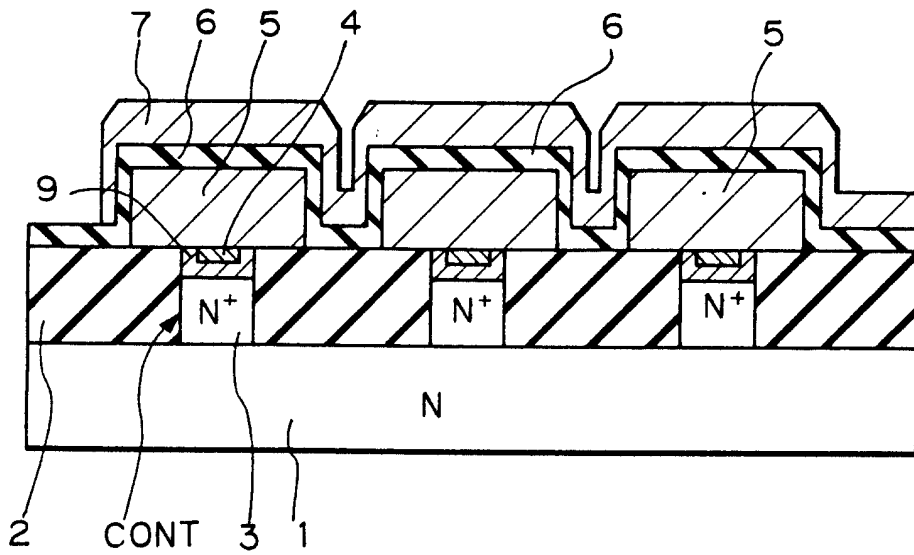
第20圖



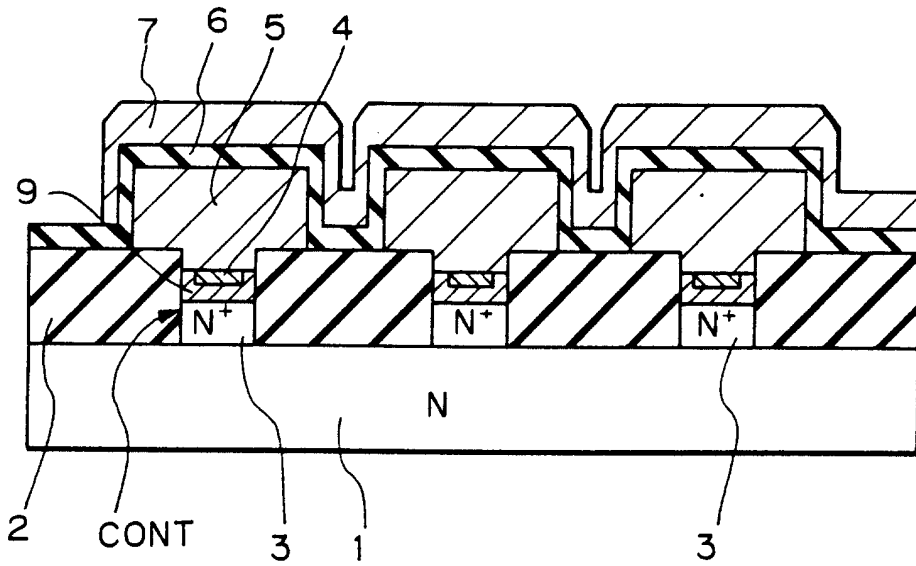
第21圖



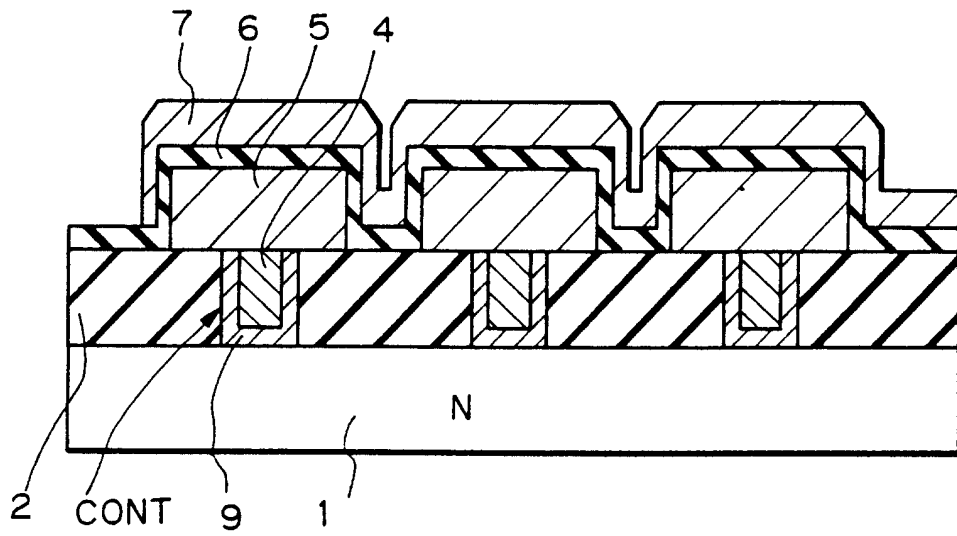
第22圖



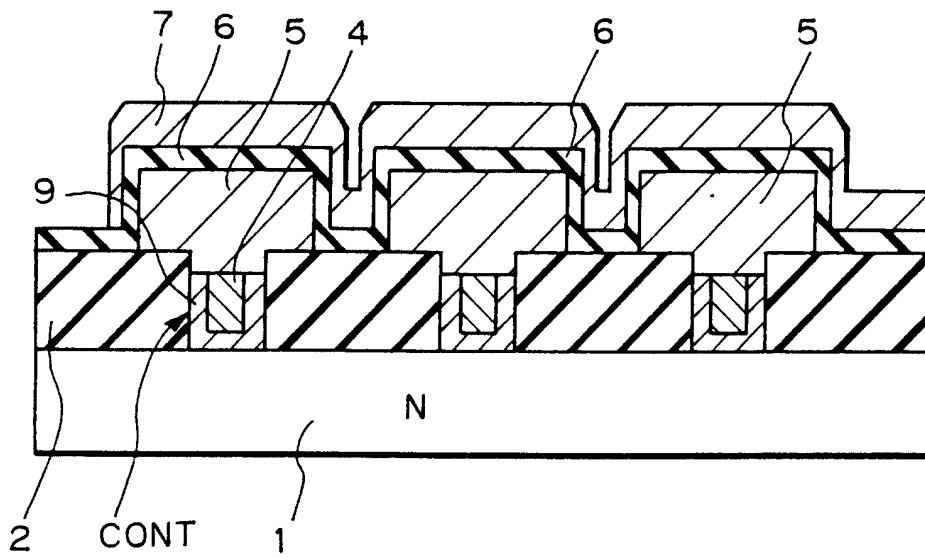
第23圖



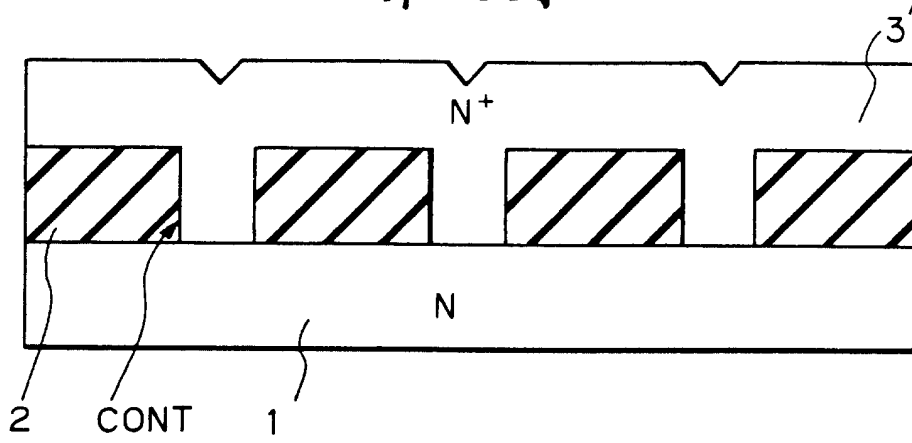
第24圖



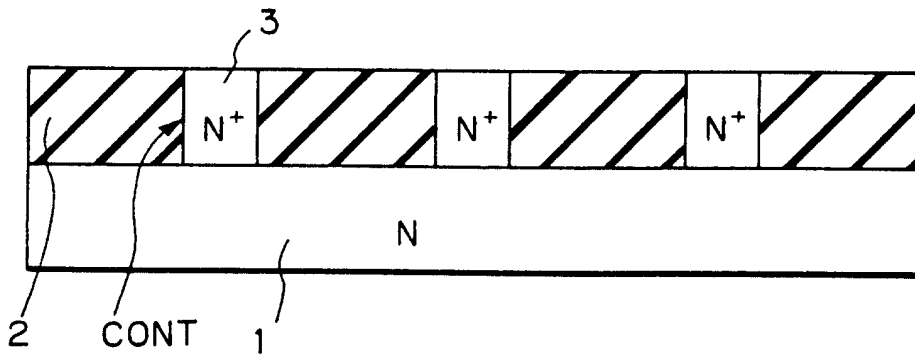
第25圖



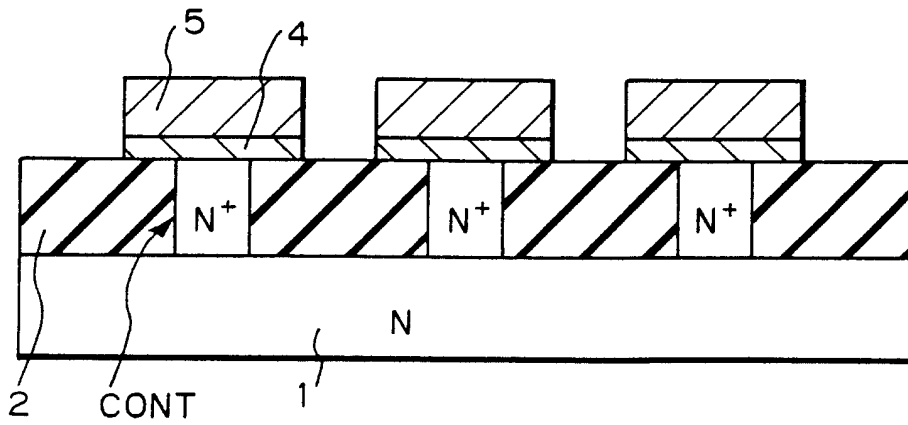
第26圖 A



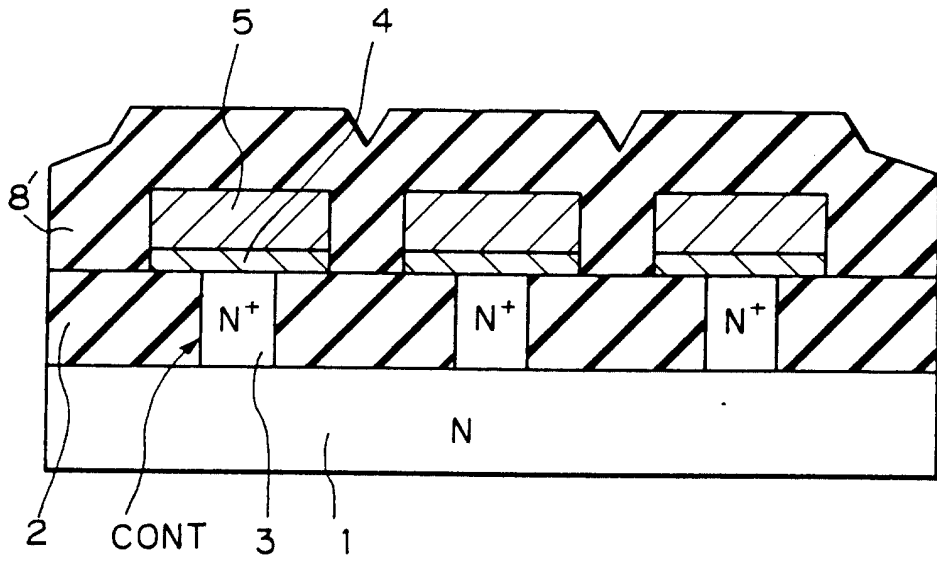
第26圖 B



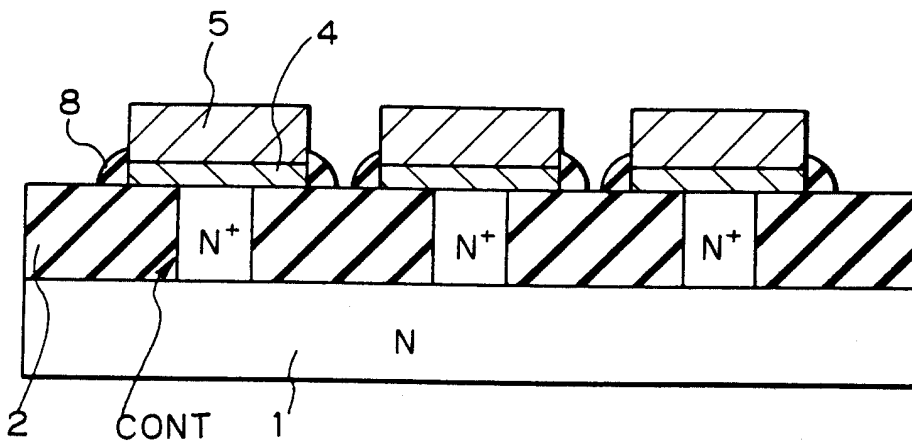
第26圖 C



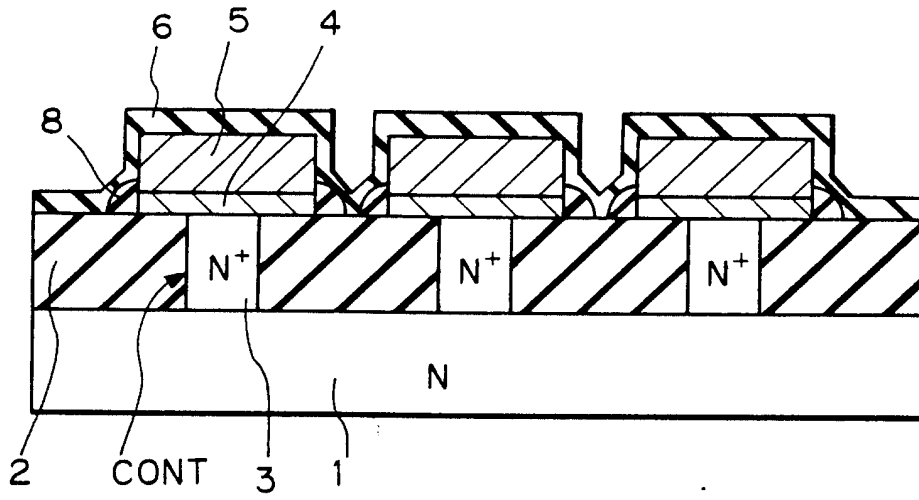
第26圖D



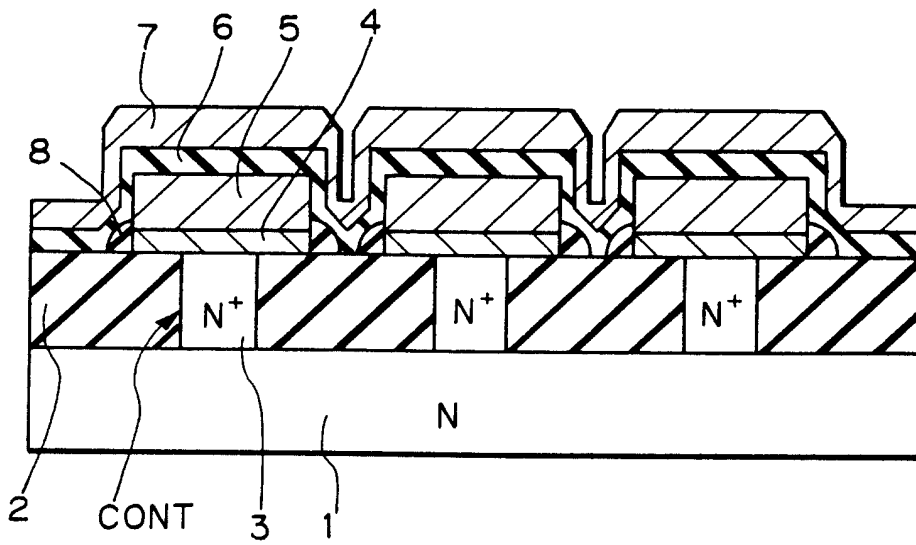
第26圖E



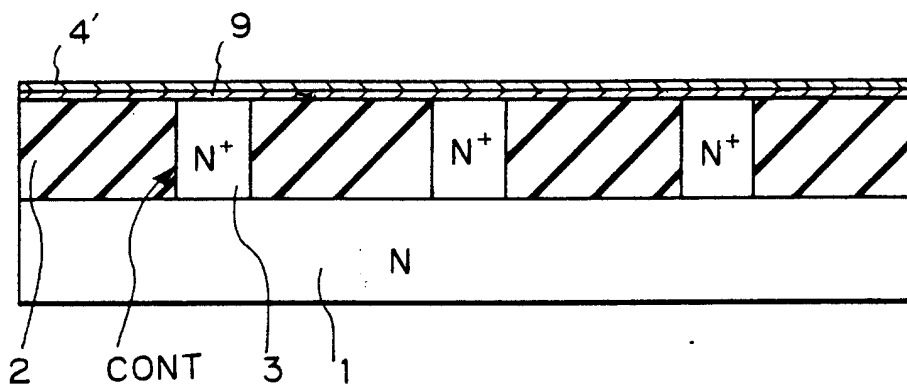
第26圖 F



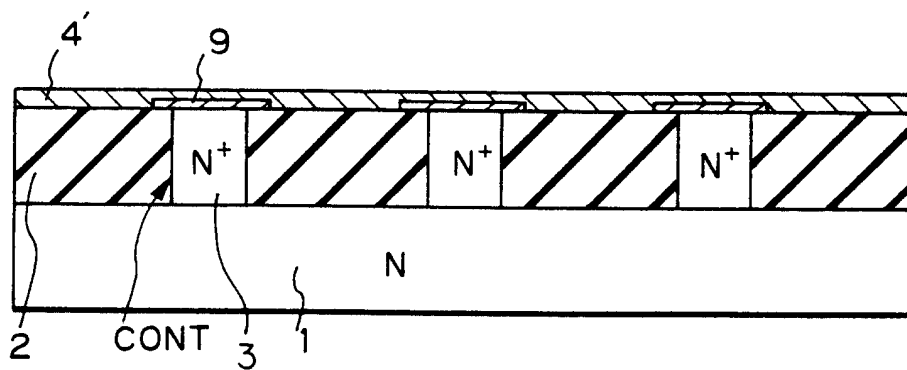
第26圖 G



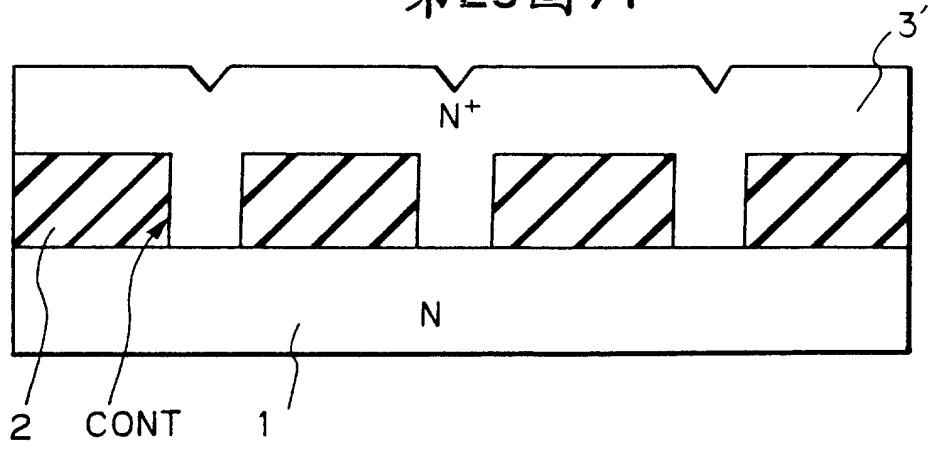
第27圖 A



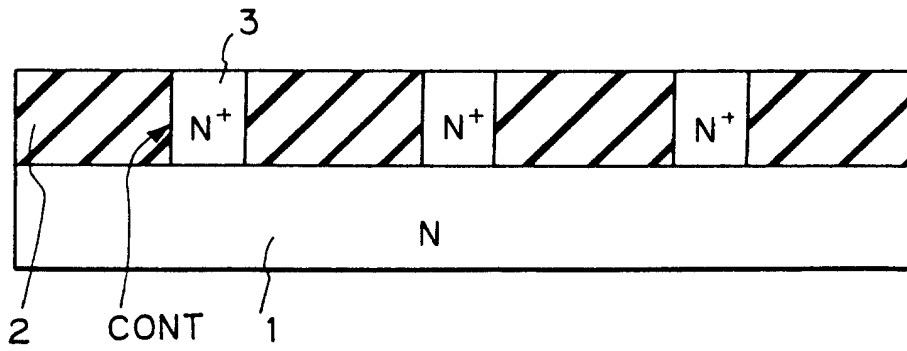
第27圖 B



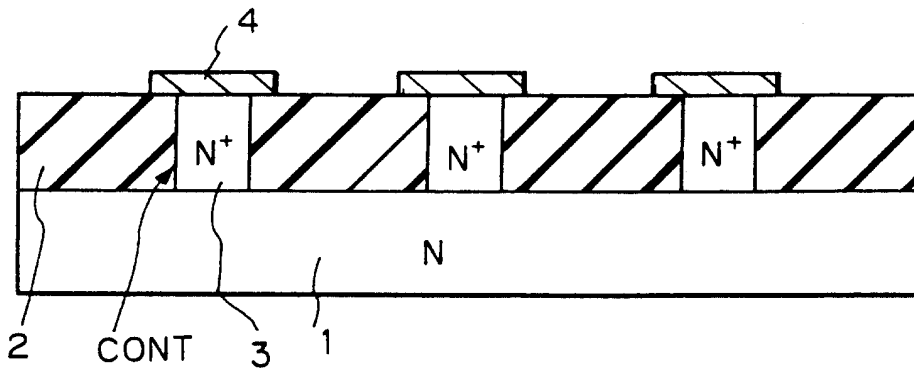
第28圖 A



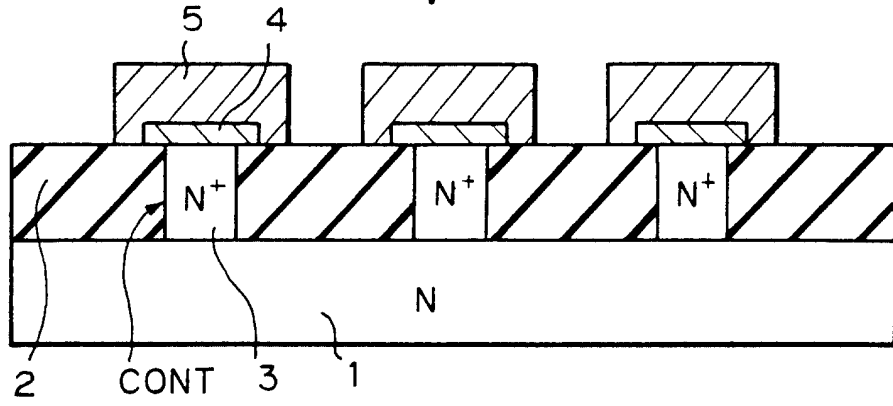
第28圖 B



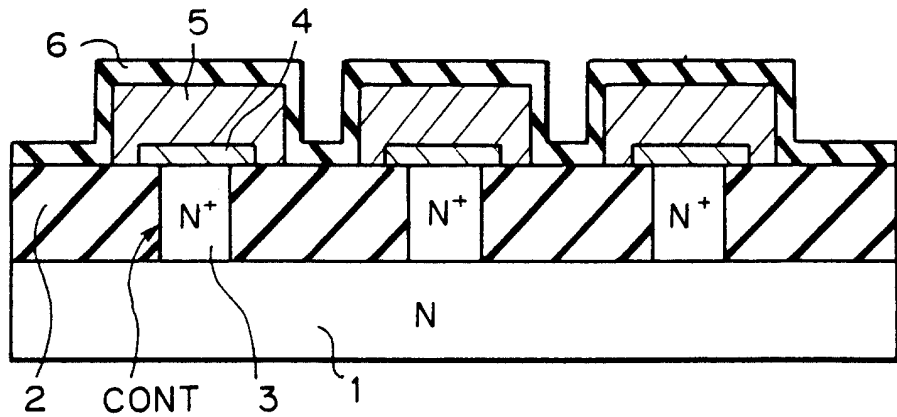
第28圖 C



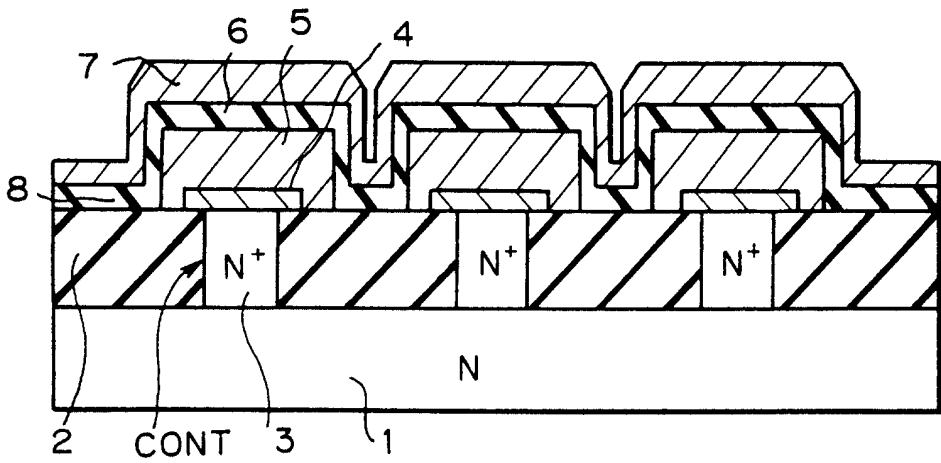
第28圖 D



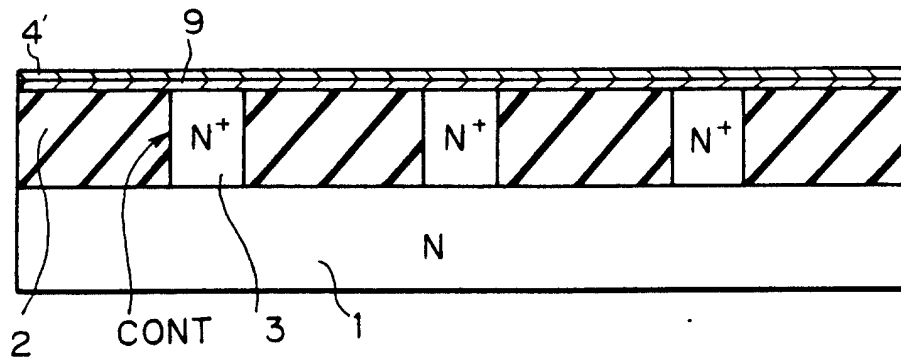
第28圖 E



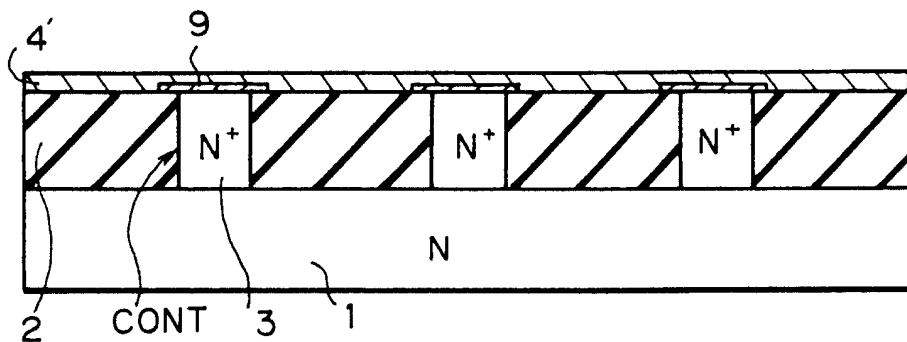
第28圖 F



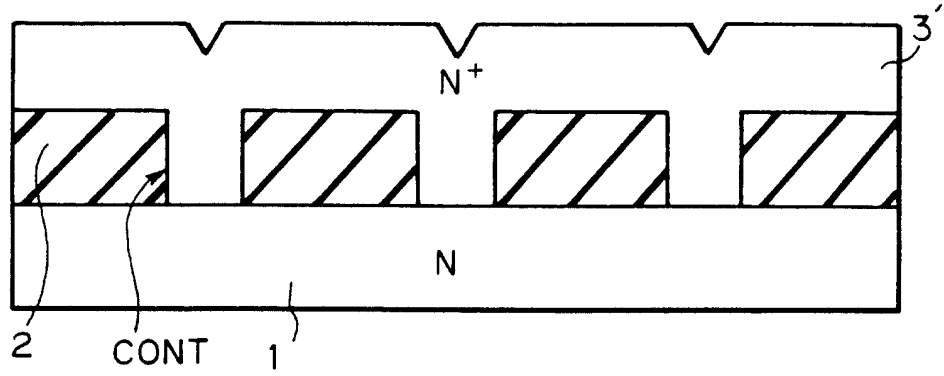
第29圖 A



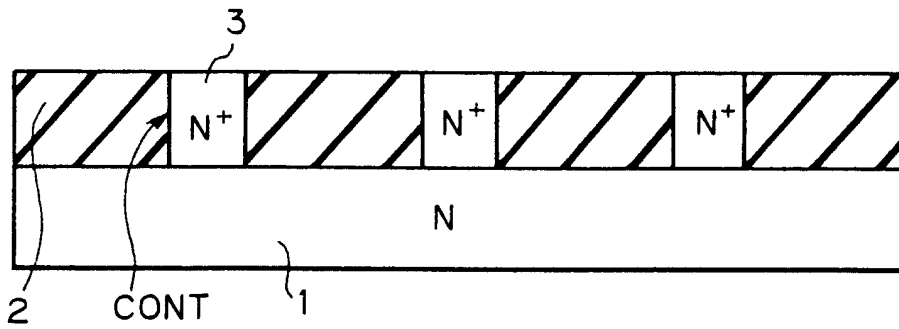
第29圖 B



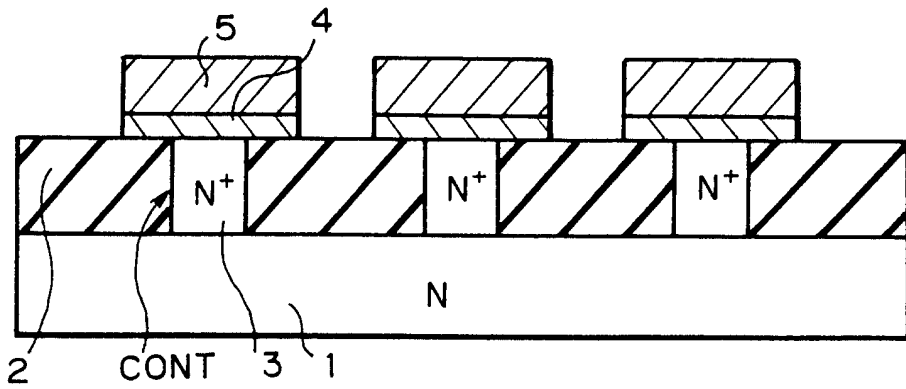
第30圖 A



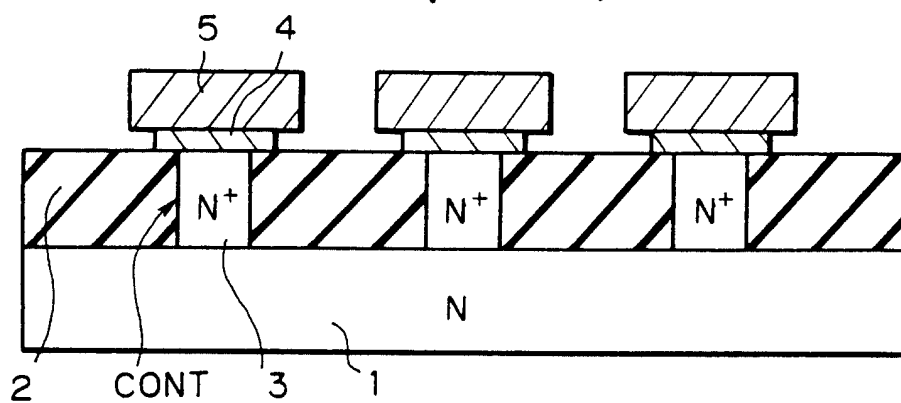
第30圖 B



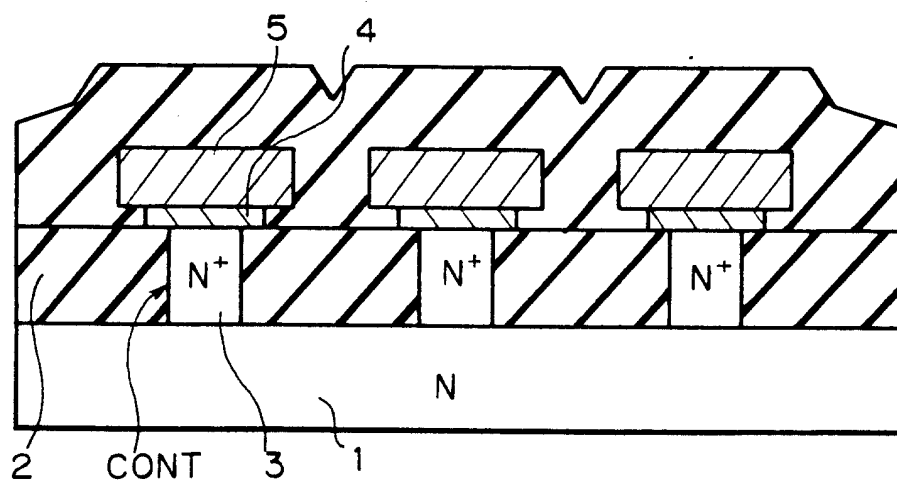
第30圖 C



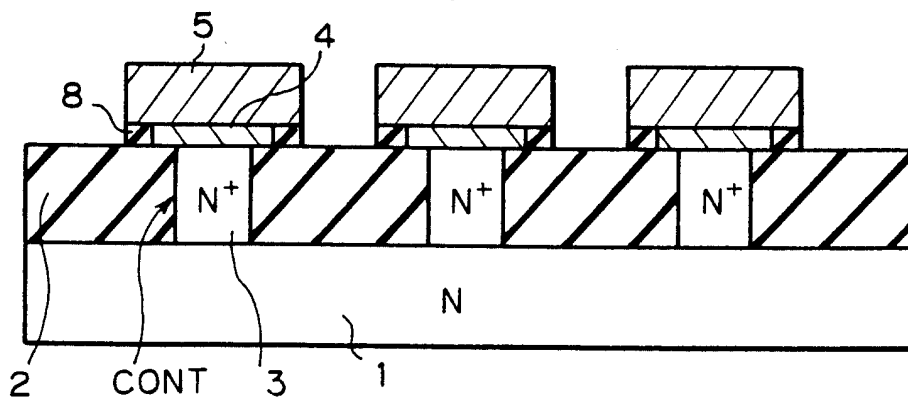
第30圖 D



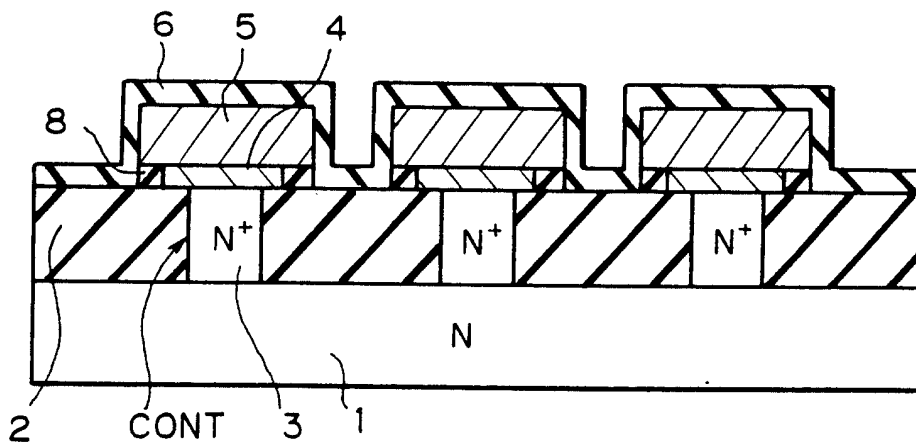
第30圖 E



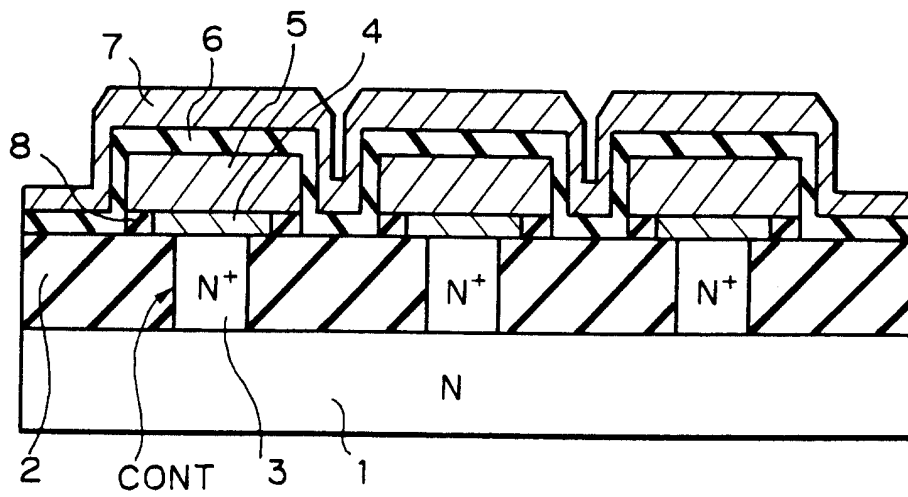
第30圖 F



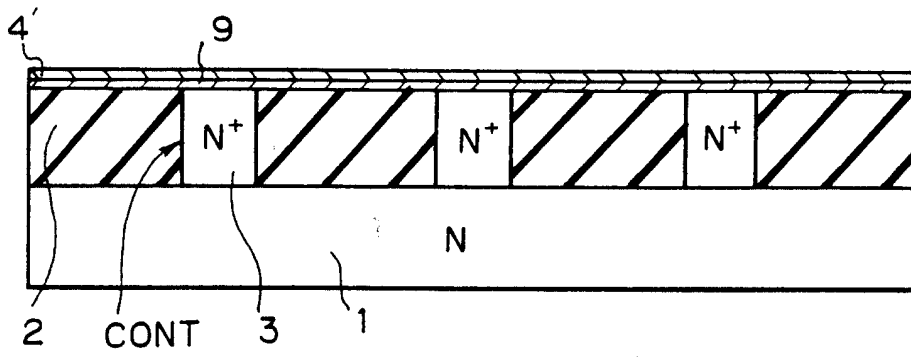
第30圖 G



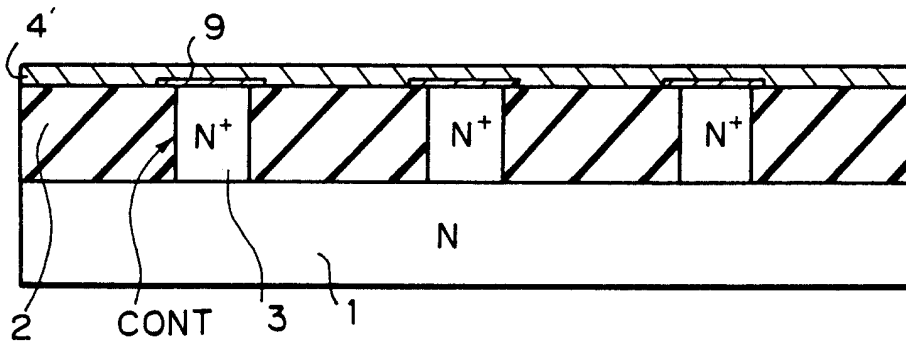
第30圖 H



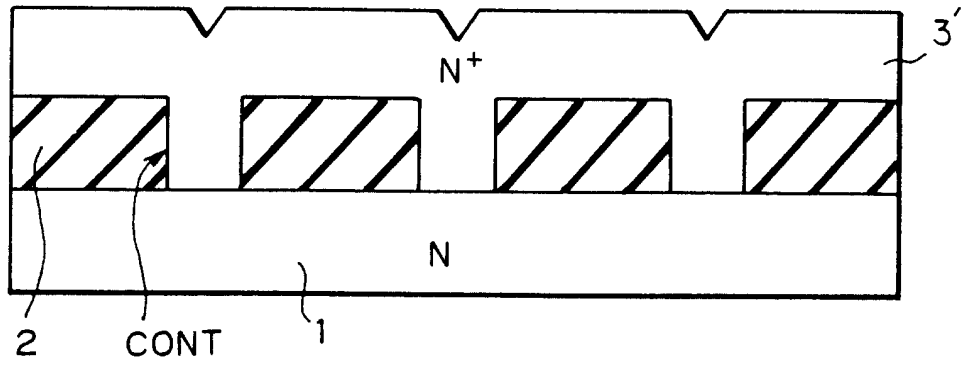
第31圖 A



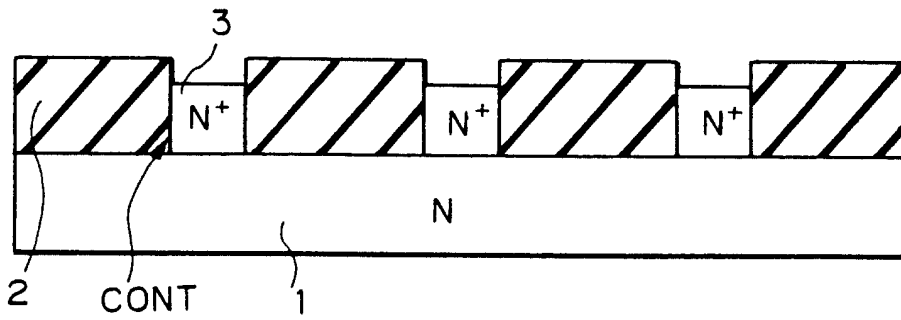
第31圖 B



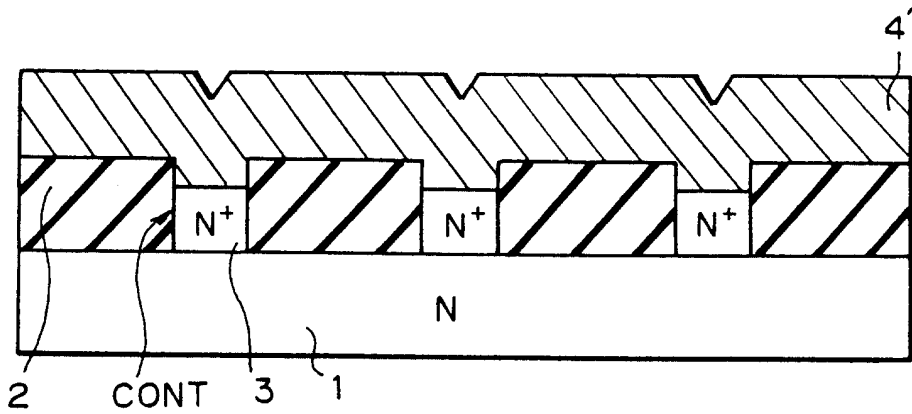
第32圖 A



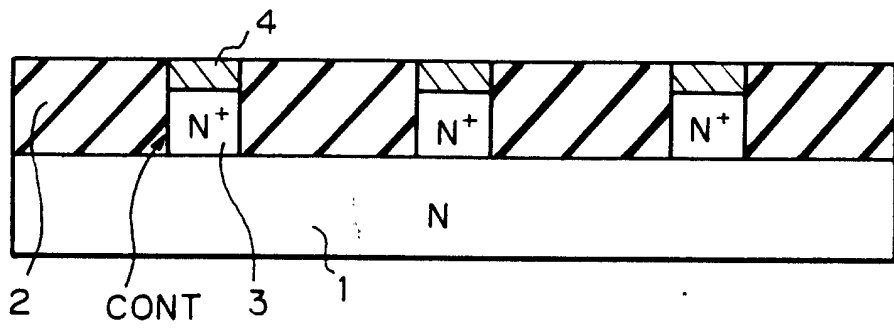
第32圖 B



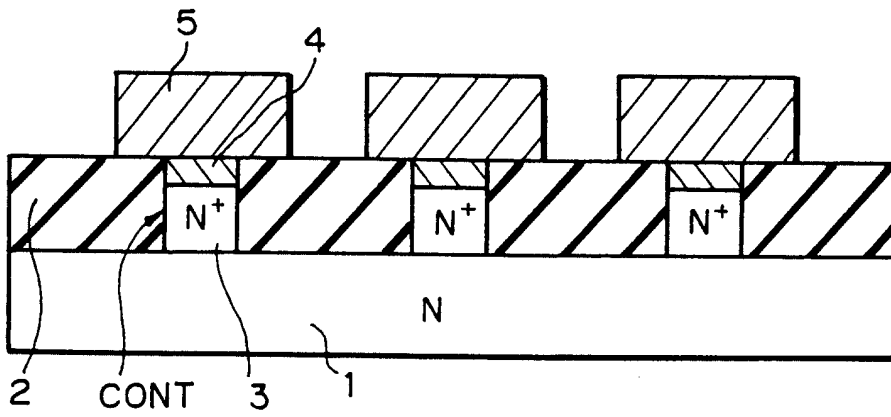
第32圖 C



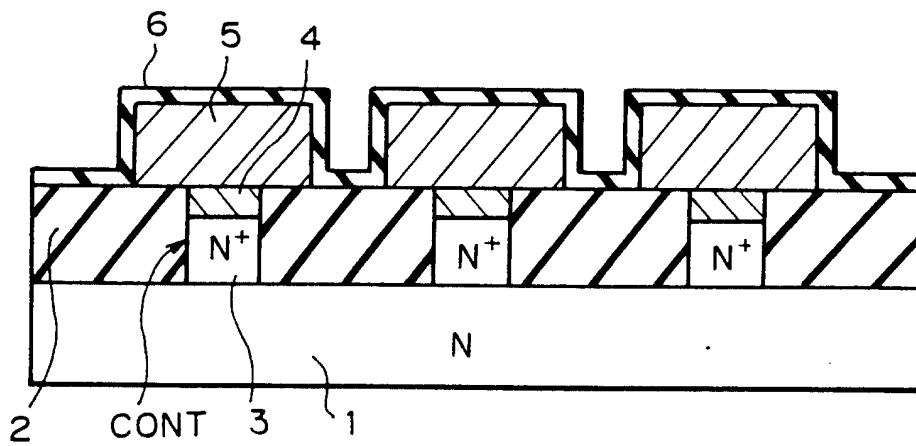
第32圖D



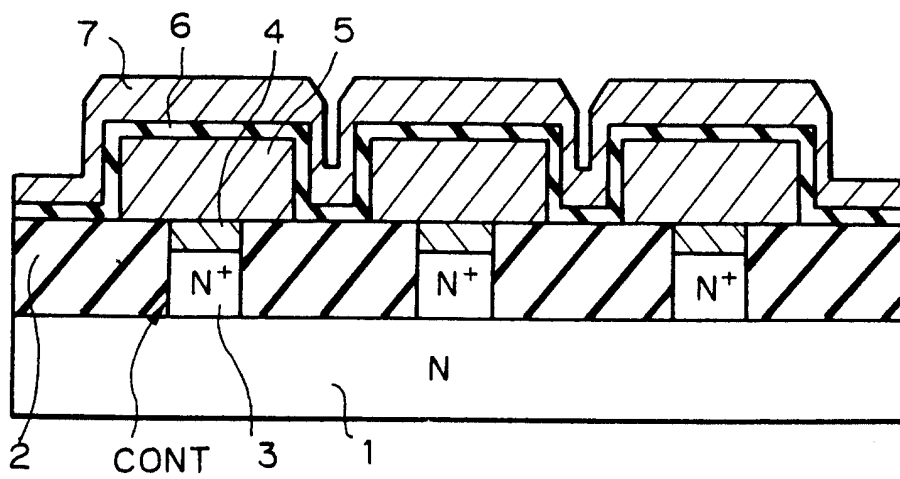
第32圖E



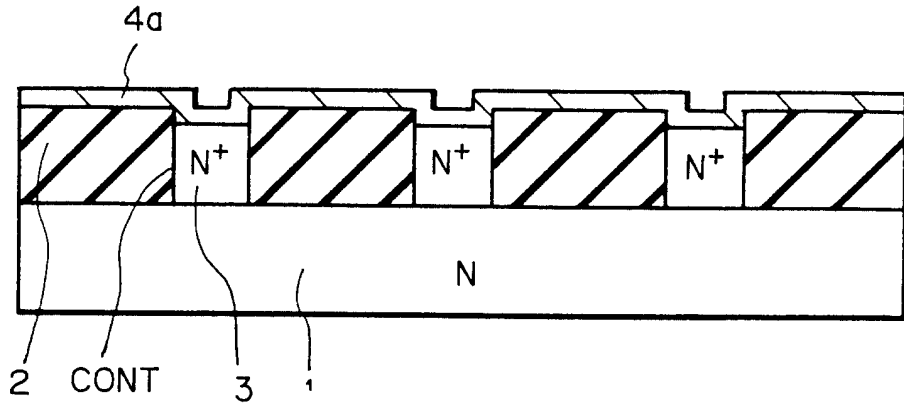
第32圖F



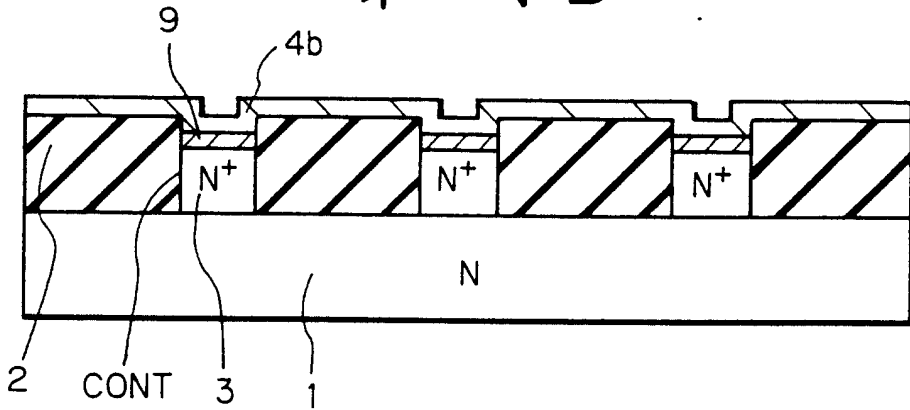
第32圖G



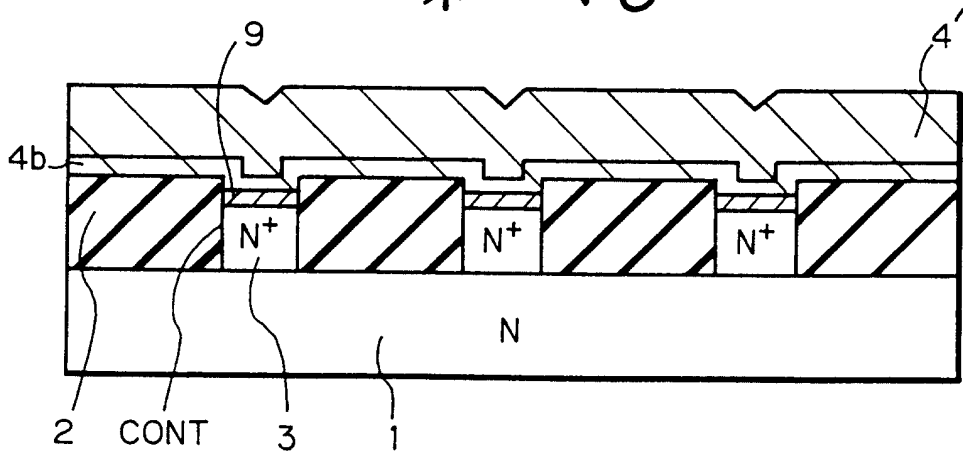
第33圖 A



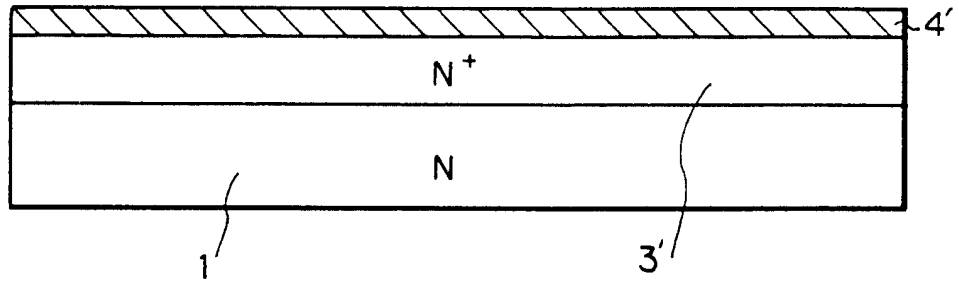
第33圖 B



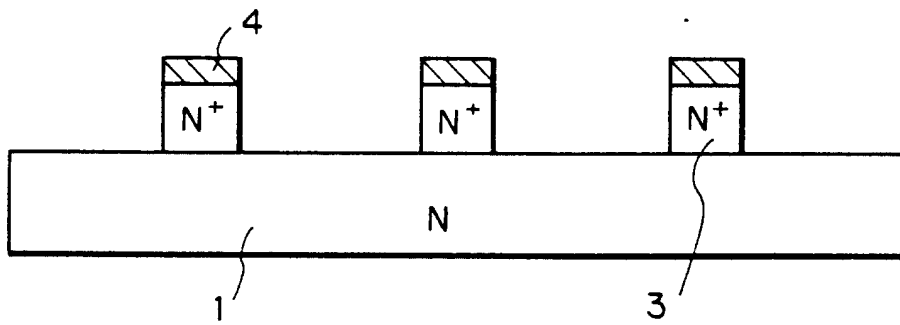
第33圖 C



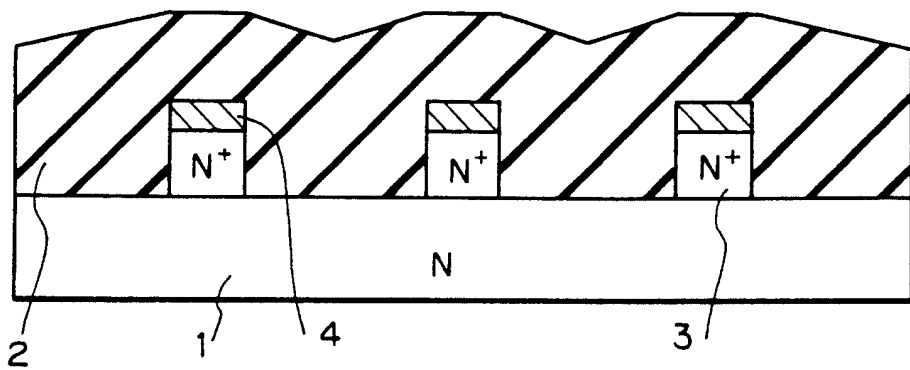
第34圖 A



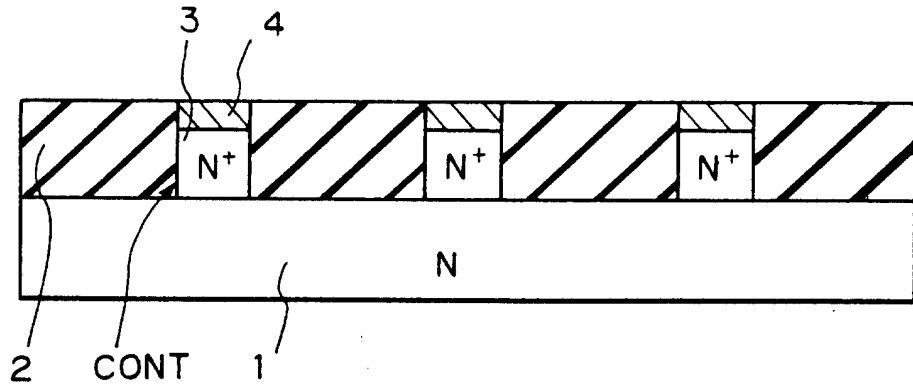
第34圖 B



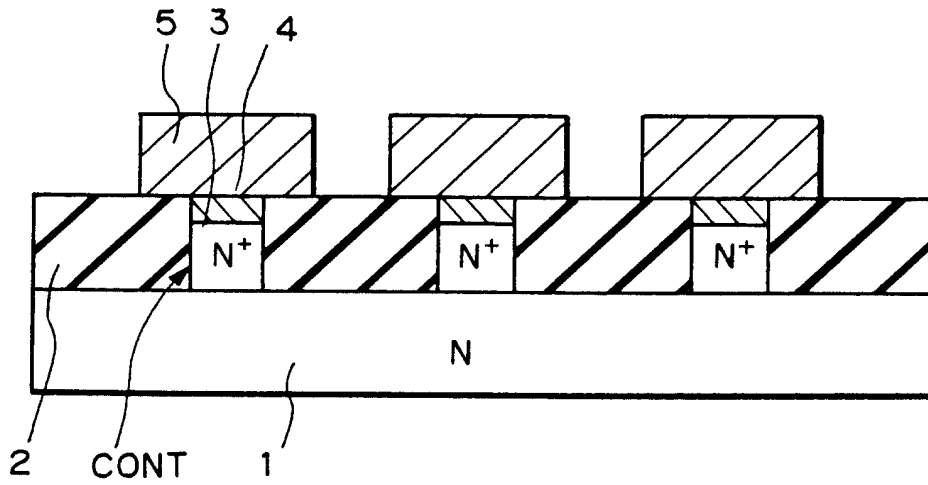
第34圖 C



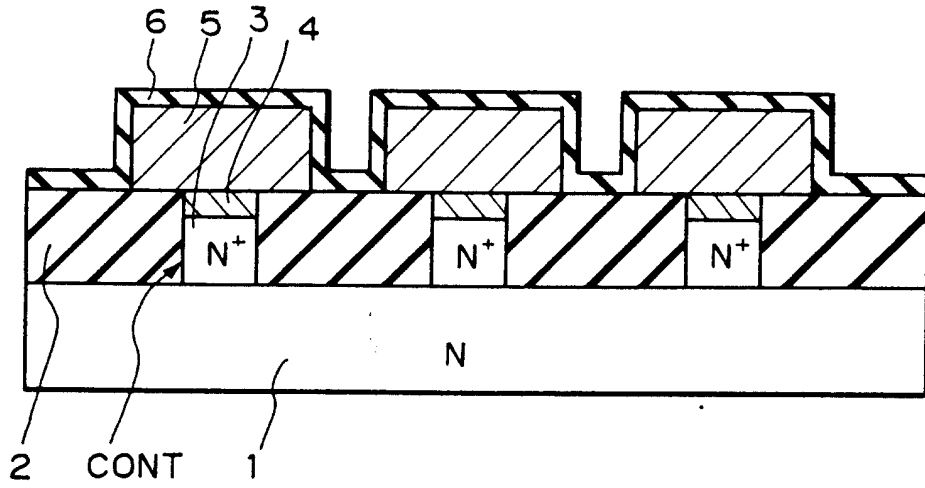
第34圖 D



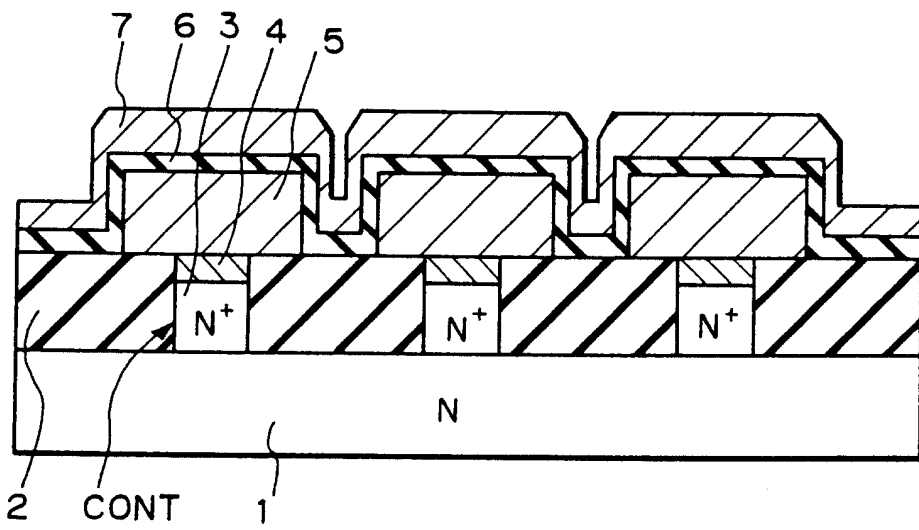
第34圖 E



第34圖 F



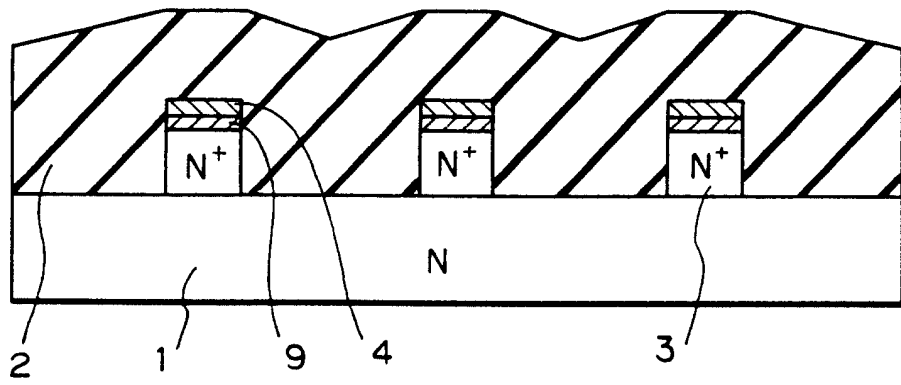
第34圖 G



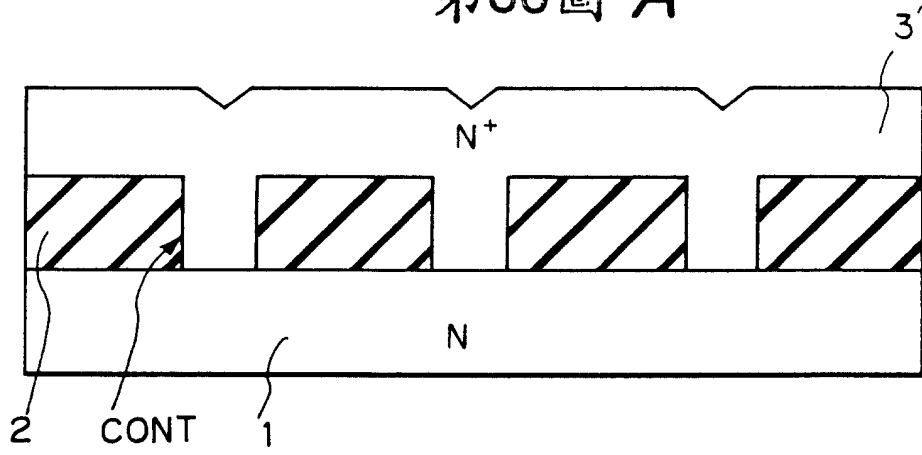
200409

44 / 53

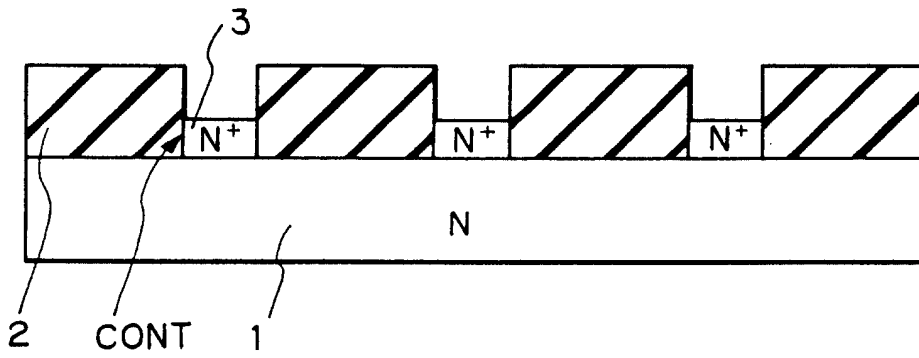
第35圖



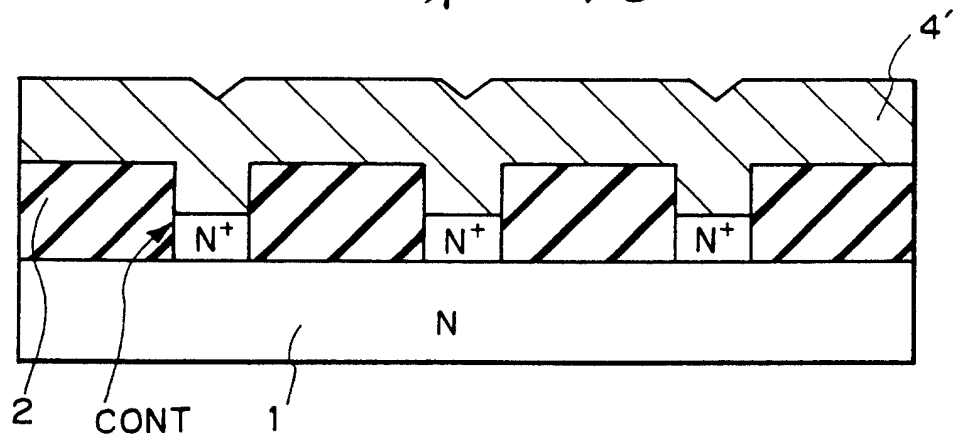
第36圖 A



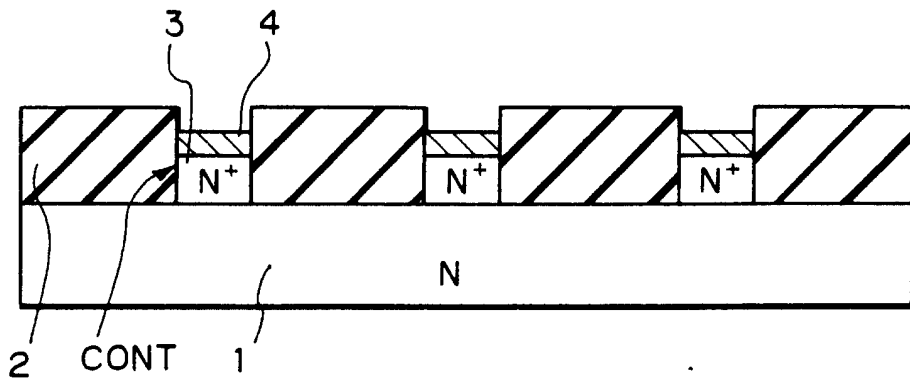
第36圖 B



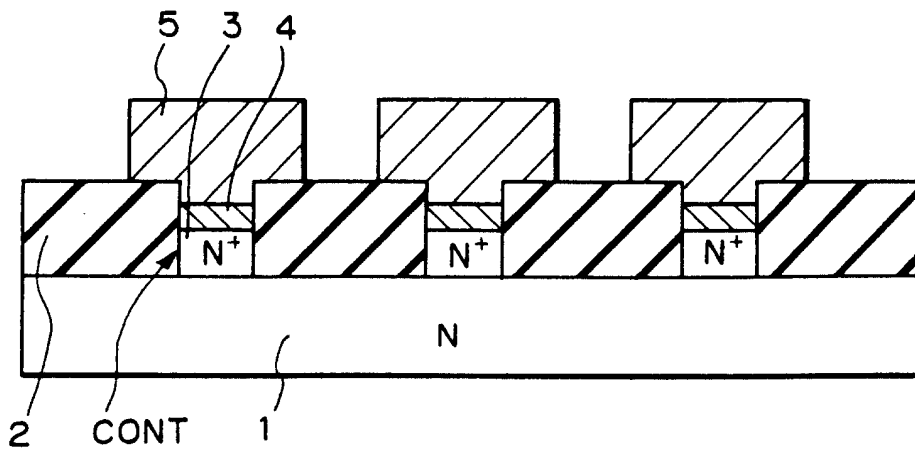
第36圖 C



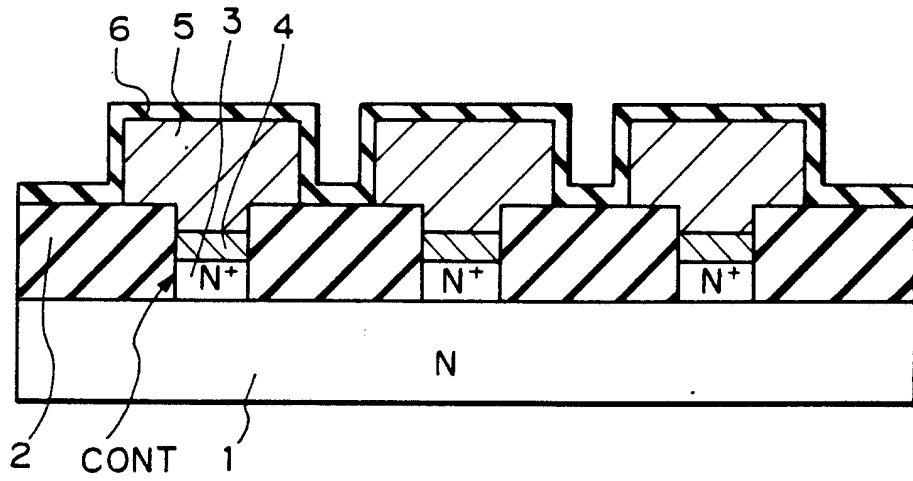
第36圖 D



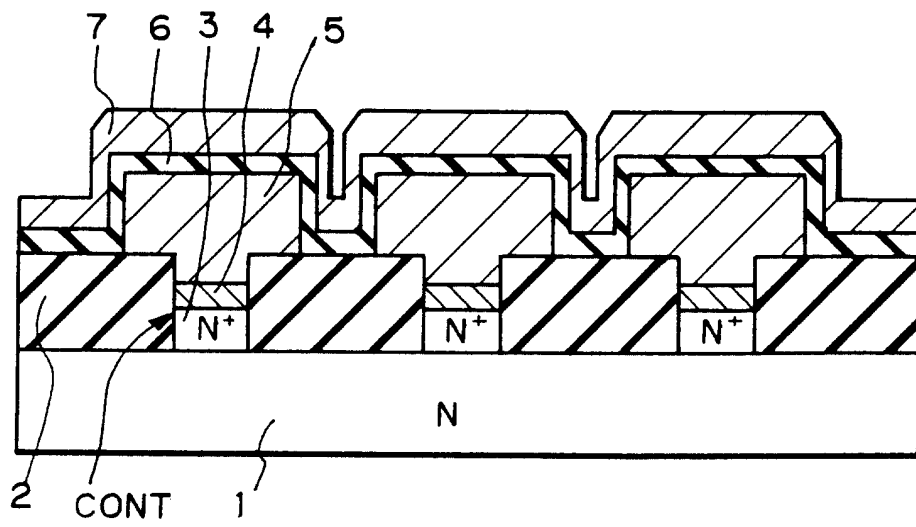
第36圖 E



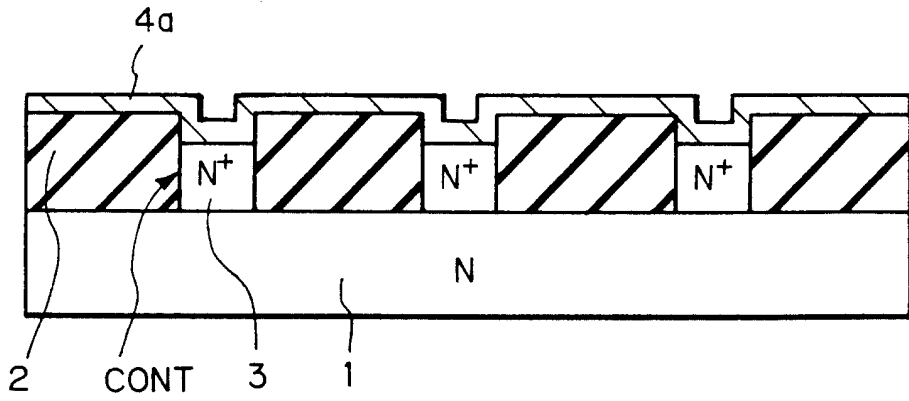
第36圖 F



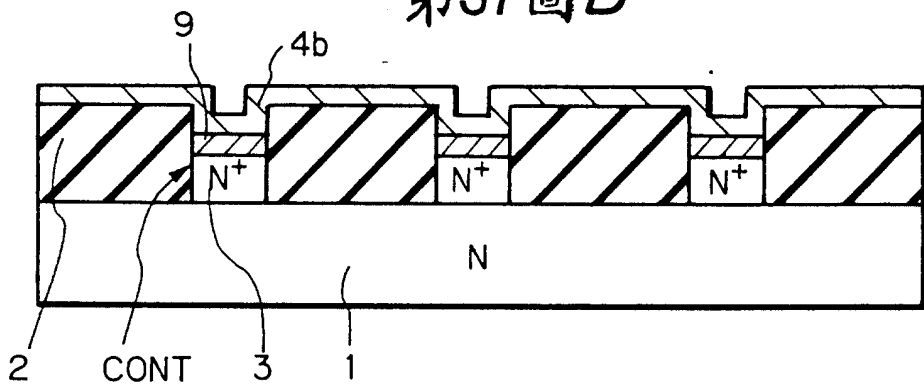
第36圖 G



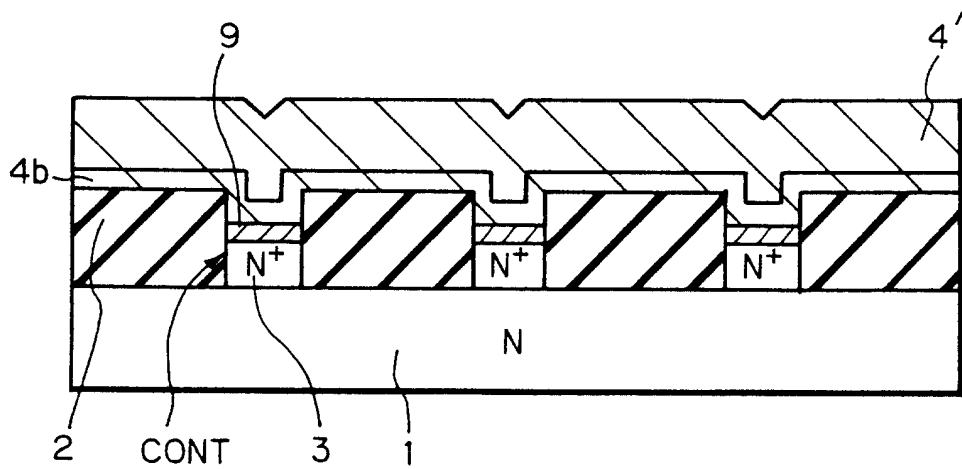
第37圖 A



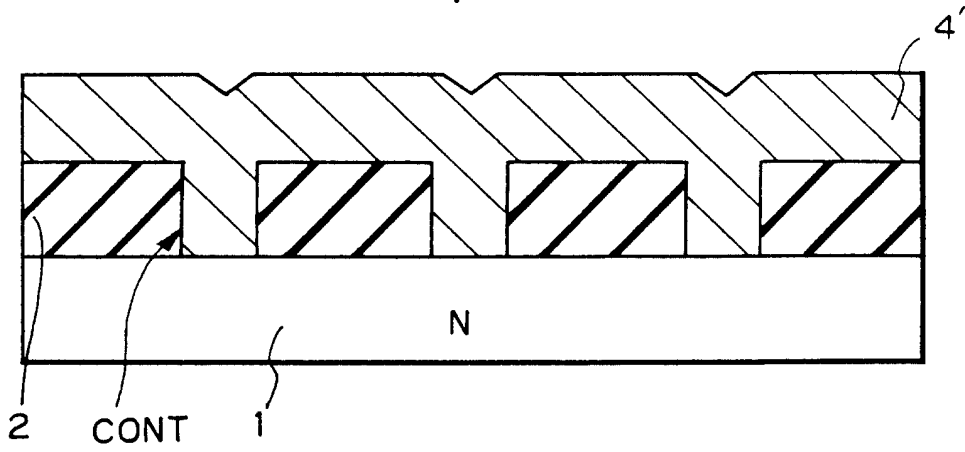
第37圖 B



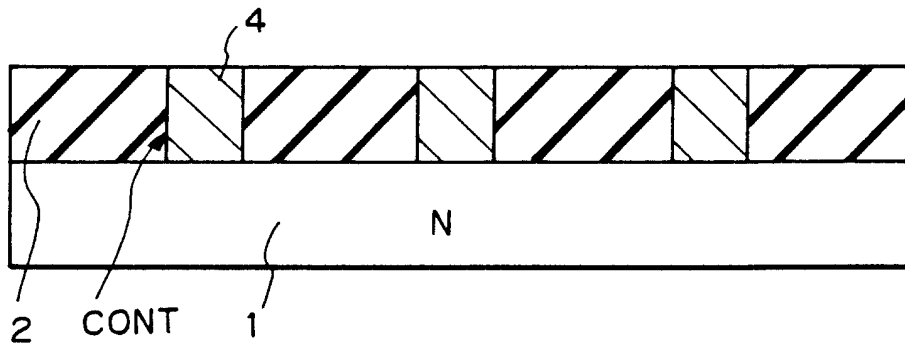
第37圖 C



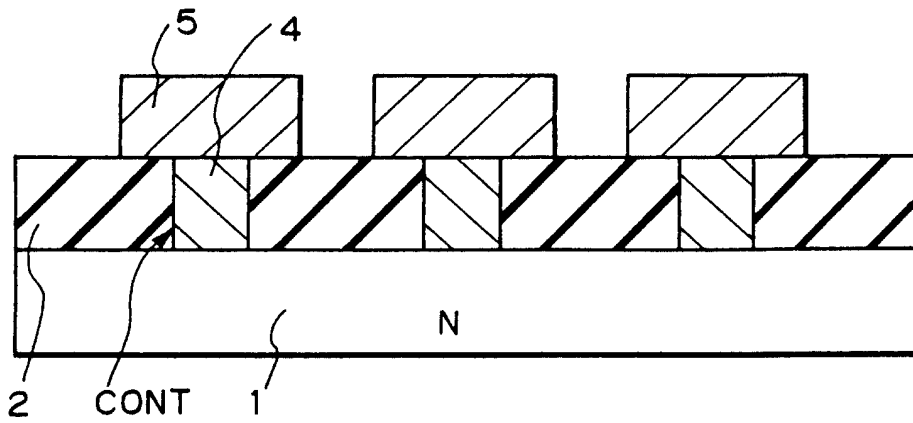
第38圖 A



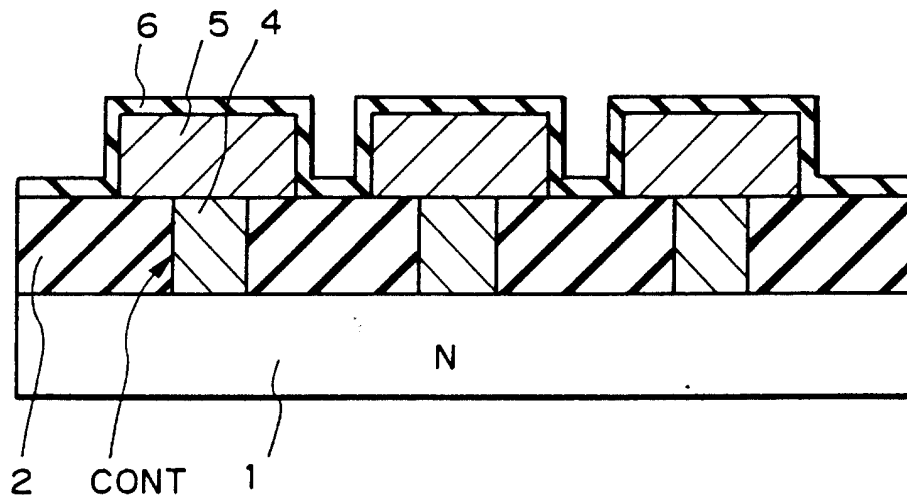
第38圖 B



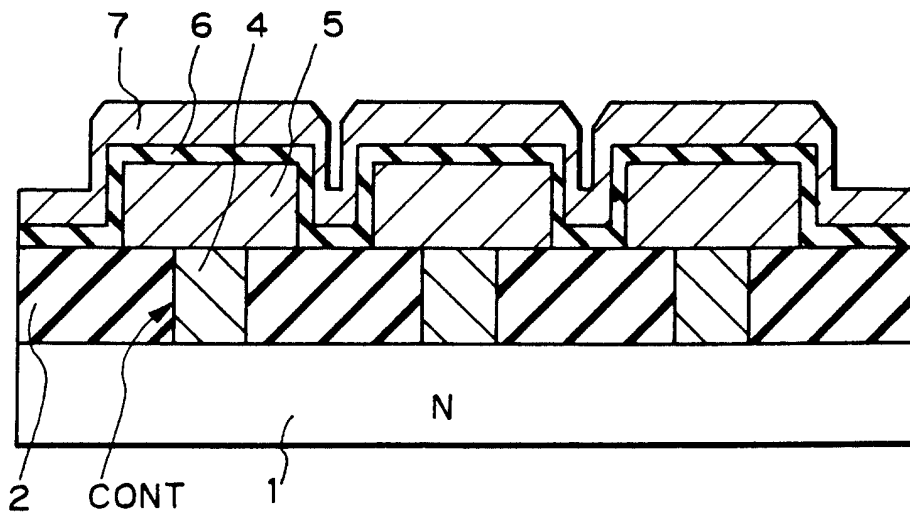
第38圖 C



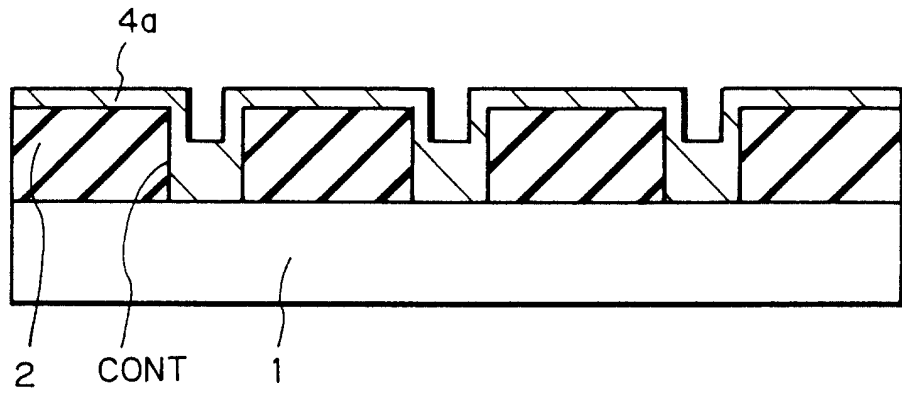
第38圖 D



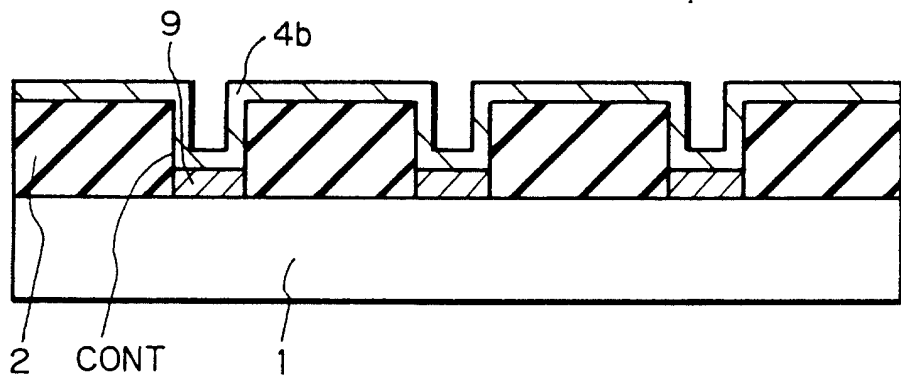
第38圖 E



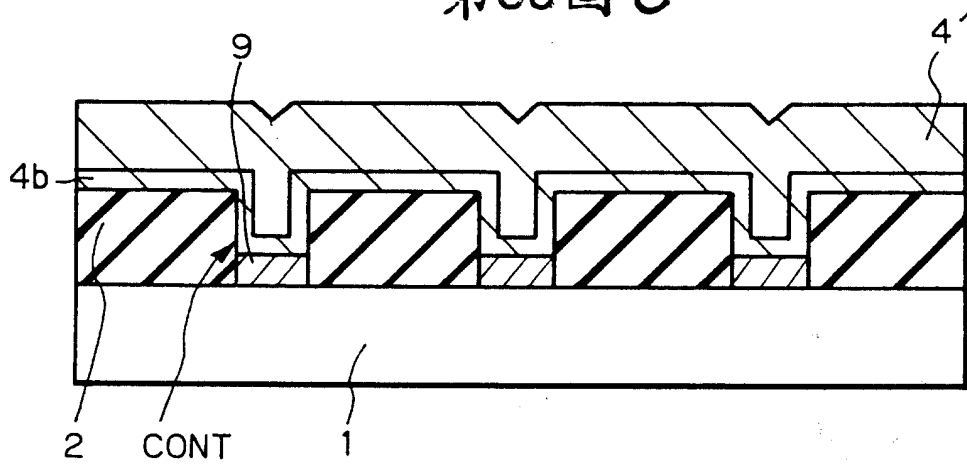
第39圖 A



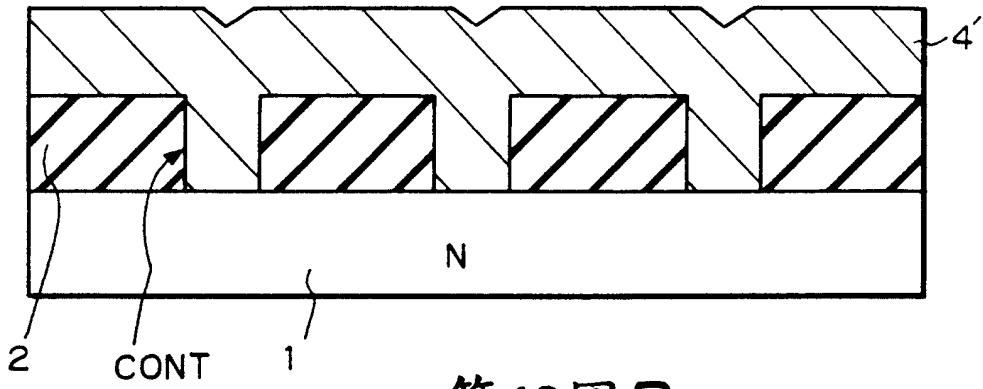
第39圖 B



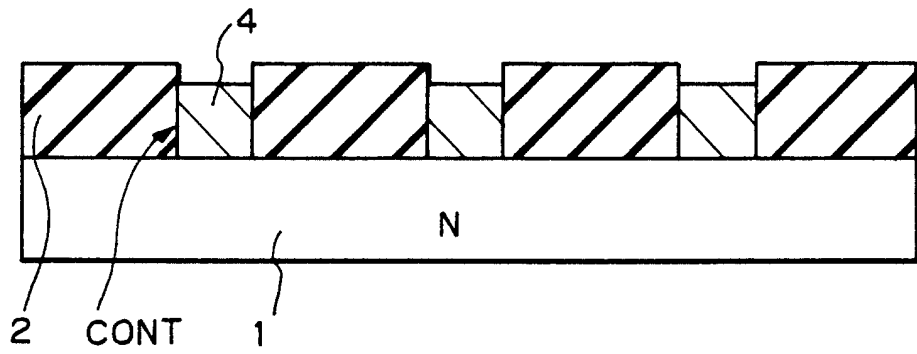
第39圖 C



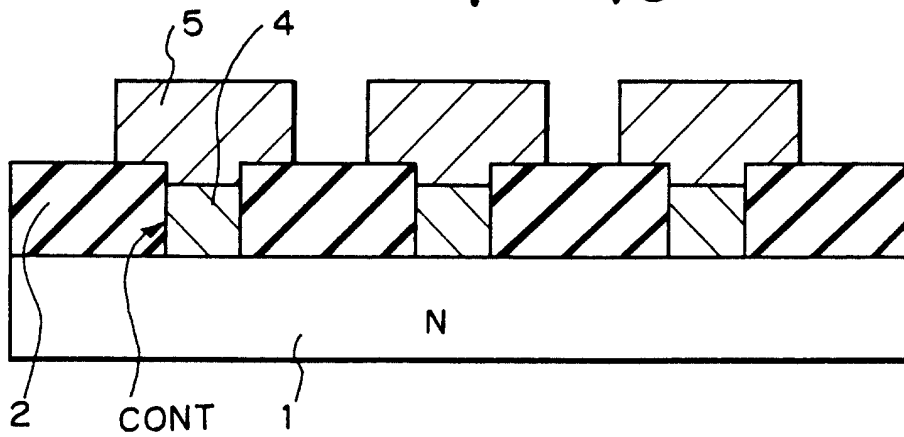
第40圖A



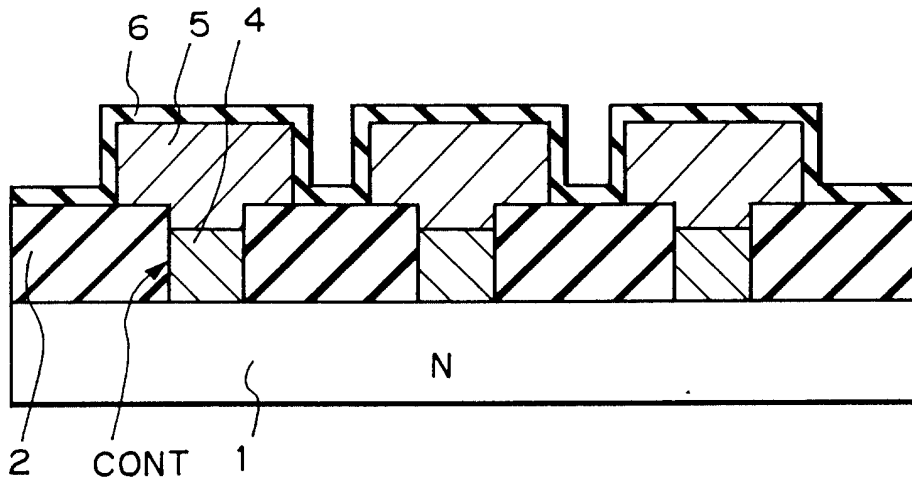
第40圖B



第40圖C



第40圖 D



第40圖 E

