

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 3 月 5 日 (05.03.2020)



(10) 国际公布号
WO 2020/042705 A1

(51) 国际专利分类号:
G09G 3/3208 (2016.01)

(21) 国际申请号: PCT/CN2019/090405

(22) 国际申请日: 2019 年 6 月 6 日 (06.06.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810995745.4 2018 年 8 月 29 日 (29.08.2018) CN

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。 合肥鑫晟光电科技有
限公司 (**HEFEI XINSHENG OPTOELECTRONICS
TECHNOLOGY CO., LTD.**) [CN/CN]; 中国安徽省
合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 冯雪欢 (**FENG, Xuehuan**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 李永谦 (**LI, Yongqian**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SHIFT REGISTER UNIT, GATE DRIVING CIRCUIT AND DRIVING METHOD

(54) 发明名称: 移位寄存器单元、栅极驱动电路及驱动方法

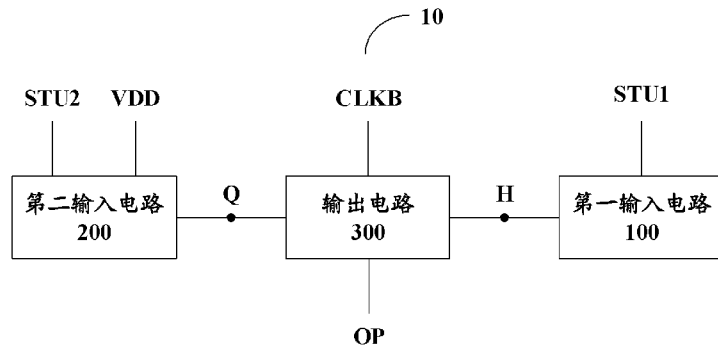


图 1

100 First input circuit
200 Second input circuit
300 Output circuit

(57) **Abstract:** Disclosed are a shift register unit, a gate driving circuit and a driving method. The shift register unit (10) comprises a first input circuit (100), a second input circuit (200) and an output circuit (300), wherein the first input circuit (100) is configured to charge a first node (H) in response to a first input signal (STU1), so as to control the level of the first node (H); the second input circuit (200) is configured to charge a second node (Q) in response to a second input signal (STU2), so as to control the level of the second node (Q); and the output circuit (300) is configured to output an output signal to an output end (OP) under the joint control of the level of the first node (H) and the level of the second node (Q). A gate driving circuit (20) formed by the shift register unit (10) can perform random compensation on sub-pixel units in a display panel, so that display defects caused by long-time progressive sequential compensation can be prevented.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种移位寄存器单元、栅极驱动电路及驱动方法。该移位寄存器单元(10)包括第一输入电路(100)、第二输入电路(200)和输出电路(300)。第一输入电路(100)被配置为响应于第一输入信号(STU1)对第一节点(H)进行充电以控制第一节点(H)的电平; 第二输入电路(200)被配置为响应于第二输入信号(STU2)对第二节点(Q)充电以控制第二节点(Q)的电平; 以及输出电路(300)被配置为在第一节点(H)的电平和第二节点(Q)的电平的共同控制下, 将输出信号输出至输出端(OP)。该移位寄存器单元(10)构成的栅极驱动电路(20)可以对显示面板中的子像素单元进行随机补偿, 可避免长时间的逐行顺序补偿带来的显示不良。

移位寄存器单元、栅极驱动电路及驱动方法

本申请要求于 2018 年 8 月 29 日递交的中国专利申请第
5 201810995745.4 号的优先权，在此全文引用上述中国专利申请公开的
内容以作为本申请的一部分。

技术领域

本公开的实施例涉及一种移位寄存器单元、栅极驱动电路、显示装置
10 及驱动方法。

背景技术

在显示领域特别是 OLED (Organic Light-Emitting Diode, 有机发光二
极管) 显示面板中，栅极驱动电路目前一般集成在 GATE IC 中。IC 设计
15 中芯片的面积是影响芯片成本的主要因素，如何有效地降低芯片面积是技
术开发人员需要着重考虑的。

发明内容

本公开至少一实施例提供一种移位寄存器单元，包括第一输入电路、
20 第二输入电路和输出电路。所述第一输入电路被配置为响应于第一输入信
号对第一节点进行充电以控制所述第一节点的电平；所述第二输入电路被
配置为响应于第二输入信号对第二节点进行充电以控制所述第二节点的电
平；以及所述输出电路被配置为在所述第一节点的电平和所述第二节点的
电平的共同控制下，将输出信号输出至输出端。

25 例如，本公开一实施例提供的移位寄存器单元还包括第一选择复位电
路和第二选择复位电路。所述第一选择复位电路和所述第一节点连接，被
配置为响应于第一选择控制信号和显示复位信号对所述第一节点进行复
位；所述第二选择复位电路和所述第二节点连接，被配置为响应于第二选
择控制信号和所述显示复位信号对所述第二节点进行复位；所述第一选择
30 控制信号和所述第二选择控制信号彼此互为反相信号。

例如，在本公开一实施例提供的移位寄存器单元中，所述第一输入电

路和所述第一节点连接，所述第一输入电路被配置为接收第一时钟信号并将所述第一时钟信号作为所述第一输入信号，且在所述第一时钟信号的控制下利用所述第一时钟信号对所述第一节点进行充电。

例如，在本公开一实施例提供的移位寄存器单元中，所述第二输入电路和所述第二节点连接，所述第二输入电路被配置为接收所述第二输入信号和第一电压，且在所述第二输入信号的控制下利用所述第一电压对所述第二节点进行充电。

例如，在本公开一实施例提供的移位寄存器单元中，所述输出电路和所述第一节点以及所述第二节点连接，所述输出电路被配置为接收第二时钟信号，且在所述第一节点的电平和所述第二节点的电平的共同控制下将所述第二时钟信号作为所述输出信号输出至所述输出端。

例如，在本公开一实施例提供的移位寄存器单元中，所述第一选择复位电路被配置为接收第二电压，且在所述第一选择控制信号和所述显示复位信号的控制下利用所述第二电压对所述第一节点进行复位；以及所述第二选择复位电路被配置为接收第三电压，且在所述第二选择控制信号和所述显示复位信号的控制下利用所述第三电压对所述第二节点进行复位。

例如，在本公开一实施例提供的移位寄存器单元中，所述第一输入电路包括第一晶体管 and 第一电容。所述第一晶体管的栅极和第一极连接，且被配置为接收所述第一时钟信号，所述第一晶体管的第二极和所述第一节点连接；以及所述第一电容的第一极和所述第一节点连接，所述第一电容的第二极被配置为接收第二电压。

例如，在本公开一实施例提供的移位寄存器单元中，所述第二输入电路包括第二晶体管。所述第二晶体管的栅极被配置为接收所述第二输入信号，所述第二晶体管的第一极被配置为接收所述第一电压，所述第二晶体管的第二极和所述第二节点连接。

例如，在本公开一实施例提供的移位寄存器单元中，所述输出端包括第一信号输出端和第二信号输出端，所述第一信号输出端和所述第二信号输出端被配置为输出所述输出信号，所述输出电路包括第三晶体管、第四晶体管、第五晶体管和第三电容。所述第三晶体管的栅极和所述第一节点连接，所述第三晶体管的第一极被配置为接收所述第二时钟信号，所述第三晶体管的第二极和所述第四晶体管的第一极连接；所述第四晶体管的栅

极和所述第二节点连接,所述第四晶体管的第二极和所述第一信号输出端连接;所述第五晶体管的栅极和所述第二节点连接,所述第五晶体管的第一极和所述第三晶体管的第二极连接,所述第五晶体管的第二极和所述第二信号输出端连接;以及所述第二电容的第一极和所述第二节点连接,所述第二电容的第二极和所述第一信号输出端连接。

例如,在本公开一实施例提供的移位寄存器单元中,所述输出端还包括第三信号输出端,所述输出电路还包括第十九晶体管和第二十晶体管。所述第十九晶体管的栅极和所述第一节点连接,所述第十九晶体管的第一极被配置为接收第三时钟信号,所述第十九晶体管的第二极和所述第二十晶体管的第一极连接;以及所述第二十晶体管的栅极和所述第二节点连接,所述第二十晶体管的第二极和所述第三信号输出端连接。

例如,在本公开一实施例提供的移位寄存器单元中,所述第一选择复位电路包括第六晶体管和第七晶体管。所述第六晶体管的栅极被配置为接收所述第一选择控制信号,所述第六晶体管的第一极和所述第一节点连接,所述第六晶体管的第二极和所述第七晶体管的第一极连接;以及所述第七晶体管的栅极被配置为接收所述显示复位信号,所述第七晶体管的第二极被配置为接收所述第二电压。

例如,在本公开一实施例提供的移位寄存器单元中,所述第二选择复位电路包括第八晶体管和第九晶体管。所述第八晶体管的栅极被配置为接收所述显示复位信号,所述第八晶体管的第一极和所述第二节点连接,所述第八晶体管的第二极和所述第九晶体管的第一极连接;以及所述第九晶体管的栅极被配置为接收所述第二选择控制信号,所述第九晶体管的第二极被配置为接收所述第三电压。

例如,本公开一实施例提供的移位寄存器单元还包括第一控制电路和第一复位电路。所述输出端包括第一信号输出端和第二信号输出端,所述第一信号输出端和所述第二信号输出端被配置为输出所述输出信号;所述第一控制电路被配置为在所述第二节点的电平的控制下,对第三节点的电平进行控制;以及所述第一复位电路被配置为在所述第三节点的电平的控制下,对所述第二节点、所述第一信号输出端和所述第二信号输出端进行复位。

例如,在本公开一实施例提供的移位寄存器单元中,所述第一控制电

路包括第十晶体管、第十一晶体管和第十二晶体管。所述第十晶体管的栅极和第一极连接，且被配置为接收第四电压，所述第十晶体管的第二极和所述第三节点连接；所述第十一晶体管的栅极和第一极连接，且被配置为接收第五电压，所述第十一晶体管的第二极和所述第三节点连接；以及所述第十二晶体管的栅极和所述第二节点连接，所述第十二晶体管的第一极和所述第三节点连接，所述第十二晶体管的第二极被配置为接收第三电压。

例如，在本公开一实施例提供的移位寄存器单元中，所述第一复位电路包括第十三晶体管、第十四晶体管和第十五晶体管。所述第十三晶体管的栅极和所述第三节点连接，所述第十三晶体管的第一极和所述第二节点连接，所述第十三晶体管的第二极被配置为接收第三电压；所述第十四晶体管的栅极和所述第三节点连接，所述第十四晶体管的第一极和所述第一信号输出端连接，所述第十四晶体管的第二极被配置为接收所述第三电压；以及所述第十五晶体管的栅极和所述第三节点连接，所述第十五晶体管的第一极和所述第二信号输出端连接，所述第十五晶体管的第二极被配置为接收第六电压。

例如，在本公开一实施例提供的移位寄存器单元中，所述第一复位电路还包括第二十一晶体管，所述输出端还包括第三信号输出端。所述第二十一晶体管的栅极和所述第三节点连接，所述第二十一晶体管的第一极和所述第三信号输出端连接，所述第二十一晶体管的第二极被配置为接收第七电压。

例如，本公开一实施例提供的移位寄存器单元还包括第二控制电路，所述第二控制电路被配置为响应于所述第二输入信号对所述第三节点的电平进行控制。

例如，在本公开一实施例提供的移位寄存器单元中，所述第二控制电路包括第十六晶体管。所述第十六晶体管的栅极被配置为接收所述第二输入信号，所述第十六晶体管的第一极和所述第三节点连接，所述第十六晶体管的第二极被配置为接收第三电压。

例如，本公开一实施例提供的移位寄存器单元还包括第二复位电路和第三复位电路。所述第二复位电路被配置为响应于全局复位信号对所述第一节点进行复位；所述第三复位电路被配置为响应于所述全局复位信号对所述第二节点进行复位。

例如，在本公开一实施例提供的移位寄存器单元中，所述第二复位电路包括第十七晶体管，所述第三复位电路包括第十八晶体管。所述第十七晶体管的栅极被配置为接收所述全局复位信号，所述第十七晶体管的第一极和所述第一节点连接，所述第十七晶体管的第二极被配置为接收第八电压；以及所述第十八晶体管的栅极被配置为接收所述全局复位信号，所述第十八晶体管的第一极和所述第二节点连接，所述第十八晶体管的第二极被配置为接收第三电压。

例如，在本公开一实施例提供的移位寄存器单元中，所述第一输入电路包括第一晶体管和第一电容，所述第一晶体管的栅极和第一极连接，且被配置为接收第一时钟信号，所述第一晶体管的第二极和所述第一节点连接；所述第一电容的第一极和所述第一节点连接，所述第一电容的第二极被配置为接收第二电压；所述第二输入电路包括第二晶体管，所述第二晶体管的栅极被配置为接收所述第二输入信号，所述第二晶体管的第一极被配置为接收第一电压，所述第二晶体管的第二极和所述第二节点连接；所述输出端包括第一信号输出端和第二信号输出端，所述第一信号输出端和所述第二信号输出端被配置为输出所述输出信号，所述输出电路包括第三晶体管、第四晶体管、第五晶体管和第二电容；所述第三晶体管的栅极和所述第一节点连接，所述第三晶体管的第一极被配置为接收第二时钟信号，所述第三晶体管的第二极和所述第四晶体管的第一极连接；所述第四晶体管的栅极和所述第二节点连接，所述第四晶体管的第二极和所述第一信号输出端连接；所述第五晶体管的栅极和所述第二节点连接，所述第五晶体管的第一极和所述第三晶体管的第二极连接，所述第五晶体管的第二极和所述第二信号输出端连接；所述第二电容的第一极和所述第二节点连接，所述第二电容的第二极和所述第一信号输出端连接；所述第一选择复位电路包括第六晶体管和第七晶体管；所述第六晶体管的栅极被配置为接收所述第一选择控制信号，所述第六晶体管的第一极和所述第一节点连接，所述第六晶体管的第二极和所述第七晶体管的第一极连接；所述第七晶体管的栅极被配置为接收所述显示复位信号，所述第七晶体管的第二极被配置为接收所述第二电压；所述第二选择复位电路包括第八晶体管和第九晶体管；所述第八晶体管的栅极被配置为接收所述显示复位信号，所述第八晶体管的第一极和所述第二节点连接，所述第八晶体管的第二极和所述第九

晶体管的第一极连接；所述第九晶体管的栅极被配置为接收所述第二选择控制信号，所述第九晶体管的第二极被配置为接收第三电压；所述移位寄存器单元还包括第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管以及第十八晶体管；所述第十晶体管的栅极和第一极连接，且被配置为接收第四电压，所述第十晶体管的第二极和第三节点连接；所述第十一晶体管的栅极和第一极连接，且被配置为接收第五电压，所述第十一晶体管的第二极和所述第三节点连接；所述第十二晶体管的栅极和所述第二节点连接，所述第十二晶体管的第一极和所述第三节点连接，所述第十二晶体管的第二极被配置为接收所述第三电压；所述第十六晶体管栅极被配置为接收所述第二输入信号，所述第十六晶体管的第一极和所述第三节点连接，所述第十六晶体管的第二极被配置为接收所述第三电压；所述第十三晶体管的栅极和所述第三节点连接，所述第十三晶体管的第一极和所述第二节点连接，所述第十三晶体管的第二极被配置为接收所述第三电压；所述第十四晶体管的栅极和所述第三节点连接，所述第十四晶体管的第一极和所述第一信号输出端连接，所述第十四晶体管的第二极被配置为接收所述第三电压；所述第十五晶体管的栅极和所述第三节点连接，所述第十五晶体管的第一极和所述第二信号输出端连接，所述第十五晶体管的第二极被配置为接收第六电压；所述第十七晶体管的栅极被配置为接收全局复位信号，所述第十七晶体管的第一极和所述第一节点连接，所述第十七晶体管的第二极被配置为接收第八电压；所述第十八晶体管的栅极被配置为接收所述全局复位信号，所述第十八晶体管的第一极和所述第二节点连接，所述第十八晶体管的第二极被配置为接收所述第三电压。

本公开至少一实施例还提供一种栅极驱动电路，包括多个级联的如本公开的实施例提供的任一移位寄存器单元。

例如，本公开一实施例提供的栅极驱动电路还包括第一子时钟信号线、第二子时钟信号线、第三子时钟信号线、第四子时钟信号线、第五子时钟信号线和第六子时钟信号线。第 $2n-1$ 级移位寄存器单元和所述第一子时钟信号线连接以接收所述第一子时钟信号线上的时钟信号，并将所述第一子时钟信号线上的时钟信号作为所述第 $2n-1$ 级移位寄存器单元的输出信号输出；第 $2n$ 级移位寄存器单元和所述第二子时钟信号线连接以接收所

述第二子时钟信号线上的时钟信号，并将所述第二子时钟信号线上的时钟信号作为所述第 $2n$ 级移位寄存器单元的输出信号输出；每一级移位寄存器单元和所述第三子时钟信号线连接以接收第一时钟信号；每一级移位寄存器单元和所述第四子时钟信号线连接以接收全局复位信号；每一级移位寄存器单元和所述第五子时钟信号线连接以接收第一选择控制信号；以及每一级移位寄存器单元和所述第六子时钟信号线连接以接收第二选择控制信号； n 为大于零的整数。

本公开至少一实施例还提供一种显示装置，包括如本公开的实施例提供的任一栅极驱动电路。

10 本公开至少一实施例还提供一种移位寄存器单元的驱动方法，包括用于一帧的显示时段和消隐时段。在所述显示时段：使得所述第一输入电路响应于所述第一输入信号对所述第一节点进行充电，使得所述第二输入电路响应于所述第二输入信号对所述第二节点进行充电，以及使得所述输出电路在所述第一节点的电平和所述第二节点的电平的共同控制下，将所述
15 输出信号输出至所述输出端；在所述消隐时段：使得所述第一输入电路响应于所述第一输入信号对所述第一节点进行充电，以及使得所述输出电路在所述第一节点的电平和所述第二节点的电平的共同控制下，将所述输出信号输出至所述输出端。

本公开至少一实施例还提供一种栅极驱动电路的驱动方法，包括用于一帧的显示时段和消隐时段，在每一级移位寄存器单元包括第一选择复位电路和第二选择复位电路的情形下，所述驱动方法包括：

在所述显示时段：使得第 m 级移位寄存器单元中的所述第一选择复位电路响应于第一选择控制信号和显示复位信号，对所述第 m 级移位寄存器单元中的第一节点进行复位；以及使得除了所述第 m 级移位寄存器单元外的其它级移位寄存器单元中的所述第二选择复位电路响应于第二选择控制信号和显示复位信号，对除了所述第 m 级移位寄存器单元外的其它级移位寄存器单元中的第二节点进行复位；

在所述消隐时段：使得所述第 m 级移位寄存器单元中的所述第一输入电路响应于所述第一输入信号，对所述第 m 级移位寄存器单元中的第一节点进行充电； m 为大于零的整数。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

- 5 图 1 为本公开至少一实施例提供的一种移位寄存器单元的示意图；
图 2 为本公开至少一实施例提供的另一种移位寄存器单元的示意图；
图 3 为本公开至少一实施例提供的又一种移位寄存器单元的示意图；
图 4 为本公开至少一实施例提供的一种移位寄存器单元的电路图；
图 5 为本公开至少一实施例提供的另一种移位寄存器单元的电路图；
10 图 6 为本公开至少一实施例提供的一种栅极驱动电路的示意图；
图 7 为本公开至少一实施例提供的一种对应于图 6 所示的栅极驱动电路工作时的信号时序图；
图 8 为本公开至少一实施例提供的一种显示装置的示意图；
图 9 为本公开至少一实施例提供的一种栅极驱动电路的驱动方法；以
15 及
图 10 为本公开至少一实施例提供的另一种栅极驱动电路的驱动方法。

具体实施方式

- 20 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

- 25 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而
30 不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。

“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

在本公开的实施例中，例如，当各个电路实现为 N 型晶体管时，术语“上拉”表示对一个节点或一个晶体管的一个电极进行充电，以使得该节点或该电极的电平的绝对值升高，从而实现相应晶体管的操作（例如导通）；“下拉”表示对一个节点或一个晶体管的一个电极进行放电，以使得该节点或该电极的电平的绝对值降低，从而实现相应晶体管的操作（例如截止）。

又例如，当各个电路实现为 P 型晶体管时，术语“上拉”表示对一个节点或一个晶体管的一个电极进行放电，以使得该节点或该电极的电平的绝对值降低，从而实现相应晶体管的操作（例如导通）；“下拉”表示对一个节点或一个晶体管的一个电极进行充电，以使得该节点或该电极的电平的绝对值升高，从而实现相应晶体管的操作（例如截止）。

并且，术语“上拉”、“下拉”的具体含义也将根据所采用的晶体管的具体类型而相应调整，只要能实现对于晶体管的控制以实现相应的开关功能。

目前用于 OLED 的栅极驱动电路通常要用三个子电路组合而成，即检测电路、显示电路和输出两者复合脉冲的连接电路（或门电路），这样的电路结构非常复杂，无法满足高分辨率窄边框的要求。

在对 OLED 显示面板中的子像素单元进行补偿时，除了在子像素单元中设置像素补偿电路进行内部补偿外，还可以通过设置感测晶体管进行外部补偿。在进行外部补偿时，由移位寄存器单元构成的栅极驱动电路需要向显示面板中的子像素单元分别提供用于扫描晶体管和感测晶体管的驱动信号，例如，在一帧的显示时段提供用于扫描晶体管的扫描驱动信号，在一帧的消隐时段提供用于感测晶体管的感测驱动信号。

在一种外部补偿方法中，栅极驱动电路输出的感测驱动信号是逐行顺序扫描的，例如，在第一帧的消隐时段输出用于显示面板中第一行的子像素单元的感测驱动信号，在第二帧的消隐时段输出用于显示面板中第二行的子像素单元的感测驱动信号，依次类推，以每帧输出对应一行子像素单元的感测驱动信号的频率逐行顺序输出，即完成对显示面板的逐行顺序补偿。

但是，在采用上述逐行顺序补偿的方法时，可能会产生以下显示不良问题：一是在进行多帧图像的扫描显示过程中有一条逐行移动的扫描线；二是由于进行外部补偿的时间点存在差异，从而可能会造成显示面板不同区域的

亮度差异比较大，例如，在对显示面板的第 100 行的子像素单元进行外部补偿时，显示面板的第 10 行的子像素单元虽然已经进行过外部补偿了，但此时第 10 行的子像素单元的发光亮度可能已经发生变化，例如发光亮度降低，从而会造成显示面板不同区域的亮度不均匀，在大尺寸的显示面板中这种问题会更加明显。

针对上述问题，本公开的至少一实施例提供一种移位寄存器单元，该移位寄存器单元包括第一输入电路、第二输入电路和输出电路。第一输入电路被配置为响应于第一输入信号对第一节点进行充电以控制第一节点的电平；第二输入电路被配置为响应于第二输入信号对第二节点充电以控制第二节点的电平；以及输出电路被配置为在第一节点的电平和第二节点的电平的共同控制下，将输出信号输出至输出端。本公开的实施例还提供对应于上述移位寄存器单元的栅极驱动电路、显示装置及驱动方法。

本公开的实施例提供的移位寄存器单元、栅极驱动电路、显示装置及驱动方法，在兼顾逐行顺序补偿（例如在关机检测中需要进行逐行顺序补偿）的前提下，还可以实现随机补偿，从而可以避免由于逐行顺序补偿造成的扫描线以及显示亮度不均匀等显示不良问题。

需要说明的是，在本公开的实施例中，随机补偿指的是区别于逐行顺序补偿的一种外部补偿方法，采用随机补偿可以在某一帧的消隐时段随机输出对应于显示面板中任意一行的子像素单元的感测驱动信号，该任意一行子像素单元是随机选择的，以下各实施例与此相同，不再赘述。

另外，在本公开的实施例中，为了说明的目的，定义“一帧”、“每帧”或“某一帧”包括依次进行的显示时段和消隐时段，例如在显示时段中栅极驱动电路输出驱动信号，该驱动信号可以驱动显示面板从第一行到最后一行完成完整的一幅图像的扫描显示（即进行一帧图像的扫描显示），在消隐时段中栅极驱动电路输出驱动信号，该驱动信号可以用于驱动显示面板中的某一行子像素单元中的感测晶体管，例如进行电学参数提取（例如提取晶体管的阈值电压），然后根据该电学参数完成该行子像素单元的外部补偿。

下面结合附图对本公开的实施例及其示例进行详细说明。

本公开的至少一个实施例提供一种移位寄存器单元 10，如图 1 所示，该移位寄存器单元 10 包括第一输入电路 100、第二输入电路 200 和输出电路 300。多个该移位寄存器单元 10 可以级联构建本公开一实施例的栅极驱动电

路，以用于驱动显示面板的显示操作，从而允许显示面板例如通过逐行扫描方式显示一帧图像以及进行外部补偿操作。

该第一输入电路 100 被配置为响应于第一输入信号 STU1 对第一节点 H 进行充电以控制第一节点 H 的电平。

5 例如，如图 1 所示，第一输入电路 100 和第一节点 H 连接，且被配置为接收第一输入信号 STU1。当第一输入电路 100 在第一输入信号 STU1 的控制下被导通时，可以同时利用第一输入信号 STU1 对第一节点 H 进行充电，或者将第一输入信号 STU1 作为开关信号并且利用另外的电压源对第一节点 H 进行充电，以拉高第一节点 H 的电平，从而控制第一节点 H 的电平。例如，
10 在第一输入电路 100 中可以设置电容，该电容可以用于维持第一节点 H 的电平。例如，在一些实施例中，第一输入电路 100 被配置为接收第一时钟信号 CLKA，并将第一时钟信号 CLKA 作为第一输入信号 STU1，从而在第一输入电路 100 导通时可以利用第一时钟信号 CLKA 对第一节点 H 进行充电。

15 该第二输入电路 200 被配置为响应于第二输入信号 STU2 对第二节点 Q 进行充电以控制第二节点 Q 的电平。

 例如，如图 1 所示，第二输入电路 200 和第二节点 Q 连接。在一些实施例中，第二输入电路 200 被配置为接收第二输入信号 STU2 和第一电压 VDD。当第二输入电路 200 在第二输入信号 STU2 的控制下被导通时，可以利用第一电压 VDD 对第二节点 Q 进行充电以拉高第二节点 Q 的电平，从而控制第
20 二节点 Q 的电平。

 例如，在多个移位寄存器单元 10 级联构成一个栅极驱动电路时，除了前几级（例如第一级等）移位寄存器单元外，其它级移位寄存器单元 10 中的第二输入电路 200 可以和相邻级（例如上一级）移位寄存器单元 10 的输出端 OP 连接以接收输出信号，从而将该输出信号作为本级的第二输入信号
25 STU2。对于前几级（例如第一级等）移位寄存器单元来说，可以与单独的信号线连接以接收第二输入信号 STU2。

 需要说明的是，在本公开的实施例中，第一电压 VDD 例如为高电平，以下各实施例与此相同，不再赘述。

30 另外，需要说明的是，在本公开的实施例中，高电平和低电平是相对而言的。高电平表示一个较高的电压范围（例如，高电平可以采用 5V、10V 或其他合适的电压），且多个高电平可以相同也可以不同。类似地，低电平

表示一个较低的电压范围（例如，低电平可以采用 0V、-5V、-10V 或其他合适的电压），且多个低电平可以相同也可以不同。例如，高电平的最小值比低电平的最大值大。

在本公开的实施例中，对一个节点（例如第一节点 H、第二节点 Q）进行充电，表示将该节点与一个高电平的电压信号电连接，从而利用该高电平的电压信号以拉高该节点的电平。例如，可以设置一个与该节点电连接的电容，对该节点进行充电即表示对与该节点电连接的电容进行充电。

该输出电路 300 被配置为在第一节点 H 的电平和第二节点 Q 的电平的共同控制下，将输出信号输出至输出端 OP。

例如，如图 1 所示，输出电路分别和第一节点 H 以及第二节点 Q 连接。在一些实施例中，输出电路 300 被配置为接收第二时钟信号 CLKB，当输出电路 300 在第一节点 H 的电平和第二节点 Q 的电平的共同控制下被导通时，可以将第二时钟信号 CLKB 作为输出信号输出至输出端 OP。

在本公开的实施例提供的移位寄存器单元 10 中，例如，在一帧的显示时段，第一输入电路 100 可以响应于第一输入信号 STU1 对第一节点 H 进行充电以拉高第一节点 H 的电平；第二输入电路 200 可以响应于第二输入信号 STU2 对第二节点 Q 进行充电以拉高第二节点 Q 的电平；当第一节点 H 的电平和第二节点 Q 的电平同时为高电平时，输出电路 300 被导通，从而可以将接收的第二时钟信号 CLKB 作为输出信号输出至输出端 OP，该输出信号例如可以驱动显示面板中的一行子像素单元进行显示。

例如，当移位寄存器单元 10 需要在一帧的消隐时段中输出驱动信号时，可以使该移位寄存器单元 10 的第二节点 Q 的高电平从一帧的显示时段保持至一帧的消隐时段。

在一帧的消隐时段中，首先第一输入电路 100 可以响应于第一输入信号 STU1 对第一节点 H 进行充电以拉高第一节点 H 的电平，输出电路 300 在第一节点 H 的高电平和第二节点 Q 的高电平的共同控制下被导通。然后当需要输出驱动信号时，提供高电平的第二时钟信号 CLKB，导通的输出电路 300 将该第二时钟信号 CLKB 作为输出信号输出至输出端 OP，该输出信号例如可以驱动显示面板中的一行子像素单元进行外部补偿。

多个本公开的实施例提供的移位寄存器单元 10 级联可以构成一个栅极驱动电路，该栅极驱动电路可以驱动一个显示面板进行外部补偿。例如，该

栅极驱动电路可以驱动一个显示面板实现逐行顺序补偿。例如，在第一帧中该栅极驱动电路输出用于驱动第一行子像素单元的驱动信号，在第二帧中该栅极驱动电路输出用于驱动第二行子像素单元的驱动信号，以此类推，从而完成对该显示面板的逐行顺序补偿。

- 5 又例如，该栅极驱动电路还可以驱动一个显示面板实现随机补偿。例如，在某一帧中，该栅极驱动电路可以输出用于任意一行子像素单元的驱动信号，该任意一行子像素单元是随机选择的，从而实现对该显示面板的随机补偿。

10 如上所述，本公开的实施例提供的移位寄存器单元 10 不仅可以在显示时段输出驱动信号，在消隐时段也可以输出驱动信号，从而在兼顾逐行顺序补偿（例如在关机检测中需要进行逐行顺序补偿）的前提下，还可以实现随机补偿，从而可以避免由于逐行顺序补偿造成的扫描线以及显示亮度不均匀等显示不良问题。

15 在一些实施例中，如图 2 所示，移位寄存器单元 10 还包括第一选择复位电路 400 和第二选择复位电路 500。

该第一选择复位电路 400 和第一节点 H 连接，被配置为响应于第一选择控制信号 OE 和显示复位信号对 STD 第一节点 H 进行复位。

20 例如，如图 2 所示，第一选择复位电路 400 被配置为接收第二电压 VGL1。当第一选择复位电路 400 在第一选择控制信号 OE 和显示复位信号 STD 的控制下被导通时，可以利用第二电压 VGL1 对第一节点 H 进行复位。

该第二选择复位电路 500 和第二节点 Q 连接，被配置为响应于第二选择控制信号 $\overline{\text{OE}}$ 和显示复位信号 STD 对第二节点 Q 进行复位。

25 例如，如图 2 所示，第二选择复位电路 500 被配置为接收第三电压 VGL2。当第二选择复位电路 500 在第二选择控制信号 $\overline{\text{OE}}$ 和显示复位信号 STD 的控制下被导通时，可以利用第三电压 VGL2 对第二节点 Q 进行复位。

在本公开的实施例中，第一选择控制信号 OE 和第二选择控制信号 $\overline{\text{OE}}$ 彼此互为反相信号。需要说明的是，OE 和 $\overline{\text{OE}}$ 彼此互为反相信号表示当 OE 为高电平时， $\overline{\text{OE}}$ 为低电平；而当 OE 为低电平时， $\overline{\text{OE}}$ 为高电平。

30 另外，在本公开的实施例中，第一选择控制信号 OE 和第二选择控制信号 $\overline{\text{OE}}$ 可以由控制电路提供，例如，在一个示例中，该控制电路可以实现为 FPGA（现场可编程门阵列）装置或其它信号发生电路。例如，在一个示例

中，控制电路可以提供第一选择控制信号 OE，然后该第一选择控制信号 OE 经过一个反相器输出后可以得到第二选择控制信号 $\overline{\text{OE}}$ 。

例如，在多个移位寄存器单元 10 级联构成一个栅极驱动电路时，除了后几级（例如最后一级等）移位寄存器单元外，其它级移位寄存器单元 10 可以和相邻级（例如下一级）移位寄存器单元 10 的输出端 OP 连接以接收输出信号，从而将该输出信号作为本级的显示复位信号 STD。对于后几级（例如最后一级等）移位寄存器单元来说，可以与单独的信号线连接以接收显示复位信号 STD。

需要说明的是，在本公开的实施例中，第二电压 VGL1 和第三电压 VGL2 例如为低电平。例如，在一些示例中，第二电压 VGL1 和第三电压 VGL2 可以相同，例如均为 -10V；又例如，在另一些示例中，第二电压 VGL1 和第三电压 VGL2 也可以不同，例如第二电压 VGL1 为 -6V 而第三电压 VGL2 为 -10V。以下各实施例与此相同，不再赘述。

在本公开的实施例提供的移位寄存器单元中，通过设置第一选择复位电路 400 和第二选择复位电路 500 可以更好地控制第一节点 H 和第二节点 Q 的电平，从而实现随机补偿。例如，当显示复位信号 STD 为高电平时，由于第一选择控制信号 OE 和第二选择控制信号 $\overline{\text{OE}}$ 彼此互为反相信号，所以使得第一选择复位电路 400 和第二选择复位电路 500 中只有一个处于导通状态，通过这种设置可以实现随机补偿。

例如，本公开的实施例提供的移位寄存器单元 10 级联可以构成一个栅极驱动电路，该栅极驱动电路可以驱动一个显示面板进行随机补偿。例如，当在某一帧的消隐时段中需要驱动显示面板中的第五行子像素单元时，则栅极驱动电路中的第五级移位寄存器单元可以进行如下操作。

在该帧的显示时段中，当第五级移位寄存器单元完成输出信号的输出后，可以使得第一选择控制信号 OE 的电平变高（此时显示复位信号 STD 也为高电平），从而使得第一选择复位电路 400 被导通，将第一节点 H 的电平拉低。这样避免了输出电路 300 在该帧的显示时段的后续时段中被导通，从而可以避免发生显示异常。同时，在该帧的显示时段中，当第一选择控制信号 OE 变高时，第二选择控制信号 $\overline{\text{OE}}$ 变低，从而使得第二选择复位电路 500 在此阶段不导通，从而不对第五级移位寄存器单元的第二节点 Q 进行复位。采用这种方式可以使得第五级移位寄存器单元中的第二节点 Q 的高电平一

直保持到该帧的消隐时段中。

在该帧的消隐时段中,首先可以利用第一输入电路 100 对第一节点 H 进行充电以拉高第一节点 H 的电平,从而使得输出电路 300 在第一节点 H 的高电平和第二节点 Q 的高电平的共同控制下被导通。然后当需要输出驱动信号时,提供高电平的第二时钟信号 CLKB,导通的输出电路 300 将该第二时钟信号 CLKB 作为输出信号输出至输出端 OP,该输出信号例如可以驱动显示面板中的一行子像素单元进行外部补偿。采用上述操作可以实现随机补偿。

在一些实施例中,如图 3 所示,该移位寄存器单元 10 还可以包括第一控制电路 600,该第一控制电路 600 被配置为在第二节点 Q 的电平的控制下,对第三节点 QB 的电平进行控制。

例如,如图 3 所示,第一控制电路 600 和第二节点 Q 以及第三节点 QB 连接,且被配置为接收第四电压 VDD_A、第五电压 VDD_B 和第三电压 VGL2。

例如,在本公开的实施例中,第四电压 VDD_A 和第五电压 VDD_B 可以被配置为彼此互为反相信号,即当第四电压 VDD_A 为高电平时,第五电压 VDD_B 为低电平;而当第五电压 VDD_B 为高电平时,第四电压 VDD_A 为低电平,即在同一时刻保证第四电压 VDD_A 和第五电压 VDD_B 中有一个为高电平。

例如,当第二节点 Q 为高电平时,第一控制电路 600 可以利用低电平的第三电压 VGL2 对第三节点 QB 的电平进行下拉。又例如,当第二节点 Q 为低电平时,第一控制电路 600 可以利用第四电压 VDD_A 或第五电压 VDD_B 对第三节点 QB 进行充电,以将第三节点 QB 的电平拉高至高电平。

在本公开的实施例中,使得第一控制电路 600 接收第四电压 VDD_A 和第五电压 VDD_B,且保证第四电压 VDD_A 和第五电压 VDD_B 中有一个为高电平,采用这种方式可以提高电路的信赖性。

在一些实施例中,如图 3 所示,移位寄存器单元 10 的输出端包括第一信号输出端 OUT1 和第二信号输出端 OUT2,第一信号输出端 OUT1 和第二信号输出端被配置为输出上述输出信号。例如,在一帧的显示时段中,第一信号输出端 OUT1 输出的信号例如可以提供至其它级移位寄存器单元 10 以作为第二输入信号 STU2,从而完成显示扫描的逐行移位;第二信号输出端

OUT2 输出的信号例如可以驱动显示面板中的一行子像素单元进行显示扫描。例如, 在一些实施例中, 第一信号输出端 OUT1 和第二信号输出端 OUT2 输出的信号时序相同。又例如, 在一帧的消隐时段中, 第二信号输出端 OUT2 输出的信号可以用于驱动显示面板中的一行子像素单元以完成对该行子像素单元的外部补偿。

在本公开的实施例提供的移位寄存器单元 10 中, 通过设置两个信号输出端 (OUT1 和 OUT2), 可以提高该移位寄存器单元 10 的驱动能力。

在一些实施例中, 如图 3 所示, 移位寄存器单元 10 还包括第一复位电路 700, 该第一复位电路 700 被配置为在第三节点 QB 的电平的控制下, 对第二节点 Q、第一信号输出端 OUT1 和第二信号输出端 OUT2 进行复位。

例如, 如图 3 所示, 第一复位电路 700 和第三节点 QB、第二节点 Q、第一信号输出端 OUT1 以及第二信号输出端 OUT2 连接, 且被配置为接收第三电压 VGL2 和第六电压 VGL3。

例如, 第一复位电路 700 在第三节点 QB 的电平的控制下被导通时, 可以利用第三电压 VGL2 对第二节点 Q 和第一信号输出端 OUT1 进行复位; 同时可以利用第六电压 VGL3 对第二信号输出端 OUT2 进行复位。

需要说明的是, 在本公开的实施例中, 第六电压 VGL3 例如为低电平。

另外, 第一复位电路 700 也可以不接收第六电压 VGL3, 而是利用第三电压 VGL2 对第二信号输出端 OUT2 进行复位, 本公开的实施例对此不作限定。

在一些实施例中, 如图 3 所示, 移位寄存器单元 10 还可以包括第二控制电路 800。该第二控制电路 800 被配置为响应于第二输入信号 STU2 对第三节点 QB 的电平进行控制。

例如, 如图 3 所示, 第二控制电路 800 和第三节点 QB 连接, 且被配置为接收第二输入信号 STU2 和第三电压 VGL2。例如, 当第二控制电路 800 在第二输入信号 STU2 的控制下被导通时, 可以利用低电平的第三电压 VGL2 对第三节点 QB 的电平进行下拉。例如, 在一帧的显示时段中, 第二控制电路 800 将第三节点 QB 的电平下拉至低电平时, 可以避免第三节点 QB 的电平对第二节点 Q 的电平的影响, 从而使得第二输入电路 200 在显示时段中对第二节点 Q 的充电更充分。

需要说明的是, 关于第二输入信号 STU2 的描述可以参考上述对第二输

入电路 200 中的相应描述，这里不再赘述。

在一些实施例中，如图 3 所示，移位寄存器单元还包括第二复位电路 900 和第三复位电路 1000。

该第二复位电路 900 被配置为响应于全局复位信号 TRST 对第一节点 H 进行复位。例如，如图 3 所示，第二复位电路 900 和第一节点 H 连接，且被配置为接收全局复位信号 TRST 和第八电压 VGL5。当第二复位电路 900 在全局复位信号 TRST 的控制下被导通时，可以利用第八电压 VGL5 对第一节点 H 进行复位。需要说明的是，在本公开的实施例中，第八电压 VGL5 例如为低电平。

该第三复位电路 1000 被配置为响应于全局复位信号 TRST 对第二节点 Q 进行复位。例如，如图 3 所示，第三复位电路 1000 和第二节点 Q 连接，且被配置为接收全局复位信号 TRST 和第三电压 VGL2。当第三复位电路 1000 在全局复位信号 TRST 的控制下被导通时，可以利用低电平的第三电压 VGL2 对第二节点 Q 进行复位。

例如，在多个移位寄存器单元 10 级联构成一个栅极驱动电路时，在一帧的显示时段前，各级移位寄存器单元 10 中的第二复位电路 900 和第三复位电路 1000 响应于全局复位信号 TRST 而被导通，以实现对该栅极驱动电路的全局复位。

需要说明的是，在本公开的实施例中，例如，第二电压 VGL1、第三电压 VGL2、第六电压 VGL3、第八电压 VGL5 以及下文中提到的第七电压 VGL4 均为低电平，它们可以设置为相同，即可以通过同一根信号线提供；又例如，上述五个电压中的两个、三个或四个可以设置为相同，相同的电压通过同一根信号线提供；又例如，上述五个电压中的任意两个均不相同，即需要通过五根不同的信号线分别提供电压。本公开的实施例对第二电压 VGL1、第三电压 VGL2、第六电压 VGL3、第七电压 VGL4 以及第八电压 VGL5 的设置方式不作限定。

另外，需要说明的是，在本公开的实施例中，各个节点（第一节点 H、第二节点 Q 和第三节点 QB）是为了更好地描述电路结构而设置的，并非表示实际存在的部件。节点表示电路结构中相关电路连接的汇合点，即与具有相同节点标识连接的相关电路彼此之间是电连接的。例如，如图 3 所示，第一控制电路 600、第一复位电路 700 以及第二控制电路 800 都和第三节点 QB

连接，也就是表示这些电路彼此之间是电连接的。

本领域技术人员可以理解，尽管图 3 中的移位寄存器单元 10 示出了第一控制电路 600、第一复位电路 700、第二控制电路 800、第二复位电路 900 以及第三复位电路 1000，然而上述示例并不能限制本公开的保护范围。在实际应用中，技术人员可以根据情况选择使用或不使用上述各电路中的一个或多个，基于前述各电路的各种组合变型均不脱离本公开的原理，对此不再赘述。

在本公开的实施例的一个实施例中，图 3 中所示的移位寄存器单元 10 可以实现为图 4 所示的电路结构。如图 4 所示，该移位寄存器单元 10 包括：第一至第十八晶体管 M1-M18、第一电容 C1 以及第二电容 C2。输出端 OP 包括第一信号输出端 OUT1 和第二信号输出端 OUT2，第一信号输出端 OUT1 和第二信号输出端 OUT2 均可以用于输出上述输出信号。需要说明的是，在图 4 中所示的晶体管均以 N 型晶体管为例进行说明。

如图 4 所示，第一输入电路可以实现为包括第一晶体管 M1 和第一电容 C1。第一晶体管 M1 的栅极和第一极连接，且被配置为接收第一时钟信号 CLK_A，第一晶体管 M1 的第二极和第一节点 H 连接。例如，当第一时钟信号 CLK_A 为高电平时，第一晶体管 M1 被导通，从而可以利用高电平的第一时钟信号 CLK_A 对第一节点 H 进行充电。

第一电容 C1 的第一极和第一节点 H 连接，第一电容 C1 的第二极被配置为接收第二电压 VGL1。通过设置第一电容 C1 可以保持第一节点 H 的电平。需要说明的是，在本公开的实施例中，第一电容 C1 的第二极除了可以被配置为接收第二电压 VGL1 外，还可以直接接地，本公开的实施例对此不作限定。

如图 4 所示，第二输入电路 200 可以实现为第二晶体管 M2。第二晶体管 M2 的栅极被配置为接收第二输入信号 STU2，第二晶体管 M2 的第一极被配置为接收第一电压 VDD，第二晶体管 M2 的第二极和第二节点 Q 连接。例如，当第二输入信号 STU2 为高电平时，第二晶体管 M2 被导通，从而可以利用高电平的第一电压 VDD 对第二节点 Q 进行充电。

需要说明的是，在本公开的实施例中，第二输入电路 200 还可以采用其它实现方式，只要可以实现相应的功能即可，本公开的实施例对此不作限定。例如，在另一个实施例中，第二晶体管 M2 的栅极和第一极还可以同时被配

置为接收第二输入信号 STU2，从而在第二输入信号 STU2 为高电平时，可以直接利用高电平的第二输入信号 STU2 对第二节点 Q 进行充电。

如图 4 所示，输出电路 300 可以实现为包括第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 和第二电容 C2。

5 第三晶体管 M3 的栅极和第一节点 H 连接，第三晶体管 M3 的第一极被配置为接收第二时钟信号 CLKB，第三晶体管 M3 的第二极和第四晶体管 M4 的第一极连接。第四晶体管 M4 的栅极和第二节点 Q 连接，第四晶体管 M4 的第二极和第一信号输出端 OUT1 连接。

10 第五晶体管 M5 的栅极和第二节点 Q 连接，第五晶体管 M5 的第一极和第三晶体管 M3 的第二极连接，第五晶体管 M5 的第二极和第二信号输出端 OUT2 连接。第二电容 C2 的第一极和第二节点 Q 连接，第二电容 C2 的第二极和第一信号输出端 OUT1 连接。

例如，当第一节点 H 的电平和第二节点 Q 的电平同时为高电平时，第三晶体管 M3、第四晶体管 M4 以及第五晶体管 M5 被导通，从而可以将第三晶体管 M3 的第一极接收的第二时钟信号 CLKB 输出至第一信号输出端 OUT1 和第二信号输出端 OUT2。例如，第一信号输出端 OUT1 输出的信号可以被提供至其它级移位寄存器单元以用作第二输入信号 STU2，从而完成显示扫描的逐行移位；第二信号输出端 OUT2 输出的信号可以驱动显示面板中的一行子像素单元进行显示扫描或者进行外部补偿。

20 如图 4 所示，第一选择复位电路 400 包括第六晶体管 M6 和第七晶体管 M7。第六晶体管 M6 的栅极被配置为接收第一选择控制信号 OE，第六晶体管 M6 的第一极和第一节点 H 连接，第六晶体管 M6 的第二极和第七晶体管 M7 的第一极连接。第七晶体管 M7 的栅极被配置为接收显示复位信号 STD，第七晶体管 M7 的第二极被配置为接收第二电压 VGL1。

25 例如，当第一选择控制信号 OE 和显示复位信号 STD 都为高电平时，第六晶体管 M6 和第七晶体管 M7 被导通，从而可以利用低电平的第二电压 VGL1 对第一节点 H 复位，即释放第一电容 C1 中存储的电荷。

需要说明的是，在本公开的实施例中，第六晶体管 M6 和第七晶体管 M7 在电路中的设置位置还可以互换，即第六晶体管 M6 的栅极被配置为接收显示复位信号 STD，而第七晶体管 M7 的栅极被配置为接收第一选择控制信号 OE，同样可以实现第一选择复位电路 400 的功能。

如图 4 所示, 第二选择复位电路 500 包括第八晶体管 M8 和第九晶体管 M9。第八晶体管 M8 的栅极被配置为接收显示复位信号 STD, 第八晶体管 M8 的第一极和第二节点 Q 连接, 第八晶体管 M8 的第二极和第九晶体管 M9 的第一极连接。第九晶体管 M9 的栅极被配置为接收第二选择控制信号 $\overline{OE}$, 第九晶体管 M9 的第二极被配置为接收第三电压 VGL2。

例如, 当第二选择控制信号 $\overline{OE}$ 和显示复位信号 STD 都为高电平时, 第八晶体管 M8 和第九晶体管 M9 被导通, 从而可以利用低电平的第三电压 VGL2 对第二节点 Q 复位, 即释放第二电容 C2 中存储的电荷。

需要说明的是, 在本公开的实施例中, 第八晶体管 M8 和第九晶体管 M9 在电路中的设置位置还可以互换, 即第八晶体管 M8 的栅极被配置为接收第二选择控制信号 $\overline{OE}$, 而第九晶体管 M9 的栅极被配置为接收显示复位信号 STD, 同样可以实现第二选择复位电路 500 的功能。

如图 4 所示, 第一控制电路 600 可以实现为包括第十晶体管 M10、第十一晶体管 M11 和第十二晶体管 M12。第十晶体管 M10 的栅极和第一极连接, 且被配置为接收第四电压 VDD_A, 第十晶体管 M10 的第二极和第三节点 QB 连接。第十一晶体管 M11 的栅极和第一极连接, 且被配置为接收第五电压 VDD_B, 第十一晶体管 M11 的第二极和第三节点 QB 连接。第十二晶体管 M12 的栅极和第二节点 Q 连接, 第十二晶体管 M12 的第一极和第三节点 QB 连接, 第十二晶体管 M12 的第二极被配置为接收第三电压 VGL2。

如上所述, 第四电压 VDD_A 和第五电压 VDD_B 被配置为彼此互为反相信号, 即当第四电压 VDD_A 为高电平时, 第五电压 VDD_B 为低电平; 而当第五电压 VDD_B 为高电平时, 第四电压 VDD_A 为低电平, 即第十晶体管 M10 和第十一晶体管 M11 中只有一个晶体管处于导通状态, 这样可以避免晶体管长期导通引起的性能漂移, 从而增强该移位寄存器单元 10 的可靠性。

当第十晶体管 M10 或第十一晶体管 M11 被导通时, 第四电压 VDD_A 或第五电压 VDD_B 可以对第三节点 QB 进行充电, 从而使得第三节点 QB 的电平变为高电平。当第二节点 Q 的电平为高电平时, 第十二晶体管 M12 被导通, 例如在晶体管的设计上, 可以将第十二晶体管 M12 与第十晶体管 M10 (或第十一晶体管 M11) 配置为 (例如对二者的尺寸比、阈值电压等配置) 在 M12 和 M10 (M11) 均被导通时, 第三节点 QB 的电平可以被下拉至

低电平，该低电平可以使得第十三晶体管 M13、第十四晶体管 M14 以及第十五晶体管 M15 保持截止状态。

如图 4 所示，第一复位电路 700 包括第十三晶体管 M13、第十四晶体管 M14 和第十五晶体管 M15。第十三晶体管 M13 的栅极和第三节点 QB 连接，第十三晶体管 M13 的第一极和第二节点 Q 连接，第十三晶体管 M13 的第二极被配置为接收第三电压 VGL2。第十四晶体管 M14 的栅极和第三节点 QB 连接，第十四晶体管 M14 的第一极和第一信号输出端 OUT1 连接，第十四晶体管 M14 的第二极被配置为接收第三电压 VGL2。第十五晶体管 M15 的栅极和第三节点 QB 连接，第十五晶体管 M15 的第一极和第二信号输出端 OUT2 连接，第十五晶体管 M15 的第二极被配置为接收第六电压 VGL3。

例如，当第三节点 QB 为高电平时，第十三晶体管 M13、第十四晶体管 M14 和第十五晶体管 M15 被导通，从而可以利用低电平的第三电压 VGL2 对第二节点 Q 和第一信号输出端 OUT1 进行复位，同时可以利用低电平的第六电压 VGL3 对第二信号输出端 OUT2 进行复位。

如图 4 所示，第二控制电路 800 可以实现为第十六晶体管 M16。第十六晶体管 M16 的栅极被配置为接收第二输入信号 STU2，第十六晶体管 M16 的第一极和第三节点 QB 连接，第十六晶体管 M16 的第二极被配置为接收第三电压 VGL2。

例如，当第二输入信号 STU2 为高电平时，第十六晶体管 M16 被导通，从而可以利用低电平的第三电压 VGL2 对第三节点 QB 进行复位。

如图 4 所示，第二复位电路 900 可以实现为第十七晶体管 M17，第三复位电路 1000 可以实现为第十八晶体管 M18。

第十七晶体管 M17 的栅极被配置为接收全局复位信号 TRST，第十七晶体管 M17 的第一极和第一节点 H 连接，第十七晶体管 M17 的第二极被配置为接收第八电压 VGL5。

第十八晶体管 M18 的栅极被配置为接收全局复位信号 TRST，第十八晶体管 M18 的第一极和第二节点 Q 连接，第十八晶体管 M18 的第二极被配置为接收第三电压 VGL2。

例如，当全局复位信号 TRST 为高电平时，第十七晶体管 M17 和第十八晶体管 M18 被导通，从而可以利用低电平的第八电压 VGL5 对第一节点 H 进行复位，同时可以利用低电平的第三电压 VGL2 对第二节点 Q 进行复位，

从而实现全局复位。

如图 5 所示，本公开的另一些实施例还提供一种移位寄存器单元 10，图 5 中所示的移位寄存器单元 10 和图 4 中所示的移位寄存器单元 10 相比，输出端 OP 还包括第三输出端 OUT3，输出电路 300 还包括第十九晶体管 M19 和第二十晶体管 M20，相应地，第一复位电路 700 还包括第二十一晶体管 M21。

第十九晶体管 M19 的栅极和第一节点 H 连接，第十九晶体管 M19 的第一极被配置为接收第三时钟信号 CLKC，第十九晶体管 M19 的第二极和第二十晶体管 M20 的第一极连接。第二十晶体管 M20 的栅极和第二节点 Q 连接，第二十晶体管 M20 的第二极和第三信号输出端 OUT3 连接。第二十一晶体管 M21 的栅极和第三节点 QB 连接，第二十一晶体管 M21 的第一极和第三信号输出端 OUT3 连接，第二十一晶体管 M21 的第二极被配置为接收第七电压 VGL4。需要说明的是，在本公开的实施例中，第七电压 VGL4 例如为低电平。

例如，当第一节点 H 和第二节点 Q 为高电平时，第十九晶体管 M19 和第二十晶体管 M20 被导通，从而可以将第十九晶体管的第一极接收的第三时钟信号 CLKC 输出至第三信号输出端 OUT3。例如，当第三节点 QB 为高电平时，第二十一晶体管 M21 被导通，从而可以利用低电平的第七电压 VGL4 对第三信号输出端 OUT3 进行复位。

例如，在一个示例中，移位寄存器单元 10 接收的第三时钟信号 CLKC 可以被配置为和接收的第二时钟信号 CLKB 相同；又例如，在另一个示例中，移位寄存器单元 10 接收的第三时钟信号 CLKC 还可以被配置为和接收的第二时钟信号 CLKB 不同，从而使得第二信号输出端 OUT2 和第三信号输出端 OUT3 可以分别输出不同的驱动信号，从而可以提高该移位寄存器单元 10 的驱动能力以及增加该移位寄存器单元 10 的输出信号的多样性。

尽管以上仅示出了移位寄存器单元包括两个、三个输出端的示例，本领域技术人员可以理解，根据本公开的描述，可以根据实际情况设置更多个输出端，上述示例不应构成对本公开保护范围的限制。

需要说明的是，本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的，

所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极。此外，按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。当晶体管为 P 型晶体管时，开启电压为低电平电压（例如，0V、-5V、-10V 或其他合适的电压），关闭电压为高电平电压（例如，5V、10V 或其他合适的电压）；当晶体管为 N 型晶体管时，开启电压为高电平电压（例如，5V、10V 或其他合适的电压），关闭电压为低电平电压（例如，0V、-5V、-10V 或其他合适的电压）。

另外，需要说明的是，本公开的实施例中提供的移位寄存器单元 10 中采用的晶体管均是以 N 型晶体管为例进行说明的，本公开的实施例包括但不限于此，例如移位寄存器单元 10 中的至少部分晶体管也可以采用 P 型晶体管。

本公开的一些实施例还提供一种栅极驱动电路 20，如图 6 所示，该栅极驱动电路 20 包括多个级联的移位寄存器单元 10，其中任意一个或多个移位寄存器单元 10 可以采用本公开的实施例提供的移位寄存器单元 10 的结构或其变型。需要说明的是，图 6 中仅示意性的示出了栅极驱动电路 20 的前四级移位寄存器单元（A1、A2、A3 和 A4），本公开的实施例包括但不限于此。

例如，如图 6 所示，每个移位寄存器单元 10 中的第二信号输出端 OUT2 可以分别和显示面板中不同行的子像素单元连接，以驱动子像素单元中的扫描晶体管或感测晶体管。例如，A1、A2、A3 以及 A4 可以分别驱动显示面板的第一行、第二行、第三行以及第四行子像素单元。

如图 6 所示，该栅极驱动电路 20 还包括第一子时钟信号线 CLK_1、第二子时钟信号线 CLK_2、第三子时钟信号线 CLK_3、第四子时钟信号线 CLK_4、第五子时钟信号线 CLK_5 和第六子时钟信号线 CLK_6。

第 2n-1 级移位寄存器单元和第一子时钟信号线 CLK_1 连接，以接收第一子时钟信号线 CLK_1 上的时钟信号（第二时钟信号 CLKB），并将该时钟信号作为第 2n-1 级移位寄存器单元的输出信号输出；第 2n 级移位寄存器单元和第二子时钟信号线 CLK_2 连接，以接收第二子时钟信号线 CLK_2 上的时钟信号（第二时钟信号 CLKB），并将该时钟信号作为第 2n 级移位寄存器单元的输出信号输出；每一级移位寄存器单元和第三子时钟信号线 CLK_3 连接以接收第一时钟信号 CLKA；每一级移位寄存器单元和第四子时钟信号

线 CLK_4 连接以接收全局复位信号 TRST; 每一级移位寄存器单元和第五子时钟信号线 CLK_5 连接以接收第一选择控制信号 OE; 以及每一级移位寄存器单元和第六子时钟信号线 CLK_6 连接以接收第二选择控制信号 $\overline{OE}$; n 为大于零的整数。

- 5 需要说明的是, 在一些实施例中, 也可以不设置第六子时钟信号线 CLK_6。使得第五子时钟信号线 CLK_5 提供的第一选择控制信号 OE 经过一个反相器后再提供至每一级移位寄存器单元 10。

如图 6 所示, 各级移位寄存器单元和前一级移位寄存器单元的第一信号输出端 OUT1 连接以接收前一级移位寄存器单元的输出信号, 并将该输出信号作为第二输入信号 STU2; 各级移位寄存器单元和后一级移位寄存器单元的第一输出信号端 OUT1 连接以接收后一级移位寄存器单元的输出信号, 并将该输出信号作为显示复位信号 STD。

需要说明的是, 图 6 中所示的级联关系仅是一种示例, 根据本公开的描述, 还可以根据实际情况采用其它级联方式。例如, 当采用的时钟信号不同
15 时, 各级移位寄存器单元之间的级联关系也要相应的变化。

图 7 示出了图 6 所示的栅极驱动电路 20 工作时的信号时序图。在图 7 中, H<1>和 H<5>分别表示栅极驱动电路 20 中第一级和第五级移位寄存器单元中的第一节点 H, Q<1>和 Q<5>分别表示栅极驱动电路 20 中第一级和第五级移位寄存器单元中的第二节点 Q。OUT2<1>、OUT2<2>、OUT2<5>和
20 OUT2<6>分别表示栅极驱动电路 20 中的第一级、第二级、第五级以及第六级移位寄存器单元中的第二时钟信号端 OUT2 输出的信号。需要说明的是, 在本实施例中, 例如, 每一级移位寄存器单元 10 的第一信号输出端 OUT1 和第二信号输出端 OUT2 输出的信号相同, 所以在图 7 中未示出第一级、第二级、第五级以及第六级移位寄存器单元中的第一时钟信号端 OUT1 输出的
25 信号。

1F 表示第一帧, DS 表示第一帧中的显示时段, BL 表示第一帧中的消隐时段。需要说明的是, 图 7 中的 STU 表示第一级移位寄存器单元接收的第二输入信号, STD 表示最后一级移位寄存器单元接收的显示复位信号。

另外, 需要说明的是, 在图 7 中是以第四电压 VDD_A 为低电平而第五
30 电压 VDD_B 为高电平为例进行示意的, 但本公开的实施例不限于此。图 7 所示的信号时序图中的信号电平只是示意性的, 不代表真实电平值。

下面结合图 7 中的信号时序图,对图 6 中所示的栅极驱动电路 20 的工作原理进行说明,例如,图 7 中所示的栅极驱动电路 20 中的移位寄存器单元可以采用图 4 中所示的移位寄存器单元。

在第一帧 1F 开始前,第四子时钟信号线 CLK_4 提供高电平,由于每一级移位寄存器单元和第四子时钟信号线 CLK_4 连接以接收全局复位信号 TRST,所以高电平的全局复位信号 TRST 使得第十七晶体管 M17 和第十八晶体管 M18 导通,从而可以对每一级移位寄存器单元中的第一节点 H 和第二节点 Q 进行复位。

由于第五电压 VDD_B 为高电平,第十一晶体管 M11 被导通,使得第三节点 QB 被充电至高电平。第三节点 QB 的高电平使得第十三晶体管 M13 被导通,从而对第二节点 Q 的电平进一步下拉。

在第一帧 1F 的显示时段 DS 中,对栅极驱动电路 20 的工作过程描述如下。

在第一阶段 P1 中,提供给第一级移位寄存器单元的第二输入信号(STU)为高电平,所以第一级移位寄存器单元中的第二晶体管 M2 被导通,高电平的第一电压 VDD 对第二节点 Q<1>进行充电,使得第二节点 Q<1>的电平变为高电平并被第二电容 C2 保持。同时,在第一阶段 P1,第三子时钟信号线 CLK_3 提供的第一时钟信号 CLKA 为高电平,所以第一级移位寄存器单元中的第一晶体管 M1 被导通,高电平的第一时钟信号 CLKA 对第一节点 H<1>进行充电,使得第一节点 H<1>的电平变为高电平并被第一电容 C1 保持。

第三晶体管 M3 在第一节点 H<1>的高电平的控制下被导通,并且第四晶体管 M4 和第五晶体管 M5 在第二节点 Q<1>的高电平的控制下被导通,但由于此时第一级移位寄存器单元接收的第二时钟信号 CLKB (由第一子时钟信号线 CLK_1 提供)为低电平,所以第一级移位寄存器单元的第二输出端 OUT2<1>输出该低电平信号。

在第二阶段 P2 中,由于第一电容 C1 和第二电容 C2 的保持作用,所以第三晶体管 M3、第四晶体管 M4 以及第五晶体管 M5 保持导通状态,同时第一级移位寄存器单元接收的第二时钟信号 CLKB 变为高电平,第一级移位寄存器单元的第二输出端 OUT2<1>输出该高电平信号。需要说明的是,在第二阶段 P2 第一级移位寄存器单元的第一信号输出端也输出该高电平信号,图 7 中未示出。例如,第一级移位寄存器单元的第一信号输出端输出的高电

平信号可以提供至第二级移位寄存器单元以作为第二输入信号 STU2，从而实现逐行扫描显示；第一级移位寄存器单元的第二输出端 OUT2<1>输出的高电平信号可以用于驱动显示面板中的一行子像素单元进行显示。同时，在此阶段中，第二节点 Q<1>的电平由于第二电容 C2 的自举作用而进一步被拉高。

在第三阶段 P3 中，由于第一级移位寄存器单元接收的第二时钟信号 CLKB 变为低电平，所以第一级移位寄存器单元的第二输出端 OUT2<1>输出该低电平信号。同时，在第三阶段 P3 第二级移位寄存器单元的第一信号输出端输出的信号（和第二信号输出端 OUT2<2>相同）为高电平，所以第一级移位寄存器单元接收的显示复位信号 STD 为高电平，另外，第六子时钟信号线 CLK_6 提供的第二选择控制信号 $\overline{OE}$ 也为高电平，从而使得第八晶体管 M8 和第九晶体管 M9 被导通，低电平的第三电压 VGL2 对第二节点 Q<1>的电平进行下拉复位，所以第二节点 Q<1>的电平变为低电平。

由于第二节点 Q<1>的电平为低电平，所以第十二晶体管 M12 被截止。第十一晶体管 M11 可以对第三节点 QB 进行充电以拉高第三节点 QB 的电平。由于第三节点 QB 为高电平，所以可以控制第十三晶体管 M13、第十四晶体管 M14 和第十五晶体管 M15 被导通，从而可以对第二节点 Q<1>、第一信号输出端以及第二信号输出端 OUT2<1>的电平进一步下拉复位，实现降噪功能。

第一级移位寄存器单元驱动显示面板中第一行的子像素完成显示后，依次类推，第二级、第三级等移位寄存器单元逐行驱动显示面板中的子像素单元完成一帧的显示驱动。至此，第一帧 1F 的显示时段 DS 结束。

例如，当第一帧 1F 中需要对第五行子像素单元进行补偿时，则在第一帧 1F 的显示时段 DS 中对第五级移位寄存器单元还进行如下操作。

在第四阶段 P4 中，第五级移位寄存器单元中的第二输入电路对第二节点 Q<5>进行充电；在第五阶段 P5 中，第五级移位寄存器单元的输出电路输出驱动信号。需要说明的是，第四阶段 P4 和第五阶段 P5 分别和第一阶段 P1 和第二阶段 P2 的工作过程类似，这里不再赘述。

在第六阶段 P6 中，第五子时钟信号线 CLK_5 提供的第一选择控制信号 OE 变为高电平，同时，在第六阶段 P6 第五级移位寄存器单元接收的显示复位信号（和第六级移位寄存器单元的第一信号输出端输出的信号相同）为高电

平, 所以第六晶体管 M6 和第七晶体管 M7 被导通, 低电平的第二电压 VGL1 对第一节点 H<5>的电平进行下拉复位, 第一节点 H<5>的电平变为低电平。

5 同时, 在第六阶段 P6, 虽然第五级移位寄存器单元接收的显示复位信号为高电平, 第八晶体管被导通, 但由于第二选择控制信号 $\overline{OE}$ 为低电平, 所以第九晶体管 M9 被截止, 所以第二选择复位电路不会对第二节点 Q<5>的电平进行下拉复位。但在此阶段第一信号输出端输出的信号为低电平, 由于第二电容 C2 的自举作用, 第二节点 Q<5>的电平会下降一定幅度, 但仍会保持高电平, 例如该高电平可以保持至第一帧 1F 的消隐时段 BL 中。

10 在第六阶段 P6 中, 由于第二节点 Q<5>的电平不会被拉低至低电平, 且第二节点 Q<5>的高电平会一直保持至消隐时段 BL 中, 所以需要对第一节点 H<5>进行复位以拉低第一节点 H<5>的电平, 从而可以避免第五级移位寄存器单元在显示时段 DS 的后续时段中输出驱动信号。

例如, 当第一帧 1F 中需要对第五行子像素单元进行补偿时, 则在第一帧 1F 的消隐时段 BL 中对第五级移位寄存器单元还进行如下操作。

15 在第七阶段 P7 中, 第三子时钟信号线 CLK_3 提供的第一时钟信号 CLKA 变为高电平, 第一晶体管 M1 被导通, 高电平的第一时钟信号 CLKA 对第一节点 H<5>进行充电, 使得第一节点 H<5>的电平变为高电平并被第一电容 C1 保持。

20 在第八阶段 P8 中, 第五级移位寄存器单元接收的第二时钟信号 CLKB (由第一子时钟信号线 CLK_1 提供) 变为高电平, 第二节点 Q<5>的电平由于第二电容 C2 的自举作用而进一步被拉高。由于第一节点 H<5>的电平和第二节点 Q<5>的电平均为高电平, 所以第三晶体管 M3、第四晶体管 M4 和第五晶体管 M5 被导通, 从而使得高电平的第二时钟信号 CLKB 可以输出至第一信号输出端和第二信号输出端 OUT2<5>。例如, 第二信号输出端 OUT2<5> 25 输出的高电平信号可以用于驱动显示面板中的第五行子像素单元, 以实现外部补偿。

在第九阶段 P9 中, 第五级移位寄存器单元接收的第二时钟信号 CLKB 由高电平变为低电平, 由于第二电容 C2 的自举作用, 第二节点 Q<5>的电平会下降一定幅度。

30 在第十阶段 P10 中, 第四子时钟信号线 CLK_4 提供的全局复位信号 TRST 为高电平, 所以每一级移位寄存器单元中的第十七晶体管 M17 和第十

八晶体管 M18 被导通，从而可以对每一级移位寄存器单元中的第一节点 H 的电平和第二节点 Q 的电平进行下拉复位，以实现栅极驱动电路 20 的全局复位。

至此，第一帧的驱动时序结束。后续在第二帧、第三帧等更多阶段中对栅极驱动电路的驱动可以参考上述描述，这里不再赘述。

需要说明是，在上述对随机补偿的工作原理进行描述时，是以第一帧的消隐时段输出对应于显示面板的第五行子像素单元的驱动信号为例进行说明的，本公开对此不作限定。例如，当在某一帧的消隐时段中需要输出对应于显示面板的第 n 行子像素单元的驱动信号时（ n 为大于零的整数），则可以如下操作。

例如，在该帧的显示时段中，当第 n 级移位寄存器单元接收的显示复位 STD 为高时，使得接收的第一选择控制信号 OE 也为高电平，从而将第 n 级移位寄存器单元的第一节点 H 的电平拉低至低电平。同时，使得接收的第二选择控制信号 $\overline{OE}$ 为低电平，以保证第 n 级移位寄存器单元的第二节点 Q 的电平不会被下拉至低电平，第 n 级移位寄存器单元的第二节点 Q 的高电平可以一直保持至该帧的消隐时段中。在显示时段中，除了第 n 级移位寄存器单元外的其它级移位寄存器单元中的第二节点 Q 会被正常复位。

在该帧的消隐时段中，首先对第 n 级移位寄存器单元中的第一节点 H 进行充电以拉高第一节点 H 的电平；然后当需要输出驱动信号时，提供高电平的第二时钟信号 CLKB，导通的输出电路 300 将该第二时钟信号 CLKB 作为输出信号输出至第一信号输出端 OUT1 和第二信号输出端 OUT2，第二信号输出端 OUT2 输出的信号例如可以驱动显示面板中的一行子像素单元进行外部补偿。

本公开的实施例提供的栅极驱动电路 20 在兼顾逐行顺序补偿（例如在关机检测中需要进行逐行顺序补偿）的前提下，还可以实现随机补偿，从而可以避免由于逐行顺序补偿造成的扫描线以及显示亮度不均匀等显示不良问题。

本公开的至少一实施例还提供一种显示装置 1，如图 8 所示，该显示装置 1 包括本公开实施例提供的栅极驱动电路 20。该显示装置 1 还包括显示面板 40，显示面板 40 包括由多个子像素单元 410 构成的阵列。例如，该显示装置 1 还可以包括数据驱动电路 30。数据驱动电路 30 用于提供数据信号至

像素阵列；栅极驱动电路 20 用于提供驱动信号至像素阵列，例如该驱动信号可以驱动子像素单元 410 中的扫描晶体管和感测晶体管。数据驱动电路 30 通过数据线 DL 与子像素单元 410 电连接，栅极驱动电路 20 通过栅线 GL 与子像素单元 410 电连接。

5 需要说明的是，本实施例中的显示装置 1 可以为：液晶面板、液晶电视、显示器、OLED 面板、OLED 电视、电子纸显示装置、手机、平板电脑、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本公开的实施例提供的显示装置 1 的技术效果可以参考上述实施例中关于栅极驱动电路 20 的相应描述，这里不再赘述。

10 本公开的至少实施例还提供一种驱动方法，可以用于驱动本公开的实施例提供的移位寄存器单元 10，多个该移位寄存器单元 10 可以级联构建本公开一实施例的栅极驱动电路 20，该栅极驱动电路 20 用于驱动显示面板显示至少一帧画面。

该驱动方法包括用于一帧的显示时段 DS 和消隐时段 BL。如图 9 所示，
15 该驱动方法包括以下操作步骤。

步骤 S100：在显示时段 DS：使得第一输入电路 100 响应于第一输入信号 STU1 对第一节点 H 进行充电，使得第二输入电路 200 响应于第二输入信号 STU2 对第二节点 Q 进行充电，以及使得输出电路 300 在第一节点 H 的电平和第二节点 Q 的电平的共同控制下，将输出信号输出至输出端 OP。

20 步骤 S200：在消隐时段 BL：使得第一输入电路 100 响应于第一输入信号 STU1 对第一节点 H 进行充电，以及使得输出电路 300 在第一节点 H 的电平和第二节点 Q 的电平的共同控制下，将输出信号输出至输出端 OP。

本公开的一些实施例还提供另一种驱动方法，可以用于本公开的实施例提供的栅极驱动电路 20，该栅极驱动电路 20 用于驱动显示面板显示至少一
25 帧画面。

该驱动方法包括用于一帧的显示时段 DS 和消隐时段 BL，在每一级移位寄存器单元 10 包括第一选择复位电路 400 和第二选择复位电路 500 的情形下，如图 10 所示，该驱动方法包括如下操作步骤。

步骤 S300：在显示时段 DS：使得第 m 级移位寄存器单元中的第一选择
30 复位电路 400 响应于第一选择控制信号 OE 和显示复位信号 STD，对第 m 级移位寄存器单元中的第一节点 H 进行复位；以及使得除了第 m 级移位寄存

器单元外的其它级移位寄存器单元中的第二选择复位电路 500 响应于第二选择控制信号 $\overline{OE}$ 和显示复位信号 STD，对除了第 m 级移位寄存器单元外的其它级移位寄存器单元中的第二节点 Q 进行复位。

5 步骤 S400：在消隐时段 BL：使得第 m 级移位寄存器单元中的第一输入电路 100 响应于第一输入信号 STU1，对第 m 级移位寄存器单元中的第一节点 H 进行充电；m 为大于零的整数。

需要说明的是，关于本公开的实施例提供的驱动方法的详细描述和技术效果可以参考本公开的实施例中对于移位寄存器单元 10 和栅极驱动电路 20 的工作原理的描述，这里不再赘述。

10 以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，本公开的保护范围应以权利要求的保护范围为准。

权利要求书

1、一种移位寄存器单元，包括第一输入电路、第二输入电路和输出电路；其中，

5 所述第一输入电路被配置为响应于第一输入信号对第一节点进行充电以控制所述第一节点的电平；

 所述第二输入电路被配置为响应于第二输入信号对第二节点进行充电以控制所述第二节点的电平；以及

10 所述输出电路被配置为在所述第一节点的电平和所述第二节点的电平的共同控制下，将输出信号输出至输出端。

2、根据权利要求 1 所述的移位寄存器单元，还包括第一选择复位电路和第二选择复位电路；其中，

 所述第一选择复位电路和所述第一节点连接，被配置为响应于第一选择控制信号和显示复位信号对所述第一节点进行复位；

15 所述第二选择复位电路和所述第二节点连接，被配置为响应于第二选择控制信号和所述显示复位信号对所述第二节点进行复位；

 所述第一选择控制信号和所述第二选择控制信号彼此互为反相信号。

3、根据权利要求 1 或 2 所述的移位寄存器单元，其中，

20 所述第一输入电路和所述第一节点连接，所述第一输入电路被配置为接收第一时钟信号并将所述第一时钟信号作为所述第一输入信号，且在所述第一时钟信号的控制下利用所述第一时钟信号对所述第一节点进行充电。

4、根据权利要求 1-3 任一项所述的移位寄存器单元，其中，

25 所述第二输入电路和所述第二节点连接，所述第二输入电路被配置为接收所述第二输入信号和第一电压，且在所述第二输入信号的控制下利用所述第一电压对所述第二节点进行充电。

5、根据权利要求 1-4 任一项所述的移位寄存器单元，其中，

30 所述输出电路和所述第一节点以及所述第二节点连接，所述输出电路被配置为接收第二时钟信号，且在所述第一节点的电平和所述第二节点的电平的共同控制下将所述第二时钟信号作为所述输出信号输出至所述输出端。

6、根据权利要求 2 所述的移位寄存器单元，其中，

所述第一选择复位电路被配置为接收第二电压，且在所述第一选择控制信号和所述显示复位信号的控制下利用所述第二电压对所述第一节点进行复位；以及

5 所述第二选择复位电路被配置为接收第三电压，且在所述第二选择控制信号和所述显示复位信号的控制下利用所述第三电压对所述第二节点进行复位。

7、根据权利要求 3 所述的移位寄存器单元，其中，所述第一输入电路包括第一晶体管和第一电容；

10 所述第一晶体管的栅极和第一极连接，且被配置为接收所述第一时钟信号，所述第一晶体管的第二极和所述第一节点连接；以及

所述第一电容的第一极和所述第一节点连接，所述第一电容的第二极被配置为接收第二电压。

15 8、根据权利要求 4 所述的移位寄存器单元，其中，所述第二输入电路包括第二晶体管；

所述第二晶体管的栅极被配置为接收所述第二输入信号，所述第二晶体管的第二极被配置为接收所述第一电压，所述第二晶体管的第二极和所述第二节点连接。

20 9、根据权利要求 5 所述的移位寄存器单元，其中，所述输出端包括第一信号输出端和第二信号输出端，所述第一信号输出端和所述第二信号输出端被配置为输出所述输出信号，所述输出电路包括第三晶体管、第四晶体管、第五晶体管和第三电容；

25 所述第三晶体管的栅极和所述第一节点连接，所述第三晶体管的第一极被配置为接收所述第二时钟信号，所述第三晶体管的第二极和所述第四晶体管的第一极连接；

所述第四晶体管的栅极和所述第二节点连接，所述第四晶体管的第二极和所述第一信号输出端连接；

30 所述第五晶体管的栅极和所述第二节点连接，所述第五晶体管的第一极和所述第三晶体管的第二极连接，所述第五晶体管的第二极和所述第二信号输出端连接；以及

所述第三电容的第一极和所述第二节点连接，所述第三电容的第二极

和所述第一信号输出端连接。

10、根据权利要求 9 所述的移位寄存器单元，其中，所述输出端还包括第三信号输出端，所述输出电路还包括第十九晶体管和第二十晶体管；

5 所述第十九晶体管的栅极和所述第一节点连接，所述第十九晶体管的第二极和所述第一极被配置为接收第三时钟信号，所述第十九晶体管的第二极和所述第二十晶体管的第一极连接；以及

所述第二十晶体管的栅极和所述第二节点连接，所述第二十晶体管的第二极和所述第三信号输出端连接。

10 11、根据权利要求 6 所述的移位寄存器单元，其中，所述第一选择复位电路包括第六晶体管和第七晶体管；

所述第六晶体管的栅极被配置为接收所述第一选择控制信号，所述第六晶体管的第一极和所述第一节点连接，所述第六晶体管的第二极和所述第七晶体管的第一极连接；以及

15 所述第七晶体管的栅极被配置为接收所述显示复位信号，所述第七晶体管的第二极被配置为接收所述第二电压。

12、根据权利要求 6 或 11 所述的移位寄存器单元，其中，所述第二选择复位电路包括第八晶体管和第九晶体管；

20 所述第八晶体管的栅极被配置为接收所述显示复位信号，所述第八晶体管的第一极和所述第二节点连接，所述第八晶体管的第二极和所述第九晶体管的第一极连接；以及

所述第九晶体管的栅极被配置为接收所述第二选择控制信号，所述第九晶体管的第二极被配置为接收所述第三电压。

13、根据权利要求 2、6、11、12 任一项所述的移位寄存器单元，还包括第二复位电路；其中，

25 所述第二复位电路被配置为响应于全局复位信号对所述第一节点进行复位。

14、根据权利要求 13 所述的移位寄存器单元，其中，所述第二复位电路包括第十七晶体管；

30 所述第十七晶体管的栅极被配置为接收所述全局复位信号，所述第十七晶体管的第一极和所述第一节点连接，所述第十七晶体管的第二极被配置为接收第八电压。

15、根据权利要求 2 所述的移位寄存器单元，其中，

所述第一输入电路包括第一晶体管和第一电容，所述第一晶体管的栅极和第一极连接，且被配置为接收第一时钟信号，所述第一晶体管的第二极和所述第一节点连接；所述第一电容的第一极和所述第一节点连接，所述
5 所述第一电容的第二极被配置为接收第二电压；

所述第二输入电路包括第二晶体管，所述第二晶体管的栅极被配置为接收所述第二输入信号，所述第二晶体管的第一极被配置为接收第一电压，所述第二晶体管的第二极和所述第二节点连接；

所述输出端包括第一信号输出端和第二信号输出端，所述第一信号输出端和所述第二信号输出端被配置为输出所述输出信号，所述输出电路包
10 括第三晶体管、第四晶体管、第五晶体管和第三电容；

所述第三晶体管的栅极和所述第一节点连接，所述第三晶体管的第一极被配置为接收第二时钟信号，所述第三晶体管的第二极和所述第四晶体管的第一极连接；所述第四晶体管的栅极和所述第二节点连接，所述第四
15 晶体管的第二极和所述第一信号输出端连接；所述第五晶体管的栅极和所述第二节点连接，所述第五晶体管的第一极和所述第三晶体管的第二极连接，所述第五晶体管的第二极和所述第二信号输出端连接；所述第三电容的第一极和所述第二节点连接，所述第三电容的第二极和所述第一信号输出端连接；

所述第一选择复位电路包括第六晶体管和第七晶体管；所述第六晶体管的栅极被配置为接收所述第一选择控制信号，所述第六晶体管的第一极和所述第一节点连接，所述第六晶体管的第二极和所述第七晶体管的第一极连接；所述第七晶体管的栅极被配置为接收所述显示复位信号，所述第七晶体管的第二极被配置为接收所述第二电压；
20

所述第二选择复位电路包括第八晶体管和第九晶体管；所述第八晶体管的栅极被配置为接收所述显示复位信号，所述第八晶体管的第一极和所述第二节点连接，所述第八晶体管的第二极和所述第九晶体管的第一极连接；所述第九晶体管的栅极被配置为接收所述第二选择控制信号，所述第九晶体管的第二极被配置为接收第三电压；
25

所述移位寄存器单元还包括第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十
30

七晶体管以及第十八晶体管；

所述第十晶体管的栅极和第一极连接，且被配置为接收第四电压，所述第十晶体管的第二极和第三节点连接；所述第十一晶体管的栅极和第一极连接，且被配置为接收第五电压，所述第十一晶体管的第二极和所述第三节点连接；所述第十二晶体管的栅极和所述第二节点连接，所述第十二晶体管的第一极和所述第三节点连接，所述第十二晶体管的第二极被配置为接收所述第三电压；

所述第十六晶体管栅极被配置为接收所述第二输入信号，所述第十六晶体管的第一极和所述第三节点连接，所述第十六晶体管的第二极被配置为接收所述第三电压；

所述第十三晶体管的栅极和所述第三节点连接，所述第十三晶体管的第一极和所述第二节点连接，所述第十三晶体管的第二极被配置为接收所述第三电压；所述第十四晶体管的栅极和所述第三节点连接，所述第十四晶体管的第一极和所述第一信号输出端连接，所述第十四晶体管的第二极被配置为接收所述第三电压；所述第十五晶体管的栅极和所述第三节点连接，所述第十五晶体管的第一极和所述第二信号输出端连接，所述第十五晶体管的第二极被配置为接收第六电压；

所述第十七晶体管的栅极被配置为接收全局复位信号，所述第十七晶体管的第一极和所述第一节点连接，所述第十七晶体管的第二极被配置为接收第八电压；所述第十八晶体管的栅极被配置为接收所述全局复位信号，所述第十八晶体管的第一极和所述第二节点连接，所述第十八晶体管的第二极被配置为接收所述第三电压。

16、一种栅极驱动电路，包括多个级联的如权利要求 1-15 任一项所述的移位寄存器单元。

17、根据权利要求 16 所述的栅极驱动电路，还包括第一子时钟信号线、第二子时钟信号线；其中，

第 $2n-1$ 级移位寄存器单元的输出电路和所述第一子时钟信号线连接以接收所述第一子时钟信号线上的时钟信号，并将所述第一子时钟信号线上的时钟信号作为所述第 $2n-1$ 级移位寄存器单元的输出信号输出；以及

第 $2n$ 级移位寄存器单元的输出电路和所述第二子时钟信号线连接以接收所述第二子时钟信号线上的时钟信号，并将所述第二子时钟信号线上

的时钟信号作为所述第 $2n$ 级移位寄存器单元的输出信号输出。

18、一种栅极驱动电路，包括多个级联的如权利要求 2、6、11-15 任一项所述的移位寄存器单元、第五子时钟信号线和第六子时钟信号线；其中，

5 每一级移位寄存器单元和所述第五子时钟信号线连接以接收所述第一选择控制信号；以及

每一级移位寄存器单元和所述第六子时钟信号线连接以接收所述第二选择控制信号。

19、一种如权利要求 1-15 任一项所述的移位寄存器单元的驱动方法，
10 包括用于一帧的显示时段和消隐时段，其中，

在所述显示时段：

使得所述第一输入电路响应于所述第一输入信号对所述第一节点进行充电，

15 使得所述第二输入电路响应于所述第二输入信号对所述第二节点进行充电，以及

使得所述输出电路在所述第一节点的电平和所述第二节点的电平的共同控制下，将所述输出信号输出至所述输出端；

在所述消隐时段：

20 使得所述第一输入电路响应于所述第一输入信号对所述第一节点进行充电，以及

使得所述输出电路在所述第一节点的电平和所述第二节点的电平的共同控制下，将所述输出信号输出至所述输出端。

20、一种如权利要求 16-18 任一项所述的栅极驱动电路的驱动方法，包括用于一帧的显示时段和消隐时段，在每一级移位寄存器单元包括第一
25 选择复位电路和第二选择复位电路的情形下，所述驱动方法包括：

在所述显示时段：

使得第 m 级移位寄存器单元中的所述第一选择复位电路响应于第一选择控制信号和显示复位信号，对所述第 m 级移位寄存器单元中的第一节点进行复位；以及

30 使得除了所述第 m 级移位寄存器单元外的其它级移位寄存器单元中的所述第二选择复位电路响应于第二选择控制信号和显示复位信号，对除

了所述第 m 级移位寄存器单元外的其它级移位寄存器单元中的第二节点进行复位;

在所述消隐时段:

使得所述第 m 级移位寄存器单元中的所述第一输入电路响应于所述

5 第一输入信号, 对所述第 m 级移位寄存器单元中的第一节点进行充电;

m 为大于零的整数。

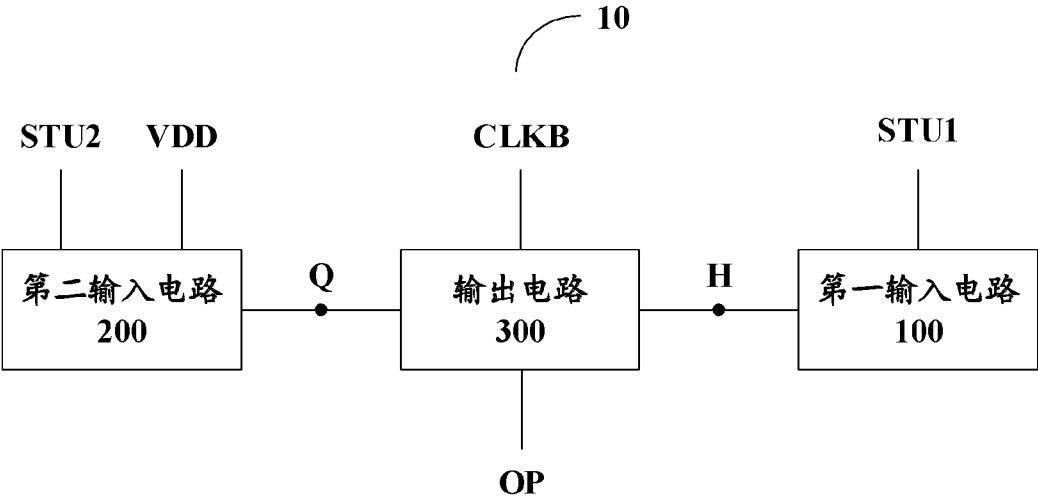


图 1

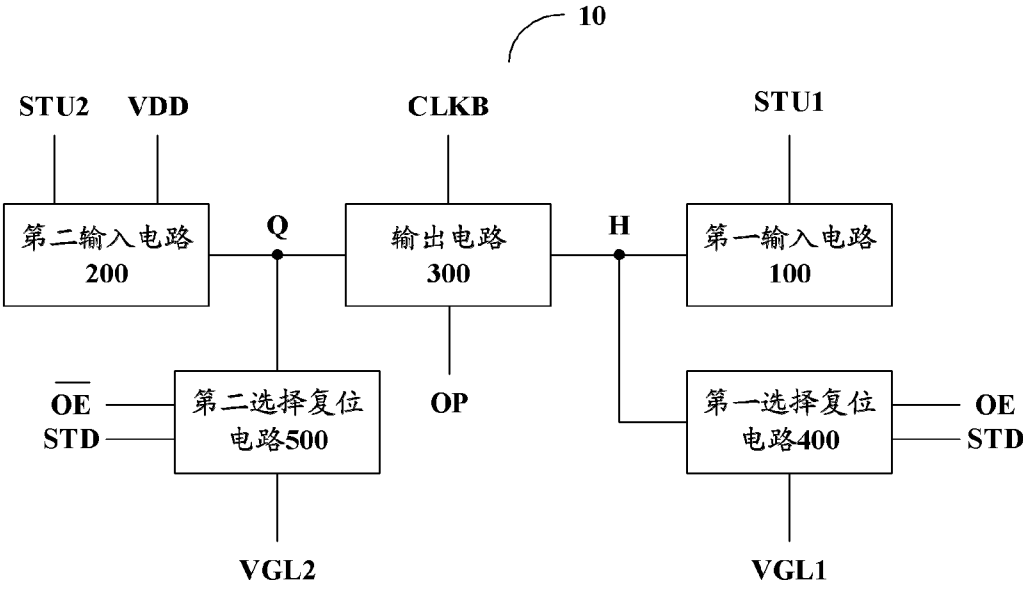


图 2

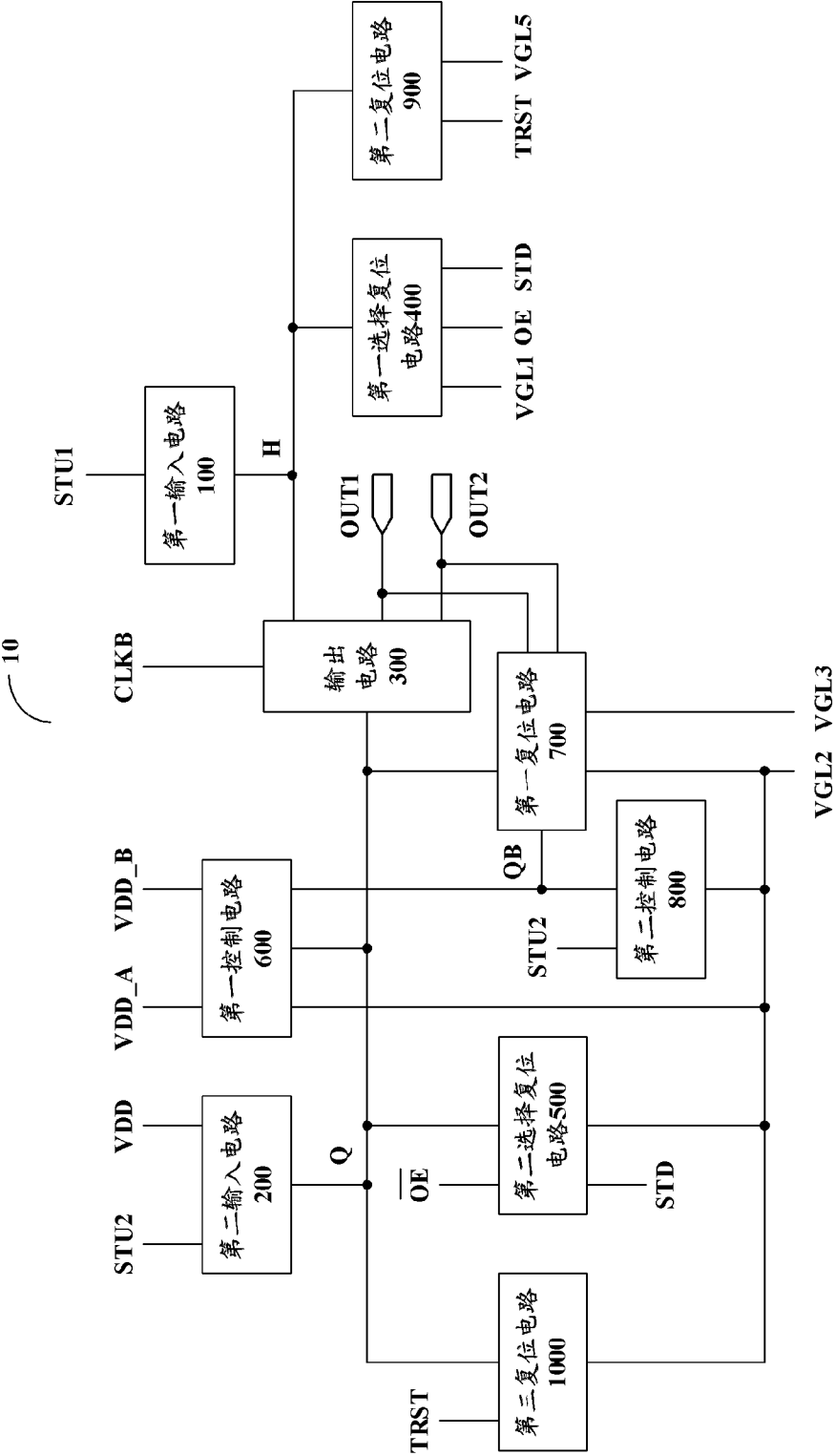
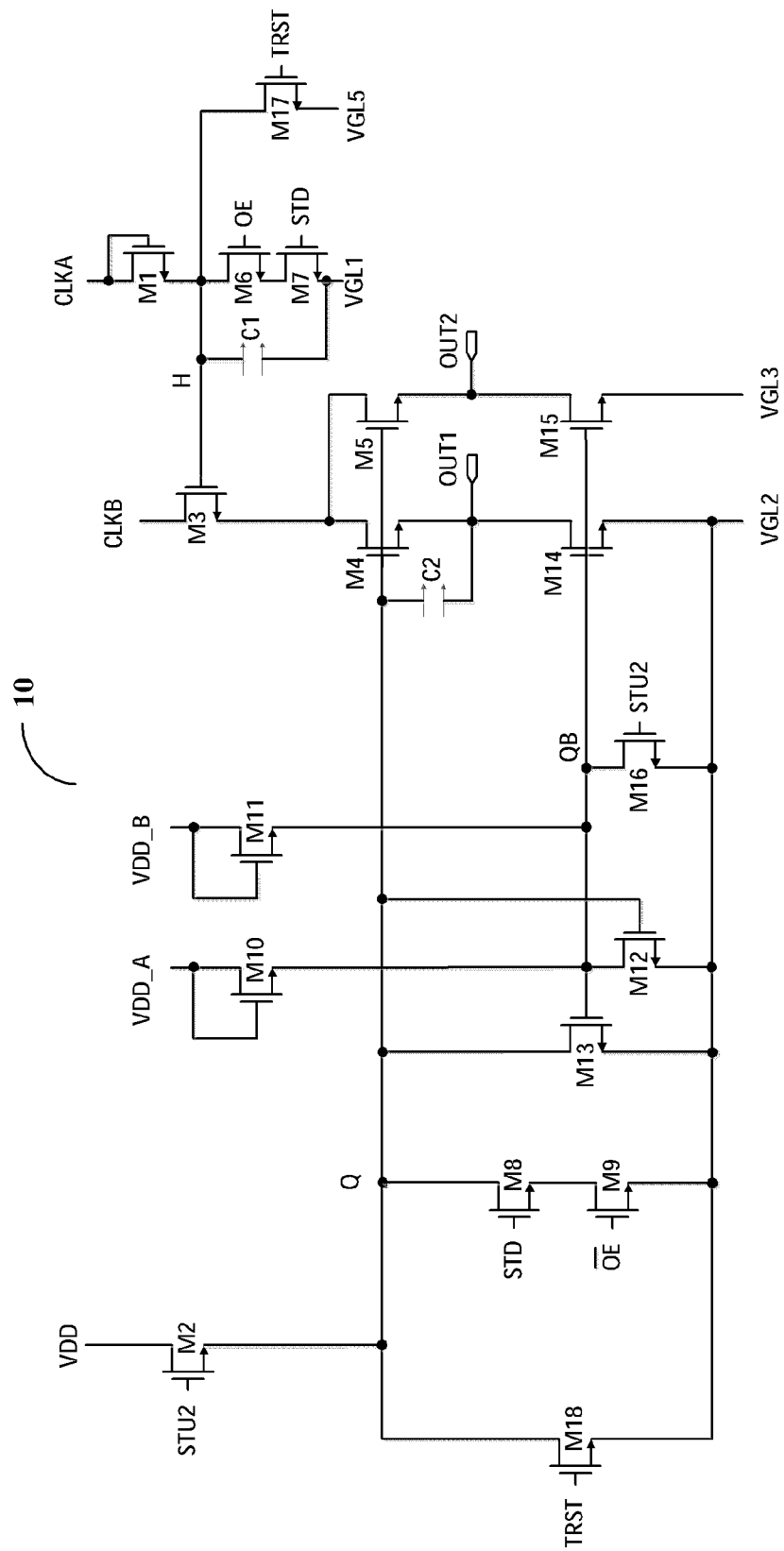
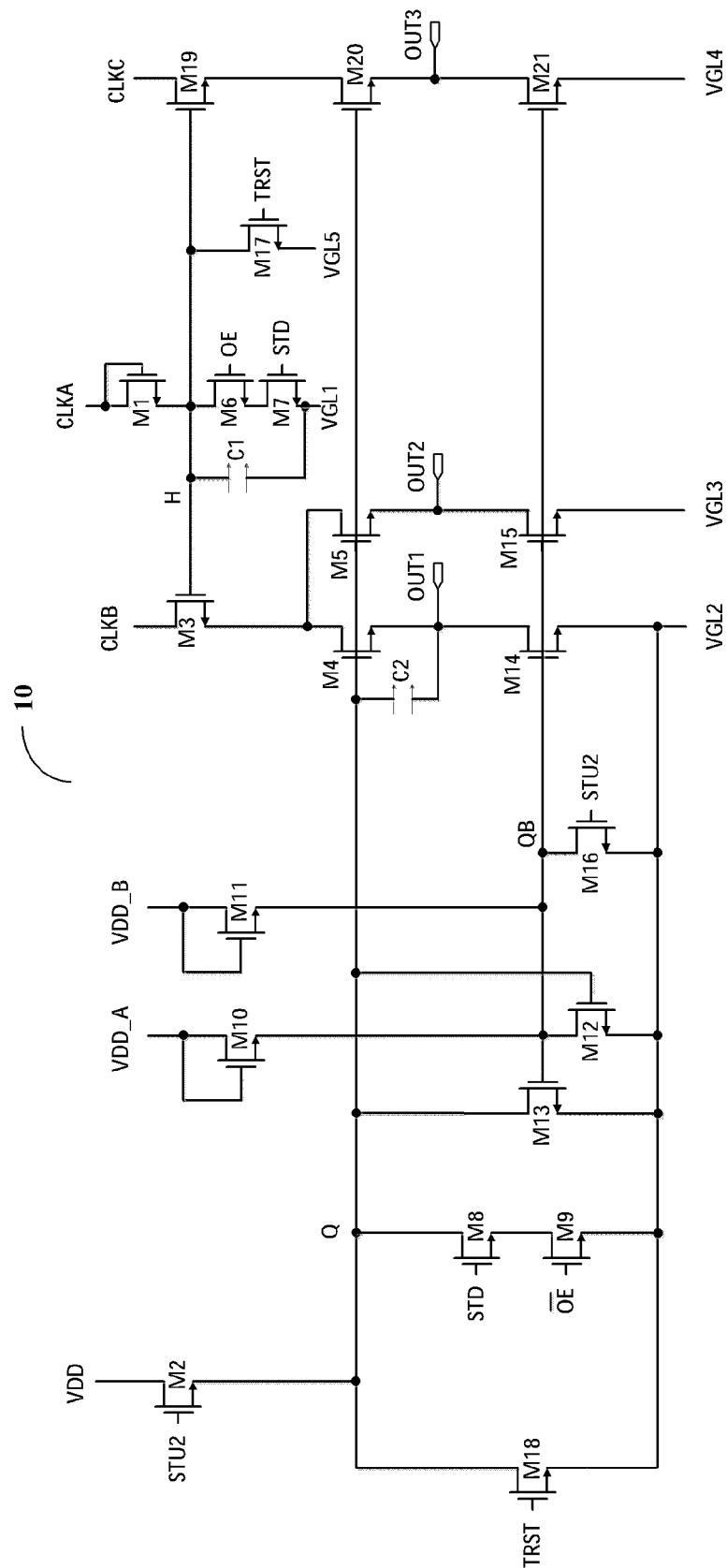


图 3

4

5
[X]

20

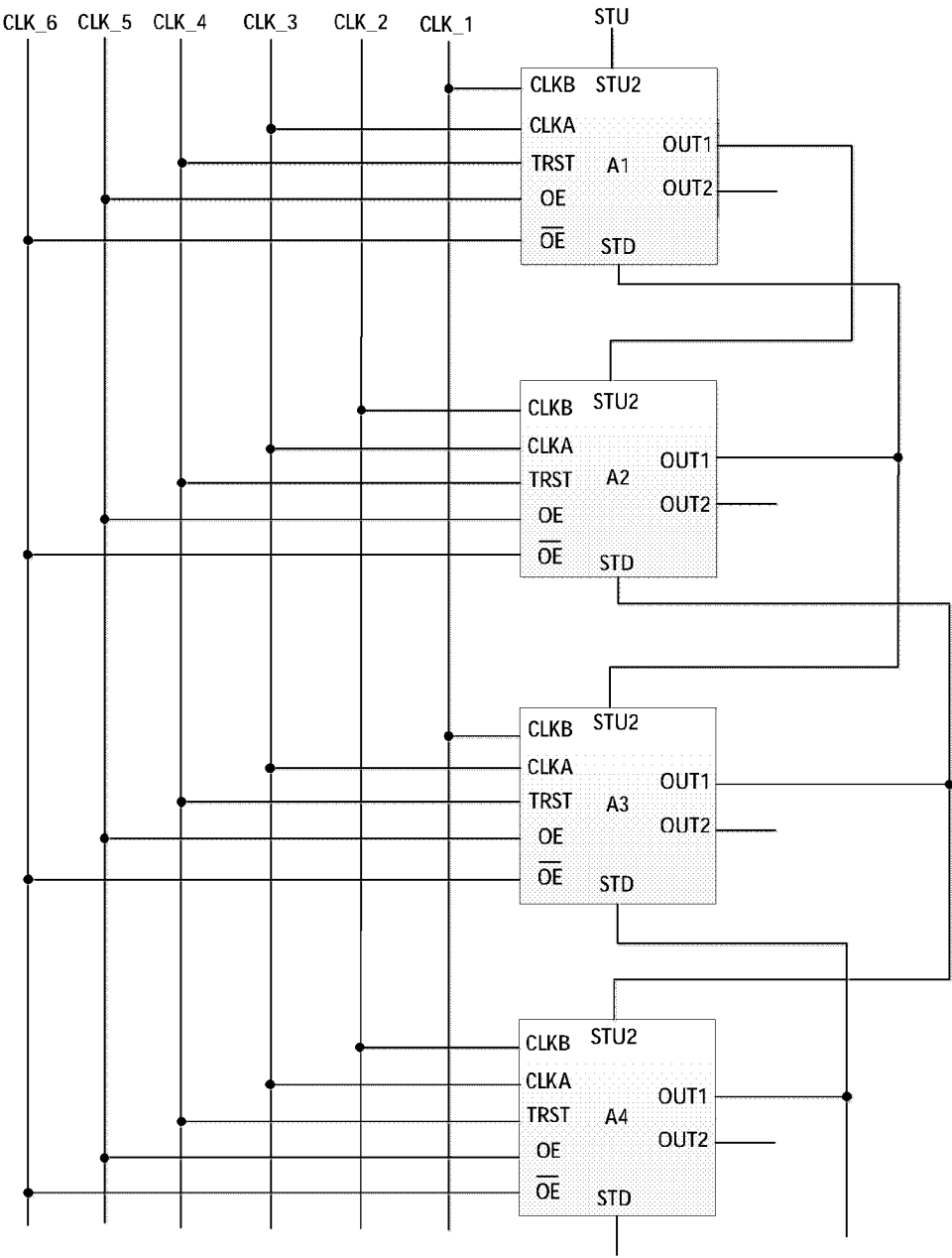


图 6

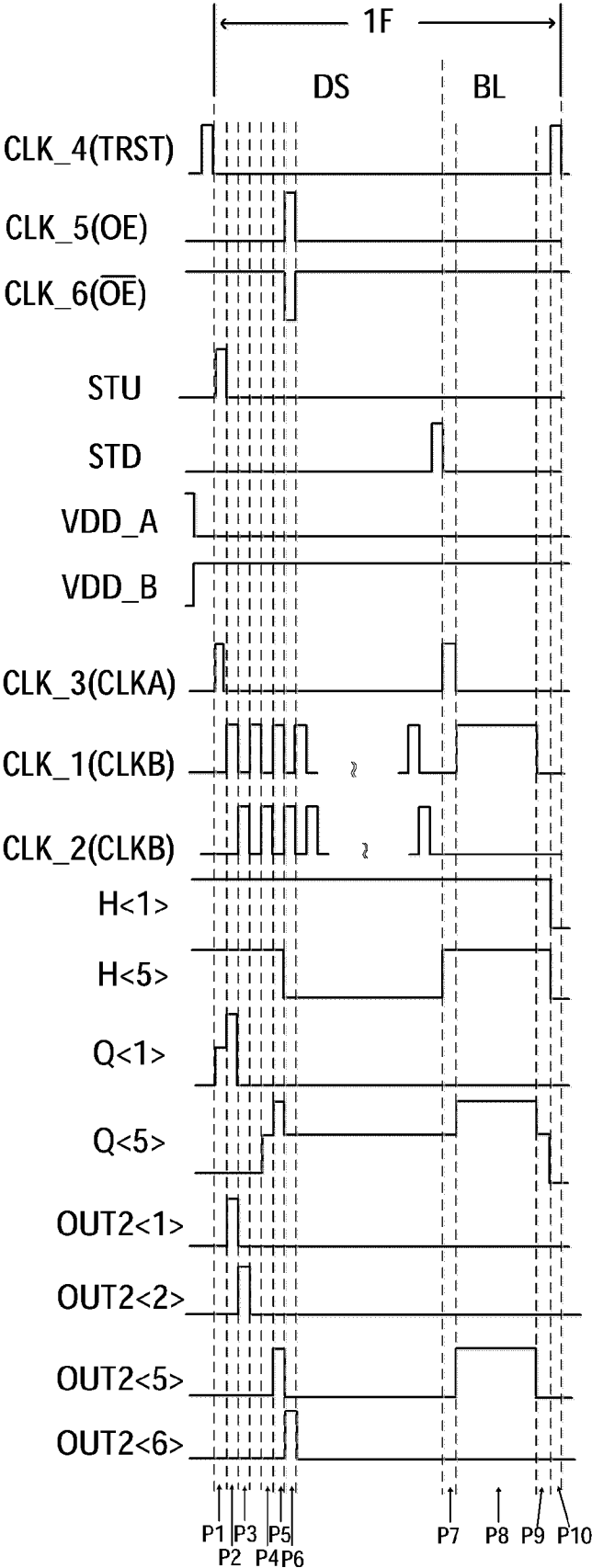


图 7

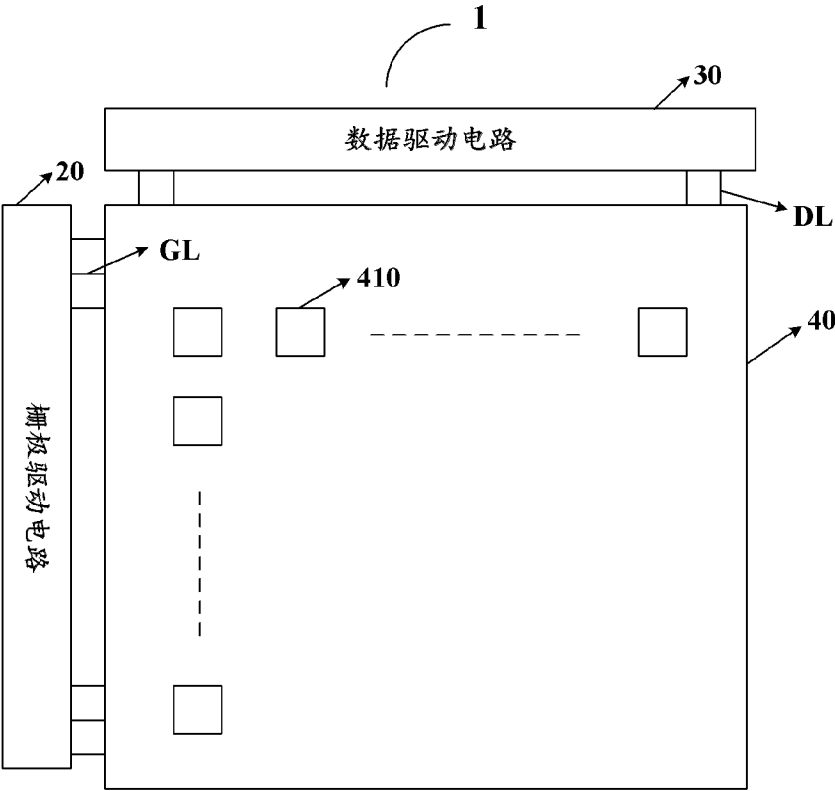


图 8

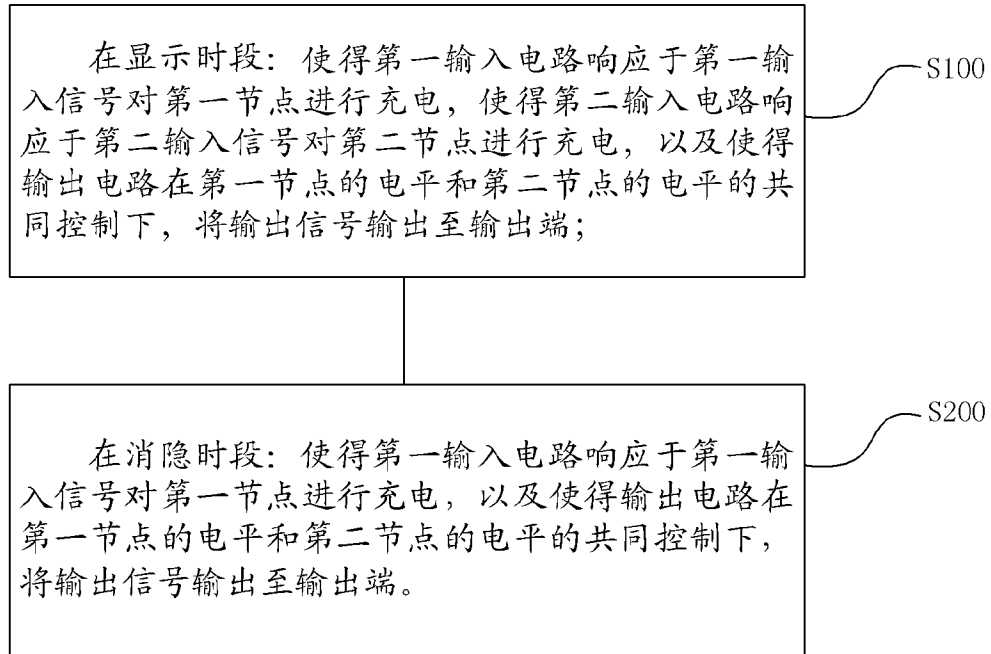


图 9

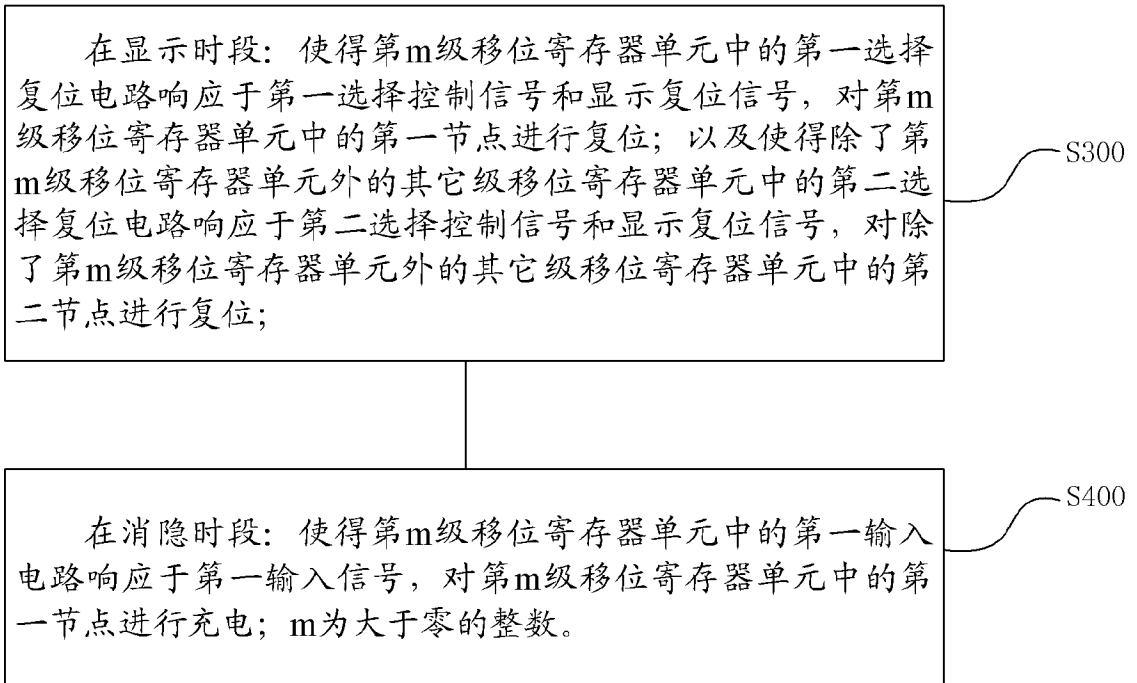


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/090405

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3208(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 移位寄存器, 输入, 第一, 第二, 时钟, 电平, 节点, 复位, 充电, shift, register, node, input, output, clock, charge, voltage, control, grid, restorat+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101989463 A (WINTEK CORPORATION) 23 March 2011 (2011-03-23) description, paragraphs [0025]-[0039]	1, 16
A	CN 105788508 A (BOE TECHNOLOGY GROUP CO., LTD.) 20 July 2016 (2016-07-20) entire document	1-20
A	CN 103247275 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 14 August 2013 (2013-08-14) entire document	1-20
A	US 2018218688 A1 (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 02 August 2018 (2018-08-02) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 August 2019

Date of mailing of the international search report

06 September 2019

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/090405

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101989463	A	23 March 2011	CN	101989463	B	25 March 2015
CN	105788508	A	20 July 2016	CN	105788508	B	25 July 2017
				WO	2017202124	A1	30 November 2017
				US	2018204495	A1	19 July 2018
				WO	2017202124	A9	01 February 2018
CN	103247275	A	14 August 2013	CN	103247275	B	11 March 2015
				WO	2014172965	A1	30 October 2014
US	2018218688	A1	02 August 2018	US	10102806	B2	16 October 2018
				WO	2017185822	A1	02 November 2017
				CN	205564251	U	07 September 2016

国际检索报告

国际申请号

PCT/CN2019/090405

A. 主题的分类

G09G 3/3208(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC:移位寄存器, 输入, 第一, 第二, 时钟, 电平, 节点, 复位, 充电, shift, register, node, input, output, clock, charge, voltage, control, grid, restorat+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101989463 A (胜华科技股份有限公司) 2011年 3月 23日 (2011 - 03 - 23) 说明书第[0025]-[0039]段	1, 16
A	CN 105788508 A (京东方科技集团股份有限公司) 2016年 7月 20日 (2016 - 07 - 20) 全文	1-20
A	CN 103247275 A (合肥京东方光电科技有限公司 等) 2013年 8月 14日 (2013 - 08 - 14) 全文	1-20
A	US 2018218688 A1 (BOE TECHNOLOGY GROUP CO., LTD. 等) 2018年 8月 2日 (2018 - 08 - 02) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 8月 22日

国际检索报告邮寄日期

2019年 9月 6日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

孟子山

电话号码 86-(10)-53961387

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/090405

检索报告引用的专利文件				公布日 (年/月/日)		同族专利	公布日 (年/月/日)	
CN	101989463	A	2011年 3月 23日	CN	101989463	B	2015年 3月 25日	
CN	105788508	A	2016年 7月 20日	CN	105788508	B	2017年 7月 25日	
				WO	2017202124	A1	2017年 11月 30日	
				US	2018204495	A1	2018年 7月 19日	
				WO	2017202124	A9	2018年 2月 1日	
CN	103247275	A	2013年 8月 14日	CN	103247275	B	2015年 3月 11日	
				WO	2014172965	A1	2014年 10月 30日	
US	2018218688	A1	2018年 8月 2日	US	10102806	B2	2018年 10月 16日	
				WO	2017185822	A1	2017年 11月 2日	
				CN	205564251	U	2016年 9月 7日	

表 PCT/ISA/210 (同族专利附件) (2015年1月)