

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5324787号
(P5324787)

(45) 発行日 平成25年10月23日 (2013.10.23)

(24) 登録日 平成25年7月26日 (2013.7.26)

(51) Int. Cl.	F I
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 A

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2008-1307 (P2008-1307)	(73) 特許権者	390019839
(22) 出願日	平成20年1月8日 (2008.1.8)		三星電子株式会社
(65) 公開番号	特開2008-172236 (P2008-172236A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成20年7月24日 (2008.7.24)		C o . , L t d .
審査請求日	平成23年1月7日 (2011.1.7)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	10-2007-0002149		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成19年1月8日 (2007.1.8)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	韓国 (KR)		y e o n g g i - d o , R e p u b l i c
(31) 優先権主張番号	11/959502		o f K o r e a
(32) 優先日	平成19年12月19日 (2007.12.19)	(74) 代理人	110000671
(33) 優先権主張国	米国 (US)		八田国際特許業務法人
		(72) 発明者	金 英 泰
			大韓民国仁川広域市南洞区閭石1洞408
			番地 西海アパート101棟701号

最終頁に続く

(54) 【発明の名称】 プログラムボリュームの間に位置する熱的伝導体を含むメモリ装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に延長された複数のビット線と、
 前記第1方向と交差する第2方向に延長された複数のワード線と、
 前記ビット線とワード線の間に電気的に連結された、データを書き込むことができる領域であるプログラムボリュームの配列からなるアレイと、
 前記アレイを構成するプログラムボリュームの間に位置し、前記第1方向および第2方向の少なくとも一つの方向に延長された、熱的伝導性を有し、ストライプ状の形態を有する、熱的伝導性ストライプパターンと、
 相変化物質からなり、ストライプ状の形態を有する、相変化物質ストライプパターンと
 、を含み、
 前記アレイを構成する前記プログラムボリュームは前記相変化物質ストライプパターンに含まれていることを特徴とするメモリ装置。

【請求項 2】

前記相変化物質ストライプパターンは前記ビット線と前記ワード線の間に位置し、前記相変化物質ストライプパターンは前記ビット線とアライメントされて前記第1方向に延長されていることを特徴とする請求項1に記載のメモリ装置。

【請求項 3】

前記熱的伝導性ストライプパターンは前記第2方向に延長され、前記相変化物質ストライプパターンと交差することを特徴とする請求項2に記載のメモリ装置。

10

20

【請求項 4】

前記熱的伝導性ストライプパターンは前記相変化物質ストライプパターンの間で前記第 1 方向に延長されることを特徴とする請求項 2 に記載のメモリ装置。

【請求項 5】

前記熱的伝導性ストライプパターンは前記相変化物質ストライプパターンの間で前記第 1 方向に延長され、前記相変化物質ストライプパターンと交差するように前記第 2 方向に延長された、請求項 2 に記載のメモリ装置。

【請求項 6】

相変化物質からなり、アイランド状の形態を有する、相変化物質アイランドをさらに含み、前記アレイを構成する前記プログラムボリュームは前記相変化物質アイランドに含まれていることを特徴とする請求項 1 ~ 5 のいずれか一項に記載のメモリ装置。

10

【請求項 7】

前記アレイは前記ビット線と前記ワード線の間に位置し、各プログラムボリュームと複数の前記ワード線のいずれか一つとの間に電氣的に連結された、前記プログラムボリュームへのアクセスを制御するアクセス装置をさらに含むことを特徴とする請求項 1 ~ 6 のいずれか一項に記載のメモリ装置。

【請求項 8】

前記アクセス装置はダイオードであることを特徴とする請求項 7 に記載のメモリ装置。

【請求項 9】

前記熱的伝導性ストライプパターンは前記アレイと同一平面上に位置することを特徴とする請求項 1 ~ 8 のいずれか一項に記載のメモリ装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に関するものであって、より詳細にはメモリ装置のデータを書き込むことができる領域であるプログラムボリュームの間に配置された熱的伝導体を有するメモリ装置に関する。

【背景技術】

【0002】

OUM (Ovonic Unified Memory) として知られている相変化ランダムアクセスメモリ (PRAM: Phase Change Random Access Memory) は、熱に応答し、結晶状態と非結晶状態に変化するカルコゲニド合金と同じ相変化物質を含む。PRAM は、例えば特許文献 1、および特許文献 2 に開示されている。

30

【0003】

PRAM の相変化物質は、結晶状態で相対的に低い抵抗値を示し、非結晶状態では相対的に高い抵抗値を示す。通常、低抵抗である結晶状態を「セット」状態、論理“0”と呼び、高抵抗である非結晶状態を「リセット」状態、論理“1”と呼ぶ。

【0004】

「結晶」および「非晶質」という用語は、相変化物質において相対的に用いる。すなわち、相変化メモリセルが結晶状態であるとき、当業者はセルの相変化物質が非結晶状態に比べて、配列が良い結晶構造であると理解する。結晶状態の相変化メモリセルは完全な結晶状態を要求するものではなく、非結晶状態の相変化メモリセルは、完全な非結晶状態を要求するものではない。

40

【0005】

一般的に、PRAM の相変化物質は相対的に短時間、融点より高い温度で加熱されることによって、非結晶状態にリセットされる。一方、PRAM の相変化物質は、相対的に長時間、融点より低い温度で加熱されることによって結晶状態にセットされる。これらの各場合において、相変化物質は熱処理後に元の温度に急速に冷却される。

【0006】

50

相変化物質の相変化特性のうち、スピードと安定性はP R A Mの動作特性において重要である。前述したように、カルコゲニド合金は適切な相変化特性を有するものとして知られており、特に、G e、S b、T eの合金（例えば、 $G e_2 S b_2 T e_5$ またはG S T）は非結晶状態と結晶状態の間を安定的で高いスピードにて変換しうる。

【 0 0 0 7 】

図 1 A および 1 B は、それぞれ「セット」状態と「リセット」状態におけるメモリセル 1 0 の例を説明する図であり、図 2 は、図 1 A および 1 B のメモリセル 1 0 の等価回路図である。図に示すように、メモリセル 1 0 は、ビット線（B L）とワード線（W L）の間に直列に連結された相変化素子 1 1 とダイオード（D）を含む。

【 0 0 0 8 】

相変化素子（G S T）の構造は、単に例示的なものであり、他の構造も可能である。図 1 A、図 1 B、図 2 に示した連結関係は例示的なものであり、他の構造も可能である。例えば、メモリセル 1 0 は、ビット線（B L）と基準電位の間に直列に連結された相変化素子 1 1 とトランジスタを含み、当該トランジスタのゲートにはワード線（W L）が連結されてもよい。

【 0 0 0 9 】

図 1 A および図 1 B それぞれにおいて、相変化素子 1 1 は、相変化物質 1 4（例えば、G S T）上に形成された上部電極 1 2 を含む。このような例で、上部電極 1 2 は P R A M メモリセル（図示せず）のビット線（B L）と電氣的に連結される。導電性の下部電極コンタクト（B E C : b o t t o m e l e c t r o d e c o n t a c t）1 6 は相変化物質 1 4 と導電性の下部電極 1 8 の間に形成される。ダイオード（D）は下部電極 1 8 と P R A M セルアレイ（図示せず）のワード線（W L）の間に電氣的に連結される。この例では、ダイオード（D）のN - ジャンクションはワード線（W L）に連結され、ダイオード（D）のP - ジャンクションは、相変化素子 1 1 を介し、ビット線（B L）に連結される。

【 0 0 1 0 】

図 1 A は、相変化物質 1 4 は結晶状態である場合を図示したものである。前述したように、この状態はメモリセル 1 0 が低抵抗である「セット」状態あるいはロジック 0 状態であることを意味する。図 1 B では、相変化物質 1 4 の一部が非結晶状態である場合を図示したものである。また、この状態はメモリセル 1 0 が高抵抗である「リセット」状態あるいはロジック 1 状態であることを意味する。

【 0 0 1 1 】

図 1 A、図 1 B のメモリセル 1 0 のセットおよびリセット状態は、B E C 1 6 を通じて流れている電流の大きさおよび持続時間（d u r a t i o n）によって制御される。すなわち、メモリセル 1 0 はワード線（W L）に低いレベルの電圧を提供することによって活性化（あるいはアクセス）しうる。活性化された状態で、相変化素子（G S T）はビット線（B L）の電圧によってプログラムされる。より詳しくは、B E C 1 6 を抵抗ヒーターとして動作させ、相変化物質 1 4 を「セット」および「リセット」状態に熱的にプログラムするためのプログラム電流を発生させるように、ビット線（B L）電圧が制御される。

【 0 0 1 2 】

図 3 は、相変化物質が「セット」および「リセット」状態にプログラムされるとき、相変化物質の温度パルス特性を例示的に図示したものである。特に、レファレンス番号 1 は「リセット」状態にプログラムされる時、相変化物質の温度パルスを示したものであり、レファレンス番号 2 は「セット」状態にプログラムされる時、相変化物質の温度パルスを示したものである。

【 0 0 1 3 】

図 3 に図示したように、相変化物質が「リセット」状態にプログラムされる時、物質の温度は相対的に短時間、融点（ T_m ）（例えば、6 1 0 ）以上に上がり、その後急速に冷却される。これに対し、相変化物質が「セット」状態にプログラムされる時、物質の温度は相対的に長時間、結晶化温度（ T_c ）（例えば、4 5 0 ）と融点（ T_m ）の間の温

10

20

30

40

50

度まで上がり、その後徐々に冷却される。「リセット」および「セット」プログラム動作における冷却速度は、本発明の技術分野において、速い冷却速度を速い「クエンチング (quenching)」、遅い冷却速度を遅い「クエンチング」と呼んでいる。融点 (T_m) と結晶化温度 (T_c) の間の温度範囲は、「セットウインドウ (set window)」と呼んでいる。

【0014】

P R A M 装置の相変化セルの集積度が高まることによって、隣接したセル間の熱的干渉が問題となっている。すなわち、図3で説明したように、各セルに対し信頼性の高いプログラムをするためには相対的に高い温度 ($\sim 450^{\circ}\text{C}$ から 610°C) が要求される。プログラムに使用されるセルの熱的エネルギーは、一つ以上の隣接したセルのプログラム状態に悪影響を及ぼし、隣接したセルに意図しない書き込みエラーを発生させる。これは、いわゆるラインタイプ G S T パターンを採用した構造ではさらに問題となりうる。ここで、連続的な G S T パターンは多数のメモリセルの相変化領域を定義するのに利用される。各 G S T パターン内におけるセル間の熱的干渉は、P R A M 装置の相変化セルアレイのピッチを最小化するのに大きな障害物となりうる。

【特許文献1】米国特許第6,487,113号明細書

【特許文献2】米国特許第6,480,438号明細書

【特許文献3】大韓民国特許出願公開2005-71954号明細書

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明が解決しようとする技術的な課題は、セル間の熱的干渉を減少させるメモリ装置を提供することである。

【0016】

本発明が解決しようとする他の技術的課題は、上記メモリ装置を含む携帯電子システムを提供することである。

【0017】

本発明の技術的課題は、上述した技術的課題に限定されず、以下の記載によって当業者に明確に理解されうる課題をも含むものである。

【課題を解決するための手段】

【0018】

本発明に係るメモリ装置は、第1方向に延長された複数のビット線と、第1方向と交差する第2方向に延長された複数のワード線と、ビット線とワード線の間に電気的に連結された、データを書き込むことができる領域であるプログラムボリュームの配列からなるアレイと、アレイを構成するプログラムボリュームの間に位置し、第1方向および第2方向の少なくとも一つの方向に延長された、熱的伝導性を有し、ストライプ状の形態を有する、熱的伝導性ストライプパターンと、を含む。

【0019】

本発明に係る他のメモリ装置は、第1メモリセルに含まれる第1プログラムボリュームと、第2メモリセルに含まれる第1プログラムボリュームに隣接する第2プログラムボリュームと、の間に位置する、熱的伝導性を有する熱的伝導性物質を含む。

【0020】

本発明に係るさらに他のメモリ装置は、隣接する第1相変化メモリセルおよび第2相変化メモリセルの間に連続的に延長された相変化物質からなる相変化物質パターンと、第1相変化メモリセルおよび第2相変化メモリセルの間の相変化物質内に設けられた熱的伝導性を有する熱的伝導性パターンと、を含む。

【0021】

本発明に係るさらに他のメモリ装置は、互いに平行に第1方向に延長された、相変化物質からなる複数の相変化物質パターンであって、それぞれの相変化物質パターンは複数の相変化メモリセルがそれぞれ有する相変化領域を含む複数の相変化物質パターンと、第2

10

20

30

40

50

方向に互いに平行に延長された、熱的伝導性を有する複数の熱的伝導性パターンであって、隣接した複数の相変化物質パターン内に含まれた隣接した相変化領域の間にそれぞれ位置する複数の熱的伝導性パターンと、を含む。

【0022】

本発明に係るさらに他のメモリ装置は、行列状にアライメントされた、各相変化メモリセルに含まれる相変化領域のアレイと、アレイの各行において隣接した相変化領域の間に位置する少なくとも一つの、熱的伝導性を有する熱的伝導性素子を含む。

【0023】

本発明に係るさらに他のメモリ装置は、第1電極および第2電極上にそれぞれアライメントされた第1スルーホールおよび第2スルーホールを含む絶縁膜と、データを書き込むことができる領域であるプログラムボリュームであって、第1スルーホール内および第2スルーホール内にそれぞれ位置する第1プログラムボリュームおよび第2プログラムボリュームと、第1プログラムボリュームと第2プログラムボリュームとの間の絶縁膜内に位置する金属または金属合金と、を含む。

10

【0024】

本発明に係る携帯電子システムは、マイクロプロセッサと電源供給装置と非揮発性メモリとを含む携帯電子システムであって、非揮発性メモリは、隣接した第1メモリセルおよび第2メモリセルにそれぞれ含まれる第1プログラムボリュームおよび第2プログラムボリュームの間に位置する、熱的伝導性を有する物質を含む。

20

【0025】

その他本発明の具体的な内容は詳細な説明および図面に含まれている。

【発明の効果】

【0026】

前述したように、本発明に係るメモリ装置によると、セル間の熱的干渉を減らすことができ、PRAM装置の集積度を高めることができる。

【発明を実施するための最良の形態】

【0027】

本発明を望ましい実施形態により説明する。以下説明する実施形態は単に例示的に示したものであり、本発明は、これらの実施形態により制限されるものではない。

【0028】

30

本発明の実施形態は、本発明の理想的な実施形態（および中間構造物）の略図である断面図を参照して説明される。図示された実施形態は、例えば、製造技術および/あるいは誤差によって変化しうる。したがって、本発明は、ここで図示された特定の実施形態に限定して解釈されてはならず、例えば製造時の多様な変化を考慮しなければならない。すなわち、長方形で図示されたインプラント領域は、一般的には、円状または曲線の形態を有しうる。また、インプラントされた領域とインプラントされていない領域は、2つの領域に画一的に区分されず、境界においてインプラント濃度の濃度勾配を有する。同様に、インプラントによって形成された埋め込み領域は、埋め込み領域と表面の間の領域で行われたインプラントの結果でありうる。したがって、図面において図示された領域は略式的なものであり、図示された形態は領域の実際の形態を図示しようとする意図で示されたものではなく、発明の権利範囲を限定しようとする意図で示されたものでもない。

40

【0029】

素子(elements)あるいは層が異なる素子あるいは層の「上(on)」に、あるいは他の素子あるいは層に「連結され(connected to)」、「カップリングされ(coupled to)」と説明されるものは、他の素子あるいは層の真上だけではなく、中間に他の層あるいは他の素子を介在した場合をすべて含む。これに対し、素子が「直上(directly on)」、あるいは他の素子あるいは層に「直接連結され(directly connected to)」、「直接カップリングされ(directly coupled to)」と説明されるものは、中間に他の素子あるいは層を介在しないものを示す。明細書全体において、同一参照符号は同一構成要素を指す。

50

「および／あるいは」という説明は言及された要素の両方および少なくとも一つ以上のすべての組合せを含む。

【 0 0 3 0 】

図 4 は、本発明の実施形態の少なくとも一の特徴を説明するための概念図である。

【 0 0 3 1 】

特に、図 4 はメモリ装置の 2 つのプログラムボリューム (4 0 0 A、4 0 0 B) を概念的に説明する。例として、プログラムボリューム (4 0 0 A、4 0 0 B) は P R A M 装置のメモリセルの G S T 領域の全部あるいは一部に形成されうる。

【 0 0 3 2 】

例えば、プログラムボリューム (4 0 0 A) のプログラムの動作の間、ボリューム (4 0 0 A) によって発散された熱的エネルギー (T) の一部はメモリ装置内でプログラムボリューム (4 0 0 B) に伝達される。熱的干渉を防止するため、熱的伝導体 (T C : t h e r m a l c o n d u c t o r) はプログラムボリューム (4 0 0 A、4 0 0 B) の間に熱的に介在する。熱的伝導体 (T C) はヒートシンクの役割をする。すなわち、熱的エネルギー (T) の全部あるいは一部がプログラムボリューム (4 0 0 B) から遠ざかるようにする。

【 0 0 3 3 】

プログラムボリューム (4 0 0 B) のプログラム状態に影響を与え得る熱的干渉は、熱的伝導体 (T C) によって制限されうる。

【 0 0 3 4 】

以下説明される実施形態は、隣接した相変化メモリセルの間のヒートシンクの役割をする熱的伝導体の使用と関連して説明している。しかし、本発明は相変化メモリセルに関連する場合に限定されるものではない。本発明はプログラムボリュームを含む可変抵抗メモリセルを含み、セルの間に熱的干渉を制限する必要がある全ての種類のメモリ装置にも適用しうる。

【 0 0 3 5 】

図 5 A は、本発明の実施形態に係る相変化メモリ装置のコアレイアウトの例である。図 5 B は、本発明の実施形態に係る相変化メモリ装置の回路の一部の例である。

【 0 0 3 6 】

図 5 A によると、本発明の実施形態に係る相変化メモリ装置のコアレイアウトは 1 6 個のメモリブロック (1 0 _ 1 ~ 1 0 _ 1 6) を含む。図 5 A に示すように、コア面積の側のメモリブロック領域 (1 0 _ 1 ~ 1 0 _ 8) が位置し、コア面積の他の側にメモリブロック領域 (1 0 _ 9 ~ 1 0 _ 1 6) が位置する。各メモリブロック領域 1 0 は 8 個のメモリブロック (B L K 0 ~ B L K 7) を含む。各メモリブロック (B L K) は交差されるワード線とビット線と連結された相変化メモリセルのアレイを含む。

【 0 0 3 7 】

図 5 A に示す本発明の実施形態に係る相変化メモリ装置では、8 個のセンスアンプ / ワード線ドライバ (S A / W D) 領域 (2 0 _ 1 ~ 2 0 _ 8) が提供される。各々は 2 個のメモリブロック領域 1 0 と動作可能なように連結されている。また、図に示すように、周辺領域 (3 0) はコア領域の中央に位置する。

【 0 0 3 8 】

図 5 B は、図 5 A のメモリブロック (B L K 0) と連結された回路の一部を図示したものである。図示したように、多数のメモリセル (C p) はワード線 (W L 0、W L 1) とビット線 (B L 0 ~ B L 3) の間のアレイ内に連結される。本発明の実施形態に係る相変化メモリ装置において、各メモリセル (C p) はダイオード素子 (D) と可変抵抗素子 (R p) を含む。この実施形態において、可変抵抗素子 (R p) は G S T 物質のプログラムボリュームを含む相変化セルである。

【 0 0 3 9 】

ローカルビット線 (B L 0 ~ B L 3) は、メモリブロック領域 1 0 の対応されるグローバルビット線 (G B L 0) と選択的に連結される。すなわち、本実施形態において、各メ

10

20

30

40

50

モリブロック 10 は $n + 1$ 本のグローバルビット線 (GBL0 ~ GBLn) を含む。図 5 B でトランジスタ (DCH0 ~ DCH3、YSEL0 ~ YSEL3) はアドレス信号 (YSB0 ~ YSB3、YS0 ~ YS3) に応答し、動作するアクセストランジスタである。本発明の当業者にとって、PRAM 装置の動作は周知の内容である。

【0040】

図 6 A および図 6 B は、本発明の実施形態に係る相変化メモリ装置の平面図および斜視図である。

【0041】

図 6 A および図 6 B に示すように、本発明の実施形態に係る相変化メモリ装置は、第 1 方向に長く延長された多数のワード線 (WL0、WL1) と、当該第 1 方向と実質的に垂直である第 2 方向に長く延長された多数のビット線 (BL0 ~ BL3) を含む。

10

【0042】

第 2 方向に長く延長された多数の GST ストライプパターン 152 はビット線 (BL0 ~ BL3) の下にアライメントされている。各 GST ストライプパターン 152 はメモリ装置の各メモリセルの多数の熱的プログラムボリュームを含む。特に、本実施形態に係る相変化メモリ装置の各メモリセルはワード線 (WL) と BEC 素子 142 の間に電氣的にカップリングされたダイオード (D) (n 型領域 132 と p 型領域 134 を有する) を含む。BEC 素子 142 は GST ストライプパターン 152 の対応されるプログラムボリュームと電氣的にカップリングされている。または、ビット線コンタクト 156 は BEC 素子 142 上にアライメントされ、対応されるビット線 (BL) と GST コンタクトパターン 154 の間に電氣的にカップリングされている。

20

【0043】

熱的伝導性を有する熱的伝導性ストライプパターン 172 は、第 1 方向 (すなわち、ワード線方向) に長く延長され、各 GST ストライプパターン 152 の隣接したメモリセルのプログラムボリュームの間を横切る。熱的伝導性ストライプパターン 172 は各 GST ストライプパターン 152 内で隣接したメモリセルの間の熱的干渉を防止するヒートシンクとして機能する。

【0044】

熱的伝導性ストライプパターン 172 は、隣接したメモリセルのプログラムボリュームの間の熱的干渉を防止するのに効果的な熱的伝導特性を示す物質からなる。適切な例は、アルミニウム、銅のような金属や、このような物質の合金である。望ましくは、熱的伝導性物質は熱的伝導性が 150 W/mK 以上で、より望ましくは 200 W/mK 以上、さらに望ましくは 300 W/mK 以上でありうる。

30

【0045】

図 7 A ~ 図 7 C、図 8 は、図 6 A ~ 図 6 B のメモリ装置の製造方法を例示的に説明するための断面図である。図 8 と図 7 A ~ 図 7 C のそれぞれの左側の図は図 6 A の B - B' 線における断面図であり、図 7 A ~ 図 7 C のそれぞれの右側の図は図 6 A の C - C' 線における断面図である。

【0046】

図 7 A によると、N+ 型の半導体ストライプ領域 121 は、基板 (110) 上に位置した層 120 内に形成される。N+ 型半導体ストライプ領域 121 は、それぞれメモリ装置のワード線 (WL) を定義する。層 130 は層 120 上に形成され、層 130 は N+ 型半導体ストライプ領域 121 のそれぞれの上に位置するダイオードを形成するためのダイオード形成ホール (131) を含む。層 120、130 は例えば、絶縁物質で形成されうる。

40

【0047】

図 7 B によると、ダイオード形成ホール 131 は N- 型半導体 132 と P+ 型半導体 134 で満たされ、これらによって、各ホール 131 内にダイオード (D) が形成される。層 140 は層 130 上に形成され、ダイオード (D) 上にアライメントされた多数の BEC 形成ホール 141 を含む。層 140 は、例えば、絶縁物質で形成されうる。BEC 形成

50

ホール 141 は B E C を形成するための物質で満たされることにより、B E C 142 が形成されうる。

【0048】

図7Cを参照すると、多数の熱的伝導性ストライプパターン172は層140上に形成される。ストライプパターン172はワード線(WL)を定義するN+型半導体ストライプ領域121の間にアライメントされる。それぞれの熱的伝導性ストライプパターン172は絶縁性の側壁174と絶縁性の上壁176により囲まれている。

【0049】

図8を参照すると、GSTストライプパターン152は層140と熱的伝導性ストライプパターン172上に形成される。GSTストライプパターン152はワード線(WL)と垂直に延長される。熱的伝導性ストライプパターン172は各B E C 142上に定義されたGSTストライプパターン152のプログラムボリュームの間に位置する。その後、コンタクト層パターン154が各GSTストライプパターン152上に形成される。そして、ビット線コンタクト156は絶縁層150のビット線コンタクトホール155内に形成される。そして、ビット線(BL)は絶縁層150上に形成され、GSTストライプパターン152とアライメントされる。

【0050】

図6A～図8と関連して前述した実施形態は、本発明の例を示したに過ぎない。そして、本発明の技術的範囲と技術的思想内における多様な変形は、本発明の当業者にとっては自明なものである。このような変形の例を以下の実施形態により説明するが、本発明はこれに制限されない。

【0051】

図9Aおよび図9Bは、ビット線(BL)と平行に延長され、GSTストライプパターンの間に位置する熱的伝導性ストライプパターンを含む本発明の他の実施形態を図示したものである。このようにすることにより、隣接するGSTストライプパターンに含まれるプログラムボリュームの間の熱的干渉が防止される。図9A、図9Bは、本発明の他の実施形態に係る相変化メモリ装置の平面図、斜視図である。

【0052】

特に、図9Aおよび図9Bによると、本実施形態に係る相変化メモリ装置は第1方向に延長された多数のワード線(WL0、WL1)と、当該第1方向と実質的に垂直である第2方向に長く延長された多数のビット線(BL0～BL3)を含む。

【0053】

第1方向に長く延長された多数のGSTストライプパターン152はビット線(BL0～BL3)の下にアライメントされる。それぞれのGSTストライプパターン152はメモリ装置の各メモリセルの熱的プログラムボリュームを含む。特に、本実施形態の各メモリセルはワード線(WL)とB E C 素子142との間に電氣的にカップリングされたダイオード(D)(n型領域132とp型領域134を有する)を含む。B E C 素子142はGSTストライプパターン152の対応されるプログラムボリュームに電氣的にカップリングされる。また、ビット線コンタクト156はB E C 素子142上にアライメントされ、対応されるビット線(BL)とGSTコンタクトパターン154の間に電氣的にカップリングされる。

【0054】

熱的伝導性ストライプパターン272は、第2方向(すなわち、ビット線方向)に長く延長され、平行に隣接するGSTストライプパターン152間に位置する。熱的伝導性ストライプパターン272は、GSTストライプパターン152の隣接したメモリセルの間の熱的干渉を防止するヒートシンクの役割をする。

【0055】

熱的伝導性ストライプパターン272は、隣接したGSTストライプパターン152の隣接したメモリセルのプログラムボリュームの間の熱的干渉を防止するのに効果的な熱的伝導特性を示す物質からなる。望ましい例としては、アルミニウム、銅のような金属や、

10

20

30

40

50

そのような物質の合金である。望ましくは、熱的伝導性物質は熱的伝導性が 150 W/mK 以上であり、より望ましくは 200 W/mK 以上であり、さらに望ましくは 300 W/mK 以上である。

【0056】

図10Aおよび図10Bは、ワード線方向とビット線方向の両方に延長されることにより十字形態を有する熱的伝導性パターンを含む本発明のさらに他の実施形態に係る相変化メモリ装置を図示する。このようにすることにより、隣接するGSTストライプパターンに含まれるプログラムボリュームの間の熱的干渉を防止できる。図10A、図10Bは、本実施形態に係る相変化メモリ装置の平面図、斜視図である。

【0057】

特に、図10Aおよび図10Bによると、本実施形態の相変化メモリ装置は第1方向に延長されたワード線(WL0、WL1)と、第1方向と実質的に垂直である第2方向に延長された多数のビット線(BL0～BL3)を含む。

【0058】

第1方向に延長されたGSTストライプパターン152はビット線(BL0～BL3)の下にアライメントされる。各GSTストライプパターン152はメモリ装置の各メモリセルの熱的プログラムボリュームを含む。特に、本実施形態の各メモリセルはワード線(WL)とBEC素子142の間に電氣的にカップリングされたダイオード(D)(n型領域132とp型領域134を有する)を含む。BEC素子142はGSTストライプパターン152の対応するプログラムボリュームに電氣的にカップリングされる。また、ビット線コンタクト156はBEC素子142上にアライメントされ、対応するビット線(BL)とGSTコンタクトパターン154の間に電氣的にカップリングされる。

【0059】

熱的伝導性を有する熱的伝導性十字パターン372は、第2方向(すなわち、ビット線方向)に延長され、平行に隣接するGSTストライプパターン152の間に位置する第1延長要素と、第1方向(すなわち、ワード線方向)に延長され、各GSTストライプパターン152の隣接するメモリセルの熱的プログラムボリュームの間を横切る第2延長要素を含む。熱的伝導性十字パターン372の第1要素はGSTストライプパターン152の隣接したメモリセルの間の熱的干渉を防止するヒートシンクの役割をする。熱的伝導性十字パターン372の第2要素は各GSTストライプパターン152内の隣接するメモリセルの間の熱的干渉を防止するヒートシンクの役割をする。

【0060】

熱的伝導性十字パターン372は、隣接したメモリセルのプログラムボリュームの間の熱的干渉を防止するのに効果的な熱的伝導特性を有する物質からなりうる。最適な例としては、アルミニウム、銅のような金属や、そのような物質の合金である。望ましくは、熱的伝導性物質は熱的伝導性が 150 W/mK 以上であり、より望ましくは 200 W/mK 以上であり、さらに望ましくは 300 W/mK 以上である。

【0061】

図11は、(前述した本発明の実施形態が有するストライプGSTパターンの代わりに)アイランド形態のGST領域を含む本発明のさらに他の実施形態を図示したものである。

【0062】

特に、図11によると、本実施形態に係る相変化メモリ装置は第1方向に延長されたワード線(WL0、WL1)と、第1方向と実質的に垂直である第2方向に延長されたビット線(BL0～BL3)を含む。

【0063】

GSTアイランド252は、ビット線(BL)とワード線(WL)が交差する領域のビット線(BL)とワード線(WL)の間に配置される。各GSTアイランド252はメモリ装置の各メモリセルの熱的プログラムボリュームを含む。特に、本実施形態の各メモリセルはワード線(WL)とBEC素子142の間に電氣的にカップリングされたダイオード

10

20

30

40

50

ド(D)(n型領域132とp型領域134を有する)を含む。BEC素子142は、GSTアイランド252の対応するプログラムボリュームに電氣的にカップリングされる。また、ビット線コンタクト156はBEC素子142上にアライメントされ、対応するビット線(BL)とGSTコンタクト254の間に電氣的にカップリングされる。

【0064】

熱的伝導性ストライプパターン572は、第1方向(すなわち、ワード線方向)に延長される。熱的伝導性ストライプパターン572は隣接するGSTアイランド252のメモリセルの熱的プログラムボリュームの間を横切る。その結果、熱的プログラムボリューム間の熱的干渉を防止する。

【0065】

10

熱的伝導性ストライプパターン572は、隣接したメモリセルのプログラムボリュームの間の熱的干渉を防止するために効果的な熱的伝導特性を有する物質からなりうる。最適な例は、アルミニウム、銅のような金属やそのような物質の合金である。望ましくは、熱的伝導性物質は熱的伝導性が150W/mK以上であり、より望ましくは200W/mK以上であり、さらに望ましくは300W/mK以上である。

図9Aおよび図9Bに示した本発明の実施形態に係る相変化メモリ装置の熱的伝導性ストライプパターン272、あるいは図10Aおよび図10Bに示した本発明の実施形態に係る相変化メモリ装置の熱的伝導性十字パターン372は、図11に図示したようなGSTアイランド形態の配置にも適用されうる。

【0066】

20

図12は、図11に図示した本発明の実施形態に係る相変化メモリ装置の断面図である。

【0067】

図12を参照すると、電気伝導性を有するN+型半導体ストライプ領域121は基板110上に位置した層120内に形成される。各N+型半導体ストライプ領域121はメモリ装置のワード線(WL)をなす。層130は層120上に形成され、層130はN+型半導体ストライプ領域121のそれぞれの上に位置するダイオード形成ホール131を含む。層120、130は例えば、絶縁物質により形成されうる。

【0068】

ダイオード形成ホール131は、N-型半導体132とP+型半導体134で充填されることによって各ホール131内にダイオード(D)が形成される。層140は層130上に形成され、層130はダイオード(D)上にアライメントされたBEC形成ホール141を含む。層140は例えば、絶縁物質から形成されうる。BEC形成ホール141はBECを形成するための物質で充填されることによってBEC142が形成されうる。

30

【0069】

GSTアイランド252とGSTコンタクト層254は層140上に形成され、BEC領域142にアライメントされる。その後、コンフォーマルな絶縁層571が結果物上に形成され、熱的伝導性ストライプパターン572はGSTアイランド252の間にアライメントされうる。ビット線コンタクト156は絶縁層150のビット線コンタクトホール155内に形成される。ビット線155は絶縁層150上に形成される。

40

【0070】

本実施形態において、熱的伝導性ヒートシンクパターン(すなわち、熱的伝導性ストライプパターン572)は熱的干渉を防止するため、隣接したプログラムボリュームと実質的に同じ平面に配置されうる。しかし、本発明がこれに限定されるものではない。

【0071】

例えば、図13は熱的伝導性ヒートシンクパターン(すなわち、熱的伝導性ストライプパターン672)が、GST物質からなるプログラムボリュームの(基板に対し相対的に)下の平面に配置される実施形態を図示した断面図である。

【0072】

図13を参照すると、伝導性N+型半導体ストライプ領域121は基板110上に位置

50

した層 1 2 0 内に形成される。各 N + 型半導体ストライプ領域 1 2 1 はメモリ装置のワード線 (W L) をなす。層 1 3 0 は層 1 2 0 上に形成され、層 1 3 0 は N + 型半導体ストライプ領域 1 2 1 の上にそれぞれ位置するダイオード形成ホール 1 3 1 を含む。層 1 2 0 、 1 3 0 は例えば、絶縁物質により形成されうる。

【 0 0 7 3 】

ダイオード形成ホール 1 3 1 は、 N - 型半導体 1 3 2 と P + 型半導体 1 3 4 で充填されることによって各ホール 1 3 1 内にダイオード (D) が形成される。層 1 4 0 は層 1 3 0 上に形成され、層 1 4 0 は B E C 形成ホール 1 4 1 とパターントレんチ 2 4 1 を含む。本実施形態において、パターントレんチ 2 4 1 はワード線 (W L) と平行に延長される。層 1 4 0 は例えば、絶縁物質により形成されうる。 B E C 形成ホール 1 4 1 は B E C を形成するための物質で満たされることにより、各ホール 1 4 1 内に B E C 1 4 2 が形成されうる。また、パターントレんチ 2 4 1 は熱的伝導性物質により充填されることにより、熱的伝導性ストライプパターン 6 7 2 を形成しうる。

【 0 0 7 4 】

その後、絶縁膜 1 4 4 が、上述した結果物である構造上に形成され、 B E C 領域 1 4 2 を露出する。 G S T ストライプパターン 1 5 2 はワード線 (W L) と垂直に延長される。熱的伝導性ストライプパターン 6 7 2 は、各 B E C 1 4 2 上に形成された G S T ストライプパターン 1 5 2 のプログラムボリュームより (基板 1 1 0 に対し相対的に) 下に位置する。コンタクト層パターン 1 5 4 は、各 G S T ストライプパターン 1 5 2 上に形成され、ビット線コンタクト 1 5 6 は絶縁膜 1 5 0 のビット線コンタクトホール 1 5 5 内に形成される。ビット線 (B L) は絶縁膜 1 5 0 上に形成され、 G S T ストライプパターン 1 5 2 とアライメントされる。

【 0 0 7 5 】

図 1 4 は、熱的伝導性ヒートシンクパターン (すなわち、熱的伝導性ストライプパターン) が、 G S T 物質のプログラムボリュームの (基板に対し相対的に) 上側の平面に配置される本発明の実施形態を図示した断面図である。

【 0 0 7 6 】

図 1 4 を参照すると、伝導性 N + 型半導体ストライプ領域 1 2 1 は基板 1 1 0 上に位置した層 1 2 0 内に形成される。各 N + 型半導体ストライプ領域 1 2 1 はメモリ装置のワード線 (W L) をなす。層 1 3 0 は層 1 2 0 上に形成され、層 1 3 0 は N + 型半導体ストライプ領域 1 2 1 の上にそれぞれ位置するダイオード形成ホール 1 3 1 を含む。層 1 2 0 、 1 3 0 は例えば、絶縁物質により形成されうる。

【 0 0 7 7 】

ダイオード形成ホール 1 3 1 が N - 型半導体 1 3 2 と P + 型半導体 1 3 4 で充填されることにより、各ホール 1 3 1 内にダイオード (D) が形成される。層 1 4 0 は層 1 3 0 上に形成され、層 1 3 0 は B E C 形成ホール 1 4 1 を含む。層 1 4 0 は例えば、絶縁物質で形成される。 B E C 形成ホール 1 4 1 は B E C を形成するための物質で充填されることにより、各ホール 1 4 1 内に B E C 1 4 2 が形成されうる。

【 0 0 7 8 】

その後、 G S T ストライプパターン 1 5 2 と G S T コンタクト層パターン 1 5 4 は、図 1 4 に図示するように、結果物である構造体上に形成される。 G S T ストライプパターン 1 5 2 は、ワード線 (W L) と垂直に延長される。

【 0 0 7 9 】

層 1 5 0 は、 G S T コンタクト層パターン 1 5 4 上に位置し、ビット線コンタクトホール 1 5 5 とパターントレんチ 2 5 5 を含む。本実施形態において、パターントレんチ 2 5 5 はワード線 (W L) と平行に延長される。層 1 5 0 は例えば、絶縁物質で形成されうる。ビット線コンタクトホール 1 5 5 はビット線コンタクト 1 5 6 で充填される。パターントレんチ 2 5 5 は熱的伝導性物質で充填されることにより、熱的伝導性パターン 7 7 2 を形成する。熱的伝導性ストライプパターン 7 7 2 は各 B E C 1 4 2 上に形成された G S T ストライプパターン 1 5 2 のプログラムボリュームに比べ (基板 1 1 0 に対し相対的に)

10

20

30

40

50

、上側に位置する。図 1 4 に示す実施形態においては、熱的伝導性パターン 7 7 2 は薄い絶縁層（図示せず）によってビット線（G L）コンタクト層パターン 1 5 4 とは電氣的に絶縁されている。

【0080】

その後、ビット線（B L）が絶縁層 1 5 0 上に形成され、ビット線（B L）は G S T ストライプパターン 1 5 2 とアライメントされる。

【0081】

図 1 5 は、本発明のさらに他の実施形態に係る相変化メモリ装置 1 0 0 を採用した携帯型電子システムのブロック図である。携帯型電子システムの例としては、モバイル電話、P D A、m p 3 プレーヤ、デジタルカメラおよびこのような装置のハイブリッド製品など
10

【0082】

相変化メモリ装置 1 0 0 は、メモリセル間の熱的干渉を防止し得る熱的伝導性要素を含む。相変化メモリ装置 1 0 0 は、マイクロプロセッサ 5 0 0 とバスライン（L 3）を通して連結され、携帯型電子システムのメインメモリの役割をする。バッテリー 4 0 0 は、マイクロプロセッサ 5 0 0、入出力装置 6 0 0、相変化メモリ装置 1 0 0 に電源ライン（L 4）を通して、電源を供給する。データがライン（L 1）を通して、入出力装置 6 0 0 に伝達されると、マイクロプロセッサ 5 0 0 はデータの提供を受け、処理した後、データをライン L 3 を通し、相変化メモリ装置 1 0 0 に伝達する。相変化メモリ装置 1 0 0 は伝達されたデータをメモリセルに保存する。メモリセルに保存されたデータはマイクロプロセッサ
20

【0083】

バッテリー 4 0 0 の電源が供給されなくても、相変化メモリセルの非揮発性特性のため、相変化メモリ装置 1 0 0 のメモリセルに保存されたデータは消滅しない。加えて、相変化メモリ装置 1 0 0 は他の種類のメモリ装置と比較して、高速、低消費電力などの長所がある。

【0084】

以上添付された図面を参照し、本発明の実施形態について説明したが、本発明が属する技術分野における通常の知識を有する者は、本発明を、その技術的思想や必須の特徴を変更しない範囲で、他の具体的な形態において実施されうることが理解することができる。
30

【図面の簡単な説明】

【0085】

【図 1 A】セット状態での相変化メモリセルを図示した概念図である。

【図 1 B】リセット状態での相変化メモリセルを図示した概念図である。

【図 2】相変化メモリセルの回路図である。

【図 3】セットおよびリセット状態でプログラムする時のプログラムボリュームの熱的特性を説明したグラフである。

【図 4】本発明の実施形態を説明するための概念図である。
40

【図 5 A】本発明の実施形態に係るメモリ装置のコアレイアウトを示した図である。

【図 5 B】本発明の実施形態に係るメモリ装置の回路図を示した図である。

【図 6 A】本発明の実施形態に係るメモリ装置の平面図である。

【図 6 B】本発明の実施形態に係るメモリ装置の斜視図である。

【図 7 A】図 6 A および図 6 B のメモリ装置の製造方法を説明するための断面図である。

【図 7 B】図 6 A および図 6 B のメモリ装置の製造方法を説明するための断面図である。

【図 7 C】図 6 A および図 6 B のメモリ装置の製造方法を説明するための断面図である。

【図 8】図 6 A および図 6 B のメモリ装置の製造方法を説明するための断面図である。

【図 9 A】本発明の実施形態に係るメモリ装置の平面図である。

【図 9 B】本発明の実施形態に係るメモリ装置の斜視図である。
50

【図 10 A】本発明の実施形態に係るメモリ装置の斜視図である。

【図 10 B】本発明の実施形態に係るメモリ装置の斜視図である。

【図 11】本発明の実施形態に係るメモリ装置の斜視図である。

【図 12】図 11 で図示されたメモリ装置の断面図の例である。

【図 13】本発明の実施形態に係るメモリ装置の断面図である。

【図 14】本発明の実施形態に係るメモリ装置の断面図である。

【図 15】本発明のメモリ装置を含む携帯型電子システムのブロック図である。

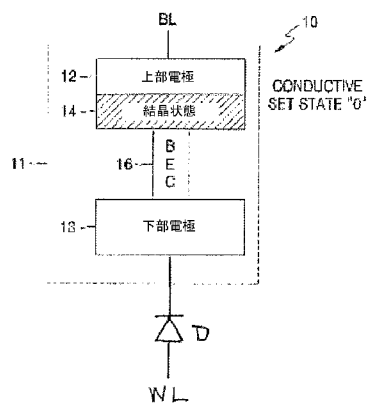
【符号の説明】

【0086】

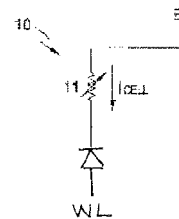
- 142 BEC 素子、
- 152 GST ストライプパターン、
- 172 熱的伝導性ストライプパターン。

10

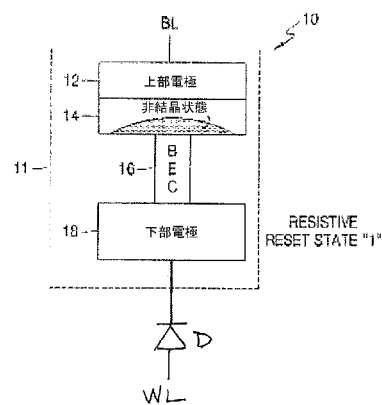
【図 1 A】



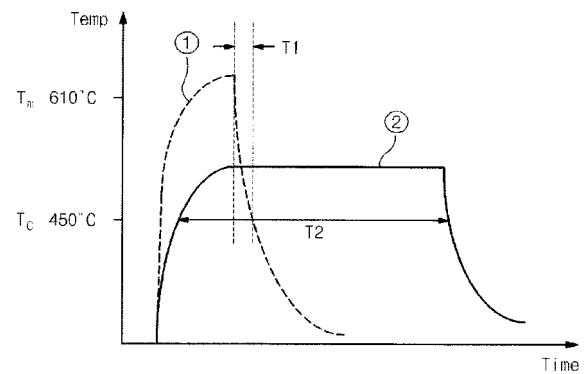
【図 2】



【図 1 B】



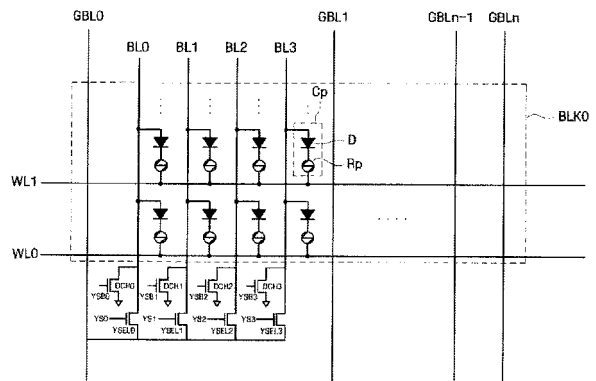
【図 3】



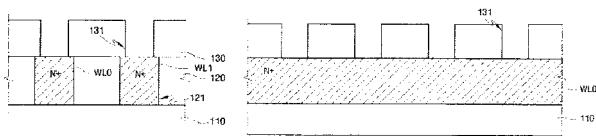
【図 5 A】

10_1	10_2	10_3	10_4	10_5	10_6	10_7	10_8
BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7
BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6
BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5
BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4
BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3
BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2
BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1
BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0
SA/WD(20_1)		SA/WD(20_2)		SA/WD(20_3)		SA/WD(20_4)	
PERIPHERY(30)							
SA/WD(20_9)		SA/WD(20_7)		SA/WD(20_6)		SA/WD(20_5)	
BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7
BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6
BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5
BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4
BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3
BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2
BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1
BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0
10_16	10_15	10_14	10_13	10_12	10_11	10_10	10_9

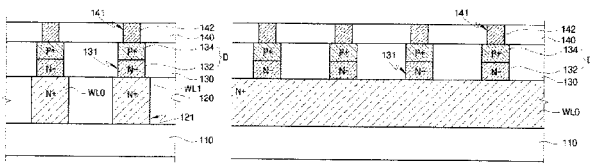
【図 5 B】



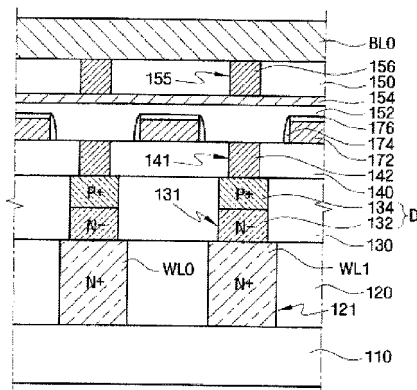
【図 7 A】



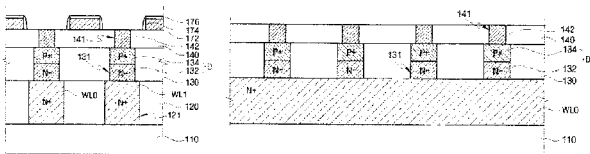
【図 7 B】



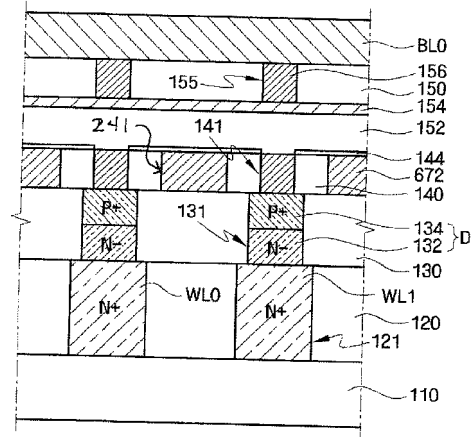
【図 8】



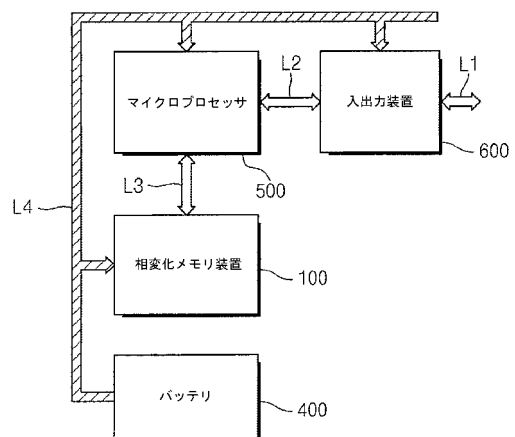
【図 7 C】



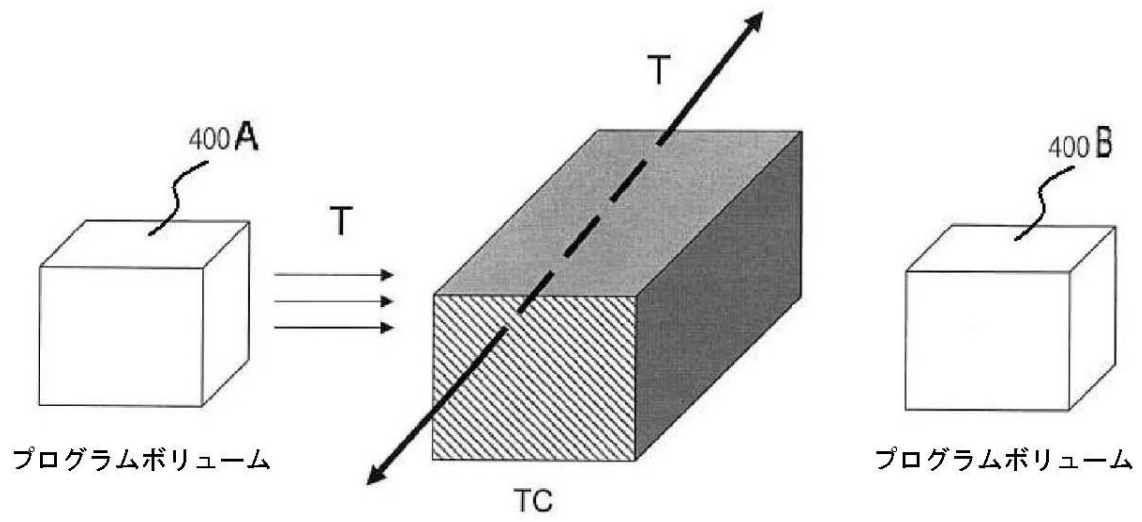
【 図 1 3 】



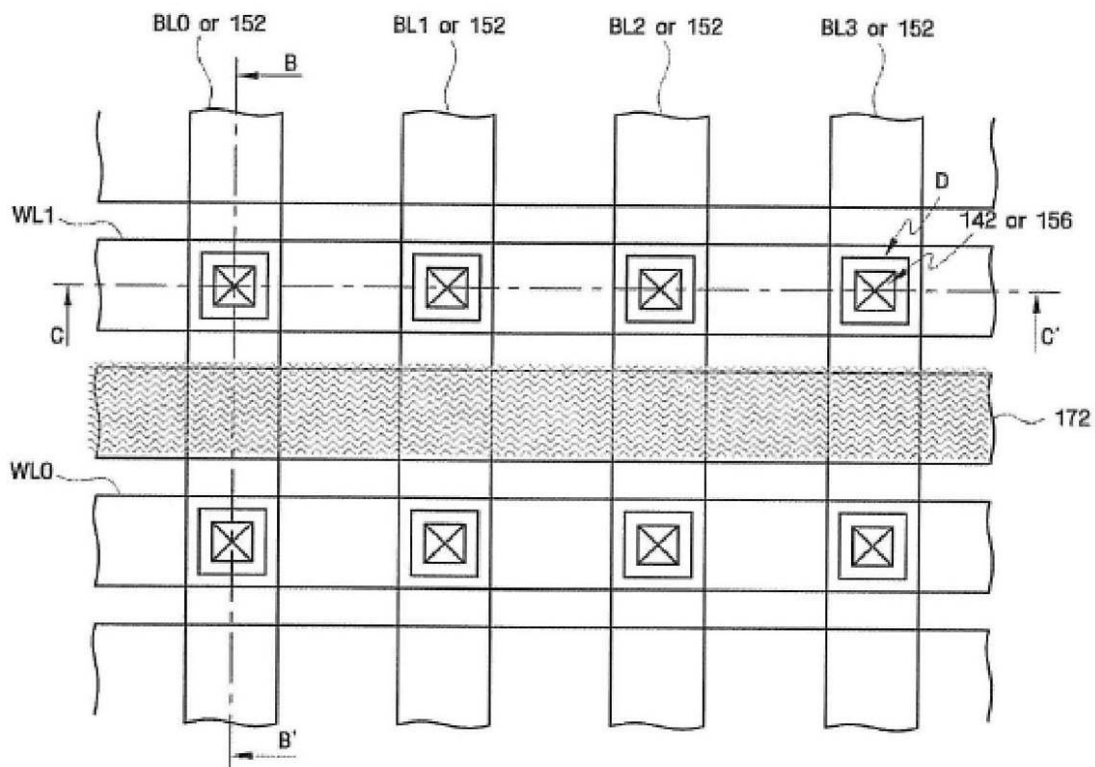
【 図 1 5 】



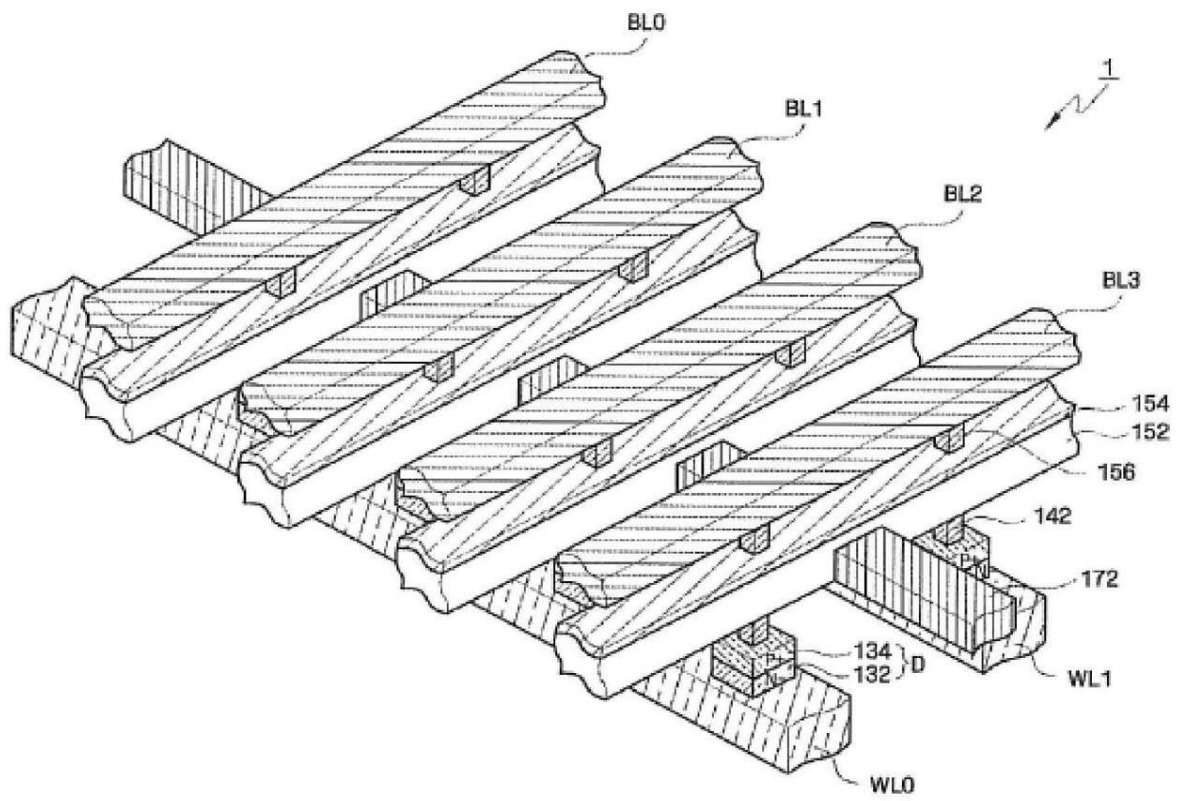
【図 4】



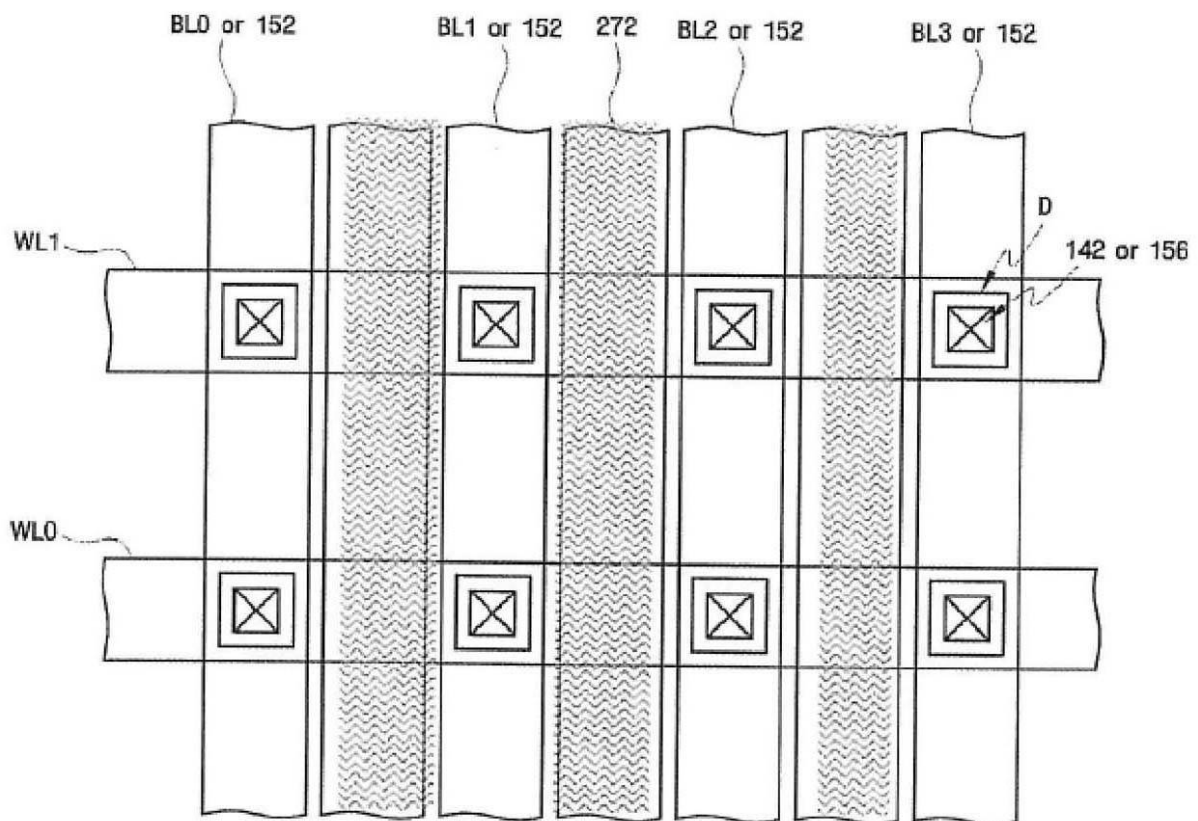
【図 6 A】



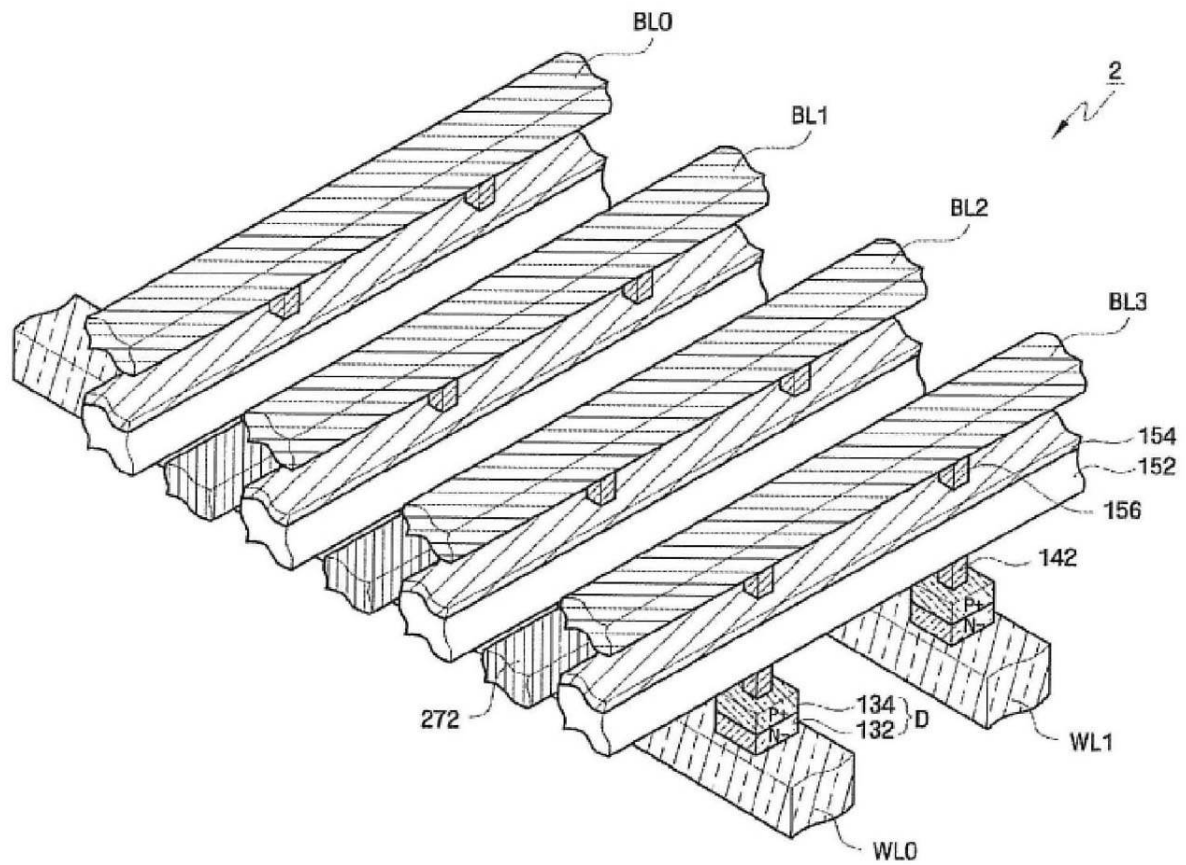
【図 6 B】



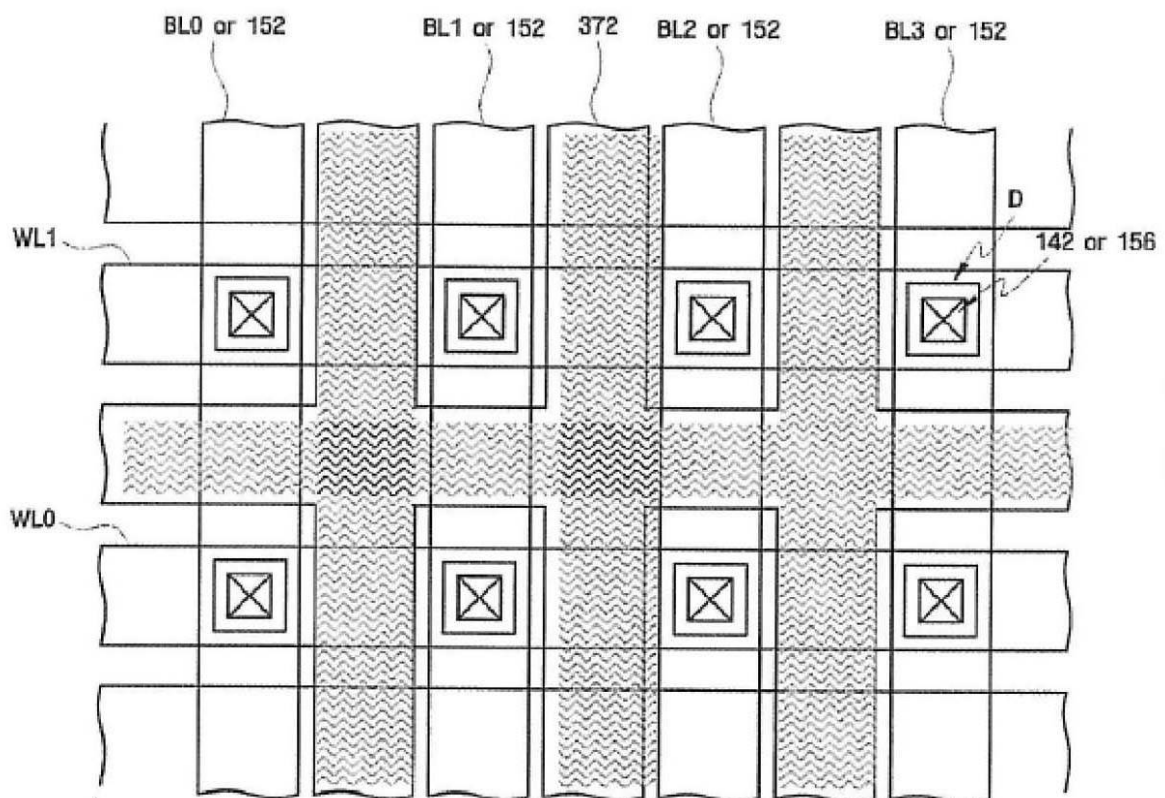
【図 9 A】



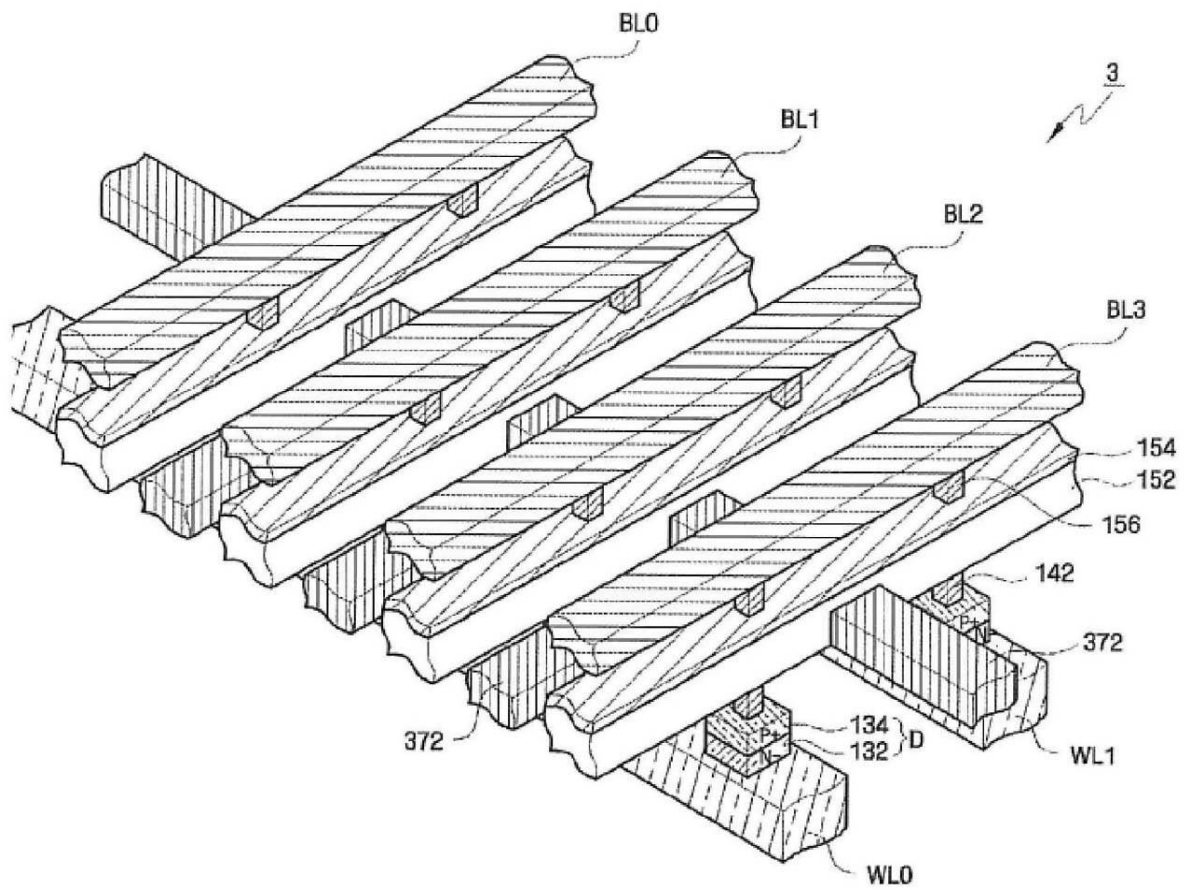
【図 9 B】



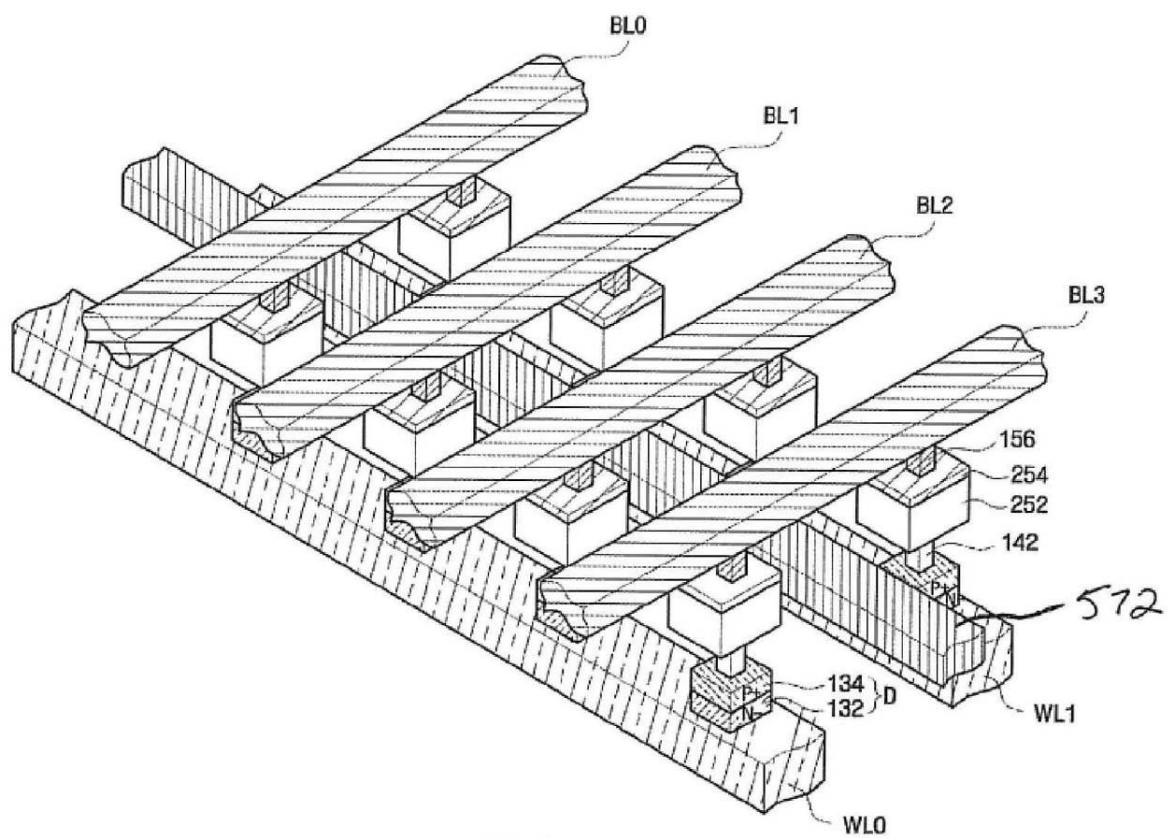
【図 10 A】



【図10B】



【図11】



フロントページの続き

(72)発明者 朴 明 珍

大韓民国京畿道城南市盆唐区野塔洞 チャンミマウル現代アパート 8 3 5 棟 1 0 1 号

(72)発明者 李 根 浩

大韓民国京畿道城南市盆唐区藪内洞 ブルンマウル新星アパート 4 0 3 棟 1 6 0 3 号

審査官 正山 旭

(56)参考文献 特開 2 0 0 7 - 2 4 3 1 6 9 (J P , A)

特開 2 0 0 8 - 0 8 5 2 0 4 (J P , A)

特開 2 0 0 8 - 1 6 0 0 0 4 (J P , A)

特表 2 0 0 6 - 5 1 4 4 4 0 (J P , A)

特開 2 0 0 6 - 2 7 9 0 4 2 (J P , A)

特表 2 0 0 6 - 5 0 2 5 7 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 7 / 1 0 5

H 0 1 L 4 5 / 0 0