(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0114503
(43) 공개일자 2010년10월25일

(51) Int. Cl.
H01L 21/302 (2006.01) *H01L 21/3065* (2006.01)
(21) 출원번호 10-2010-7016368
(22) 출원일자(국제출원일자) 2008년12월18일
심사청구일자 없음
(85) 번역문제출일자 2010년07월21일
(86) 국제출원번호 PCT/US2008/087436
(87) 국제공개번호 WO 2009/085958
국제공개일자 2009년07월09일
(30) 우선권주장
11/962,791 2007년12월21일 미국(US)

(71) 출원인
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050
(72) 발명자
양, 하이춘
미국 95051 캘리포니아 산타 클라라 # 22 하버드 애브뉴 702
루, 신 리앙
미국 94539 캘리포니아 프레몬트 자팔라 코트 45
(뒷면에 계속)
(74) 대리인
남상선

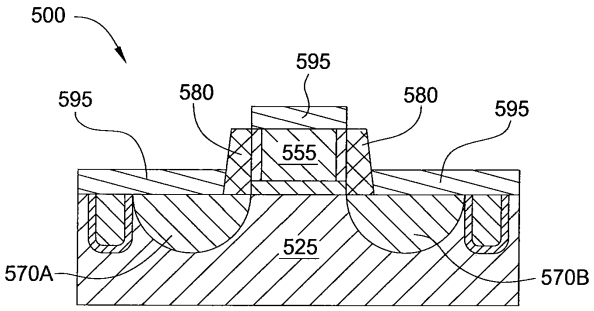
전체 청구항 수 : 총 15 항

(54) 자연 산화물 성장을 감소시키기 위한 플라즈마 세정 프로세스에 의한 패시베이션 층 형성

(57) 요 약

본 명세서에 기재된 실시예들은 기판상에 자연 산화물 표면들을 제거하면서, 동시에 하부 기판 표면을 패시베이팅하기 위한 방법을 제공한다. 일 실시예에서, 프로세싱 챔버 내에 산화물 층을 포함하는 기판을 위치시키는 단계; 상기 기판의 제 1 온도를 약 80℃ 이하로 조절하는 단계; 가스 혼합물이 약 10 이상의 NH_3/NF_3 몰 비를 갖는 암모니아 및 삼불화 질소를 포함하도록 상기 프로세싱 챔버 내에 상기 가스 혼합물로부터 세정 플라즈마를 생성하는 단계; 상기 기판상에 상기 세정 플라즈마를 응축시키는 단계를 포함하는 방법이 제공된다. 암모늄 헥사플루오로실리케이트(ammonium hexafluorosilicate)를 포함하는 박막이 플라즈마 세정 프로세스 동안 상기 자연 산화물로부터 부분적으로 형성된다. 상기 방법은 상기 박막을 상기 기판으로부터 제거하고 그 상부에 패시베이션 표면을 형성하면서, 상기 기판을 상기 프로세싱 챔버 내에서 약 100℃ 이상의 제 2 온도로 가열하는 단계를 더 포함한다.

대 표 도 - 도5h



(72) 발명자

카오, 치엔-테호

미국 94086 캘리포니아 써니베일 스타부쉬 드라이브 715

창, 메이

미국 95070 캘리포니아 사라토가 코르테 드 아르구엘로 12881

특허청구의 범위

청구항 1

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법으로서,

프로세싱 챔버 내에 산화물 층을 포함하는 기판을 위치시키는 단계;

상기 기판의 제 1 온도를 약 80℃ 이하로 조절하는 단계;

상기 프로세싱 챔버 내에 가스 혼합물로부터 세정 플라즈마를 생성하는 단계 - 상기 가스 혼합물은 약 10 이상의 NH_3/NF_3 몰 비를 갖는 암모니아 및 삼불화 질소를 포함함 -;

상기 기판상에 상기 세정 플라즈마를 응축시키고 플라즈마 세정 프로세스 동안 박막을 형성하는 단계 - 상기 박막은 상기 산화물 층으로부터 부분적으로 형성된 암모늄 헥사플루오로실리케이트(ammonium hexafluorosilicate)를 포함함 -; 및

상기 박막을 상기 기판으로부터 제거하고 그 상부에 패시베이션 표면을 형성하면서, 상기 기판을 상기 프로세싱 챔버 내에서 약 100℃ 이상의 제 2 온도로 가열하는 단계

를 포함하는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 NH_3/NF_3 몰 비는 약 20 이상인,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 3

제 2 항에 있어서,

상기 세정 플라즈마는 약 5 와트 내지 약 50 와트의 RF 전력으로 생성되는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 4

제 3 항에 있어서,

상기 RF 전력은 약 15 와트 내지 약 30 와트인,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 5

제 1 항에 있어서,

상기 가스 혼합물은 약 40 sccm 내지 약 200 sccm의 유속을 갖는 상기 암모니아 및 약 2 sccm 내지 약 50 sccm의 유속을 갖는 상기 삼불화 질소를 결합함으로써 형성되는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 6

제 5 항에 있어서,

상기 암모니아는 약 75 sccm 내지 약 100 sccm의 유속을 가지고 삼불화 질소는 약 5 sccm 내지 약 15 sccm의 유속을 가지는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 7

제 1 항에 있어서,

상기 제 1 온도는 약 20℃ 내지 약 80℃이고, 상기 제 2 온도는 약 100℃ 내지 약 200℃인,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 8

제 7 항에 있어서,

상기 제 1 온도는 약 22℃ 내지 약 40℃이고, 상기 제 2 온도는 약 110℃ 내지 약 150℃인,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 9

제 1 항에 있어서,

상기 기판의 상기 패시베이션 표면상에 에피택셜 층을 성장시키는 단계를 더 포함하는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 10

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법으로서,

프로세싱 챔버 내에 산화물 층을 포함하는 기판을 위치시키는 단계;

상기 기판의 제 1 온도를 약 100℃ 미만으로 조절하는 단계;

상기 프로세싱 챔버 내에 가스 혼합물로부터 세정 플라즈마를 생성하는 단계 - 상기 가스 혼합물은 약 20 이상의 NH_3/NF_3 몰 비를 갖는 암모니아 및 삼불화 질소를 포함하고 상기 세정 플라즈마는 약 5 와트 내지 약 50 와트의 RF 전력에 의해 생성됨 -;

플라즈마 세정 프로세스 동안 박막을 형성하도록 상기 기판을 상기 세정 플라즈마에 노출시키는 단계 -상기 박막은 상기 산화물 층으로부터 부분적으로 형성된 암모늄 헥사플루오로실리케이트를 포함함 -; 및

상기 박막을 상기 기판으로부터 제거하고 그 상부에 패시베이션 표면을 형성하면서, 상기 기판을 상기 프로세싱 챔버 내에서 약 100℃ 이상의 제 2 온도로 가열하는 단계

를 포함하는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 11

제 10 항에 있어서,

상기 RF 전력은 약 15 와트 내지 약 30 와트인,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 12

제 10 항에 있어서,

상기 가스 혼합물은 약 1 sccm 내지 약 10 sccm의 유속을 갖는 상기 암모니아 및 약 50 sccm 내지 약 200 sccm의 유속을 갖는 상기 삼불화 질소를 결합함으로써 형성되는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 13

제 10 항에 있어서,

상기 제 1 온도는 약 20℃ 내지 약 80℃이고, 상기 제 2 온도는 약 100℃ 내지 약 200℃인,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 14

제 10 항에 있어서,

상기 패시베이션 표면은 상기 프로세싱 챔버 외부의 대기 상태(ambient condition)들에 노출되면서 약 5시간 내지 약 25시간의 시간 기간 동안 기판 상에서의 또 다른 자연 산화물 층의 추가적인 형성을 약 6Å 이하의 두께로 제한하는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

청구항 15

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법으로서,

프로세싱 챔버 내에 산화물 층을 포함하는 기판을 위치시키는 단계;

상기 기판의 제 1 온도를 약 100℃ 미만으로 조절하는 단계;

상기 프로세싱 챔버 내에 가스 혼합물로부터 세정 플라즈마를 생성하는 단계 – 상기 가스 혼합물은 약 10 이상의 NH_3/NF_3 몰 비를 갖는 암모니아 및 삼불화 질소를 포함하고 상기 세정 플라즈마는 약 5 와트 내지 약 50 와트의 RF 전력에 의해 생성됨 –;

플라즈마 세정 프로세스 동안 박막을 형성하도록 상기 기판을 상기 세정 플라즈마에 노출시키는 단계 – 상기 박막은 상기 산화물 층으로부터 부분적으로 형성된 암모늄 헥사플루오로실리케이트를 포함함 –;

상기 박막을 상기 기판으로부터 제거하고 그 상부에 패시베이션 표면을 형성하면서, 상기 기판을 상기 프로세싱 챔버 내에서 약 100℃ 이상의 제 2 온도로 가열하는 단계; 및

상기 기판의 상기 패시베이션 표면상에 에피택셜 층을 성장시키는 단계

를 포함하는,

기판 표면으로부터 자연 산화물들을 제거하기 위한 방법.

명 세 서

기 술 분 야

[0001] 본 발명의 실시예는 일반적으로 기판을 프로세싱하기 위한 방법들에 관한 것이며, 보다 구체적으로는, 플라즈마 세정 프로세스들 동안 산화물 식각을 위한 방법들에 관한 것이다.

배 경 기 술

[0002] 반도체, 디스플레이, 태양전지, 및 다른 전자제품 제조에서, 기판 표면이 산소 및 대기중에 있는 물에 노출될 때 자연 산화물이 일반적으로 형성된다. 산소 노출은 기판들이 대기 또는 주변 조건들에서 프로세싱 챔버들 사이에서 이동될 때, 또는 소량의 산소가 프로세싱 챔버 내에 남아 있을 때 발생한다. 자연 산화물들은 식각 프로세스 동안의 오염으로부터 생길 수도 있다. 자연 산화물 막들은 5-20Å과 같이 일반적으로 매우 얇지만, 후속 제조 프로세스들에서 어려움을 발생시킬 만큼 충분히 두껍다. 따라서, 자연 산화물 층은 통상적으로 바람직하지 않으며, 후속 제조 프로세스 전에 제거될 필요가 있다.

[0003] 이러한 어려움들은 기판상에 형성되는 전자 디바이스들의 전기 특성들에 일반적으로 영향을 준다. 예를 들어, 자연 실리콘 산화물 막들이 노출된 실리콘 함유 층들 상에 형성될 때, 특히 금속 산화물 실리콘 전계 효과 트랜지스터("MOSFET") 구조들의 프로세싱 동안 특정 문제점이 발생한다. 실리콘 산화물 막들은 전기적으로 절연성이고 콘택 전극들 또는 상호접속하는 전기적 경로들과의 계면들에서 바람직하지 않은데, 그 이유는 이들이 큰

전기적 콘택 저항을 발생시키기 때문이다. MOSFET 구조들에서, 전극들 및 상호접속 경로들은 금속 실리사이드 층을 생성하도록 베어(bare) 실리콘 상에 내화 금속(refractory metal)을 증착하고 상기 층을 어닐링함으로써 형성되는 실리사이드 층들을 포함한다. 기판 및 금속 사이의 계면에 있는 자연 실리콘 산화물 막들은 금속 실리사이드를 형성하는 확산 화학 반응을 방해함으로써 실리사이드 층의 구성 균일도를 감소시킨다. 이는 결국 전기적 콘택들에서의 과열로 인한 낮은 기판 수율들 및 증가된 고장률들을 발생시킨다. 자연 실리콘 산화물 막은 또한 기판상에 후속하여 증착되는 다른 CVD 또는 스퍼터링된 층들의 접착을 방해할 수 있다.

[0004] 스퍼터 식각 프로세스들은 약 4:1 보다 작은 종횡비(aspect ratio)들을 갖는 큰 피쳐들 또는 작은 피쳐들에서 오염물들을 감소시키기 위해 사용되어 왔다. 그러나, 스퍼터 식각 프로세스들은 물리적 충격에 의해 복잡한 실리콘 층들을 손상시킬 수 있다. 이에 대응하여, 플루오르화수소산을 이용하는 습식 식각 프로세스들이 자연 산화물들을 제거하기 위하여 사용되어 왔다. 그러나, 습식 세정 식각 프로세스들은 종횡비가 4:1을 초과하고, 특히 종횡비가 10:1을 초과하는 더 작은 디바이스들에서는 불리하다. 특히, 수용액은 기판 표면 내에 형성되는 비아들, 콘택들, 또는 다른 작은 피쳐들로 침투하는 데 어려움을 가진다. 결과적으로, 자연 산화물 막의 제거는 불완전하다. 유사하게, 습식 식각 용액은, 작은 피쳐를 침투하는 데 성공적인 경우, 일단 식각이 완결되면 피쳐로부터 제거하기가 더욱 어렵다. 또한, 습식 식각 프로세스들은 일반적으로 엄격한 큐(queue) 시간 제어를 가지며, 바람직하지 않은 워터마크들을 기판상에 생성하며, 다량의 해로운 액체 폐기물로 인해 환경 우려들을 가진다.

[0005] 자연 산화물 막들을 제거하기 위한 다른 접근법은 불소(F_2) 가스를 이용하는 것과 같은 건식 식각 프로세스이다. 그러나, 불소 함유 가스들을 이용하는 한 가지 단점은 불소가 일반적으로 기판 표면상 뒤에 남겨진다는 것이다. 기판 표면상 뒤에 남겨진 불소 원자들 또는 불소 라디칼들은 치명적일 수 있다. 예를 들어, 뒤에 남겨진 불소 원자들은 내부에 공극들을 발생시키면서 기판을 계속해서 식각할 수 있다.

[0006] 자연 산화물 막들을 제거하는 보다 최근의 접근법은 기판 표면상에 불소/실리콘-함유 염을 형성하는 것이었고, 이는 열적 어닐링 프로세스에 의해 이후에 제거된다. 이 접근법에서, 염의 박층은 불소-함유 가스를 실리콘 산화물 표면과 반응시킴으로써 형성된다. 염은 그 후 염을 휘발성 부산물들로 분해하기에 충분한 상승된 온도로 가열되고, 상기 휘발성 부산물들은 그 후 프로세싱 챔버로부터 제거된다. 반응성 불소-함유 가스의 형성은 일반적으로 열적 부가 또는 플라즈마 에너지에 의해 보조된다. 염은 일반적으로 기판 표면의 냉각을 요하는 감소된 온도에서 형성된다. 가열에 이어지는 냉각의 이와 같은 시퀀스는 기판이 냉각되는 냉각 챔버로부터 기판이 가열되는 별도의 어닐 챔버 또는 노(furnace)로 전달함으로써 성취된다.

[0007] 다양한 이유들로 인해, 이러한 반응성 불소 프로세싱 시퀀스는 바람직하지 않다. 즉, 기판을 전달하는 것과 관련된 시간으로 인해 처리량이 현저하게 줄어든다. 또한, 기판은 챔버들 사이의 전달 동안 추가의 산화 또는 다른 오염을 받기가 매우 쉽다. 또한, 산화물 제거 프로세스를 완결하기 위해 두 개의 별도의 챔버들이 요구되므로 소유의 비용이 두 배가 된다.

[0008] 따라서, 바람직하게는 하나의 프로세싱 챔버 내에서, 하부의 기판 표면을 패시베이팅하면서 자연 산화물들을 제거 또는 식각하는 방법에 대한 필요성이 존재한다.

발명의 내용

[0009] 본 명세서에 기재된 실시예들은 기판상에 자연 산화물 표면들을 제거하면서, 동시에 하부 기판 표면을 패시베이팅하기 위한 방법을 제공한다. 일 실시예에서, 프로세싱 챔버 내에 산화물 층을 포함하는 기판을 위치시키는 단계, 상기 기판의 제 1 온도를 약 80℃ 이하로 조절하는 단계, 가스 혼합물이 약 10 이상의 NH_3/NF_3 몰 비를 갖는 암모니아 및 삼불화 질소를 포함하도록 상기 프로세싱 챔버 내에 상기 가스 혼합물로부터 세정 플라즈마를 생성하는 단계, 및 상기 기판상에 상기 세정 플라즈마를 응축시키고 플라즈마 세정 프로세스 동안 박막을 형성하는 단계를 포함하는, 기판 표면으로부터 자연 산화물들을 제거하기 위한 방법이 제공된다. 박막은상기 자연 실리콘 산화물 층의 실리콘으로부터 부분적으로 형성된 암모늄 헥사플루오로실리케이트를 포함한다. 상기 방법은 상기 박막을 상기 기판으로부터 제거하고 그 상부에 패시베이션 표면을 형성하면서, 상기 기판을 상기 프로세싱 챔버 내에서 약 100℃ 이상의 제 2 온도로 가열하는 단계를 더 포함한다. 일 예에서, 상기 기판의 상기 제 1 온도는 약 20℃ 내지 약 80℃이고, 상기 기판의 상기 제 2 온도는 약 100℃ 내지 약 200℃이다. 다른 예에서, 상기 기판의 상기 제 1 온도는 약 22℃ 내지 약 40℃이고, 상기 기판의 상기 제 2 온도는 약 110℃ 내지 약 150℃이다.

[0010] 또 다른 실시예에서, 기판 표면상에 산화물 층을 포함하는 기판을 프로세싱 챔버 내에 위치시키는 단계; 상기

기판의 제 1 온도를 약 100℃ 미만으로 조절하는 단계; 상기 프로세싱 챔버 내에 가스 혼합물로부터 세정 플라즈마를 생성하는 단계를 포함하는, 기판 표면으로부터 자연 산화물들을 제거하기 위한 방법이 제공된다. 상기 가스 혼합물은 약 20 이상의 NH_3/NF_3 몰 비를 갖는 암모니아 및 삼불화 질소를 포함하고 상기 세정 플라즈마는 약 5 와트 내지 약 50 와트의 RF 전력에 의해 생성된다. 상기 방법은 플라즈마 세정 프로세스 동안 암모늄 헥사플루오로실리케이트를 함유하는 박막을 형성하도록 상기 기판을 상기 세정 플라즈마에 노출시키는 단계를 더 포함한다. 상기 방법은 상기 박막을 상기 기판으로부터 제거하고 그 상부에 패시베이션 표면을 형성하면서, 상기 기판을 상기 프로세싱 챔버 내에서 약 100℃ 이상의 제 2 온도로 가열하는 단계를 더 포함한다.

[0011] 또 다른 실시예에서, 기판 표면상에 산화물 층을 포함하는 기판을 프로세싱 챔버 내에 위치시키는 단계; 상기 기판의 제 1 온도를 약 100℃ 미만으로 조절하는 단계; 상기 프로세싱 챔버 내에 가스 혼합물로부터 세정 플라즈마를 생성하는 단계를 포함하는, 기판 표면으로부터 자연 산화물들을 제거하기 위한 방법이 제공된다. 상기 가스 혼합물은 약 10 이상의 NH_3/NF_3 몰 비를 갖는 암모니아 및 삼불화 질소를 포함하고 상기 세정 플라즈마는 약 5 와트 내지 약 50 와트의 RF 전력에 의해 생성된다. 상기 방법은 플라즈마 세정 프로세스 동안 박막을 형성하도록 상기 기판을 상기 세정 플라즈마에 노출시키는 단계 – 상기 박막은 상기 실리콘 산화물 층으로부터 부분적으로 형성된 암모늄 헥사플루오로실리케이트를 포함함 –; 상기 박막을 상기 기판으로부터 제거하고 그 상부에 패시베이션 표면을 형성하면서, 상기 기판을 상기 프로세싱 챔버 내에서 약 100℃ 이상의 제 2 온도로 가열하는 단계; 및 상기 기판의 상기 패시베이션 표면상에 에피택셜 층을 성장시키는 단계를 더 포함한다.

[0012] 본 발명의 실시예들은 상기 NH_3/NF_3 몰 비는 약 10, 약 15, 약 20, 또는 그 이상일 수 있는 한편, 상기 세정 플라즈마는 약 5 와트 내지 약 50 와트, 바람직하게는 약 15 와트 내지 약 30 와트의 RF 전력으로 생성될 수 있음을 제공한다. 상기 가스 혼합물들은 암모니아 및 삼불화 질소를 프로세싱 챔버 내부로 유동시키고 결합함으로써 형성된다. 상기 암모니아는 약 20 sccm 내지 약 300 sccm, 바람직하게는 약 40 sccm 내지 약 200 sccm, 보다 바람직하게는 약 60 sccm 내지 약 150 sccm, 보다 바람직하게는 약 75 sccm 내지 약 100 sccm의 유속을 가질 수 있다. 삼불화 질소는 약 1 sccm 내지 약 60 sccm, 바람직하게는 약 2 sccm 내지 약 50 sccm, 보다 바람직하게는 약 3 sccm 내지 약 25 sccm, 보다 바람직하게는 약 5 sccm 내지 약 15 sccm의 유속을 가진다.

[0013] 패시베이트된 표면은 상기 프로세싱 챔버 외부의 대기 상태(ambient condition)들로의 이후의 노출 동안 상기 기판상에서의 추가 자연 산화물 성장의 추가적인 형성을 제한한다. 예를 들어, 이후의 자연 산화물 층은 대기 환경에서 약 5시간 내지 약 25시간의 큐 시간 기간 동안 약 6Å 이하의 두께로 형성될 수 있다. 다른 예에서, 이후의 자연 산화물 층은 대기 환경에 있으면서 약 15시간 내지 약 30시간의 큐 시간 기간 동안 약 8Å 이하의 두께로 형성될 수 있다. 또 다른 실시예에서, 자연 산화물 층의 제거에 후속하여 기판의 패시베이팅된 표면 위에 에피택셜 층이 성장될 수 있다.

도면의 간단한 설명

[0014] 본 발명의 위에서 기재된 특징들이 상세하게 이해될 수 있도록, 위에서 간략히 요약된 본 발명의 보다 구체적인 설명이 첨부된 도면들에 그 일부가 도시된 실시예들을 참조하여 이루어질 수 있다. 그러나, 첨부된 도면들은 본 발명의 단지 전형적인 실시예들만을 도시하는 것이며 따라서 본 발명에 대한 범위의 제한으로서 간주되지 않아야 하는데, 이는 본 발명이 다른 동등하게 효과적인 실시예들에 대해서 허용될 수 있기 때문이다.

도 1은 본 명세서내의 실시예에 기재된 것처럼, 내부에 형성되는 쉘로우 트렌치 분리를 가지는 기판 블록의 부분 사시도를 개략적으로 도시한다.

도 2는 본 명세서내의 실시예에 기재된 것처럼, 쉘로우 트렌치 분리의 부분도를 개략적으로 도시한다.

도 3은 본 명세서에 기재된 실시예에 따른 프로세싱 챔버의 단면도를 개략적으로 도시한다.

도 4a 내지 도 4i는 본 명세서에 기재된 실시예에 따른 쉘로우 트렌치 분리를 형성하기 위한 제조 순서의 개략 단면도들을 도시한다.

도 5a 내지 도 5h는 본 명세서내의 실시예에 기재된 것처럼, STI에서 분리되는 전자 소자를 형성하기 위한 제조 순서의 개략 단면도들을 도시한다.

도 6은 본 명세서내의 일부 실시예들에 기재된 것처럼, 다양한 패시베이트된 기판 표면들에 대한 산화물 성장률들을 도시하는 그래프를 보여준다.

발명을 실시하기 위한 구체적인 내용

[0015] 도 1은 내부에 형성된 쉘로우 트렌치 분리를 가지는 기판(10)의 부분 사시도이다. 도시된 기판(10)은 부분적으로만 제조되며, 실리콘 층(1) 내에 형성되는 쉘로우 트렌치(2)를 가진다. 실리콘 층(1)은 실리콘-함유 하부층(underlayer)이거나 실제의 하부 기판일 수 있다. 쉘로우 트렌치(2)는 산화물들로 충진되며, 전자 소자- 이 경우는, 내장된 트랜지스터 -를 분리시키도록 구성된다. 소오스(3) 및 드레인(4)은 내부에 도펀트들을 주입(implanting)함으로써 쉘로우 트렌치(2) 내에 형성될 수 있다. 다결정 실리콘(5)이 소오스(3)와 드레인(4) 사이에 배치되는 한편, 게이트 산화물 층(6)이 실리콘 층(1)과 다결정 실리콘(5) 사이에 배치된다.

[0016] 도 2는 섹션 라인 2-2를 따른 기판(10)의 부분 단면도를 개략적으로 도시한다. 도 2는 다결정 실리콘(5)이 쉘로우 트렌치(2)와 어디서 접하는지를 도시하고 있다. 쉘로우 트렌치(2)는 열 산화물 층(7) 및 증착된 산화물 층(8)에 의해 형성된다. 프리-폴리 식각/세정 단계가 HF를 이용하는 습식 에칭에 의해 수행된다. HF가 증착된 산화물 층(8)보다 열 산화물 층(7)을 더 빠른 비율로 식각하기 때문에 갭(9)이 쉘로우 트렌치(2) 내에 형성된다. 후속적인 폴리 증착은 다결정 실리콘(5)이 갭(9)을 충진하고 소오스(3) 또는 드레인(4) 둘레를 둘러싸게 하여 기생 접합(parasitic junction)들 또는 누설(leakage)들을 야기한다.

[0017] 도 3은 본 발명의 일 실시예에 따른 프로세싱 챔버(100)의 단면도를 개략적으로 도시한다. 이러한 실시예에서, 프로세싱 챔버(100)는 챔버 바디(112)의 상단부에 배치되는 리드 조립체(200), 및 챔버 바디(112) 내에 적어도 부분적으로 배치되는 지지 조립체(300)를 포함한다. 프로세싱 챔버는 U형 단면을 갖는 원거리 전극을 가지는 원거리 플라즈마 발생기(140)를 또한 포함한다. 프로세싱 챔버(100) 및 관련 하드웨어는 하나 또는 그 이상의 프로세스-호환 재료(process-compatible material)들, 예를 들어, 알루미늄, 양극화 알루미늄, 니켈 도금된 알루미늄, 니켈 도금된 알루미늄 6061-T6, 스테인레스 스틸뿐만 아니라 이의 조합 및 이의 합금으로부터 형성되는 것이 바람직하다.

[0018] 지지 조립체(300)가 챔버 바디(112) 내에 부분적으로 배치된다. 지지 조립체(300)는 벨로우즈(bellows; 333)에 의해 에워싸이는 샤프트(314)에 의해 상승 및 하강한다. 챔버 바디(112)가 이의 측벽 내에 형성되는 슬릿 밸브 개구(160)를 포함하여 프로세싱 챔버(100)의 내부에 접근(access)을 제공한다. 슬릿 밸브 개구(160)가 기판 핸들링 로봇(도시되지 않음)에 의해 챔버 바디(112)의 내부에 접근을 허용하도록 선택적으로 개방 및 폐쇄된다. 일 실시예에서, 기판은 슬릿 밸브 개구(160)를 통해서 인접한 전달 챔버 및/또는 로드 록 챔버(도시되지 않음), 또는 클러스터 툴(cluster tool) 내의 다른 챔버로, 프로세싱 챔버(100)의 내 외측으로 이송될 수 있다. 예시적인 클러스터 툴들은 이에 제한되는 것은 아니지만, 캘리포니아주 산타 클라라에 소재하는 어플라이드 머티어리얼즈 아이엔씨(Applied Materials, Inc.)로부터 입수가능한 PRODUCER®, CENTURA®, ENDURA®, 및 ENDURA®SL 플랫폼들을 포함한다.

[0019] 챔버 바디(112)는 관통하여 열 전달 유체를 유동시키기 위해서 내부에 형성되는 채널(113)을 또한 포함한다. 열 전달 유체는 프로세싱 및 기판 전달 중에 챔버 바디(112)의 온도를 제어하는데 이용되며 가열 유체 또는 냉각제(coolant)일 수 있다. 챔버 바디(112)의 온도는 챔버 벽들 상에 가스 또는 부산물들의 원치않는 응축을 방지하기 위해서 중요하다. 예시적인 열 전달 유체들은 물, 에틸렌 글리콜, 또는 이의 혼합물을 포함한다. 또한 예시적인 열 전달 유체는 질소 가스를 포함할 수 있다.

[0020] 챔버 바디(112)는 지지 조립체(300)를 에워싸는 라이너(133)를 더 포함하며, 이는 수리(servicing) 및 세정을 위해 제거가능하다. 라이너(133)는 알루미늄과 같은 금속, 또는 세라믹 재료로 제조되는 것이 바람직하다. 그러나, 호환가능한 다른 재료들이 프로세스 동안 이용될 수 있다. 라이너(133)는 상부에 증착되는 임의의 재료의 부착성을 증가시키도록 비드 블라스트처리(bead blasted)될 수 있으며, 이에 따라 챔버(100)의 오염을 야기하는 재료의 박리(flaking)를 방지한다. 라이너(133)는 통상적으로 하나 또는 그 이상의 구경들(135) 및 그 내부에 형성된 펌핑 채널(129)을 포함하며, 이는 진공 시스템과 유체 연통되어 있다. 구경들(135)은 펌핑 채널(129)로의 가스를 위한 유동 경로를 제공하며, 펌핑 채널은 라이너(133)를 통하는 유동 경로를 제공하여 가스들이 프로세싱 챔버(100)에서 배출될 수 있다.

[0021] 진공 시스템은 프로세싱 챔버(100) 내의 가스들의 유동을 조절하기 위해서 스로틀 밸브(127) 및 진공 펌프(125)를 포함할 수 있다. 진공 펌프(125)는 챔버 바디(112) 상에 배치되는 진공 포트(131)에 연결되며, 이는 라이너(133) 내에 형성되는 펌핑 채널(129)과 유체 연통된다. 진공 펌프(125) 및 챔버 바디(112)가 프로세싱 챔버(100) 내의 가스들의 유동을 조절하기 위해서 스로틀 밸브(127)에 의해 선택적으로 분리된다. "가스(gas)" 및 "가스들(gases)"이라는 용어는 호환되어 사용되며, 별도로 표시되지 않는 한 하나 또는 그 이상의 전구체들, 반

응물들, 촉매들, 캐리어, 정화제(purge), 세정제(cleaning), 이의 조합물 뿐만 아니라 챔버 바디(112) 내측으로 도입되는 임의의 다른 유체를 지칭한다.

[0022] 리드 조립체(200)는 서로 적층되는 다수의 부품을 포함한다. 예를 들어, 리드 조립체(200)는 리드 림(lid rim; 210), 가스 전달 조립체(220), 및 최상부 플레이트(250)를 포함한다. 리드 림(210)은 리드 조립체(200)를 형성하는 부품들의 중량을 유지하도록 설계되며, 내부 챔버 부품들에 접근을 제공하기 위해서 챔버 바디(112)의 상부 표면에 연결된다. 가스 전달 조립체(220)는 리드 림(210)의 상부 표면에 연결되며 상기 표면과 최소 열 접촉(minimum thermal contact)을 형성하도록 배열된다. 리드 조립체(200)의 부품들은 예를 들어, 고도로 마감된 표면(highly finished surface)을 갖춘 알루미늄 합금과 같은 낮은 열 저항 및 높은 열 전도성을 가지는 재료로 구성되는 것이 바람직하다. 바람직하게, 부품들의 열 저항은 약 5×10^{-4} m^2 K/W 미만이다.

[0023] 가스 전달 조립체(220)가 가스 분배 플레이트(225) 또는 샤워헤드를 포함할 수 있다. 가스 공급 패널(도시되지 않음)은 통상적으로 하나 또는 그 이상의 가스들을 프로세싱 챔버(100)에 제공하기 위해 사용된다. 사용되는 특정 가스 또는 가스들은 챔버(100) 내에서 수행될 프로세스에 의해 좌우된다. 예를 들어, 통상의 가스들은 하나 또는 그 이상의 전구체들, 반응물들, 촉매들, 캐리어들, 정화제, 세정제, 또는 이의 임의의 혼합물 또는 조합물을 포함한다. 통상적으로, 하나 또는 그 이상의 가스들은 리드 조립체(200) 내측으로 그리고 그 다음 가스 전달 조립체(200)를 통해 챔버 바디(112) 내측으로 챔버(100)에 도입된다. 전자식으로 작동되는 밸브 및/또는 유동 제어 메커니즘(도시되지 않음)은 가스 공급원으로부터 처리 챔버(100) 내측으로 가스의 유동을 제어하는데 이용될 수 있다.

[0024] 일 양상에서, 가스는 가스 공급 패널에서 프로세싱 챔버(100)로 전달되며, 여기서 가스 라인이 전술된 바와 같이 챔버 바디(112)에 가스들을 공급하는 두 개의 별도의 가스 라인으로 T자(tees into)를 형성한다. 프로세스에 따라서, 임의의 수의 가스들이 이러한 방식으로 전달될 수 있으며, 이들이 프로세싱 챔버(100)에 전달되기 전에 혼합되거나 프로세싱 챔버(100) 내에서 혼합될 수 있다.

[0025] 계속 도 3을 참조하면, 리드 조립체(200)는 리드 조립체(200) 내의 반응 종들의 플라즈마를 발생시키기 위해서 전극(240)을 더 포함할 수 있다. 이러한 실시예에서, 전극(240)은 최상부 플레이트(250) 상에서 지지되며 이로부터 전기적으로 절연된다. 아이솔레이터 필러 링(isolator filler ring)(도시되지 않음)은 최상부 플레이트(250)로부터 전극(240)을 분리시키는 전극(240)의 하부 부분 둘레에 배치된다. 환상 아이솔레이터(annular isolator; 도시되지 않음)가 도 3에 도시된 바와 같이, 최상부 플레이트(250)의 상부 표면상에 놓이며 아이솔레이터 필러 링의 상부 부분 둘레에 배치된다. 환상 아이솔레이터(도시되지 않음)는 그 후 전극(240)의 상부 부분 둘레에 배치되어 전극(240)이 리드 조립체(200)의 다른 부품으로부터 전기적으로 절연된다. 각각의 이러한 링들, 아이솔레이터 필러 및 환상 아이솔레이터들은 알루미늄 산화물 또는 임의의 다른 전기적 절연체, 프로세스 호환 재료로 형성될 수 있다.

[0026] 전극(240)은 전력 소오스(340)에 연결되지만 가스 전달 조립체(220)는 접지된다. 따라서, 하나 또는 그 이상의 프로세스 가스들이 전극(240)과 가스 전달 조립체(220) 사이에 형성되는 용적 내에서 충돌한다. 플라즈마는 블로커 플레이트(blocker plate)들에 의해 형성되는 용적들 내에 포함될 수도 있다. 블로커 플레이트 조립체가 없을 때, 플라즈마는 전극(240)과 가스 전달 조립체(220) 사이에 포함되고 충돌한다. 어느 하나의 실시예에서, 플라즈마는 리드 조립체(200) 내에 완전히 한정되거나 포함된다.

[0027] 가스들을 반응 종들로 활성화할 수 있으며 반응 종들의 플라즈마를 유지할 수 있는 임의의 전력 소오스가 이용될 수 있다. 예를 들어, 무선 주파수(RF), 직류(DC), 교류(AC), 또는 마이크로파(MW)계 전력 배출 기술이 이용될 수 있다. 활성이 열적 기반 기술, 가스 브레이크다운(gas breakdown) 기술, 고 강도 광 소오스(예를 들어, UV 에너지), 또는 x-레이 소오스에 대한 노출에 의해 발생될 수도 있다. 대안으로, 원거리 플라즈마 발생기와 같은 원거리 활성 소오스가 프로세싱 챔버(100) 내측으로 전달될 반응 종들의 플라즈마를 발생시키기 위해서 이용될 수 있다. 예시적인 원거리 플라즈마 발생기들은 MKS 인스트루먼트 아이엔씨(Instruments, Inc.) 및 어드밴스드 에너지 인더스트리즈 아이엔씨(Advanced Energy Industries)와 같은 벤더들로부터 입수가능하다. 바람직하게, RF 전력 공급원이 전극(240)에 연결된다.

[0028] 가스 전달 조립체(220)가 프로세싱 챔버(100) 내에서 수행될 동작들 및 프로세스 가스들에 따라서 가열될 수 있다. 일 실시예에서, 예를 들어, 저항성 히터(resistive heater)와 같은 가열 부재(heating element; 270)가 가스 전달 조립체(220)에 연결된다. 일 실시예에서, 가열 부재(270)는 관형 부재(tubular member)이며, 가스 전달 조립체(220)의 상부 표면 내측으로 가압된다. 가스 전달 조립체(220)의 상부 표면은 그루브 또는 홈형 채널을 포함하며 이는 가열 부재(270)의 외경보다 약간 작은 폭을 가져서 가열 부재(270)가 끼워맞춤

(interference fit)을 이용하여 그루브 내에 유지된다.

[0029] 가열 부재(270)는 가스 전달 조립체(220) 및 블로커 조립체(230)를 포함하는 전달 조립체(220)의 부품이 서로 각각 전도성있게 연결되기 때문에 가스 전달 조립체(220)의 온도를 조절한다. 프로세싱 챔버에 대한 부가적인 설명은 2005년 2월22일 출원되고 US 2005-0230350으로 공개된 U.S. 시리얼 넘버 제 11/063,645 호에서 찾을 수 있으며, 이는 본원에 참조에 의해 통합된다.

[0030] 프로세싱 챔버(100)는 진공을 유지한 채(without breaking vacuum) 기판 표면의 냉각 및 가열을 필요로 하는 플라즈마 강화 건식 식각 프로세스를 수행하는데 특히 유용하다. 일 실시예에서, 프로세싱 챔버(100)는 기판 상에 하나 또는 그 이상의 산화물들을 선택적으로 제거하기 위해서 이용될 수 있다.

[0031] 일 예에서, 하나 또는 그 이상의 실리콘 산화물들을 제거하기 위한 예시적인 건식 식각 프로세스는 암모니아(NH_3) 및 삼불화 질소(NF_3) 가스 혼합물을 이용하며 프로세싱 챔버(100) 내에서 수행될 수 있다. 프로세싱 챔버(100)는 어닐링 프로세스를 포함하여 단일 프로세싱 환경 내에서의 기판 가열 및 기판 냉각에 부가하여 플라즈마 처리로부터 이점을 얻는 임의의 건식 식각 프로세스에 대해서 유리한 것으로 믿어진다.

[0032] 도 3과 관련하여, 건식 식각 프로세스가 기판(110)을 프로세싱 챔버(100) 내측으로 위치시킴으로써 시작된다. 기판은 통상적으로 슬릿 밸브 개구(160)를 통해 챔버 바디(112) 내측으로 위치되며 지지 부재(310)의 상부 표면 상에 배치된다. 기판(110)은 지지 부재(310)의 상부 표면에 척킹(chucked)될 수 있다. 바람직하게, 기판(110)이 진공을 당김(pulling)으로써 지지 부재(310)의 상부 표면에 척킹된다. 그 후, 지지 부재(310)는, 이미 프로세싱 위치에 있지 않다면, 챔버 바디(112) 내의 프로세싱 위치로 상승된다. 챔버 바디(112)는 바람직하게는 약 50℃ 내지 약 80℃의 범위 내, 예를 들어 약 65℃의 온도로 가열된다. 챔버 바디(112)의 이러한 온도는 채널(113)을 통하여 열 전달 매체를 통과시킴으로써 유지된다.

[0033] 기판(110)은 지지 조립체(300) 내에 형성되는 유체 채널들을 통해 열 전달 매체 또는 냉각제를 통과시킴으로써, 약 15℃ 내지 약 50℃ 범위 내와 같이, 약 65℃ 미만으로 냉각된다. 일 실시예에서, 기판은 실온 이하로 유지된다. 다른 실시예에서, 기판은 약 22℃ 내지 약 40℃ 범위 내의 온도로 가열된다. 통상적으로, 지지 부재(310)는 전술된 원하는 기판 온도에 도달하기 위해서 약 22℃ 미만으로 유지된다. 지지 부재(310)를 냉각시키기 위해서, 냉각제가 지지 조립체(300) 내에 형성되는 유체 채널을 통해 통과된다. 냉각제의 연속 유동이 지지 부재(310)의 온도를 보다 양호하게 제어하는데 바람직하다. 일 예에서, 냉각제는 약 50 부피 퍼센트(vol%)의 에틸렌 글리콜 및 약 50 vol%의 물을 포함한다. 기판이 원하는 온도로 유지되는 한 물 및 에틸렌 글리콜의 다른 비율들이 이용될 수 있다.

[0034] 식각 가스 혼합물이 기판(110)의 표면 상의 다양한 산화물들을 선택적으로 제거하기 위해서 프로세싱 챔버(100)에 도입된다. 일 실시예에서, 암모니아 가스 및 삼불화 질소 가스가 프로세싱 챔버(100) 내측으로 도입되어 식각 가스 혼합물을 형성한다. 챔버 내측으로 도입되는 각각의 가스의 양은, 가변적이며 예를 들어, 제거될 산화물 층의 두께, 세정되는 기판의 기하구조, 플라즈마의 용적 용량(volume capacity), 챔버 바디(112)의 용적 용량뿐만 아니라 챔버 바디(112)에 연결되는 진공 시스템의 용량들을 수용하기 위해서 조절될 수 있다.

[0035] 식각 가스 혼합물의 비율은 기판 표면상의 다양한 산화물들을 선택적으로 제거하기 위해서 미리결정될 수 있다. 일 실시예에서, 식각 가스 혼합물 내의 가스들의 비율은 열 산화물들, 증착된 산화물들, 및/또는 자연 산화물들과 같은 다양한 산화물들을 제거하기 위해서 조절될 수 있다. 일 실시예에서, 식각 가스 혼합물 내의 암모니아 대 삼불화 질소의 몰 비는 자연 산화물들을 제거하기 위해서 설정될 수 있고 본 명세서에서 NH_3/NF_3 몰 비라고 지칭된다. 일 실시예에서, 암모니아 대 삼불화 질소의 적어도 1:1 몰 비를 가지는 식각 가스 혼합물을 제공하도록 가스들이 첨가된다. 다른 실시예에서, 식각가스 혼합물의 NH_3/NF_3 몰 비는 적어도 약 10, 바람직하게는 약 15 이상, 보다 바람직하게는 약 20 이상, 예를 들어 30이다.

[0036] NH_3/NF_3 몰 비는 암모니아 및 삼불화 질소의 가스 유속 비율들에 비례한다. 일 실시예에서, 암모니아는 약 20sccm 내지 약 300sccm, 바람직하게는 약 40sccm 내지 약 200sccm, 보다 바람직하게는 약 60sccm 내지 약 150sccm, 보다 바람직하게는 약 75sccm 내지 약 100sccm의 범위 내에서 프로세싱 챔버로의 유속을 가질 수 있다. 삼불화 질소는 약 1sccm 내지 약 60sccm, 바람직하게는 약 2sccm 내지 약 50sccm, 보다 바람직하게는 약 3sccm 내지 약 25sccm, 보다 바람직하게는 약 5sccm 내지 약 15sccm의 범위 내에서 프로세싱 챔버로의 유속을 가질 수 있다.

[0037] 퍼지 가스 또는 캐리어 가스가 식각 가스 혼합물에 첨가될 수도 있다. 예를 들어, 아르곤, 헬륨, 수소, 질소,

또는 이의 혼합물과 같은 임의의 적합한 퍼지/캐리어 가스가 이용될 수 있다. 통상적으로, 전체 식각 가스 혼합물은 암모니아 및 삼불화 질소의 부피에 의해 약 0.05 % 내지 약 20 %이며, 나머지는 캐리어 가스이다. 캐리어 가스는 약 200sccm 내지 약 5,000sccm, 바람직하게는 약 500sccm 내지 약 4,000sccm, 보다 바람직하게는 약 1,000sccm 내지 약 3,000sccm의 범위 내에서 프로세싱 챔버로의 유속을 가질 수 있다. 일 실시예에서, 퍼지 또는 캐리어 가스가, 챔버 바디(112) 내의 압력을 안정화시키기 위해서 반응 가스들 전에 챔버 바디(112) 내측으로 우선 도입된다. 챔버 바디(112) 내부의 동작 압력은 가변일 수 있다. 일반적으로, 챔버 바디(112)의 내부 압력은 약 500 mTorr 내지 약 30 Torr, 바람직하게는 약 1 Torr 내지 약 10 Torr, 보다 바람직하게는 약 3 Torr 내지 약 6 Torr의 범위 내의 압력에 있을 수 있다.

[0038] RF 전력이 가스 전달 조립체(200) 내에 포함되는 용적들(261, 262, 및 263) 내에서 가스 혼합물의 플라즈마를 점화시키기 위해서 전극(240)에 인가될 수 있다. RF 전력은 약 5 와트 내지 약 600 와트, 바람직하게는, 100 와트 미만, 예를 들어약 60 와트 미만, 약 50 와트 미만, 및 보다 바람직하게는 약 40 와트 미만의 범위 내에 있을 수 있다. 일 실시예에서, 가스 혼합물을 점화하고 세정 플라즈마를 형성하기 위하여 프로세스 동안 더 낮은 RF 전력이 이용된다. RF 전력은 약 5 와트 내지 약 50 와트, 바람직하게는 약 15 와트 내지 약 30 와트의 범위 내에 있을 수 있다. 일 예에서, 플라즈마는 약 30 와트 이하의 RF 전력으로 생성된다. 다른 예에서, 플라즈마는 약 15 와트 이하의 RF 전력으로 생성된다. 일반적으로 전력이 인가되는 주파수는 매우 낮은데, 예를 들어 100 ㎑ 미만이다. 바람직하게, 주파수는 약 50 ㎑ 내지 약 90㎑의 범위 내에 있을 수 있다.

[0039] 플라즈마 에너지는 암모니아 가스 및 삼불화 질소 가스를 반응 종들로 해리시키며, 상기 반응 종들은 불화 암모늄(NH_4F) 및/또는 산성 불화 암모늄($NH_4F \cdot HF_2$)과 같은 반응성 가스들을 형성하기 위해서 결합한다. 가스들의 이러한 혼합물은 자연 실리콘 산화물 층과 같은 산화물 층을 포함하는 기판 표면과 반응하도록 가스 분배 플레이트(225)의 홀(225A)을 통하여 가스 전달 조립체(220)를 통해 유동한다. 일 실시예에서, 캐리어 가스가 프로세싱 챔버(100) 내측으로 우선 도입되며, 캐리어 가스의 플라즈마가 발생되고, 그 다음 반응성 가스들, 암모니아 및 삼불화 질소가 플라즈마에 첨가된다.

[0040] 이론에 의해 제한되는 것은 아니며, 식각 가스들, 불화 암모늄 및/또는 산성 불화 암모늄은 실리콘 산화물 표면과 반응하여 암모늄 헥사플루오로실리케이트($(NH_4)_2SiF_6$), 암모니아, 및 물을 형성한다고 믿어진다. 가스 암모니아 및 물은 진공 펌프(125)에 의해 프로세싱 챔버(100)로부터 제거될 수 있다. 특히, 휘발성 가스들은 진공 펌프(125) 내측으로 진공 포트(131)를 통해 프로세싱 챔버(100)에서 배출되기 전에, 라이너(133) 내에 형성된 구경들(135)을 통해 펌핑 채널(129) 내측으로 유동한다. 암모늄 헥사플루오로실리케이트를 함유하는 박막은 기판 표면상에 형성된다. 이러한 반응 메커니즘이 다음과 같이 요약될 수 있다:

[0041] $NF_3 + {}_{xs}NH_3 \rightarrow NH_4F + NH_4 \cdot HF_2 + N_2$

[0042] $2NH_4F + 2NH_4 \cdot HF_2 + SiO_2 \rightarrow (NH_4)_2SiF_6 + 2H_2O + 2NH_3$

[0043] $(NH_4)_2SiF_6 + 열 \rightarrow 2NH_3 + 2HF + SiF_4$

[0044] 박막이 기판 표면 상에 형성된 후에, 지지 부재(310)가 가열된 가스 분배 플레이트(225)에 아주 근접한 어닐링 위치로 상승할 수 있다. 가스 분배 플레이트(225)로부터 방사된 열은 암모늄 헥사플루오로실리케이트의 박막을 휘발성 성분들, 예를 들어, 삼불화 규소, 암모니아, 및 불화 수소로 분해시키거나 승화시킬 수 있다. 이러한 휘발성 생성물들은 그 후 전술된 바와 같이, 진공 펌프(125)에 의해 프로세싱 챔버(100)로부터 제거된다. 통상적으로, 75℃ 이상, 바람직하게는 100℃ 이상, 예를 들어 약 115℃ 내지 약 200℃의 온도에서 박막이 기판(110)으로부터 승화되거나 제거될 수 있다.

[0045] 암모늄 헥사플루오로실리케이트의 박막을 이의 휘발성 성분들로 분해시키는 열 에너지는 가스 분배 플레이트(225)에 의해 대류 순환(convected)되거나 방사된다. 전술된 바와 같이, 가열 부재(270)는 분배 플레이트(225)에 직접 연결되며, 분배 플레이트(225) 및 이와 열 접촉하는 부품들을 약 75℃ 내지 약 300℃, 바람직하게는 약 100℃ 내지 약 200℃, 보다 바람직하게는 약 110℃ 내지 약 150℃, 예를 들어, 약 120℃의 온도로 가열시키기 위해서 활성화된다.

[0046] 이러한 상승 변화(elevation change)는 다양한 방식으로 실시될 수 있다. 예를 들어, 리프트 메커니즘(330)은 분배 플레이트(225)의 하부 표면을 향해 지지 부재(310)를 상승시킬 수 있다. 이러한 리프팅(lifting) 단계 중에, 기판(110)이 전술된 진공 척 또는 정전 척에 의해서와 같이 지지 부재(310)에 고정된다. 대안으로, 기판(110)이 지지 부재(310)에서 들어올려질 수 있으며 리프트 링(320)을 통해 리프트 핀(325)을 상승시킴으로써 가

열된 분배 플레이트(225)에 아주 근접하여 위치될 수 있다.

[0047] 상부에 박막을 가지는 기판(100)의 상부 표면과 분배 플레이트(225) 사이의 거리는 중요하지 않으며 일상 실험에 관한 문제이다. 당업자는 하부 기판을 손상시키지 않은 채 박막을 능률적이며 효과적으로 증발시키기 위해서 필요한 공간을 용이하게 결정할 수 있다. 그러나, 약 0.254 mm(10 mils) 내지 5.08 mm(200 mils)의 공간이 효과적인 것으로 믿고 있다.

[0048] 필름이 기판으로부터 제거되면, 프로세싱 챔버(100)는 퍼지처리되며 진공처리된다. 프로세싱된 기판은, 그 후 기판 지지부(300)를 전달 위치로 하강시키고, 기판을 디 척킹(de-chucking) 시키며, 슬릿 밸브 개구(160)를 통해 기판을 전달함으로써 챔버 바디(112)로부터 제거된다.

[0049] 본 발명의 일 실시예는 쉘로우 트렌치 분리의 제조 중에 다양한 산화물들을 균일하게 제거하기 위해서 적용될 수 있다. STI는 서브-0.25(sub-0.25) 미크론 제조를 위해 이용되는 소자 분리 기술의 주 형태이다. STI 제조는 일반적으로 트렌치 마스크 및 식각, 측벽 산화, 트렌치 충진 및 평탄화를 포함한다. 도 4a 내지 도 4i는 본 발명의 일 실시예에 따른 쉘로우 트렌치 분리를 형성하기 위한 제조 순서의 개략적인 단면도이다.

[0050] 도 4a는 배리어 산화물 층(402) 및 증착된 질화물 층(403) 이후의 반도체 기판(401)을 도시하고 있다. 기판(401)은 <100> 결정 방향 및 150 mm (6인치), 200 mm (8인치), 또는 300 mm (12인치)의 직경을 가지는 실리콘 기판일 수 있다. 배리어 산화물 층(402)은 고온 산화 노 내에서 기판(401) 상에 성장될 수 있다. 배리어 층(402)은 약 150Å의 두께를 가질 수 있다. 배리어 산화물 층(402)은 이후의 질화물 스트립 단계(nitride strip step) 중에 오염으로부터 기판(401)을 보호한다. 질화물 층(403)은 고온 저압 화학 기상 증착(LP-CVD) 노 내에서 형성된다. 질화물 층(403)은 일반적으로 암모니아 가스 및 디클로로실란 가스의 반응으로부터 형성되는 실리콘 질화물(예를 들어, Si3N4)의 박막이다. 질화물 층(403)은 이후의 화학 기계식 평탄화(CMP) 중에 연마 정지 재료 역할을 하며 산화물 증착 중에 기판(401)을 보호하는 내구성 마스킹 재료(durable masking material)이다.

[0051] 도 4b는 질화물 층(403) 위에서 형성되고, 노광되고, 그리고 현상되는 포토 레지스트 층(404)을 도시하고 있다. 트렌치 패턴이 포토 레지스트 층(404) 상에 형성될 수 있다. 배리어 층(402) 및 질화물 층(403) 내에 트렌치 패턴(405)을 형성하는 후속적인 질화물 식각 단계 및 산화물 식각 단계는 기판(401) 내의 분리 영역들로서 지정된 위치들을 노출시킨다.

[0052] 도 4c는 쉘로우 트렌치(406)가 건식 플라즈마 식각과 같은 식각 프로세스를 이용하여 기판(401) 내에 형성되는 것을 도시하고 있다. 쉘로우 트렌치(406)는 이후 유전체 재료들로 충진될 것이며, 기판(401) 상에 구성되는, MOSFET(metal on substrate field effect transistors)과 같은 전자 소자들 사이에 분리 재료들로서 기능한다.

[0053] 도 4d는 쉘로우 트렌치(406) 내부에 형성되는 라이너 산화물 층(407)을 도시하고 있다. 라이너 산화물 층(407)은 통상적으로 고온 산화 노 내에서 열적으로 성장된다. 라이너 산화물 층(407)의 목적은 기판(401)과 내부 충진될 트렌치 산화물(409) 사이의 계면을 개선하는 것이다.

[0054] 도 4e는 쉘로우 트렌치(406) 안쪽에서 라이너 산화물 층(407) 위에 형성되는 질화물 라이너(408)를 도시하고 있다. 질화물 라이너(408)는 질소 또는 아르곤과 같은 캐리어 가스 내에서 암모니아 및 실란으로부터 플라즈마 강화 화학 기상 증착(PE-CVD) 프로세스에 의해 형성될 수 있다. 질화물 라이너(408)의 목적은 응력이 가해진 산화물들에 의해 야기되는 기계적 고장들을 방지하고 쉘로우 트렌치(406) 내에 응력을 유도하는 것이다.

[0055] 도 4f는 쉘로우 트렌치(406) 내부에 충진되는 트렌치 산화물(409) 및 트렌치 패턴(405)을 도시하고 있다. 트렌치 산화물(409)은 상대적으로 높은 증착률을 갖는 CVD 프로세스에 의해 통상적으로 형성된다. 트렌치 산화물(409)은 과충진되어 트렌치 산화물(409)이 기판(401)의 최상부 표면 위에 있다.

[0056] CMP 프로세스가 도 4g에 도시된 바와 같은 평면을 획득하기 위해서 적용될 수 있다. CMP 프로세스가 트렌치 산화물(409)로부터 초과 산화물을 제거한다.

[0057] 질화물 스트립 단계는 도 4h에 도시된 바와 같이, 질화물 층(402)을 제거하고 다양한 산화물들, 배리어 층(402)으로부터 열 산화물, 트렌치 산화물(409)로부터 증착된 산화물, 라이너 산화물 층(407)으로부터 열 산화물, 그리고 질화물 라이너(408)로부터 질화된 산화물을 노출시키도록 수행될 수 있다.

[0058] 통상적으로, 산화물 식각 단계가 후속 프로세싱 단계 －예를 들어, 다양한 우물(well) 주입 －를 위해 준비된 쉘로우 트렌치 구조를 달성하기 위해서 수행될 것이다. 도 4i는 건식 식각 프로세스 후의 STI를 도시하고 있다. 본 발명의 건식 식각 프로세스는 도 4h에서 노출된 다양한 산화물을 식각하는데 이용될 수 있어서 쉘로

우 트렌치(409) 위의 실질적으로 평면인 최상부 표면을 획득하며 원하지않는 접합 및 누설들을 방지한다. 일 실시예에서, 건식 식각 프로세스는 프로세싱 챔버(100)와 유사한 프로세싱 챔버 내에서 수행될 수 있다. 기판(400)은 프로세싱 챔버 내에 위치될 수 있으며 약 100℃ 이하, 바람직하게는 약 80℃ 이하, 보다 바람직하게는 약 60℃ 이하, 예를 들어, 약 20℃ 내지 약 60℃, 바람직하게는 약 25℃ 내지 약 50℃, 보다 바람직하게는 약 30℃ 내지 약 40℃, 예를 들어 약 35℃의 온도로 가열된다.

[0059] 식각 가스 혼합물이 기판(400)의 표면 상의 다양한 산화물을 제거하기 위해서 프로세싱 챔버(100)에 도입된다. 일 실시예에서, 암모니아 가스 및 삼불화 질소 가스를 포함하는 식각 가스 혼합물이 프로세싱 챔버 내측으로 도입된다. 암모니아 대 삼불화 질소의 양 및 비율이 예를 들어, 제거될 산화물 층들의 두께, 기판(400)의 기하구조, 플라즈마의 용적 용량, 챔버의 용적 용량, 진공 시스템의 능력들 뿐만 아니라 기판(400)상의 상이한 산화물의 특성들을 수용하기 위해서 조절된다. 퍼지 가스 또는 캐리어 가스가 식각 가스 혼합물에 첨가될 수도 있다. 식각 가스 혼합물의 플라즈마가 그 다음 점화된다. 플라즈마는 산화물들과 반응하여 기판(400)상에 암모늄 헥사플루오로실리케이트를 함유하는 박막의 층을 남긴다.

[0060] 이후에, 박막을 승화시키기 위하여, 기판(400)은 약 100℃ 이상, 예를 들어, 약 100℃ 내지 약 200℃, 바람직하게는 약 100℃ 내지 약 150℃, 보다 바람직하게는 약 110℃ 내지 약 125℃의 온도로 가열된다. 그 후, 프로세싱 챔버는 퍼지처리되고 진공처리되며, 기판(400)은 후속 단계들을 위한 준비가 된다. 일 예에서, 기판은 식각 프로세스 동안 약 20℃ 내지 약 80℃ 범위 내의 제1 온도에 있고 후속하여 승화 프로세스 동안 약 100℃ 내지 약 150℃의 범위 내의 제2 온도로 가열된다. 다른 예에서, 기판은 식각 프로세스 동안 약 22℃ 내지 약 40℃ 범위 내의 제1 온도에 있고 후속하여 승화 프로세스 동안 약 110℃ 내지 약 125℃의 범위 내의 제2 온도로 가열된다.

[0061] 본 명세서에서 기재된 식각 프로세스가 제조 중에 다양한 식각 단계들, 특히 하나 또는 그 이상의 산화물 층을 제거하기 위한 단계들에서 이용될 수 있다. 예를 들어, 주입 및 증착 이전의 다양한 에치 백(etch back)들이 본 명세서에 기재된 식각 프로세스를 이용할 수 있다. 일 실시예에서, 본 명세서에 기재된 식각 프로세스들은 실리콘 함유 물질들을 형성하기 위한 에피텍셜 성장/증착 프로세스, 폴리실리콘 증착 프로세스, 또는 실리사이드 프로세스 이전에 사용될 수 있다.

[0062] 도 5a 내지 도 5h는 본 명세서에 기재된 프로세싱 챔버(100) 및 건식 식각 프로세스를 포함하는 MOSFET 구조물(500)과 같은 전자 소자를 형성하기 위한 제조 순서의 개략적인 단면도를 도시한다. MOSFET 구조물(500)은 반도체 재료, 예를 들어 실리콘 또는 갈륨 비소 기판(525)상에 형성될 수 있다. 바람직하게, 기판(525)은 <100> 결정 방향 및 150mm(6인치), 200mm(8인치), 또는 300mm(12인치)의 직경을 가지는 실리콘 웨이퍼이다. 통상적으로, MOSFET 구조물(500)은 (ⅰ)실리콘 이산화물, 오가노실리케이트, 탄소 도핑된 실리콘 산화물, 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG), 실리콘 질화물, 또는 이의 조합물과 같은 유전체 층들; (ii) 도핑된 폴리실리콘, 및 n-형 또는 p-형 도핑된 단결정 실리콘과 같은 반도체 층들; 및 (iii) 텅스텐, 텅스텐 실리사이드, 티타늄, 티타늄 실리사이드, 코발트 실리사이드, 니켈 실리사이드, 또는 이의 조합물과 같은 금속 또는 금속 실리사이드의 층으로부터 형성되는 인터커넥트 라인들 및 전기 접촉부들의 조합을 포함한다.

[0063] 도 5a와 관련하여, 활성 전자 소자의 제조는 다른 소자들로부터 활성 전자 소자를 전기적으로 분리시키는 전기 분리 구조물들을 형성함으로써 시작된다. 필드 산화물 배리어 또는 쉘로우 트렌치 분리와 같은 다양한 형태의 전기 분리 구조물들이 존재한다. 이 경우, 쉘로우 트렌치 분리(545A 및 545B)는 소자의 전기적으로 활성인 요소들이 형성되고 준비되는 노출된 영역들을 에워싼다. STI는 도 4a 내지 도 4i에 도시된 바와 같은 두 개 또는 그 이상의 산화물들을 포함할 수 있다. 노출된 영역들은 약 50 Å 내지 300 Å의 두께를 가지는 박막 게이트 산화물 층(550)을 형성하기 위해서 열적으로 산화된다. 폴리실리콘 층이 그 후 폴리실리콘 게이트 전극(555)을 생성시키기 위해서 증착, 패턴화, 및 식각된다. 폴리실리콘 게이트 전극(555)의 표면은 절연 유전체 층(560)을 형성하기 위해서 재산화(re-oxidize)될 수 있으며, 도 5a에 도시된 구조물을 제공한다.

[0064] 도 5b는, 적합한 도펀트 원자들로 적합한 영역을 도핑시킴으로써 형성될 수 있는 소오스(570A) 및 드레인(570B)을 도시한다. 예를 들어, p형 기판들(525)상에서 비소 또는 인을 포함하는 n형 도펀트 종들이 이용된다. 통상적으로, 도핑이 이온 주입기에 의해 수행되며 예를 들어, 약 30 Kev 내지 약 80 Kev의 에너지 레벨에서 약 10^{13} atoms/㎠의 농도인 인, 또는 10 Kev 내지 약 100 Kev의 에너지 레벨 및 약 1×10^{15} atoms/㎠ 내지 1×10^{17} atoms/㎠ 도즈의 비소를 포함할 수 있다. 주입 프로세스 후에, 도펀트가 예를 들어, 급속 열처리(RTP) 장치 내에서 기판을 가열시킴으로써 기판(525) 내측으로 유입(driven)된다. 그 후, 소오스(570A) 및 드레인(570B)의 영역들을 덮는 박막 게이트 산화물 층(550)이 박막 게이트 산화물 층(550) 내에 포착된 주입 프로세스에 의해

야기되는 임의의 불순물들을 제거하도록 전술된 건식 식각 프로세스에 의해 제거된다. 쉘로우 트렌치 분리(545A 및 545B) 내의 두 개 또는 그 이상의 산화물이 식각될 수도 있다. 식각 가스 혼합물은 다른 산화물들을 위해 필요한 다양한 식각률들을 수용하기 위해서 조절될 수 있다.

[0065] 도 5c 및 도 5d와 관련하여, 실리콘 질화물 층(575)이 실란(SiH_4), 염소(Cl_2), 및 암모니아(NH_3)를 이용하는 저압 화학 기상 증착(LP-CVD)에 의해 기판(525) 상의 표면들 및 게이트 전극(555) 상에 증착된다. 실리콘 질화물 층(575)은 그 후 도 5d에 도시된 바와 같이 게이트 전극(555)의 측벽 상에 질화물 스페이서들(580)을 형성하기 위해서 반응 이온 식각(RIE) 기술들을 이용하여 식각된다. 스페이서들(580)은 이후에 게이트 전극(555)의 최상부 표면 상에 형성되는 실리사이드 층을 소오스(570A) 및 드레인(570B) 위에 증착되는 다른 실리사이드 층들로부터 전기적으로 분리시킨다. 전기적 분리 측벽 스페이서들(580)은 실리콘 산화물과 같은 다른 재료들로부터 제조될 수 있음이 인식되어야 한다. 측벽 스페이서들(580)을 형성하기 위해서 이용되는 실리콘 산화물 층들은 통상적으로 약 600℃ 내지 약 1,000℃의 범위 내의 온도에서 테트라에틸오소실리케이트(TEOS)의 공급 가스로부터 CVD 또는 PE-CVD에 의해 증착된다. 스페이서들(580)이 주입 및 RTP 활성 후에 형성되는 것으로 도시되어 있지만, 스페이서들(580)은 소오스/드레인 주입 및 RTP 활성 이전에 형성될 수 있다.

[0066] 도 5e와 관련하여, 자연 실리콘 산화물 층(585)은 통상적으로 프로세스들 이전 및 이후에 대기로의 노출에 의해 노출된 실리콘 표면들 상에 형성된다. 자연 실리콘 산화물 층(585)은 형성된 금속 실리사이드의 전기 전도성 및 합금화 반응을 개선하기 위해서 게이트 전극(555), 소오스(570A), 및 드레인(570B)상에 전도성 금속 실리사이드 접촉부들을 형성하기 이전에 제거되어야만 한다. 자연 실리콘 산화물 층(585)이 반도체성 재료의 전기 저항을 증가시킬 수 있으며, 후속적으로 증착되는 실리콘 및 금속 층들의 실리시데이션(silicidation)에 부정적 영향을 미칠 수 있다. 따라서, 활성 전자 소자들을 상호연결하기 위한 금속 실리사이드 접촉부들 또는 전도체들을 형성하기 전에 전술된 건식 식각 프로세스를 이용하여 자연 실리콘 이산화물 층(585)을 제거할 필요가 있다. 전술된 건식 식각 프로세스가 도 5f에 도시된 바와 같이, 소오스(570A), 드레인(570B) 및 게이트 전극(555)의 최상부 표면을 노출시키도록 자연 실리콘 산화물 층(585)을 제거하는데 이용될 수 있다. 쉘로우 트렌치 분리(545A, 545B) 내의 산화물들이 건식 식각 프로세스에 또한 노출된다. 활성 가스들의 비율과 같은 적합한 조절이 상이한 표면들에서 균일한 제거율을 획득하기 위해서 건식 식각 프로세스에 적용될 수 있다.

[0067] 그 후, 도 5g에 도시된 바와 같이, 물리 기상 증착(PVD) 또는 스퍼터링 프로세스가 금속의 층(590)을 증착시키기 위해서 이용된다. 통상의 노 어닐링은 그 후 금속 층(590)이 실리콘과 접촉하는 영역들 내에 금속 실리사이드를 형성하도록 금속 층 및 실리콘 층을 어닐링시키기 위해서 이용된다. 어닐링 프로세스는 통상적으로 별도의 프로세싱 시스템 내에서 수행된다. 따라서, 보호 캡핑 층(도시되지 않음)이 금속(590) 위에서 증착될 수 있다. 캡핑 층들이 통상적으로 질화물 재료들이며 티타늄 질화물, 텅스텐 질화물, 탄탈 질화물, 하프늄 질화물, 실리콘 질화물, 이들의 유도체들, 이들의 합금들, 또는 이들의 조합물들로 구성되는 그룹으로부터 선택되는 하나 또는 그 이상의 재료들을 포함할 수 있다. 캡핑 층이 임의의 증착 프로세스, 바람직하게는 PVD 프로세스에 의해 증착될 수 있다.

[0068] 어닐링은 통상적으로 약 30분 동안 질소 대기에서 600℃ 내지 800℃의 온도로 MOSFET 구조물(500)을 가열시키는 단계를 수반한다. 대안으로, MOSFET 구조물(500)이 약 30초 동안 약 1,000℃로 급속하게 가열되는 급속 열 어닐링 프로세스를 이용하여 형성될 수 있다. 적합한 전도성 금속들은 코발트, 티타늄, 니켈, 텅스텐, 백금, 및 낮은 접촉 저항을 가지며 폴리실리콘 및 단결정 실리콘상에 신뢰할 수 있는 금속 실리사이드 접촉부를 형성할 수 있는 다른 금속들을 포함한다.

[0069] 금속 층(590)의 비반응된 부분들은 금속 실리사이드(595), 스페이서(580), 또는 필드 산화물들(545A 및 545B)를 침식시키지 않은 채 금속을 제거하는 왕수(aqua regia)(HCl 및 HNO_3)를 이용하는 습식 식각에 의해 제거될 수 있으므로, 도 5h에 도시된 바와 같이 게이트 전극(555), 소오스(570A), 및 드레인(570B) 상에 자체 정렬된(self-aligned) 금속 실리사이드(595)를 남긴다. 그 후, 예를 들어, 실리콘 산화물, BPSG, 또는 PSG를 포함하는 절연 커버 층이 전극 구조물들상에 증착될 수 있다. 절연 커버 층이 CVD 챔버내의 화학 기상 증착에 의해 증착되며, 상기 챔버 내에서 본원에 참조에 의해 통합되며 공동 양도된 미국 특허 제 5,500,249 호에 기재되어 있는 바와 같은 낮은 또는 대기 압력에서 공급가스로부터 재료가 응축된다. 그 후 MOSFET 구조물(500)이 부드러운 평탄화된 표면을 형성하기 위해서 유리 전이 온도들에서 어닐링된다.

[0070] 전술된 공정 순서가 MOSFET 소자의 형성과 관련되어 기재되었지만, 본 명세서에 기재된 건식 식각 프로세스가 다양한 산화물들의 제거를 필요로하는 다른 반도체 구조물들 및 소자들을 형성하는데 이용될 수도 있다. 건식 식각 프로세스가 예를 들어, 알루미늄, 구리, 코발트, 니켈, 실리콘, 티타늄, 팔라듐, 하프늄, 붕소, 텅스텐,

탄탈, 이의 합금들, 또는 이의 조합물들을 포함하는 상이한 재료들의 층들의 증착 이전에 이용될 수도 있다.

[0071] 일 실시예에서, 실시예들에서 기재된 바와 같은 건식 식각 프로세스가 수성 식각 프로세스(aqueous etching process)와 결합될 수 있다. 예를 들어, 적어도 두 개의 산화물들을 가지는 산화물 구조에 있어서, 건식 식각 프로세스가 제 1 산화물을 선택적으로 제거하는데 이용될 수 있으며, 제 2 산화물에 대해 제 1 산화물 피쳐를 완전히 또는 부분적으로 감소시키기 위해서 이용될 수 있다. 수성 HF 식각 프로세스가 제 2 산화물을 제거하기 위해 후속될 수 있다.

[0072] 전술된 논의의 보다 양호한 이해를 제공하기 위해서, 하기의 비-제한 예가 제공된다. 상기 예가 특정 실시예들에 관한 것일 수 있지만, 상기 예는 임의의 특정 내용으로 본 발명을 제한하는 것으로 해석되어서는 안된다.

[0073] **예들:**

[0074] 기판들은 자연 산화물 층들을 제거하고 상부에 패시베이트된 표면들을 형성하기 위하여 다양한 식각 프로세스들에 노출되었다. 이어서, 기판들은 큐 시간 동안 대기 조건(ambient condition)들에 노출되었고 제2 자연 산화물 층이 패시베이트된 표면들 상에 형성되었다. 이들 제2 자연 산화물 층들의 두께는 도 6에 그래프로 도시된 것처럼, 대기 조건들에 노출되면서 큐 시간에 관하여 모니터링되었다. 다양한 식각 프로세스들은 이하의 차트에 요약된 것처럼, 실험들 A-E를 포함하였다.

표 1

[0075]

기판	NH_3 유속(sccm)	NF_3 유속(sccm)	NH_3/NF_3 몰 비	플라즈마 전력(W)
A	-	-	-	-
B	70	14	5	30
C	100	50	2	30
D	100	5	20	30
E	100	5	20	15

[0076] 실험 A에서, 기판 A는 HF 습식 세정 용액 및 프로세스에 노출되었다. 실험 B 및 C에서, 기판 B 및 C는 각각 약 5 및 약 2의 NH_3/NF_3 몰 비를 갖는 식각 가스들의 혼합물에 노출되었고, 양자 모두 약 30 와트의 RF 전력으로 점화된 플라즈마에 노출되었다. 실험 D 및 E에서, 기판 D 및 E는 모두 약 20의 NH_3/NF_3 몰 비를 갖는 식각 가스들의 혼합물에 노출되었으나, 각각 약 30 와트 및 약 15 와트의 서로 다른 RF 전력으로 점화된 플라즈마에 노출되었다.

[0077] 암모니아 가스 및 삼불화질소 가스와 함께, 아르곤이 또한 실험들 B-E에 대해 약 3,500 sccm의 유속을 갖는 프로세싱 챔버로 도입되었다. 프로세싱 챔버의 내부 압력은 약 3 Torr였고 기판 온도는 약 35℃였다. 기판은 암모니아 헥사플루오로실리케이트를 함유하는 막을 형성하도록 120초 동안 식각되었다.

[0078] 이후의 어닐링 프로세스 동안, 기판 표면과 샤워헤드 사이의 간격은 약 750 mils였다. 프로세싱 챔버 내에서 약 1,500 sccm의 유속으로 아르곤의 페디스털 퍼지가 이루어지고 약 500 sccm의 유속으로 아르곤의 에지 퍼지가 이루어졌다. 리드(lid) 온도는 약 120℃로 가열되었고 기판은 기판 표면을 패시베이트하면서 승화 및/또는 분해에 의해 막을 제거하기 위하여 약 60초 동안 어닐링되었다. 실리콘 자연 산화물을 함유하는 약 50Å의 재료가 각각의 기판 표면으로부터 제거되었다.

[0079] 일단 식각 프로세스가 실험들 A-E에 대해 완료되었을 때, 기판들 A-E는 프로세싱 챔버로부터 제거되고 대기 환경 내에 위치되어, 기판들이 실온(약 22℃)에서 공기 내에 있는 물과 산소에 노출되었다.약 5 시간의 큐 시간 이후에, 기판들 A, B, 및 C 각각은 약 5Å 보다 큰 산화물 층을 포함했지만, 기판들 D 및 E 각각은 약 5Å보다 작은 산화물 층을 포함했다. 약 10 시간의 큐 시간 이후에, 기판들 A, B, 및 C 각각은 약 7Å 보다 큰 산화물 층을 포함했지만, 기판들 D 및 E 각각은 약 6Å보다 작은 산화물 층을 포함했다. 약 15 시간, 20 시간, 및 25 시간의 큐 시간 이후에, 기판들 A, B, 및 C 각각은 약 8Å 보다 큰 산화물 층을 포함했지만, 기판들 D 및 E 각각은 약 6Å보다 작은 산화물 층을 포함했다. 또한, 약 30 시간의 큐 시간 이후에, 기판들 A, B, 및 C 각각은 약 9Å 보다 큰 산화물 층을 포함했지만, 기판들 D 및 E 각각은 약 7Å보다 작은 산화물 층을 포함했다.

[0080] 따라서, 실험들 D 및 E 동안 형성된 패시베이션 표면은 프로세싱 챔버 외부의 대기 상태들에 노출되면서 약 5시간 내지 약 25시간의 범위 내의 큐 시간 기간 동안 기판 상에서의 또 다른 자연 산화물 층의 추가적인 형성을 약 6Å 이하의 두께로 제한한다. 또한, 실험들 D 및 E 동안 형성된 패시베이션 표면은 프로세싱 챔버 외부의

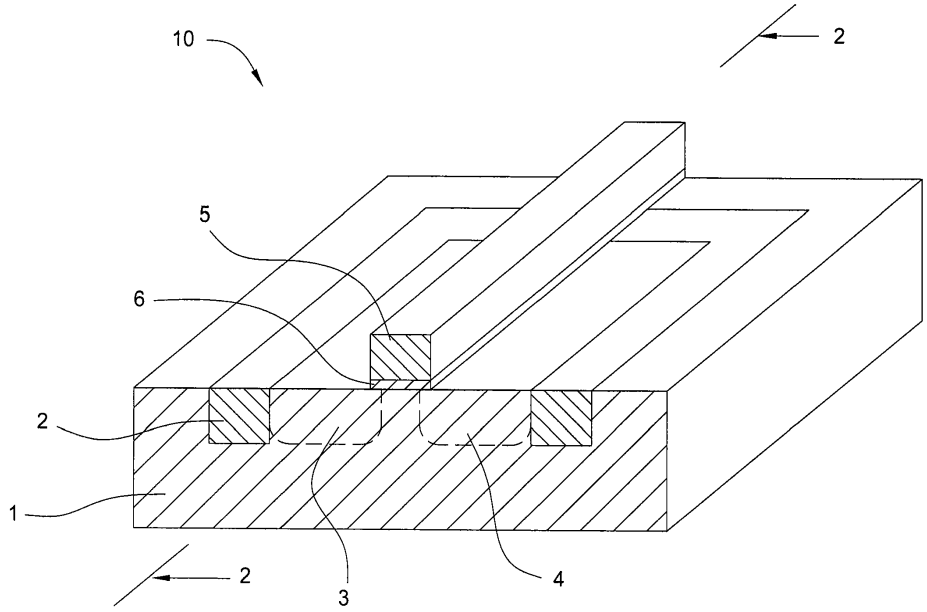
대기 상태들에 노출되면서 약 15시간 내지 약 30시간의 범위 내의 시간 기간 동안 기판 상에서의 또 다른 자연 산화물 층의 추가적인 형성을 약 8Å 이하, 바람직하게는 약 7Å 이하, 보다 바람직하게는 약 6Å 이하의 두께로 제한한다.

[0081] 별도로 표시되지 않는 한, 상세한 설명 및 청구범위에 이용된 특성들의 양들, 반응 조건들을 나타내는 모든 수들은 근사치들로서 이해되어야 한다. 이러한 근사치들은 본 발명에 의해 획득되고자 하는 원하는 특성들, 및 측정 에러에 기초를 두고 있으며, 적어도 보고된 유효 숫자들의 개수의 관점에서 그리고 통상의 반올림 기법들을 적용함으로써 구성되어야 한다. 또한, 온도, 압력, 간격, 몰 비들, 유속들을 포함하는 본 명세서에 표현된 양들의 어떤 것도 원하는 식각 선택도 및 성능을 성취하기 위해서 더 최적화되 수 있다.

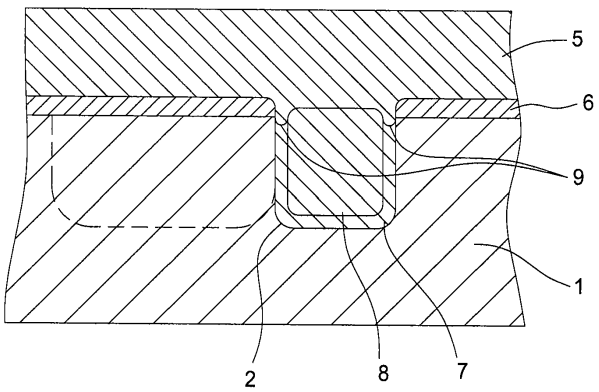
[0082] 전술된 내용이 본 발명의 실시예들에 관한 것이지만 본 발명의 다른 그리고 추가적인 실시예들이 본 발명의 기본 범위를 벗어나지 않고 개조될 수 있으며, 본 발명의 범위는 하기의 청구범위에 의해 결정된다.

도면

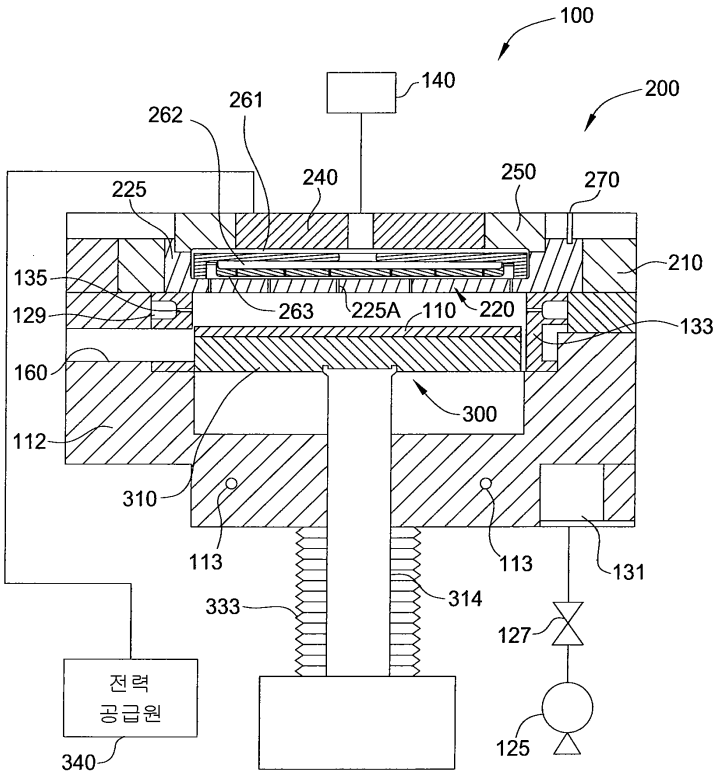
도면1



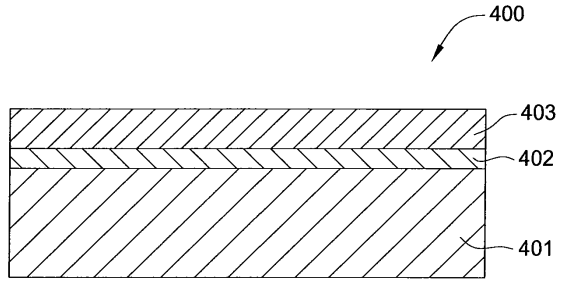
도면2



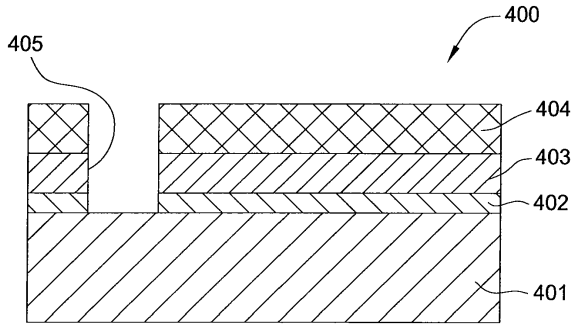
도면3



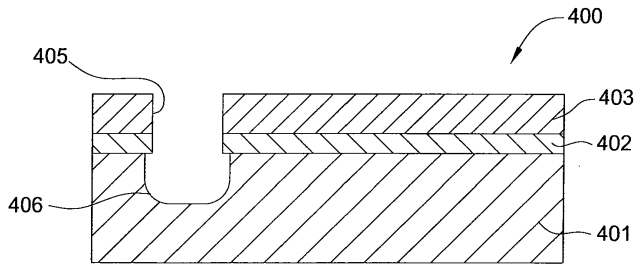
도면4a



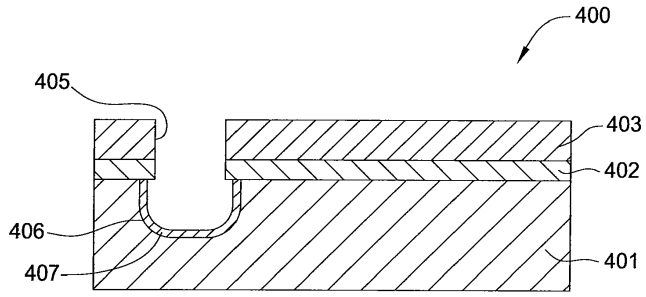
도면4b



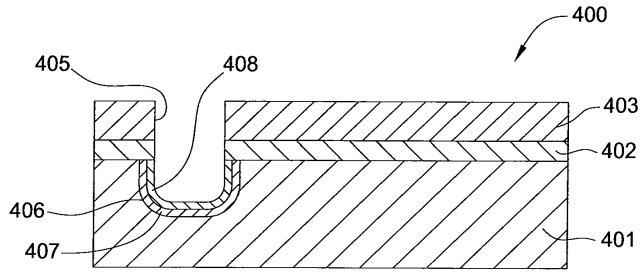
도면4c



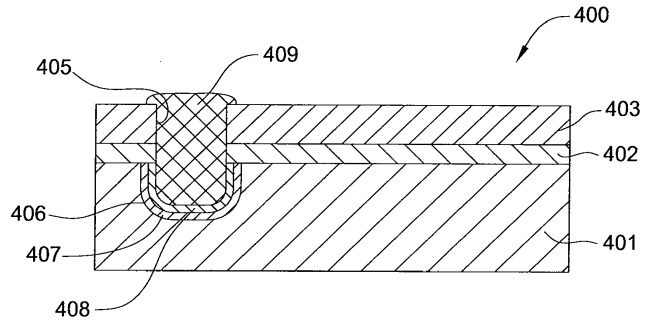
도면4d



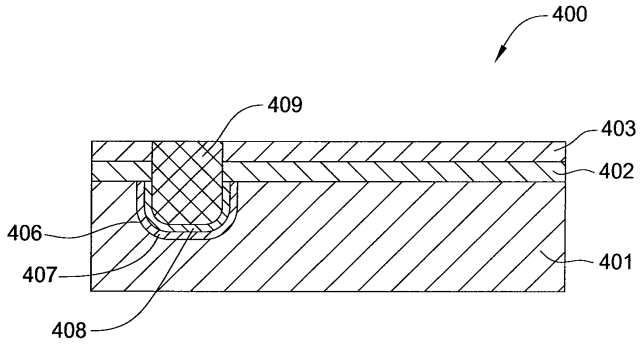
도면4e



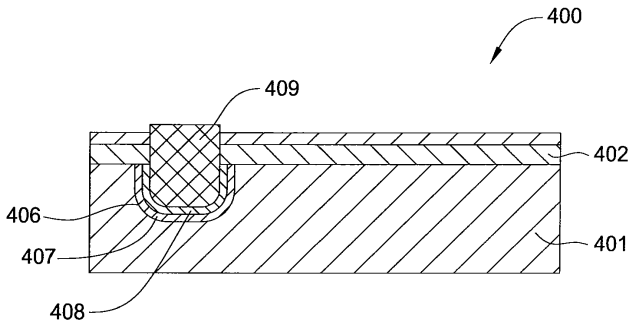
도면4f



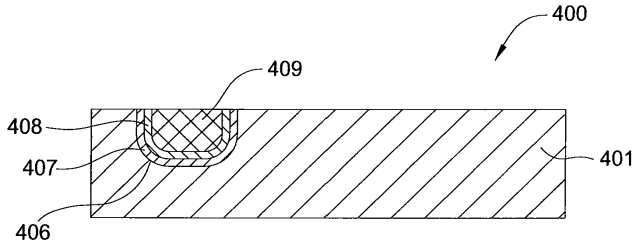
도면4g



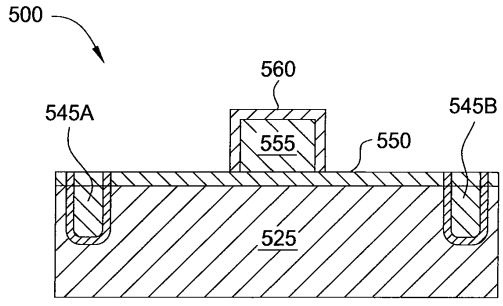
도면4h



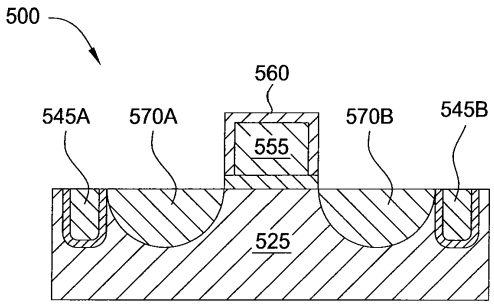
도면4i



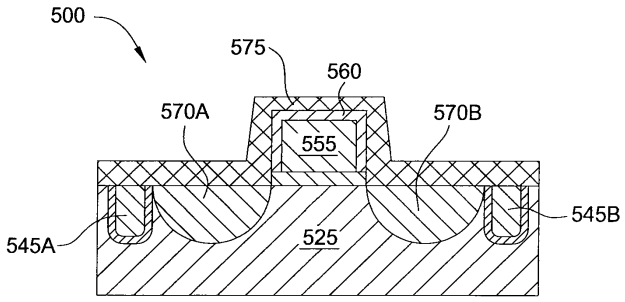
도면5a



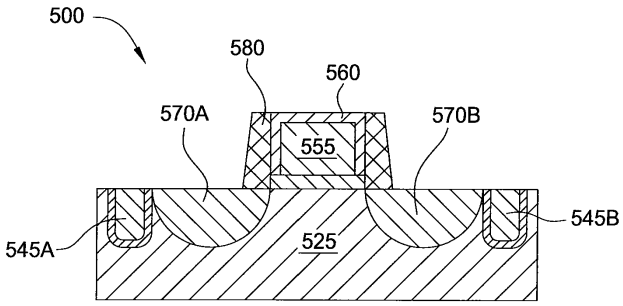
도면5b



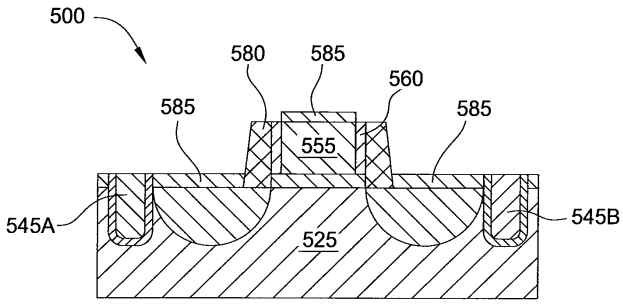
도면5c



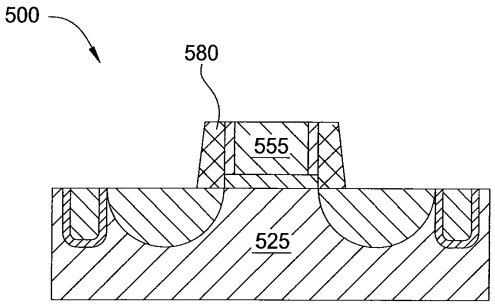
도면5d



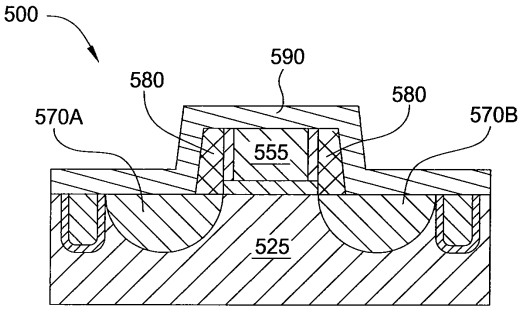
도면5e



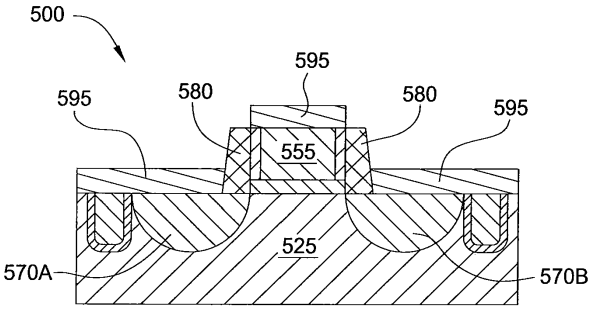
도면5f



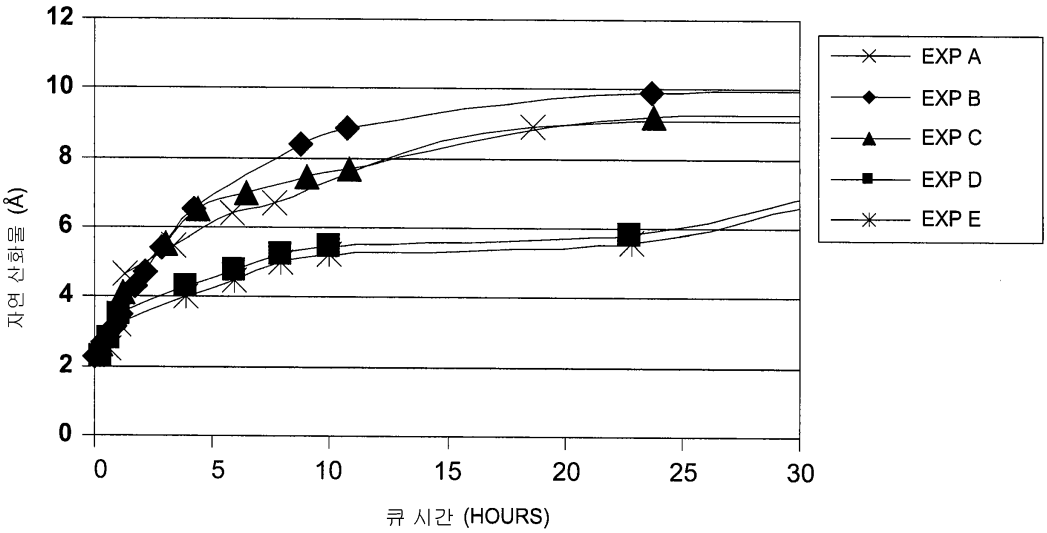
도면5g



도면5h



도면6


12
10
8
6
4
2
0
0
5
10
15
20
25
30
자연 산화물 (Å)
큐 시간 (HOURS)
EXP A
EXP B
EXP C
EXP D
EXP E