

[12] 发明专利说明书

[21] ZL 专利号 97113264. X

[45] 授权公告日 2002 年 10 月 16 日

[11] 授权公告号 CN 1092880C

[22] 申请日 1997. 6. 13 [21] 申请号 97113264. X

[30] 优先权

[32] 1996. 6. 13 [33] JP [31] 152080

[32] 1997. 6. 11 [33] JP [31] 153961/97

[73] 专利权人 富士通株式会社

地址 日本神奈川县

[72] 发明人 大和势一 龟井登 大隈一好

须川胜已 门田博智 坂田智幸

[56] 参考文献

EP 0353610A 1990. 2. 7 H04J3/16

EP 0543327A 1993. 5. 26 H04J3/00

审查员 贾丹明

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

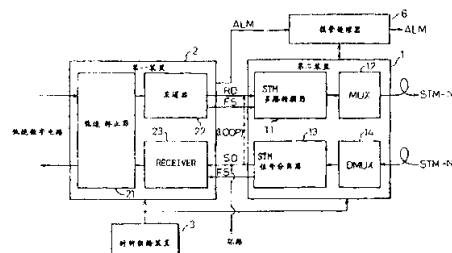
代理人 于 静

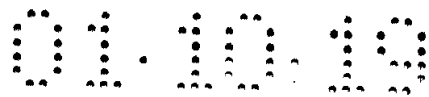
权利要求书 5 页 说明书 19 页 附图 28 页

[54] 发明名称 高速同步多路转换装置

[57] 摘要

一种高速同步多路转换装置;具有一低速装置和一高速装置并且在装置间用电信号作为接口。该低速装置与一低速数字电路相连并包括该电路。该高速装置与高速同步多路转换电路相连。该装置还具有一时钟供给装置用于提供参考时钟信号确定每个低速和高速装置的通信速率,该装置进一步具有报警信号处理器以从低速和高速装置中分离错误信息。低速和高速装置通过使用参考时钟信号及使用与参考时钟信号同步的帧信号的电 STM-0/STS-1 信号作为接口。





权 利 要 求 书

1.一种高速同步多路转换装置，其具有一个与一低速数字电路相连并调节该电路的第一通信装置和与一高速同步多路转换电路相连的第二通信装置，包括：

时钟供给装置，用于提供参考时钟信号，为第一和第二通信装置的每个装置设置通信速率；

报警处理装置，用于将第一通信装置中的错误与第二通信装置中的错误分开；

该第一通信装置从低速数字电路接数据，根据接收数据准备与参考时钟信号同步的串行数据，并将串行数据和帧信号传送给第二通信装置，从而该第二通信装置根据该串行数据和帧信号准备高速同步多路转换信号并将该高速同步多路转换信号传送给该高速同步多路转换电路；

该第二通信装置从该高速同步多路转换电路中接收高速同步多路转换信号，根据该高速同步多路转换信号准备与参考时钟信号同步的串行数据，并将该串行数据和一帧信号传送给第一通信装置，从而该第一通信装置根据该串行数据和帧信号准备数据信号并将该信号传送给该低速数字电路；及

该第一通信装置将错误信息发送给报警处理装置。

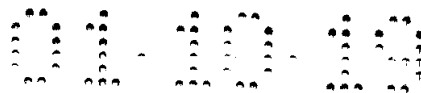
2.根据权利要求1所述的高速同步多路转换装置，其中该第一通信装置包括：

低速终止装置，用于终止低速数字电路；

数据组合/发送装置，用于根据该低速终止装置所提供的的数据，准备串行数据并将该串行数据传送给第二通信装置；及

数据接收/分解装置，用于接收第二通信装置的串行数据，根据该串行数据准备用于低速数字电路的数据信号，并将该数据信号传送给该低速终止装置。

3.根据权利要求2所述的高速同步多路转换装置，其中数据组合/发送装置按原串行数据方式发送来自于低速终止装置的数据。



4.根据权利要求 2 所述的高速同步多路转换装置,其中数据组合/发送装置将来自于低速终止装置的数据转换为 VC/VT 信号并按原串行数据方式发送该 VC/VT 信号。

5.根据权利要求 4 所述的高速同步多路转换装置,其中 VC/VT 作号具有一 STM/STS 头信息格式,该 STM/STS 头信息格式中仅使用一指针和一错误通告字节,该错误通告字节用于将错误信息发送给报警处理装置。

6.根据权利要求 2 所述的高速同步多路转换装置,其中数据接收/分解装置为低速终止装置提供串行数据。

7.根据权利要求 2 所述的高速同步多路转换装置,其中,数据接收/分解装置接收以串行数据方式发送的 VC/VT 信号,分解该 VC/VT 信号,并为低速终止装置提供该分解信号。

8.根据权利要求 6 所述的高速同步多路转换装置,其中该 VC/VT 信号具有一 STM/STS 头信息格式,该 STM/STS 头信息格式中仅有一指针和一错误通告字节。

9.根据权利要求 2 所述的高速同步多路转换装置,其中数据接收/分解装置接收以串行数据方式发送的 STM/STS 信号,分解该 STM/STS 信号,并向低速终止装置提供分解信号。

10.根据权利要求 1 所述的高速同步多路转换装置,其中第二通信装置包括:

STM/STS 多路转换装置,用于从第一通信装置接收串行数据并将所接收到的数据多路转换为 STM/STS 信号;

高速多路转换装置,用于将这种 STM/STS 信号多路转换为多路转换 STM/STS 信号并将该多路转换 STM/STS 信号传送给该 STM/STS 电路。

一高速信号分离装置,用于从 STM/STS 电路接收多路转换信号并将该接收信号分离为 STM/STS 信号;及

STM/STS 传送/分离装置,用于传送或分离 STM/STS 信号并将传送或分离信号作为串行数据传送给第一通信装置。

11.根据权利要求 10 所述的高速同步多路转换装置,其中 STM/STS 多路转换装置从低速终止装置接收以串行数据方式发送的数据并将接收



的数据多路转换为 STM/STS 信号。

12. 根据权利要求 10 所述的高速同步多路转换装置, 其中该 STM/STS 多路转换装置接收以串行数据方式发送的 VC/VT 信号并将 VC/VT 信号多路转换为 STM/STS 信号。

13. 根据权利要求 12 所述的高速同步多路转换装置, 其中 VC/VT 信号具有一 STM/STS 头信息格式, 该 STM/STS 头信息格式中仅使用一指针和一错误通告字节, 该错误通告字节用于将错误信息发送给报警处理装置。

14. 根据权利要求 10 所述的高速同步多路转换装置, 其中 STM/STS 传送/分离装置向低速终止装置发送以串行数据方式发送的数据。

15. 根据权利要求 10 所示的高速同步多路转换装置, 其中该 STM/STS 传送/分离装置将 VC/VT 信号以串行数据方式发送。

16. 根据权利要求 15 所述的高速同步多路转换装置, 其中该 VC/VT 信号具有一 STM/STS 头信息格式, 该 STM/STS 头信息格式中仅有一指针和一错误通告字节。

17. 根据权利要求 10 所述的高速同步多路转换装置, 其中 STM/STS 传送/分离装置将 STM/STS 信号以串行数据方式发送。

18. 根据权利要求 1 所述的高速同步多路转换装置, 具有用于将由并行数据组成的 STM-0/STS-1 信号和由串行数据组成的 STM-0/STS-1 信号进行相互转换的低速装置, 及用于将由串行数据组成的 STM-0/STS-1 信号和高位 (high-order) STM/STS 信号进行相互转换的高速装置, 及,

一电气 STM-0/STS-1 接口, 用于将低速装置和高速装置相互连接。

19. 根据权利要求 18 所述的高速同步多路转换装置, 其中电气接口使用由通过对 STM-0/STS-1 信号分离 (dividing) 而形成的两个电气信号。

20. 根据权利要求 18 所述的高速同步多路转换装置, 其中高速装置使用一个用于 STM-0/STS-1 信号的 STM-0/STS-1 接口。

21.根据权利要求 18 所述的高速同步多路转换装置, 其中每个高速和低速装置都根据时钟供给装置提供的时钟信号工作。

22.根据权利要求 21 所述的高速同步多路转换装置, 其中将用于同步输入信号的帧脉冲信号的脉冲宽度缩小到比输入信号的时钟信号的脉冲宽度还要窄。

23.根据权利要求 20 所述的高速同步多路转换装置, 其中高速装置的 STM - 0/STS - 1 接口将来自于低速装置的上行信号的帧相位转换为内部帧相位。

24.根据权利要求 23 所述的高速同步多路转换装置, 其中每个具有这种转换内部帧相位的 STM - 0/STS - 1 信号仅被多路转换为高位 (high-order) STM/STS 信号。

25.根据权利要求 23 所述的高速同步多路转换装置, 其中该 STM - 0/STS - 1 接口根据帧脉冲信号检测帧。

26.根据权利要求 20 所述的高速同步多路转换装置, 其中高速装置 STM - 0/STS - 1 的接口检测断路和发往低速装置的下行信号中的错误, 并将下行信号传送给低速装置, 并且低速装置使用从高速装置传送的帧脉冲信号同步下行信号。

27.根据权利要求 18 所述的高速同步多路转换装置, 其中组成高速同步多路转换装置的每个部件具有一转换器用以改变其内部参数。

28.根据权利要求 18 所述的高速同步多路转换装置, 其中高速同步多路转换装置的装置连接器具有表明该连接器是否被安装的安装信息, 该安装信息用于在连接器没有安装时屏蔽报警信息防止发送给其它装置。

29.根据权利要求 28 所示的高速同步多路转换装置, 其中电路转换触发器不在根据安装信息完成的屏蔽操作范围之内。

30.根据权利要求 18 所述的高速同步多路转换装置, 其中硬件解码处理实现优先权排序处理过程, 即按扩展顺序采集高速同步多路转换装置中的报警, 将采集的报警编码, 将一串代码解码, 并检测报警中具有最高优先权的报警。

31.根据权利要求 30 所述的高速同步多路转换装置, 其中通过寄存

器将优先权排序处理结果以串行数据方式发送给处理装置。

32.根据权利要求 30 所述的高速同步多路转换装置，其中权排序处理是通过使用存贮在 ROM 中的映射信息执行解码操作而实现的。

33.根据权利要求 30 所述的高速同步多路转换装置，其中高速同步多路转换装置中的报警是从扩展的末端到高端采集。

34.根据权利要求 18 所示的高速同步多路转换装置，其中组成高速同步多路转换装置的每个部件都具有一电源。

35.根据权利要求 18 所示的高速同步多路转换装置，其中组成高速同步多路转换装置的每个部件都具有表明该部件是否安装的安装信息，根据该安装信息延迟来自于前级部件的输入电压的上升。

说明书

高速同步多路转换装置

本发明涉及一种高速同步多路转换装置，尤其涉及一种具有一高速装置及一低速装置的同步数字分层装置 SDH (synchronous digital hierarchy) 装置，更进一步地，涉及一种利用电信号作为高速和低速装置之间接口的 SDH 装置。

根据本发明的装置可以应用在北美标准 SONET (同步光通信网) 中，其中，STM (同步传输模块) 信号转换为 STS (同步传输信号) 信号，并且 VC (虚拟容器， Virtual Container) 信号转换为 VT (虚拟分支 (Virtual Tributary)) 。

SDH 装置以某一高速同步地发送光信号信息帧。要求减小 SDH 装置的规模以降低其成本；改善其效能。为达到此目的，需要一种利用电信号作为内部装置之间接口的装置。

图 1 示出了根据现有技术的一种 SDH 装置。该装置具有一低速装置 200 及一高速装置 201 并使用光信号做为装置 200 和 201 之间的接口。

接口光信号是按照 SDH 标准的速率为 51.48Mb/s 的光 STM - 0 (同步传输模块第一层，对应于北美标准 STS - 1) 信号。“STM”是“synchronous transport module” (同步传输模块) 的缩写。

图 2A 与 2B 示出了图 1 的现有技术的低速和高速装置 200 和 201 的例子。

在低速装置 200 中，光电转换器将低速光输入信号转换为电信号。STM 终止器终止该电信号并从该电信号中分离出一 STM 帧。指针处理器设置一指针以指示信号中数据位置。时钟转换器将附在输入信号中的时钟信号转换为一内部时钟信号。帧标准器用于校准 STM 帧。指针插入器用于将指针插入 STM 帧。STM 多路转换器 (multiplexer) 用于准备电信号。电光转换器用于将电子 STM 信号转换为光 STM 信号，该信号被传送给高速装置 201。从高速装置 201 到低速装置 200 的光信号按照

相反的方向被处理以提供一低速光信号。

在高速装置 201 中，光电转换器将来自于低速装置 200 的光 STM 信号转换为一电 STM 信号。STM 终止器终止该电 STM 信号并从中分离出一 STM 帧。指针处理器设置一指针以指示 STM 帧中数据位置。时钟转换器将附在输入信号中的时钟信号转换为一内部时钟信号。帧转换器将 STM 帧转换为一内部帧。高速多路转换器将这些帧多路转换为一电子 STM 信号。光电转换器将电子 STM 信号转换为光 STM 信号，该光 STM 信号被传送到其它站。当高速装置 201 从其它站接收到光 STM 信号时，光电转换器将光信号转换为电信号，并且高速多路信号分离器（demultiplexer）将电信号分离为 STM 帧。然后，按照相反的方向执行上述步骤，将光信号传送给低速装置 200。

这样，现有技术的每个低速和高速装置 200 和 201 都接收一 STM 信号，并终止之，重新组合该 STM 信号将其传送给相应的装置。每个装置的接口可以是如 VC32 之类的接口。终止一 STM 信号后，装置处理一指针以调整信号的相位。装置根据所接收到的 STM 信号中的帧模式检测一个帧。从高速装置 201 的高速信号分离器中分离出的每个帧必须转换成一内部帧，该帧必须被校准，帧中必须设置指针，STM 帧必须被相应地重新组合，该 STM 帧必须被转换成一光 STM 信号，然后，该光 STM 信号必须传送给低速装置 200。

图 3 示出在现有技术的低速装置 200 和高速装置 201 之间将一时钟信号转换为另一时钟信号。

低速装置 200 将一数据帧多路转换为基于一内部时钟信号的电信号，将该电信号转换为一光信号，并且将该光信号传送给高速装置 201。该高速装置 201 将该光信号转换为一电信号并从中取出发送时钟信号，高速装置 201 根据该发送时钟信号对包括在电信号中的帧进行同步处理，再将发送时钟信号转换为一内部时钟信号，并将该帧传送给该高速装置 201 的另一部分。

另一方面，该高速装置 201 根据该内部时钟信号将数据帧多路转换为一电信号，再将该电信号转换为一光信号，并将该光信号传送给低速装置 200。低速装置 200 将该光信号转换为一电信号，从中取出发送时

钟信号，根据该发送时钟信号对包括在电信号中的帧进行同步处理，将发送时钟信号转换为内部时钟信号，并将该帧传送给该低速装置 200 的另一部分。

这样，现有技术的接收接口使用从一光信号中取出的时钟信号。

图 4 示出现有技术的报警采集和按优先权排序处理。

报警采集器从 SDH 装置中的部件（packages）中收集报警。优先权排序（prioritizing）单元 211 对报警按优先权排序。报警转换器 212 将报警转换为报警输出。报警接口 213 相应地为外部报警采集单元提供报警。

现有技术在报警采集器 210 和报警接口 213 之间几乎全靠软件来执行这些报警处理。

图 5 示出根据现有技术的供电技术。

装置单元 220 具有电源单元 221 和 222，它们与其所供电的部件相分离。即电源单元 221 与 222 是独立的部件并且被集中地安装在装置单元 220 中。

如上所述，现有技术的 SDH 装置在低速和高速装置 200 与 201 之间使用一光接口。相应地，每个装置 200 与 201 必须具有光电和电光转换功能，STM 终止功能及帧转换功能。这些功能增加了每个装置的规模。下面将更详细地说明使用光接口的现有技术存在的问题。

STM - 0 信号以 51.84Mb/s 的速率在低速装置 200 和高速装置 201 之间传输。当串行地处理信号时，每个装置可能有定时边界（timing margin）的缺点。因此，这些装置必须使用 ECL（发射极耦合逻辑）电路，这将增加电源消耗并需占用大量空间。在装置 200 和 201 之间使用光接口使得必须具有将光信号转换为电信号及将 STM 帧转换为内部帧的功能。这些功能用电路来实现，需要占用大量空间。现有技术使用从低速装置 200 传输到高速装置 201 的上行输入信号（upward input signal）的帧周期来进行各种处理。因此，高速装置 20 的高速多路转换器必须吸取帧相位（frame phases）。相应的，高速多路转换器必须具有大的容量和规模。现有技术终止一外部帧并将该帧转换为一内部帧。相应的，现有技术必须具有大的帧转换器。现有技术通过抓取和释放

(scrambling and descrambling) 对一 STM - 0 帧进行同步处理。这需要大型电路。现有技术在每个低速装置 200 和高速装置 201 中还必须有帧转换功能；帧校准功能，及 STM 多路转换功能，从而增加了 SDH 装置的规模。由于如图 3 所示的那样低速装置 200 和高速装置 201 之间的接口是非同步的，故需要装入 (stuffing) 和时钟转换功能从而增加了电路规模。

现有技术的 SDH 装置必须具有一控制器以设置装置参数。从软件和硬件角度看，这也增加了 SDH 装置的规模。若低速装置 200 和高速装置 201 是彼此分开，则用不着涉及它们的电路。尚未使用的电路中的报警在维修期间可能会干扰对故障的定位。但是，这些报警不能仅仅被简单地屏蔽 (mask) 掉，由于若发生断路错误并且若涉及该断路的电路转换报警被屏蔽掉了，则将会由于电路并未转换而形成断路。

如图 4 所示现有技术使用软件处理报警和错误。高速装置 201 管理许多电路，则如果完全由软件处理报警则不能满足要求的性能或指定的处理时间。另一方面，有许多解码报警经常不是通过硬件传输，如通过信号线传输。若仅通过硬件解码来对报警进行优先权排序，则每当在对报警进行排序过程中发生变化或出现错误时，将引起很多改变。

在维修期间一个报警会频繁地引起一串报警。在沿时间轴对这些报警按优先权排序时现有技术有时提供一无用的优先权结果或者一复杂的优先权处理，该复杂的处理需要根据从部件中收集报警的定时和顺序在一给定周期内对报警进行累加。

如图 5 所示，现有技术在 SDH 装置的一给定部件中集中供电。这种安排妨碍了在 SDH 装置中对具有指定的功能的部件进行分层安排。

现有技术在部件之间的电气接口的连接方面也存在一些问题。发送部件向由 CMOS 电路构成的接收部件传输信号时，接收部件插入或拆除时电源电压会瞬时增加。这会导致内部电压高于接收缓冲器允许的电压，发生锁定 (Latch-up) 现象，从而损坏缓冲器。现有技术使用 25MHz 的高速时钟信号时，线路电容会引起不良影响，即帧脉冲信号的脉冲宽度变宽以至于占用了时钟信号的两个脉冲。

本发明的一个目的是提供一种 SDH 装置，该种装置尽可能多的使用

公共部件并使用简单的电气接口，从而减小装置的规模和功耗。

本发明的另一目的是提供一种高速同步多路转换装置，该高速同步多路转换装置具有一错误检测器和一时钟供给单元以解决现有技术的问题。该高速同步多路转换装置不需要单独的控制器即可控制自己，高速处理报警，避免错误操作并使用分离功能（divided function）。

为实现此目的，本发明提供了一种具有第一通信装置和第二通信装置的高速同步多路转换装置。第一通信装置与一低速数字电路相连并包括该数字电路。第二通信装置与一STM电路相连。

该高速同步多路转换装置具有一时钟供给装置（clock supplier）和一报警处理器。该时钟供给装置为第一和第二通信装置提供参考时钟信号以确定通信速率。该报警处理器从第一和第二通信装置中分离错误。

第一通信装置从低速数字电路中接收数据，准备与参考时钟信号同步的串行数据并为第二通信装置提供该串行数据和一帧信号。第二通信装置根据该串行数据准备一高速同步多路转换信号并将该高速同步多路转换信号传送给高速同步多路转换电路。

第二通信装置从高速同步多路转换电路接收一高速同步多路转换信号，根据该高速同步多路转换信号准备与参考信号同步的串行数据，并向第一通信装置传送该串行数据和一帧信号。第一通信装置根据该串行数据准备一数据信号并将该数据信号传送给低速数字电路。

第一通信装置将发生在第一通信装置中发生的错误向报警处理器传送。

该第一通信装置通过电气接口将来自于低速终止器的数据传送给第二通信装置。另外，该第一通信装置亦可将数据转换为一虚拟容器VC（或VT）信号并将其传送给第二通信装置。另一方面，第二通信装置通过电气接口将串行数据传送给第一通信装置的低速终止器。第二通信装置可以将来自于STM电路的STM（或STS）信号传送给第一通信装置。另外，该第二通信装置亦可以将该STM信号转换为一VC信号并将其传送给第一通信装置。该VC信号具有一STM头信息格式，该格式只使用一指针和一错误通告（notification）字节。

本发明还提供一种具有低速装置和高速装置的高速同步多路转换装置。该低速装置将并行 STM - 0 (或 STS - 1) 和串行 STM - 0 信号进行相互转换。高速装置将串行 STM - 0 信号和高位 (high order) STM 信号进行相互转换。该低速和高速装置通过电气接口相互联接。

电气接口使用通过分离 (divide) - STM - 0 信号而形成的两个电信号。高速装置中用于 STM - 0 信号的接口可能是一 STM - 0 接口。

更详细地, 该高速装置中的 STM - 0 接口将从低速装置到高速装置的一上行信号的帧相位转换为一内部帧相位。该高速装置仅将基于内部帧相位的 STM - 0 信号多路转换为一个高位 STM 信号。该 STM - 0 接口根据帧脉冲信号检测帧。

高速装置中的 STM - 0 接口检测断路 (disconnection) 及从高速装置到低速装置的下行信号 (downward signal) 中的错误并将下行信号传送给低速装置。低速装置基于高速装置传送过来的帧脉冲信号的信号进行同步处理。

高速和低速装置根据时钟供给装置所提供的时钟信号工作。

高速同步多路转换装置中的每个部件都具有一转换器, 以改变内部参数。

在 SDH 装置中, 一个用于将装置彼此联接的连接器提供安装信息以指示是否安装接口。该信息用于屏蔽来自相对于别的装置来讲没有安装连接器的装置中的报警。

电路转换触发器不在这种屏蔽范围内。

本发明的高速同步多路转换装置以扩展顺序 (in spreading order) 采集报警, 对其编码, 对一报警码字符串进行解码, 并检测具有最高优先权的报警。本发明通过包括解码器在内的硬件处理实现这些报警处理。

对报警进行的优先权排序的结果作为串行数据通过寄存器传送给报警处理器。通过使用存贮在 ROM 中的映射信息执行解码操作以实现报警的优先权排序。高速同步多路转换装置中从具有低优先权到具有高优先权的各个部件采集报警。

本发明为高速同步多路转换装置的每个部件都提供电源。

本发明使用安装信息以表明高速同步多路转换装置中是否安装了某部件。该信息用于延迟来自于前级部件的输入电压的上升。

本发明产生用于同步输入信号的帧脉冲信号的脉冲宽度，该脉冲宽度比附在输入信号中的时钟信号的脉冲宽度窄。

通过下面对最佳实施例的描述及其附图将能更清楚地理解本发明，其中：

- 图 1 示出现有技术中在装置间使用光接口的 SDH 装置；
- 图 2A 与 2B 示出现有技术的低速和高速装置的例子；
- 图 3 示出现有技术的在低速和高速装置之间转换时钟信号的示意图；
- 图 4 示出现有技术的报警采集和按优先权排序的处理过程；
- 图 5 示出根据现有技术的供电技术；
- 图 6 示出根据本发明的高速同步多路转换装置的基本结构；
- 图 7 示出图 6 的高速同步多路转换装置中的装置的总体布局；
- 图 8 示出图 7 的 SDH 装置的低速装置的例子；
- 图 9 示出图 7 的 SDH 装置中的高速装置的例子；
- 图 10 示出根据本发明的 STM - 0 格式；
- 图 11 示出根据本发明的高速同步多路转换装置的环路；
- 图 12 示出根据本发明的第 1 实施例；
- 图 13 示出第一实施例的操作的时序图；
- 图 14A 和 14B 示出根据本发明的第 2 实施例；
- 图 15 示出根据本发明的第 3 实施例；
- 图 16 示出根据本发明的第 4 实施例；
- 图 17 示出根据本发明的第 5 实施例；
- 图 18 示出根据本发明的第 6 - 1 实施例；
- 图 19 示出根据本发明的第 6 - 2 实施例；
- 图 20 示出根据本发明的第 6 - 3 实施例；
- 图 21 示出根据本发明的第 6 - 4 实施例；
- 图 22 示出根据本发明的第 6 - 5 实施例；
- 图 23 示出根据本发明的第 6 - 5 实施例；

图 24 示出根据本发明的第 7 实施例;

图 25 示出根据本发明的第 8 实施例;

图 26A 和 26B 示出根据本发明的第 9 实施例;

图 27 示出根据本发明的第 10 实施例;

图 6 示出根据本发明的高速同步多路转换装置的基本结构。

做为高速同步多路转换装置的该 SDH 装置具有第一通信装置 2 和第二通信装置 1。装置 2 与一低速数字电路相连并安装有该低速数字电路。装置 1 与 STM 电路相连。时钟供给装置 3 提供一参考时钟信号以确定装置 1 与 2 之间的通信速率。报警处理器 6 将发生在装置 1 和 2 中的错误分离出来。

第一通信装置 2 从低速数字电路中接收数据, 根据所接到的与参考时钟信号同步的数据准备串行数据, 并向第二通信装置 1 传送串行数据和一帧信号。装置 1 根据接收到的数据准备 STM 信号并将其传送给 STM 电路。装置 1 从 STM 电路接收 STM 信号, 根据接收到的与参考时钟信号同步的数据准备串行数据, 并将该串行数据和一帧信号传送给装置 2。装置 2 将接收到的数据传送给低速数字电路。将错误信息传送给报警处理器 6。

在第一通信装置 2 中, 低速终止器 21 终止该低速数字电路。发送器 22 从终止器 21 接收数据, 从接收到的数据组装串行数据, 并向第二通信装置 1 传送该串行数据。接收器 23 从装置 1 接收串行数据并向终止器 21 提供要传送给低速数字电路的数据。

发送器 22 可能照原样发送终止器 21 的串行数据或者可能将数据转换为虚拟容器 VC (virtual container) 信号。该 VC 信号具有一 STM 头信息格式, 该头信息格式中仅使用一指针和一错误通告字节。错误通告字节用于把错误通知报警处理器 6。

接收器 23 可能照原样为终止器 21 提供来自于第二通信装置 1 的串行数据。另外, 接收器 23 也可能从装置 1 接收 VC 信号, 则将该 VC 信号分解为一数据信号; 并向终止器 21 提供该数据信号。这种情况下, 该 VC 信号具有一 STM 头信息格式, 该头信息格式中仅使用一指针和一错误通告字节。否则接收器 23 从装置 1 接收 STM 信号, 将该 STM 信号分

解为数据信号，并向终止器 21 提供该数据信号。

在第二通信装置 1 中，STM 多路转换器将来自于第一通信装置 2 的串行数据多路转换为一 STM 信号。高速多路转换器 12 将这种 STM 信号多路转换为多路转换 STM 信号（multiplexed STM signal）。高速信号分离器 14 从 STM 电路中接收多路转换 STM 信号并将其分离为 STM 信号。STM 信号分离器 13 将相应的一个 STM 信号传送给装置 2，或者将该 STM 信号分离为串行数据并将该串行数据传送给装置 2。

STM 多路转换器从第一通信装置 2 接收串行数据或 VC 信号并将其多路转换为 STM 信号。STM 头信息格式包括一指针和一错误通告字节；该 STM 头信息格式被传送给报警处理器 6。

STM 信号分离器 13 为第一通信装置 2 提供串行数据或 VC 信号。该 VC 信号具有一包括指针和错误通告字节的 STM 头信息格式。另外，该 STM 信号分离器 13 也能照原样向装置 2 传送所接收的 STM 信号。

图 7 示出图 6 的 SDH 装置中的装置的总体布局。在以下的描述中，第一通信装置 2 被称为低速装置 2，第二通信装置 1 被称为高速装置 1。图 7 中的与图 6 相同的部件用相同的参考标记标出。

低速装置 2 终止速率为 1.544Mb/s 的一级（first-order）数字电路或速率为 6.3Mb/s 的二级（second-order）数字电路。该低速装置 2 向高速装置 1 提供其接收到的数据，或提供包括多段所接收到的数据的 VC 信号。

在高速装置 1 中，每个电气接口 15 都从低速装置 2 中接收信号并将其多路转换为 STM（synchronous transfer module）信号。高速多路转换器 12 仅将从电气接口 15 接收到的这种 STM 信号多路转换为多路转换 STM 信号。电光转换器 16 将该多路转换 STM 信号转换为多路转换光 STM 信号，如速率为 2.4Gb/s 的 STM - 16 信号。

高速装置 1 接收高速多路转换光 STM 信号，如速率为 2.4Gb/s 的 STM - 16 信号。光电转换器 17 将该光信号转换为电信号。高速信号分离器 14 将该电信号分离为 STM 信号，该信号被传送给电气接口 15。每个电气接口 15 将接收到的 STM 信号分离为数据信号，供一级数字电路或二级数字电路使用，或分离为 VC 信号。分离信号被传送给低速装置

2。

这样，实现了在低速装置 2 和高速装置 1 之间传送低速数据信号或 VC 信号。另一方面，现有技术的高速和低速装置之间传送 STM 信号，因此，必须在每个高速和低速装置中对 STM 信号进行终止，多路转换，分离。与现有技术不同，本发明的高速装置 1 集中地执行这些处理从而简化了装置结构。

另外，本发明不需要将字节 A1 和 A2 从 STM 段开销 SOH (section overhead) 中取出以建立高速装置 1 和低速装置 2 之间的帧同步和位同步的电路，也不需要完成“抓取” (scrambling) 和“释放” (descrambling) 功能的电路。相反，本发明使用一时钟供给装置 3 为低速装置 2 和高速装置 1 提供一参考时钟信号。为了同步一帧装置 1 和装置 2 的任一个可以作为发送器向作为接收器的另一个发送一帧脉冲信号。时钟单元 5 根据时钟供给装置 3 所提供的参考时钟信号产生供高速装置 1 中的部件使用的不同时钟信号。

报警处理器 6 从低速装置 2 和高速装置 1 中分离错误以处理这样的问题：即当错误发生时包括在 STM 段开销中的一些错误信息是不可访问的。报警处理器 6 直接从低速装置 2 接收错误分离信号。另外，在低速装置 2 所提供的 VC 信号中亦可以加入一简单的错误检测信号 (图 10 中奇偶校验位 BIP8) 。

报警处理器 6 根据错误检测信号检测低速装置 2 中的错误。同时，该报警处理器处理高速装置 1 中任何部件中发生的错误。控制器 7 发送和接收发往和来自于高速装置 1 的部件的命令和响应，从而控制高速装置 1 的开始，恢复，轮询检查等。

这样，本发明使用参考时钟信号 (同步时钟信号) 及帧脉冲信号在低速和高速装置 2 和 1 之间进行通信。相应地，本发明符合常规的涉及数据，时钟，和帧脉冲信号的串行电气接口标准。

由于本发明在低速装置 2 和高速装置 1 之间使用电信号而不是光信号，故在装置 1 和装置 2 之间不需要一组光电，电光转换器，因而简化了 SDH 装置降低了成本。

图 8 - 11 示出图 7 的 SDH 装置的各部分的详细示例。

图 8 示出低速装置 2 的详细示例。图 9 示出高速装置 1 的详细示例。这些例子在低速和高速装置之间均使用 VC 信号。图 10 示出 VC 信号的例子。图 11 示出根据本发明的包括 SDH 装置的环路系统。

图 8 中，低速终止器 2' 在上行方向上 (in an upward direction) 终止一常规一级或二级数字信号，将其多路转换为光信号如 51.84Mb/s 的 STM - 0 光信号或 155.52Mb/s 的 STM - 1 光信号，并将光 STM 信号传送给低速装置 2。广义地讲，低速装置 2 包括低速终止器 2'。选择器 83 选择常用系统 0 或备用系统 1 并将选择的光 STM 信号传送给内部帧终止器 84。帧终止器 84 终止该光 STM 信号。指针分离器 85 从终止信号中取出指针。

时钟转换器 86 缓冲接收到的信号，将附在接收信号中的时钟信号转换为内部时钟信号并调整信号的速度如通过装入 (stuffing)。帧校准器 87 将接收信号转换为 VC - 3 信号。指针插入器 88 在 VC - 3 信号中加入 STM - 0 头并在 STM - 0 头的指针部分设置指针以指示 VC - 3 信号的起始地址。发送器 89 在 STM - 0 头的字节 B1 处为整个传送帧设置奇奇偶校验值 (BIP - 8)。

图 10 是 STM - 0 格式的一个例子。

本发明在传送 VC 信号时使用该 STM - 0 格式以 (1) 保证参考传送速率，(2) 在低速装置 2 和高速装置 1 之间传送错误分离信号。结果，本发明与现有的 SDH 装置一致。如图 10 所示，除了指针和 BIP - 8 头信息中其它字节均为“1”，表示它们均未被使用。该 STM - 0 格式仅为一例子，还可以其它格式传送 VC 信号。

并行 - 串行转换器 90 及驱动器 91 将由发送器 89 提供的内部 8 位并行信号转换为串行电信号。在该串行信号中加入帧脉冲信号和发送时钟信号，并将它们传送给高速装置 1。

在接收器一侧，即低速装置 2 的下行侧 (downward side) 接收来自于高速装置 1 的串行电信号，帧脉冲信号及接收时钟信号。接收器 92 和串并转换器 93 将串行信号转换为并行信号，该并行信号被 STM 终止器 94 终止。这样，本实施例在低速装置 2 中安装 STM 终止器 94。这是通过使用 STM 信号实现 SDH 装置的环路连接。这一点以后将参照图 11

详细说明。

结果，该实施例在高速装置 1 的下行侧不需要 STM 终止器。也可以在高速装置 1 的下行侧安装 STM 终止器，在低速装置 2 的下行侧（dounstream side）安装接收器。这样，接收器可以接收 VC 信号并将其分解。低速装置 2 下行侧的 STM 终止器的处理操作与图 2 的现有技术的操作相同，故不再说明。

后面将详细说明用于接收和发送电信号的电路 91 - 93。若低速装置 2 直接终止速率为 1.544Mb/s 的一级数字信号或速率为 6.3Mb/s 的二级数字信号而不是将信号多路转换为光 STM 信号，则部件 2'，81 - 85，98 - 100 均不需要。

下面说明图 9 的高速装置。从高速装置 1 传送到低速装置 2 的信号是 STM 信号。

接收器 101 从低速装置 1 接收串行电信号，串并转换器 102 将该信号转换为 8 位并行信号。帧同步器 104 检测从低速装置 2 传送来的帧脉冲信号。错误速率检测器 103 根据检测到的帧脉冲信号对包括在接收信号中的每个帧执行奇偶校验，并将结果与 STM - 0 格式中的错误检测字节相比较，从而检测错误率。

指针分离器 105 从 STM - 0 格式头信息中分离出指针。内部帧相位转换器 106 根据分离的指针和检测到的帧脉冲信号和内部帧脉冲信号之间的相位差确定指针值，并将接收信号中的帧转换为内部帧。STM - 0 多路转换器 107 根据内部相位将接收信号多路转换为 STM - 0 信号。

高速多路转换器 108 根据内部帧脉冲信号仅将来自于电气接口 15 的 STM - 0 信号多路转换为高速多路转换 STM 信号。电光转换器 109 将该信号转换为高速光信号（本实施例中是速率为 2.4Gb/s 的 STM - 16）该高速光信号被传送给 STM 电路。

在高速装置 1 的下行侧，光电转换器 110 将高速多路转换光信号（本实施例中指速率为 2.4Gb/s 的 STM1 - 6）转换为电信号。高速信号分离器 111 终止该电信号并将其分离为 STM - 0 信号。串并转换器 112 将相应的 STM - 0 信号转换为 8 位并行信号，该 8 位并行信号被供给错误速率检测器 113。该错误速率检测器 113 确定信号是否存在并检测错误

速率。然后，该 STM - 0 信号被传递给并串转换器 114 及驱动器 115；其结果，为串行信号增加了一发送时钟信号及一个帧脉冲信号。然后，这些信号被传送给低速装置 2。

图 11 示出根据本发明的 SDH 装置的环路。每个 SDH 装置具有图 8 和图 9 所示的低速装置和高速装置。实线表示高速装置之间的 STM - N 分支环路。环路中需要有两个高速装置 122 以通过环路直接将低速装置 120 与低速装置 124 相连及通过环路直接将低速装置 121 与低速装置 126 相连。本发明通过在高速装置 125 中形成如虚线所示的折回 (folded) 连接形成装置 120 与 124 之间的环路。而且，本发明通过在高速装置 123 中形成如点划线所示的折回连接形成装置 121 与 126 之间的环路。

图 12 示出根据本发明的第 1 实施例的图 8 和图 9 的低速装置 2 和高速装置 1 之间电气通信接口的详细情况。图 13 示出实施例 1 的操作的时序图。

下面说明下行链的操作。上行链的操作从而可以得到很好理解。图 12 中，高速装置 1 具有一八 - 二转换器 114，将 STM - 0 信号的并行数据 D1 至 D8 ($6.48\text{M} \times 8 \text{ 位} = 51.84\text{Mb/s}$) 转换为两个串行信号 ($25.92\text{Mb/s} \times 2$)。驱动器 115 提供两个串行信号 SD1 和 SD2 以响应该两个串行信号。帧脉冲发生器 114' 根据 8KHz 帧脉冲信号 FP 生成装置间脉冲信号 SFP。该信号 SFP 与 25.92MHz 的发送时钟信号 SCK 同步。驱动器 115 将发送时钟信号 SCK (25.92MHz) 和装置间帧脉冲信号 SFP (8KHz) 传送给低速装置 2。

低速装置 2 的接收器 92 接收信号 SD1 和 SD2 ($25.92\text{Mb/s} \times 2$)。二 - 八转换器 93 将信号 SD1 和 SD2 转换为包括 8 位并行数据 D1 至 D8 ($6.48\text{M} \times 8 \text{ 位}$) 的 STM - 0 信号。帧脉冲检测器 93' 检测装置间帧脉冲信号 SFP，并根据该信号 SFP 生成与发送时钟信号 SCK 同步的内部帧脉冲信号 FP。所提供的发送时钟信号 SCK 就是一内部时钟信号 CLK。

图 13 示出八 - 二转换器 114 和二 - 八转换器 93 的操作。高速装置 1 的八 - 二转换器 114 响应于帧脉冲信号 SFP 中的一个脉冲开始进行与发送时钟信号 SCLK 同步的并串转换。该脉冲表明一 STM - 0 帧的开

始。由于使用该脉冲同步地检测一个帧，所以就不需检测如 STM 信号头信息的 A1 和 A2 字节这样的帧模式信号，从而防止假同步。在该并行的八位中，奇数位转换为串行信号 SD1 SD1，偶数位转换为串行信号 SD2。低速装置 2 中的二-八转换器 93 执行与八-二转换器 114 相反的操作，以实现串并转换，恢复原始的八位并行信号。

如图 12 所示，本发明使用电信号代替光信号。本发明也可以如现有技术那样发送所接收的数据或 VC 信号。发送 VC 信号时，本发明使用图 10 中的简单 STM - 0 格式，以方便地与现有的 SDH 装置的内部部件连接。本发明在装置间使用同步时钟信号和帧脉冲信号以省去光通信中所需的抓取和释放 (scrambling and descrambling) 电路。此设计降低了 SDH 装置的规模并防止了假同步。

该实施例使用两个信号线以发送和接收 STM - 0 信号 (51.84Mb/s) 从而延长电气通信的传送距离和保证通信质量。每个信号线承载 25.92MHz 的通信速率，此为 STM - 0 的一半。其结果，本发明可以使用低功耗 CMOS 电路如驱动器，接收器和发送器电路从而有助于提高集成度。

图 14A 与 14B 示出根据本发明实施例 2 的图 9 内部帧相位转换器的详细情况。

图中，14A 示出内部帧转换器 106 的结构，14B 示出计算内部指针的方法。与图 9 中相同的部件使用同样的参考标记表示。

帧同步器 104 提供从低速装置 2 传送过来的帧脉冲信号 FP 的相位 FP1。转换器 106 的相位比较器 131 将相位 FP1 与内部帧脉冲信号 FP 相比较提供相位差 A。指针运算器 132 从低速装置指针 C 的相位中减去相位差 A 以提供内部指针 B，指针转换器 133 使用指针 B 转换内部信号的帧相位。此大大降低了高带装置 1 中的数据传输延迟。

图 15 示出根据本发明的实施例 3 的包括图 7 中时钟供给装置 3 和时钟单元 5 的时钟供给系统的详细情况。

时钟供给装置 3 为低速装置 2 和高速装置 1 各提供一用于同步发送和接收数据的参考时钟信号。

时钟供给装置 3 为任何一个做为发送器的高速装置或低速装置提供

时钟信号 A。时钟信号 A 通过时钟接收器 52 和时钟分配器 51 传送给发送电路 140。触发器电路 141 根据时钟信号对来自于发送电路 140 中的数据进行同步处理。数据和同步信号通过驱动器 142 发送给对方。

另一方面，做为接收器的高速或低速装置的另一方通过接收器 143 接收数据和时钟信号。触发器电路 144 根据接收到的时钟信号同步地对数据进行采样，将数据传送给接收电路 145。位缓冲器 146 根据内部时钟信号 B 读出接收的数据，该内部时钟信号 B 是由时钟供给装置通过时钟接收器 52' 和时钟分配器 51' 提供的。这样，接收数据的时钟信号转换为时钟信号 B。

本发明仅使用将相位进行转换的位缓冲器 146 以将时钟信号进行转换。这种结构省去了装置间光接口的时钟分离器等部件。

图 16 示出根据本发明的实施例 4 的用于改变装置参数的结构。该结构对应于图 7 的控制处理器 71 的操作。

控制转换器 SW1 和 SW2 被安装在，如部件的前面。采集器 151 采集设置信息并将其传送给 DPRAM 152。DRAM 地址计数器 154 指定一片 DPRAM 152 中的区域以存贮设置信息。该设置信息从 DPRAM 152 异步地传送给 CPU 153。

这种结构省去了外部控制器及其所使用的软件。

图 17 示出根据本发明的实施例 5 的防止报警扩散到装置中的结构。该结构涉及图 7 中电气接口 15 的功能。

装置连接器 161 将装置彼此连接起来并具有表明连接器 161 是否安装的安装信息。该信息用于控制扩散的报警。若连接信息表明没有连接器，则选择器 162 选择非报警，若信息表明有连接器则选择通过连接器 161 提从报警。但是转换触发报警不通过选择器 162，并被排除在这种选择之外。

图 18 - 23 示出根据本发明的实施例 6 的对硬件报警按优先权排序的技术。该实施例涉及图 7 中报警处理器 6 的功能。

图 18 是示出报警处理硬件的方框图。报警采集器 165 通过轮询采集一个报警单元并将它们写入 DPRAM (1) 166。数据转换单元包括解码器 (1) 167 及 ROM 168 并将存贮在 DPRM (1) 166 中的数据转

换为数据串，此数据串被写入 DPRAM (2) 169。

优先权排序单元处理存贮在 DPRAM (2) 169 中的数据以提供具有最高优先权的报警。解码器 (2) 170 仅将具有最高优先权的报警置为“1”并向 CPU171 提供一数据串。定时计数器 172 向报警采集单元和数据转换单元提供定时信号。

图 19 说明对报警进行优先权排序的处理，若 A 系统报警和 B 系统报警都发生了，则这些报警将影响如图所示的报警采集部件 1 和 2。图 18 的报警采集单元轮询采集这些报警并将其做为 DPRAM (1) 166 中的 DATA1 和 DATA8 存贮起来。

图 18 的数据转换单元将 A 系统报警采集在地址 ADD2 FF01 及将 B 系统的报警采集在地址 ADD2 FF02 中。图 18 的优先权排序单元将每个 A 系统报警中和 B 系统报警中具有最高优先权的报警置为“1”，即，A 系统报警中的 A1，B 系统报警中的 B1，这样，就完了优先权排序。

图 20 示出图 18 的数据转换单元的详细情况，图 21 示出数据转换单元操作的时序图。

图 20 中，与图 18 中同样的部件用相同的参考标记表示。图 20 的数据转换单元具有“与” (&) 电路 175 - 180，三态输出触发器电路 181 和 182、及反相电路 183。

定时计数器 172 (图 18) 为 DPRAM (1) 166，DPRAM (2) 169 及 ROM168 提供一个地址 ADD2。ROM168 根据地址 ADD2 生成定时，将报警数据从 DPRAM (1) 166 传送到 DPRAM (2) 169。

图 21 中，DPRAM (2) 中 D1 和 D2 的阴影部分保持处理数据，并且在任一写入定时，将报警写入 DPRAM (2)。DPRAM (2) 的映射关系由 ROM 提供。

图 22 示出图 18 的优先权排序单元的详细情况，图 23 是示出优先权单元操作的时序图。

与图 18 中相同的部件用同样的参考标记表示。优先权单元具有“与” (&) 电路 185 - 187，三态门输出触发器电路 188，及地址解码器 189。

图 23 说明当 DPRAM (2) 中的数据是 11111111 (数据 (1))

及 01111111 (数据 (2)) 时要执行的优先权处理操作。数据 (1) 和数据 (2) 的每个最左边位 D1 是最高有效位 (MSB) 数据 (1) 的位 D1 是具有最高优先权的报警。数据 (2) 的位 D2 是具有最高优先权的报警。相应的每个这些位都被置“1”。CPU171 读出这些位并用于进行报警处理。这样本发明利用硬件实现高速的报警处理。

图 24 示出根据本发明的实施例 7 的在轮询周期采集报警的技术。

报警采集部件 1 具有最高优先权, 报警采集部件 3 具有最低优先权。若在轮询周期 2 同时发生报警 ALM1 至 ALM3, 其优先权自高到低排列, 首先检测优先权较高的报警。相应的, 在轮询周期 2 采集报警 ALM1 和 ALM2。然后, 确定报警 ALM1 是信号源。在轮询周期 3 也确定报警 ALM1 是信号源。结果, 按照优先权顺序采集报警。即, 在报警 ALM1 之前没有采集任何优先权较低的报警, 从而避免不必要的报警。

图 25 示出根据本发明的实施例 8 的分布式电源。

电源模块 191 被安装在每个部件上。电路 192 是专用于每个部件的电路。

一个装置单元中安装有多个部件 PKG1, PKG2 等。由于每个部件都具有电源模块 101, 故不需为装置单元准备电源部件。从而节省了装置单元空间并增加了在装置单元中设计散热装置及分层布置部件的自由度。

图 26A 与 26B 示出根据本发明的实施例 (9) 的使用表明某部件是否被安装的安装信息的技术。

该安装信息用于防止 CMOS 电路的锁定现象, 该 CMOS 电路属于与有问题的部件相连的接口的一部分。图 26A 是示出相连的 A 部件与 B 部件的方框图。图 26B 是安装信息的时序图。

安装部件 13 时, 包括电阻 R 和电容 C 的时间常数电路延迟电源电压的升高。反相器电路 195 将时间常数电路的输出反相。反相电路 195 的输出作为安装信息供给部件 A, 为了响应该信息, 部件 A 禁止一次驱动器 196 的操作。结果在如图 26B 所示安装部件 B 后的一定时间内部件 A 的输出被屏蔽掉。然后, 部件 B 的 CMOS 电路 197 的输入变为高阻态以防止 CMOS 电路 197 的锁定现象。

图 27 示出根据本发明的实施例 10 的将帧脉冲信号的脉冲宽度相对于系统时钟信号的脉冲宽度变窄的技术，从而防止帧脉冲信号的脉冲占用时钟信号的两个脉冲。

帧脉冲信号 OUT FP 及时钟信号 OUT CLK 是要发送的信号，帧脉冲信号 IN FP 及帧脉冲信号 IN FP2 是接收信号。帧脉冲信号 OUT FP 是 25MHz。由于频率分量及线路电容，帧脉冲信号 IN FP 具有如点 A 和阴影区域表示的斜度。其结果，帧脉冲信号 IN FP 占用时钟信号 IN CLK 的两个脉冲。为解决该问题，帧脉冲信号的频率被倍频（50MHz）以形成帧脉冲信号 IN FP2。对帧脉冲信号进行频率加倍不限于倍频。若能有效地将帧脉冲信号的脉冲宽度缩小为窄于时钟信号的宽度，任何一种倍频都可采用。

如上所述，本发明的 SDH 装置恰当地在低速装置和高速装置之间使用了集成公共部件，从而极大地降低了装置规模和功耗。

该 SDH 装置不需外部控制器即可控制自己并快速处理报警。

该 SDH 装置使用操作正确的电路并具有易分离的功能。

本发明进一步的效果如下所述：

通过使用电气接口代替光接口将 SDH 装置的低速和高速装置相连，从而减少了许多操作如定时取出，抓取，释放（descrambling）及光电或电光转换。

电气接口的发送速率是数据发送速率的一半（25.92MHz），从而可以使用 CMOS 和 TTL 电路代替 ECL 电路。这一点有助于降低功耗并改善 SDH 装置的集成度。

低速和高速装置之间的接口可以是 STM - 0 接口以实现容易的帧转换。

高速装置具有低速电气接口部分以吸取从低速装置中发送来的帧相位。从而帮助减少高速装置的高速多路转换器的规模并方便地将帧相位转换为内部帧相位。

本发明在电气接口上不需终止 STM - 0 信号的大部分帧即可检测错误和输入断路，将帧转换为内部帧，并将 STM - 0 信号传送给高速多路转换器。从而降低高速多路转换器规模。

从高速装置到低速装置的下行方向上，本发明通过仅在高速信号分离器检查位错误实现信号处理，从而省去终止器电路。

STM-0 接口不使用帧模式而是根据帧脉冲信号将帧同步。从而防止假同步，省去抓取和释放电路，减小高速多路转换器和信号分离器的规模。

SDH 装置使用同步时钟信号操作装置。省去安装和时钟转换电路。

本发明通过使用转换器改变装置的内部参数，减少了为此用途的软件和硬件。

本发明使用无用电路的安装信息屏蔽从无用电路发送的报警从而帮助维修期间快速查找错误。本发明不屏蔽电路转换报警。从而防止注意到断路情况。

本发明的硬件解码方法快速地对报警按优先权排序。通过包括并串转换的寄存器将报警传递给软件。从而减少报警处理的数目。寄存且通过 ROM（只读存储器）映射。从而减少硬件解码操作的次数。

通过 ROM 映射也减少了解码硬件的规模。由于在对报警按优先权排序过程中发生变化或错误时要涉及大量变化，因此减小解码硬件的规模是重要的。

本发明从所涉及的报警中最近发生的报警开始采集报警。从而改善报警优先权处理的效率。

本发明在每个部件中都安装电源电路，从而节省了 SDH 装置中每个装置的空间。

在 SDH 装置中，接收侧的某部件将安装信息发送给发送侧的一部件。接收侧的该部件已被安装时，发送侧的该部件在初始禁止周期将其输出电平置为低电平、高电平，从而防止由于接收缓冲器的锁定现象损坏接收侧的部件。

本发明将帧脉冲信号的脉冲宽度变窄，从而防止帧脉冲信号的每个脉冲占用高速时钟信号的两个脉冲。

图 1

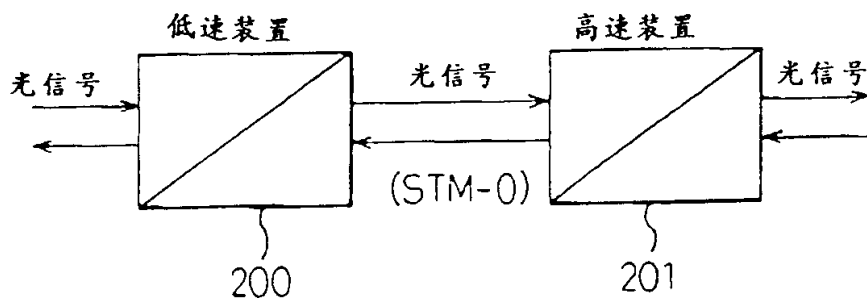


图 2A

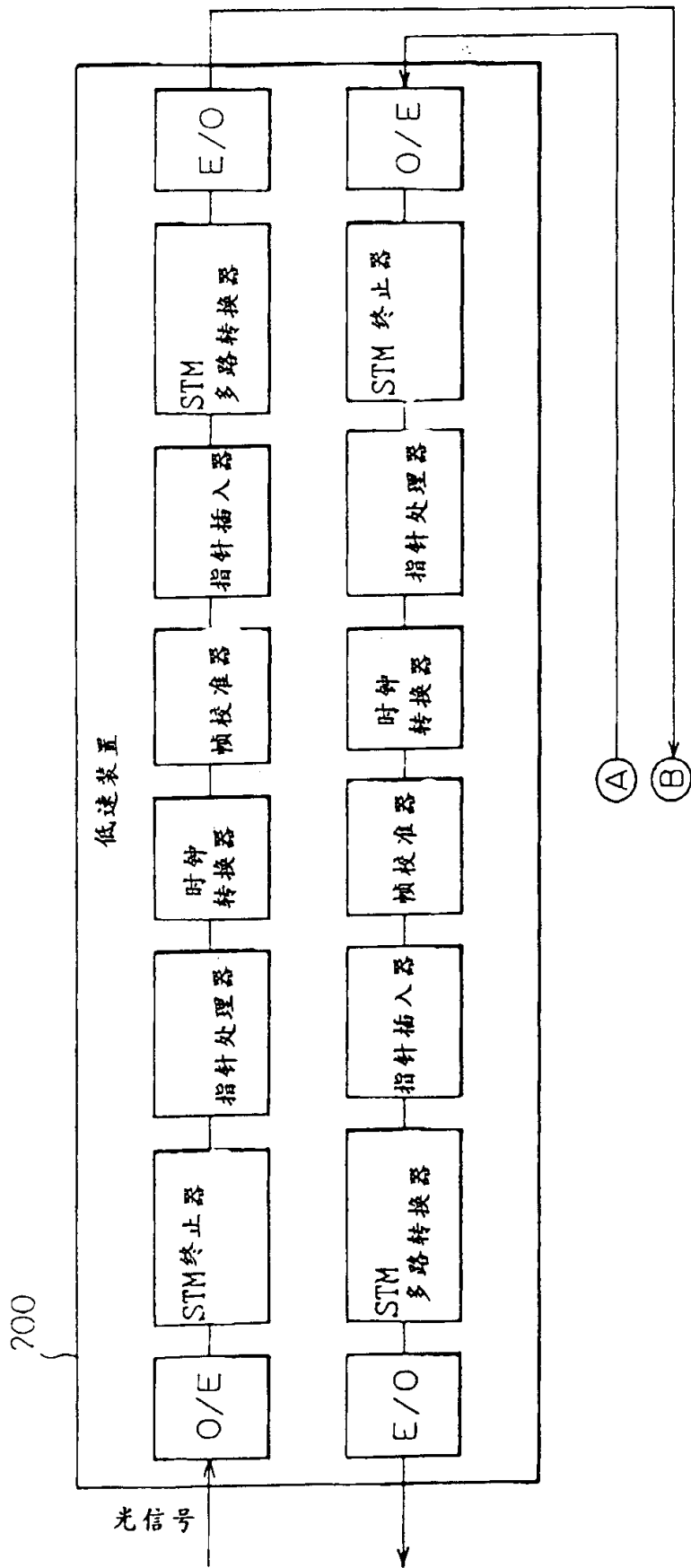


图 2B

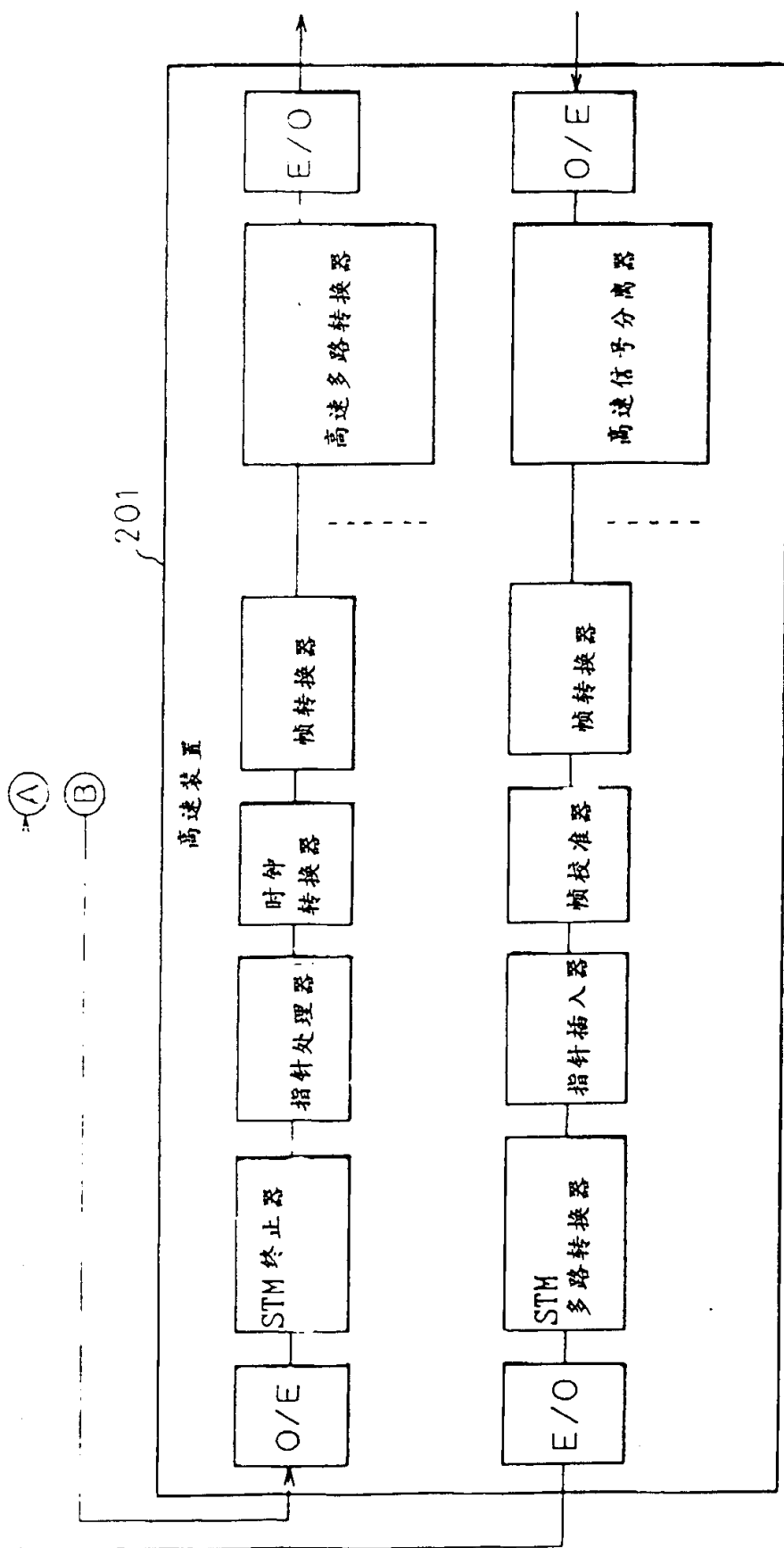


图 3

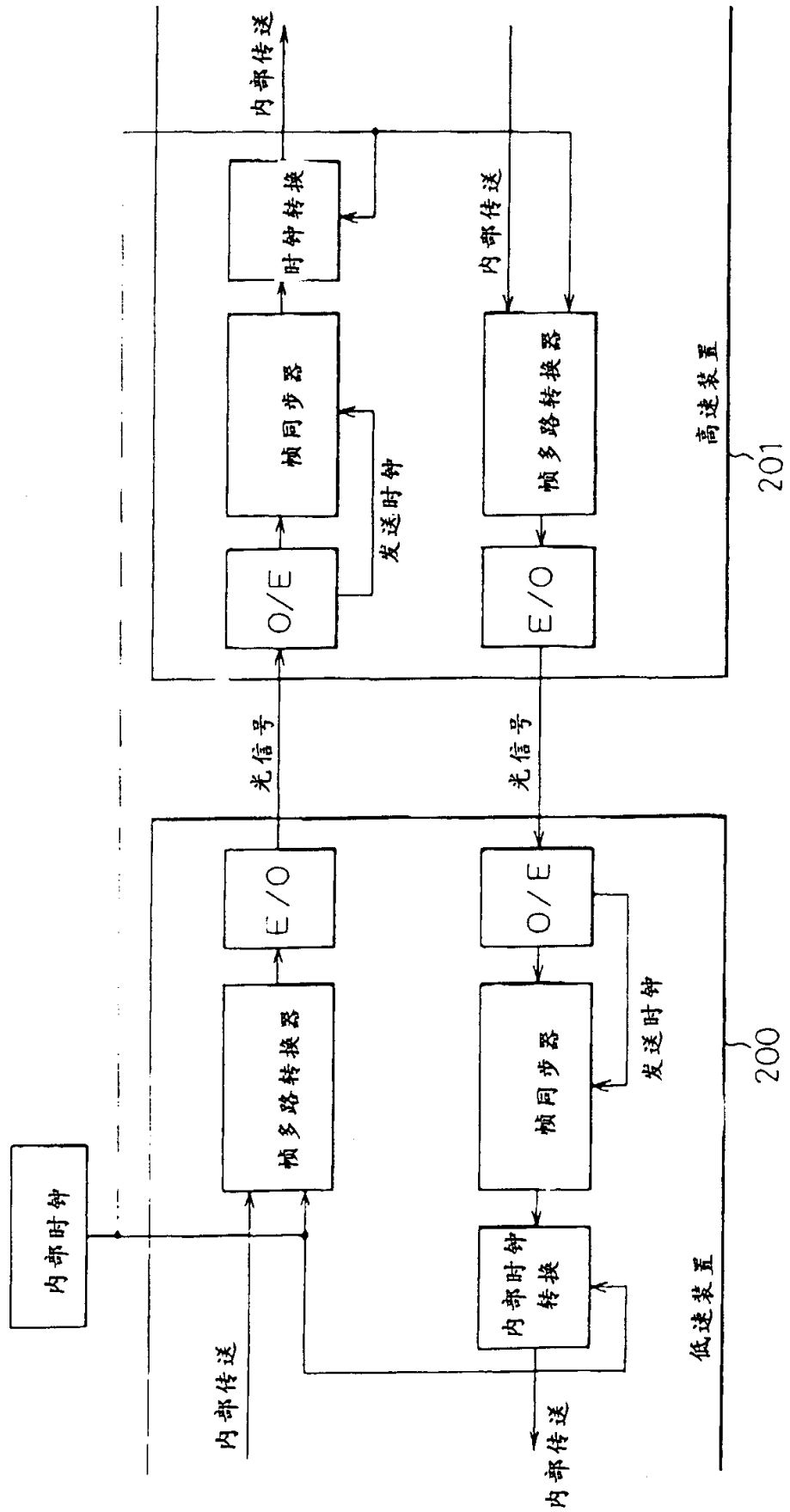


图 4

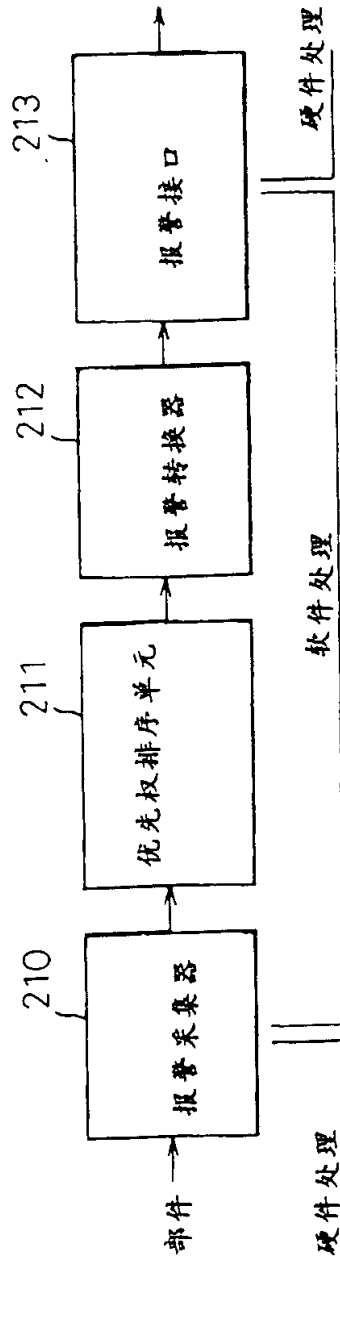


图 5

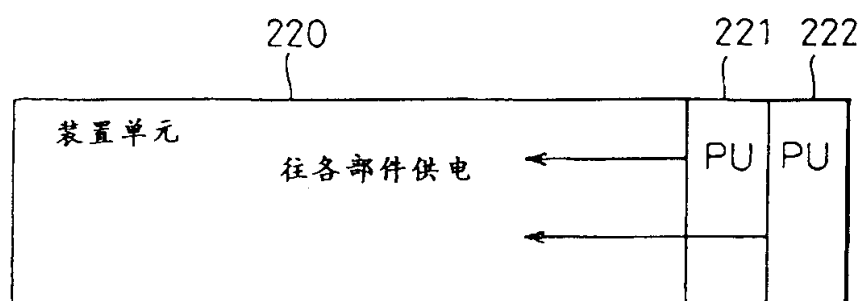


图6

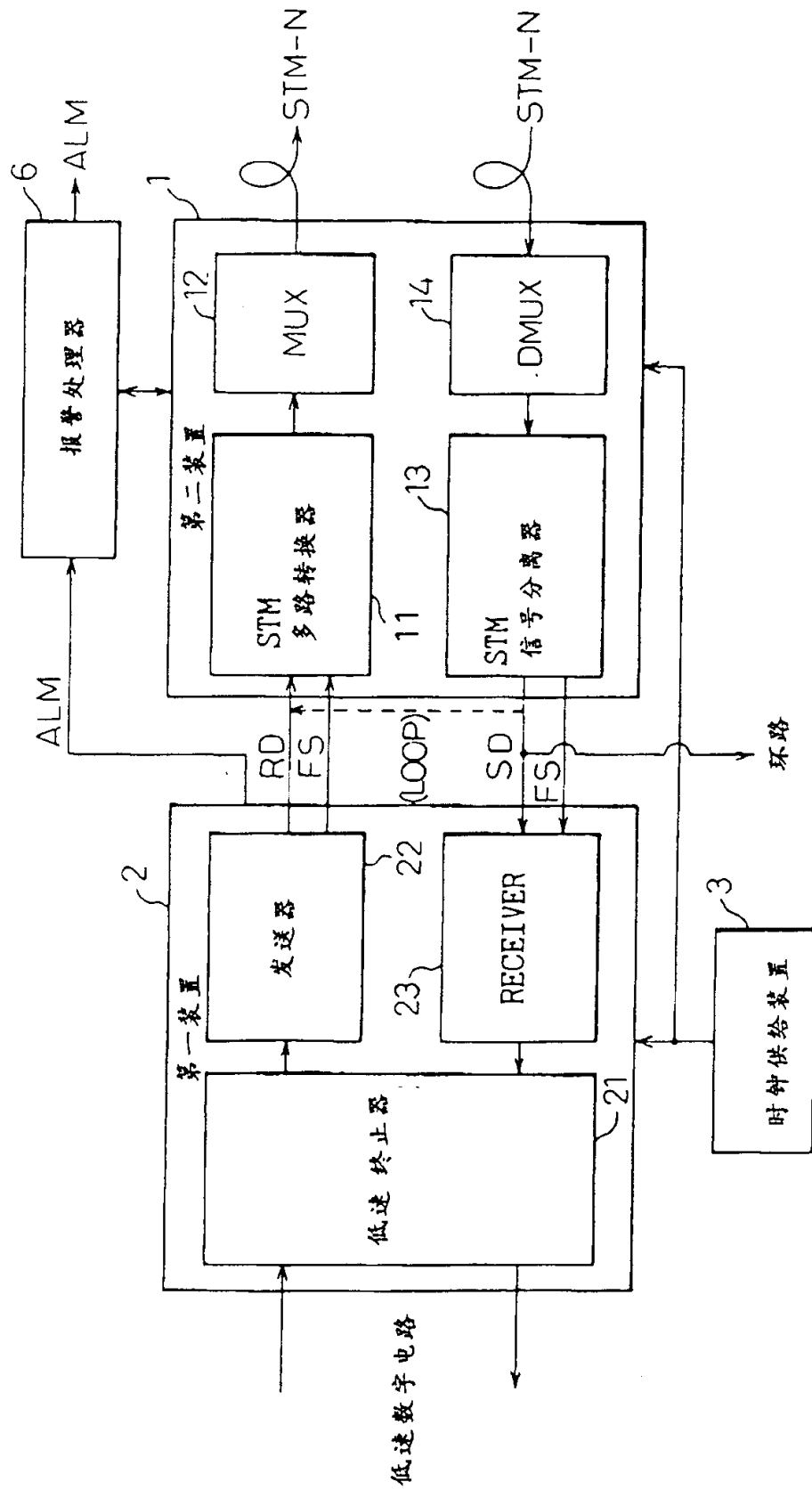


图 7

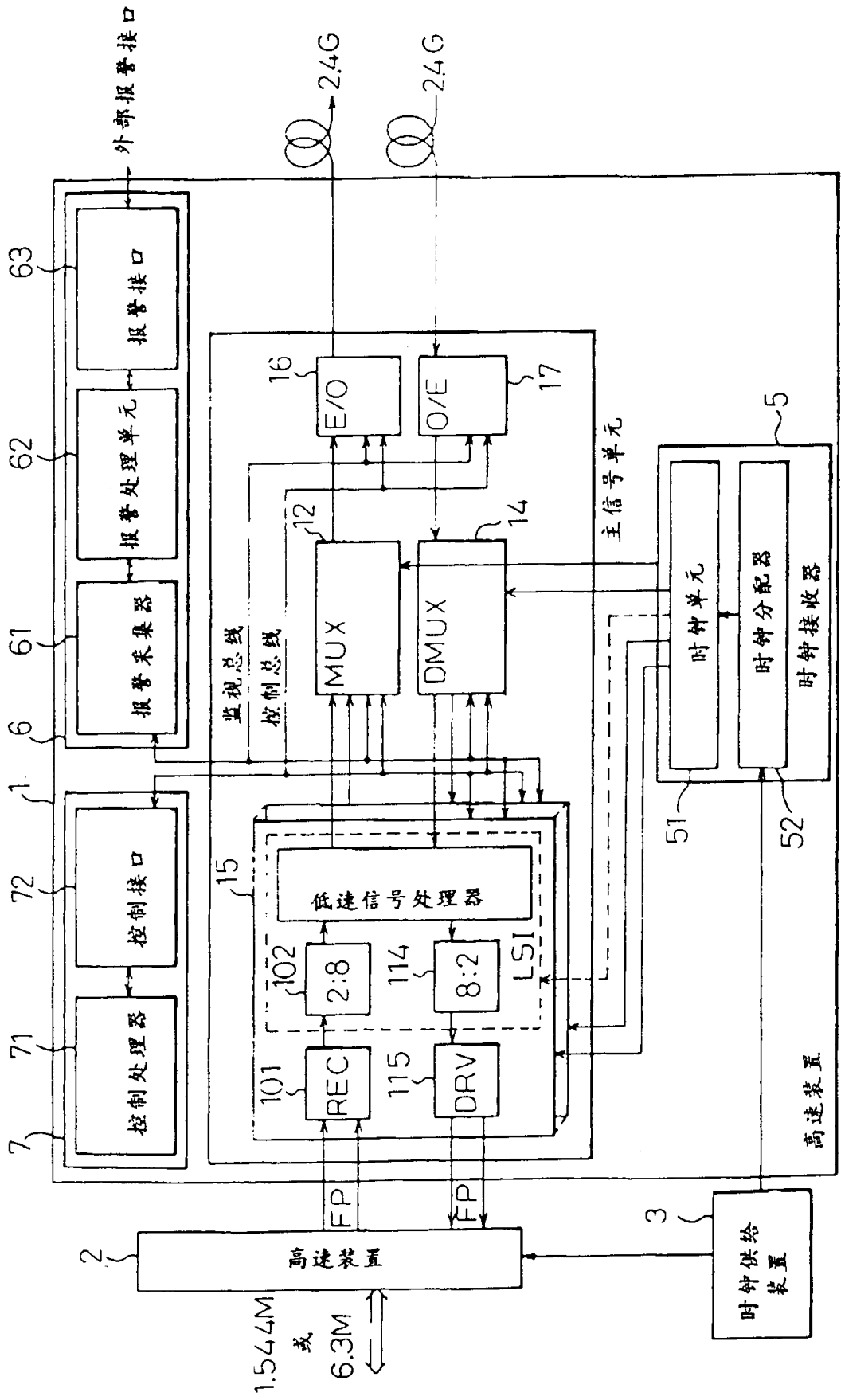


图 8

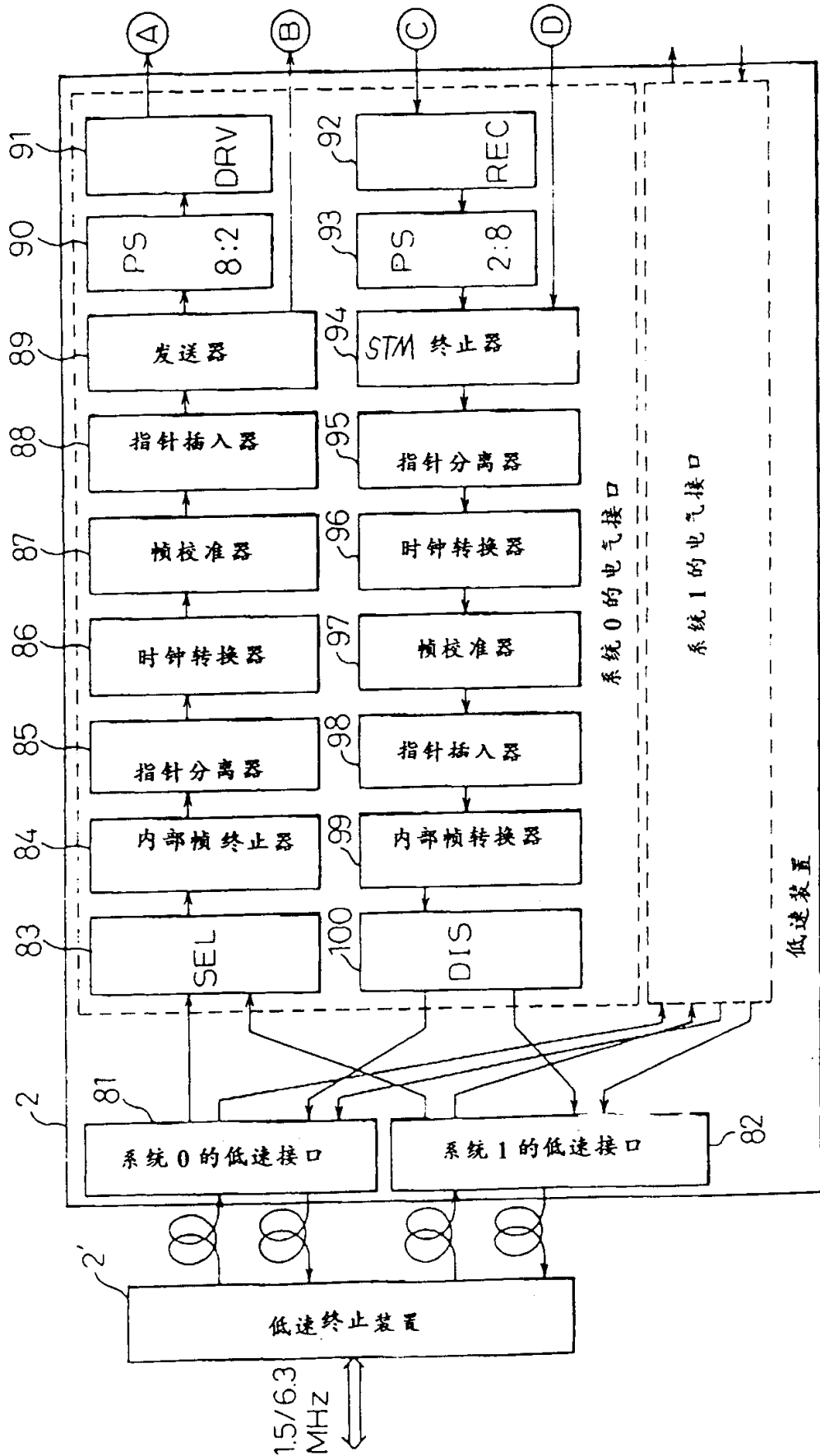


图 9

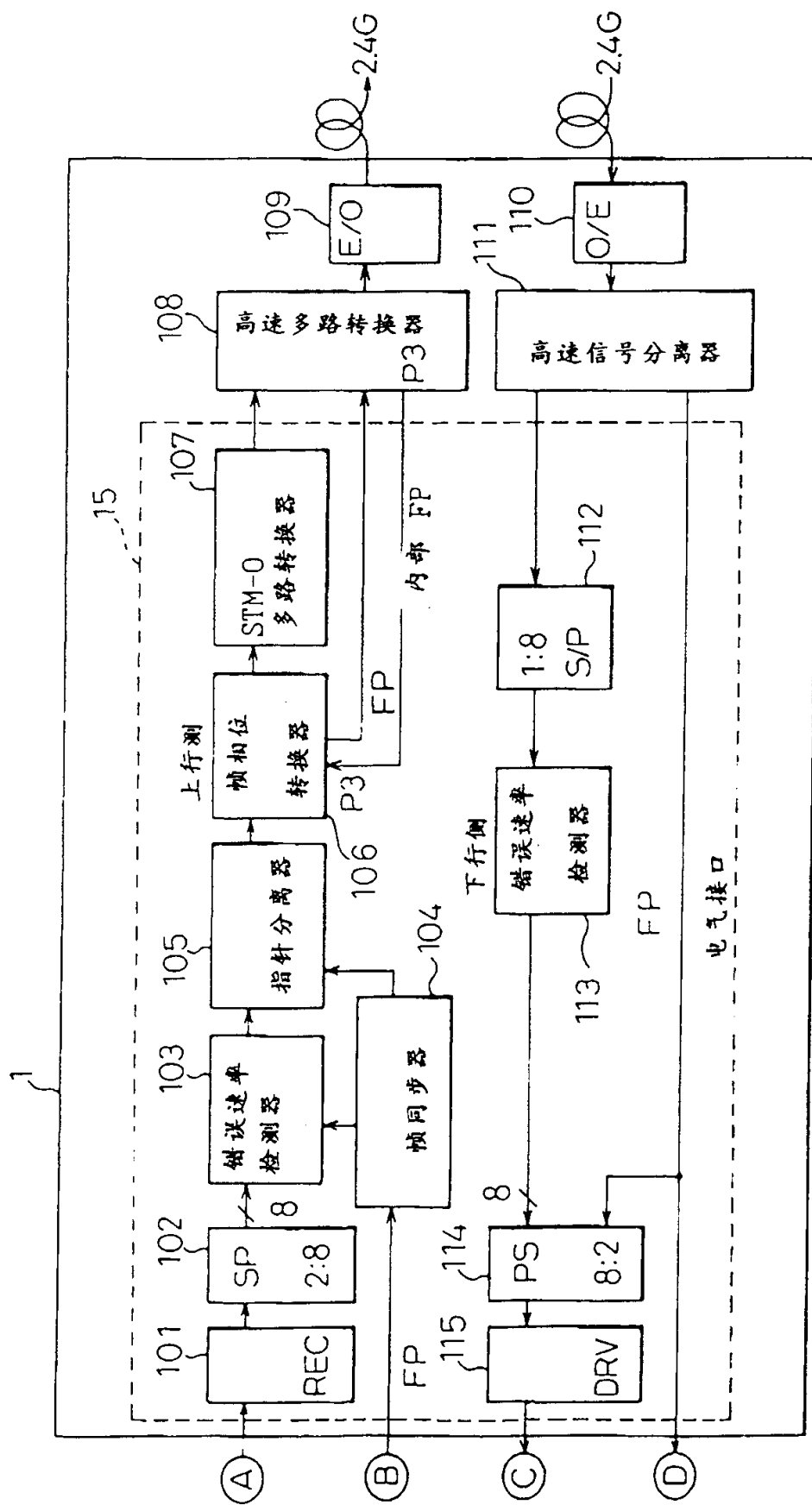


图 10

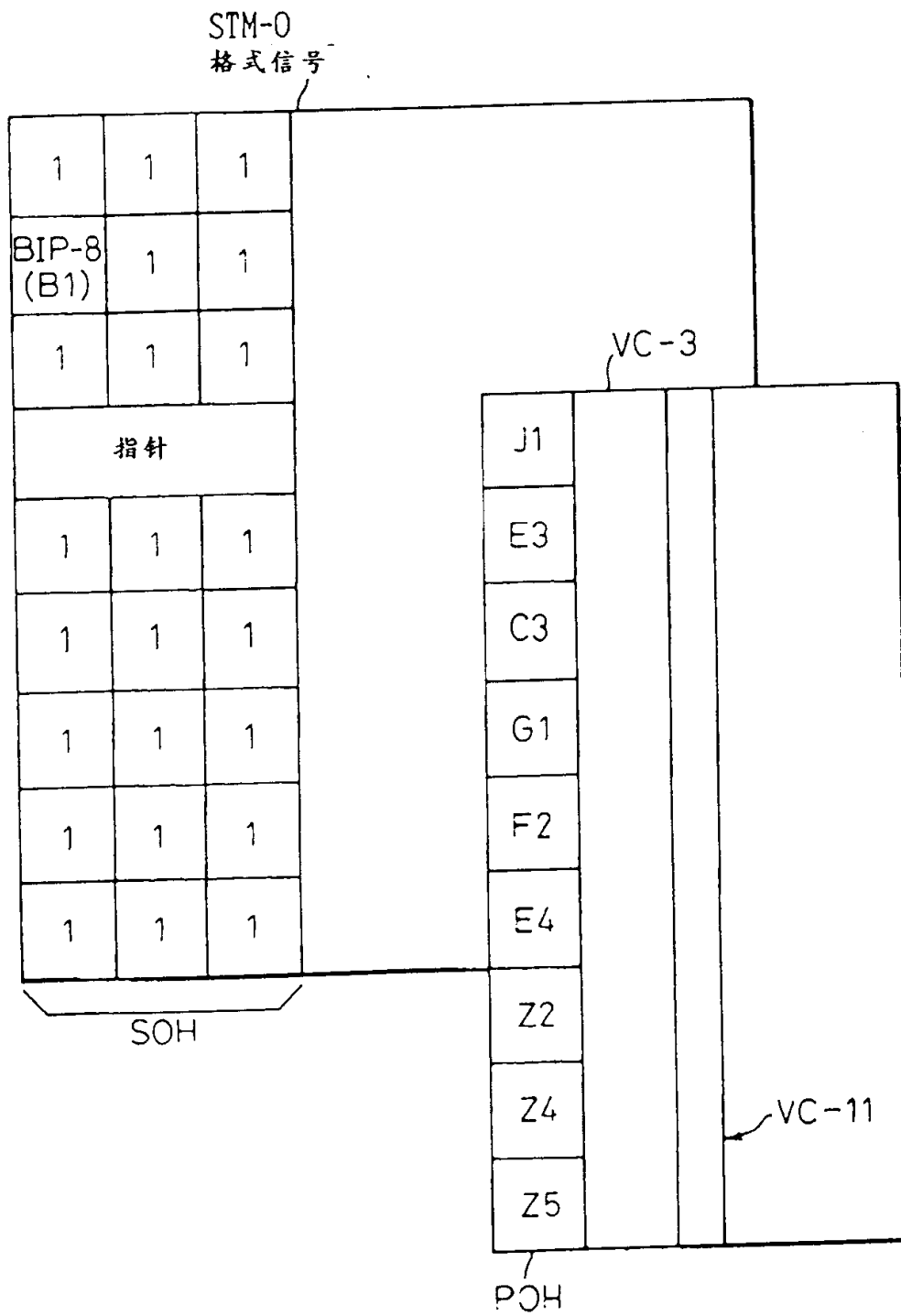


图 11

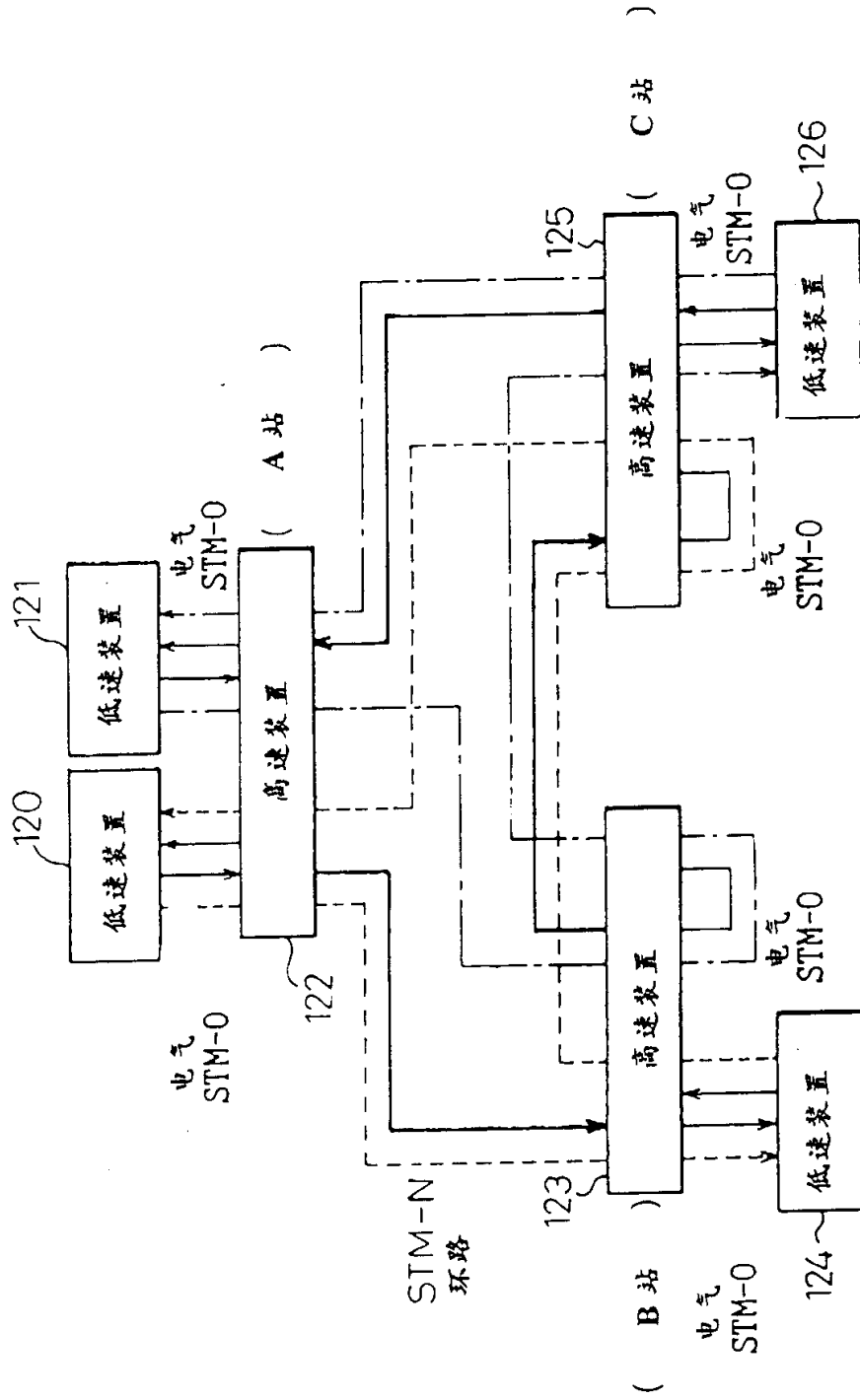


图 12

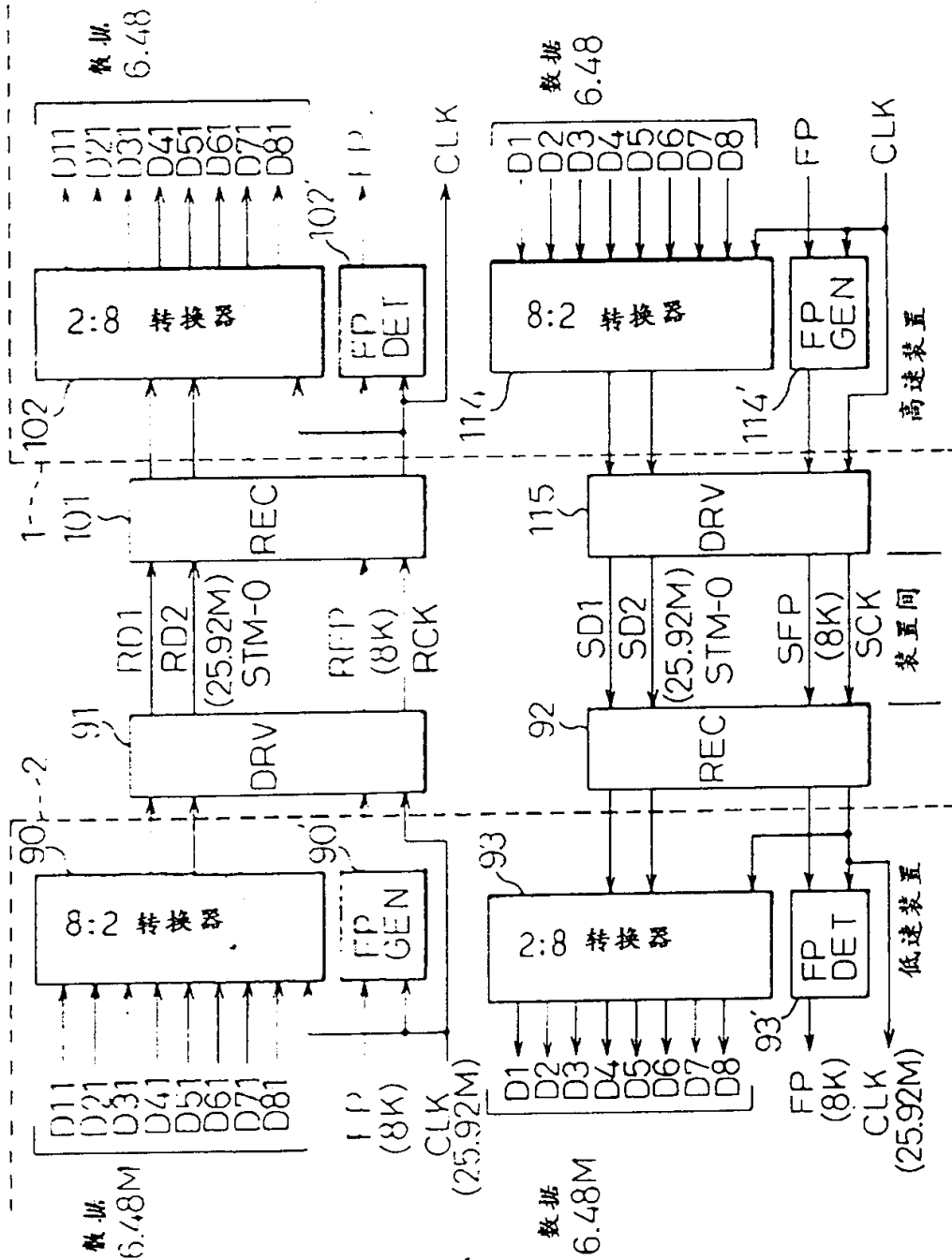


图 13

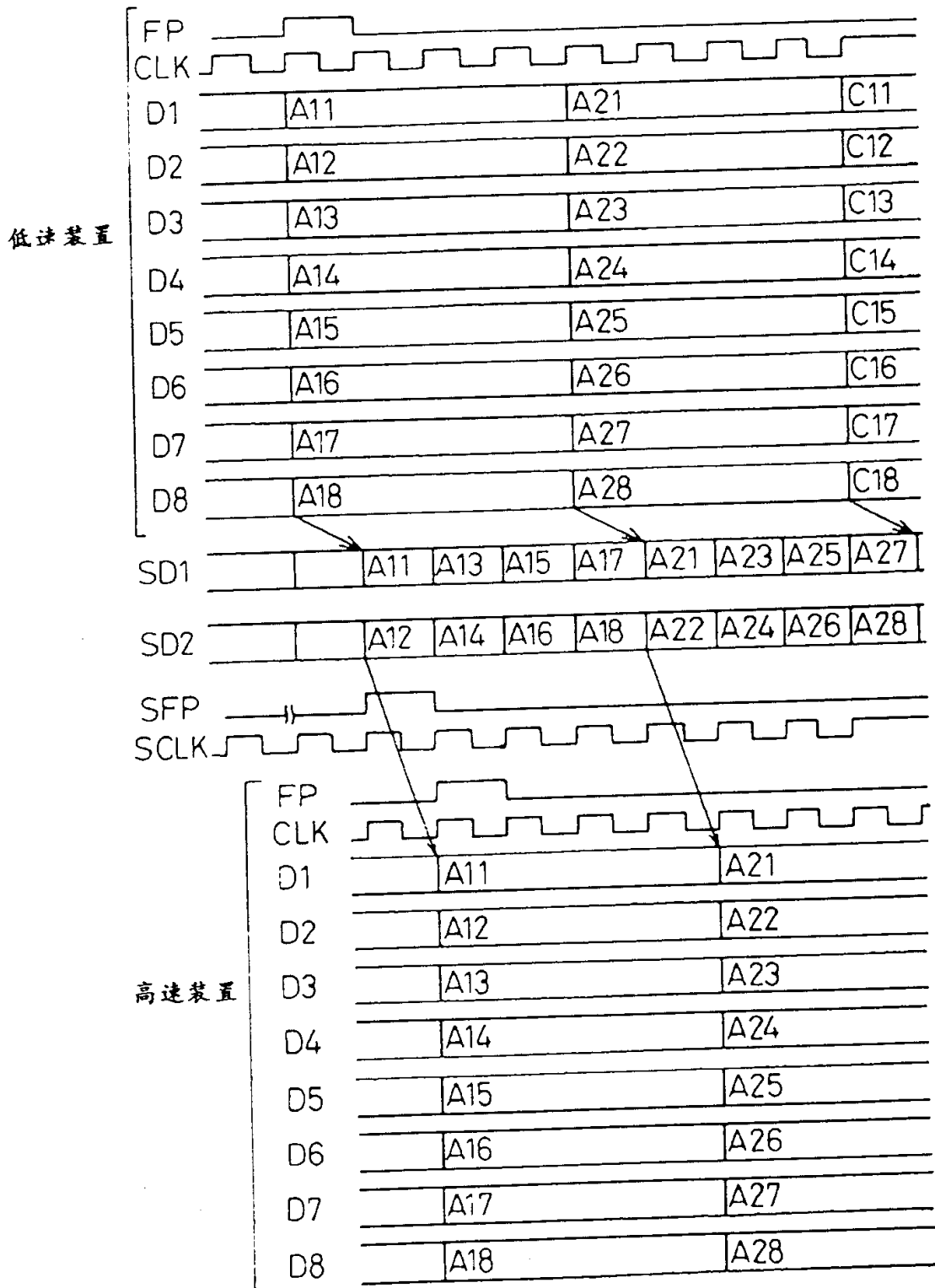


图 14A

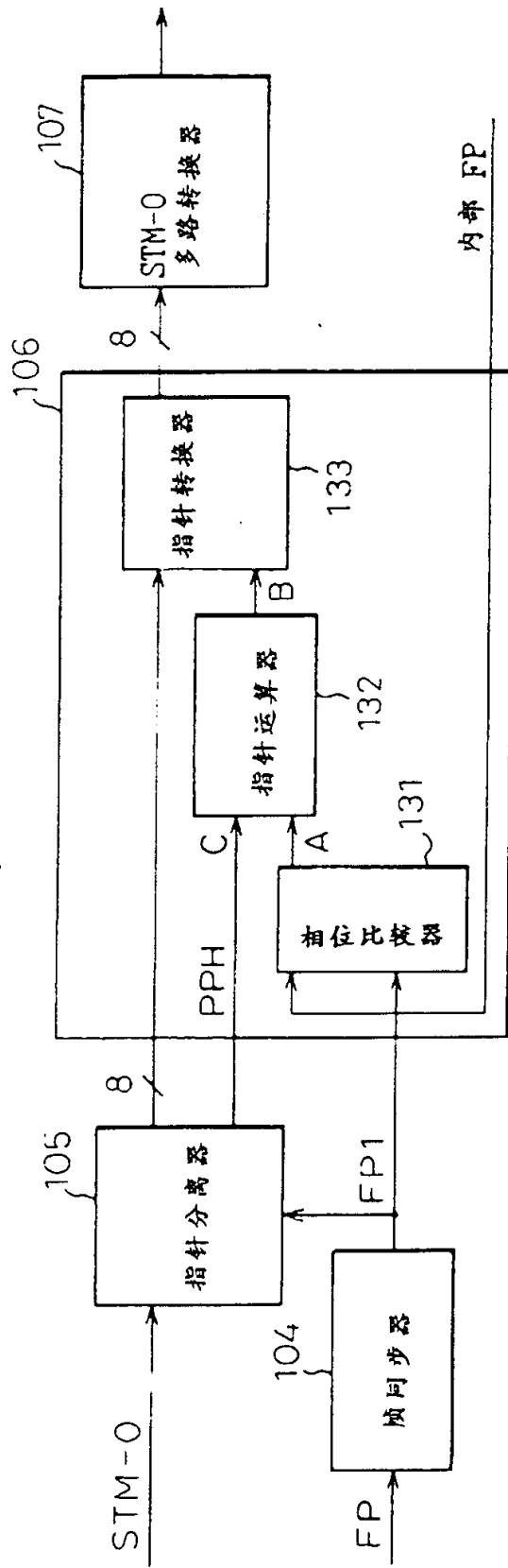


图 14B

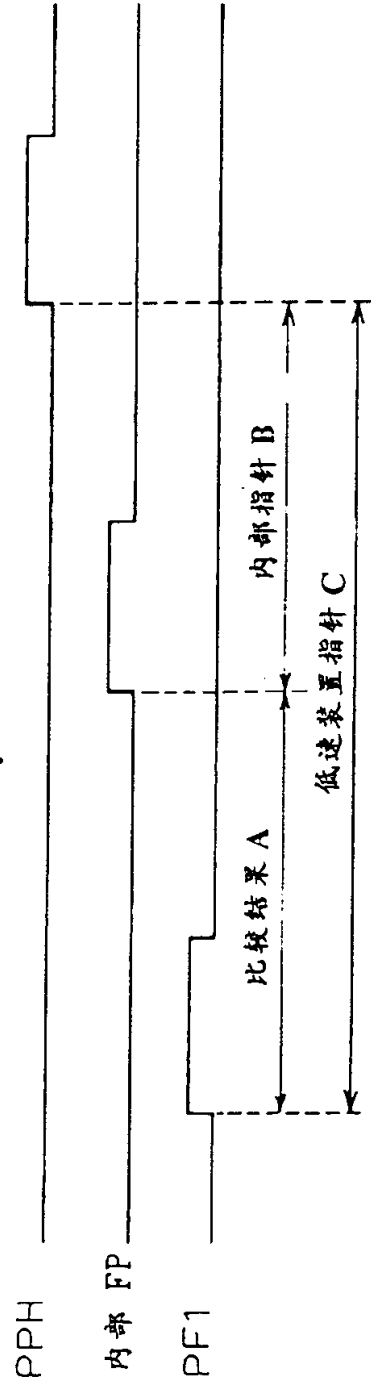


图 15

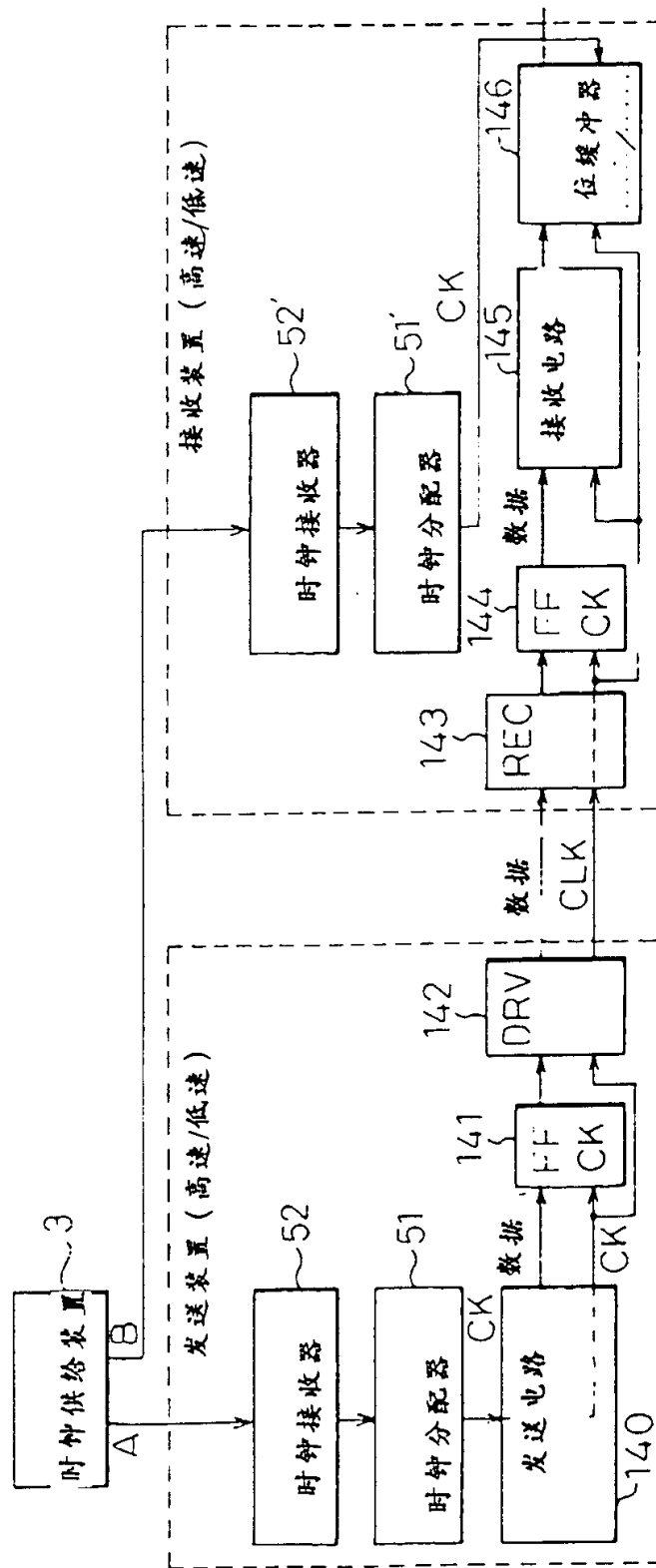


图16

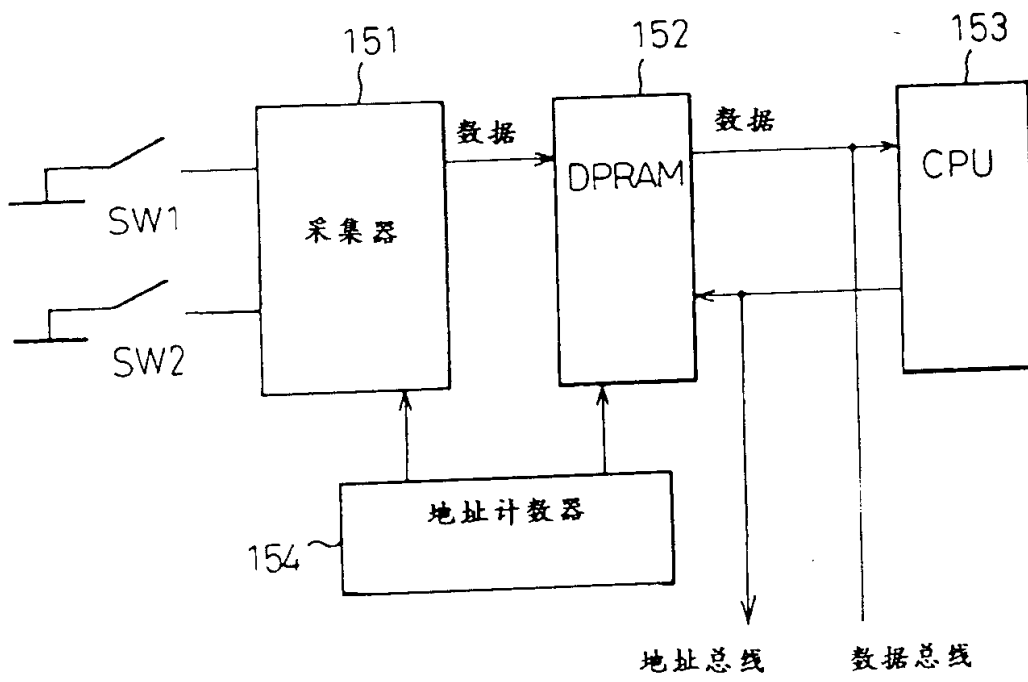
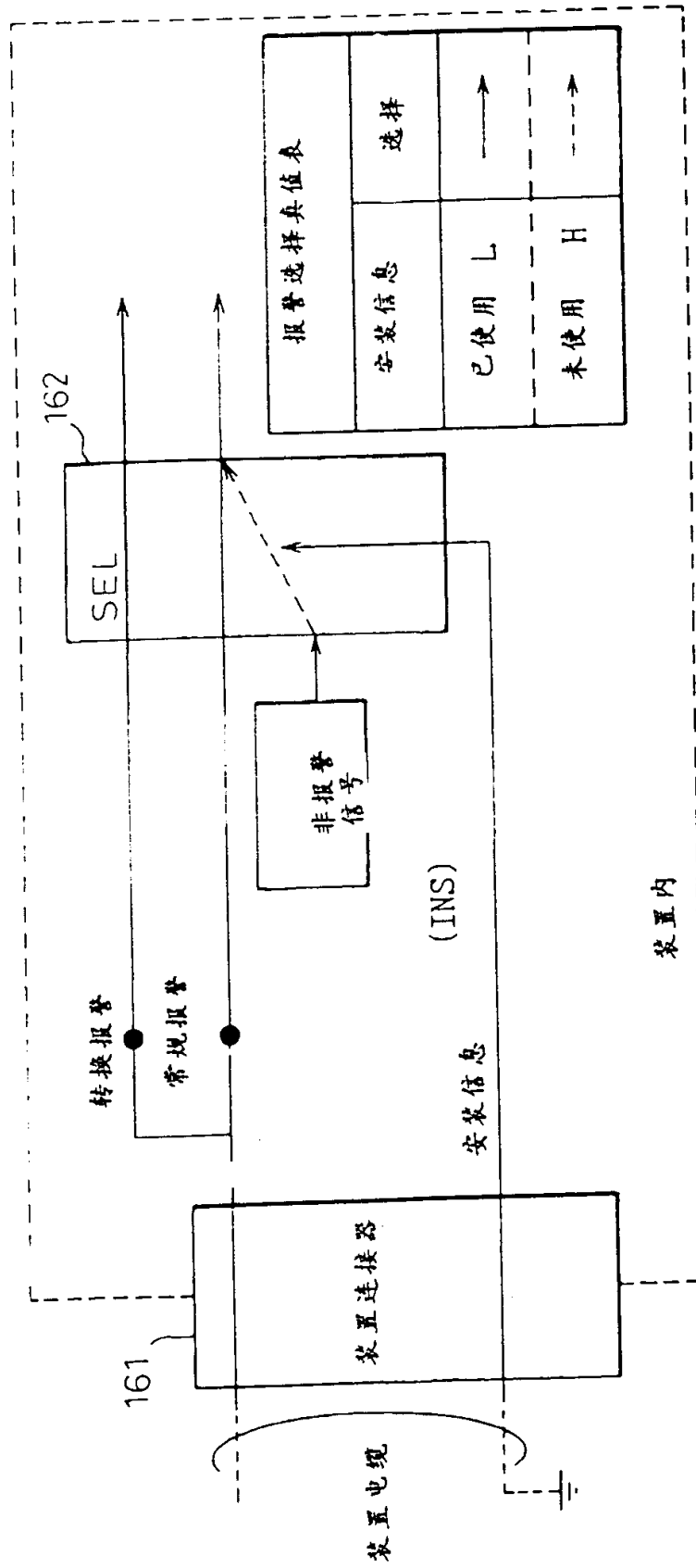


图17



● : 检出

图 18

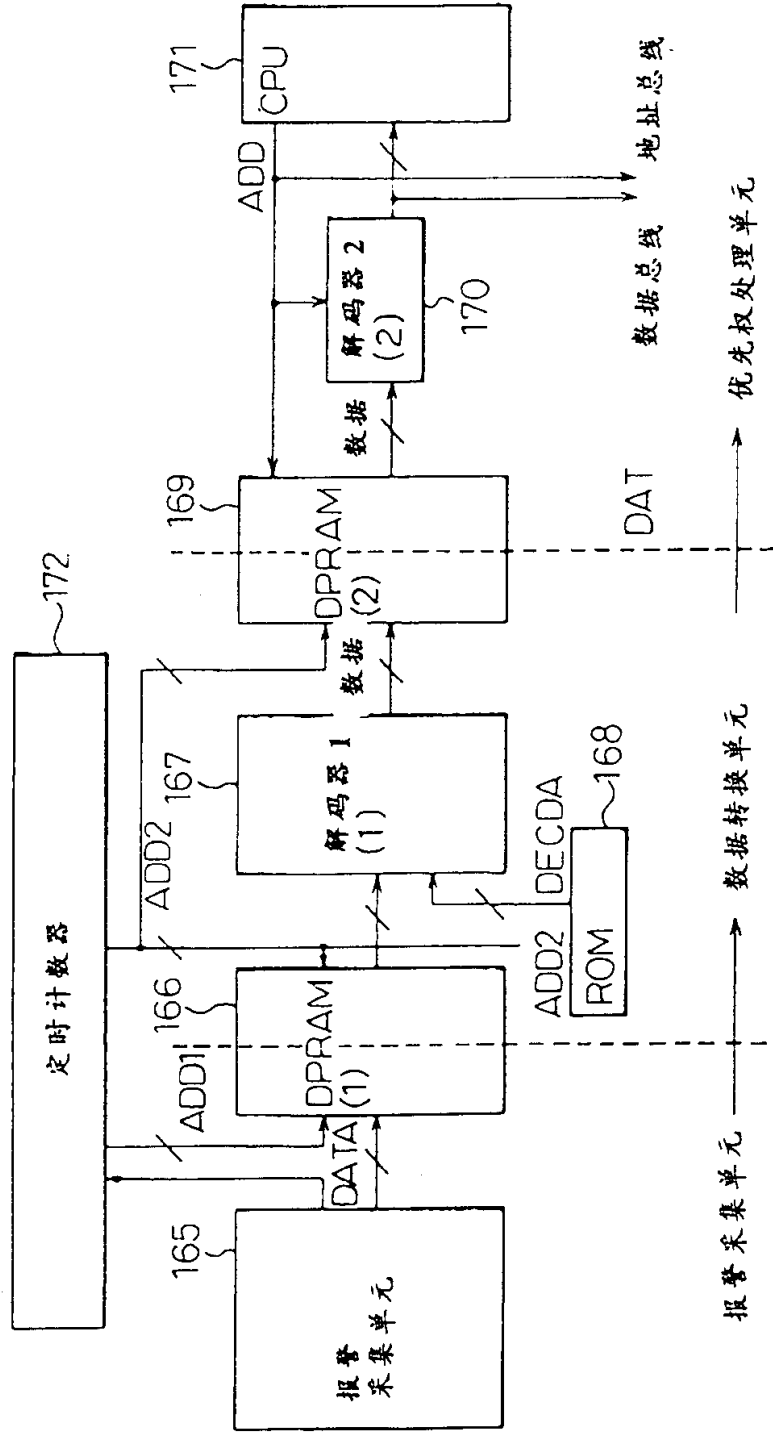


图 19

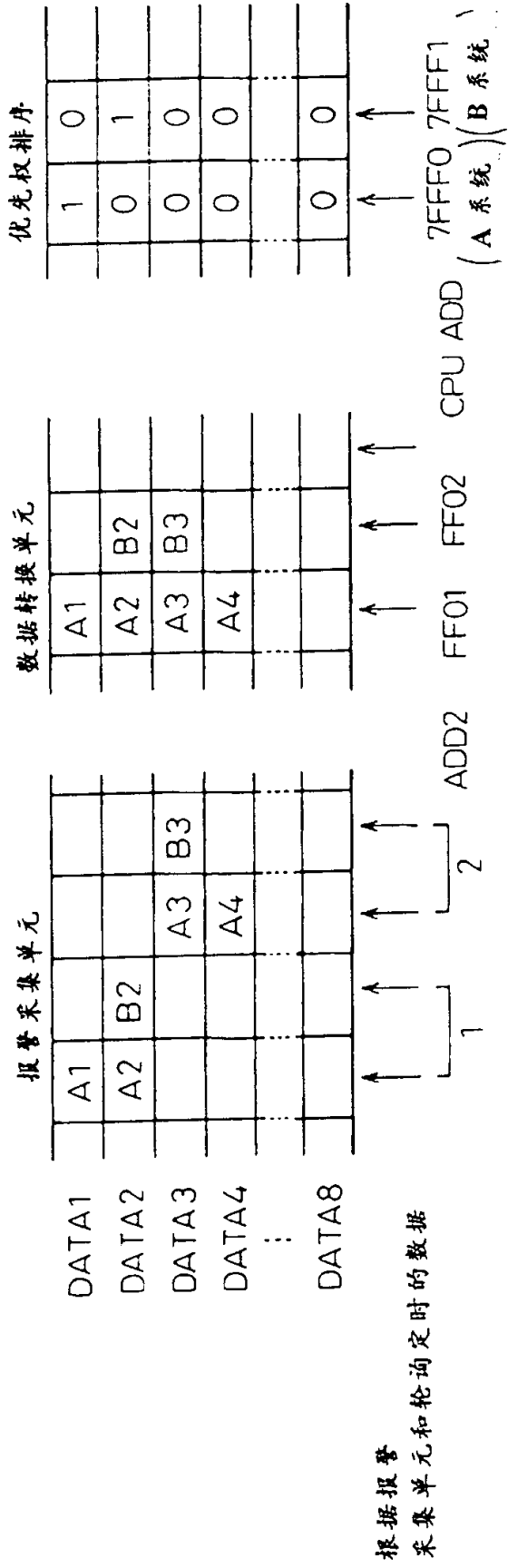
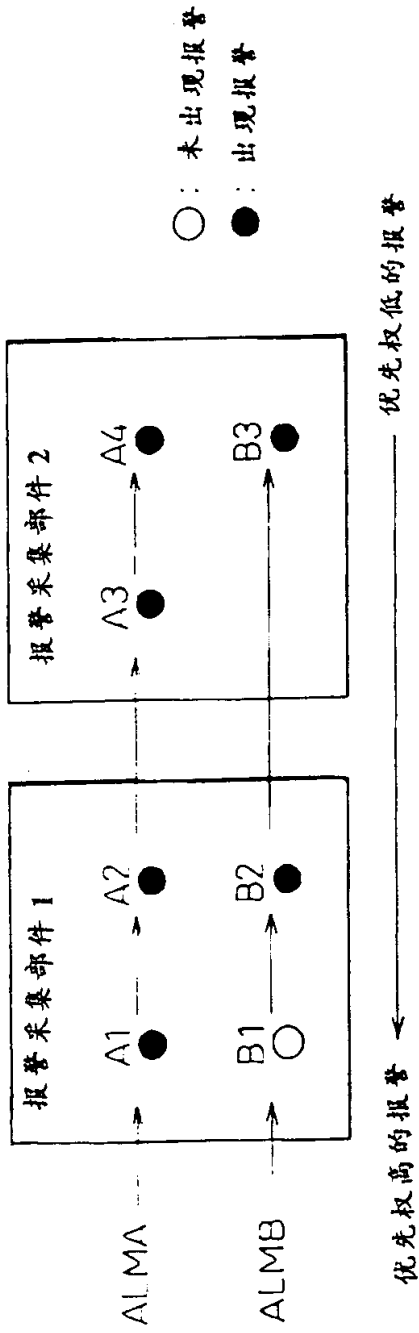


图 20

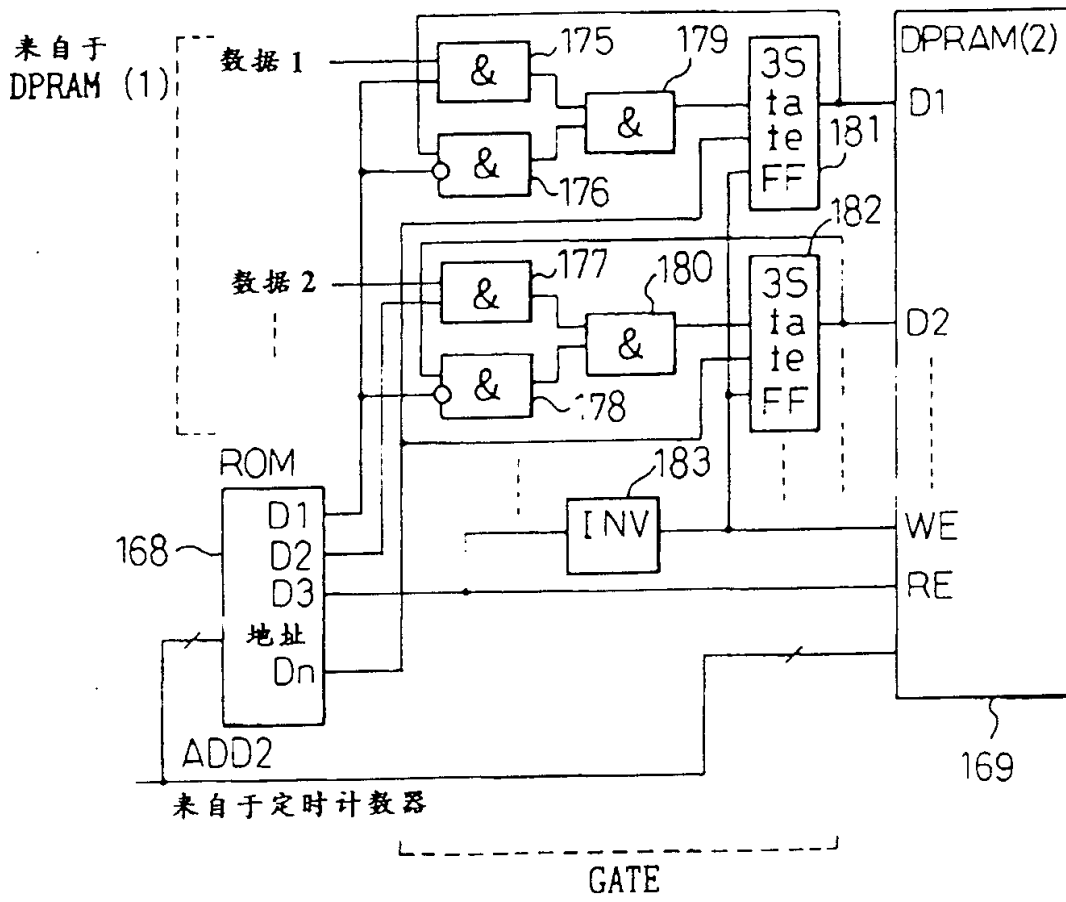


图 21

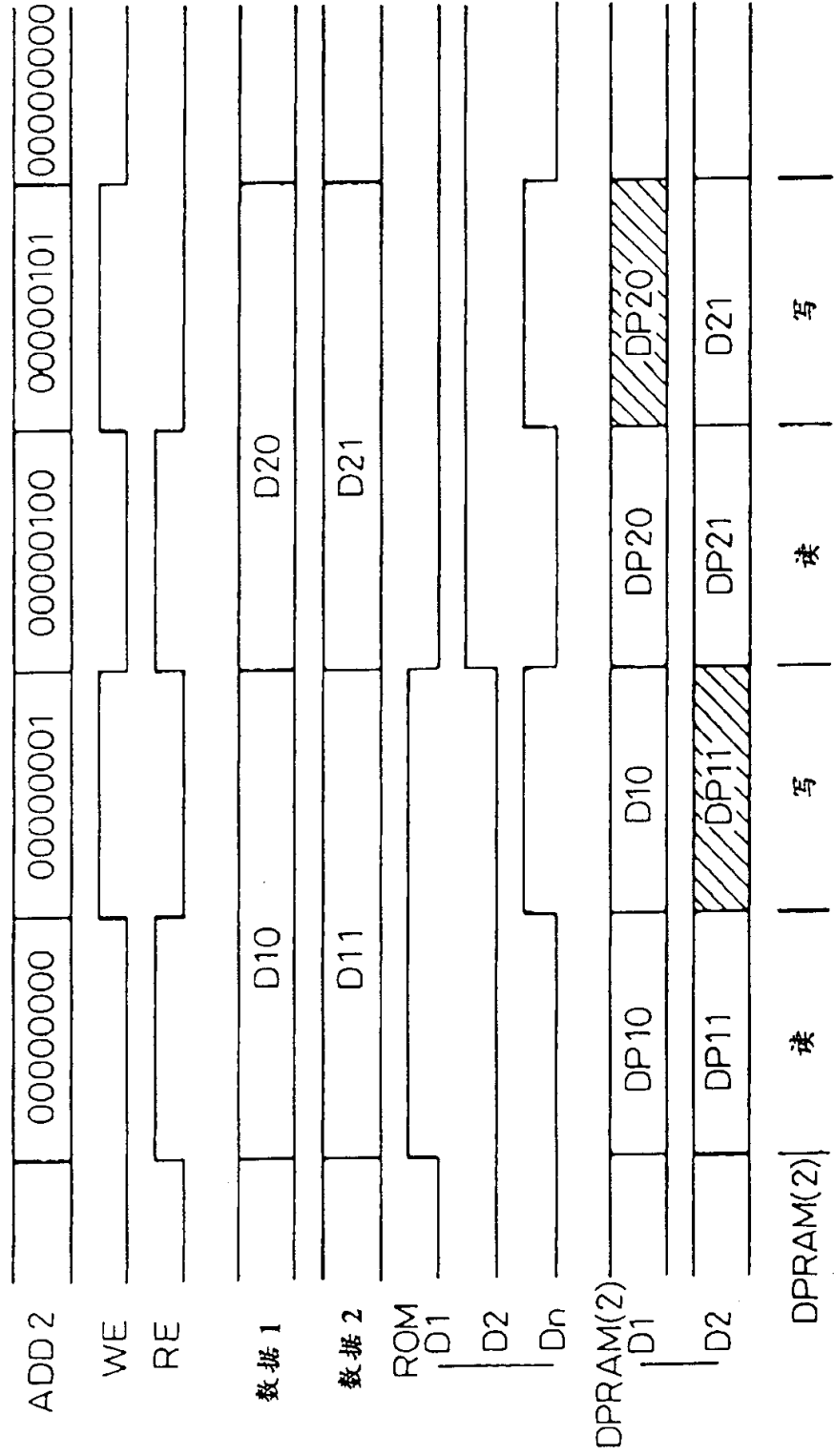


图 22

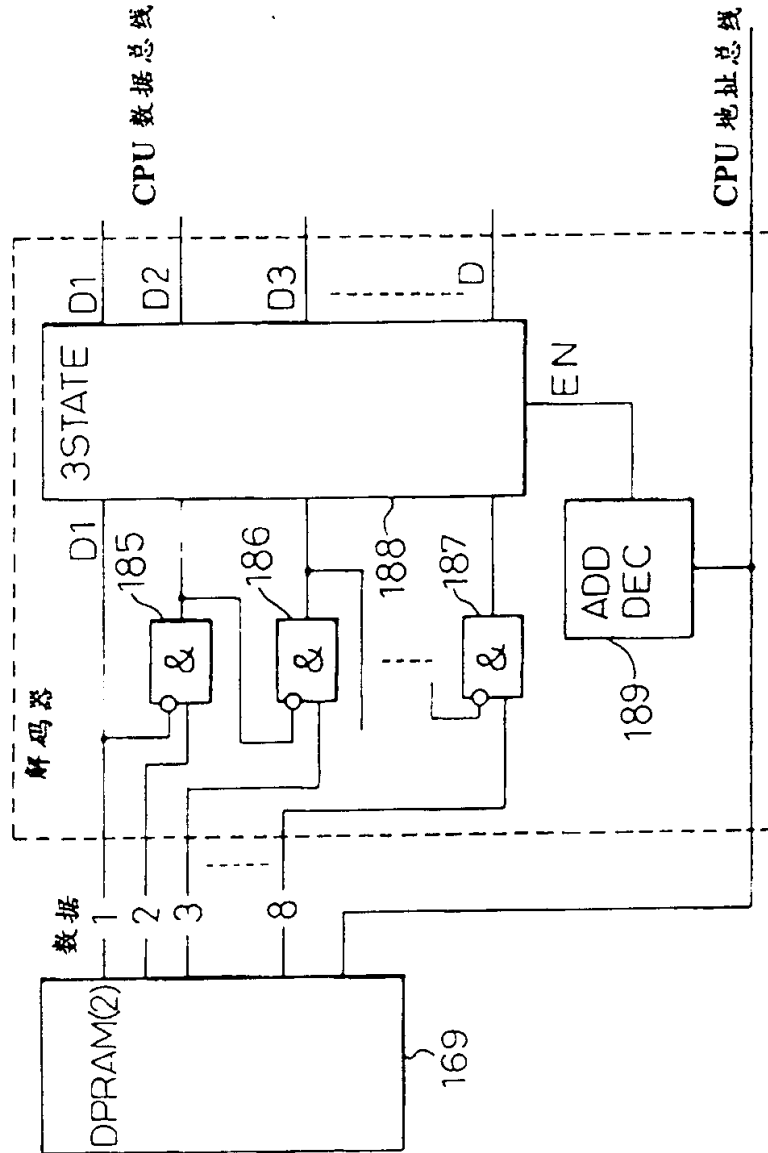


图 23

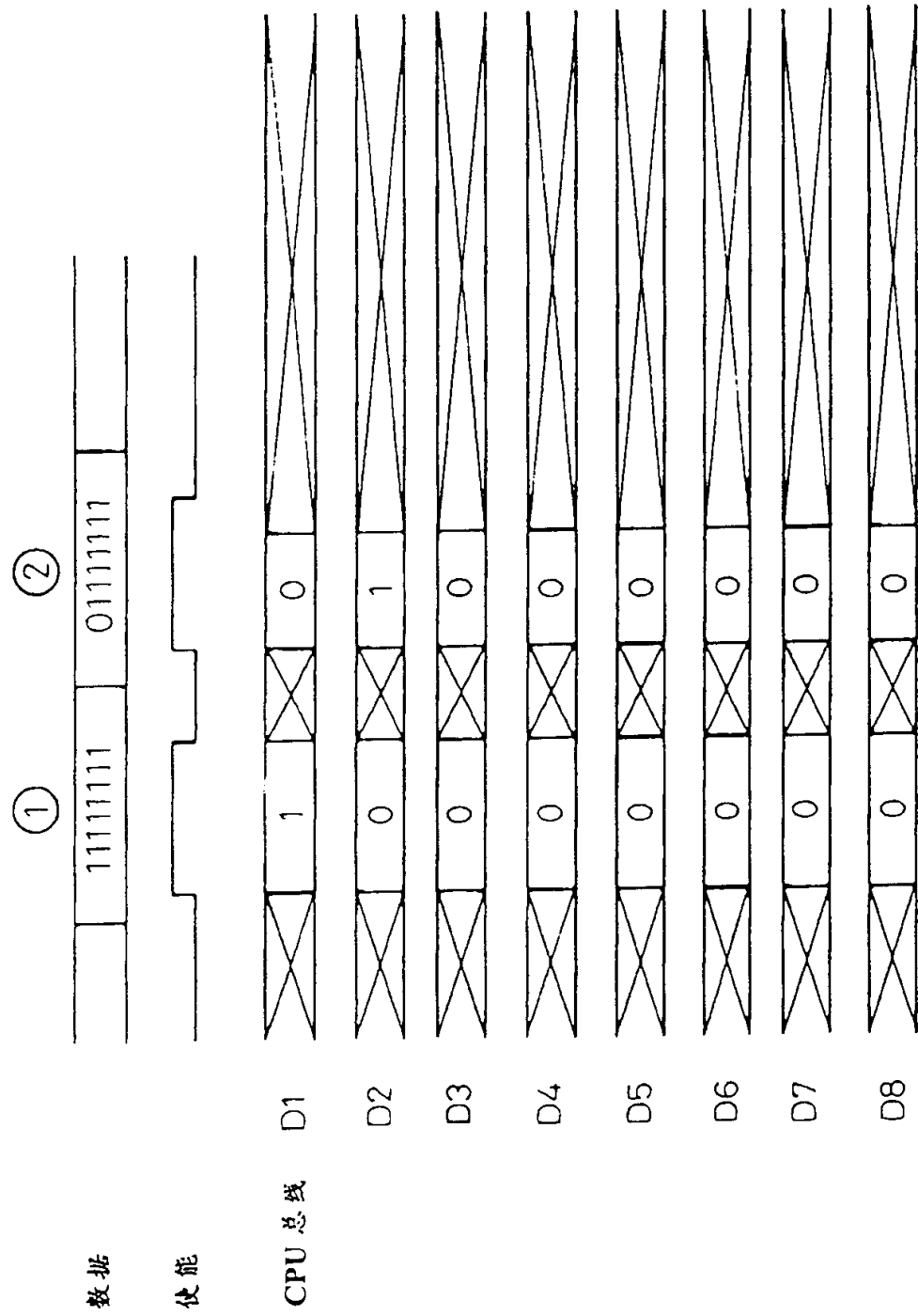


图 24

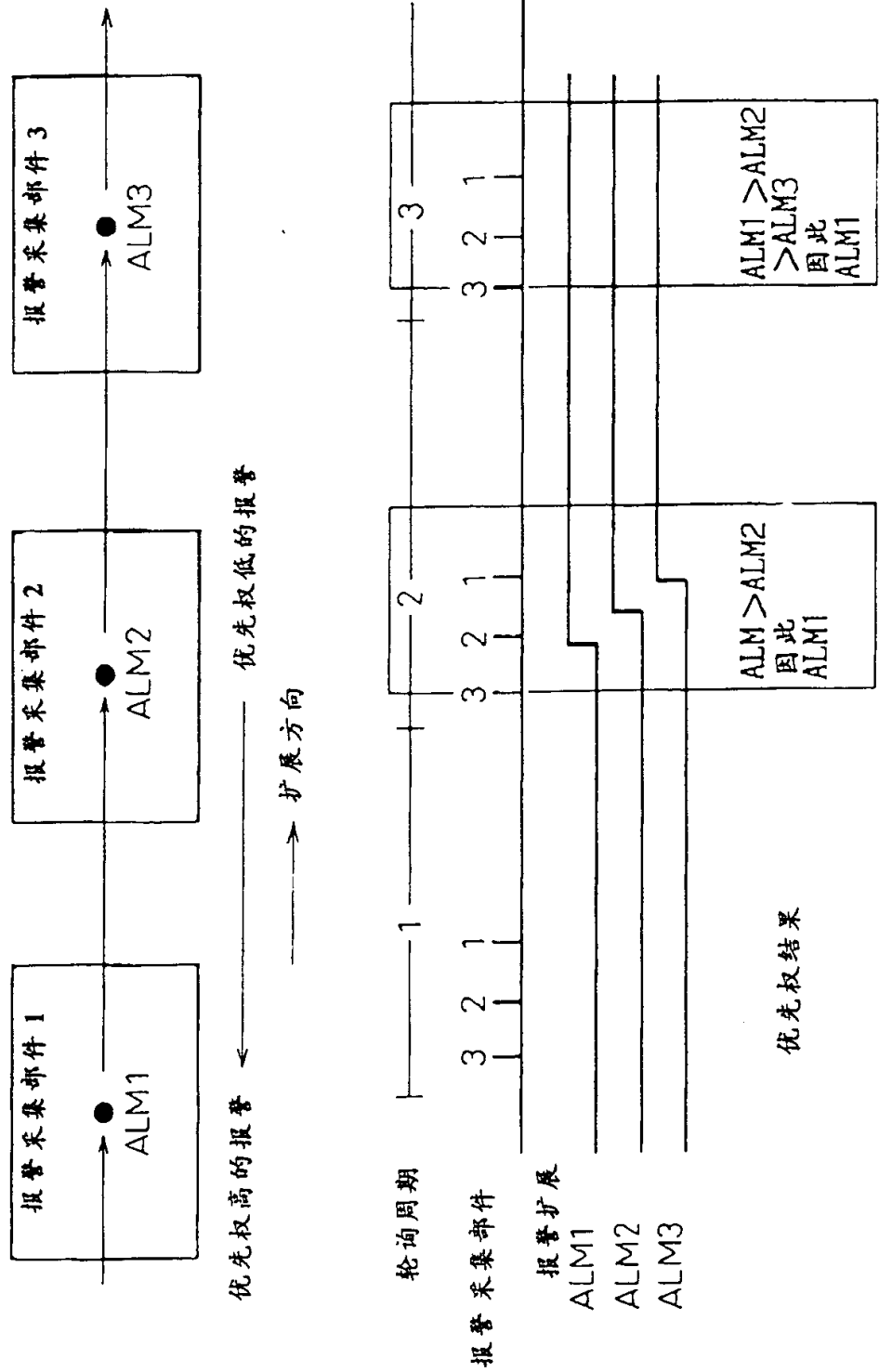


图 25

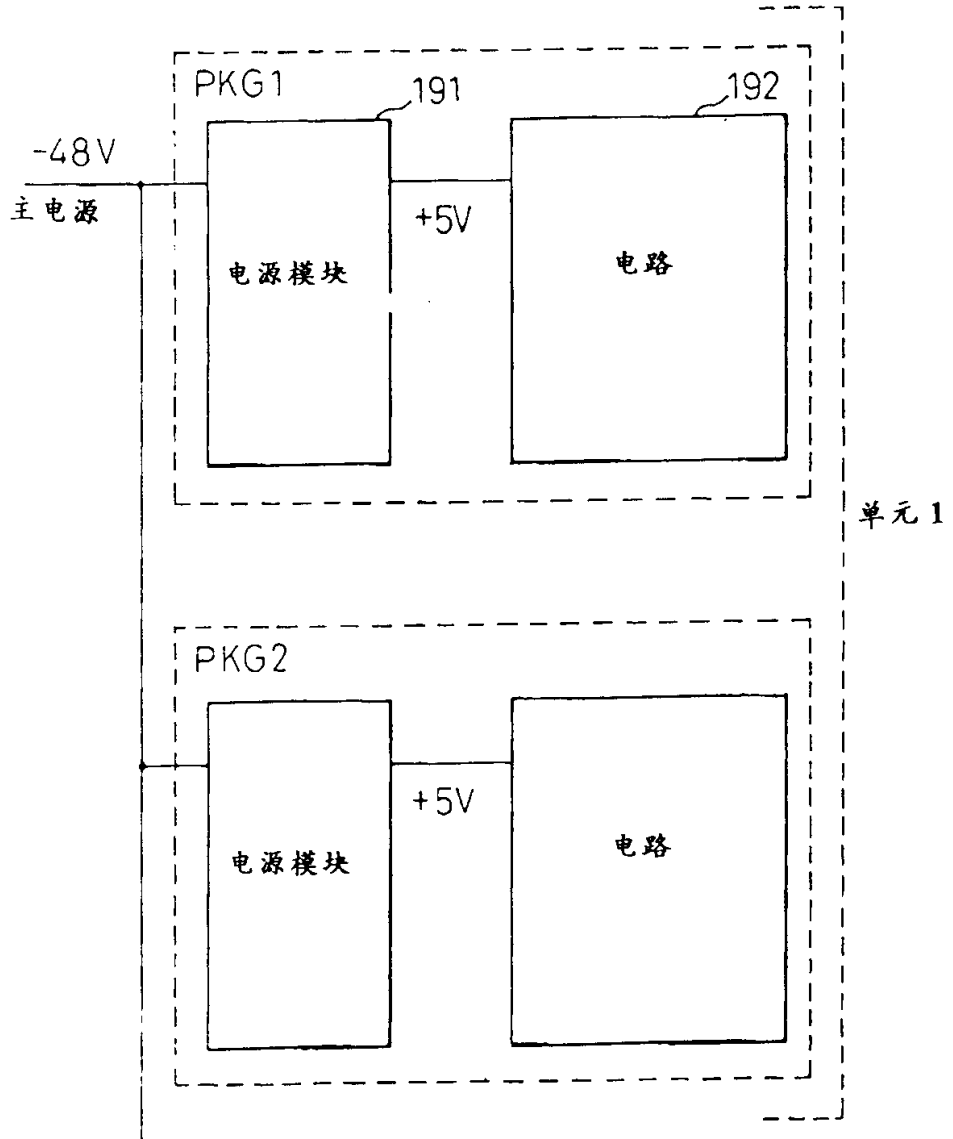


图 26A

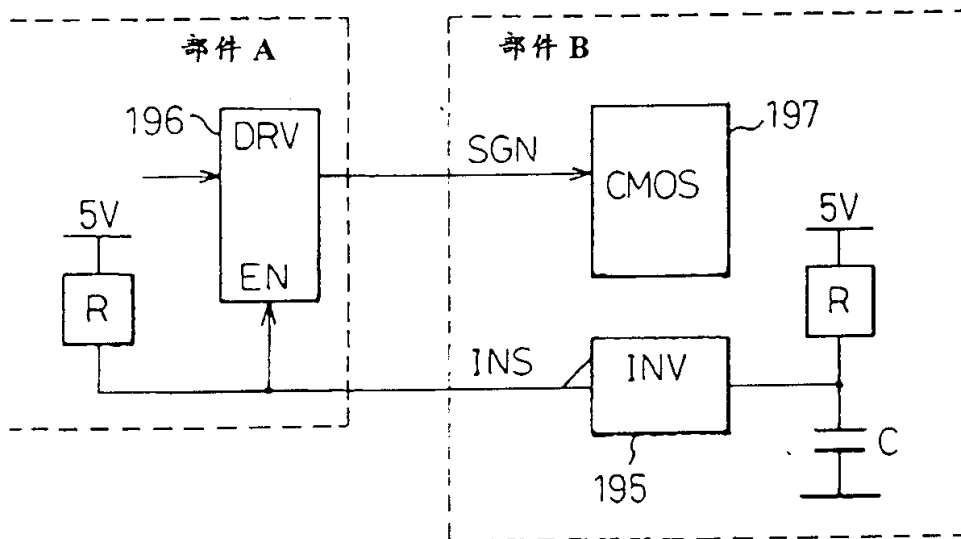
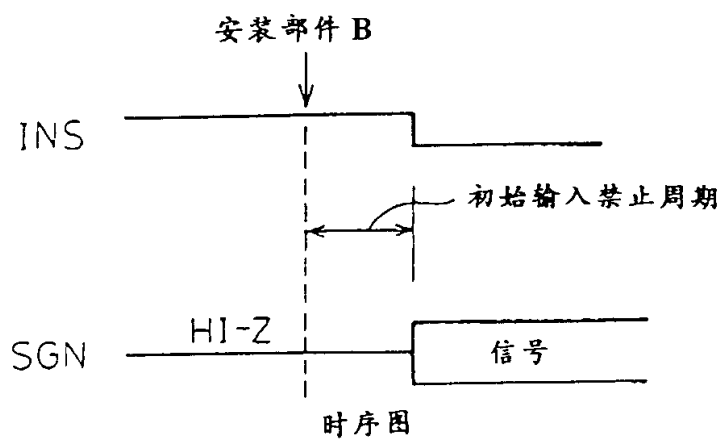


图 26B



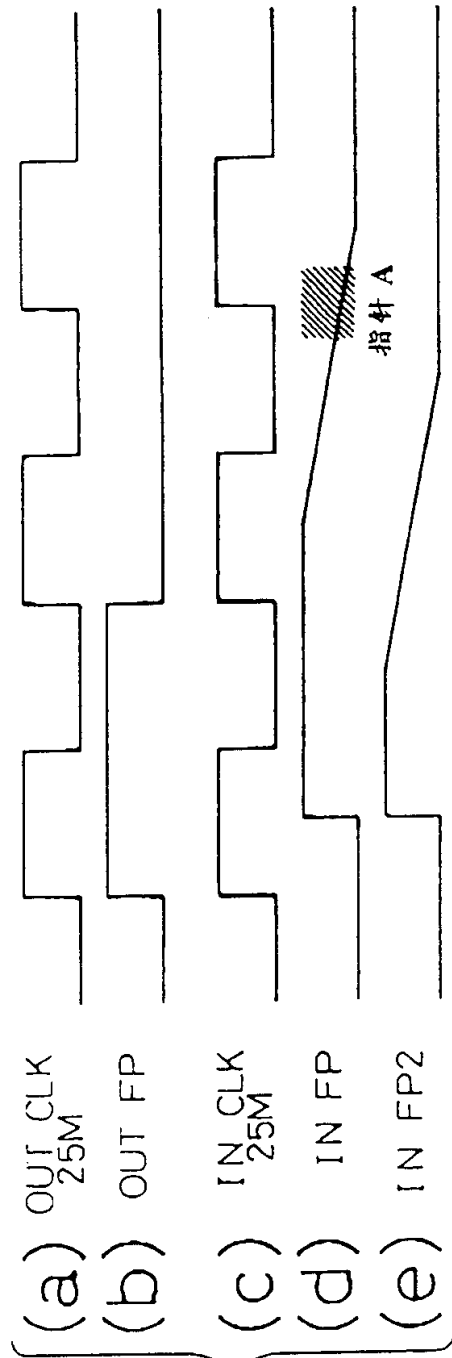


图 27