

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年1月21日(21.01.2021)



(10) 国際公開番号

WO 2021/009619 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/105 (2006.01)
H01L 21/336 (2006.01) H01L 27/108 (2006.01)
H01L 21/8239 (2006.01) H01L 27/1156 (2017.01)
H01L 21/8242 (2006.01)

(21) 国際出願番号: PCT/IB2020/056393

(22) 国際出願日: 2020年7月8日(08.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-132098 2019年7月17日(17.07.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

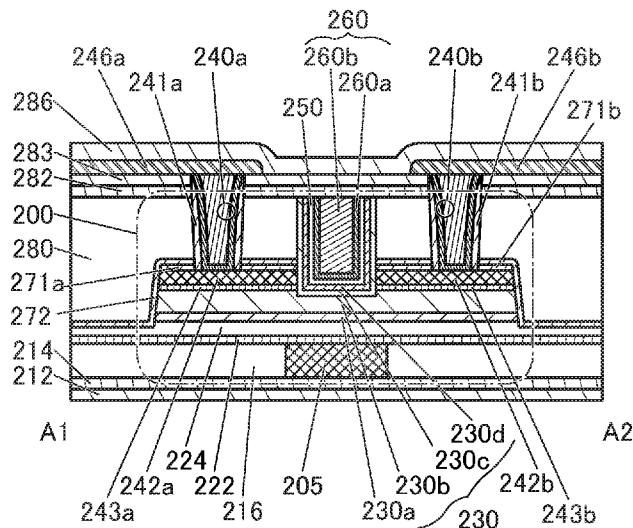
(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).
掛端 哲弥 (KAKEHATA, Tetsuya); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

図1B



(57) Abstract: The present invention provides a transistor with a high ON-current and a semiconductor device that enables high productivity. The present invention comprises: a first insulator; a second insulator on the first insulator; a third insulator and a first conductor on the second insulator; a fourth insulator on the third insulator and on the first conductor; a fifth insulator on the fourth insulator and a first oxide on the fifth insulator; a second oxide on the first oxide; a third oxide and a fourth oxide on the second oxide; a second conductor on the third oxide; a third conductor on the fourth oxide; a sixth insulator on the second conductor; a seventh insulator on the third conductor; an eighth insulator on the fifth insulator or the seventh insulator; a fifth oxide on the second oxide and disposed between the second conductor and third conductor, and a ninth insulator on the fifth oxide; and a fourth conductor on the ninth insulator. The hydrogen concentration of the

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

first conductor is lower than the hydrogen concentration of the fourth conductor.

(57) 要約: オン電流の高いトランジスタおよび生産性の高い半導体装置を提供する。第1の絶縁体と、第1の絶縁体上の第2の絶縁体と、第2の絶縁体上の第3の絶縁体、および第1の導電体と、第3の絶縁体上、および第1の導電体上の第4の絶縁体と、第4の絶縁体上の第5の絶縁体と第5の絶縁体上の第1の酸化物と、第1の酸化物上の第2の酸化物と、第2の酸化物上の第3の酸化物、および第4の酸化物と、第3の酸化物上の第2の導電体と、第4の酸化物上の第3の導電体と、第2の導電体上の第6の絶縁体と、第3の導電体上の第7の絶縁体と、第5の絶縁体乃至第7の絶縁体上の第8の絶縁体と、第2の酸化物上にあり、且つ第2の導電体と第3の導電体の間に配置される第5の酸化物と第5の酸化物上の第9の絶縁体と、第9の絶縁体上の第4の導電体と、を有し、第1の導電体の水素濃度は、第4の導電体の水素濃度よりも低い。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。また、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

酸化物半導体において、単結晶でも非晶質でもない、CAAC（c-axis aligned crystalline）構造およびnc（nanocrystalline）構造が見出されている（非特許文献1及び非特許文献2参照）。

[0006]

非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

[先行技術文献]

[非特許文献]

[0007]

[非特許文献1] S. Yamazaki et al., “SID Symposium Digest of Technical Papers”, 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., “Japanese Journal of Applied Physics”, 2014, volume 53, Number 4S, p. 04ED18-1-04ED18-10

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、トランジスタ特性のばらつきが少ない半導体装置を提供することを課題の一つとする。また、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。また、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、第1の絶縁体と、第1の絶縁体上の第2の絶縁体と、第2の絶縁体上の第3の絶縁体、および第1の導電体と、第3の絶縁体上、および第1の導電体上の第4の絶縁体と、第4の絶縁体上の第5の絶縁体と、第5の絶縁体上の第1の酸化物と、第1の酸化物上の第2の酸化物と、第2の酸化物上の第3の酸化物、および第4の酸化物と、第3の酸化物上の第2の導電体と、第4の酸化物上の第3の導電体と、第2の導電体上の第6の絶縁体と、第3の導電体上の第7の絶縁体と、第5の絶縁体乃至第7の絶縁体上の第8の絶縁体と、第2の酸化物上にあり、且つ第2の導電体と第3の導電体の間に配置される第5の酸化物と、第5の酸化物上の第9の絶縁体と、第9の絶縁体上の第4の導電体と、を有し、第1の導電体は、第2の酸化物と重なる領域を有し、第4の導電体は、第2の酸化物と重なる領域を有し、第5の酸化物は、第1の酸化物乃至第4の酸化物、第2の導電体、第3の導電体、および第5の絶縁体乃至第8の絶縁体と、それぞれ、接する領域を有し、第1の導電体の水素濃度は、第4の導電体の水素濃度よりも低く、第1の絶縁体の水素濃度は、第9の絶縁体の水素濃度よりも低く、第2の絶縁体の水素濃度は、第9の絶縁体の水素濃度よりも低く、第3の絶縁体の水素濃度は、第9の絶縁体の水素濃度よりも低い、半導体装置である。

[0011]

また、上記において、第1の酸化物乃至第5の酸化物は、それぞれ、インジウムと、元素M（Mはアルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一、または複数）と、亜鉛と、を有する、ことが好ましい。

[0012]

また、上記において、第1の導電体は、タンタルおよび窒素を有する、ことが好ましい。

[0013]

また、本発明の一態様は、第1の絶縁体乃至第3の絶縁体を順に成膜し、第3の絶縁体に、第2の絶縁体に達する開口を形成し、開口の中、および第3の絶縁体上に第1の導電膜を成膜し、CM

P法を用いて、第1の導電膜を第3の絶縁体に達するまで研磨することで、開口の中に第1の導電体を形成し、第3の絶縁体上、および第1の導電体上に第4の絶縁体、第1の酸化膜、第2の酸化膜、第3の酸化膜、第2の導電膜、第1の絶縁膜、第3の導電膜、の順に成膜し、第1の酸化膜、第2の酸化膜、第3の酸化膜、第2の導電膜、第1の絶縁膜、および第3の導電膜、を島状に加工して、第1の酸化物、第2の酸化物、第1の酸化物層、第1の導電層、第1の絶縁層、第2の導電層を形成し、第2の導電層を除去し、第4の絶縁体、第1の酸化物、第2の酸化物、第1の酸化物層、第1の導電層、および第1の絶縁層の上に第5の絶縁体を成膜し、第5の絶縁体上に第6の絶縁体を成膜し、第1の酸化物層、第1の導電層、第1の絶縁層、第5の絶縁体、および第6の絶縁体に、第2の酸化物に達する開口を形成し、当該開口の形成において、第1の酸化物層から、第3の酸化物、および第4の酸化物が形成され、第1の導電層から第2の導電体、および第3の導電体が形成され、第1の絶縁層から第7の絶縁体、および第8の絶縁体が形成され、開口の中に、第5の酸化物、第5の酸化物上に第9の絶縁体、第9の絶縁体上に第3の導電体を形成し、第1の導電膜、および第2の導電膜は、スパッタリング法を用いて成膜する、半導体装置の作製方法である。

[0014]

上記において、第1の絶縁体乃至第3の絶縁体は、複数の処理室を有する装置を用いて、減圧下において連続で成膜する、ことが好ましい。

[0015]

また、上記において、第1の酸化膜乃至第3の酸化膜は、複数の処理室を有する装置を用いて、減圧下において連続で成膜する、ことが好ましい。

[0016]

また、上記において、第2の導電膜、第1の絶縁膜、および第3の導電膜は、複数の処理室を有する装置を用いて、減圧下において連続で成膜する、ことが好ましい。

[0017]

また、上記において、第1の絶縁体乃至第3の絶縁体、第1の酸化膜乃至第3の酸化膜、第1の導電膜乃至第3の導電膜、第1の絶縁膜、および第5の酸化物は、スパッタリング法を用いて成膜する、ことが好ましい。

発明の効果

[0018]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0019]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0020]

図1Aは本発明の一態様である半導体装置の上面図である。図1B乃至図1Dは本発明の一態様である半導体装置の断面図である。

図2Aは本発明の一態様である半導体装置の上面図である。図2B乃至図2Dは本発明の一態様である半導体装置の断面図である。

図3Aは本発明の一態様である半導体装置の上面図である。図3B乃至図3Dは本発明の一態様である半導体装置の断面図である。

図4Aは本発明の一態様である半導体装置の上面図である。図4B乃至図4Dは本発明の一態様である半導体装置の断面図である。

図5Aは本発明の一態様である半導体装置の上面図である。図5B乃至図5Dは本発明の一態様である半導体装置の断面図である。

図6Aは本発明の一態様である半導体装置の上面図である。図6B乃至図6Dは本発明の一態様である半導体装置の断面図である。

図7Aは本発明の一態様である半導体装置の上面図である。図7B乃至図7Dは本発明の一態様である半導体装置の断面図である。

図8Aは本発明の一態様である半導体装置の上面図である。図8B乃至図8Dは本発明の一態様である半導体装置の断面図である。

図9AはIGZOの結晶構造の分類を説明する図である。図9BはCAAC-IGZO膜のXRDスペクトルを説明する図である。図9CはCAAC-IGZO膜の極微電子線回折パターンを説明する図である。

図10A乃至図10Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図11A乃至図11Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図12A乃至図12Cは本発明の一態様である半導体装置の作製方法を示す断面図である。

図13Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図13B乃至図13Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図14Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図14B乃至図14Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図15Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図15B乃至図15Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図16Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図16B乃至図16Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図17Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図17B乃至図17Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図18Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図18B乃至図18Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図19Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図19B乃至図19Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図20Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図20B乃至図20Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図21Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図21B乃至図21

Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図2 2 Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図2 2 B乃至図2 2 Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図2 3 Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図2 3 B乃至図2 3 Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図2 4 Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図2 4 B乃至図2 4 Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図2 5 Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図2 5 B乃至図2 5 Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図2 6 Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図2 6 B乃至図2 6 Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図2 7 Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図2 7 B乃至図2 7 Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図2 8 Aおよび図2 8 Bは本発明の一態様に係る半導体装置の断面図である。

図2 9は本発明の一態様に係る記憶装置の構成を示す断面図である。

図3 0は本発明の一態様に係る記憶装置の構成を示す断面図である。

図3 1は本発明の一態様に係る半導体装置の断面図である。

図3 2 Aおよび図3 2 Bは本発明の一態様に係る半導体装置の断面図である。

図3 3は本発明の一態様に係る半導体装置の断面図である。

図3 4は本発明の一態様に係る半導体装置の断面図である。

図3 5は、本発明の一態様の半導体装置を作製するための装置を説明する上面図である。

図3 6は、本発明の一態様に係る半導体装置を作製するための装置を説明する模式図である。

図3 7は、本発明の一態様に係る半導体装置を作製するための装置を説明する模式図である。

図3 8 Aおよび図3 8 Bは本発明の一態様に係る記憶装置の構成例を示すブロック図である。

図3 9 A乃至図3 9 Hは本発明の一態様に係る記憶装置の構成例を示す回路図である。

図4 0は各種の記憶装置を階層ごとに示す図である。

図4 1 Aおよび図4 1 Bは本発明の一態様に係る半導体装置の模式図である。

図4 2 Aおよび図4 2 Bは本発明の一態様に係る電子部品の一例を説明する図である。

図4 3 A乃至図4 3 Eは本発明の一態様に係る記憶装置の模式図である。

図4 4 A乃至図4 4 Hは本発明の一態様に係る電子機器を示す図である。

図4 5は本発明の一態様に係る実施例のSIMS分析結果を示す図である。

図4 6は本発明の一態様に係る実施例のSIMS分析結果を示す図である。

発明を実施するための形態

[0021]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0022]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合が

ある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0023]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0024]

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0025]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0026]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0027]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0028]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0029]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0030]

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0031]

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0032]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0033]

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0034]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純

物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（V o : o x y g e n v a c a n c yともいう）が形成される場合がある。

[0035]

なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多いものである。従って、例えば、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

[0036]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0037]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0038]

本明細書等において、金属酸化物（m e t a l o x i d e）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、酸化物半導体（O x i d e S e m i c o n d u c t o rまたは単にOSともいう。）などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0039]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\mu\text{m}$ あたりのドレイン電流が、室温において $1\times 10^{-20}\text{A}$ 以下、 85°C において $1\times 10^{-18}\text{A}$ 以下、または 125°C において $1\times 10^{-16}\text{A}$ 以下であることをいう。

[0040]

（実施の形態1）

本実施の形態では、図1乃至図19を用いて、本発明の一態様に係るトランジスタ200を有する半導体装置の一例、およびその作製方法について説明する。

[0041]

<半導体装置の構成例>

図1A乃至図1Dを用いて、トランジスタ200を有する半導体装置の構成の一例を説明する。図1Aは、トランジスタ200を有する半導体装置の上面図である。図1Bは、図1AにA1-A2の一点鎖線で示す部位の断面図である。また、図1Cは、図1AにA3-A4の一点鎖線で示す部位の断面図である。また、図1Dは、図1AにA5-A6の一点鎖線で示す部位の断面図である。

なお、図1Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0042]

本発明の一態様の半導体装置は、基板（図示せず）上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上のトランジスタ200と、トランジスタ200上の絶縁体280と、絶縁体280上の絶縁体282と、絶縁体282上の絶縁体283と、を有する。絶縁体212、絶縁体214、絶縁体280、絶縁体282、および絶縁体283は層間膜として機能する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240（導電体240a、および導電体240b）を有する。なお、プラグとして機能する導電体240の側面に接して絶縁体241（絶縁体241a、および絶縁体241b）が設けられる。また、絶縁体283上、および導電体240上には、導電体240と電氣的に接続し、配線として機能する導電体246（導電体246a、および導電体246b）が設けられる。また、導電体246上、および絶縁体283上には、絶縁体286が設けられる。

[0043]

絶縁体280、絶縁体282、および絶縁体283の開口の内壁に接して絶縁体241aが設けられ、絶縁体241aの側面に接して導電体240aの第1の導電体が設けられ、さらに内側に導電体240aの第2の導電体が設けられている。また、絶縁体280、絶縁体282、および絶縁体283の開口の内壁に接して絶縁体241bが設けられ、絶縁体241bの側面に接して導電体240bの第1の導電体が設けられ、さらに内側に導電体240bの第2の導電体が設けられている。ここで、導電体240の上面の高さと、導電体246と重なる領域の、絶縁体283の上面の高さと、は同程度にできる。なお、トランジスタ200では、導電体240の第1の導電体および導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0044]

[トランジスタ200]

図1A乃至図1Dに示すように、トランジスタ200は、絶縁体214上の絶縁体216と、絶縁体214または絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216上、および導電体205上の絶縁体222と、絶縁体222上の絶縁体224と、絶縁体224上の酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の、酸化物243（酸化物243a、および酸化物243b）および酸化物230cと、酸化物243a上の導電体242aと、導電体242a上の絶縁体271aと、酸化物243b上の導電体242bと、導電体242b上の絶縁体271bと、酸化物230c上の酸化物230dと、酸化物230d上の絶縁体250と、絶縁体250上に位置し、酸化物230cの一部と重なる導電体260（導電体260a、および導電体260b）と、絶縁体224の一部、酸化物230aの側面、酸化物230bの側面、酸化物243aの側面、導電体242aの側面、絶縁体271aの側面、絶縁体271aの上面、絶縁体271bの側面、および導電体242bの側面に接する絶縁体272と、を有する。また、酸化物230cは、酸化物243aの側面、酸化物243bの側面、導電体242aの側面、導電体242bの側面、および絶縁体272の側面とそれぞれ接する。ここで、図1Bおよび図1Cに示すように、導電体260の上面は、絶縁体250の上面、酸化物230dの上面、および酸化物230cの上面と略一致して配置される。また、絶縁体282は、導電体260、絶縁体25

0、酸化物230d、酸化物230c、および絶縁体280のそれぞれの上面と接する。

[0045]

なお、以下において、絶縁体271aと絶縁体271bをまとめて絶縁体271と呼ぶ場合がある。また、導電体242aと導電体242bをまとめて導電体242と呼ぶ場合がある。

[0046]

絶縁体280には、酸化物230bに達する開口が設けられる。当該開口内に、酸化物230d、酸化物230c、絶縁体250、および導電体260が配置されている。また、トランジスタ200のチャネル長方向において、導電体242aおよび酸化物243aと、導電体242bおよび酸化物243bと、の間に、導電体260、絶縁体250、酸化物230d、および酸化物230cが設けられている。絶縁体250は、導電体260の側面と接する領域と、導電体260の底面と接する領域と、を有する。また、酸化物230bと重なる領域において、酸化物230cは、酸化物230bと接する領域と、酸化物230dおよび絶縁体250を介して導電体260の側面と重なる領域と、酸化物230dおよび絶縁体250を介して導電体260の底面と重なる領域と、を有する。

[0047]

酸化物230は、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230bの上に配置され、少なくとも一部が酸化物230bに接する酸化物230cと、酸化物230cの上に配置された酸化物230dと、を有することが好ましい。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230c上に酸化物230dを有することで、酸化物230dよりも上方に形成された構造物から、酸化物230cへの不純物の拡散を抑制することができる。

[0048]

なお、トランジスタ200では、酸化物230が、酸化物230a、酸化物230b、酸化物230c、および酸化物230dの4層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230aと酸化物230bの2層構造、酸化物230bと酸化物230cの2層構造、酸化物230a、酸化物230b、および酸化物230cの3層構造、または5層以上の積層構造を設ける構成にしてもよいし、酸化物230a、酸化物230b、酸化物230c、および酸化物230dのそれぞれが積層構造を有していてもよい。

[0049]

導電体260は、第1のゲート（トップゲートともいう。）電極として機能し、導電体205は、第2のゲート（バックゲートともいう。）電極として機能する。また、絶縁体250は、第1のゲート絶縁体として機能し、絶縁体224は、第2のゲート絶縁体として機能する。また、導電体242aは、ソースまたはドレインの一方として機能し、導電体242bは、ソースまたはドレインの他方として機能する。また、酸化物230の導電体260と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

[0050]

トランジスタ200は、チャネル形成領域を含む酸化物230（酸化物230a、酸化物230b、酸化物230c、および酸化物230d）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0051]

また、半導体として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0052]

酸化物230として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

[0053]

ここで、酸化物230bまたは酸化物230cに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物230aまたは酸化物230dに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0054]

このように、酸化物230bまたは酸化物230cの下に、酸化物230aを配置することで、酸化物230aよりも下方に形成された構造物からの、酸化物230bまたは酸化物230cに対する不純物および酸素の拡散を抑制することができる。

[0055]

また、酸化物230bまたは酸化物230cの上に、酸化物230dを配置することで、酸化物230dよりも上方に形成された構造物からの、酸化物230bまたは酸化物230cに対する不純物の拡散を抑制することができる。また、酸化物230bまたは酸化物230cの上に、酸化物230dを配置することで、酸化物230bまたは酸化物230cからの酸素の上方拡散を抑制することができる。

[0056]

また、酸化物230a乃至酸化物230dが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物230a、酸化物230b、酸化物230c、および酸化物230dのそれぞれの界面における欠陥準位密度が低くすることができる。このとき、キャリアの主たる経路は酸化物230b、酸化物230cまたはその近傍、例えば、酸化物230bと酸化物230cとの界面になる。酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0057]

酸化物230bおよび酸化物230cは、それぞれ結晶性を有することが好ましい。特に、酸化物230bおよび酸化物230cとして、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。また、酸化物230dが結晶性を有する構成にしてもよい。

[0058]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格

子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0059]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0060]

なお、明確な結晶粒界（グレインバウンダリー）が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、または電界効果移動度の低下を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0061]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0062]

上記のように、CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物や欠陥（酸素欠損Voなど）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

[0063]

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0064]

また、トランジスタのチャネル長方向の断面視において、酸化物230bに溝部を設け、当該溝部に、酸化物230cを埋め込むことが好ましい。このとき、酸化物230cは、当該溝部の内壁（側面、および底面）を覆うように配置される。また、酸化物230cの膜厚は、当該溝部の深さと同程度であることが好ましい。

[0065]

このような構成にすることで、導電体260などを埋め込むための開口を形成する際に、開口の底部にあたる酸化物230bの表面に損傷領域が形成されても、当該損傷領域を除去することができる。これにより、損傷領域に起因するトランジスタ200の電気特性の不良を抑制することができる。

[0066]

なお、図1などにおいて、導電体260等を埋め込む開口の側面が、酸化物230bの溝部も含めて、酸化物230bの被形成面に対して概略垂直となっているが、本実施の形態はこれに限られるものではない。例えば、当該開口の底部が緩やかな曲面を有する、U字型の形状となってもよい。また、例えば、当該開口の側面が酸化物230bの被形成面に対して傾斜していてもよい。

[0067]

また、図1Cに示すように、トランジスタ200のチャネル幅方向の断面視において、酸化物230bの側面と酸化物230bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[0068]

上記湾曲面での曲率半径は、0nmより大きく、導電体242と重なる領域の酸化物230bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、後の工程で形成する絶縁体250および導電体260の、当該溝部への被覆性を高めることができる。また、上記湾曲面を有さない領域の長さの減少を防ぎ、トランジスタ200のオン電流、移動度の低下を抑制することができる。したがって、良好な電気特性を有する半導体装置を提供することができる。

[0069]

酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0070]

なお、酸化物230cをキャリアの主たる経路とするには、酸化物230cにおいて、主成分である金属元素に対するインジウムの原子数比が、酸化物230bにおける、主成分である金属元素に対するインジウムの原子数比より大きいことが好ましい。インジウムの含有量が多い金属酸化物をチャネル形成領域に用いることで、トランジスタのオン電流を増大することができる。よって、酸化物230cにおいて、主成分である金属元素に対するインジウムの原子数比を、酸化物230bにおける、主成分である金属元素に対するインジウムの原子数比よりも大きくすることで、酸化物230cをキャリアの主たる経路とすることができる。

[0071]

また、酸化物230cの伝導帯下端は、酸化物230aおよび酸化物230bの伝導帯下端より真空準位から離れていることが好ましい。言い換えると、酸化物230cの電子親和力は、酸化物230aおよび酸化物230bの電子親和力より大きいことが好ましい。このとき、キャリアの主たる経路は酸化物230cとなる。

[0072]

酸化物230cとして、具体的には、 $I_n:M:Z_n=4:2:3$ [原子数比] もしくはその近傍の組成、 $I_n:M:Z_n=5:1:3$ [原子数比] もしくはその近傍の組成、または $I_n:M:Z_n=10:1:3$ [原子数比] もしくはその近傍の組成の金属酸化物、インジウム酸化物などを用いるとよい。

[0073]

なお、トランジスタの信頼性を評価するパラメータとして、例えば、トランジスタの+GBT (Gate Bias Temperature) ストレス試験で測定されるシフト電圧 (V_{sh}) がある。シフト電圧 (V_{sh}) は、トランジスタのドレイン電流 (I_d) - ゲート電圧 (V_g) カーブにおいて、カーブ上の傾きが最大である点における接線が、 $I_d=1\text{ pA}$ の直線と交差する V_g と定義される。また、 V_{sh} の変化量を ΔV_{sh} として表す。

[0074]

トランジスタの+GBTストレス試験において、 ΔV_{sh} は、時間経過に伴い負方向へシフトする場合がある。また、 ΔV_{sh} は、一方向 (例えば、負方向) に変動するのではなく、負方向と正方向との双方に変動する挙動を示す場合がある。なお、本明細書等において、上記挙動を+GBTストレス試験における、 ΔV_{sh} のギザギザ挙動と呼称する場合がある。

[0075]

酸化物230cに、元素Mを主成分として含まない金属酸化物や、元素Mの比率が少ない金属酸化物を用いることで、例えば、 ΔV_{sh} を低減し、 ΔV_{sh} のギザギザ挙動を抑制し、トランジスタの信頼性の向上を図ることができる。

[0076]

また、酸化物230bおよび酸化物230cは、CAAC-OSなどの結晶性を有する酸化物であることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物や欠陥 (酸素欠損など) が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度 (所謂サーマルバジェット) に対して安定である。

[0077]

また、酸化物230cとして、CAAC-OSを用いることが好ましく、酸化物230cが有する結晶のc軸が、酸化物230cの被形成面または上面に概略垂直な方向を向いていることが好ましい。CAAC-OSは、c軸と垂直方向に酸素を移動させやすい性質を有する。したがって、酸化物230cが有する酸素を、酸化物230bに効率的に供給することができる。

[0078]

また、酸化物230dは、酸化物230cに用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物2

30cとして、In-M-Zn酸化物、In-Zn酸化物、またはインジウム酸化物を用い、酸化物230dとして、In-M-Zn酸化物、M-Zn酸化物、または元素Mの酸化物を用いるとよい。これにより、酸化物230cと酸化物230dとの界面における欠陥準位密度を低くすることができる。

[0079]

また、酸化物230dの伝導帯下端が、酸化物230cの伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物230dの電子親和力は、酸化物230cの電子親和力より小さいことが好ましい。この場合、酸化物230dは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物230cとなる。

[0080]

具体的には、酸化物230cとして、In:M:Zn=4:2:3 [原子数比] もしくはその近傍の組成、In:M:Zn=5:1:3 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=10:1:3 [原子数比] もしくはその近傍の組成の金属酸化物、または、インジウム酸化物を用い、酸化物230dとして、In:M:Zn=1:3:4 [原子数比] もしくはその近傍の組成、M:Zn=2:1 [原子数比] もしくはその近傍の組成、またはM:Zn=2:5 [原子数比] もしくはその近傍の組成の金属酸化物、または、元素Mの酸化物を用いればよい。

[0081]

また、酸化物230dは、酸化物230cより、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体250と酸化物230cとの間に酸化物230dを設けることで、絶縁体280に含まれる酸素が、絶縁体250に拡散するのを抑制することができる。したがって、当該酸素は、酸化物230cを介して、酸化物230bに効率的に供給することができる。

[0082]

また、酸化物230dに用いる金属酸化物において、主成分である金属元素に対するInの原子数比を、酸化物230cに用いる金属酸化物における、主成分である金属元素に対するInの原子数比より小さくすることで、Inが絶縁体250側に拡散するのを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが絶縁体250などに混入した場合、トランジスタの特性不良となる。したがって、酸化物230cと絶縁体250との間に酸化物230dを設けることで、信頼性の高い半導体装置を提供することが可能となる。

[0083]

ここで、酸化物230a、酸化物230b、酸化物230c、および酸化物230dの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230a、酸化物230b、酸化物230c、および酸化物230dの接合部における伝導帯下端は、連続的に変化するまたは連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、酸化物230bと酸化物230cとの界面、および酸化物230cと酸化物230dとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0084]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230c、酸化物230cと酸化物230dが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-M-Zn酸化物の場合、酸化

物 230a、酸化物 230c、および酸化物 230d として、 $In-M-Zn$ 酸化物、 $M-Zn$ 酸化物、元素 M の酸化物、 $In-Zn$ 酸化物、インジウム酸化物などを用いてもよい。

[0085]

具体的には、酸化物 230a として、 $In:M:Zn=1:3:4$ [原子数比] もしくはその近傍の組成、または $In:M:Zn=1:1:0.5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物 230b として、 $In:M:Zn=1:1:1$ [原子数比] もしくはその近傍の組成、または $In:M:Zn=4:2:3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物 230c として、 $In:M:Zn=4:2:3$ [原子数比] もしくはその近傍の組成、 $In:M:Zn=5:1:3$ [原子数比] もしくはその近傍の組成、または $In:M:Zn=10:1:3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、インジウム酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素 M として、ガリウムを用いることが好ましい。また、酸化物 230d として、 $In:M:Zn=1:3:4$ [原子数比] もしくはその近傍の組成、 $M:Zn=2:1$ [原子数比] もしくはその近傍の組成、または $M:Zn=2:5$ [原子数比] もしくはその近傍の組成の金属酸化物、または、元素 M の酸化物を用いればよい。

[0086]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0087]

酸化物 230a、酸化物 230b、酸化物 230c、および酸化物 230d を上述の構成とすることで、酸化物 230a と酸化物 230b との界面、酸化物 230b と酸化物 230c との界面、および酸化物 230c と酸化物 230d との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は大きいオン電流、および高い周波数特性を得ることができる。

[0088]

なお、酸化物 230c は、トランジスタ 200 毎に設けてもよい。つまり、トランジスタ 200 の酸化物 230c と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c と、は、接しなくてもよい。また、トランジスタ 200 の酸化物 230c と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c と、を、離隔してもよい。別言すると、酸化物 230c が、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に配置されない構成としてもよい。

[0089]

複数のトランジスタ 200 がチャネル幅方向に配置されている半導体装置において、上記構成にすることで、トランジスタ 200 に酸化物 230c がそれぞれ独立して設けられる。よって、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に、寄生トランジスタが生じるのを抑制し、上記リークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

[0090]

例えば、トランジスタ 200 のチャネル幅方向において、互いに向かい合う、トランジスタ 200

0の酸化物230cの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230cの側端部との距離を L_1 として表すと、 L_1 を0nmよりも大きくする。また、トランジスタ200のチャネル幅方向において、互いに向かい合う、トランジスタ200の酸化物230aの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230aの側端部との距離を L_2 として表すと、 L_2 に対する L_1 の比(L_1/L_2)の値は、好ましくは0より大きく1未満、より好ましくは0.1以上0.9以下、さらに好ましくは0.2以上0.8以下である。なお、 L_2 は、互いに向かい合う、トランジスタ200の酸化物230bの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230bの側端部との距離であってもよい。

[0091]

上記の L_2 に対する L_1 の比(L_1/L_2)を小さくすることで、酸化物230cが、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない領域の位置ずれが生じても、トランジスタ200の酸化物230cと、当該トランジスタ200に隣接するトランジスタ200の酸化物230cと、を、分離することができる。

[0092]

また、上記の L_2 に対する L_1 の比(L_1/L_2)を大きくすることで、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間隔を狭めても、最小加工寸法の幅を確保することができ、半導体装置のさらなる微細化または高集積化を図ることができる。

[0093]

なお、導電体260、絶縁体250のそれぞれは、隣接するトランジスタ200間で共通して用いられてもよい。つまり、トランジスタ200の導電体260は、当該トランジスタ200に隣接するトランジスタ200の導電体260と連続して設けられた領域を有する。また、トランジスタ200の絶縁体250は、当該トランジスタ200に隣接するトランジスタ200の絶縁体250と連続して設けられた領域を有する。

[0094]

また、上記構成とすることで、酸化物230dは、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、絶縁体224に接する領域を有する。なお、トランジスタ200の酸化物230cおよび酸化物230dは、当該トランジスタ200に隣接するトランジスタ200の酸化物230cおよび酸化物230dと、それぞれ分離する構成にしてもよい。

[0095]

絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体282、絶縁体283、および絶縁体286は、水、水素などの不純物が、基板側から、または、トランジスタ200の上方からトランジスタ200に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体282、絶縁体283、および絶縁体286は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一つ)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

[0096]

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書

において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッターリングともいう）機能とする。

[0097]

例えば、絶縁体212、絶縁体283、および絶縁体286として、窒化シリコンなどを用い、絶縁体214、絶縁体271、絶縁体272、および絶縁体282として、酸化アルミニウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体212、および絶縁体214を介して、基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体212、および絶縁体214を介して基板側に、拡散するのを抑制することができる。また、水、水素などの不純物が、絶縁体280、導電体246などから酸化物230に拡散するのを抑制することができる。この様に、トランジスタ200を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体282、および絶縁体283で取り囲む構造とすることが好ましい。

[0098]

また、絶縁体212、絶縁体283、および絶縁体286の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体212、絶縁体283、および絶縁体286の抵抗率を概略 $1 \times 10^{13} \Omega \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体212、絶縁体283、および絶縁体286によって、導電体205、導電体242、導電体260、または導電体246のチャージアップを緩和することができる場合がある。絶縁体212、絶縁体283、および絶縁体286の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[0099]

また、絶縁体216、および絶縁体280は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0100]

なお、絶縁体212、絶縁体214、および絶縁体216は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法によって成膜された絶縁体212、絶縁体214、および絶縁体216は、膜中の水素濃度が低いので好ましい。また、絶縁体212、絶縁体214、および絶縁体216の成膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁体212、絶縁体214、および絶縁体216上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体212と絶縁体214との界面および界面近傍、絶縁体214と絶縁体216との界面および界面近傍を清浄に保つことができるので好ましい。連続成膜することができる装置の説明は後述する。

[0101]

導電体205は、第2のゲート電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧（ V_{th} ）を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可

能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0102]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、絶縁体214または絶縁体216に埋め込まれて設けることが好ましい。

[0103]

なお、導電体205は、図1Aに示すように、酸化物230aおよび酸化物230bの導電体242aおよび導電体242bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図1Cに示すように、導電体205は、酸化物230aおよび酸化物230bのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230aおよび酸化物230bのチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0104]

なお、本明細書等において、S-channel 構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するS-channel 構造は、Fin型構造およびプレーナ型構造とは異なる。S-channel 構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0105]

また、図1Cに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

[0106]

なお、図1B、図1Cに示すように、導電体205として、単層とする構成を示しているが、本発明はこれに限られるものではない。例えば、導電体205は、2層以上の積層構造としてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。図2B、図2Cに、導電体205を3層（導電体205a、導電体205b、および導電体205c）とする構成の一例を示す。

[0107]

導電体205を3層とした場合、導電体205a、および導電体205cは、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0108]

導電体205a、および導電体205cに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体205a、および導電体205cとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体205a、および導電体205cは、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムと、チタンまたは窒化チタンとの積層としてもよい。

[0109]

また、導電体205bは、タンタル、タングステン、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

[0110]

導電体205を単層とした場合、導電体205としては、導電体205aおよび導電体205cと同様の導電体を用いることが好ましい。

[0111]

また、導電体205に含まれる水素濃度は、低減されていることが好ましい。水素濃度が低減された導電体205を用いることで、絶縁体222、および絶縁体224を介して酸化物230へ拡散する水素量を低減することができる。導電体205に含まれる水素濃度は、 1×10^{20} (atoms/cm³) 以下であることが好ましい。導電体205に含まれる水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) によって測定することができる。

[0112]

従って、導電体205 (導電体205a、導電体205b、および導電体205c) は、スパッタリング法を用いて、成膜することが好ましい。導電体205をスパッタリング法によって成膜することで、導電体205中に含まれる水素濃度を化学気相成長 (CVD: Chemical Vapor Deposition) 法、または原子層堆積 (ALD: Atomic Layer Deposition) 法によって成膜するよりも低減することができるので好ましい。CVD法、およびALD法については、後述する。

[0113]

また、本発明の一態様の半導体装置の導電体等の作製方法において第1のイオンスパッタリング法、および第2のスパッタリング法を用いることができる。それぞれについて、詳細は後述する。特に、導電体205はこのような方法を含め、様々な方法を用いて形成できる。特に、第2のスパッタリング法を用いて形成することが好ましい。

[0114]

絶縁体222、および絶縁体224は、ゲート絶縁体として機能する。

[0115]

絶縁体222は、水素 (例えば、水素原子、水素分子などの少なくとも一つ) の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素 (例えば、酸素原子、酸素分子などの少なくとも一つ) の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0116]

絶縁体 222 は、アルミニウムおよびハフニウム的一方または双方を含む絶縁体を用いるとよい。当該絶縁体として、アルミニウムおよびハフニウム的一方または双方を含む酸化物、窒化物、酸化窒化物、窒化酸化物を用いることができる。例えば、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、アルミニウムおよびハフニウムを含む酸化窒化物、アルミニウムおよびハフニウムを含む窒化酸化物などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 から基板側への酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体 222 を設けることで、水素等の不純物が、トランジスタ 200 の内側へ拡散することを抑制し、酸化物 230 中の酸素欠損の生成を抑制することができる。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

[0117]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化处理してもよい。また、絶縁体 222 は、これらの絶縁体に、酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0118]

また、絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）、（Ba, Sr） TiO_3 （BST）などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0119]

酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。例えば、絶縁体 224 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

[0120]

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0121]

また、上記過剰酸素領域を有する絶縁体と、酸化物 230 と、を接して加熱処理、マイクロ波処

理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物230中の水、または水素を除去することができる。例えば、酸化物230において、酸素欠損に水素が入った欠陥(V_OH)の結合が切断される反応が起きる。別言すると「 $V_OH \rightarrow V_O + H$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物230、または酸化物230近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体242に拡散または捕獲（ゲッタリングともいう）される場合がある。

[0122]

上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物230、または酸化物230近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133Pa以上、好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比($O_2 / (O_2 + Ar)$)が50%以下、好ましくは10%以上30%以下で行うとよい。

[0123]

また、トランジスタ200の作製工程中において、酸化物230の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上600℃以下、より好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物230に酸素を供給して、酸素欠損(V_O)の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0124]

なお、酸化物230に加酸素化処理を行うことで、酸化物230中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物230中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物230中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

[0125]

なお、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0126]

酸化物243（酸化物243a、および酸化物243b）を、酸化物230b上に設けてもよい。

[0127]

酸化物243（酸化物243a、および酸化物243b）は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体242と酸化物230bとの

間に酸素の透過を抑制する機能を有する酸化物 2 4 3 を配置することで、導電体 2 4 2 と酸化物 2 3 0 b との間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ 2 0 0 の電気特性およびトランジスタ 2 0 0 の信頼性を向上させることができる。なお、導電体 2 4 2 と酸化物 2 3 0 b の間の電気抵抗を十分低減できる場合、酸化物 2 4 3 を設けない構成にしてもよい。

[0128]

酸化物 2 4 3 として、元素 M を有する金属酸化物を用いてもよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種を用いるとよい。酸化物 2 4 3 は、酸化物 2 3 0 b よりも元素 M の濃度が高いことが好ましい。また、酸化物 2 4 3 として、酸化ガリウムを用いてもよい。また、酸化物 2 4 3 として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 2 4 3 に用いる金属酸化物において、 I_n に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、 I_n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 4 3 の膜厚は、0.5 nm 以上 5 nm 以下が好ましく、より好ましくは 1 nm 以上 3 nm 以下、さらに好ましくは 1 nm 以上 2 nm 以下である。また、酸化物 2 4 3 は、結晶性を有すると好ましい。酸化物 2 4 3 が結晶性を有する場合、酸化物 2 3 0 中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 2 4 3 としては、六方晶などの結晶構造であれば、酸化物 2 3 0 中の酸素の放出を抑制できる場合がある。

[0129]

なお、酸化物 2 3 0 a となる酸化膜、酸化物 2 3 0 b となる酸化膜、および酸化物 2 4 3 となる酸化膜の成膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化物 2 3 0 a となる酸化膜、酸化物 2 3 0 b となる酸化膜、および酸化物 2 4 3 となる酸化膜上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化物 2 3 0 a となる酸化膜と酸化物 2 3 0 b となる酸化膜との界面および界面近傍、酸化物 2 3 0 b となる酸化膜と酸化物 2 4 3 となる酸化膜との界面および界面近傍を清浄に保つことができるので好ましい。連続成膜することができる装置の説明は後述する。

[0130]

導電体 2 4 2 a は酸化物 2 4 3 a 上に設けられ、導電体 2 4 2 b は、酸化物 2 4 3 b 上に設けられる。導電体 2 4 2 a および導電体 2 4 2 b は、それぞれトランジスタ 2 0 0 のソース電極またはドレイン電極として機能する。

[0131]

導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0132]

導電体242としては、第1のイオン化スパッタリング法によって成膜される導電体を用いることが好ましい。本実施の形態では、導電体242として窒化タンタルを第1のイオン化スパッタリング法によって成膜する。第1のイオン化スパッタリング法によって成膜された導電体242は膜密度の高い緻密な導電体とすることができ、耐酸化性に優れる。よって、優れた電気特性および高い信頼性を有するトランジスタ200を作製することができる。第1のイオン化スパッタリング法については、後述する。

[0133]

なお、酸化物243を設けない場合、導電体242と、酸化物230bまたは酸化物230cとが接することで、酸化物230bまたは酸化物230c中の酸素が導電体242へ拡散し、導電体242が酸化することがある。導電体242が酸化することで、導電体242の導電率が低下する蓋然性が高い。なお、酸化物230bまたは酸化物230c中の酸素が導電体242へ拡散することを、導電体242が酸化物230bまたは酸化物230c中の酸素を吸収する、と言い換えることができる。

[0134]

また、酸化物230bまたは酸化物230c中の酸素が導電体242aおよび導電体242bへ拡散することで、導電体242aと酸化物230bとの間、および、導電体242bと酸化物230bとの間、または、導電体242aと酸化物230cとの間、および、導電体242bと酸化物230cとの間に層が形成される場合がある。当該層は、導電体242aまたは導電体242bよりも酸素を多く含むため、当該層は絶縁性を有すると推定される。このとき、導電体242aまたは導電体242bと、当該層と、酸化物230bまたは酸化物230cとの3層構造は、金属―絶縁体―半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造、またはMIS構造を主としたダイオード接合構造とみることができる。

[0135]

なお、酸化物230b、酸化物230cなどに含まれる水素が、導電体242aまたは導電体242bに拡散する場合がある。特に、導電体242aおよび導電体242bに、タンタルを含む窒化物を用いることで、酸化物230b、酸化物230cなどに含まれる水素は、導電体242aまたは導電体242bに拡散しやすく、拡散した水素は、導電体242aまたは導電体242bが有する窒素と結合することがある。つまり、酸化物230b、酸化物230cなどに含まれる水素は、導電体242aまたは導電体242bに吸い取られる場合がある。

[0136]

また、導電体242の側面と導電体242の上面との間に、湾曲面を有する場合がある。つまり、側面の端部と上面の端部は、湾曲している場合がある。湾曲面は、例えば、導電体242の端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0137]

絶縁体272は、酸化物230a、酸化物230b、酸化物243、導電体242、絶縁体271の側面を覆って設けられており、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体272は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体272は、絶縁体280よりも酸素の拡散を抑制する機能を有することが好ましい。絶

絶縁体 272 としては、絶縁体 222 に用いることができる絶縁体を用いればよい。

[0138]

特に絶縁体 272 は、バイアススパッタリング法によって、酸素を含む雰囲気にて酸化アルミニウム、または酸化ハフニウムを成膜することが好ましい。または、酸素および窒素を含む雰囲気にて酸化窒化アルミニウム、または酸化窒化ハフニウムを成膜してもよい。バイアススパッタリング法とは、基板に RF 電力を印加しながらスパッタリングする方法である。基板に RF 電力を印加することで、基板の電位はプラズマ電位に対して負電位（バイアス電位と言う。）となり、プラズマ中の + イオンは、このバイアス電位に加速されて基板に注入される。バイアス電位は、基板に印加する RF 電力の大きさによって制御することができる。

[0139]

従って、バイアススパッタリング法によって、酸素を含む雰囲気にて酸化アルミニウム、または酸化ハフニウムを成膜することで、絶縁体 224 に酸素を注入することができる。また、基板に印加する RF 電力を調整することで、絶縁体 224 に注入する酸素量を制御できるので、絶縁体 224 に注入する酸素量を最適化できる。

[0140]

また、絶縁体 271 は、導電体 242 の上面に接して設けられており、絶縁体 272 と同様に少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 271 も、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 271 は、絶縁体 280 よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体 271 としては、絶縁体 222 に用いることができる絶縁体を成膜すればよい。また、絶縁体 271 としては、例えば、窒化シリコンを含む絶縁体を用いてもよい。

[0141]

上記のような絶縁体 271 および絶縁体 272 を設けることで、酸化物 230a、酸化物 230b、酸化物 243、および導電体 242 を、絶縁体 280 から離隔することができる。よって、酸化物 230a、酸化物 230b、酸化物 243、および導電体 242 に、絶縁体 280 から酸素が直接拡散するのを抑制することができる。これにより、酸化物 230 のソース領域およびドレイン領域に過剰な酸素が供給されて、ソース領域およびドレイン領域のキャリア密度が低減するのを防ぐことができる。また、導電体 242 が過剰に酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

[0142]

絶縁体 250 は、ゲート絶縁体として機能する。絶縁体 250 は、酸化物 230c の上面に接して配置することが好ましい。絶縁体 250 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0143]

絶縁体 250 は、絶縁体 224 と同様に、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体 250 として、酸化物 230c の上面に接して設けることにより、酸化物 230b のチャンネル形成領域に効果的に酸素を供給し、酸化物 230b のチャンネル形成領域の酸素欠損を低減することができる。したがって、電気特性の変

動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。また、絶縁体224と同様に、絶縁体250中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1 nm以上20 nm以下とするのが好ましい。

[0144]

なお、図1Bおよび図1Cでは、絶縁体250を単層で図示したが、2層以上の積層構造としてもよい。絶縁体250を2層の積層構造とする場合、絶縁体250の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁体250の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体250の下層に含まれる酸素が、導電体260へ拡散するのを抑制することができる。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の下層に含まれる酸素による導電体260の酸化を抑制することができる。例えば、絶縁体250の下層は、上述した絶縁体250に用いることができる材料を用いて設け、絶縁体250の上層は、絶縁体222と同様の材料を用いて設けることができる。

[0145]

なお、絶縁体250の下層に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体250の上層は、比誘電率が高いhigh-k材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体250の下層と絶縁体250の上層との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0146]

絶縁体250の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、金属酸化窒化物、金属窒化酸化物または酸化物230として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)、アルミニウムおよびハフニウムを含む酸化窒化物、アルミニウムおよびハフニウムを含む窒化酸化物などを用いることが好ましい。

[0147]

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

[0148]

なお、上記金属酸化物は、第1のゲート電極の一部としての機能を有することが好ましい。例えば、酸化物230として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体260aをスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

[0149]

上記金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。また、絶縁体250と、上記金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250、および上記金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0150]

導電体260は、トランジスタ200の第1のゲート電極として機能する。導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有することが好ましい。例えば、導電体260aは、導電体260bの底面および側面を包むように配置されることが好ましい。また、図1Bおよび図1Cに示すように、導電体260の上面は、絶縁体250の上面および酸化物230cの上面と略一致している。なお、図1Bおよび図1Cでは、導電体260は、導電体260aと導電体260bの2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0151]

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0152]

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0153]

また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

[0154]

また、トランジスタ200では、導電体260は、絶縁体280などに形成されている開口を埋めるように自己整合的に形成される。導電体260をこのように形成することにより、導電体242aと導電体242bとの間の領域に、導電体260を位置合わせすることなく確実に配置することができる。

[0155]

また、図1Cに示すように、トランジスタ200のチャネル幅方向において、絶縁体222の底面を基準としたときの、導電体260の、導電体260と酸化物230bとが重ならない領域の底面の高さは、酸化物230bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体260が、絶縁体250などを介して、酸化物230bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体260の電界を酸化物230bのチャネル形成領域全体に作用さ

せやすくなる。よって、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。絶縁体 222 の底面を基準としたときの、酸化物 230 a および酸化物 230 b と、導電体 260 とが、重ならない領域における導電体 260 の底面の高さと、酸化物 230 b の底面の高さと、の差は、0 nm 以上 100 nm 以下、好ましくは、3 nm 以上 50 nm 以下、より好ましくは、5 nm 以上 20 nm 以下とする。

[0156]

絶縁体 280 は、絶縁体 224、酸化物 230、導電体 242、および絶縁体 271 上に設けられる。また、絶縁体 280 の上面は、平坦化されていてもよい。

[0157]

層間膜として機能する絶縁体 280 は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 280 は、例えば、絶縁体 216 と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0158]

また、絶縁体 280 中の水、水素などの不純物濃度は低減されていることが好ましい。また、絶縁体 280 は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体 216 と同様の材料を用いて設けてもよい。また、絶縁体 280 は、上記の材料が積層された構造でもよく、例えば、スパッタリング法で成膜した酸化シリコンと、その上に積層された化学気相成長 (CVD: Chemical Vapor Deposition) 法で成膜された酸化窒化シリコンの積層構造とすればよい。また、さらに上に窒化シリコンを積層してもよい。

[0159]

絶縁体 282 または絶縁体 283 は、水、水素などの不純物が、上方から絶縁体 280 に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体 282 または絶縁体 283 は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体 282 および絶縁体 283 としては、例えば、酸化アルミニウム、窒化シリコン、窒化酸化シリコンなどの絶縁体を用いればよい。例えば、絶縁体 282 として、酸素に対してブロッキング性が高い酸化アルミニウムを用い、絶縁体 283 として、水素に対してブロッキング性が高い窒化シリコンを用いればよい。

[0160]

導電体 240 a および導電体 240 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 240 a および導電体 240 b は積層構造としてもよい。なお、図 1 A で導電体 240 a および導電体 240 b は、上面視において円形状になっているが、これに限られるものではない。例えば、導電体 240 a および導電体 240 b が、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

[0161]

また、導電体 240 を積層構造とする場合、絶縁体 283、絶縁体 282、絶縁体 280、絶縁体 272、および絶縁体 271 と接する導電体には、水、水素などの不純物の透過を抑制する機能

を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体283より上層に含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0162]

導電体240aおよび導電体240bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240aおよび導電体240bは積層構造としてもよい。なお、図1Aで導電体240aおよび導電体240bは、上面視において円形状にしているが、これに限られるものではない。例えば、導電体240aおよび導電体240bが、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

[0163]

導電体240を積層構造とする場合、下層は、水または水素などの不純物、および酸素の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。当該導電性材料を導電体240の下層に用いることで、絶縁体280などから拡散する水または水素などの不純物が、導電体240を通じて酸化物230に混入するのをさらに低減することができる。また、絶縁体280に添加された酸素が導電体240の上層の導電体材料に吸収されるのを防ぐことができる。上層は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

[0164]

また、導電体240の下層の導電体は、第2のイオン化スパッタリング法によって成膜する導電体を用いることが好ましい。本実施の形態では、導電体240の下層の導電体として窒化タンタルまたは窒化チタンを第2のイオン化スパッタリング法によって成膜する。第2のイオン化スパッタリング法については後述する。

[0165]

絶縁体241aおよび絶縁体241bとしては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体241aおよび絶縁体241bは、および絶縁体271に接して設けられるので、絶縁体280などに含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体280に含まれる酸素が導電体240aおよび導電体240bに吸収されるのを防ぐことができる。

[0166]

また、導電体240aの上面、および導電体240bの上面に接して配線として機能する導電体246（導電体246a、および導電体246b）を配置してもよい。導電体246は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0167]

絶縁体 2 8 6 は、導電体 2 4 6 上、および絶縁体 2 8 3 上に設けられる。これにより、導電体 2 4 6 の上面、および導電体 2 4 6 の側面は、絶縁体 2 8 6 と接し、導電体 2 4 6 の下面は、絶縁体 2 8 3 と接する。つまり、導電体 2 4 6 は、絶縁体 2 8 3、および絶縁体 2 8 6 で包まれる構成とすることができる。この様な構成とすることで、外方からの酸素の透過を抑制し、導電体 2 4 6 の酸化を防止することができる。また、導電体 2 4 6 から、水、水素などの不純物が外部に拡散することを防ぐことができるので好ましい。

[0168]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0169]

<<基板>>

トランジスタ 2 0 0 を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0170]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0171]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k 材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0172]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、アルミニウムおよびハフニウムを有する窒化酸化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化酸化物、シリコンおよびハフニウムを有する窒化物などがある。

[0173]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0174]

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0175]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0176]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0177]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わ

せた積層構造としてもよい。

[0178]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0179]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0180]

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0181]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0182]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図9Aを用いて説明を行う。図9Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0183]

図9Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（cloud-aligned composite）が含まれる（excluding single crystal and poly crystal）。なお、「Crystalline」の分類には、sing

le crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0184]

なお、図9Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」や、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0185]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図9Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図9Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図9Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図9Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0186]

図9Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図9Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度（Intensity）が検出された角度を軸に左右非対称である。

[0187]

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図9Cに示す。図9Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図9Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0188]

図9Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0189]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図9Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、非晶質酸化

物半導体、などが含まれる。

[0190]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0191]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0192]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0193]

また、In-M-Zn酸化物（元素Mはアルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M, Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M, Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0194]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0195]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0196]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0197]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0198]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0199]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いまたはナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0200]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0201]

<酸化物半導体の構成例>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0202]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0203]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0204]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0205]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0206]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0207]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて

取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0208]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

[0209]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0210]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0211]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0212]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0213]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0214]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0215]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類

金属、鉄、ニッケル、シリコン等がある。

[0216]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0217]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0218]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0219]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0220]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0221]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0222]

<<その他の半導体材料>>

酸化物230に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物230として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用い

てもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0223]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0224]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0225]

酸化物230として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物230として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0226]

<半導体装置の変形例1>

以下では、図3A乃至図3D、および図4A乃至図4Dを用いて、トランジスタ200を有する半導体装置の構成の一例を説明する。

[0227]

図3Aはトランジスタ200を有する半導体装置の上面図である。また、図3Bは、図3AにA1-A2の一点鎖線で示す部位に対応する断面図である。また、図3Cは、図3AにA3-A4の一点鎖線で示す部位に対応する断面図である。また、図3Dは、図3AにA5-A6の一点鎖線で示す部位に対応する断面図である。図3Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0228]

また、図4Aはトランジスタ200を有する半導体装置の上面図である。また、図4Bは、図4AにA1-A2の一点鎖線で示す部位に対応する断面図である。また、図4Cは、図4AにA3-A4の一点鎖線で示す部位に対応する断面図である。また、図4Dは、図4AにA5-A6の一点鎖線で示す部位に対応する断面図である。図4Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0229]

なお、図 3 A 乃至図 3 D、および図 4 A 乃至図 4 D に示す半導体装置において、＜半導体装置の構成例＞および＜半導体装置の変形例 1＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞および＜半導体装置の変形例 1＞で詳細に説明した材料を用いることができる。

[0230]

図 3 A 乃至図 3 D に示す半導体装置は、図 1 A 乃至図 1 D に示した半導体装置の変形例である。図 3 A 乃至図 3 D に示す半導体装置は、図 1 A 乃至図 1 D に示した半導体装置とは、酸化物 230c、および酸化物 230d を有さないことが異なる。

[0231]

酸化物 230c、および酸化物 230d を設けない構成にすることで、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に、寄生トランジスタが生じるのを抑制し、導電体 260 に沿ったリークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

[0232]

また、図 4 A 乃至図 4 D に示した半導体装置は、図 3 A 乃至図 3 D に示した半導体装置とは、導電体 205 の構成が 3 層となっているところが異なる。つまり、導電体 205b の底面、および側面が導電体 205a に接し、導電体 205b の上面が、導電体 205c と接する構造となっている。

[0233]

＜半導体装置の変形例 2＞

以下では、図 5 A 乃至図 5 D、および図 6 A 乃至図 6 D を用いて、トランジスタ 200 を有する半導体装置の一例について説明する。

[0234]

図 5 A は半導体装置の上面図を示す。また、図 5 B は、図 5 A に示す A1－A2 の一点鎖線で示す部位に対応する断面図である。また、図 5 C は、図 5 A に A3－A4 の一点鎖線で示す部位に対応する断面図である。また、図 5 D は、図 5 A に A5－A6 の一点鎖線で示す部位に対応する断面図である。図 5 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0235]

図 6 A は半導体装置の上面図を示す。また、図 6 B は、図 6 A に示す A1－A2 の一点鎖線で示す部位に対応する断面図である。また、図 6 C は、図 6 A に A3－A4 の一点鎖線で示す部位に対応する断面図である。また、図 6 D は、図 6 A に A5－A6 の一点鎖線で示す部位に対応する断面図である。図 6 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0236]

なお、図 5 A 乃至図 5 D、および図 6 A 乃至図 6 D に示す半導体装置において、＜半導体装置の構成例＞および＜半導体装置の変形例 2＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞および＜半導体装置の変形例 2＞で詳細に説明した材料を用いることができる。

[0237]

図 5 A 乃至図 5 D に示す半導体装置は、図 1 A 乃至図 1 D に示した半導体装置の変形例である。図 5 A 乃至図 5 D に示す半導体装置は、図 1 A 乃至図 1 D に示した半導体装置とは、絶縁体 283 の形状が異なる。また、絶縁体 274 を有することが異なる。

[0238]

図5A乃至図5Dに示す半導体装置では、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体272、絶縁体280、および絶縁体282がパターンニングされている。また、絶縁体283は、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体272、絶縁体280、および絶縁体282を覆う構造になっている。つまり、絶縁体283は、絶縁体282の上面および側面と、絶縁体212の上面に接する。これにより、酸化物230などを含む、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体272、絶縁体280、および絶縁体282は、絶縁体283と、絶縁体212とによって、外部から隔離される。別言すると、トランジスタ200は、絶縁体283と絶縁体212とで封止された領域内に配置される。

[0239]

例えば、絶縁体214、および絶縁体282を、水素を捕獲および水素を固着する機能を有する材料を用いて形成し、絶縁体212、および絶縁体283を水素および酸素に対する拡散を抑制する機能を有する材料を用いて形成すると好ましい。代表的には、絶縁体214、および絶縁体282としては、酸化アルミニウムを用いることができる。また、代表的には、絶縁体212、および絶縁体283としては、窒化シリコンを用いることができる。

[0240]

上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。

[0241]

また、図5A乃至図5Dに示すトランジスタ200では、絶縁体212、および絶縁体283を、単層として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体212、および絶縁体283のそれぞれを2層以上の積層構造として設ける構成にしてもよい。

[0242]

絶縁体274は、層間膜として機能する。絶縁体274は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体274は、例えば、絶縁体280と同様の材料を用いて設けることができる。

[0243]

また、図6A乃至図6Dに示した半導体装置は、図5A乃至図5Dに示した半導体装置とは、導電体205の構成が3層となっているところが異なる。つまり、導電体205bの底面、および側面が導電体205aに接し、導電体205bの上面が、導電体205cと接する構造となっている。

[0244]

<半導体装置の変形例3>

以下では、図7A乃至図7D、および図8A乃至図8Dを用いて、トランジスタ200を有する半導体装置の構成の一例を説明する。

[0245]

図7Aはトランジスタ200を有する半導体装置の上面図である。また、図7Bは、図7AにA1-A2の一点鎖線で示す部位に対応する断面図である。また、図7Cは、図7AにA3-A4の一点鎖線で示す部位に対応する断面図である。また、図7Dは、図7AにA5-A6の一点鎖線で示す部位に対応する断面図である。図7Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0246]

また、図8Aはトランジスタ200を有する半導体装置の上面図である。また、図8Bは、図8AにA1-A2の一点鎖線で示す部位に対応する断面図である。また、図8Cは、図8AにA3-A4の一点鎖線で示す部位に対応する断面図である。また、図8Dは、図8AにA5-A6の一点鎖線で示す部位に対応する断面図である。図8Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0247]

なお、図7A乃至図7D、および図8A乃至図8Dに示す半導体装置において、＜半導体装置の構成例＞および＜半導体装置の変形例3＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞および＜半導体装置の変形例3＞で詳細に説明した材料を用いることができる。

[0248]

図7A乃至図7Dに示す半導体装置は、図6A乃至図6Dに示した半導体装置の変形例である。図7A乃至図7Dに示す半導体装置は、図6A乃至図6Dに示した半導体装置とは、酸化物230c、および酸化物230dを有さないことが異なる。

[0249]

酸化物230c、および酸化物230dを設けない構成にすることで、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、寄生トランジスタが生じるのを抑制し、導電体260に沿ったリークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

[0250]

また、図8A乃至図8Dに示した半導体装置は、図7A乃至図7Dに示した半導体装置とは、導電体205の構成が3層となっているところが異なる。つまり、導電体205bの底面、および側面が導電体205aに接し、導電体205bの上面が、導電体205cと接する構造となっている。

[0251]

＜第1のイオン化スパッタリング法＞

以下では、第1のイオン化スパッタリング法による成膜について、図36を用いて説明する。図36は、第1のイオン化スパッタリング法によって、成膜することができる成膜装置の一例であり、成膜装置4100の断面図である。尚、図36に示す、成膜装置4100の断面模式図は、図を明瞭にするため一部の要素を省いている。

[0252]

図36に示すように、成膜装置4100は、成膜チャンバー4102を有し、成膜チャンバー4102内に、バックングプレート4108と、バックングプレート4108に取り付けられたターゲット4110と、ターゲット4110と対向するように配置された基板ホルダー4112と、を有する。尚、基板ホルダー4112は、基板4200を加熱する機能を有してもよい。成膜チャンバー4102の外には、マグネットユニット4106と、バックングプレートと電気的に接続されたDC電源4115と、基板ホルダー4112と電気的に接続されたRF電源4116と、成膜チャンバー4102の外壁を囲うように配置されたコイルユニット4114と、コイルユニット4114と電気的に接続されたRF電源4117と、を有する。尚、図示しないが、成膜装置4100は、成膜チャンバー4102内を排気する真空ポンプを有する排気システム、および成膜チャンバ

ー４１０２内に、ガスを導入するガス供給システムを有する。また、成膜チャンバー４１０２の内側に防着板を配置する構成としてもよい。第１のイオン化スパッタリング法によって成膜することができる装置は、高真空度を有する成膜チャンバーを用いて成膜することが好ましい。膜中水素濃度を低減させるために、成膜チャンバー４１０２内を排気する真空ポンプは、クライオポンプ、もしくは、 H_2O トラップ付きターボ分子ポンプにて排気することが好ましい。

[０２５３]

まず、成膜チャンバー４１０２を低圧力のガス雰囲気中に保ち、ＤＣ電源４１１５からバックリングプレート４１０８を介してターゲット４１１０にＤＣ電力を印加し、プラズマを発生させる。また、ターゲット４１１０の周辺は、ターゲット４１１０付近に配置されたマグネットユニット４１０６の磁界によりプラズマ中の電子が封じ込められ、ガス分子と電子との衝突確率が高くなり、高密度プラズマとなる。この高密度プラズマによって、ターゲット４１１０から効率よくスパッタリングされた金属原子を発生させることができる。

[０２５４]

上述のスパッタリングされた金属原子にＲＦ電源４１１７からコイルユニット４１１４を介してＲＦ電力を印加することによって、スパッタリングされた金属原子をイオン化することができる。また、ＲＦ電源４１１６から基板ホルダー４１１２を介して基板４２００にＲＦ電力を印加する。イオン化された金属原子は、ＲＦ電力の印加によって基板４２００上に発生するバイアス電圧によって加速される。つまり、イオン化された金属原子にエネルギーを付与することができる。付与するエネルギーを適宜調整することで、金属原子は、基板４２００の表面を拡散することが可能となり、隙間なく成膜することができるので、膜密度の高い緻密な膜を形成することができる。

[０２５５]

本実施の形態では、導電体２４２として窒化タンタルを上述の第１のイオン化スパッタリング法によって成膜する。第１のイオン化スパッタリング法によって成膜された導電体２４２は膜密度の高い緻密な導電体とすることができ、耐酸化性に優れる。よって、優れた電気特性および高い信頼性を有するトランジスタ２００を作製することができる。

[０２５６]

<第２のイオン化スパッタリング法>

以下では、第２のイオン化スパッタリング法について、導電体２０５の形成について説明する。図３７は、第２のイオン化スパッタリング法によって、成膜することができる成膜装置の一例であり、成膜装置４１０１の断面図である。尚、図３７に示す、成膜装置４１０１の断面図は、図を明瞭にするため一部の要素を省いている。また、図１０Ａ乃至図１０Ｄは、第２のイオン化スパッタリング法を用いて、導電体２０５を単層構造とする導電体２０５の形成方法の一例を説明する断面図である。また、図１１Ａ乃至図１１Ｄ、および図１２Ａ乃至図１２Ｃは、第２のイオン化スパッタリング法を用いて、導電体２０５を３層構造とする導電体２０５の形成方法の一例を説明する断面図である。

[０２５７]

図３７に示すように、成膜装置４１０１は、成膜チャンバー４１０２を有し、成膜チャンバー４１０２内に、バックリングプレート４１０８と、バックリングプレート４１０８に取り付けられたターゲット４１１０と、ターゲット４１１０と対向するように配置された基板ホルダー４１１２と、を有する。尚、基板ホルダー４１１２は、基板４２００を加熱する機能を有してもよい。成膜チャン

バー4102の外には、マグネットユニット4106と、バックングプレートと電氣的に接続されたDC電源4115と、バックングプレートと電氣的に接続されたRF電源4118と、基板ホルダー4112と電氣的に接続されたRF電源4116とを有する。尚、図示しないが、成膜装置4101は、成膜チャンバー4102内を排気する真空ポンプを有する排気システム、および成膜チャンバー4102内に、ガスを導入するガス供給システムを有する。また、成膜チャンバー4102の内側に防着板を配置する構成としてもよい。第2のイオン化スパッタリング法によって成膜することができる装置は、第1のイオン化スパッタリング法によって成膜することができる装置と同様に、高真空度を有する成膜チャンバーを用いて成膜することが好ましい。膜中水素濃度を低減させるために、成膜チャンバー4102内を排気する真空ポンプは、クライオポンプ、もしくは、H₂Oトラップ付きターボ分子ポンプにて排気することが好ましい。

[0258]

まず、第1の成膜ステップとして、成膜チャンバー4102を低圧力のガス雰囲気中に保ち、RF電源4118からバックングプレート4108を介してターゲット4110に第1のRF電力を印加する。第1のRF電力を印加することで、プラズマを発生させる。第1のRF電力の周波数は、13.56MHz以上であることが好ましく、より好ましくは40MHz以上である。第1のRF電力の周波数が高いほど高密度のプラズマを発生させることができる。また、ターゲット4110の周辺は、ターゲット4110付近に配置されたマグネットユニット4106の磁界によりプラズマ中の電子が封じ込められ、ガス分子と電子との衝突確率が高くなり、さらに高密度化されたプラズマを得ることができる。また、DC電源4115からバックングプレート4108を介してターゲット4110に第1のDC電力を印加することで、イオン化されたガス原子またはイオン化された多くのガス分子をターゲット4110に衝突させることができるので、ターゲット4110からスパッタリングされた金属原子の基板4200への堆積速度を高めることができる。

[0259]

また、RF電源4116から基板ホルダー4112を介して基板4200へ第2のRF電力を印加することによって、上述のスパッタリングされた金属原子をイオン化することができる。第2のRF電力の周波数は、400kHz以上、30MHz以下であることが好ましく、代表的には13.56MHzである。また、イオン化された金属原子は、第2のRF電力の印加によって基板4200上に発生するバイアス電圧に加速されて、基板4200に到達し、金属膜が成膜される。

[0260]

図10Aは、絶縁体216に、絶縁体214に達する開口形成後の断面図である。

[0261]

図10Bは、第1の成膜ステップの途中における金属膜205Aの成膜の様子を示す断面図である。図10Bに示すように、金属膜205Aは、主に開口の底部、および絶縁体216上に形成され、開口の側面に形成される金属膜205Aの膜厚は、開口の底部、および絶縁体216の上面に形成される金属膜205A膜厚よりも薄くなる。これは、イオン化された金属原子が、開口の底面を基準として、概略垂直方向に加速されるためである。

[0262]

図10Cは、第1の成膜ステップにおいて、開口の深さ以上に金属膜205Aが形成された様子を示す断面図である。このように、第2のイオン化スパッタ法における第1の成膜ステップを用いることで、開口内に金属膜205Aを埋め込むことができる。

[0263]

次に、絶縁体216上の金属膜205AをCMP法によって絶縁体216に達するまで研磨することで、開口に埋め込まれた導電体205を形成することができる（図10D参照）。導電体205の上面の高さと、絶縁体216の上面の高さは、概略等しい。また、図示しないが、CMP法によって、絶縁体216の上面の一部が研磨され、絶縁体216の膜厚が薄くなることがある。このように、金属膜205Aの加工にリソグラフィ法を用いることなく導電体205の形成ができるので、加工精度の向上、および工程簡略化が実現できる。

[0264]

以下において、導電体205を3層構造とする導電体205の形成方法の一例を説明する。図11Aは、絶縁体216に、絶縁体214に達する開口形成後の断面図である。

[0265]

図11Bは、金属膜205a1を成膜することができる成膜チャンバーを用いて、第2のイオン化スパッタ法における第1の成膜ステップを行った後の断面図である。図11Bに示すように、金属膜205a1は、主に開口の底部、および絶縁体216の上面に形成され、開口の側面に形成される金属膜205a1の膜厚は、開口の底部、および絶縁体216の上面に形成される金属膜205a1膜厚よりも薄くなる。

[0266]

次に、第2の成膜ステップとして、RF電源4116から基板ホルダー4112を介して基板4200へ印加するRF電力を、第2のRF電力より大きな第3のRF電力にすることによって、イオン化されたガス原子またはイオン化されたガス分子を基板側に衝突させる。すなわち、イオン化されたガス原子またはイオン化されたガス分子が、図11Bに示す、第1の成膜ステップで形成された開口の底部の金属膜205a1、および絶縁体216上の金属膜205a1に衝突し、当該金属膜がスパッタリングされて、開口の側面へ再配分される。図11Cに第2の成膜ステップ後の金属膜205a1の形成状態を示す。尚、第3のRF電力は、第2のRF電力の2倍以上5倍以下である。

[0267]

次に、第3の成膜ステップとして、RF電源4118からバックングプレート4108を介してターゲット4110に印加するRF電力を、第1のRF電力よりも小さい第4のRF電力にする。また、RF電源4116から基板ホルダー4112を介して基板4200へ印加するRF電力を、第3のRF電力よりも小さな第5のRF電力にすることによって、イオン化された金属原子の量、および基板4200に向かうイオン化されたガス原子またはイオン化されたガス分子の量を減少させる。一方、ターゲット4110からスパッタリングされた金属原子を増加させることができる。当該金属原子は、電気的に中性であるので、基板4200上に発生するバイアス電圧の影響をほとんど受けずにランダムな角度で基板4200上へ到達するので、開口の側面へ均一に金属膜を形成することができる。尚、第4のRF電力は、第1のRF電力の0.5倍以上1倍未満である。第5のRF電力は、第3のRF電力の0.25倍以上1倍未満である。

[0268]

以上のように第1乃至第3の成膜ステップのそれぞれの処理時間を開口の大きさ、開口の深さに応じて適宜調整することで、被覆性に優れた金属膜205a1を形成することができる（図11D参照）。

[0269]

次に、金属膜205b1を成膜することができる成膜チャンバーを用いて、第1の成膜ステップを行い、開口における金属膜205b1の上面の高さが開口の深さの概略3/4になるように金属膜205b1を形成する（図12A参照）。

[0270]

次に、金属膜205c1を成膜することができる成膜チャンバーを用いて、第1の成膜ステップを行い、開口における金属膜205c1の上面の高さが絶縁体216の上面の高さ以上になるように金属膜205c1を形成する（図12B参照）。

[0271]

次に、金属膜205b1、および金属膜205c1をCMP法によって、絶縁体216に達するまで研磨することで、開口に埋め込まれた導電体205（導電体205a、導電体205b、および導電体205c）を形成することができる（図12C参照）。導電体205cの上面の高さと、絶縁体216の上面の高さは、概略等しい。また、図示しないが、CMP法によって、絶縁体216の上面の一部が研磨され、絶縁体216の膜厚が薄くなることがある。

[0272]

以上により、導電体205を導電性の高い導電体205bを中心に配置し、導電体205bの下面、上面、および側面を水、水素などの不純物、および酸素の拡散を抑制する機能を有する導電体205a、および導電体205cで包む構成とすることができる。本実施の形態では、導電体205bをタンタルとし、導電体205a、および導電体205bを窒化タンタルとする。

[0273]

また、第2のイオン化スパッタリング法を用いた、実際の成膜では、第1の成膜ステップ中に第2の成膜ステップおよび第3の成膜ステップの効果が混在する場合がある。また、第2の成膜ステップ中に第1の成膜ステップおよび第3の成膜ステップの効果が混在する場合がある。また、第3の成膜ステップ中に第1の成膜ステップおよび第2の成膜ステップの効果が混在する場合がある。

[0274]

このような導電体205を3層構造とする導電体205の形成は、異なる膜種が連続成膜可能となる複数の処理室を有する、所謂マルチチャンバー装置を用いることが好ましい。マルチチャンバー装置については後述する。

[0275]

本実施の形態では、第2のイオン化スパッタリング法の一例として、導電体205の形成について説明したが、これに限定されない。例えば、導電体240の下層の導電体の形成に用いることができる。また、例えば、TSV（Through Silicon Via）のシード層の形成などに適用することができる。

[0276]

<半導体装置の作製方法>

次に、図5A乃至図5Dに示す、本発明の一態様である半導体装置の作製方法を、図13A乃至図27Dを用いて説明する。

[0277]

各図のAは上面図を示す。また、各図のBは、各図のAに示すA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図のCは、各図のAにA3-A4の一点鎖線で示す部位に対応

する断面図である。また、各図のDは、各図のAにA5－A6の一点鎖線で示す部位の断面図である。なお、各図のAの上面図では、図の明瞭化のために一部の要素を省いている。

[0278]

まず、基板（図示しない。）を準備し、当該基板上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法などを用いて行うことができる。

[0279]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

[0280]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0281]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いるPEALD（Plasma Enhanced ALD）法などを用いることができる。

[0282]

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。PEALD（Plasma Enhanced ALD）法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

[0283]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状

の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0284]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0285]

本実施の形態では、絶縁体212として、スパッタリング法によって窒化シリコンを成膜する。

[0286]

このように、絶縁体212として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体212より下層（図示せず。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体212を介して上方に拡散するのを抑制することができる。また、窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体212より下層に含まれる水、水素などの不純物の拡散を抑制することができる。

[0287]

次に、絶縁体212上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、スパッタリング法によって酸化アルミニウムを成膜する。

[0288]

絶縁体214の水素濃度は、絶縁体212の水素濃度より低いことが好ましい。絶縁体212としてスパッタリング法によって窒化シリコンを成膜することで、水素濃度が低い窒化シリコンを形成することができる。また、絶縁体214を酸化アルミニウムとすることで、絶縁体212よりも水素濃度を低くすることができる。

[0289]

この後の工程にて絶縁体214上に、トランジスタ200を形成するが、トランジスタ200に近接する膜は、水素濃度が比較的低いことが好ましく、水素濃度が比較的高い膜は、トランジスタ200から遠隔して配置することが好ましい。

[0290]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、スパッタリング法によって酸化シリコンまたは酸化窒化シリコンを成膜する。

[0291]

なお、絶縁体212、絶縁体214、および絶縁体216は、大気環境にさらさずに減圧下で連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁体212、絶縁体214、

および絶縁体 2 1 6 上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体 2 1 2 と絶縁体 2 1 4 との界面および界面近傍、絶縁体 2 1 4 と絶縁体 2 1 6 との界面および界面近傍を清浄に保つことができるので好ましい。連続成膜は、例えば、マルチチャンバー方式の成膜装置を用いればよい。連続成膜することで、半導体装置の作製工程時間の短縮が可能となり好ましい。

[0292]

次に、絶縁体 2 1 6 に絶縁体 2 1 4 に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体 2 1 4 は、絶縁体 2 1 6 をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体 2 1 6 に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体 2 1 4 は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

[0293]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0294]

開口の形成後に、上述の<第 2 のイオン化スパッタリング法>において、図 1 0 A 乃至図 1 0 D を用いて説明した作製方法によって導電体 2 0 5 を形成する (図 1 3 A 乃至図 1 3 D 参照)。

[0295]

導電体 2 0 5 としては、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。

[0296]

次に、絶縁体 2 1 6、および導電体 2 0 5 上に絶縁体 2 2 2 を成膜する。絶縁体 2 2 2 として、アルミニウムおよびハフニウム的一方または双方を含む絶縁体を用いるとよい。当該絶縁体として、アルミニウムおよびハフニウム的一方または双方を含む酸化物、窒化物、酸化窒化物、窒化酸化物を用いることができる。例えば、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート)、アルミニウムおよびハフニウムを含む酸化窒化物、アルミニウムおよびハフニウムを含む窒化酸化物などの絶縁体を成膜するとよい。このような絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体 2 2 2 が、水素および水に対するバリア性を有することで、トランジスタ 2 0 0 の周辺に設けられた構造体に含まれる水素、および水が、絶縁体 2 2 2 を通じてトランジスタ 2 0 0 の内側へ拡散することが抑制され、酸化物 2 3 0 中

の酸素欠損の生成を抑制することができる。

[0297]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0298]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0299]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、絶縁体222などに水分等が取り込まれることを可能な限り防ぐことができる。

[0300]

本実施の形態では、加熱処理として、絶縁体222の成膜後に、窒素ガスと酸素ガスの流量比を4slm:1slmとして、400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

[0301]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、スパッタリング法によって酸化シリコンまたは酸化窒化シリコン膜を成膜する。スパッタリング法を用いることによって、絶縁体224の水素濃度を低減することができる。絶縁体224は、後の工程で酸化物230aと接するので、このように水素濃度が低減されていることが好適である。

[0302]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0303]

ここで、絶縁体224上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体224に達するまで、CMP処理を行ってもよい。当該CMP処理を行うことで絶縁体224表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体224上に配置してCMP処理を行うことで、CMP処理の終点検出が容易となる。また、CMP処理によって、絶縁体224の一部が研磨されて、絶縁体224の膜厚が薄くなることがあるが、絶縁体224の成膜時に膜厚を調整すればよい。絶縁体224表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体224上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体224に酸素を添加することができるので好ましい。

[0304]

次に、絶縁体224上に、酸化膜230A、酸化膜230Bを順に成膜する（図13A乃至図13D参照）。

[0305]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0306]

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットなどを用いることができる。

[0307]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0308]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

[0309]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1 [原子数比] の酸化物ターゲットを

用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化膜 230a、および酸化膜 230b に求める特性に合わせて形成するとよい。

[0310]

次に、酸化膜 230B 上に酸化膜 243A を成膜する（図 13A 乃至図 13D 参照）。酸化膜 243A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。酸化膜 243A は、In に対する Ga の原子数比が、酸化膜 230B の In に対する Ga の原子数比より大きいことが好ましい。本実施の形態では、酸化膜 243A として、スパッタリング法によって、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] の酸化膜ターゲットを用いて成膜する。

[0311]

なお、酸化膜 230A、酸化膜 230B、および酸化膜 243A は、大気環境にさらさずに減圧下で連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230A、酸化膜 230B、および酸化膜 243A 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230A と酸化膜 230B との界面および界面近傍、酸化膜 230B と酸化膜 243A との界面および界面近傍を清浄に保つことができるので好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。連続成膜することで、半導体装置の作製工程時間の短縮が可能となり好ましい。

[0312]

次に、加熱処理を行うことが好ましい。加熱処理は、酸化膜 230A、酸化膜 230B、および酸化膜 243A が多結晶化しない温度範囲で行えばよく、 250°C 以上 650°C 以下、好ましくは 400°C 以上 600°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10ppm 以上、1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを 20% 程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを 10ppm 以上、1% 以上、または 10% 以上含む雰囲気で行ってもよい。

[0313]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が 1ppb 以下、好ましくは 0.1ppb 以下、より好ましくは 0.05ppb 以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、酸化膜 230A、酸化膜 230B、および酸化膜 243A などに水分等が取り込まれることを可能な限り防ぐことができる。

[0314]

本実施の形態では、加熱処理として、窒素雰囲気にて 550°C の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 550°C の温度で 1 時間の処理を行う。当該加熱処理によって、酸化膜 230A、酸化膜 230B、および酸化膜 243A 中の水、水素などの不純物を除去することなどができる。さらに、当該加熱処理によって、酸化膜 230B の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化膜 230B 中における、酸素または不純物の拡散を低減することができる。

[0315]

次に、酸化膜 243A 上に導電膜 242A を成膜する（図 13A 乃至図 13D 参照）。導電膜 242A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。例えば、導電膜 242A として、第 1 のイオン化スパッタリング法を用いて窒化タンタルを成膜すればよい。第 1 のイオン化スパッタリング法によって成膜された導電体は膜密度の高い緻密な導電体とすることができ、耐酸化性に優れるので好ましい。なお、導電膜 242A の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜 242A を成膜してもよい。このような処理を行うことによって、酸化膜 243A の表面などに吸着している水分および水素を除去し、さらに酸化膜 230A、酸化膜 230B、および酸化膜 243A 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上 400℃以下が好ましい。本実施の形態では、加熱処理の温度を 200℃とする。

[0316]

次に、導電膜 242A 上に絶縁膜 271A を成膜する（図 13A）乃至図 13D 参照）。絶縁膜 271A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。絶縁膜 271A は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁膜 271A として、スパッタリング法または ALD 法によって、絶縁体 222 に用いることができる絶縁体を成膜すればよい。

[0317]

次に、絶縁膜 271A 上に導電膜 248A を成膜する（図 13A）乃至図 13D 参照）。導電膜 248A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。導電膜 248A は、例えば、導電膜 242A と同様の導電膜を用いればよい。

[0318]

本実施の形態では、導電膜 242A、絶縁膜 271A、および導電膜 248A として、スパッタリング法によって、導電膜 242A は窒化タンタルを、絶縁膜 271A は酸化アルミニウムを、導電膜 248A は窒化タンタルを、それぞれ成膜する。

[0319]

なお、導電膜 242A、絶縁膜 271A、および導電膜 248A は、大気環境にさらさずに減圧下で連続して成膜することが好ましい。大気開放せずに成膜することで、導電膜 242A、絶縁膜 271A、および導電膜 248A 上に大気環境からの不純物または水分が付着することを防ぐことができ、導電膜 242A と絶縁膜 271A との界面および界面近傍、絶縁膜 271A と導電膜 248A との界面および界面近傍を清浄に保つことができるので好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。連続成膜することで、半導体装置の作製工程時間の短縮が可能となり好ましい。

[0320]

次に、リソグラフィ法を用いて、酸化膜 230A、酸化膜 230B、酸化膜 243A、導電膜 242A、絶縁膜 271A、および導電膜 248A を島状に加工して、酸化物 230a、酸化物 230b、酸化物層 243B、導電層 242B、絶縁層 271B、および導電層 248 を形成する（図 14A 乃至図 14D 参照。）。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜 230A、酸化膜 230B、酸化膜 243A、導電膜 242A、絶縁膜 271A、および導電膜 248A の加工は、それぞれ異なる条件で加工してもよい。なお、当該工程において、絶縁体 224 の

酸化物230aと重ならない領域の膜厚が薄くなることもある。

[0321]

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザー光、ArFエキシマレーザー光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0322]

さらに、レジストマスクの下に絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜242A上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜242Aなどのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜242Aなどのエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。本実施の形態では、絶縁層271B、および導電層248をハードマスクとして用いる。

[0323]

ここで、絶縁層271B、および導電層248が導電層242Bのマスクとして機能するので、図14B乃至図14Dに示すように、導電層242Bは側面と上面の間に湾曲面を有しない。これにより、図5Bおよび図5Dに示す導電体242aおよび導電体242bは、側面と上面が交わる端部が角状になる。導電体242の側面と上面が交わる端部が角状になることで、当該端部が曲面を有する場合に比べて、導電体242の断面積が大きくなる。これにより、導電体242の抵抗が低減されるので、トランジスタ200のオン電流を大きくすることができる。

[0324]

また、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および導電層248は、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および導電層248の側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および導電層248の側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。または、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および導電層248の側面と、絶縁体222の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物230a、酸化物230b、酸化物層24

3 B、導電層 2 4 2 B、絶縁層 2 7 1 B、および導電層 2 4 8 の側面と、絶縁体 2 2 2 の上面とのなす角は 6 0 度以上 7 0 度未満が好ましい。このような形状とすることで、これより後の工程において、絶縁体 2 7 2 などの被覆性が向上し、鬆などの欠陥を低減することができる。

[0 3 2 5]

次に、導電層 2 4 8 を除去する。導電層 2 4 8 の除去は、ドライエッチング法を用いる（図 1 5 A 乃至図 1 5 D 参照）。

[0 3 2 6]

次に、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、および絶縁層 2 7 1 B の上に、絶縁体 2 7 2 を形成する（図 1 6 A 乃至図 1 6 D 参照）。絶縁体 2 7 2 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 2 7 2 として、スパッタリング法によって、酸化アルミニウムを成膜する。特に、絶縁体 2 7 2 は、バイアススパッタリング法で成膜することが好ましい。バイアススパッタリング法では、基板に印加する RF 電力の大きさによって、絶縁体 2 7 2 の下地となる絶縁体 2 2 4 へ注入する酸素量を制御することができる。たとえば、RF 電力としては、 0.31 W/cm^2 以上、好ましくは 0.62 W/cm^2 以上、さらに好ましくは 1.86 W/cm^2 以上のバイアスを基板に印加すればよい。つまり、絶縁体 2 7 2 の形成の際の RF 電力によって、トランジスタの特性に適する酸素量を変化させて注入することができる。また、トランジスタの信頼性向上に適する酸素量を注入することができる。また、RF の周波数は、1 0 MHz 以上が好ましい。代表的には、1 3. 5 6 MHz である。RF の周波数が高いほど基板へ与えるダメージを小さくすることができる。

[0 3 2 7]

以上のように、絶縁体 2 7 2 は、下地となる膜へ酸素を注入する機能を有するが、絶縁体 2 7 2 自体は、酸素の透過を抑制する機能を有する。従って、のちの工程で絶縁体 2 7 2 上に絶縁体 2 8 0 を形成し、絶縁体 2 8 0 から酸素を拡散させたときに、絶縁体 2 8 0 から、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および導電層 2 4 2 B に、酸素が直接拡散するのを防ぐことができる。

[0 3 2 8]

次に、絶縁体 2 2 4、絶縁体 2 7 2 上に、絶縁体 2 8 0 となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。例えば、当該絶縁膜として、スパッタリング法を用いて酸化シリコン膜を成膜し、その上に PEALD 法または熱 ALD 法を用いて酸化シリコン膜を成膜すればよい。また、当該絶縁膜は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体 2 8 0 の水素濃度を低減することができる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体 2 2 4、絶縁体 2 7 2 の表面などに吸着している水分および水素を除去し、さらに酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および絶縁体 2 2 4 中の水分濃度および水素濃度を低減させることができる。当該加熱処理には、上述した加熱処理条件を用いることができる。

[0 3 2 9]

次に、上記絶縁膜に CMP 処理を行い、上面が平坦な絶縁体 2 8 0 を形成する（図 1 7 A 乃至図

17D参照)。なお、絶縁体224と同様に、絶縁体280上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜し、該酸化アルミニウムを絶縁体280に達するまで、CMPを行ってもよい。

[0330]

ここで、マイクロ波処理を行ってもよい。マイクロ波処理は、酸素を含む雰囲気下、および減圧下にて行うことが好ましい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁体280、酸化物230b、酸化物230aなどに与えられ、酸化物230b、および酸化物230a中の V_OH を酸素欠損(V_O)と水素(H)に分断することができる。この時分断された水素の一部は、絶縁体280が有する酸素と結合して、水分子として除去される場合がある。また、水素の一部は、絶縁体272、および絶縁層271Bを介して、導電体242にゲッタリングされる場合がある。

[0331]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁体280、酸化物230b、および酸化物230a中の水素を効率よく除去することができる。なお、加熱処理温度は、300℃以上、500℃以下とすることが好ましい。

[0332]

また、マイクロ波処理を行うことにより、絶縁体280の膜質を改質することで、水素、水、不純物などの拡散を抑制することができる。したがって、絶縁体280形成以降の後工程、または熱処理などにより、絶縁体280を介して、水素、水、不純物などが、酸化物230へ拡散することを抑制することができる。

[0333]

次に、絶縁体280の一部、絶縁体272の一部、絶縁層271Bの一部、導電層242Bの一部、酸化物層243Bの一部、酸化物230bの一部を加工して、酸化物230bに達する開口を形成する。当該開口は、導電体205と重なるように形成することが好ましい。当該開口の形成によって、絶縁体271a、絶縁体271b、導電体242a、導電体242b、酸化物243a、および酸化物243bを形成する(図18A乃至図18D参照)。

[0334]

上記開口を形成する際に、酸化物230bの上部が除去される。酸化物230bの一部が除去されることで、酸化物230bに溝部が形成される。当該溝部の深さによっては、当該溝部を、上記開口の形成工程で形成してもよいし、上記開口の形成工程と異なる工程で形成してもよい。

[0335]

また、絶縁体280の一部、絶縁体272の一部、絶縁層271Bの一部、導電層242Bの一部、酸化物層243Bの一部、および酸化物230bの一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体280の一部をドライエッチング法で加工し、絶縁体272の一部、絶縁層271Bの一部をウェットエッチング法で加工し、酸化物層243Bの一部、導電層242Bの一部、および酸化物230bの一部をドライエッチング法で加工してもよい。また、酸化物層243Bの一部および導電層242Bの一部の加工と、酸化物230bの一部の加工とは、異なる条件で行ってもよい。

[0336]

ここで、ドライエッチング法を用いて、酸化物230bの一部を除去して、溝部を形成する際に、バイアス電力を強くして処理することが好ましい。例えば、バイアス電力の電力密度を、 0.02 W/cm^2 以上にすればよく、 0.03 W/cm^2 以上にするのが好ましく、 0.06 W/cm^2 以上にするのがより好ましい。また、ドライエッチング処理時間は、溝部の深さに合わせて適宜設定すればよい。

[0337]

ここで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することが好ましい。また、上記ドライエッチングで酸化物230b表面に形成される、損傷領域を除去することが好ましい。当該不純物としては、絶縁体280、絶縁体272の一部、絶縁層271Bの一部および導電層242Bに含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

[0338]

特に、アルミニウム、またはシリコンなどの不純物は、酸化物230b、またはのちの工程で形成する酸化物230cのCAAC-OS化を阻害する。よって、アルミニウム、またはシリコンなどの、CAAC-OS化を阻害する不純物元素が、低減または除去されていることが好ましい。例えば、酸化物230bと酸化物230cの界面、およびその近傍における、アルミニウム原子の濃度が、5.0原子%以下とすればよく、2.0原子%以下が好ましく、1.5原子%以下がより好ましく、1.0原子%以下がさらに好ましく、0.3原子%未満がさらに好ましい。

[0339]

なお、アルミニウム、またはシリコンなどの不純物によりCAAC-OS化が阻害され、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)となった金属酸化物の領域を、非CAAC領域と呼ぶ場合がある。非CAAC領域では、結晶構造の緻密さが低下しているため、 V_{OH} が多量に形成され、トランジスタがノーマリーオン化しやすくなる。よって、酸化物230b、および酸化物230cの非CAAC化領域は、低減または除去されていることが好ましい。

[0340]

これに対して、酸化物230bおよび酸化物230cに層状のCAAC構造を有していることが好ましい。特に、酸化物230bおよび酸化物230cのドレイン下端部までCAAC構造が形成されることが好ましい。ここで、トランジスタ200において、導電体242aまたは導電体242b、およびその近傍がドレインとして機能する。つまり、導電体242a（導電体242b）の下端部近傍の、酸化物230b、および酸化物230cのいずれか一方または双方が、CAAC構造を有することが好ましい。このように、ドレイン耐圧に顕著に影響するドレイン端部においても、酸化物230bの損傷領域が除去され、CAAC構造を有することで、トランジスタ200の電気特性の変動をさらに抑制することができる。また、トランジスタ200の信頼性を向上させることができる。

[0341]

上記の不純物などを除去するために、洗浄処理を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み

合わせて行ってもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

[0342]

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせを行ってもよい。

[0343]

なお、本明細書等では、市販のフッ化水素酸を純水で希釈した水溶液を希釈フッ化水素酸と呼び、市販のアンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される半導体装置の構成などによって、適宜調整すればよい。希釈アンモニア水のアンモニア濃度は0.01%以上5%以下、好ましくは0.1%以上0.5%以下とすればよい。また、希釈フッ化水素酸のフッ化水素濃度は0.01ppm以上100ppm以下、好ましくは0.1ppm以上10ppm以下とすればよい。

[0344]

なお、超音波洗浄には、200kHz以上、好ましくは900kHz以上の周波数を用いることが好ましい。当該周波数を用いることで、酸化物230bなどへのダメージを低減することができる。

[0345]

また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第1の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第2の洗浄処理として純水、または炭酸水を用いた処理を行ってもよい。

[0346]

上記洗浄処理として、本実施の形態では、希釈フッ化水素酸を用いてウェット洗浄を行い、続いて純水、または炭酸水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物230b上に形成される酸化物230cの結晶性を高めることができる。

[0347]

これまでドライエッチングなどの加工、または上記洗浄処理によって、上記開口と重なり、かつ酸化物230bおよび絶縁体272と重ならない領域の、絶縁体224の膜厚が、酸化物230bと重なる領域の、絶縁体224の膜厚より薄くなる場合がある。

[0348]

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、100℃以上450℃以下、好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物230aおよび酸化物230bに酸素を供給して、酸素欠損V_Oの低減を図ることができる。また、このような熱処理を行うことで、酸化物230bの結晶性を向上させ、酸化物230bの溝部に形成される酸化物230cの結晶性も向上させることができる。また、加熱処理は減圧状態で行ってもよい。または、酸素雰囲気加熱処理した後に、大気に露出せずに連続して窒素雰囲気加熱処理を行ってもよい。

[0349]

次に、酸化膜230Cを成膜する（図19A乃至図19D参照）。酸化膜230Cの成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜230Cを成膜することが好ましい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化物230bの表面などに吸着している水分および水素を除去し、さらに酸化物230aおよび酸化物230b中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0350]

ここで、酸化膜230Cは、少なくとも酸化物230bに形成された溝部の内壁、酸化物243の側面の一部、導電体242の側面の一部、絶縁体271の側面の一部、絶縁体272の側面の一部、および絶縁体280の側面の一部と接するように設けられることが好ましい。導電体242は、酸化物243、絶縁体272、絶縁体271および酸化膜230Cに囲まれることで、以降の工程において導電体242の酸化による導電率の低下を抑制することができる。

[0351]

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜230Cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]の酸化物ターゲット、 $\text{In}:\text{Ga}:\text{Zn}=5:1:3$ [原子数比]の酸化物ターゲット、 $\text{In}:\text{Ga}:\text{Zn}=10:1:3$ [原子数比]の酸化物ターゲット、またはインジウム酸化物ターゲットを用いて成膜する。

[0352]

酸化膜230Cの成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物230aおよび酸化物230bに供給される場合がある。または、酸化膜230Cの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体280に供給される場合がある。したがって、酸化膜230Cのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。また、このように酸素を多く含む雰囲気で酸化膜230Cを成膜することで、酸化膜230CをCAAC-OS化しやすくなる。

[0353]

酸化膜230Cの成膜は、基板を加熱しながら行うことが好ましい。このとき、基板温度を200℃以上にすることで、酸化膜230Cおよび酸化物230b中の酸素欠損を低減することができる。基板を加熱しながら成膜することで、酸化膜230Cおよび酸化物230bの結晶性の向上を図ることができる。

[0354]

次に、酸化膜230Dを成膜する（図19A乃至図19D参照）。酸化膜230Dの成膜は、酸化膜230Cの成膜から、大気に暴露することなく、連続して行うことが好ましい。

[0355]

酸化膜230Dの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜230Dに求める特性に合わせて、酸化膜230A、または酸化膜

230Bと同様の成膜方法を用いて、酸化膜230Dを成膜すればよい。本実施の形態では、酸化膜230Dとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] の酸化物ターゲットを用いて成膜する。

[0356]

酸化膜230Dの成膜時に、スパッタリングガスに含まれる酸素の一部が酸化膜230Cに供給される場合がある。または、酸化膜230Dの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体280に供給される場合がある。したがって、酸化膜230Dのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0357]

次に絶縁膜250Aを成膜する(図19A乃至図19D参照)。絶縁膜250Aの成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜250Aを成膜してもよい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化膜230Cの表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、および酸化膜230C中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。

[0358]

絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて成膜することができる。また、絶縁膜250Aは、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜250Aの水素濃度を低減することができる。絶縁膜250Aは、後の工程で酸化物230dと接する絶縁体250となるので、このように水素濃度が低減されていることが好適である。

[0359]

なお、絶縁体250を2層の積層構造とする場合、絶縁体250の下層となる絶縁膜および絶縁体250の上層となる絶縁膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁体250の下層となる絶縁膜、および絶縁体250の上層となる絶縁膜上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体250の下層となる絶縁膜と絶縁体250の上層となる絶縁膜との界面近傍を清浄に保つことができる。

[0360]

ここで、絶縁膜250Aを成膜後に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行ってもよい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁膜250A、酸化膜230D、酸化膜230C、酸化物230b、酸化物230aなどに与えられ、酸化膜230D中、酸化膜230C中、酸化物230b中、および酸化物230a中の $\text{V}_\text{O}\text{H}$ を V_O と水素とに分断することができる。この時分断された水素の一部は、酸素と結合して H_2O として、絶縁膜250A、酸化膜230D、酸化膜230C、酸化物230b、および酸化物230aから除去される場合がある。また、水素の一部は、導電体242(導電体242a、および導電体242b)にゲッタリングされる場合がある。このように、マイクロ波処理を行うことで、絶縁膜250A中、酸化膜230D中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素濃度を低減することができる。また、酸化物230a中、酸化物230b中、酸化膜230C中、および酸化膜230D中の $\text{V}_\text{O}\text{H}$ を V_O と水素とに分断した後存在する V_O に酸素が供給されることで V_O を修復または補填することができる。

[0361]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜250A中、酸化膜230D中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素を効率よく除去することができる。また、水素の一部は、導電体242（導電体242a、および導電体242b）にゲッターリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返す行うことで、絶縁膜250A中、酸化膜230D中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。

[0362]

また、マイクロ波処理を行うことにより、絶縁膜250Aの膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体260となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体250を介して、水素、水、不純物等が、酸化物230b、酸化物230aなどへ拡散することを抑制することができる。

[0363]

次に、導電膜260A、導電膜260Bを順に成膜する（図20A乃至図20D参照）。導電膜260Aおよび導電膜260Bの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、ALD法を用いて、導電膜260Aを成膜し、大気解放せずに減圧下にて、連続してCVD法を用いて導電膜260Bを成膜する。

[0364]

次に、CMP処理によって、酸化膜230C、酸化膜230D、絶縁膜250A、導電膜260A、および導電膜260Bを絶縁体280が露出するまで研磨することによって、酸化物230c、酸化物230d、絶縁体250、および導電体260（導電体260a、および導電体260b）を形成する（図21A乃至図21D参照）。これにより、酸化物230cは、酸化物230bに達する開口および酸化物230bの溝部の内壁（側面、および底面）を覆うように配置される。また、酸化物230dは、酸化物230cを介して、上記開口および上記溝部の内壁を覆うように配置される。また、絶縁体250は、酸化物230dを介して、上記開口および上記溝部の内壁を覆うように配置される。また、導電体260は、酸化物230c、酸化物230d、および絶縁体250を介して、上記開口および上記溝部を埋め込むように配置される。

[0365]

次に、上記の加熱処理と同様の条件で加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。該加熱処理によって、絶縁体250および絶縁体280中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、絶縁体282の成膜を行ってもよい。

[0366]

次に、酸化物230d上、酸化物230c上、絶縁体250上、導電体260上、および絶縁体280上に、絶縁体282を形成する（図22A乃至図22D参照）。絶縁体282の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁体282としては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体282の成膜を行うことで、成膜し

ながら、絶縁体 280 に酸素を添加することができる。これにより、絶縁体 280 に過剰酸素を含ませることができる。このとき、基板加熱を行いながら、絶縁体 282 を成膜することが好ましい。また、導電体 260 の上面に接して、絶縁体 282 を形成することで、この後の加熱処理において、絶縁体 280 が有する酸素が導電体 260 へ吸収されることを抑制することができるので好ましい。

 $[0\ 3\ 6\ 7]$

次に、絶縁体２８２の一部、絶縁体２８０の一部、絶縁体２７２の一部、絶縁体２２４の一部、絶縁体２２２の一部、絶縁体２１６の一部、および絶縁体２１４の一部を加工して、絶縁体２１２に達する開口を形成する（図２３Ａ乃至図２３Ｄ参照）。該開口は、トランジスタ２００が囲まれるように形成される場合がある。または、該開口は、複数のトランジスタ２００が囲まれるように形成される場合がある。よって、該開口において、絶縁体２８２の側面の一部、絶縁体２８０の側面の一部、絶縁体２７２の側面の一部、絶縁体２２４の側面の一部、絶縁体２２２の側面の一部、絶縁体２１６の側面の一部、および絶縁体２１４の側面の一部が露出する。

[0 3 6 8]

絶縁体 282 の一部、絶縁体 280 の一部、絶縁体 272 の一部、絶縁体 224 の一部、絶縁体 222 の一部、絶縁体 216 の一部、および絶縁体 214 の一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。

[0 3 6 9]

次に、絶縁体282、絶縁体280、絶縁体224、絶縁体222、絶縁体216、および絶縁体214を覆って、絶縁体283を形成する（図24A乃至図24D参照）。絶縁体283の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、スパッタリング法を用いて、窒化シリコンを成膜する。図24B乃至図24Dに示すように、絶縁体283は、上記開口の底面において、絶縁体212と接する。つまり、トランジスタ200は、上面及び側面が絶縁体283に、下面が絶縁体212に包み込まれることになる。このように、バリア性の高い絶縁体283および絶縁体212でトランジスタ200を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。

 $[0\ 3\ 7\ 0]$

次に絶縁体 283 上に、絶縁体 274 となる絶縁膜を成膜する。絶縁体 274 となる絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。例えば、CVD 法を用いて酸化シリコンを成膜するとよい。また、絶縁体 274 となる絶縁膜は、上述の水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体 274 となる絶縁膜の水素濃度を低減することができる。

$$[0 \ 3 \ 7 \ 1]$$

続いて、絶縁体274となる絶縁膜にCMP処理を行い、上面が平坦な絶縁体274を形成する(図25A乃至図25D参照。)

 $[0\ 3\ 7\ 2]$

次に、絶縁体２７１、絶縁体２７２、絶縁体２８０、絶縁体２８２、および絶縁体２８３に、導電体２４２に達する開口を形成する（図２６Ａ乃至図２６Ｄ参照）。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、図２６Ａで当該開口の形状は、上面視において円形状になっているが、これに限られるものではない。例えば、当該開口が、上面視において、楕円などの略円形

状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

[0373]

次に、絶縁体241となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体241を形成する。(図26B参照)。絶縁体241となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体241となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD法を用いて、酸化アルミニウムを成膜することが好ましい。または、PEALD法を用いて、窒化シリコンを成膜することが好ましい。窒化シリコンは水素に対するブロッキング性が高いので好ましい。

[0374]

また、絶縁体241となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側面に絶縁体241を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bから、水、水素などの不純物が外部に拡散することを防ぐことができる。

[0375]

次に、導電体240となる導電膜を成膜する。導電体240となる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。導電体240となる導電膜を積層構造とした場合、下層の膜として、たとえば、窒化タンタル、窒化チタンなどを用いることができる。また、上層の膜として、例えば、タングステン、モリブデン、銅などを用いることができる。導電体240となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0376]

特に、導電体240となる導電膜の下層の成膜は、第2のイオン化スパッタリング法を用いることが好ましい。第2のイオン化スパッタリング法を用いて成膜することによって、開口の底部および側面に均一に成膜することができる。

[0377]

導電体240となる導電膜の下層を均一に成膜することで、導電体240となる導電膜の下層は、導電体240となる導電膜の上層のシード層として良好に機能するので好ましい。

[0378]

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体283および絶縁体274の上面を露出する。その結果、開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる(図26B参照)。なお、当該CMP処理により、絶縁体283の上面の一部および絶縁体274の上面の一部が除去される場合がある。

[0379]

次に、導電体246となる導電膜を成膜する。導電体246となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0380]

次に、導電体246となる導電膜をリソグラフィー法によって加工し、導電体240aの上面と

接する導電体 246 a、および導電体 240 b の上面と接する導電体 246 b を形成する（図 27 A および図 27 B 参照。）。この時、図示しないが、導電体 246 a および導電体 246 b と、絶縁体 283 とが重ならない領域の絶縁体 283 の一部が除去されることがある。

[0381]

次に、導電体 246 上、および絶縁体 283 上に、絶縁体 286 を成膜する（図 5 B 乃至図 5 D 参照。）。絶縁体 286 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。また、絶縁体 286 は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD 法を用いて窒化シリコンを成膜してもよい。

[0382]

以上により、図 5 A 乃至図 5 D に示すトランジスタ 200 を有する半導体装置を作製することができる。図 13 A 乃至図 27 D に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 200 を作製することができる。なお、図 1 A 乃至図 1 D に示すトランジスタ 200 を有する半導体装置を作製する場合は、図 23 乃至図 25 に示す工程を行わずに半導体装置を作製すればよい。

[0383]

<半導体装置の応用例>

以下では、図 28 A および図 28 B を用いて、先の<半導体装置の構成例>および先の<半導体装置の変形例>で示したものと異なる、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。なお、図 28 A および図 28 B に示す半導体装置において、<半導体装置の構成例>に示した半導体装置（図 1 A 乃至図 1 D 参照）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 200 の構成材料については<半導体装置の構成例>および<半導体装置の変形例 3>で詳細に説明した材料を用いることができる。

[0384]

図 28 A および図 28 B に、複数のトランジスタ 200_1 乃至トランジスタ 200_n を、絶縁体 283 と絶縁体 212 で、包括して封止した構成について示す。なお、図 28 A および図 28 B において、トランジスタ 200_1 乃至トランジスタ 200_n は、チャンネル長方向に並んで見えるように見えるが、これにかぎられるものではない。トランジスタ 200_1 乃至トランジスタ 200_n は、チャンネル幅方向に並んでいてもよいし、マトリクス状に配置されていてもよい。また、設計に応じて、規則性を持たずに配置されていてもよい。

[0385]

図 28 A に示すように、複数のトランジスタ 200_1 乃至トランジスタ 200_n の外側において、絶縁体 283 と絶縁体 212 が接する部分（以下、封止部 265 と呼ぶ場合がある。）が形成されている。封止部 265 は、複数のトランジスタ 200_1 乃至トランジスタ 200_n を囲むように形成されている。このような構造にすることで、複数のトランジスタ 200_1 乃至トランジスタ 200_n を絶縁体 283 と絶縁体 212 で包み込むことができる。よって封止部 265 に囲まれたトランジスタ群が、基板上に複数設けられることになる。

[0386]

また、封止部 265 に重ねてダイシングライン（スクライプライン、分断ライン、又は切断ライ

ンと呼ぶ場合がある)を設けてもよい。上記基板はダイシングラインにおいて分断されるので、封止部265に囲まれたトランジスタ群が1チップとして取り出されることになる。

[0387]

また、図28Aでは、複数のトランジスタ200__1乃至トランジスタ200__nを一つの封止部265で囲む例について示したが、これに限られるものではない。図28Bに示すように、複数のトランジスタ200__1乃至トランジスタ200__nを複数の封止部で囲む構成にしてもよい。図28Bでは、複数のトランジスタ200__1乃至トランジスタ200__nを封止部265aで囲み、さらに外側の封止部265bでも囲む構成にしている。

[0388]

このように、複数の封止部で複数のトランジスタ200__1乃至トランジスタ200__nを囲む構成にすることで、絶縁体283と絶縁体212が接する部分が増えるので、絶縁体283と絶縁体212の密着性をより向上させることができる。これにより、より確実に複数のトランジスタ200__1乃至トランジスタ200__nを封止することができる。

[0389]

この場合、封止部265aまたは封止部265bに重ねてダイシングラインを設けてもよいし、封止部265aと封止部265bの間にダイシングラインを設けてもよい。

[0390]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0391]

以上、本実施の形態に示す構成、方法などは、他の実施の形態、実施例などに示す構成、方法などと適宜組み合わせる用いることができる。

[0392]

(実施の形態2)

本実施の形態では、半導体装置の一形態を、図29乃至図33を用いて説明する。

[0393]

[記憶装置1]

本発明の一態様に係る半導体装置(記憶装置)の一例を図29に示す。本発明の一態様の半導体装置は、トランジスタ200、トランジスタ300、および容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。なお、トランジスタ200として、先の実施の形態で説明したトランジスタ200を用いることができる。

[0394]

トランジスタ200は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期間にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは

は、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0395]

図29に示す半導体装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[0396]

また、図29に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0397]

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0398]

ここで、図29に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0399]

なお、図29に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0400]

<容量素子100>

容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110と、第2の電極として機能する導電体120、および誘電体として機能する絶縁体130とを有する。ここで、絶縁体130は、上記実施の形態に示す絶縁体286として用いることができる絶縁体を用いることが好ましい。

[0401]

また、例えば、導電体246上に設けた導電体112と、導電体110は、同時に形成することができる。なお、導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。

[0402]

図29では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0403]

また、絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0404]

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いることが好ましい。当該構成により、容量素子100は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0405]

なお、高誘電率（high-k）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、アルミニウムおよびハフニウムを有する窒化酸化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化酸化物、シリコンおよびハフニウムを有する窒化物などがある。

[0406]

一方、絶縁耐力が大きい材料（低い比誘電率の材料）としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0407]

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0408]

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電気的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

[0409]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0 4 1 0]

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 2 9 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線として機能する。

[0 4 1 1]

同様に、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、及びトランジスタ 2 0 0 を構成する導電体（導電体 2 0 5）等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電気的に接続するプラグ、または配線としての機能を有する。さらに、導電体 1 2 0、および絶縁体 1 3 0 上には、絶縁体 1 5 0 が設けられている。

[0 4 1 2]

ここで、上記実施の形態に示す絶縁体 2 4 1 と同様に、プラグとして機能する導電体 2 1 8 の側面に接して絶縁体 2 1 7 が設けられる。絶縁体 2 1 7 は、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 に形成された開口の内壁に接して設けられている。つまり、絶縁体 2 1 7 は、導電体 2 1 8 と、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 と、の間に設けられている。なお、導電体 2 0 5 は導電体 2 1 8 と並行して形成することができるので、導電体 2 0 5 の側面に接して絶縁体 2 1 7 が形成される場合もある。

[0 4 1 3]

絶縁体 2 1 7 としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 2 1 7 は、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 2 2 に接して設けられるので、絶縁体 2 1 0 または絶縁体 2 1 6 などから水または水素などの不純物が、導電体 2 1 8 を通じて酸化物 2 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 2 1 0 または絶縁体 2 1 6 に含まれる酸素が導電体 2 1 8 に吸収されるのを防ぐことができる。

[0 4 1 4]

絶縁体 2 1 7 は、絶縁体 2 4 1 と同様の方法で形成することができる。例えば、PEALD法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体 3 5 6 に達する開口を形成すればよい。

[0 4 1 5]

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0 4 1 6]

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0 4 1 7]

例えば、絶縁体 1 5 0、絶縁体 2 1 0、絶縁体 3 5 2、および絶縁体 3 5 4 等には、比誘電率の

低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0418]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体214、絶縁体212および絶縁体350等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0419]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0420]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0421]

例えば、導電体328、導電体330、導電体356、導電体218、および導電体112等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンをを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0422]

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域

を有する絶縁体を設けることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0423]

例えば、図29では、過剰酸素を有する絶縁体224および絶縁体280と、導電体240との間に、絶縁体241を設けるとよい。絶縁体241と、絶縁体222、絶縁体282、および絶縁体283とが接して設けられることで、絶縁体224、およびトランジスタ200は、バリア性を有する絶縁体により、封止する構造とすることができる。

[0424]

つまり、絶縁体241を設けることで、絶縁体224および絶縁体280が有する過剰酸素が、導電体240に吸収されることを抑制することができる。また、絶縁体241を有することで、不純物である水素が、導電体240を介して、トランジスタ200へ拡散することを抑制することができる。

[0425]

なお、絶縁体241としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するブロッキング性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

[0426]

また、上記実施の形態と同様に、トランジスタ200は、絶縁体212、絶縁体214、絶縁体282、および絶縁体283で封止されることが好ましい。このような構成とすることで、絶縁体274、絶縁体150などに含まれる水素が絶縁体280などに混入するのを低減することができる。

[0427]

ここで、絶縁体283、および絶縁体282には導電体240が、絶縁体214、絶縁体212、および絶縁体210には導電体218が貫通しているが、上記の通り、絶縁体241が導電体240に接して設けられ、絶縁体217が導電体218に接して設けられている。これにより、導電体240および導電体218を介して、絶縁体212、絶縁体214、絶縁体282、および絶縁体283の内側に混入する水素を低減することができる。このようにして、絶縁体212、絶縁体214、絶縁体282、絶縁体283、絶縁体241、および絶縁体217でトランジスタ200をより確実に封止し、絶縁体274等に含まれる水素などの不純物が外側から混入するのを低減することができる。

[0428]

また、絶縁体216、絶縁体224、絶縁体280、絶縁体250、および絶縁体274は、先の実施の形態に示すように、水素原子が低減または除去されたガスを用いた成膜方法で形成されることが好ましい。これにより、絶縁体216、絶縁体224、絶縁体280、絶縁体250、および絶縁体274の水素濃度を低減することができる。

[0429]

このようにして、トランジスタ200近傍のシリコン系絶縁膜の水素濃度を低減し、酸化物23

0の水素濃度を低減することができる。

[0430]

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

[0431]

ここで、例えば、図29に示すように、絶縁体283と、絶縁体212とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ200を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体282、絶縁体280、絶縁体272、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に開口を設ける。

[0432]

つまり、上記絶縁体282、絶縁体280、絶縁体272、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に設けた開口において、絶縁体212と、絶縁体283とが接する。絶縁体212、および絶縁体283を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

[0433]

当該構造により、絶縁体212、絶縁体214、絶縁体282、および絶縁体283で、トランジスタ200を包み込むことができる。絶縁体212、絶縁体214、絶縁体282、および絶縁体283の少なくとも一つは、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ200に拡散することを防ぐことができる。

[0434]

また、当該構造により、絶縁体280、および絶縁体224の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体280、および絶縁体224の過剰酸素は、効率的にトランジスタ200におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0435]

なお、図29に示す記憶装置では、容量素子100の形状をプレーナ型としたが、本実施の形態に示す記憶装置はこれに限られるものではない。たとえば、図30に示すように、容量素子100の形状をシリンダ型にしてもよい。なお、図30に示す記憶装置は、絶縁体150より下の構成は、図29に示す半導体装置と同様である。

[0436]

図30に示す容量素子100は、絶縁体130上の絶縁体150と、絶縁体150上の絶縁体142と、絶縁体150および絶縁体142に形成された開口の中に配置された導電体115と、導電体115および絶縁体142上の絶縁体145と、絶縁体145上の導電体125と、導電体125および絶縁体145上の絶縁体152と、を有する。ここで、絶縁体150および絶縁体142に形成された開口の中に導電体115、絶縁体145、および導電体125の少なくとも一部が配置される。

[0437]

導電体115は容量素子100の下部電極として機能し、導電体125は容量素子100の上部電極として機能し、絶縁体145は、容量素子100の誘電体として機能する。容量素子100は、絶縁体150および絶縁体142の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

[0438]

絶縁体152は、絶縁体280に用いることができる絶縁体を用いればよい。また、絶縁体142は、絶縁体150の開口を形成するときのエッチングストップとして機能することが好ましく、絶縁体214に用いることができる絶縁体を用いればよい。

[0439]

絶縁体150および絶縁体142に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ200の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子100とトランジスタ200を有する半導体装置の占有面積を低減することができる。

[0440]

導電体115は、絶縁体142、および絶縁体150に形成された開口に接して配置される。導電体115の上面は、絶縁体142の上面と略一致することが好ましい。また、導電体115の下面は、絶縁体130の開口を介して導電体110に接する。導電体115は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

[0441]

絶縁体145は、導電体115および絶縁体142を覆うように配置される。例えば、ALD法またはCVD法などを用いて絶縁体145を成膜することが好ましい。絶縁体145は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体145として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

[0442]

また、絶縁体145には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率（h

i g h - k) 材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率 (h i g h - k) 材料の積層構造を用いてもよい。

[0443]

なお、高誘電率 (h i g h - k) 材料 (高い比誘電率の材料) の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、アルミニウムおよびハフニウムを有する窒化酸化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化酸化物、シリコンおよびハフニウムを有する窒化物などがある。このような h i g h - k 材料を用いることで、絶縁体 145 を厚くしても容量素子 100 の静電容量を十分確保することができる。絶縁体 145 を厚くすることにより、導電体 115 と導電体 125 の間に生じるリーク電流を抑制することができる。

[0444]

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD法を用いて成膜した窒化シリコン (SiN_x)、PEALD法を用いて成膜した酸化シリコン (SiO_x)、ALD法を用いて成膜した窒化シリコン (SiN_x) の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

[0445]

導電体 125 は、絶縁体 142 および絶縁体 150 に形成された開口を埋めるように配置される。また、導電体 125 は、導電体 140、および導電体 153 を介して配線 1005 と電氣的に接続している。導電体 125 は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

[0446]

また、導電体 153 は、絶縁体 154 上に設けられており、絶縁体 156 に覆われている。導電体 153 は、導電体 112 に用いることができる導電体を用いればよく、絶縁体 156 は、絶縁体 152 に用いることができる絶縁体を用いればよい。ここで、導電体 153 は導電体 140 の上面に接しており、容量素子 100、トランジスタ 200、またはトランジスタ 300 の端子として機能する。

[0447]

[記憶装置 2]

本発明の一態様に係る半導体装置 (記憶装置) の一例を図 31 に示す。

[0448]

<メモリデバイスの構成例>

図 31 は、メモリデバイス 290 を有する半導体装置の断面図である。図 31 に示すメモリデバイス 290 は、図 1A 乃至図 1D に示すトランジスタ 200 に加えて、容量デバイス 292 を有する。図 31 は、トランジスタ 200 のチャネル長方向の断面図に相当する。

[0449]

容量デバイス 292 は、導電体 242b と、導電体 242b 上に設けられた絶縁体 271b と、

絶縁体 271b の上面、絶縁体 271b の側面、および導電体 242b の側面に接して設けられた絶縁体 272 と、絶縁体 272 を覆って設けられた導電体 294 と、を有する。すなわち、容量デバイス 292 は、MIM (Metal-Insulator-Metal) 容量を構成している。なお、容量デバイス 292 が有する一対の電極の一方、すなわち導電体 242b は、トランジスタのソース電極を兼ねることができる。また、容量デバイス 292 が有する誘電体層は、トランジスタに設けられる保護層、すなわち絶縁体 271、および絶縁体 272 を兼ねることができる。したがって、容量デバイス 292 の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。また、容量デバイス 292 が有する一対の電極の一方、すなわち導電体 242b は、トランジスタのソース電極と兼ねているため、トランジスタと、容量デバイスとが配置される面積を低減させることが可能となる。

[0450]

なお、導電体 294 としては、例えば、導電体 242 に用いることのできる材料を用いればよい。

[0451]

<メモリデバイスの変形例>

以下では、図 32A、図 32B、図 33、および図 34 を用いて、先の<メモリデバイスの構成例>で示したものと異なる、本発明の一態様に係るトランジスタ 200、および容量デバイス 292 を有する半導体装置の一例について説明する。なお図 32A、図 32B、図 33、および図 34 に示す半導体装置において、先の実施の形態および<メモリデバイスの構成例>に示した半導体装置 (図 31 参照。) を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 200、および容量デバイス 292 の構成材料については、先の実施の形態および<メモリデバイスの構成例>で詳細に説明した材料を用いることができる。

[0452]

<<メモリデバイスの変形例 1>>

以下では、本発明の一態様に係るトランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b を有する半導体装置 600 の一例について図 32A を用いて説明する。

[0453]

図 32A は、トランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b を有する半導体装置 600 のチャンネル長方向の断面図である。導電体 242b と、導電体 242b 上に設けられた絶縁体 271b と、絶縁体 271b の上面、絶縁体 271b の側面、および導電体 242b の側面に接して設けられた絶縁体 272 と、絶縁体 272 を覆って設けられた導電体 294 と、を有する。

ここで、容量デバイス 292a は、導電体 242a と、導電体 242a 上に設けられた絶縁体 271a と、絶縁体 271a の上面、絶縁体 271a の側面、および導電体 242a の側面に接して設けられた絶縁体 272 と、絶縁体 272 を覆って設けられた導電体 294a と、を有する。また、容量デバイス 292b は、導電体 242b と、導電体 242b 上に設けられた絶縁体 271b と、絶縁体 271b の上面、絶縁体 271b の側面、および導電体 242b の側面に接して設けられた絶縁体 272 と、絶縁体 272 を覆って設けられた導電体 294b と、を有する。

[0454]

半導体装置 600 は、図 32A に示すように、A3-A4 の一点鎖線を対称軸とした線対称の構

成となっている。トランジスタ200aのソース電極またはドレイン電極の一方と、トランジスタ200bのソース電極またはドレイン電極の一方は、導電体242cが兼ねる構成となっている。なお、導電体242c上には絶縁体271cが設けられる。また、配線として機能する導電体246と、トランジスタ200a、およびトランジスタ200bとの接続もプラグとして機能する導電体240が、兼ねる構成となっている。このように、2つのトランジスタと、2つの容量デバイスと、配線とプラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供することができる。

[0455]

トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bのそれぞれの構成および効果については、図1A乃至図1D、および図31に示す半導体装置の構成例を参酌することができる。

[0456]

<<メモリデバイスの変形例2>>

上記においては、半導体装置の構成例としてトランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bを挙げたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図32Bに示すように半導体装置600と、半導体装置600と同様の構成を有する半導体装置が容量部を介して接続されている構成としてもよい。本明細書では、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置をセルと称する。トランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bの構成については、上述のトランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bに係る記載を参酌することができる。

[0457]

図32Bは、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置600と、半導体装置600と同様の構成を有するセルが容量部を介して接続されている断面図である。

[0458]

図32Bに示すように、半導体装置600が有する容量デバイス292bの一方の電極として機能する導電体294bは、半導体装置600と同様の構成を有する半導体装置601が有する容量デバイスの一方の電極を兼ねる構成となっている。また、図示しないが、半導体装置600が有する容量デバイス292aの一方の電極として機能する導電体294aが、半導体装置600の左側、つまり図32Bにおいて、A1方向に隣接する半導体装置の容量デバイスの一方の電極を兼ねている。また、半導体装置601の右側、つまり、図32Bにおいて、A2方向のセルについても同様の構成となっている。つまりセルアレイ（メモリデバイス層ともいう。）を構成することができる。この様なセルアレイの構成とすることで、隣り合うセルの間隔を小さくすることができるので、セルアレイの投影面積を小さくすることができ、高集積化が可能となる。また、図32Bに示すセルアレイの構成を、マトリクス状に配置することで、マトリクス状のセルアレイを構成することができる。

[0459]

上述のように、本実施の形態に示す構成で、トランジスタ200a、トランジスタ200b、容

量デバイス 292a および容量デバイス 292b を形成することにより、セルの面積を低減し、セルアレイを有する半導体装置の微細化または高集積化を図ることができる。

[0460]

また、上記セルアレイを平面のみでなく積層する構成としてもよい。図 33 にセルアレイ 610 を n 層積層する構成の断面図を示す。図 33 に示すように、複数のセルアレイ（セルアレイ 610__1 乃至セルアレイ 610__n）を積層することにより、セルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

[0461]

＜メモリデバイスの変形例 3＞

図 34 は、メモリユニット 470 がトランジスタ 200T を有するトランジスタ層 413 と、4 層のメモリデバイス層 415（メモリデバイス層 415__1 乃至メモリデバイス層 415__4）を有する例を示す。

[0462]

メモリデバイス層 415__1 乃至メモリデバイス層 415__4 は、それぞれ複数のメモリデバイス 420 を有する。

[0463]

メモリデバイス 420 は、導電体 424、および導電体 205 を介して異なるメモリデバイス層 415 が有するメモリデバイス 420、およびトランジスタ層 413 が有するトランジスタ 200T と電氣的に接続する。

[0464]

メモリユニット 470 は、絶縁体 212、絶縁体 214、絶縁体 282、および絶縁体 283 により封止される（便宜的に、以下では封止構造と呼ぶ）。絶縁体 283 の周囲には絶縁体 274 が設けられる。また、絶縁体 274、絶縁体 283、および絶縁体 212 には導電体 440 が設けられ、素子層 411 と電氣的に接続する。

[0465]

また、封止構造の内部には、絶縁体 280 が設けられる。絶縁体 280 は、加熱により酸素を放出する機能を有する。または、絶縁体 280 は、過剰酸素領域を有する。

[0466]

なお、絶縁体 212、および絶縁体 283 は、水素に対するブロッキング性が高い機能を有する材料であると好適である。また、絶縁体 214、および絶縁体 282 は、水素を捕獲、または水素を固着する機能を有する材料であると好適である。

[0467]

例えば、上記水素に対するブロッキング性が高い機能を有する材料は、窒化シリコン、または窒化酸化シリコンなどが挙げられる。また、上記水素を捕獲、または水素を固着する機能を有する材料は、酸化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、並びにアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などが挙げられる。

[0468]

なお、絶縁体 212、絶縁体 214、絶縁体 282、および絶縁体 283 に用いる材料の結晶構造については、特に限定は無いが、非晶質または結晶性を有する構造とすればよい。例えば、水素を捕獲、または水素を固着する機能を有する材料として、非晶質の酸化アルミニウム膜を用いると

好適である。非晶質の酸化アルミニウムは、結晶性の高い酸化アルミニウムよりも、水素の捕獲、および固着する量が大きい場合がある。

[0469]

ここで、絶縁体280中の過剰酸素は、絶縁体280と接する酸化物半導体中の水素の拡散に対し、下記のようなモデルが考えられる。

[0470]

酸化物半導体中に存在する水素は、酸化物半導体に接する絶縁体280を介して、他の構造体へと拡散する。当該水素の拡散は、絶縁体280中の過剰酸素が酸化物半導体中の水素と反応しOH結合となり、絶縁体280中を拡散する。OH結合を有した水素原子は、水素を捕獲、または水素を固着する機能を有する材料（代表的には、絶縁体282）に到達した際に、水素原子は絶縁体282中の原子（例えば、金属原子など）と結合した酸素原子と反応し、絶縁体282中に捕獲、または固着する。一方、OH結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体280中に残ると推測される。つまり、当該水素の拡散において、絶縁体280中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

[0471]

上記のモデルを満たすためには、半導体装置の作製プロセスが重要な要素の一つとなる。

[0472]

一例として、酸化物半導体に、過剰酸素を有する絶縁体280を形成し、その後、絶縁体282を形成する。そのあとに、加熱処理を行うことが好ましい。当該加熱処理は、具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350℃以上、好ましくは400℃以上の温度で行う。加熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上とする。

[0473]

上記の加熱処理によって、酸化物半導体中の水素が、絶縁体280、および絶縁体282を介して、外方に拡散することができる。つまり、酸化物半導体、及び当該酸化物半導体近傍に存在する水素の絶対量を低減することができる。

[0474]

上記加熱処理のあと、絶縁体283を形成する。絶縁体283は、水素に対するブロッキング性が高い機能を有する材料であるため、外方に拡散させた水素、または外部に存在する水素を、内部、具体的には、酸化物半導体、または絶縁体280側に入り込むのを抑制することができる。

[0475]

なお、上記の加熱処理については、絶縁体282を形成したあとに行う構成について、例示したが、これに限定されない。例えば、トランジスタ層413の形成後、またはメモリデバイス層415__1乃至メモリデバイス層415__3の形成後に、それぞれ上記加熱処理を行っても良い。また、上記加熱処理によって、水素を外方に拡散させる際には、トランジスタ層413の上方または横方向に水素が拡散される。同様に、メモリデバイス層415__1乃至メモリデバイス層415__3形成後に加熱処理をする場合においては、水素は上方または横方向に拡散される。

[0476]

なお、上記の作製プロセスとすることで、絶縁体212と、絶縁体283と、が接着することで、上述した封止構造が形成される。

[0477]

以上のように、上記の構造、及び上記の作製プロセスとすることで、水素濃度が低減された酸化物半導体を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

[0478]

本実施の形態に示す構成、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0479]

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置を作製する際に用いることができる装置について、図35を参照して説明する。

[0480]

本発明の一態様の半導体装置を作製する際には、異なる膜種が連続成膜可能となる複数の処理室を有する、所謂マルチチャンバー装置を用いることが好ましい。各処理室では、それぞれ、スパッタリング、CVD、及びALDなどの成膜処理を行うことができる。例えば、1つの処理室をスパッタリング室とした場合、当該スパッタリング室には、ガス供給装置、当該ガス供給装置に接続されるガス精製装置、真空ポンプ、ターゲットなどを接続することができる。また、スパッタリング室を図36および図37で示すイオン化スパッタリング法を用いることができる構成としてもよい。また、バイアススパッタリング法を用いることができる構成としてもよい。

[0481]

また、各処理室では、基板のクリーニング処理、プラズマ処理、逆スパッタリング処理、エッチング処理、アッシング処理、加熱処理などを行ってもよい。各処理室において、適宜異なる処理を行うことで、絶縁体、導電体、および半導体膜を、大気開放を行わずに成膜することができる。

[0482]

本発明の一態様に用いる半導体膜としては、代表的には酸化物半導体膜が挙げられる。特に、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）酸化物半導体膜は、優れた電気特性を有するトランジスタを作製することができる。ここでは、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性とよぶ。

[0483]

高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体膜にチャネル形成領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いいため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。

[0484]

なお、酸化物半導体膜中の不純物としては、代表的には水、水素などが挙げられる。また、本明細書等において、酸化物半導体膜中から水および水素を低減または除去することを、脱水化、脱水素化と表す場合がある。また、酸化物半導体膜に酸素を添加することを、加酸素化と表す場合があり、加酸素化され且つ化学量論的組成よりも過剰の酸素を有する状態を過剰酸素状態と表す場合がある。

[0485]

ここで、酸化物半導体と、酸化物半導体の下層に位置する絶縁体、または導電体と、酸化物半導体の上層に位置する絶縁体、または導電体とを、大気開放を行わずに、異なる膜種を連続成膜することで、不純物（特に、水素、水）の濃度が低減された、実質的に高純度真性である酸化物半導体膜を成膜することができる。

[0486]

まず、本発明の一態様の半導体装置を作製する際に用いることができる装置の構成例の詳細について、図35を用いて説明する。図35に示す装置を用いることで、半導体膜と、半導体膜の下層に位置する絶縁体、または導電体と、半導体膜の上層に位置する絶縁体、または導電体とを連続成膜することができる。従って、半導体膜中に入り込みうる不純物（特に水素、水）を抑制することができる。

[0487]

図35は、枚葉式のマルチチャンバーの装置4000の上面図を模式的に示している。

[0488]

装置4000は、大気側基板供給室4010と、大気側基板供給室4010から、基板を搬送する大気側基板搬送室4012と、基板の搬入を行い、且つ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室4020aと、基板の搬出を行い、且つ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室4020bと、真空中の基板の搬送を行う搬送室4029、および搬送室4039と、搬送室4029と搬送室4039とを接続する移送室4030a、および移送室4030bと、成膜、または加熱を行う処理室4024a、処理室4024b、処理室4034a、処理室4034b、処理室4034c、処理室4034d、および処理室4034eと、を有する。

[0489]

なお、複数の処理室は、それぞれ、並列して異なる処理を行うことができる。従って、異なる膜種の積層構造を容易に作製することができる。なお、並列処理は、最大で処理室の数だけ行うことができる。例えば、図35に示す装置4000は、7つの処理室を有する装置である。従って、1つの装置を用いて（本明細書では*in-situ*ともいう）、7つの成膜処理を、大気解放せずに連続して行うことができる。

[0490]

一方、積層構造において、大気開放せずに作製できる積層数は、必ずしも処理室の数と同じにはならない。例えば、求める積層構造において、同材料の層を複数有する場合、当該層は1つの処理室で設けることができるため、設置された処理室の数よりも、多い積層数の積層構造を作製することができる。

[0491]

また、大気側基板供給室4010は、基板を収容するカセットポート4014と、基板のアライ

メントを行うアライメントポート4016と、を備える。なお、カセットポート4014は、複数（例えば、図35においては、3つ）有する構成としても良い。

[0492]

また、大気側基板搬送室4012は、ロードロック室4020aおよびアンロードロック室4020bと接続される。搬送室4029は、ロードロック室4020a、アンロードロック室4020b、移送室4030a、移送室4030b、処理室4024a、および処理室4024bと接続される。移送室4030a、および移送室4030bは、搬送室4029、および搬送室4039と接続される。また、搬送室4039は、移送室4030a、移送室4030b、処理室4034a、処理室4034b、処理室4034c、処理室4034d、および処理室4034eと接続される。

[0493]

なお、各室の接続部にはゲートバルブ4028、またはゲートバルブ4038が設けられており、大気側基板供給室4010と、大気側基板搬送室4012を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室4012は、搬送ロボット4018を有する。搬送室4029は、搬送ロボット4026を有し、搬送室4039は、搬送ロボット4036を有する。搬送ロボット4018、搬送ロボット4026、および搬送ロボット4036は、複数の可動部と、基板を保持するアームと、を有し、各室へ基板を搬送することができる。

[0494]

なお、搬送室、処理室、ロードロック室、アンロードロック室および移送室は、上述の数に限定されず、設置スペースやプロセス条件に合わせて、適宜最適な数を設けることができる。

[0495]

特に、搬送室を複数有する場合、一つの搬送室と、他の搬送室との間には、2以上の移送室を有することが好ましい。例えば、図35に示すように、搬送室4029、および搬送室4039を有する場合、搬送室4029と搬送室4039との間に、移送室4030aおよび移送室4030bが並列して配置されることが好ましい。

[0496]

移送室4030aおよび移送室4030bを並列して配置することで、例えば、搬送ロボット4026が移送室4030aに基板を搬入する工程と、搬送ロボット4036が移送室4030bに基板を搬入する工程と、を同時に行うことができる。また、搬送ロボット4026が移送室4030bから基板を搬出する工程と、搬送ロボット4036が移送室4030aから基板を搬出する工程と、を同時に行うことができる。つまり、複数の搬送ロボットを同時に駆動することで、生産効率が向上する。

[0497]

また、図35では、1室の搬送室が、1つの搬送ロボットを有し、かつ複数の処理と接続する例を示したが、本構造に限定されない。1室の搬送室につき、複数の搬送ロボットを有していてもよい。

[0498]

また、搬送室4029、および搬送室4039の一方、または両方は、バルブを介して真空ポンプと、クライオポンプと、に接続している。従って、搬送室4029、および搬送室4039は、真空ポンプを用いて、大気圧から低真空または中真空（数100Paから0.1Pa程度）まで排

気した後、バルブを切り替え、クライオポンプを用いて、中真空から高真空または超高真空（ 0.1 Pa から $1 \times 10^{-7} \text{ Pa}$ 程度）まで排気することができる。

[0499]

また、例えば、クライオポンプは、1室の搬送室に対し、2台以上並列に接続しても良い。複数のクライオポンプを有することで、1台のクライオポンプがリジェネ中であっても、他のクライオポンプを使って排気することが可能となる。なお、リジェネとは、クライオポンプ内にため込まれた分子（または原子）を放出する処理とする。クライオポンプは、分子（または原子）をため込みすぎると排気能力が低下してくるため、定期的にリジェネを行うとよい。

[0500]

処理室4024a、処理室4024b、処理室4034a、処理室4034b、処理室4034c、処理室4034d、および処理室4034eは、それぞれ、異なる処理を並列して行うことができる。つまり、処理室毎に、設置された基板に対し、スパッタ法、CVD法、MBE法、PLD法、およびALD法などによる成膜処理、加熱処理、またはプラズマ処理を行うことができる。また、処理室では、加熱処理、またはプラズマ処理を行った後、成膜処理を行ってもよい。

[0501]

装置4000は、複数の処理室を有することで、処理と処理の間で基板を大気暴露することなく搬送することが可能なため、基板に不純物が吸着することを抑制できる。また、処理室毎に、異なる膜種の成膜処理、加熱処理、または、プラズマ処理を行うことができるため、成膜や加熱処理などの順番を自由に構築することができる。

[0502]

なお、各処理室は、バルブを介して真空ポンプと接続してもよい。真空ポンプとしては、例えば、ドライポンプ、およびメカニカルブースターポンプ等を用いることができる。

[0503]

また、各処理室は、プラズマを発生させることができる電源と接続してもよい。当該電源としては、DC電源、AC電源、高周波（RF、マイクロ波など）電源を設ければよい。また、DC電源にパルス発生装置を接続してもよい。

[0504]

また、処理室は、ガス供給装置を介して、ガス精製装置と接続してもよい。なお、ガス供給装置およびガス精製装置は、ガス種の数だけ設けるとよい。

[0505]

例えば、処理室で、スパッタリングによる成膜処理を行う場合、処理室は、ターゲットと、ターゲットに接続されたバックングプレートと、バックングプレートを介して、ターゲットと対向して配置されたカソードと、防着板と、基板ステージなどを備えてもよい。また、例えば、基板ステージは、基板を保持する基板保持機構や、基板を裏面から加熱する裏面ヒーター等を備えていてもよい。

[0506]

なお、基板ステージは、成膜時に床面に対して概略垂直状態に保持され、基板受け渡し時には床面に対して概略水平状態に保持される。ここで、基板ステージを床面に対して概略垂直とすることで、成膜時に混入しうるゴミまたはパーティクルが基板に付着する確率を、水平状態に保持するよりも抑制することができる。ただし、基板ステージを床面に対して垂直（ 90° ）状態に保持する

と、基板が落下する可能性があるため、基板ステージの床面に対する角度は、 80° 以上 90° 未満とすることが好ましい。

[0507]

なお、基板ステージの構成としては、上記構成に限定されない。例えば、基板ステージを床面に対して概略水平とする構成としてもよい。当該構成の場合、基板ステージよりも下方にターゲットを配置し、ターゲットと、基板ステージとの間に基板を配置すればよい。また、基板ステージは、基板が落下しないような基板を固定する治具、または基板を固定する機構を備えていても良い。

[0508]

また、処理室に防着板を備えることで、ターゲットからスパッタリングされる粒子が不要な領域に堆積することを抑制することができる。また、防着板は、累積されたスパッタリング粒子が剥離しないように、加工することが望ましい。例えば、表面粗さを増加させるブラスト処理、または防着板の表面に凹凸を設けても良い。

[0509]

バックングプレートは、ターゲットを保持する機能を有し、カソードは、ターゲットに電圧（例えば、負電圧）を印加する機能を有する。

[0510]

なお、ターゲットは、導電体、絶縁体、または半導体を用いることができる。例えば、ターゲットが金属酸化物などの酸化物半導体の場合、処理室にて酸化物半導体膜を成膜することができる。また、ターゲットが金属酸化物の場合においても、成膜ガスとして、窒素ガスを用いると酸化窒化物半導体膜を形成することもできる。

[0511]

また、各処理室は、ガス加熱機構を介してガス供給装置と接続してもよい。ガス加熱機構はガス供給装置を介してガス精製装置と接続される。処理室に導入されるガスは、露点が -80°C 以下、好ましくは -100°C 以下、さらに好ましくは -120°C 以下であるガスを用いることができ、例えば、酸素ガス、窒素ガス、および希ガス（アルゴンガスなど）を用いることができる。また、ガス加熱機構により、処理室に導入されるガスを 40°C 以上 400°C 以下に加熱することができる。好ましくは 50°C 以上 200°C 以下に加熱することができる。なお、ガス加熱機構、ガス供給装置、およびガス精製装置は、ガス種の数だけ設けるとよい。

[0512]

また、各処理室は、バルブを介してターボ分子ポンプおよび真空ポンプと接続してもよい。また、各処理室には、クライオトラップを設けてもよい。

[0513]

なお、クライオトラップは、水などの比較的融点の高い分子（または原子）を吸着することができる機構である。ターボ分子ポンプは大きいサイズの分子（または原子）を安定して排気し、かつメンテナンスの頻度が低いため、生産性に優れる一方、水素や水の排気能力が低い。そこで、水などに対する排気能力を高めるため、クライオトラップを用いることができる。クライオトラップの冷凍機の温度は 100 K 以下、好ましくは 80 K 以下とする。また、クライオトラップが複数の冷凍機を有する場合、冷凍機ごとに温度を変えると、効率的に排気することが可能となるため好ましい。例えば、1 段目の冷凍機の温度を 100 K 以下とし、2 段目の冷凍機の温度を 20 K 以下とすればよい。

[0514]

なお、処理室の排気方法は、これに限定されず、接続する搬送室に示す排気方法（クライオポンプと真空ポンプとの排気方法）と同様の構成としてもよい。なお、搬送室の排気方法を処理室と同様の構成（ターボ分子ポンプと真空ポンプとの排気方法）としてもよい。

[0515]

特に、酸化物半導体膜を成膜する処理室の排気方法としては、真空ポンプとクライオトラップとを組み合わせる構成としてもよい。酸化物半導体膜を成膜する処理室に設けられる排気方法としては、少なくとも水分子を吸着することができる機能を有すると好ましい。

[0516]

また、酸化物半導体膜を成膜する処理室は、水素分子の分圧が 1×10^{-2} Pa以下であり、且つ水分子の分圧が 1×10^{-4} Pa以下である、と好ましい。また、酸化物半導体膜を成膜する処理室の待機状態における圧力が 8.0×10^{-5} Pa以下、好ましくは 5.0×10^{-5} Pa以下、さらに好ましくは 1.0×10^{-5} Pa以下である。また、上記の水素分子の分圧、および水分子の分圧の数値については、スパッタリングを行う処理室が待機状態のとき、および成膜状態（プラズマが放電状態）のときの双方の数値である。

[0517]

なお、処理室の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製、四重極形質量分析計（Q-massともいう。）Quilee CGM-051を用いればよい。

[0518]

処理室の水素分子の分圧、水分子の分圧、および待機状態における圧力を上記の範囲とすることで、形成される、酸化物半導体膜の膜中の不純物の濃度を低くすることができる。

[0519]

特に、各処理室を、それぞれ、スパッタリングによる成膜処理に用いることで、先の実施の形態で示したトランジスタ200の構成の一部を、*in-situ*で連続成膜した積層構造により作製することができる。

[0520]

トランジスタ200の作製方法においては、絶縁体212、絶縁体214、および絶縁体216を、装置4000を用いて連続成膜する。また、酸化膜230A、酸化膜230B、および酸化膜243Aを、装置4000を用いて連続成膜する。また、導電膜242A、絶縁膜271A、および導電膜248Aを、装置4000を用いて連続成膜する。

[0521]

つまり、絶縁体212、絶縁体214、および絶縁体216を、大気解放を行わず、連続して成膜することができる。また、酸化膜230A、酸化膜230B、および酸化膜243Aを、大気解放を行わず、連続して成膜することができる。また、導電膜242A、絶縁膜271A、および導電膜248Aを、大気解放を行わず、連続して成膜することができる。

[0522]

上記構成とすることで、不純物（代表的には、水、水素など）を徹底的に排除した積層膜を形成することが可能となる。また、上記積層膜の各界面は、大気に曝されないため、不純物濃度が低減される。

[0523]

また、例えば、処理室で、加熱処理を行う場合、処理室は、基板を格納することができる複数の加熱ステージを備えてもよい。なお、加熱ステージは、多段の構成としてもよい。加熱ステージの段数を増やすことで複数の基板を同時に加熱処理できるため、生産性を向上させることができる。

[0524]

処理室に用いることのできる加熱機構としては、例えば、抵抗発熱体などを用いて加熱する加熱機構としてもよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA (Gas Rapid Thermal Anneal)、LRTA (Lamp Rapid Thermal Anneal) などのRTA (Rapid Thermal Anneal) を用いることができる。LRTAは、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する。GRTAは、高温のガスをを用いて熱処理を行う。ガスとしては、不活性ガスが用いられる。

[0525]

ロードロック室4020aは、基板受け渡しステージや、基板を裏面から加熱する裏面ヒーター等を備えていても良い。ロードロック室4020aは、減圧状態から大気まで圧力を上昇させ、ロードロック室4020aの圧力が大気圧になった時に、大気側基板搬送室4012に設けられている搬送ロボット4018から基板受け渡しステージが基板を受け取る。その後、ロードロック室4020aを真空引きし、減圧状態としたのち、搬送室4029に設けられている搬送ロボット4026が基板受け渡しステージから基板を受け取る。

[0526]

また、ロードロック室4020aは、バルブを介して真空ポンプ、およびクライオポンプと接続されている。なお、アンロードロック室4020bは、ロードロック室4020aと同様の構成とすればよい。

[0527]

大気側基板搬送室4012は、搬送ロボット4018を有するため、搬送ロボット4018により、カセットポート4014とロードロック室4020aとの基板の受け渡しを行うことができる。また、大気側基板搬送室4012、および大気側基板供給室4010の上方にHEPAフィルター (High Efficiency Particulate Air Filter) 等のゴミまたはパーティクルの混入を抑制するための機構を設けてもよい。また、カセットポート4014は、複数の基板を格納することができる。

[0528]

上記の装置4000を用いて、絶縁膜、半導体膜、および導電膜を、大気開放を行わず連続成膜することで、半導体膜への不純物の入り込みを好適に抑制できる。

[0529]

上記より、本発明の一態様の装置を用いることで、半導体膜を有する積層構造を連続成膜により、作製することができる。従って、半導体膜中に取り込まれる水素、水などの不純物を抑制し、且つ欠陥準位密度の低い半導体膜を作製することができる。

[0530]

本実施の形態に示す構成、方法などは、他の実施の形態、実施例などに示す構成、方法などと適

宜組み合わせて用いることができる。

[0531]

(実施の形態4)

本実施の形態では、図38A、図38Bおよび図39A乃至図39Hを用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。OSメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有する記憶装置である。OSトランジスタのオフ電流は極めて小さいので、OSメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0532]

<記憶装置の構成例>

図38AにOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

[0533]

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

[0534]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

[0535]

コントロールロジック回路1460は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0536]

メモリセルアレイ1470は、行列状に配置された、複数のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

[0537]

なお、図38Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図38Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

[0538]

図39A乃至図39Hに上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

[0539]

[DOSRAM]

図39A乃至図39Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、1OSトランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ場合がある。図39Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0540]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0541]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

[0542]

ここで、図39Aに示すメモリセル1471は、図31に示す記憶装置に対応している。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量デバイス292に対応している。

[0543]

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図39Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図39Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

[0544]

上記実施の形態に示す半導体装置をメモリセル1471等を用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トラン

ジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

[0545]

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0546]

[NOSRAM]

図39D乃至図39Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図39Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM (Nonvolatile Oxide Semiconductor RAM) と呼ぶ場合がある。

[0547]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0548]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0549]

ここで、図39Dに示すメモリセル1474は、図29に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に、配線RBLは配線1002に、配線SLは配線1001に対応している。

[0550]

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することが

できる。例えば、メモリセルMCは、図39Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図39Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図39Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

[0551]

上記実施の形態に示す半導体装置をメモリセル1474等を用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

[0552]

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0553]

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0554]

また、図39Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図39Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

[0555]

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

[0556]

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたは

pチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい、この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0557]

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

[0558]

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

[0559]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置（メモリ）が用いられる。図40に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図40では、最上層から順に、CPUなどの演算処理装置にレジスタとして混載されるメモリ、SRAM（Static Random Access Memory）、DRAM（Dynamic Random Access Memory）、3D NANDメモリを示している。

[0560]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0561]

SRAMは、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻繁が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

[0562]

DRAMは、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、おおよそ0.1乃至0.3 Gbit/mm²である。

[0563]

3D NANDメモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、おおよそ0.6乃至6.0 Gbit/mm²である。

[0564]

本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様の記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域901に位置する記憶装置として好適に用いることができる。また、本発明の一態様の記憶装置

は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域 902 に位置する記憶装置として好適に用いることができる。

[0565]

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

[0566]

(実施の形態 5)

本実施の形態では、図 41A および図 41B を用いて、本発明の半導体装置が実装されたチップ 1200 の一例を示す。チップ 1200 には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

[0567]

図 41A に示すように、チップ 1200 は、CPU 1211、GPU 1212、一または複数のアナログ演算部 1213、一または複数のメモリコントローラ 1214、一または複数のインターフェース 1215、一または複数のネットワーク回路 1216 等を有する。

[0568]

チップ 1200 には、バンプ（図示しない）が設けられ、図 41B に示すように、プリント基板（Printed Circuit Board: PCB）1201 の第 1 の面と接続する。また、PCB 1201 の第 1 の面の裏面には、複数のバンプ 1202 が設けられており、マザーボード 1203 と接続する。

[0569]

マザーボード 1203 には、DRAM 1221、フラッシュメモリ 1222 等の記憶装置が設けられていてもよい。例えば、DRAM 1221 に先の実施の形態に示す DOSRAM を用いることができる。また、例えば、フラッシュメモリ 1222 に先の実施の形態に示す NOSRAM を用いることができる。

[0570]

CPU 1211 は、複数の CPU コアを有することが好ましい。また、GPU 1212 は、複数の GPU コアを有することが好ましい。また、CPU 1211、および GPU 1212 は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU 1211、および GPU 1212 に共通のメモリが、チップ 1200 に設けられていてもよい。該メモリには、前述した NOSRAM や、DOSRAM を用いることができる。また、GPU 1212 は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU 1212 に、本発明の酸化半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0571]

また、CPU 1211、および GPU 1212 が同一チップに設けられていることで、CPU 1211 および GPU 1212 間の配線を短くすることができ、CPU 1211 から GPU 1212 へのデータ転送、CPU 1211、および GPU 1212 が有するメモリ間のデータ転送、および GPU 1212 での演算後に、GPU 1212 から CPU 1211 への演算結果の転送を高速に行うことができる。

[0572]

アナログ演算部1213はA/D（アナログ/デジタル）変換回路、およびD/A（デジタル/アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0573]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0574]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0575]

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0576]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0577]

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0578]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0579]

本実施の形態に示す構成は、他の実施の形態、実施例などに示す構成と適宜組み合わせて用いることができる。

[0580]

（実施の形態6）

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

[0581]

＜電子部品＞

まず、記憶装置720が組み込まれた電子部品の例を、図42Aおよび図42Bを用いて説明を行う。

[0582]

図42Aに電子部品700および電子部品700が実装された基板（実装基板704）の斜視図を示す。図42Aに示す電子部品700は、モールド711内に記憶装置720を有している。図42Aは、電子部品700の内部を示すために、一部を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は記憶装置720とワイヤ714によって電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0583]

記憶装置720は、駆動回路層721と、記憶回路層722と、を有する。

[0584]

図42Bに電子部品730の斜視図を示す。電子部品730は、SiP（System in package）またはMCM（Multi Chip Module）の一例である。電子部品730は、パッケージ基板732（プリント基板）上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、および複数の記憶装置720が設けられている。

[0585]

電子部品730では、記憶装置720を広帯域メモリ（HBM: High Bandwidth Memory）として用いる例を示している。また、半導体装置735は、CPU、GPU、FPGAなどの集積回路（半導体装置）を用いることができる。

[0586]

パッケージ基板732は、セラミック基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0587]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV（Through Silicon Via）を用いることも出来る。

[0588]

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂イ

ンターポーザでは難しい微細配線の形成が容易である。

[0589]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0590]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0591]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置720と半導体装置735の高さを揃えることが好ましい。

[0592]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図42Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0593]

電子部品730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、またはQFN（Quad Flat Non-leaded package）などの実装方法を用いることができる。

[0594]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0595]

（実施の形態7）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置

は、メモ리카ード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図43A乃至図43Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0596]

図43AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0597]

図43BはSDカードの外観の模式図であり、図43Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0598]

図43DはSSDの外観の模式図であり、図43Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0599]

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[0600]

（実施の形態8）

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図44A乃至図44Hに、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0601]

<電子機器・システム>

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの

大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るGPUまたはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0602]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0603]

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

[0604]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図44A乃至図44Hに、電子機器の例を示す。

[0605]

[情報端末]

図44Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

[0606]

情報端末5100は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0607]

図44Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

[0608]

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

[0609]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞ

れ図44A、図44Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0610]

[ゲーム機]

図44Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0611]

また、図44Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

[0612]

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0613]

更に、携帯ゲーム機5300に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機5300を実現することができる。

[0614]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0615]

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0616]

図44C、図44Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセ

ンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0617]

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

[0618]

図44Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図44Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

[0619]

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

[0620]

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0621]

図44E、図44Fでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0622]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0623]

図44Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図44Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0624]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0625]

表示パネル5704には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0626]

本発明の一態様のGPUまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0627]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0628]

[電化製品]

図44Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0629]

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0630]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0631]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0632]

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[実施例]

[0633]

本実施例では、本発明の一態様である導電体を成膜し、二次イオン質量分析（Secondary

y Ion Mass Spectrometry : SIMS) を行った。

[0634]

<各試料の構成と作製方法>

以下では、本発明の一態様に係る試料について説明する。試料は、基板としてシリコンウエハを用いた。次に、熱酸化法によって、基板上に絶縁体922として、熱酸化膜を100nmの膜厚で形成した。次に、絶縁体922上に導電体924を形成した。

[0635]

ここで、試料Aは、導電体924として、CVD法によって、窒化チタンを基板温度400℃に設定して形成した。窒化チタンの膜厚は50nmとした。また、試料Bは、スパッタリング法によって、窒化タンタルを室温にて形成した。窒化タンタルの膜厚は50nmとした。以上の工程により、本実施例の試料を作製した。

[0636]

<試料Aおよび試料BのSIMSの測定結果>

試料Aおよび試料Bの導電体924を定量層として、SIMS分析を行い、水素濃度を検出した。試料AのSIMS分析結果を図45に示す。また試料BのSIMS分析結果を図46に示す。図45、および図46ともに縦軸は、水素濃度(atoms/cm³)を示し、横軸は、試料の表面からの深さ(nm)を示す。

[0637]

図45に示すように、CVD法を用いて成膜した窒化チタンである導電体924の水素濃度は、試料の表面近傍、および導電体924と絶縁体922との界面とその近傍付近を除き、概略 4×10^{20} (atoms/cm³) から 7×10^{20} (atoms/cm³) であった。

[0638]

また、図46に示すように、スパッタリング法を用いて成膜した窒化タンタルである導電体924の水素濃度は、試料の表面近傍、および導電体924と絶縁体922との界面とその近傍付近を除き、概略 5×10^{19} (atoms/cm³) から 7×10^{19} (atoms/cm³) であった。

[0639]

以上の結果、スパッタリング法を用いて成膜した導電体の水素濃度は、CVD法を用いて成膜した導電体の水素濃度より低いことが解った。

[0640]

以上、本実施例に示す構成は、他の実施の形態と適宜組み合わせ用いることができる。

[符号の説明]

[0641]

100 : 容量素子、110 : 導電体、112 : 導電体、115 : 導電体、120 : 導電体、125 : 導電体、130 : 絶縁体、140 : 導電体、142 : 絶縁体、145 : 絶縁体、150 : 絶縁体、152 : 絶縁体、153 : 導電体、154 : 絶縁体、156 : 絶縁体、200 : トランジスタ、200_n : トランジスタ、200_1 : トランジスタ、200a : トランジスタ、200b : トランジスタ、200T : トランジスタ、205 : 導電体、205a : 導電体、205a1 : 金属膜、205A : 金属膜、205b : 導電体、205b1 : 金属膜、205c : 導電体、205c1 : 金属膜、210 : 絶縁体、212 : 絶縁体、214 : 絶縁体、216 : 絶縁体、217 : 絶縁体、218 : 導電体、222 : 絶縁体、224 : 絶縁体、230 : 酸化物、230a : 酸化物、230

A : 酸化膜、230b : 酸化物、230B : 酸化膜、230c : 酸化物、230C : 酸化膜、230d : 酸化物、230D : 酸化膜、240 : 導電体、240a : 導電体、240b : 導電体、241 : 絶縁体、241a : 絶縁体、241b : 絶縁体、242 : 導電体、242a : 導電体、242A : 導電膜、242b : 導電体、242B : 導電層、242c : 導電体、243 : 酸化物、243a : 酸化物、243A : 酸化膜、243b : 酸化物、243B : 酸化物層、246 : 導電体、246a : 導電体、246b : 導電体、248 : 導電層、248A : 導電膜、250 : 絶縁体、250A : 絶縁膜、260 : 導電体、260a : 導電体、260A : 導電膜、260b : 導電体、260B : 導電膜、265 : 封止部、265a : 封止部、265b : 封止部、271 : 絶縁体、271a : 絶縁体、271A : 絶縁膜、271b : 絶縁体、271B : 絶縁層、271c : 絶縁体、272 : 絶縁体、274 : 絶縁体、280 : 絶縁体、282 : 絶縁体、283 : 絶縁体、286 : 絶縁体、290 : メモリデバイス、292 : 容量デバイス、292a : 容量デバイス、292b : 容量デバイス、294 : 導電体、294a : 導電体、294b : 導電体、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、411 : 素子層、413 : トランジスタ層、415 : メモリデバイス層、415__1 : メモリデバイス層、415__3 : メモリデバイス層、415__4 : メモリデバイス層、420 : メモリデバイス、424 : 導電体、440 : 導電体、470 : メモリユニット、600 : 半導体装置、601 : 半導体装置、610 : セルアレイ、610__n : セルアレイ、610__1 : セルアレイ、700 : 電子部品、702 : プリント基板、704 : 実装基板、711 : モールド、712 : ランド、713 : 電極パッド、714 : ワイヤ、720 : 記憶装置、721 : 駆動回路層、722 : 記憶回路層、730 : 電子部品、731 : インターポーザ、732 : パッケージ基板、733 : 電極、735 : 半導体装置、901 : 境界領域、902 : 境界領域、922 : 絶縁体、924 : 導電体、1001 : 配線、1002 : 配線、1003 : 配線、1004 : 配線、1005 : 配線、1006 : 配線、4000 : 装置、4010 : 大気側基板供給室、4012 : 大気側基板搬送室、4014 : カセットポート、4016 : アライメントポート、4018 : 搬送ロボット、4020a : ロードロック室、4020b : アンロードロック室、4024a : 処理室、4024b : 処理室、4026 : 搬送ロボット、4028 : ゲートバルブ、4029 : 搬送室、4030a : 移送室、4030b : 移送室、4034a : 処理室、4034b : 処理室、4034c : 処理室、4034d : 処理室、4034e : 処理室、4036 : 搬送ロボット、4038 : ゲートバルブ、4039 : 搬送室、4100 : 成膜装置、4101 : 成膜装置、4102 : 成膜チャンバー、4106 : マグネットユニット、4108 : バックグングプレート、4110 : ターゲット、4112 : 基板ホルダー、4114 : コイルユニット、4115 : DC電源、4116 : RF電源、4117 : RF電源、4118 : RF電源、4200 : 基板

請求の範囲

[請求項 1]

第 1 の絶縁体と、
前記第 1 の絶縁体上の第 2 の絶縁体と、
前記第 2 の絶縁体上の第 3 の絶縁体、および第 1 の導電体と、
前記第 3 の絶縁体上、および前記第 1 の導電体上の第 4 の絶縁体と、
前記第 4 の絶縁体上の第 5 の絶縁体と、
前記第 5 の絶縁体上の第 1 の酸化物と、
前記第 1 の酸化物上の第 2 の酸化物と、
前記第 2 の酸化物上の第 3 の酸化物、および第 4 の酸化物と、
前記第 3 の酸化物上の第 2 の導電体と、
前記第 4 の酸化物上の第 3 の導電体と、
前記第 2 の導電体上の第 6 の絶縁体と、
前記第 3 の導電体上の第 7 の絶縁体と、
前記第 5 の絶縁体乃至前記第 7 の絶縁体上の第 8 の絶縁体と、
前記第 2 の酸化物上にあり、且つ前記第 2 の導電体と前記第 3 の導電体の間に配置される第 5 の酸化物と、
前記第 5 の酸化物上の第 9 の絶縁体と、
前記第 9 の絶縁体上の第 4 の導電体と、を有し、
前記第 1 の導電体は、前記第 2 の酸化物と重なる領域を有し、
前記第 4 の導電体は、前記第 2 の酸化物と重なる領域を有し、
前記第 5 の酸化物は、前記第 1 の酸化物乃至前記第 4 の酸化物、前記第 2 の導電体、前記第 3 の導電体、および前記第 5 の絶縁体乃至前記第 8 の絶縁体と、それぞれ、接する領域を有し、
前記第 1 の導電体の水素濃度は、前記第 4 の導電体の水素濃度よりも低く、
前記第 1 の絶縁体の水素濃度は、前記第 9 の絶縁体の水素濃度よりも低く、
前記第 2 の絶縁体の水素濃度は、前記第 9 の絶縁体の水素濃度よりも低く、
前記第 3 の絶縁体の水素濃度は、前記第 9 の絶縁体の水素濃度よりも低い、半導体装置。

[請求項 2]

請求項 1 において、
前記第 1 の酸化物乃至前記第 5 の酸化物は、それぞれ、インジウムと、元素 M (M はアルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、バリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一、または複数) と、亜鉛と、を有する、半導体装置。

[請求項 3]

請求項 1 において、
前記第 1 の導電体は、タンタルおよび窒素を有する、半導体装置。

[請求項 4]

第 1 の絶縁体乃至第 3 の絶縁体を順に成膜し、
前記第 3 の絶縁体に、前記第 2 の絶縁体に達する第 1 の開口を形成し、

前記第1の開口の中、および前記第3の絶縁体上に第1の導電膜を成膜し、
CMP法を用いて、前記第1の導電膜を前記第3の絶縁体に達するまで研磨することで、前記第1の開口の中に第1の導電体を形成し、
前記第3の絶縁体上、および前記第1の導電体上に第4の絶縁体、第1の酸化膜、第2の酸化膜、第3の酸化膜、第2の導電膜、第1の絶縁膜、第3の導電膜、の順に成膜し、
前記第1の酸化膜、前記第2の酸化膜、前記第3の酸化膜、前記第2の導電膜、前記第1の絶縁膜、および前記第3の導電膜、を島状に加工して、第1の酸化物、第2の酸化物、第1の酸化物層、第1の導電層、第1の絶縁層、第2の導電層を形成し、
前記第2の導電層を除去し、
前記第4の絶縁体、前記第1の酸化物、前記第2の酸化物、前記第1の酸化物層、前記第1の導電層、および前記第1の絶縁層の上に第5の絶縁体を成膜し、
前記第5の絶縁体上に第6の絶縁体を成膜し、
前記第1の酸化物層、前記第1の導電層、前記第1の絶縁層、前記第5の絶縁体、および前記第6の絶縁体に、前記第2の酸化物に達する第2の開口を形成し、
前記第2の開口の形成において、前記第1の酸化物層から、第3の酸化物、および第4の酸化物が形成され、前記第1の導電層から第2の導電体、および第3の導電体が形成され、前記第1の絶縁層から第7の絶縁体、および第8の絶縁体が形成され、
前記第2の開口の中に、第5の酸化物、前記第5の酸化物上に第9の絶縁体、前記第9の絶縁体上に第4の導電体を形成し、
前記第1の導電膜、および前記第2の導電膜は、スパッタリング法を用いて成膜する、半導体装置の作製方法。

[請求項5]

請求項4において、
前記第1の絶縁体乃至前記第3の絶縁体は、
複数の処理室を有する装置を用いて、減圧下において連続で成膜する、半導体装置の作製方法。

[請求項6]

請求項4において、
前記第1の酸化膜乃至前記第3の酸化膜は、
複数の処理室を有する装置を用いて、減圧下において連続で成膜する、半導体装置の作製方法。

[請求項7]

請求項4において、
前記第2の導電膜、前記第1の絶縁膜、および前記第3の導電膜は、
複数の処理室を有する装置を用いて、減圧下において連続で成膜する、半導体装置の作製方法。

[請求項8]

請求項4において、
前記第1の絶縁体乃至前記第3の絶縁体、前記第1の酸化膜乃至前記第3の酸化膜、前記第1の導電膜乃至前記第3の導電膜、前記第1の絶縁膜、および前記第5の酸化物は、
スパッタリング法を用いて成膜する、半導体装置の作製方法。

図1A

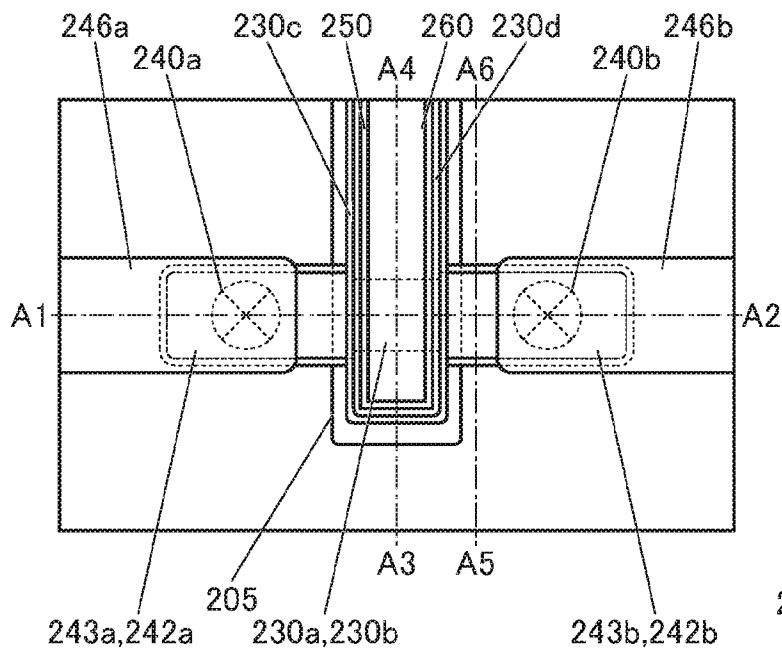


図1C

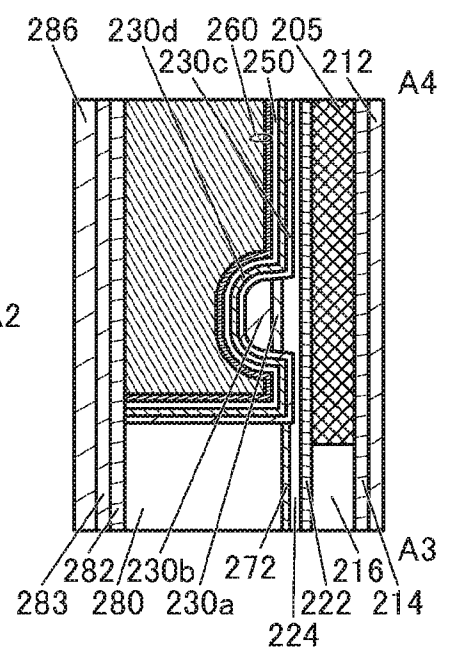


図1B

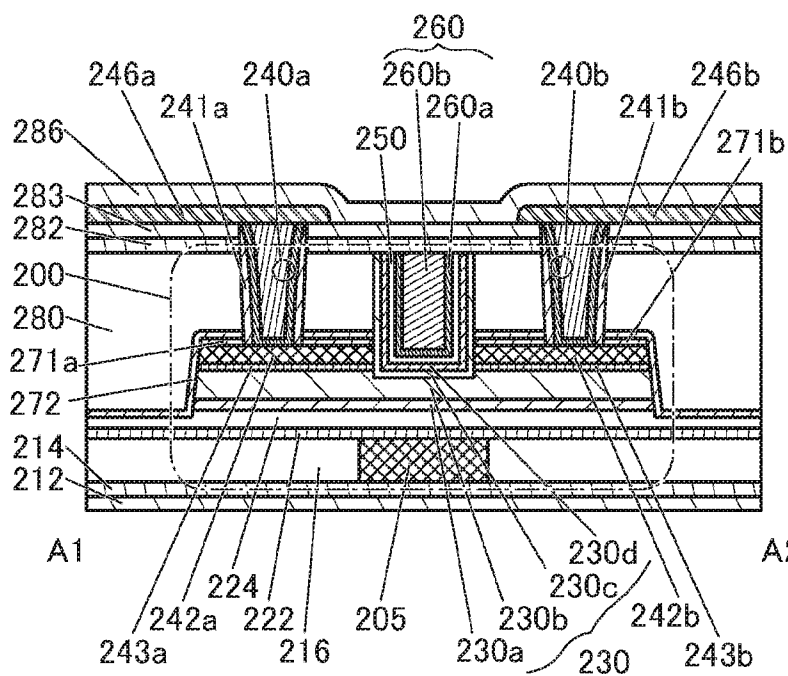


図1D

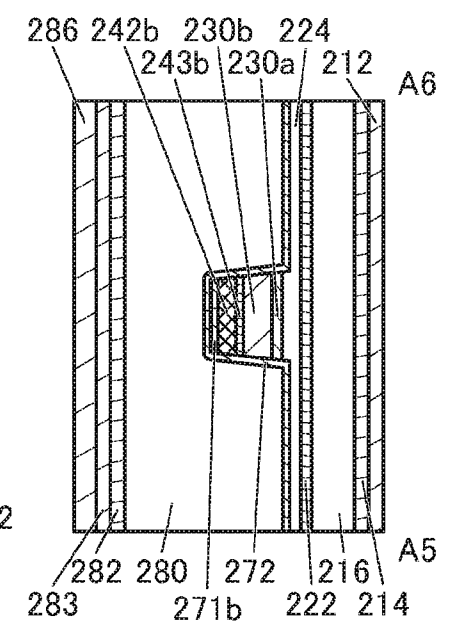


図2A

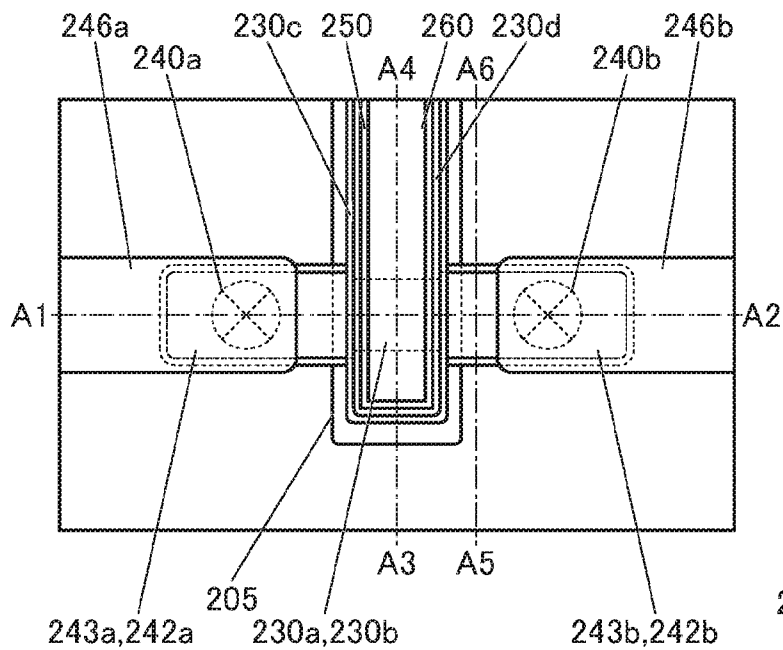


図2C

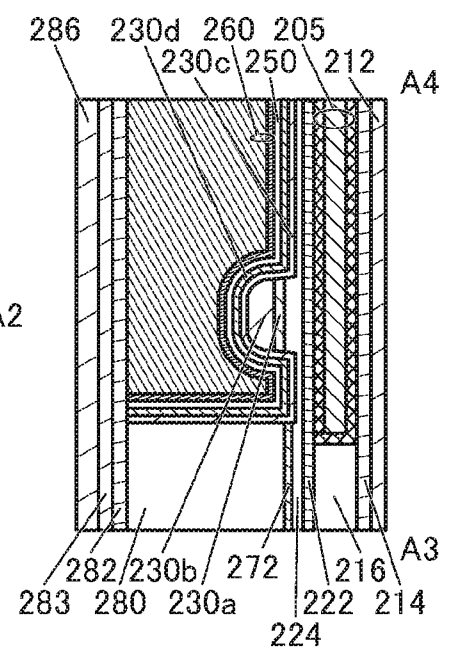


図2B

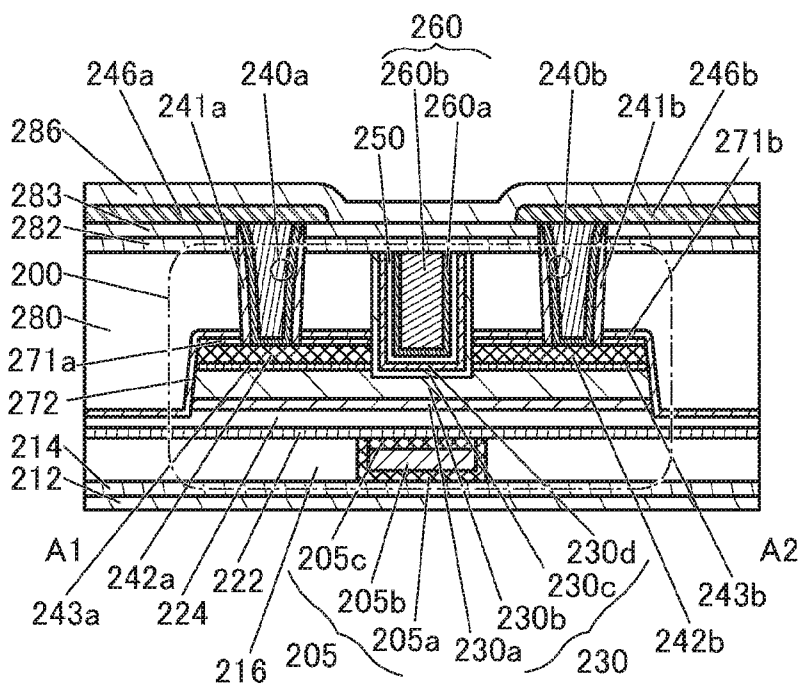


図2D

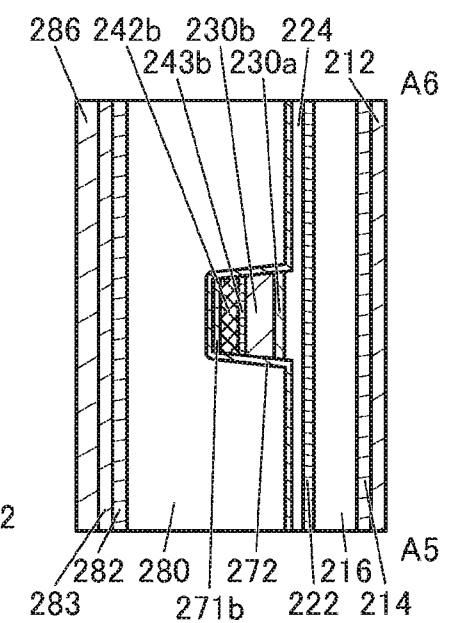


図3A

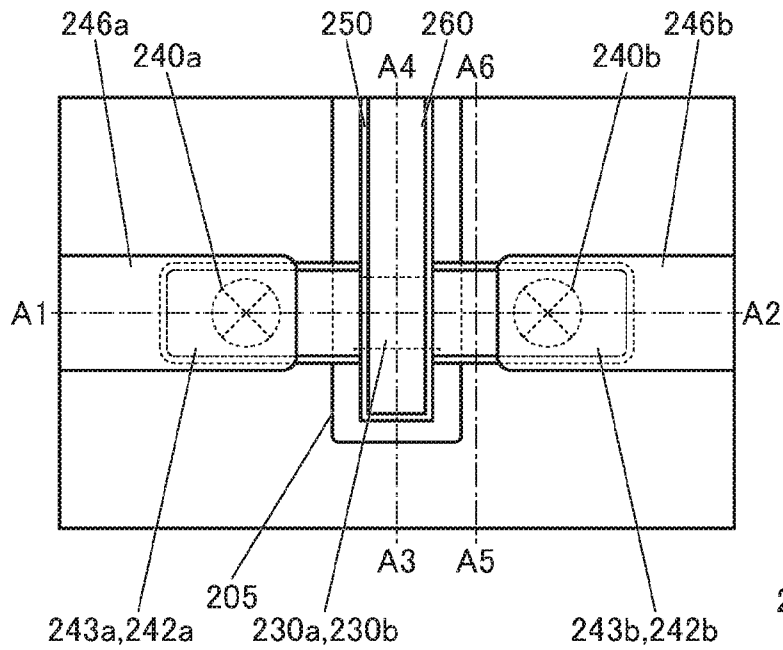


図3C

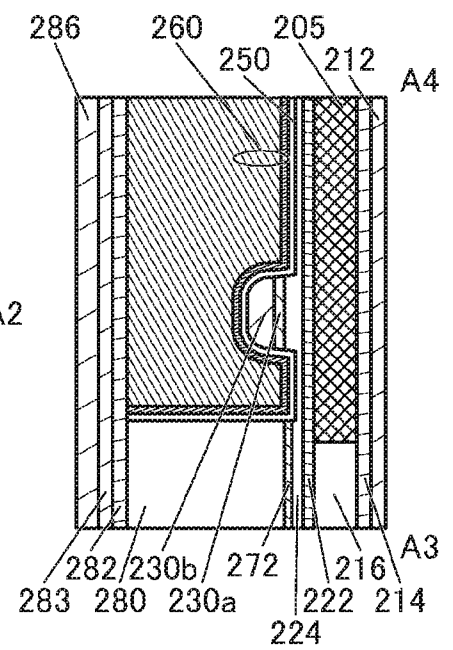


図3B

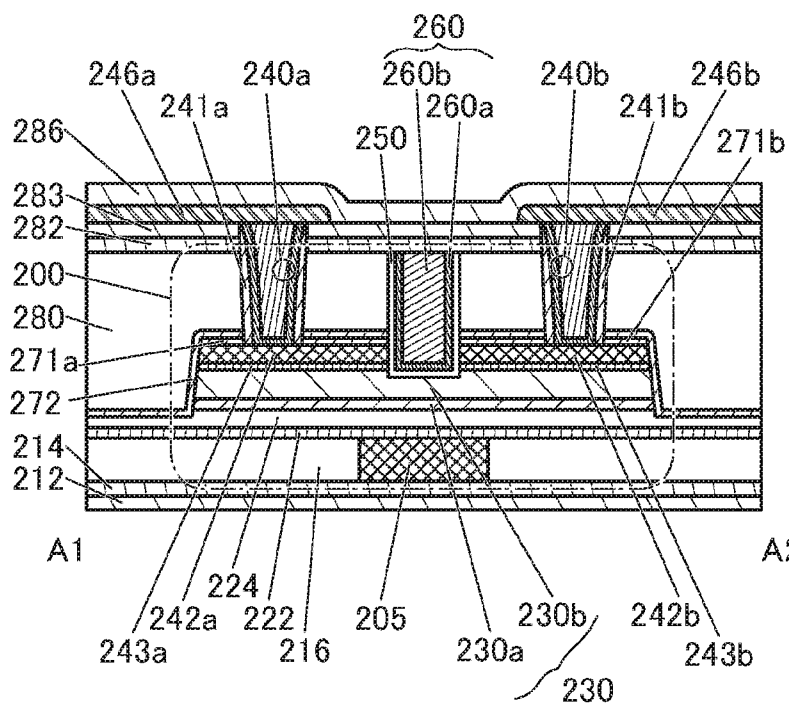
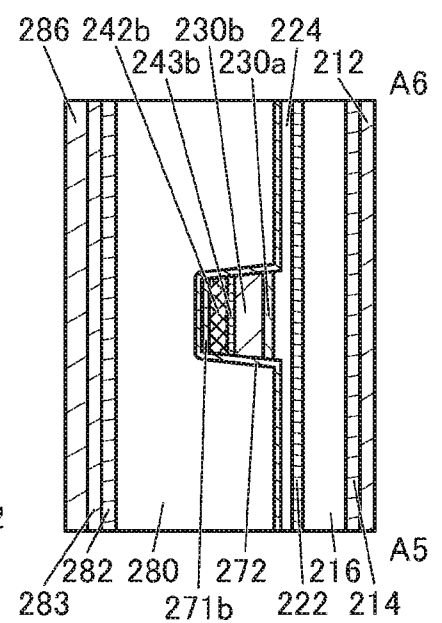


図3D



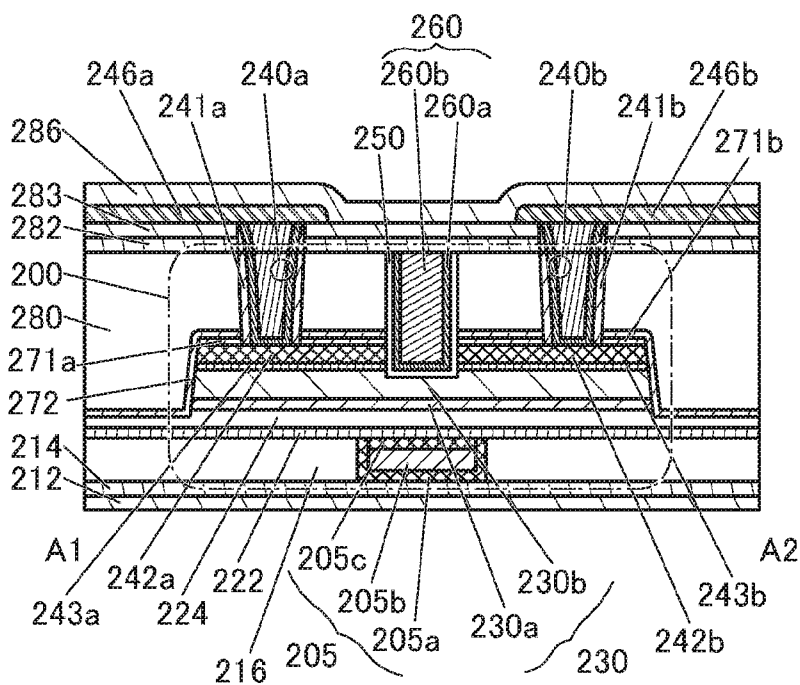
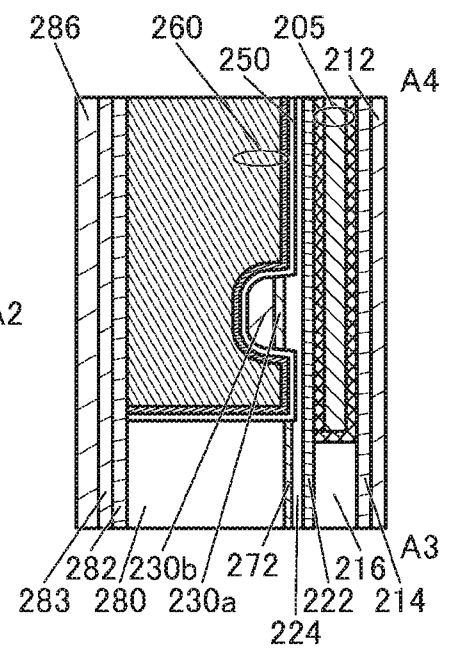
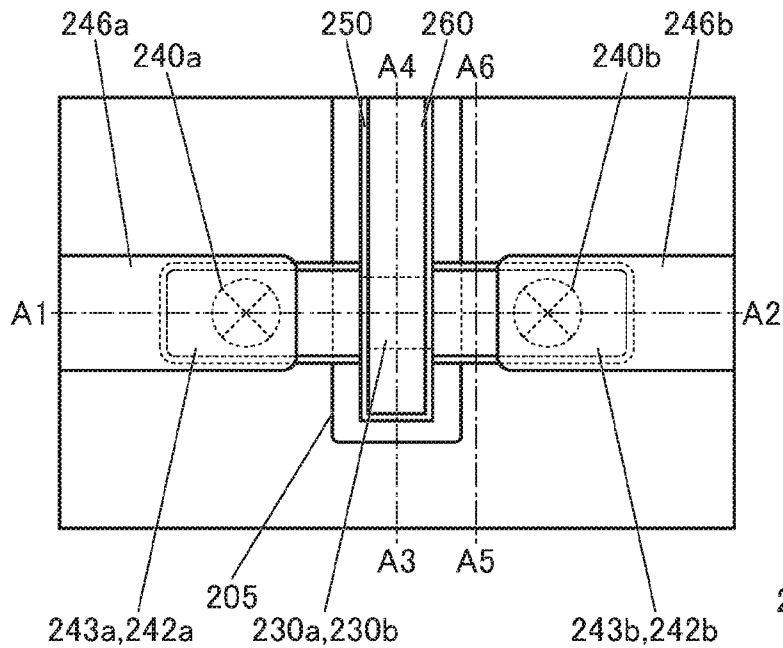


图 4D

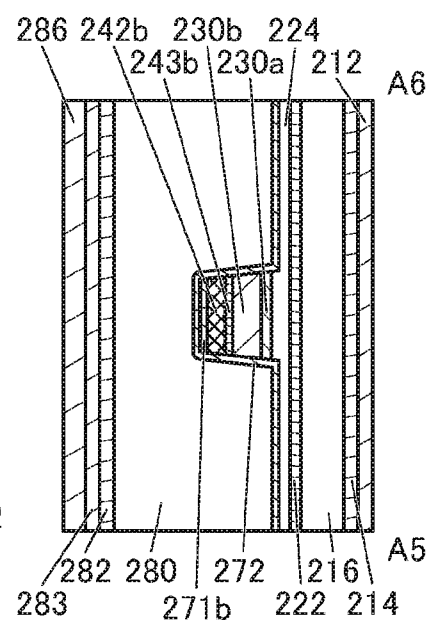


図5A

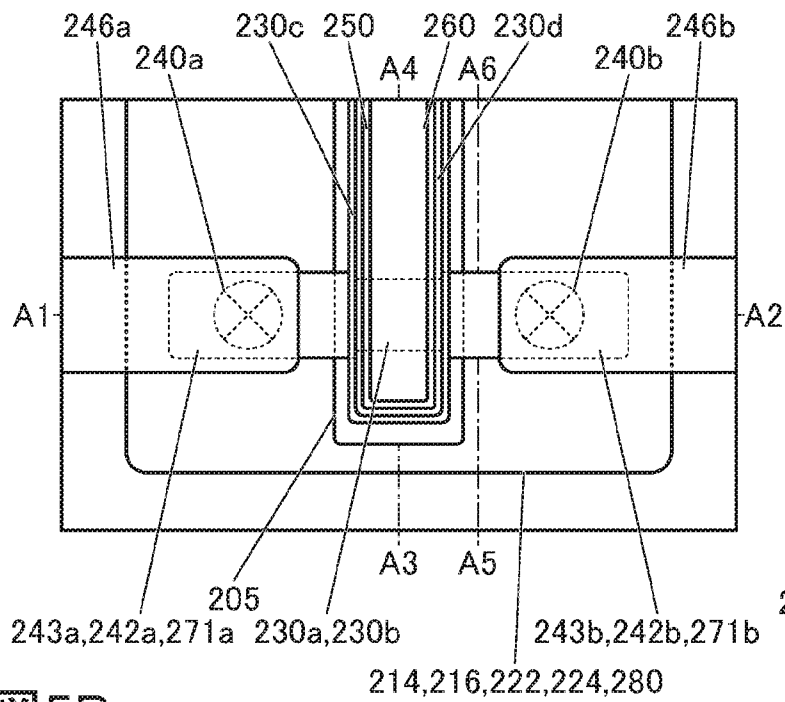


図5C

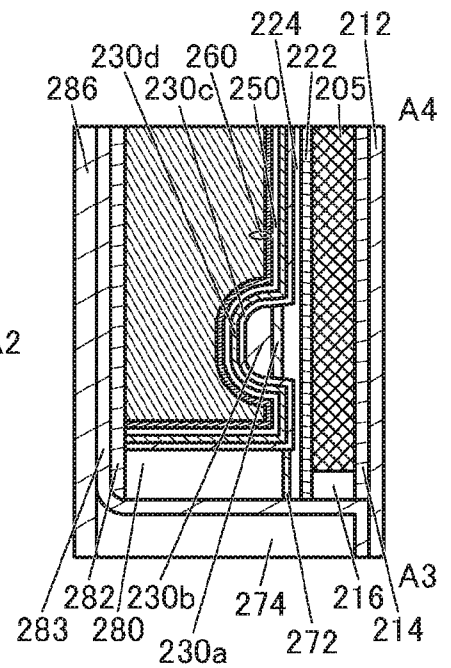


図5B

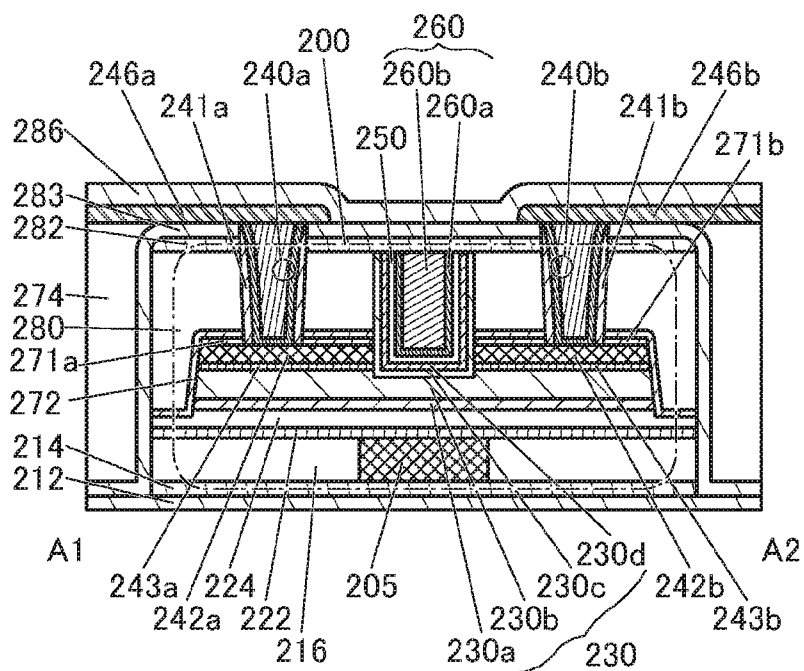


図5D

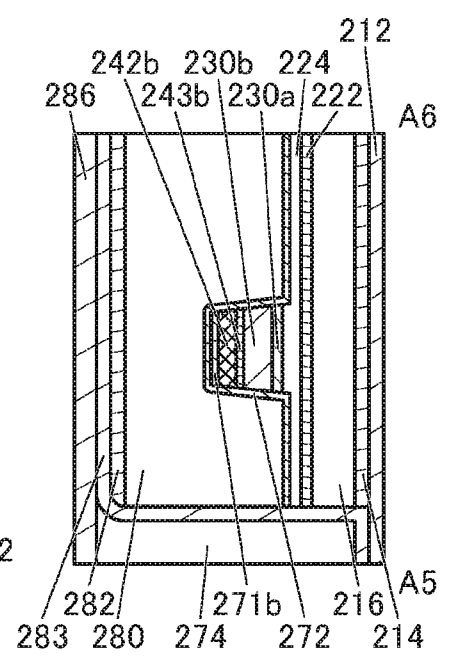


図6A

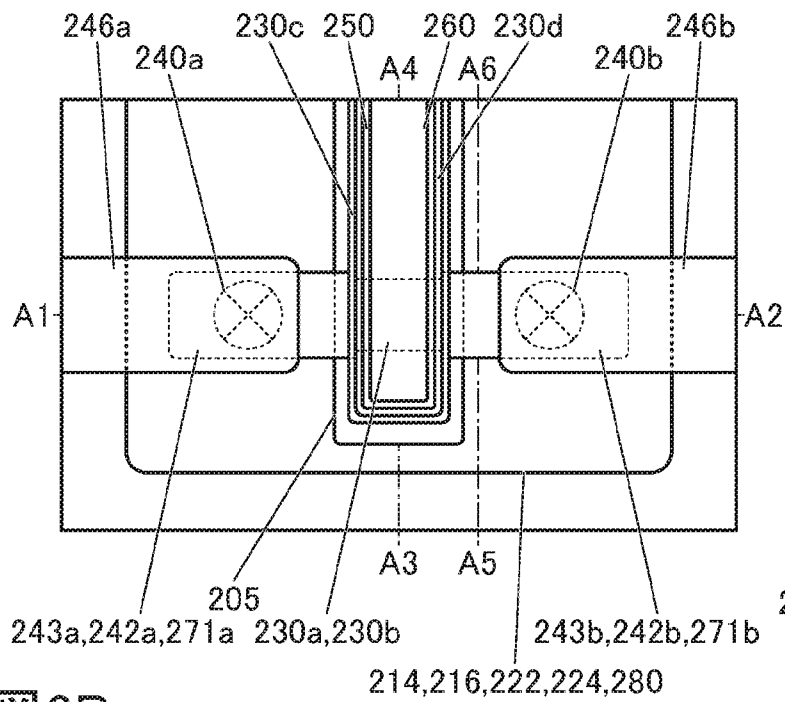


図6C

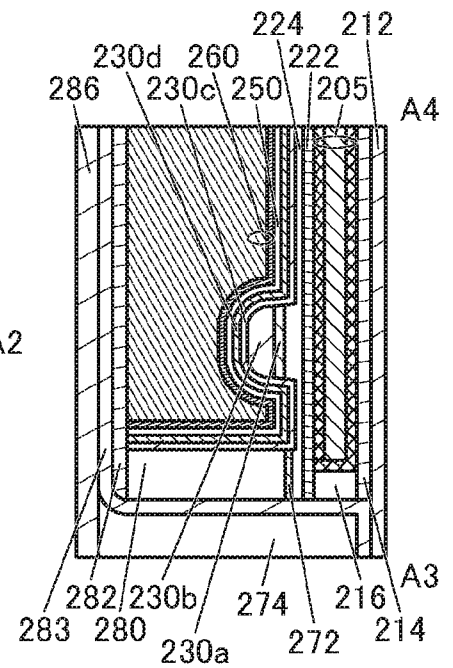


図6B

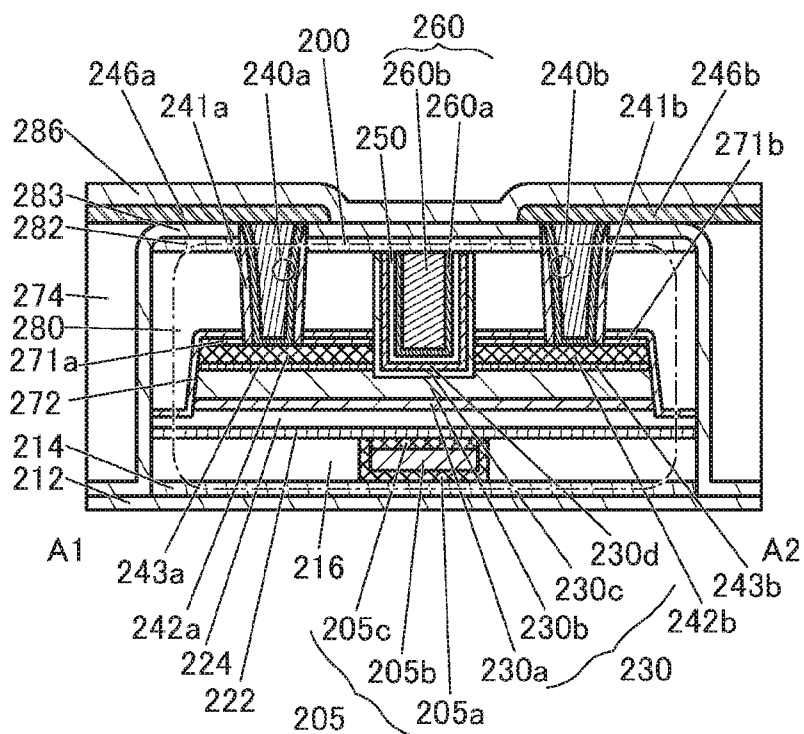


図6D

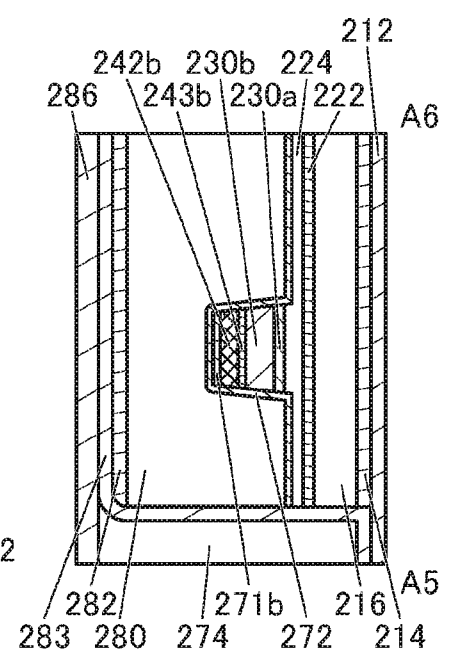


図7A

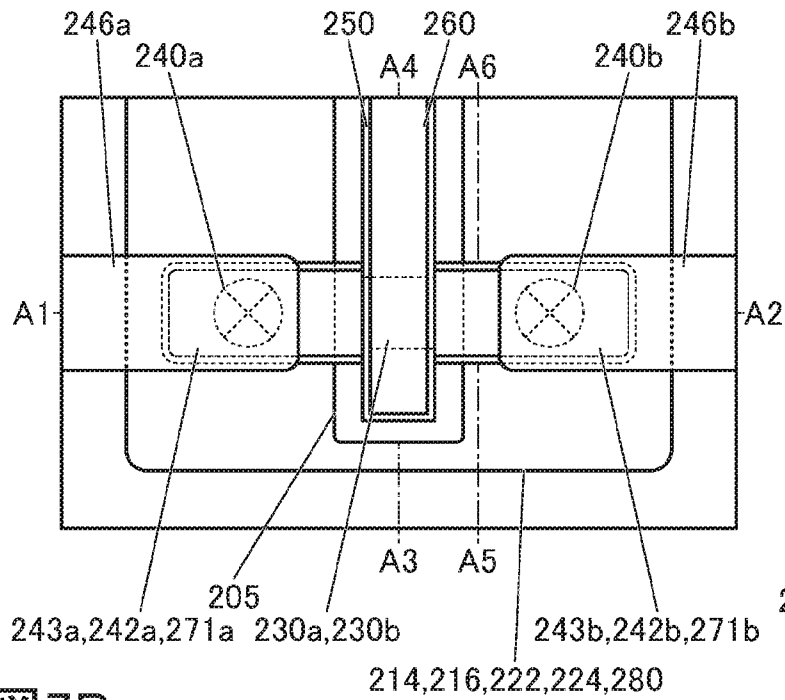


図7C

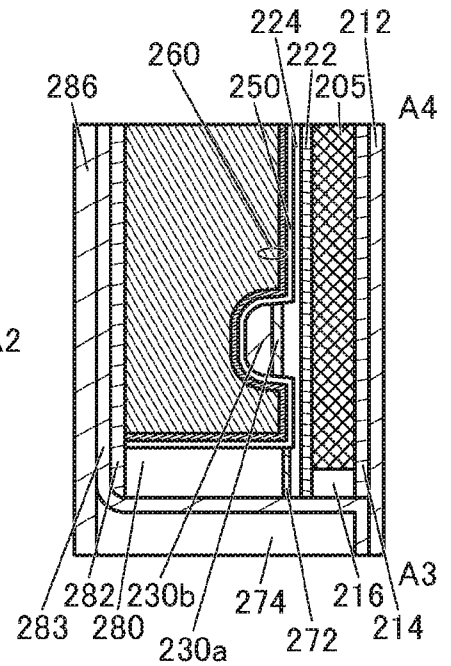


図7B

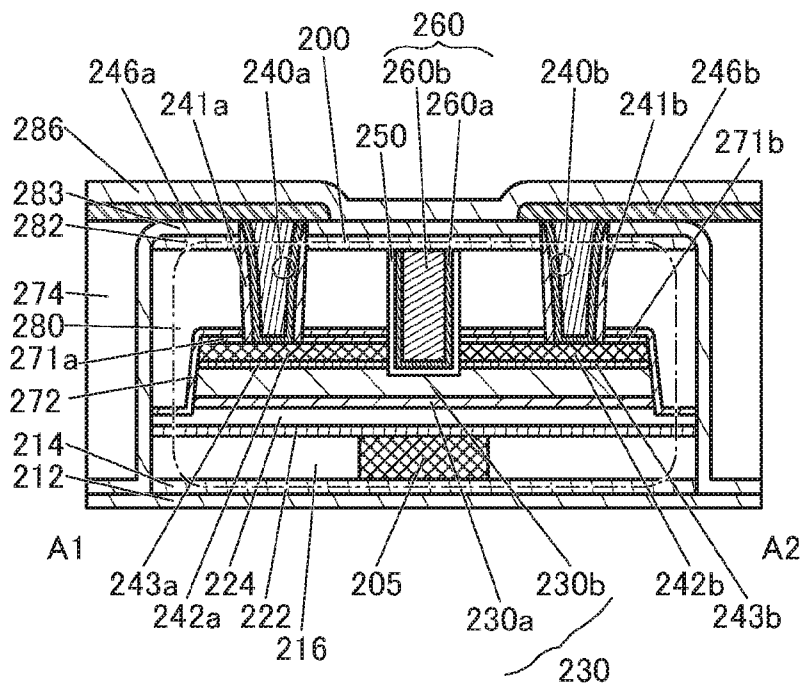


図7D

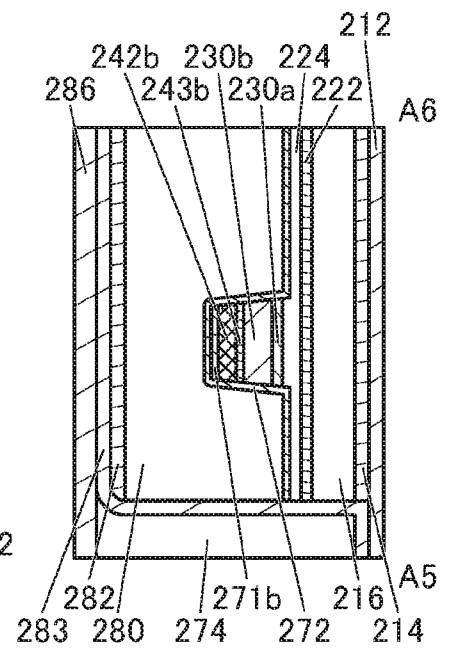


図8A

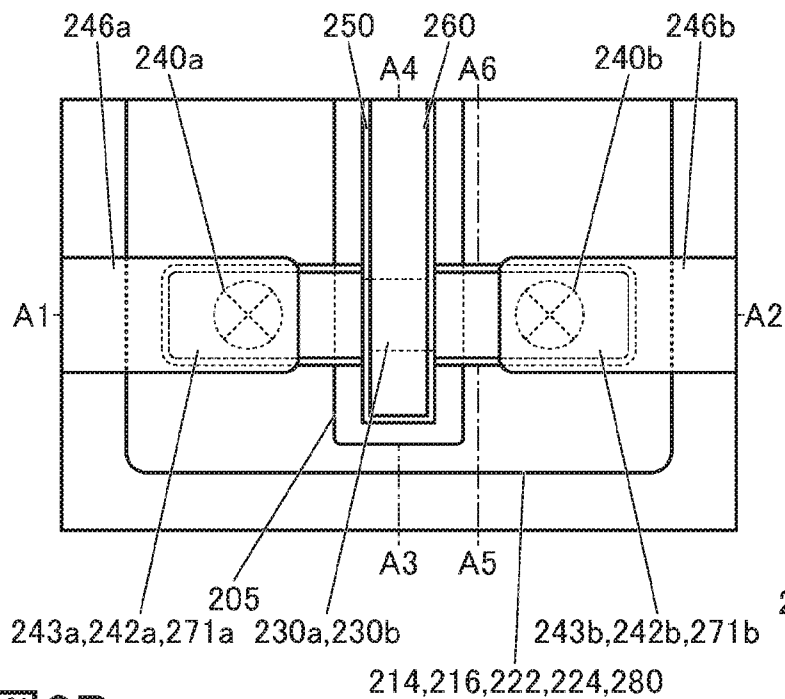


図8C

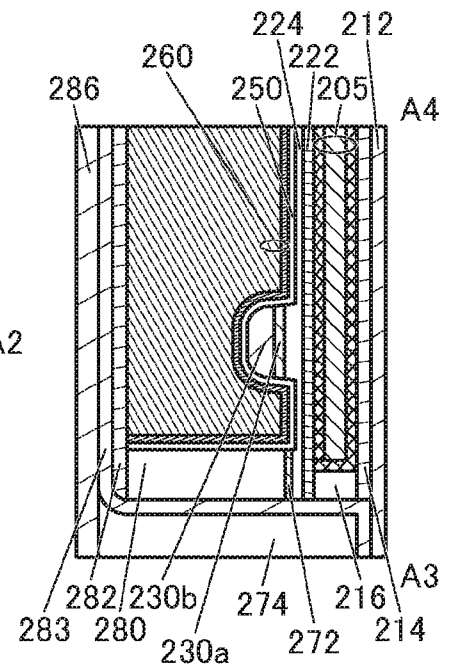


図8B

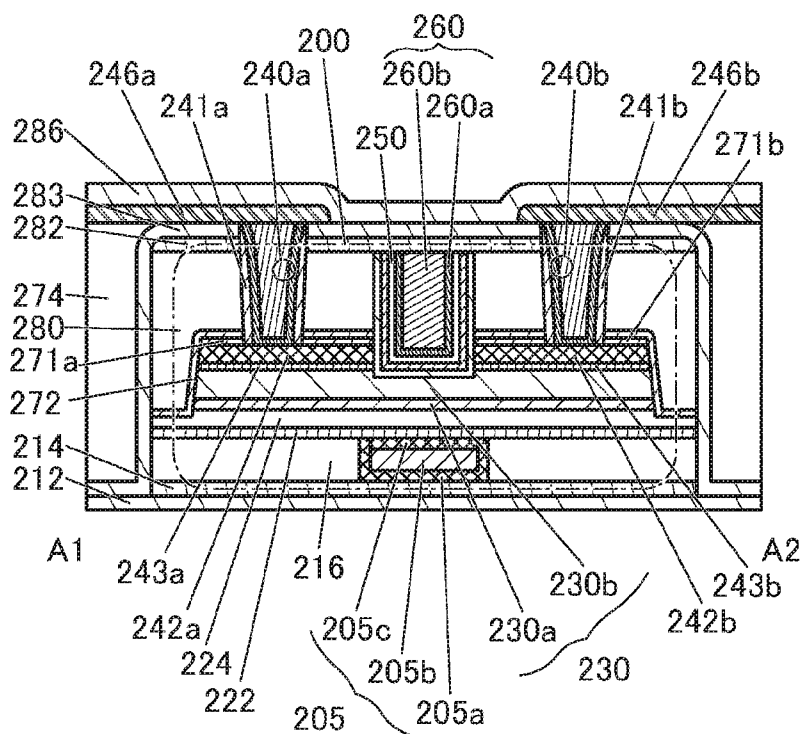
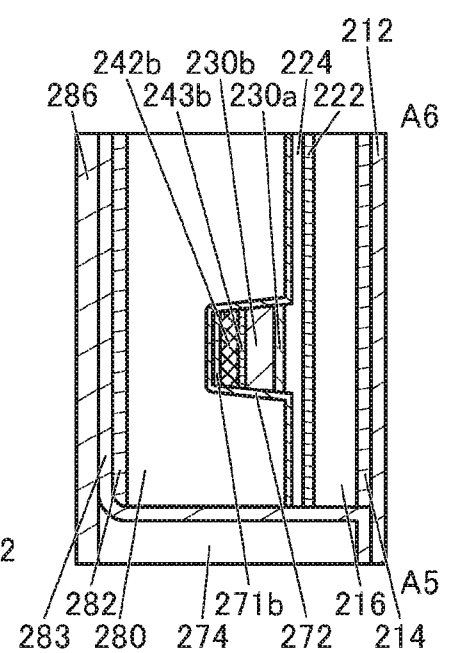


図8D



9/46

図9A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

図9B

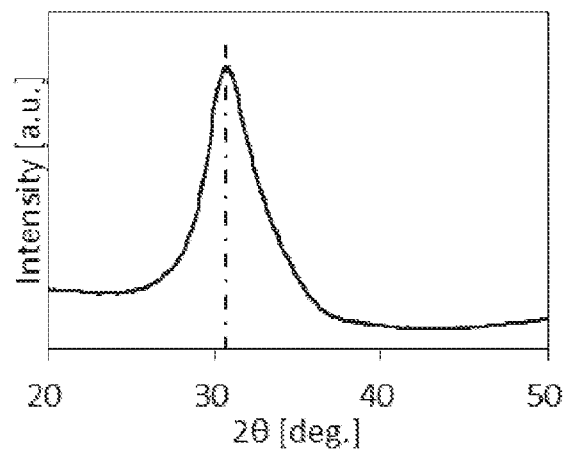


図9C

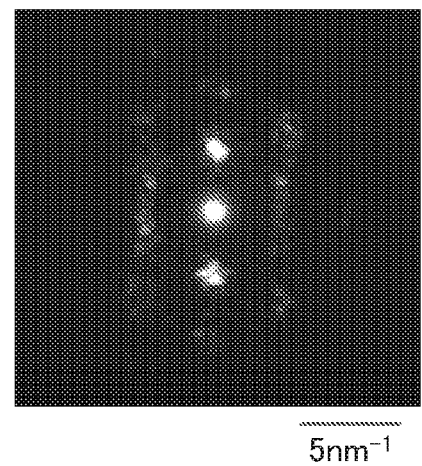


図10A

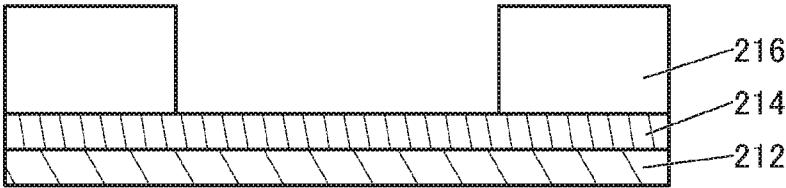


図10B

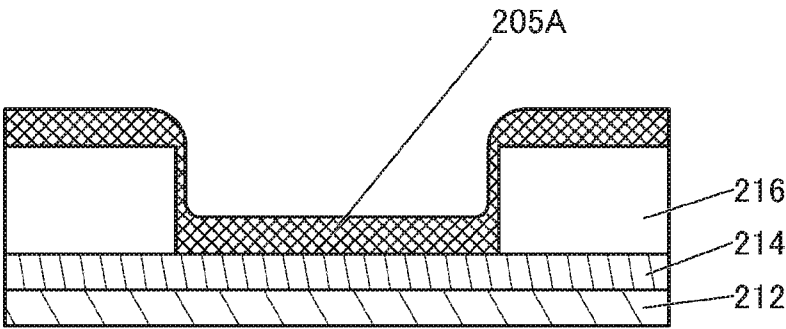


図10C

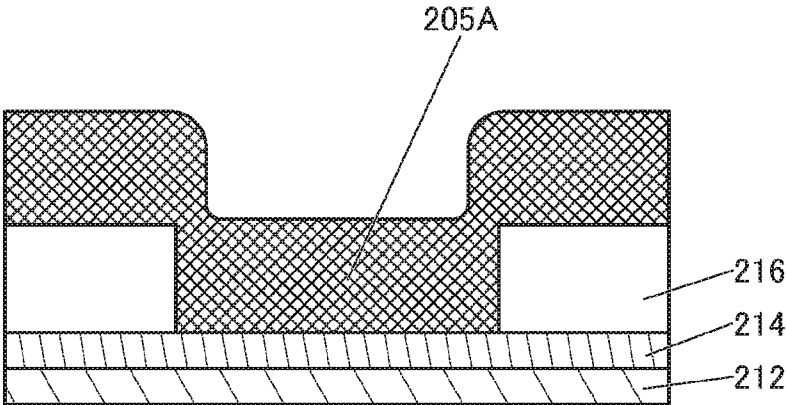
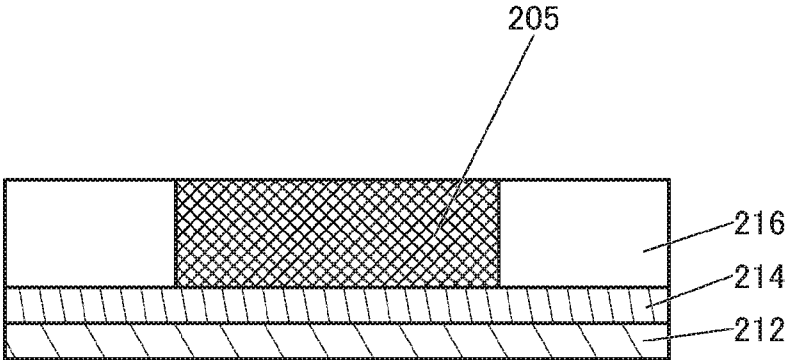


図10D



11/46

図11A

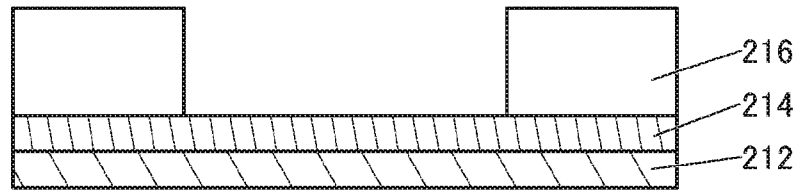


図11B

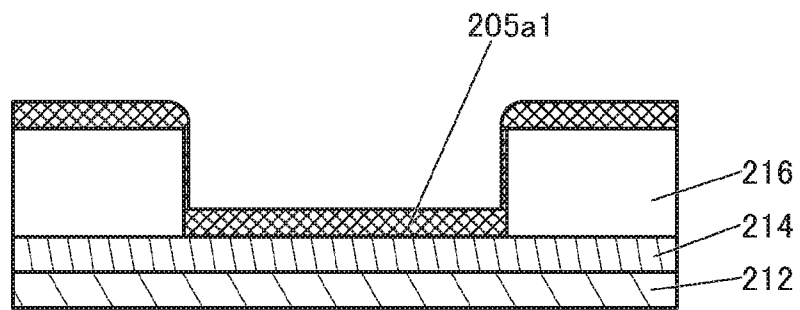


図11C

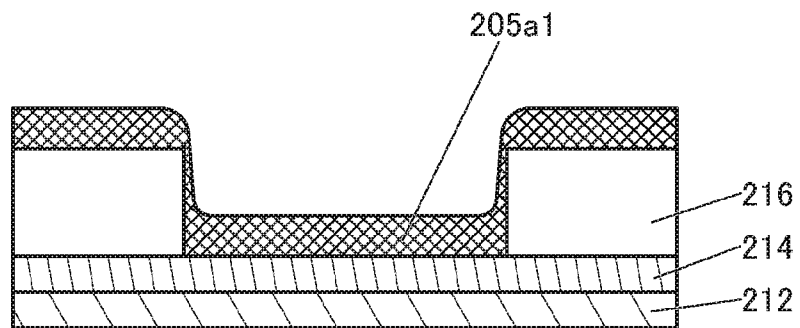


図11D

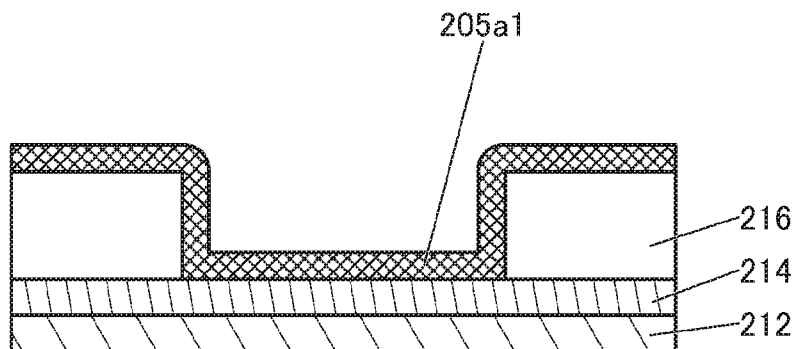


図12A

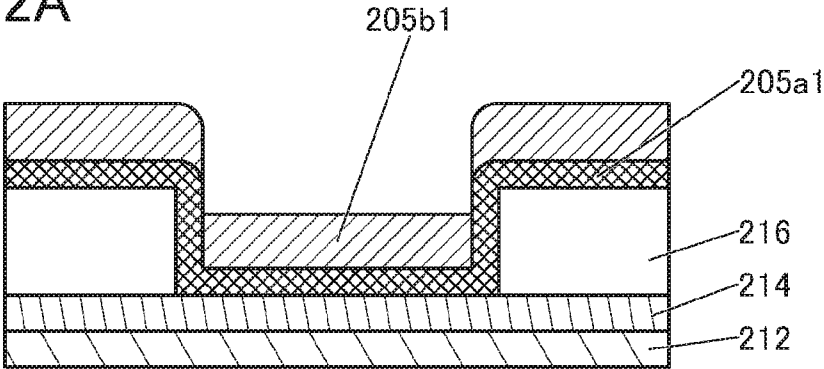


図12B

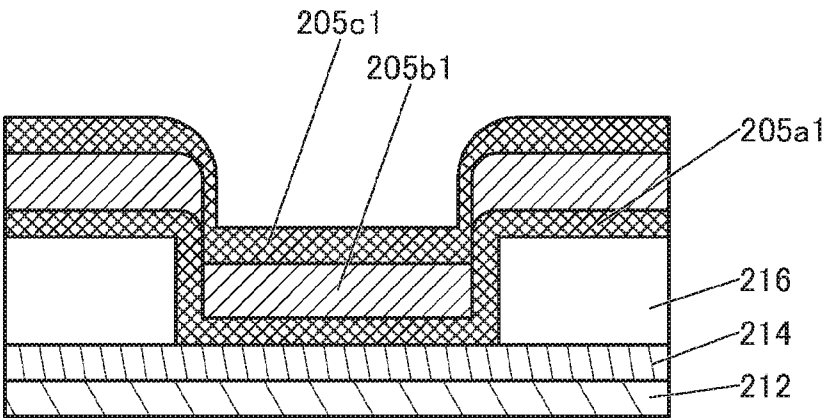


図12C

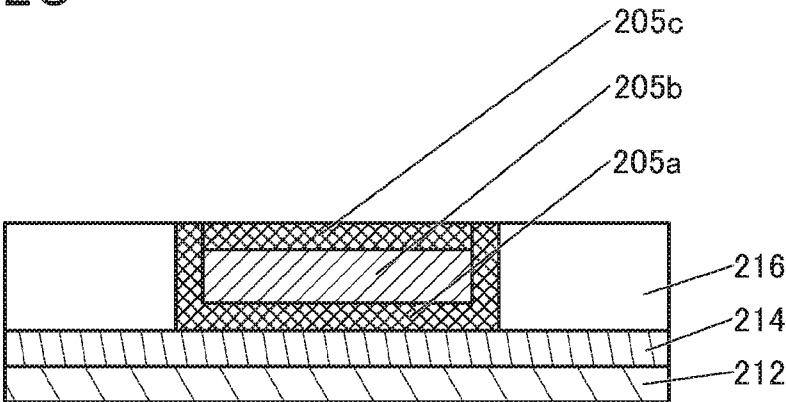


図13A

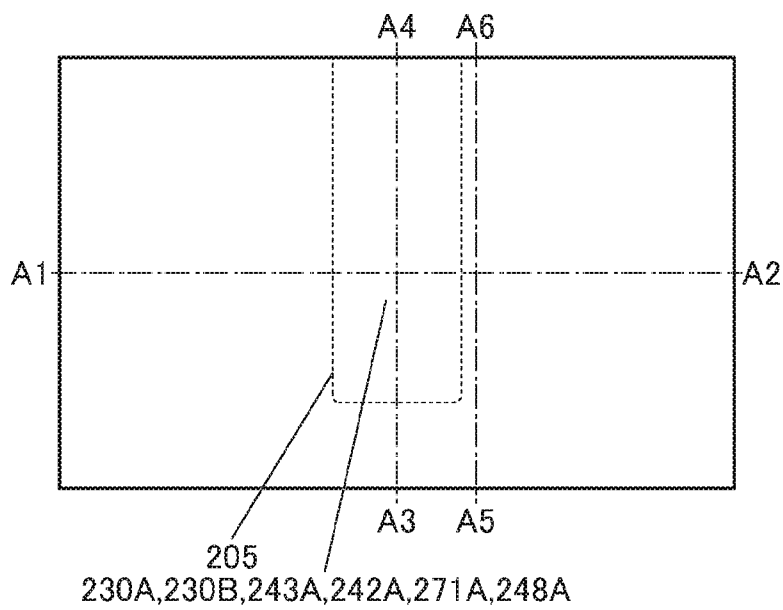


図13C

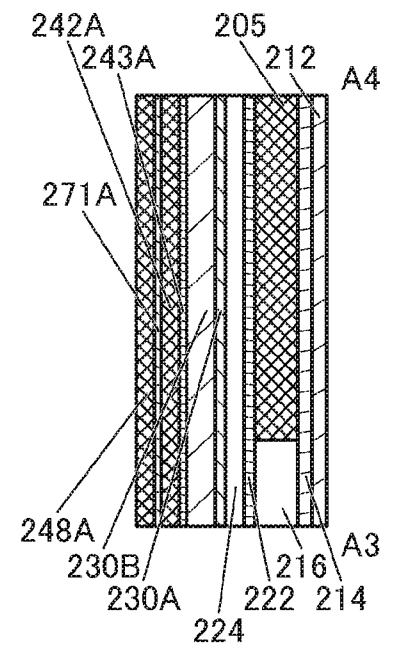


図13B

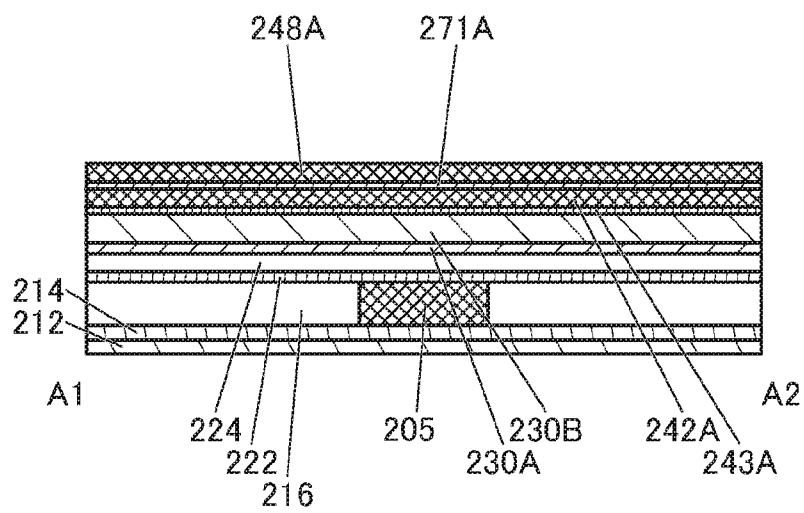


図13D

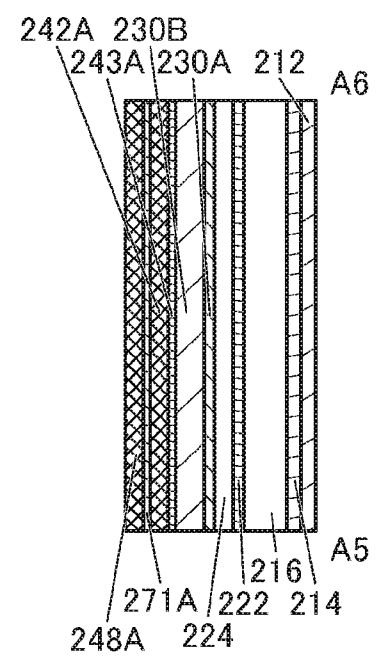


図14A

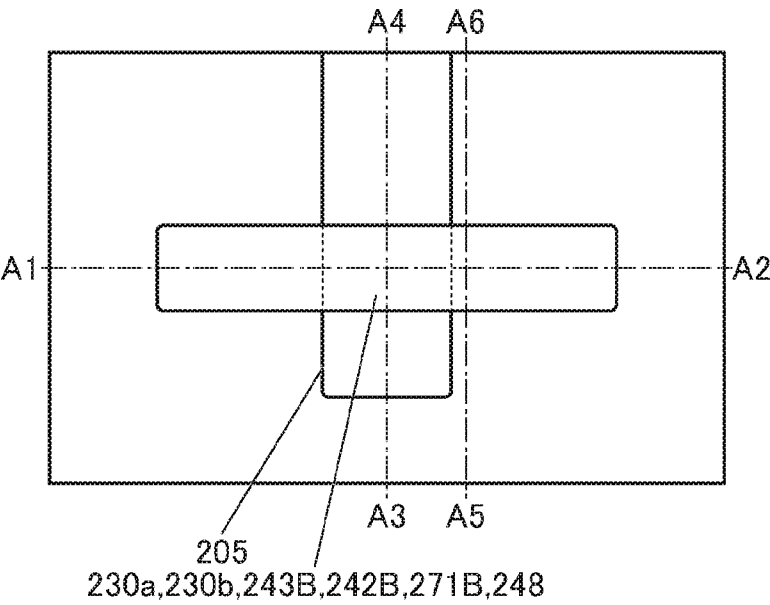


図14C

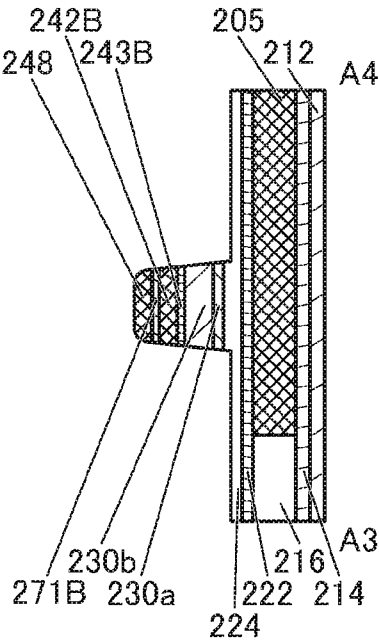


図14B

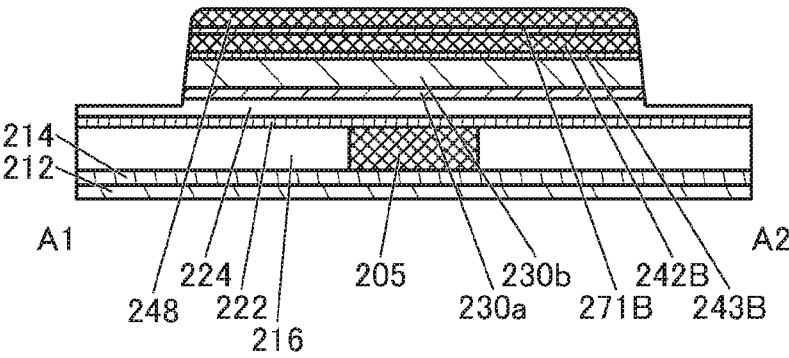


図14D

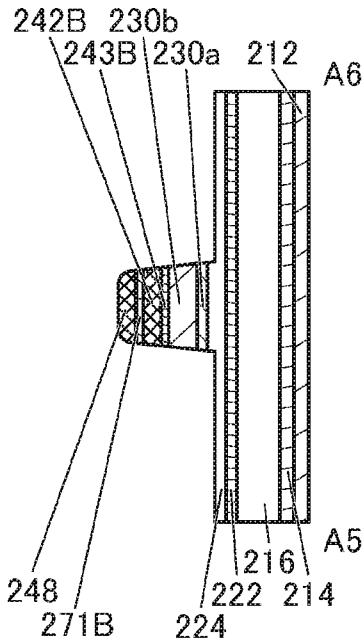


図15A

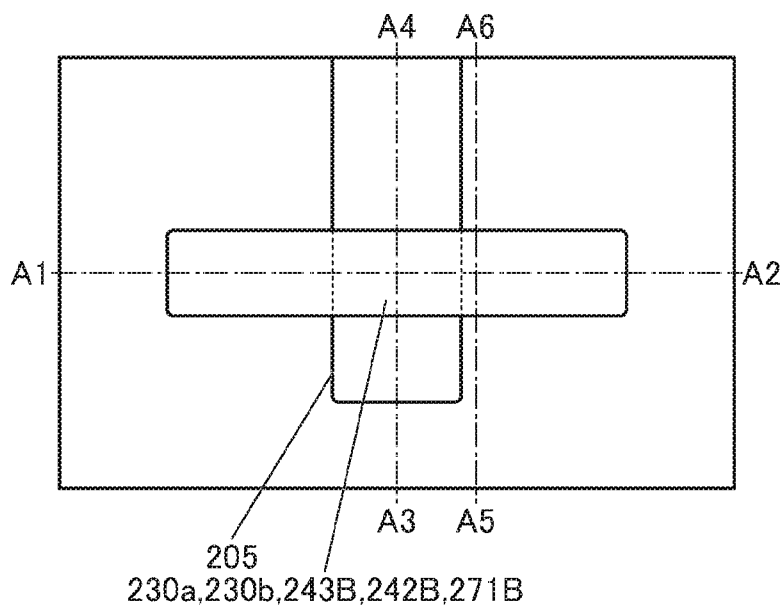


図15C

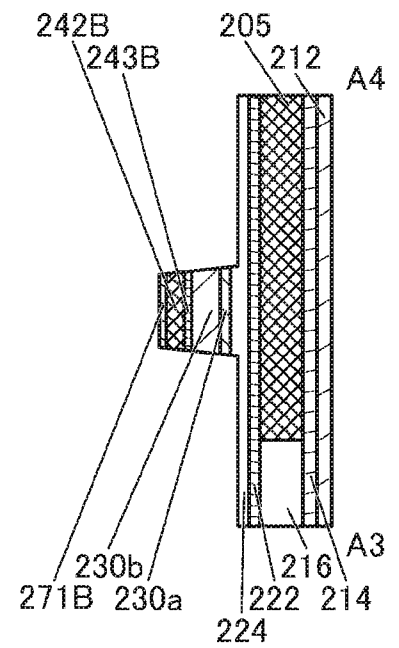


図15B

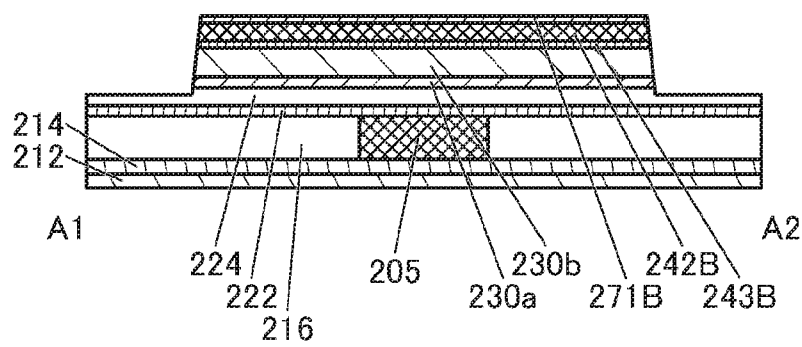


図15D

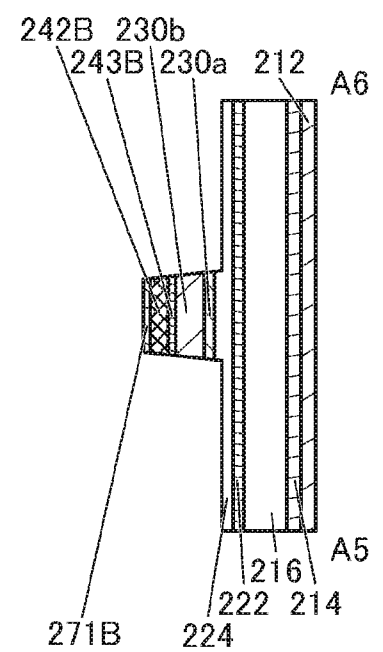


図16A

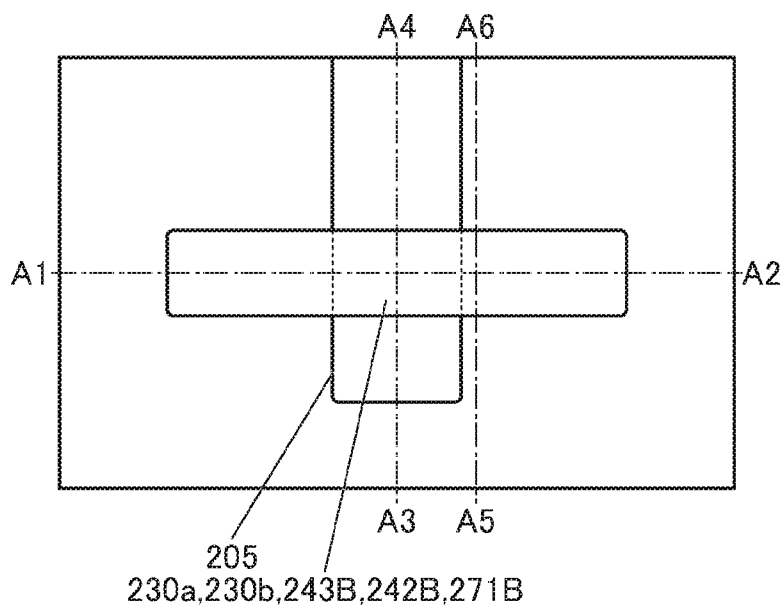


図16C

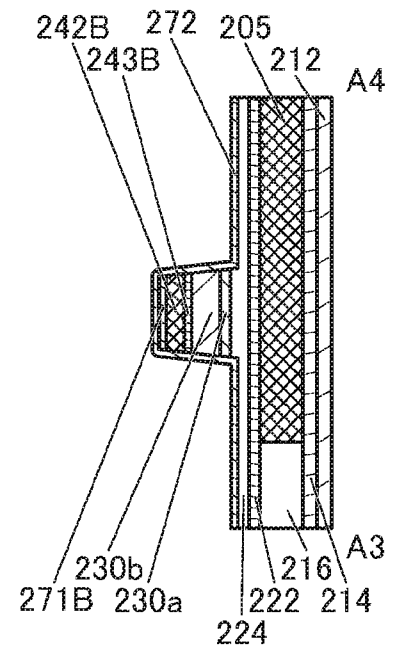


図16B

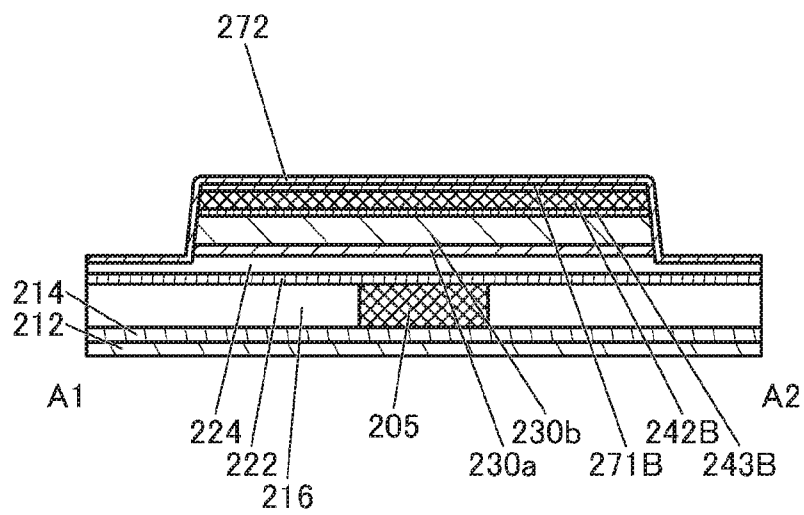
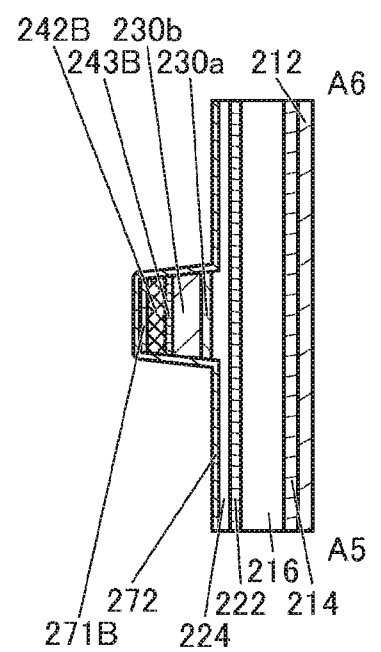


図16D



17/46

図17A

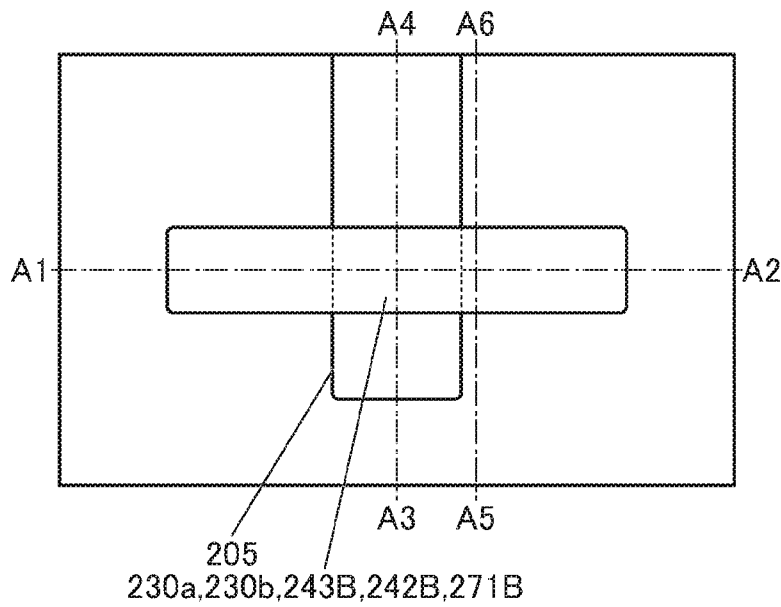


図17C

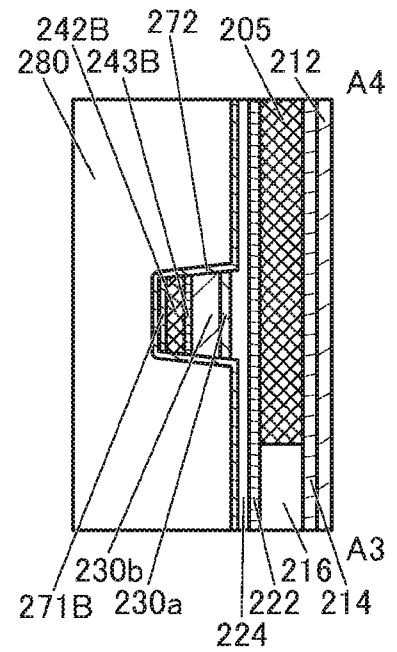


図17B

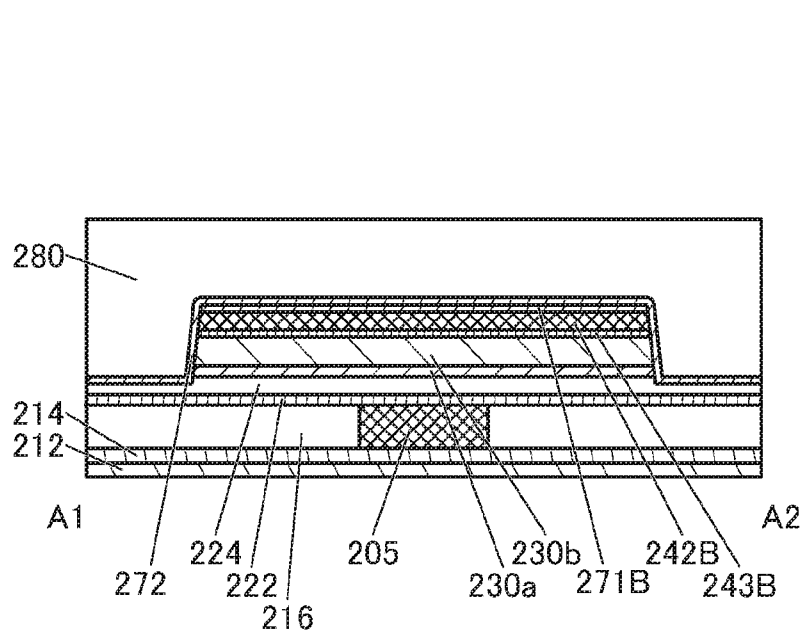


図17D

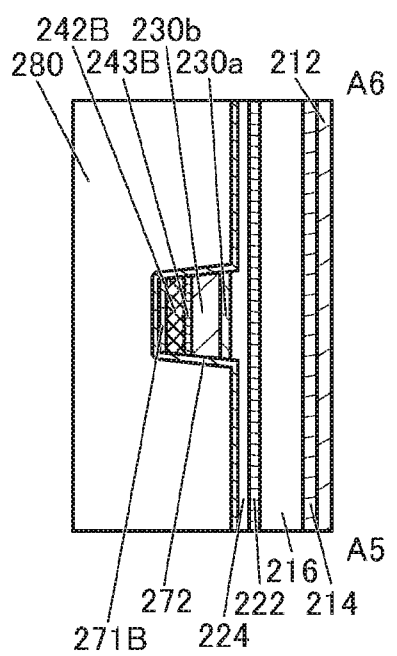


図18A

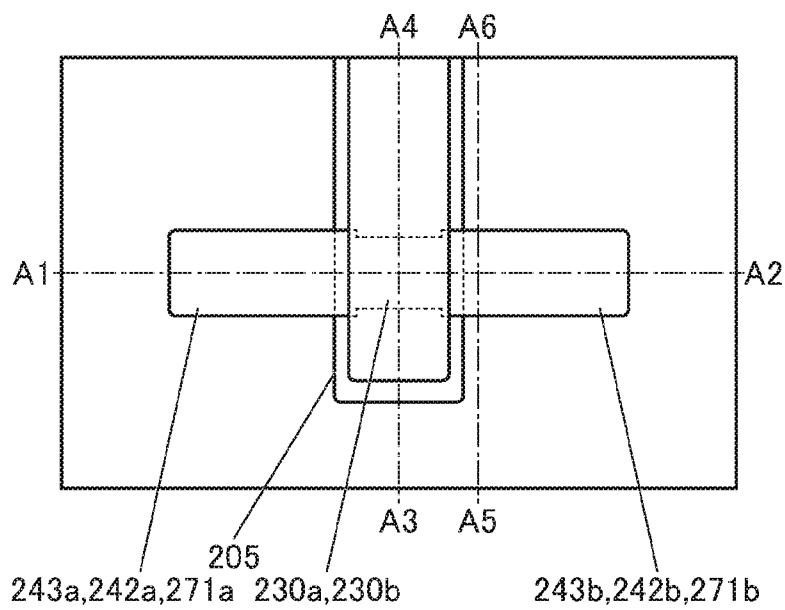


図18C

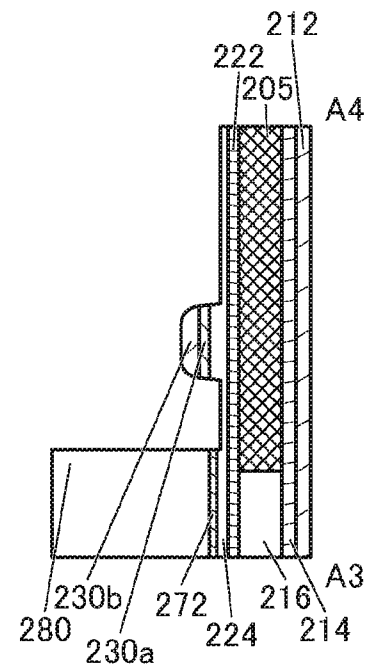


図18B

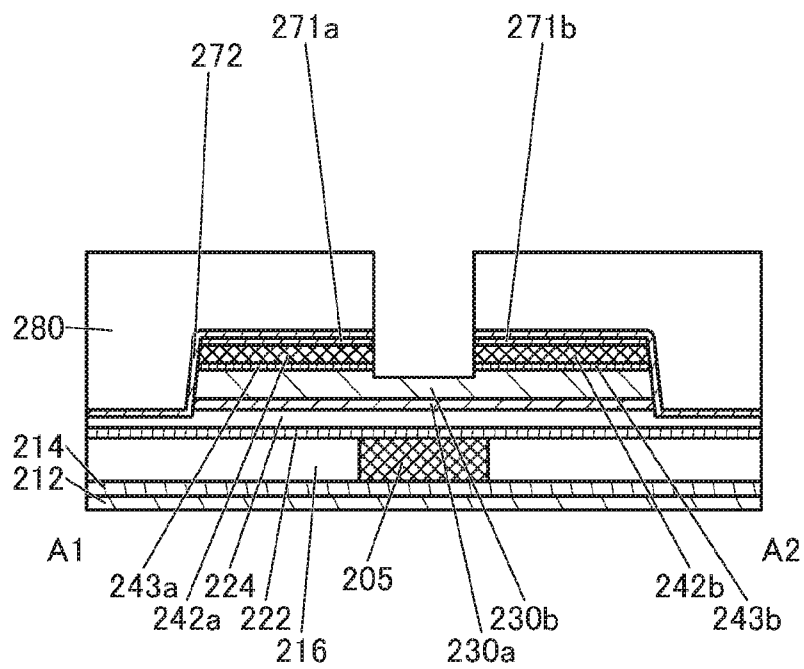


図18D

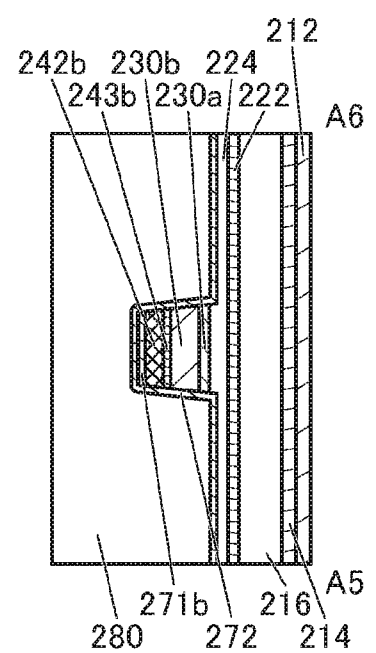


図19A

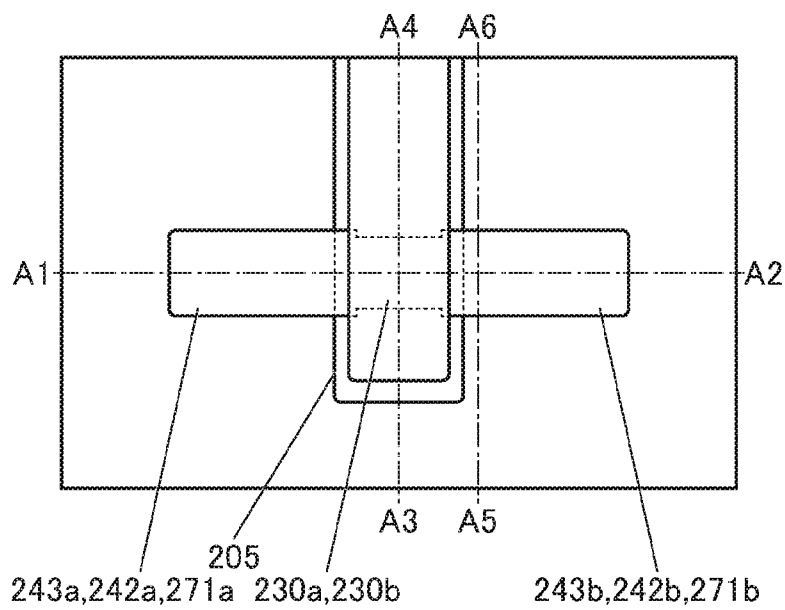


図19C

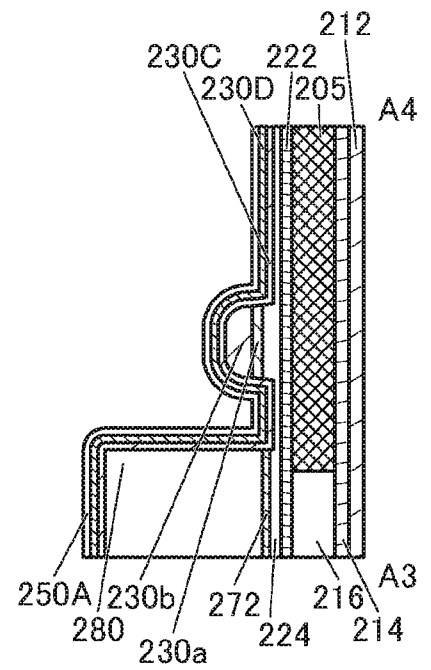


図19B

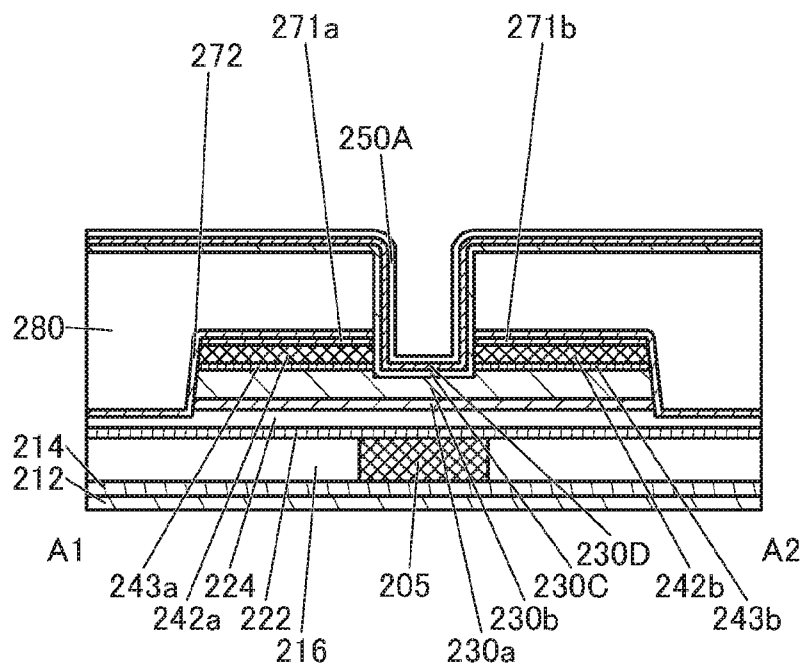


図19D

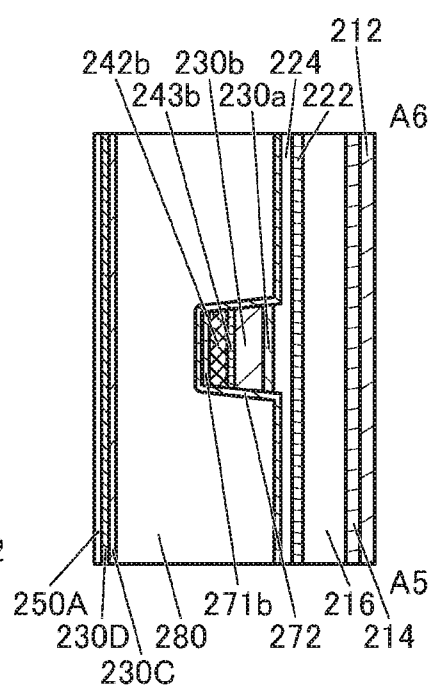


図20A

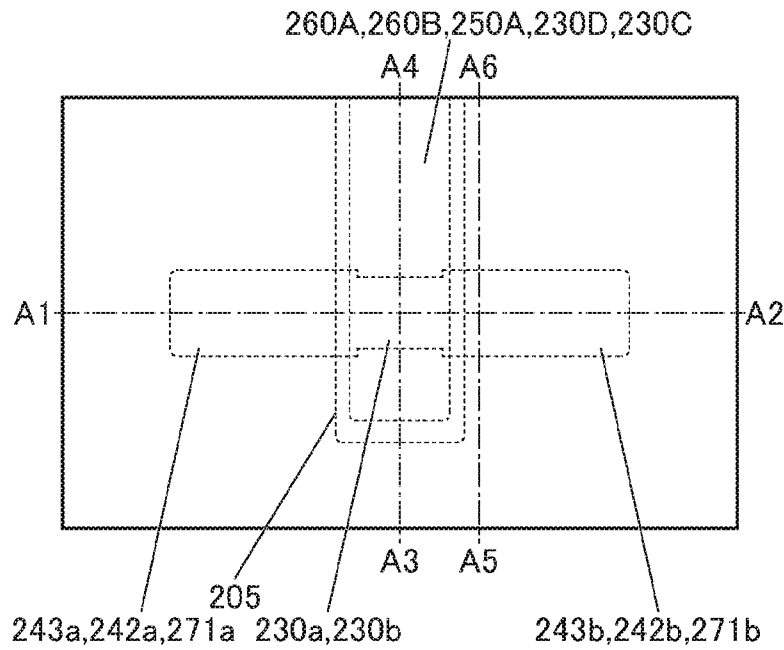


図20C

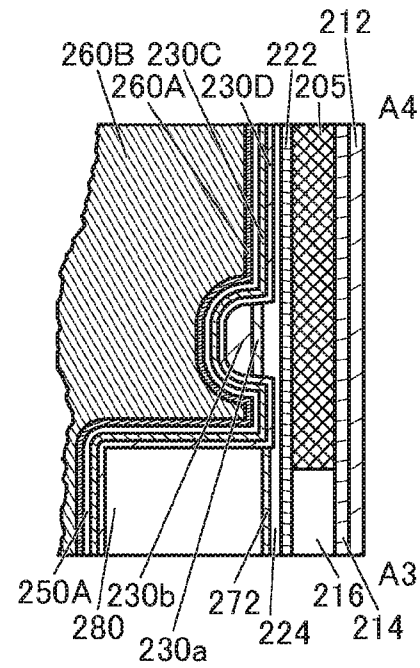


図20B

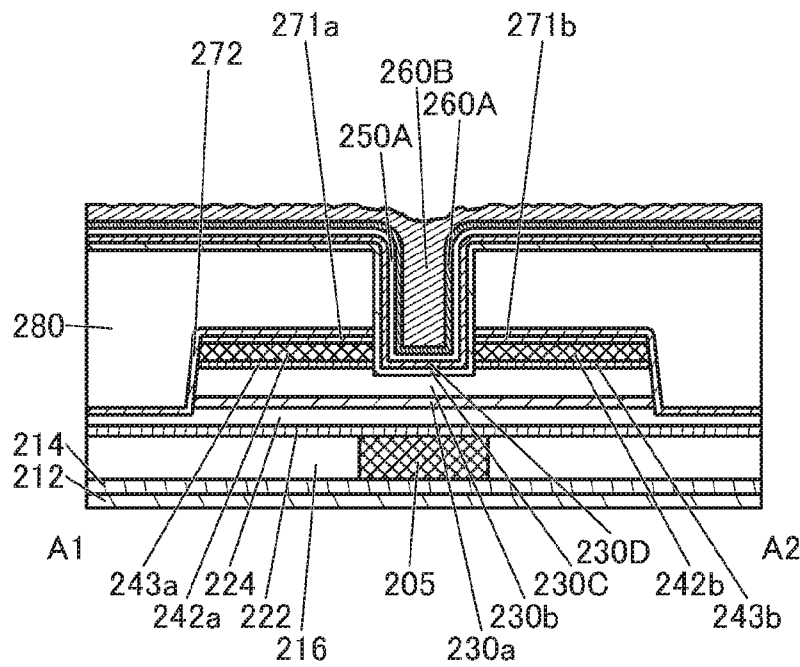
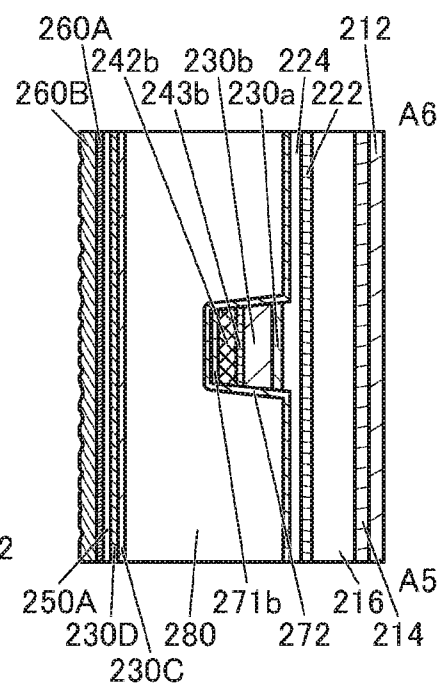


図20D



21/46

図21A

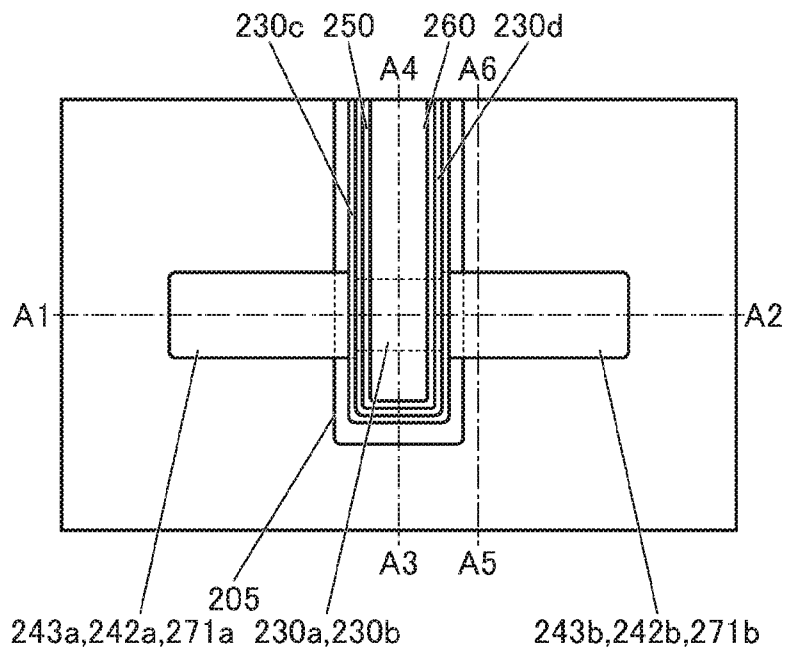


図21C

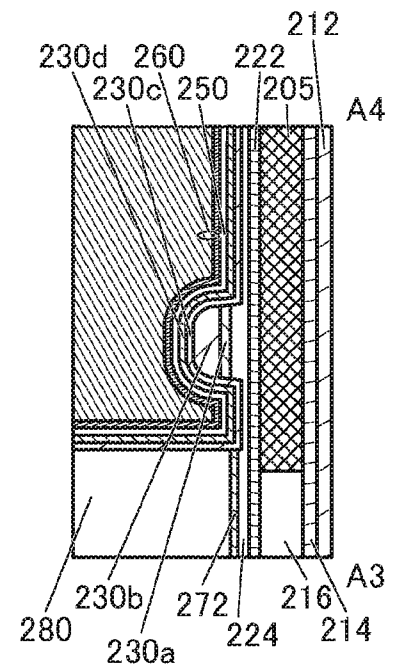


図21B

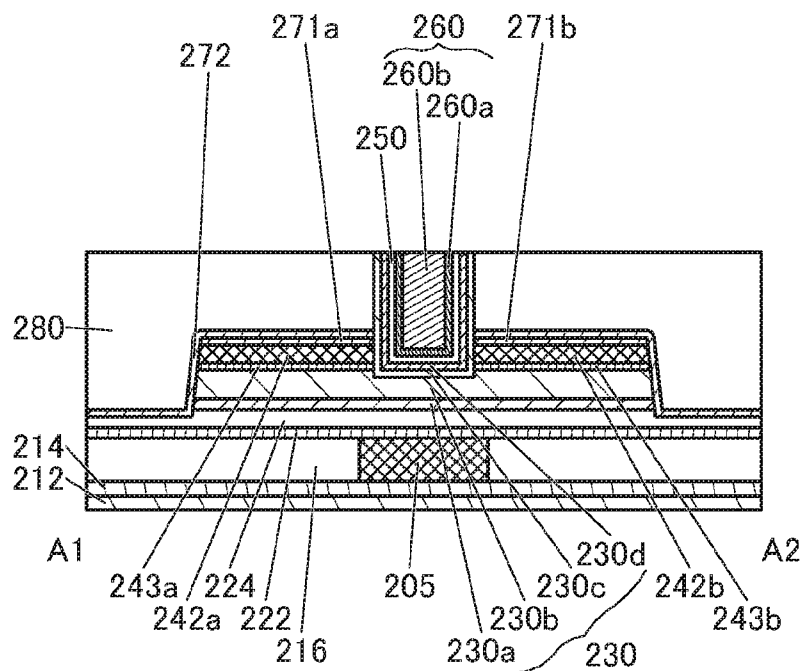
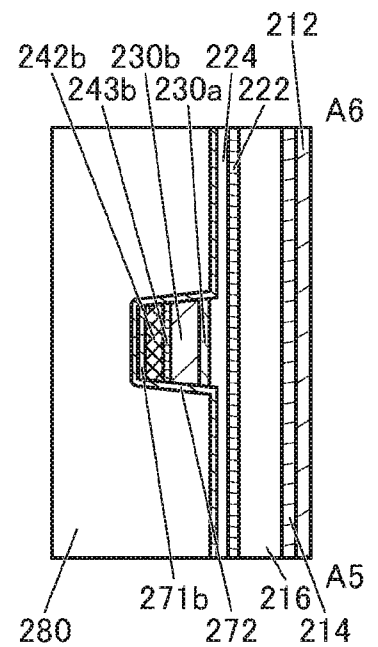


図21D



22/46

図22A

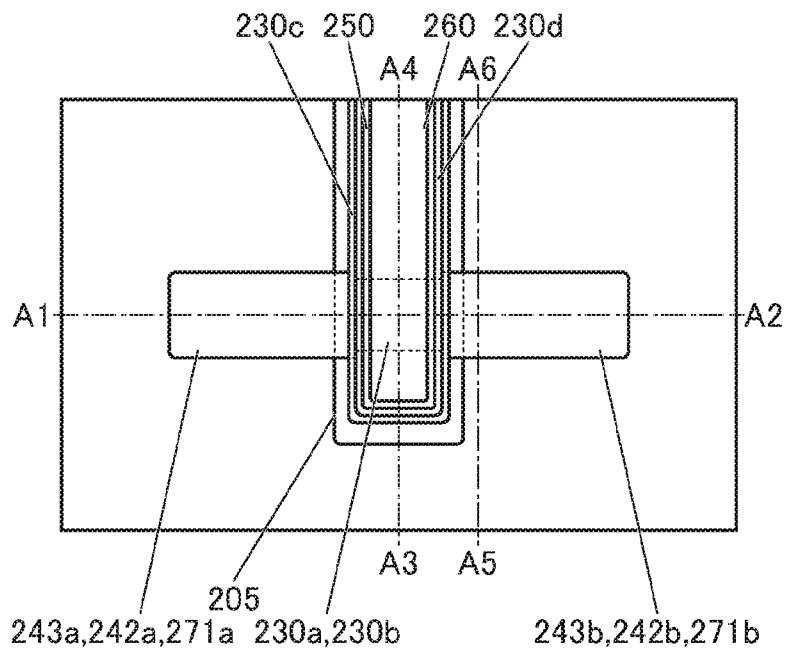


図22C

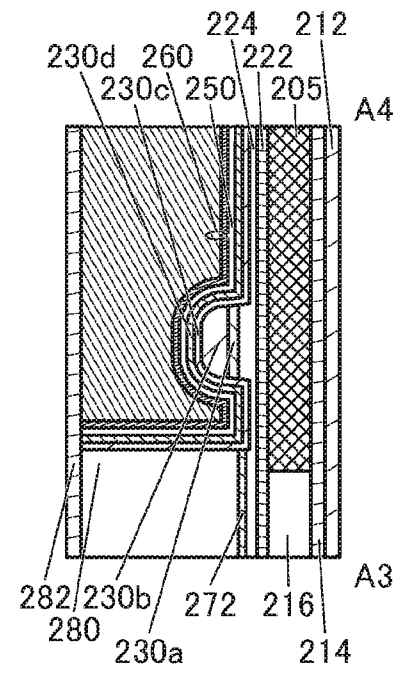


図22B

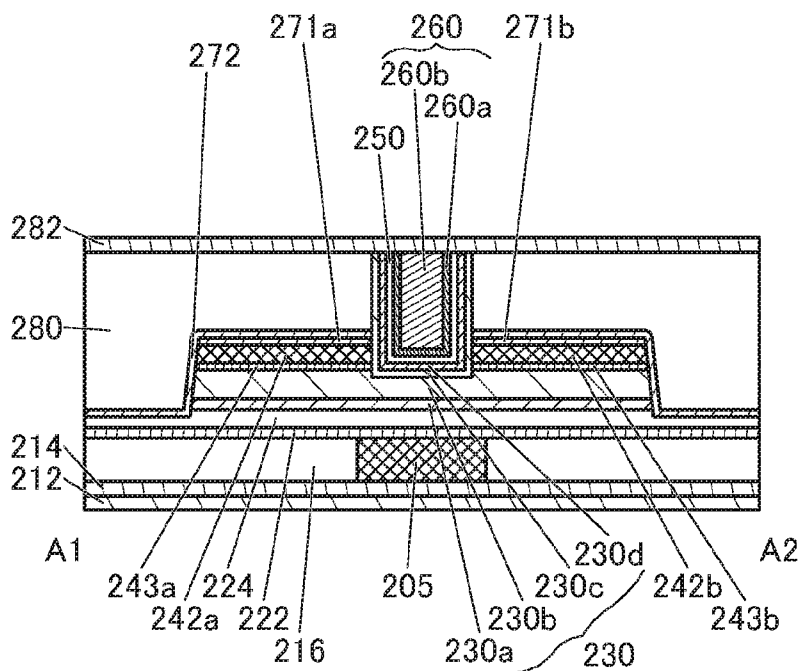
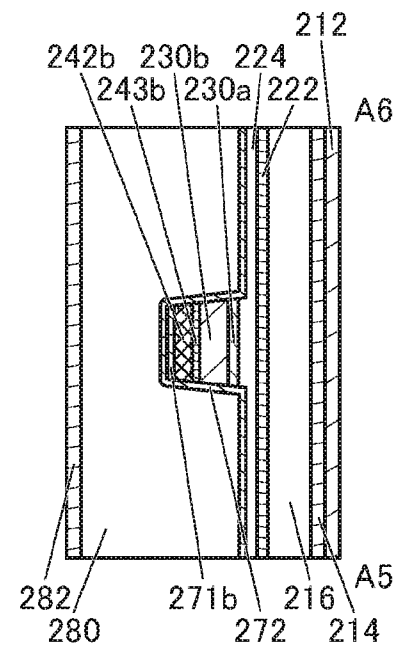


図22D



23/46

図23A

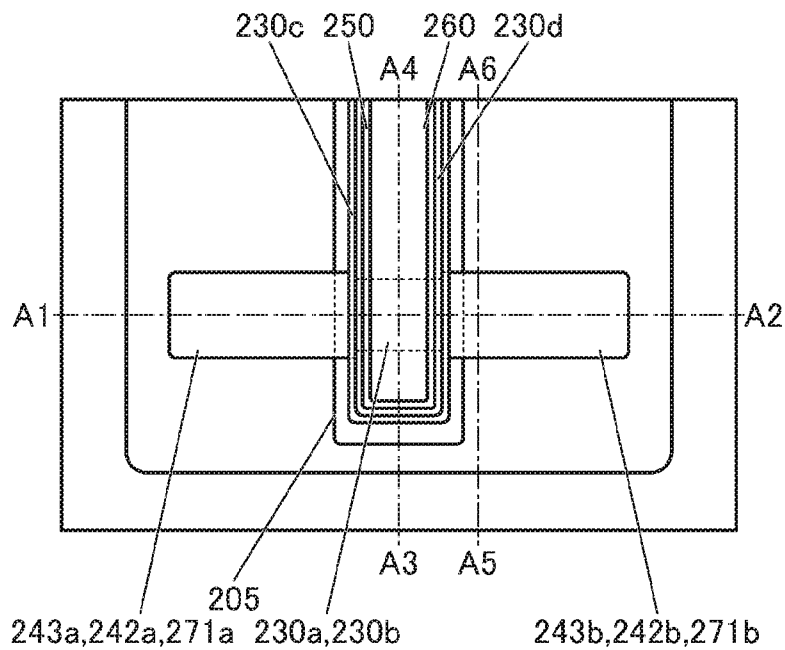


図23C

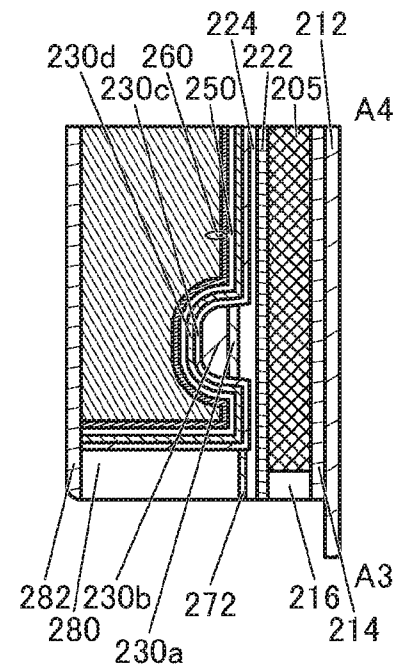


図23B

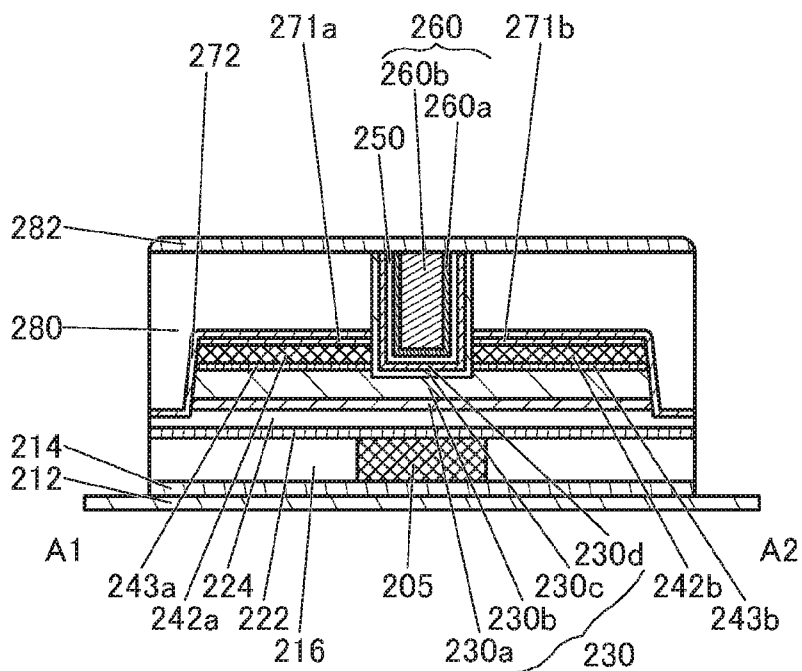
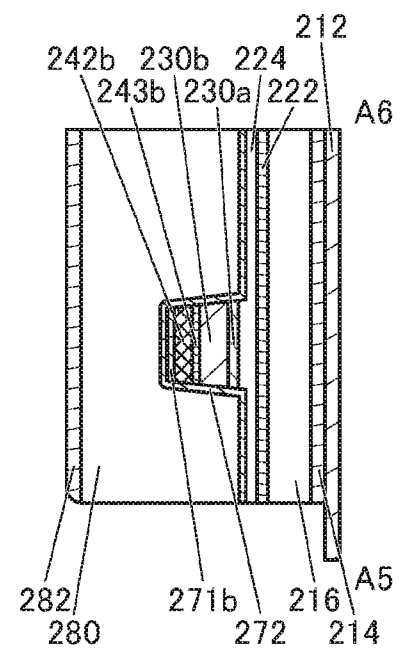


図23D



24/46

図24A

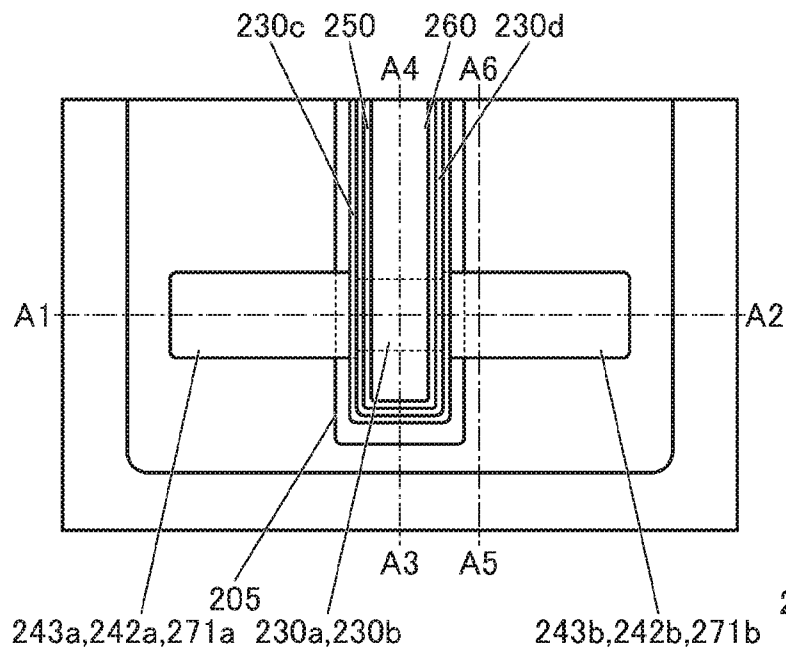


図24C

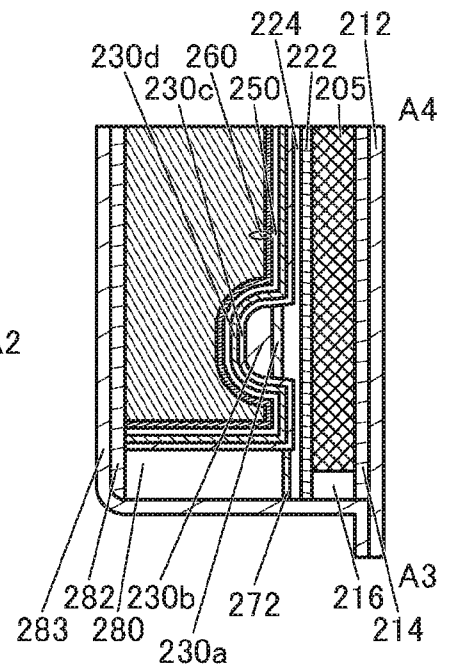


図24B

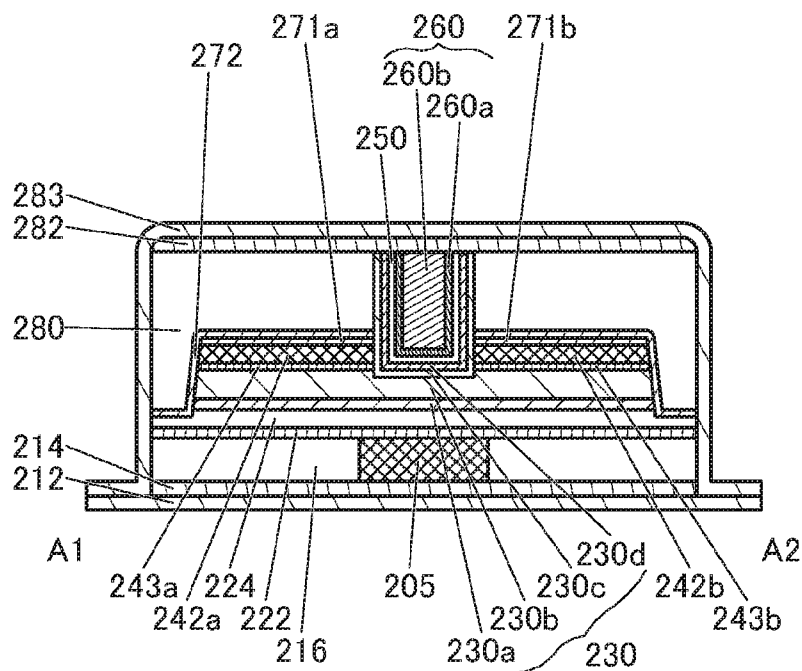


図24D

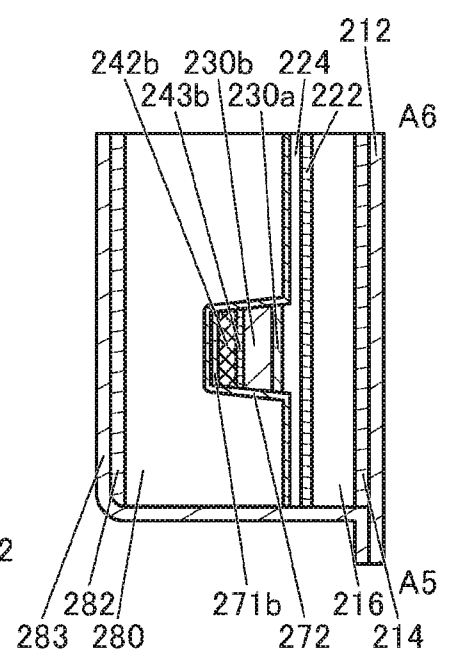


図25A

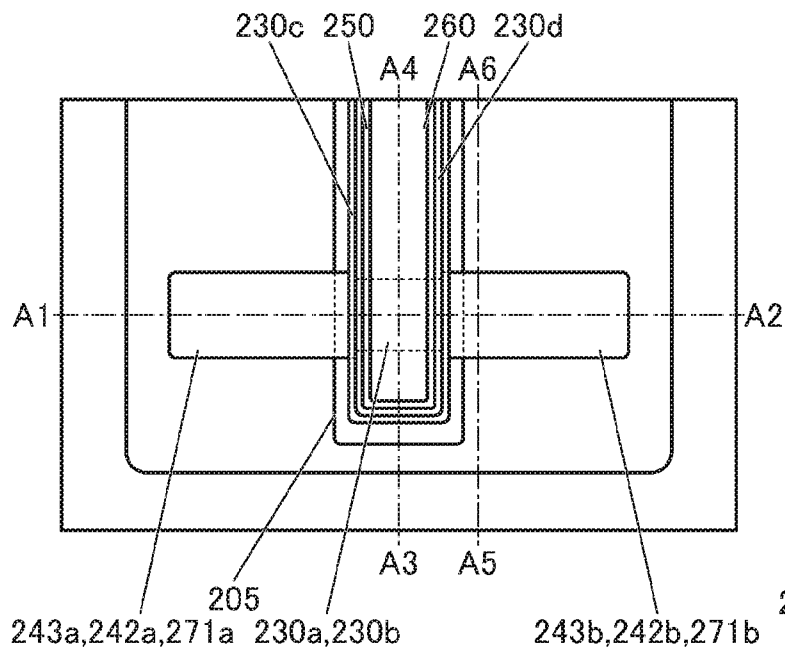


図25C

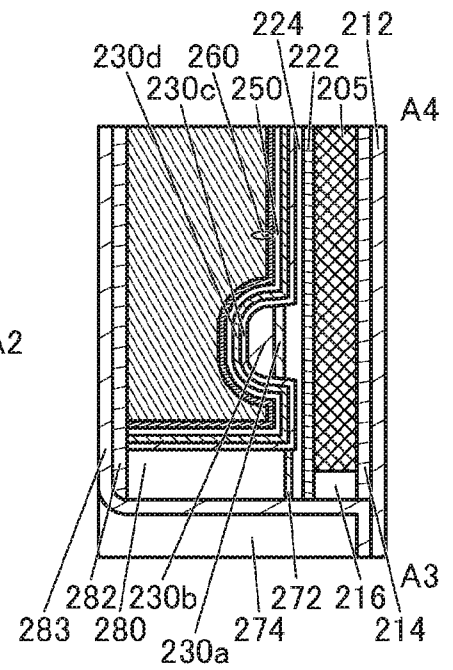


図25B

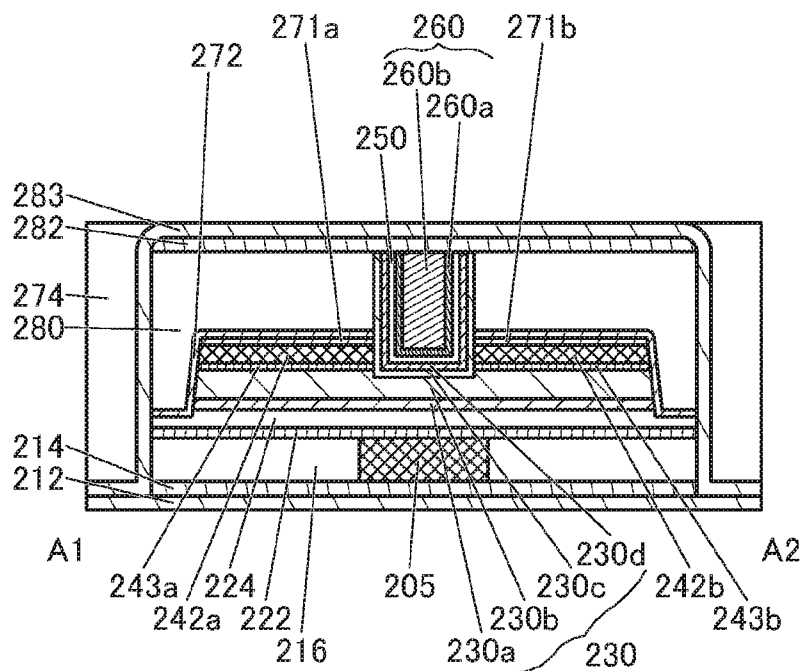
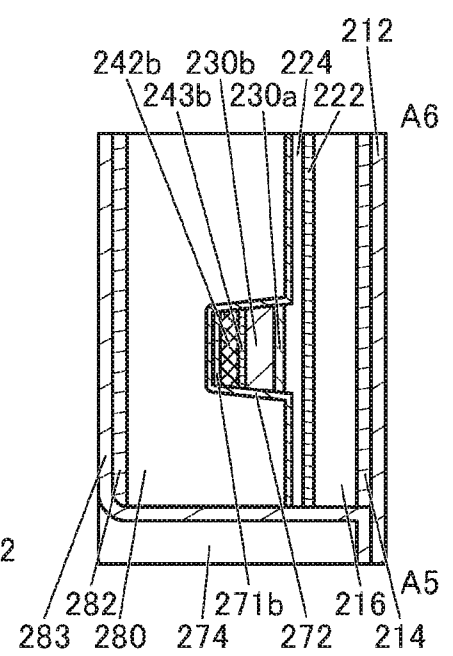


図25D



26/46

図26A

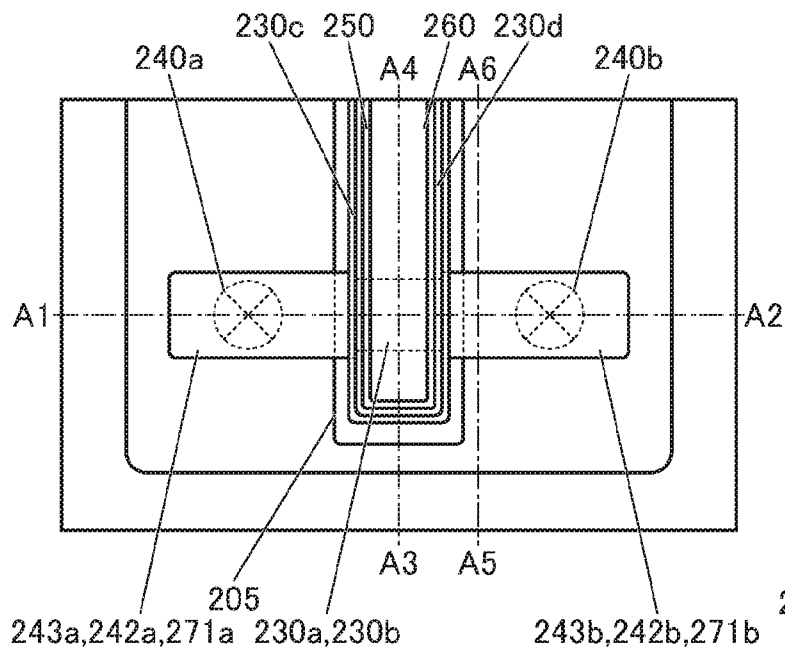


図26C

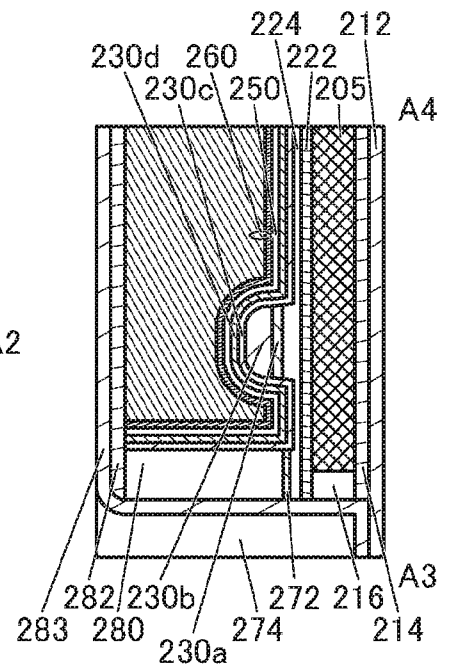


図26B

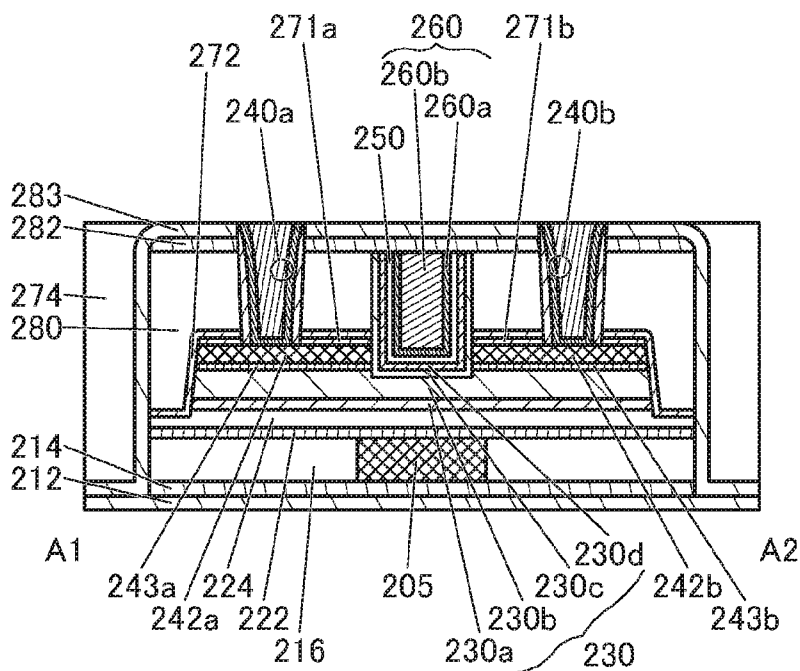
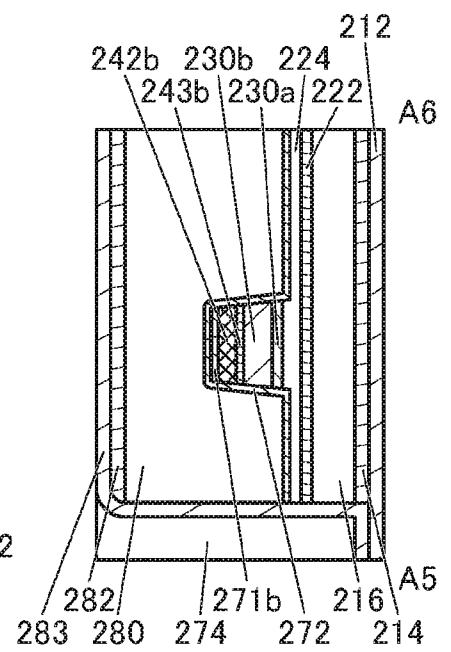


図26D



27/46

図27A

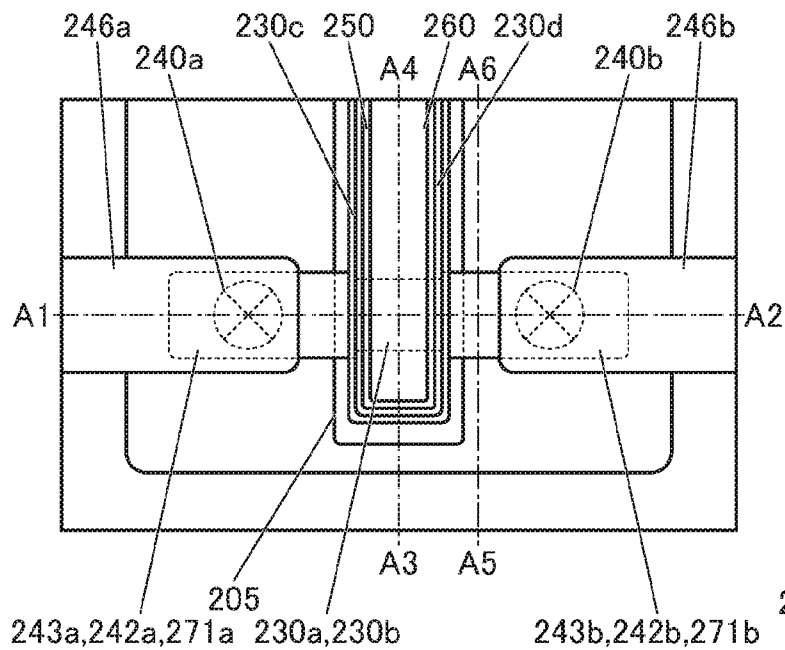


図27C

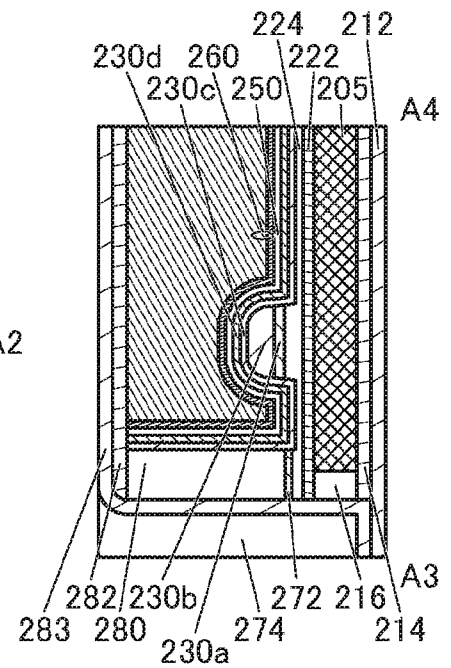


図27B

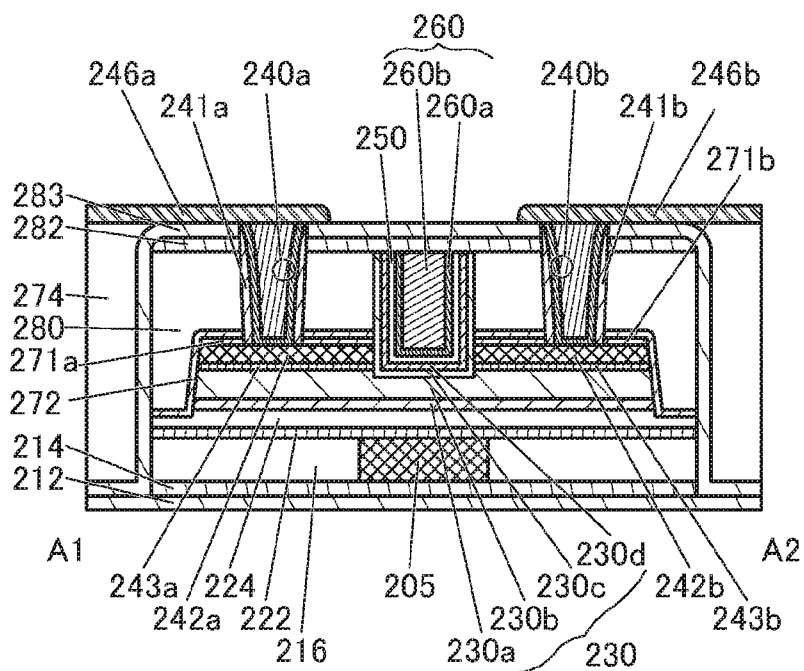
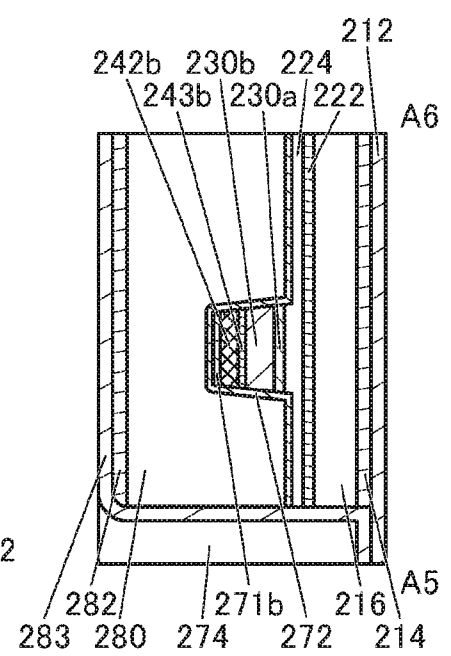
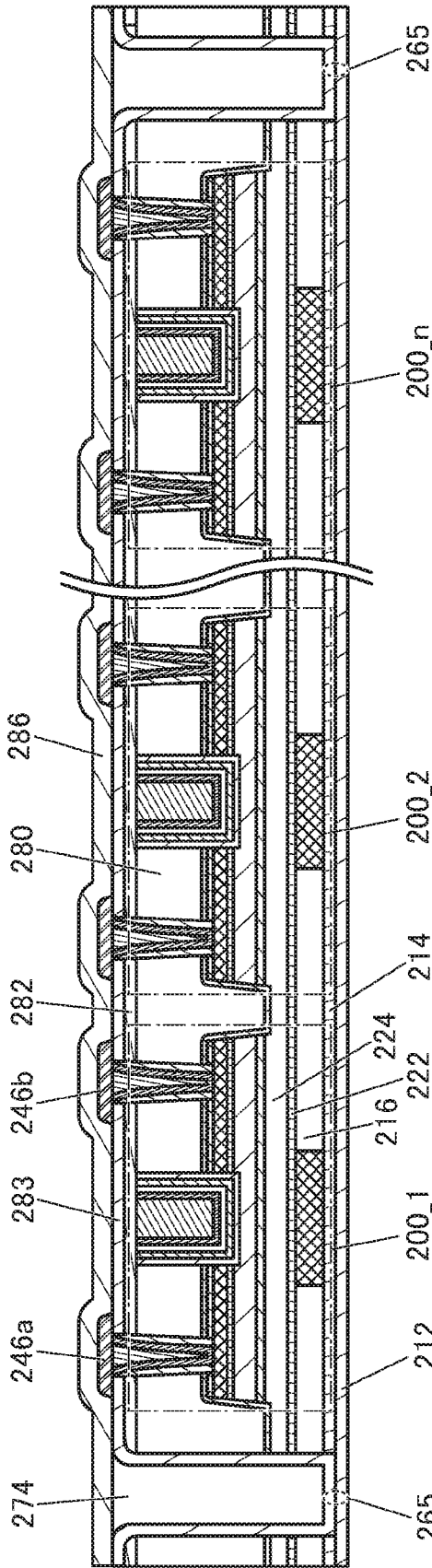


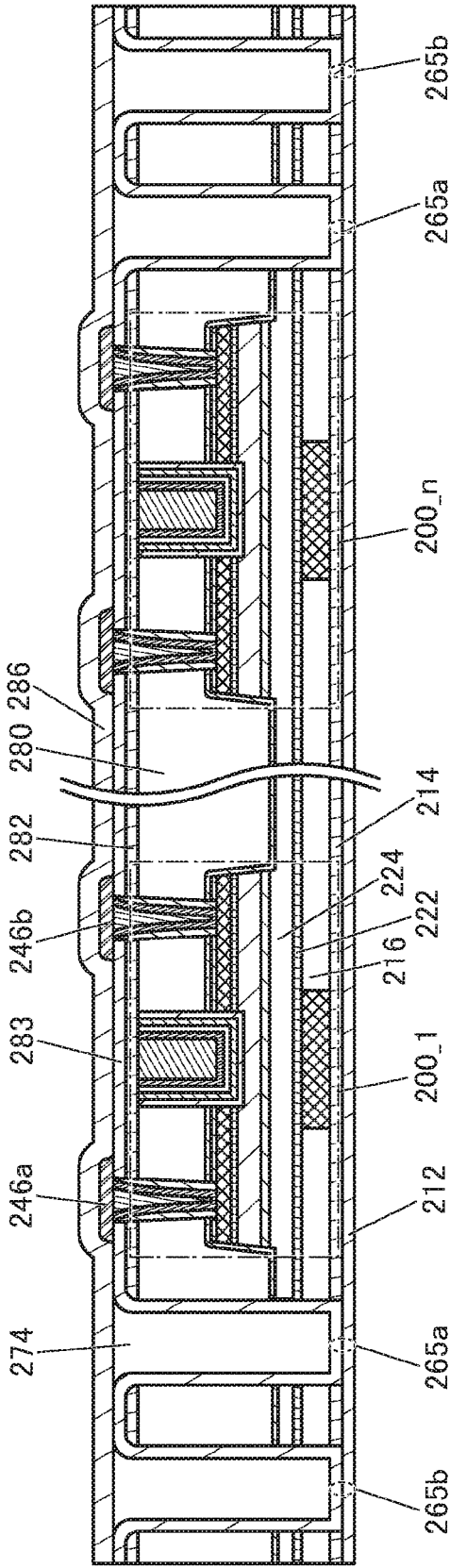
図27D



28A



28B



29

29/46

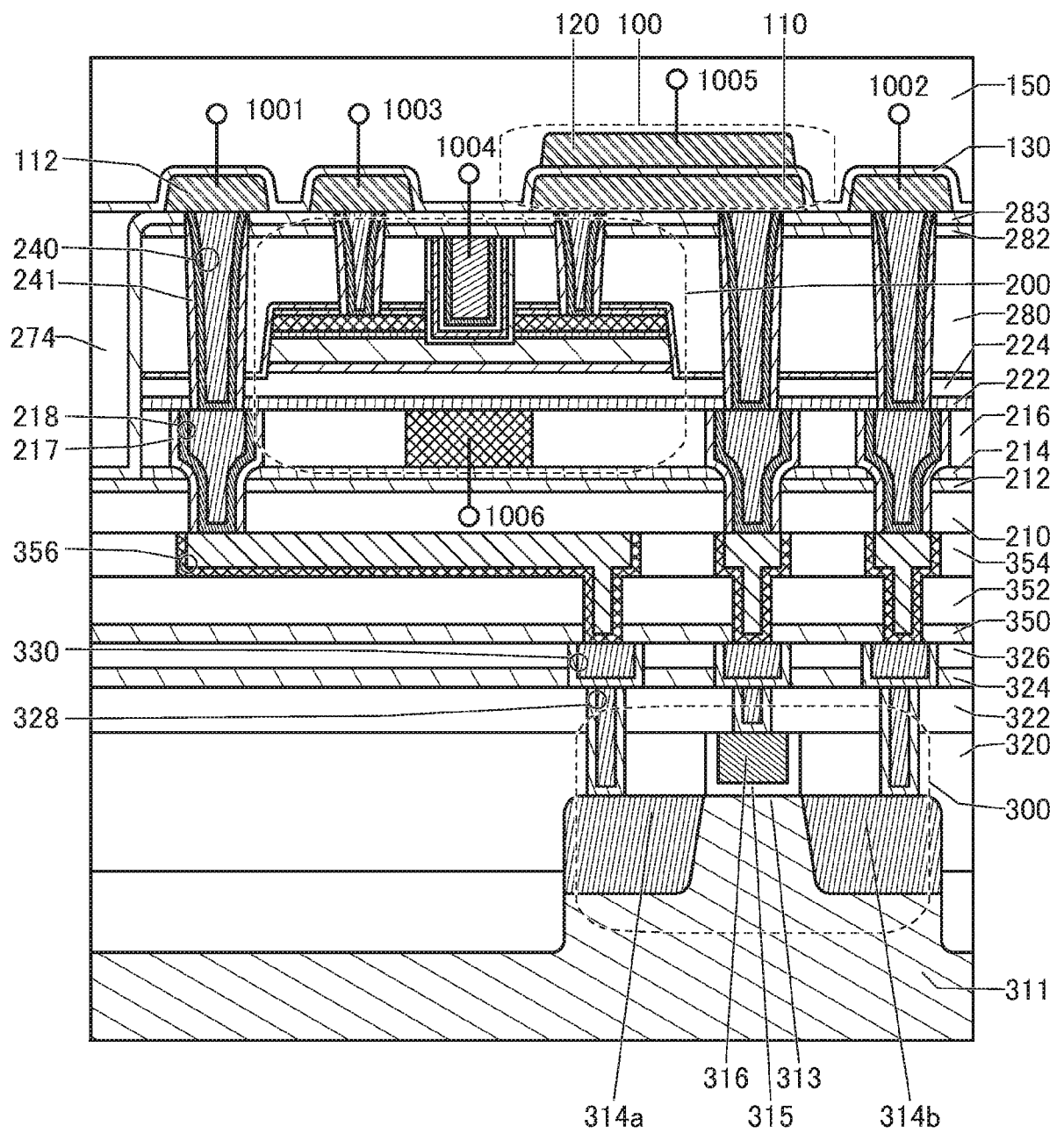
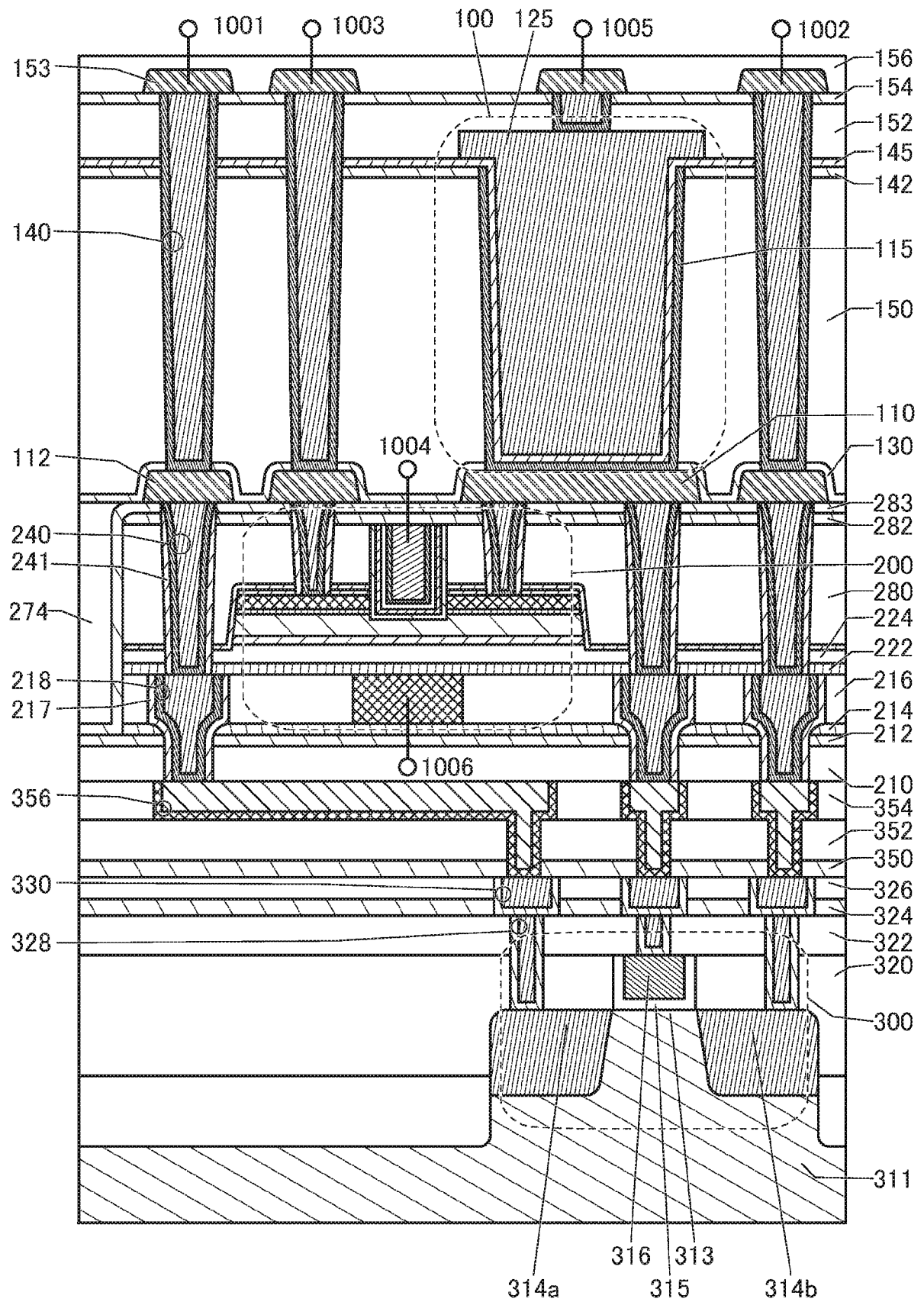


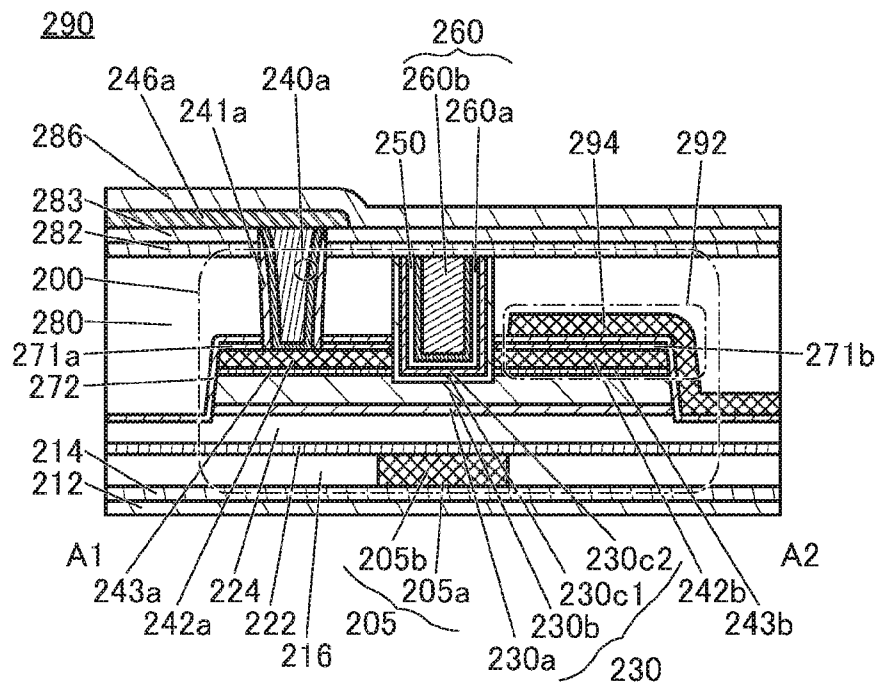
图 30

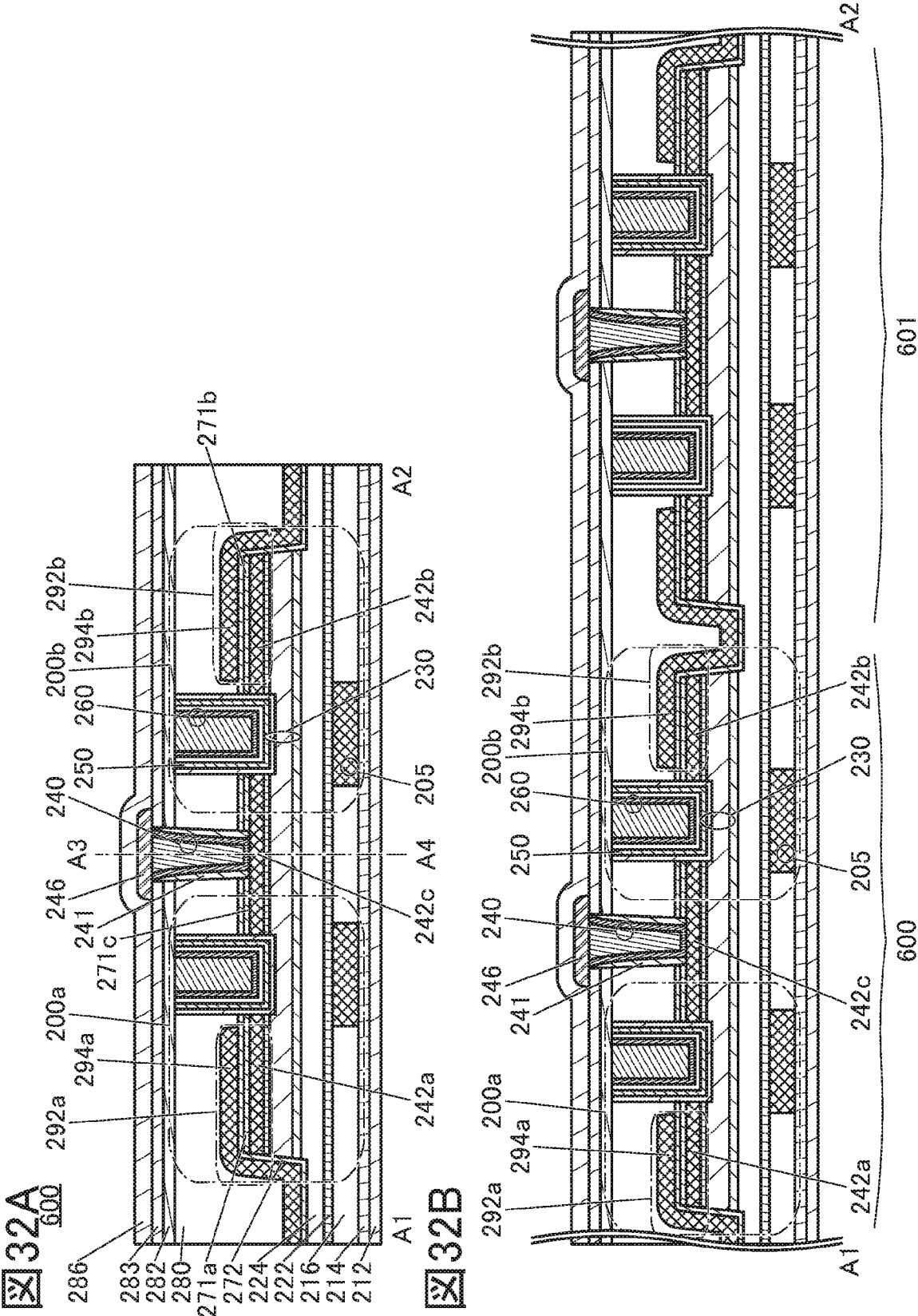
30/46



31

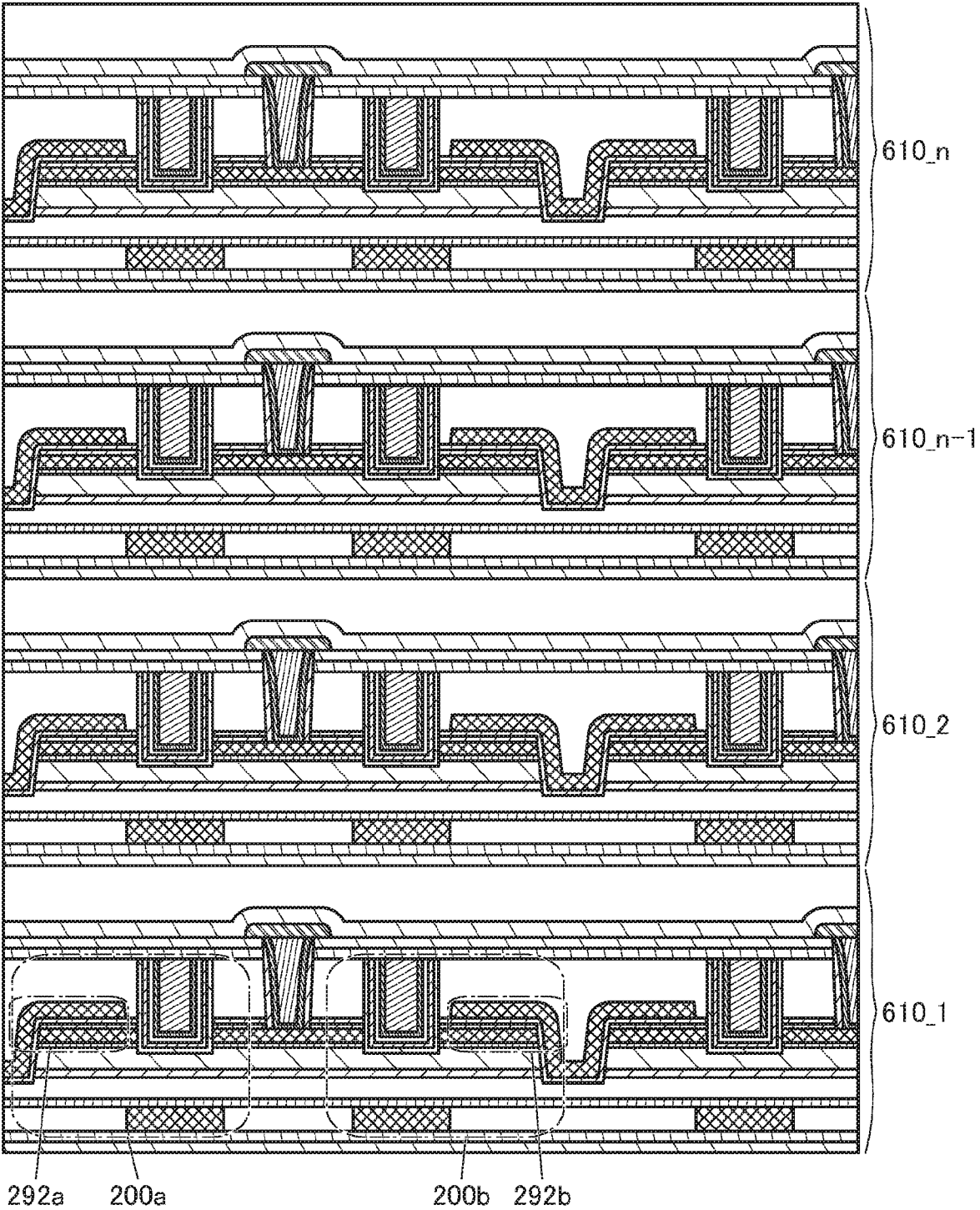
31/46



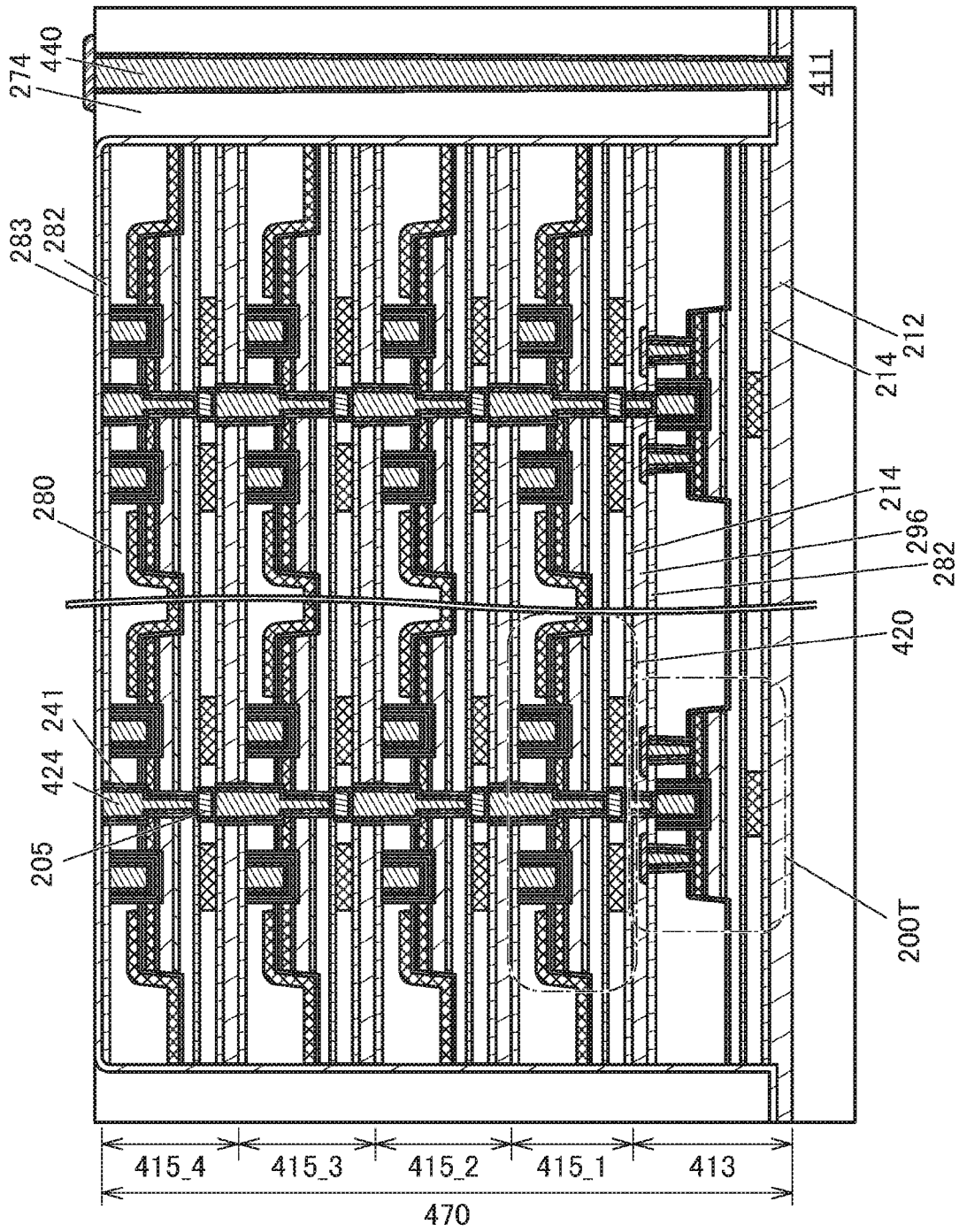


33

33/46

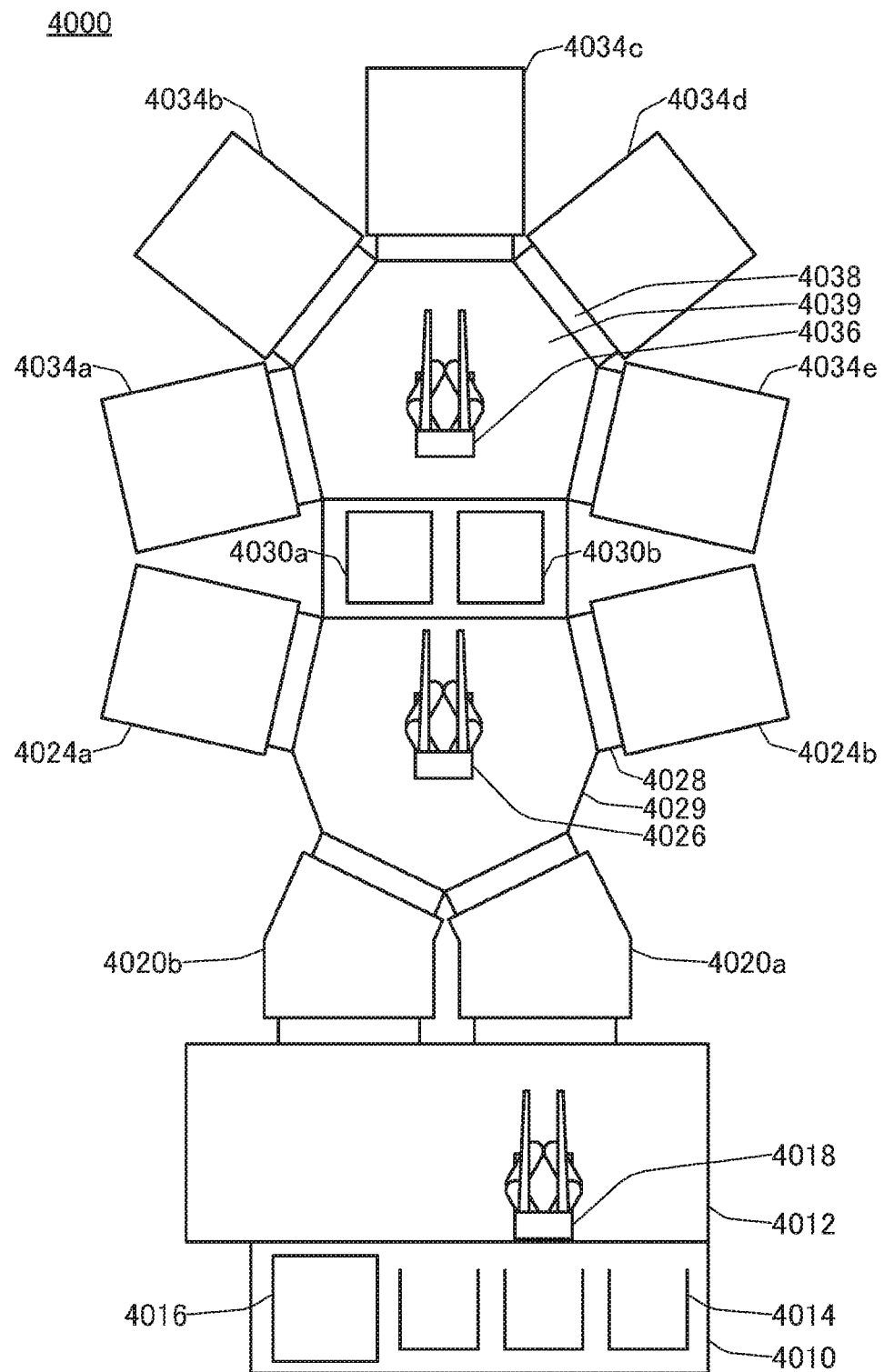


34



35

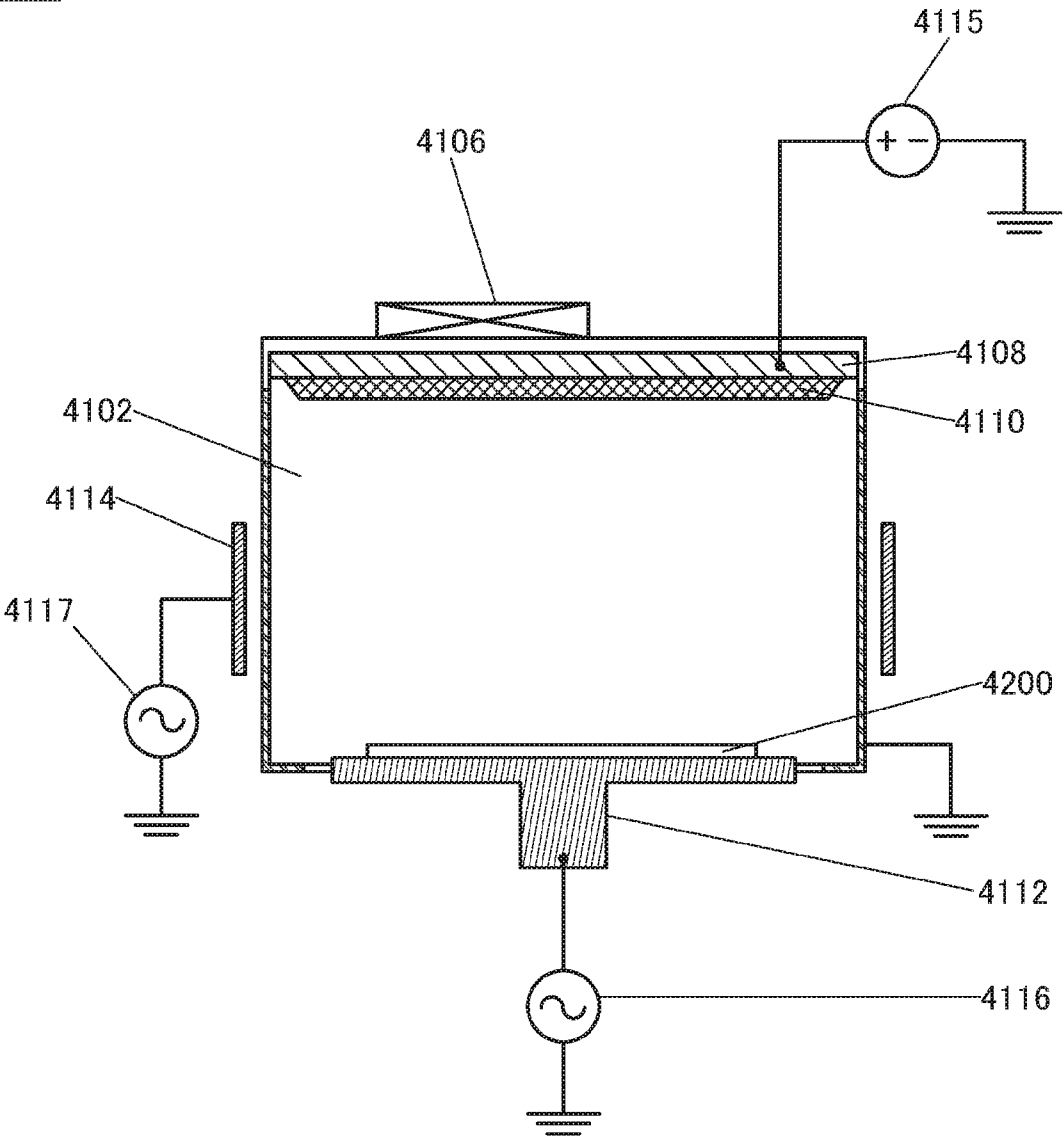
35/46



36

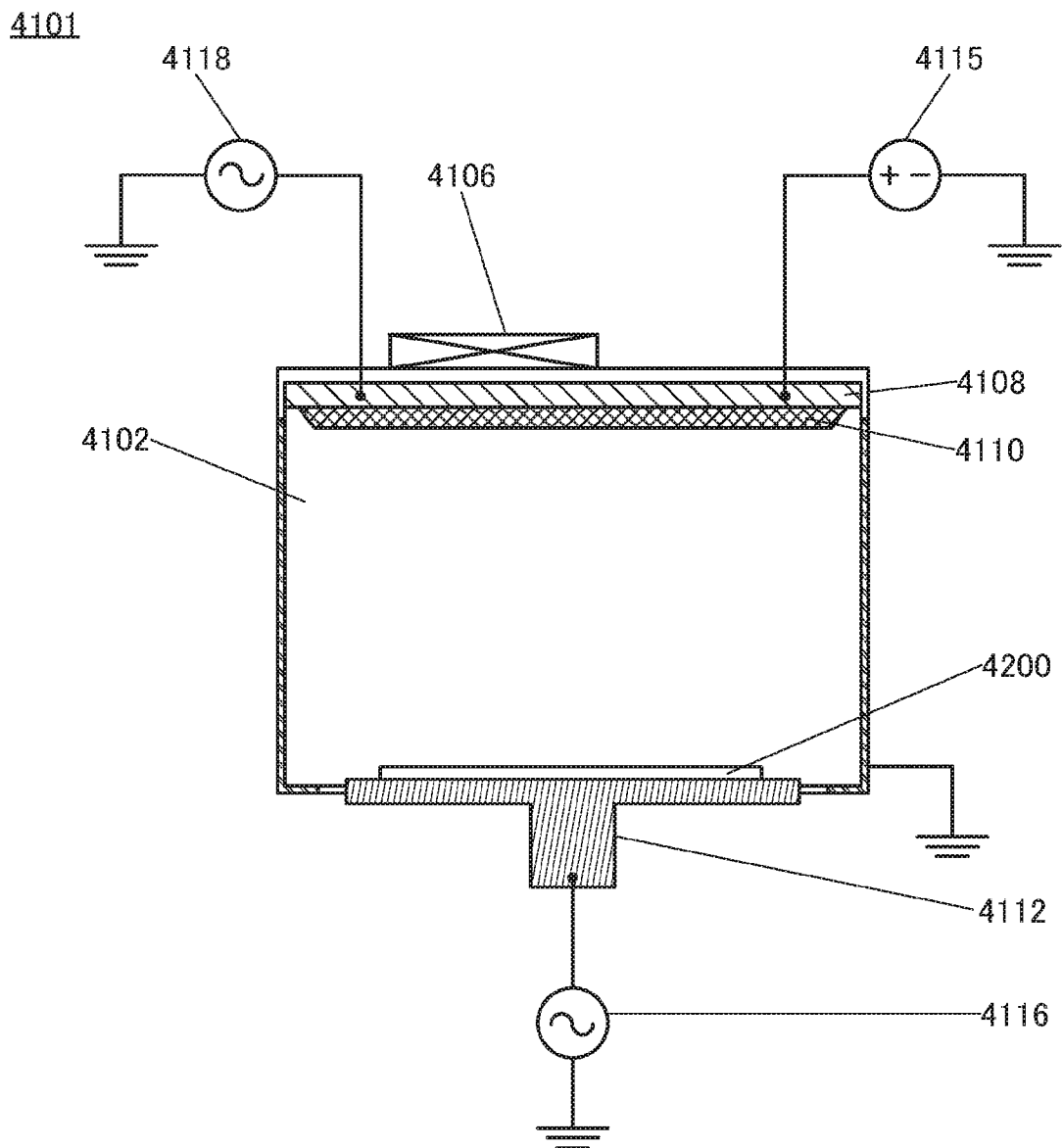
36/46

4100

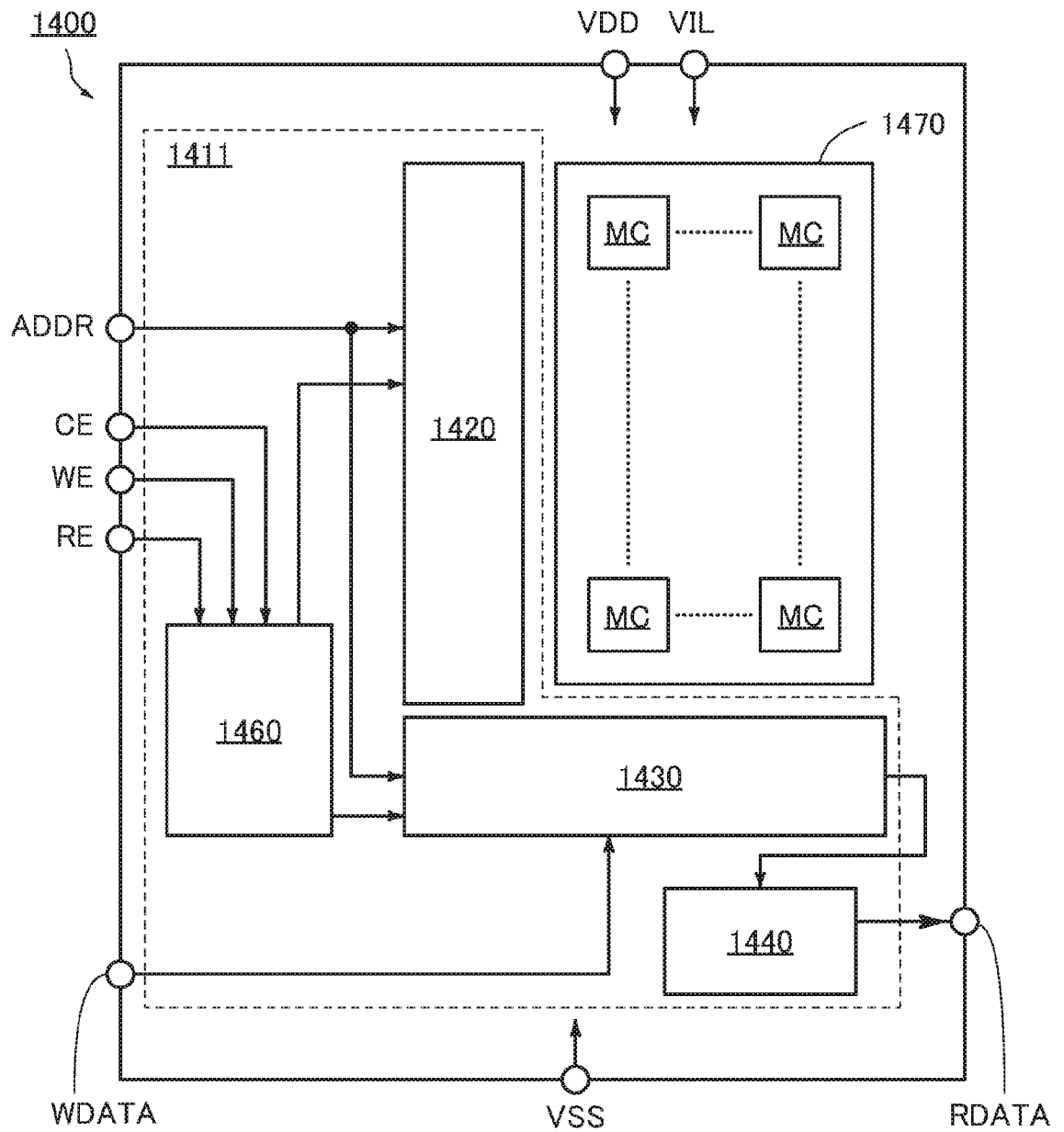


37

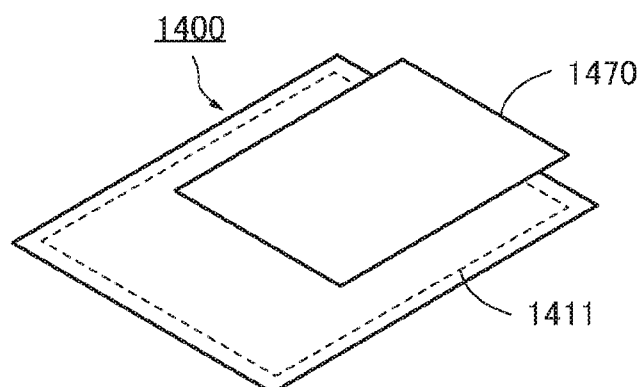
37/46



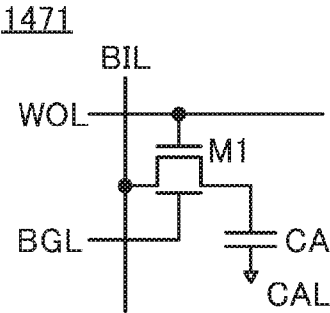
38A



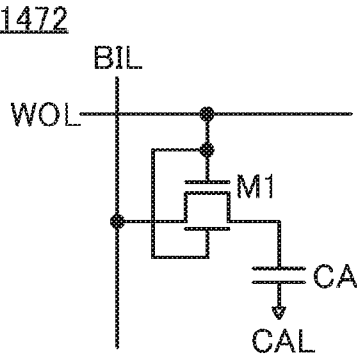
38B



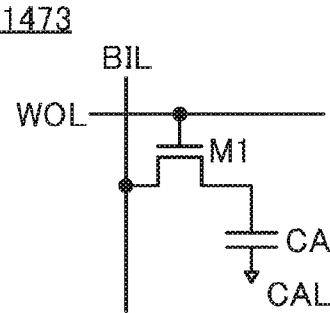
39A



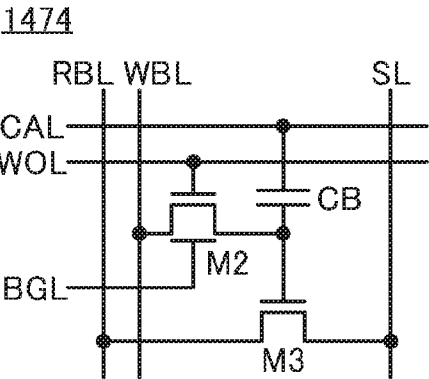
39B



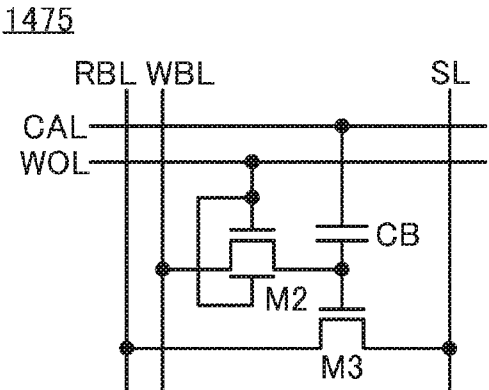
39C



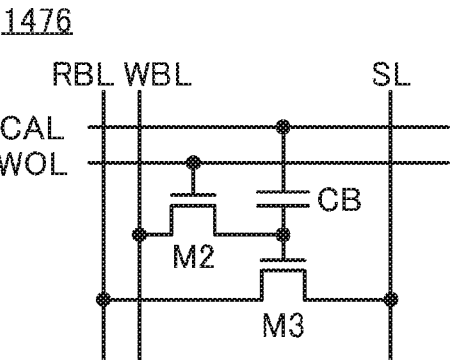
39D



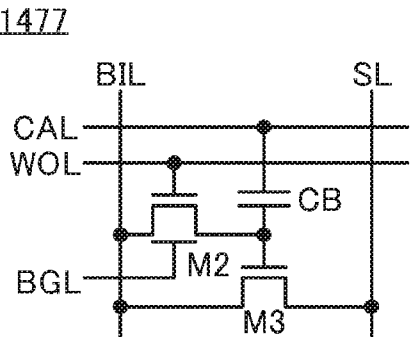
39E



39F



39G



39H

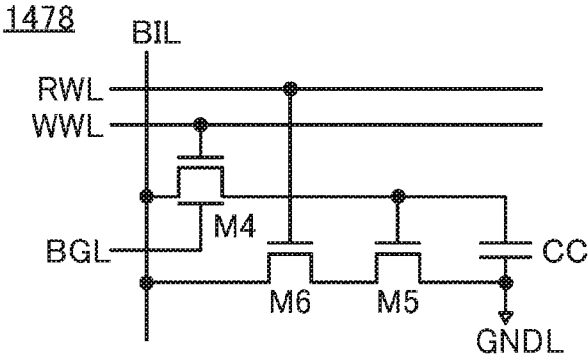
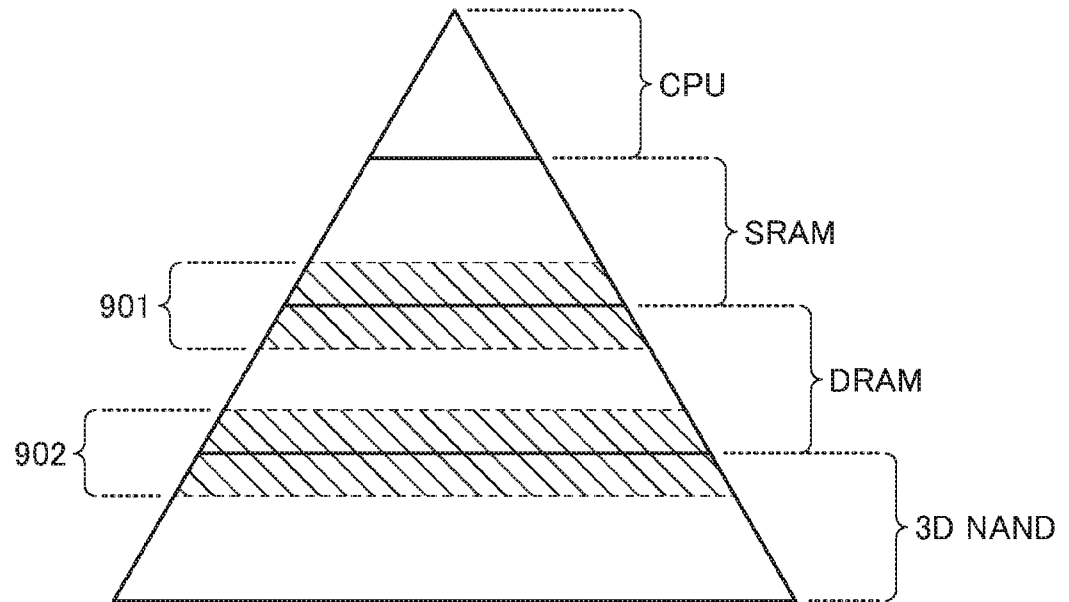


図40

40/46



41/46

図41A

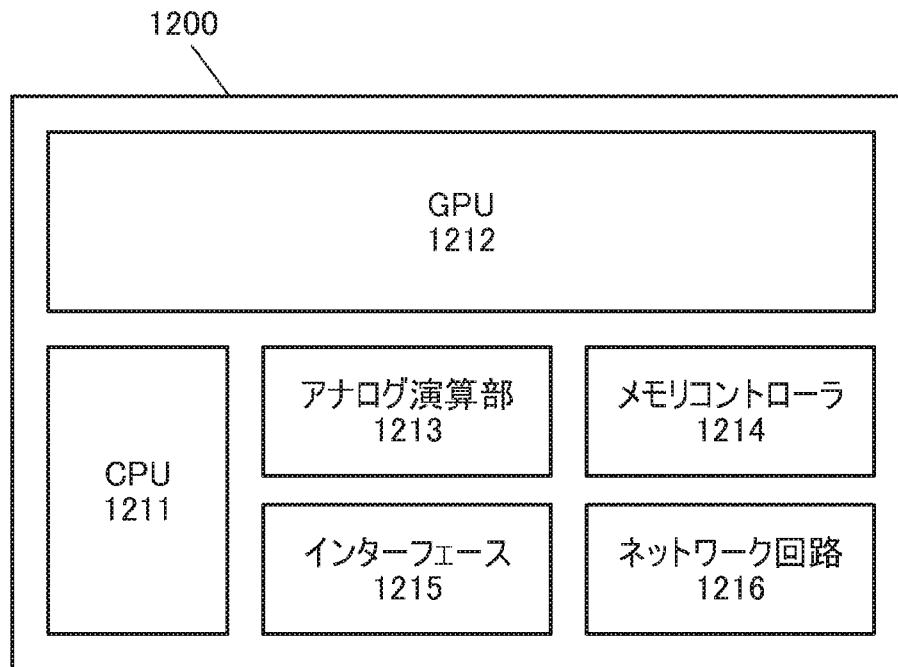
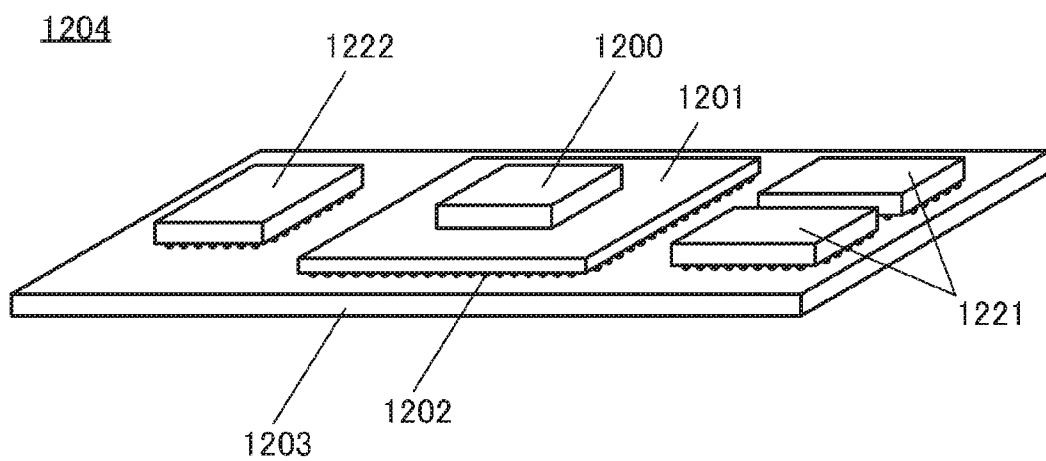


図41B



42/46

図42A

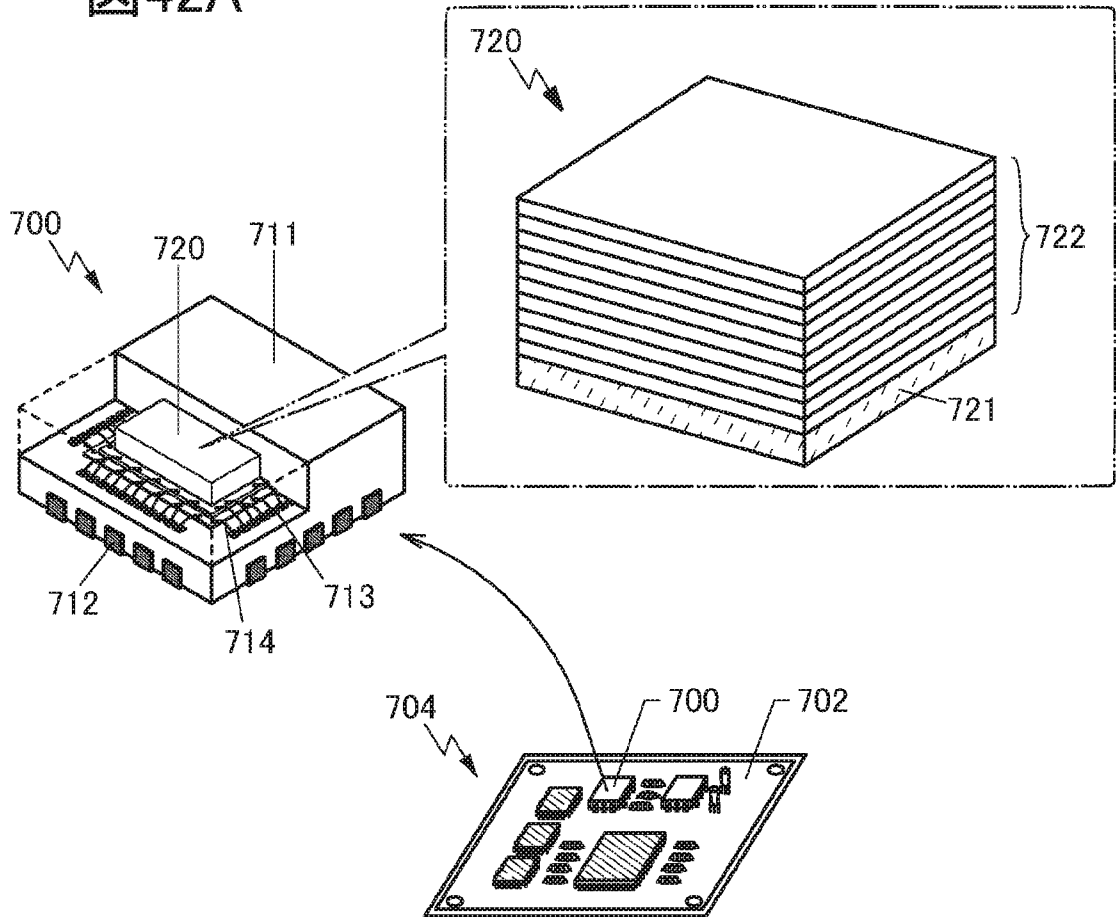
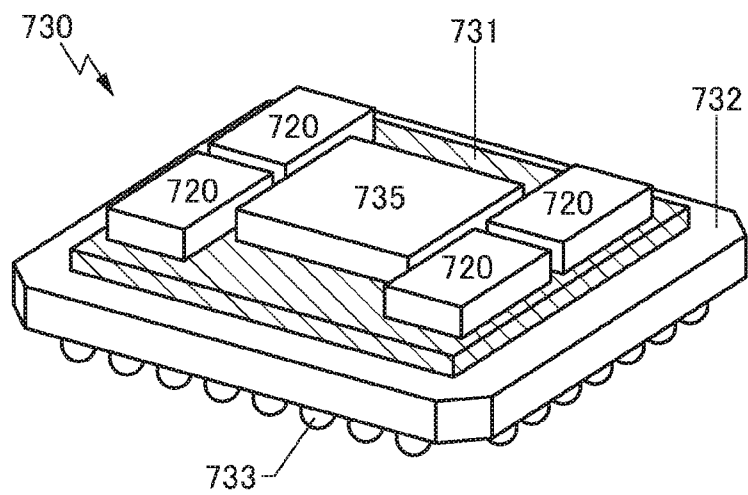


図42B



43/46

図43A

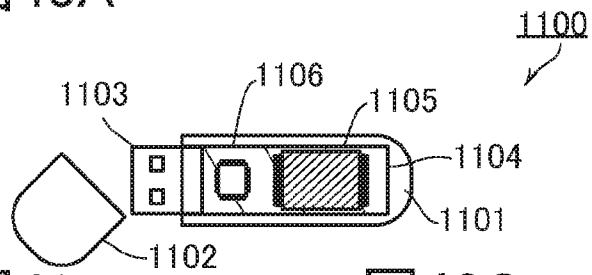


図43B

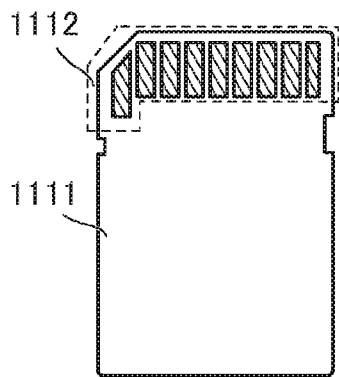


図43C

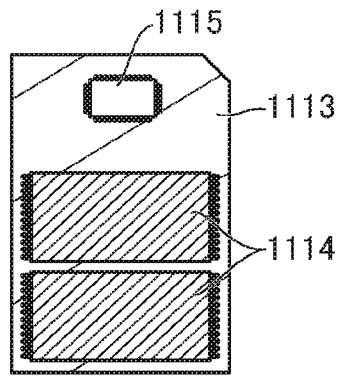


図43D

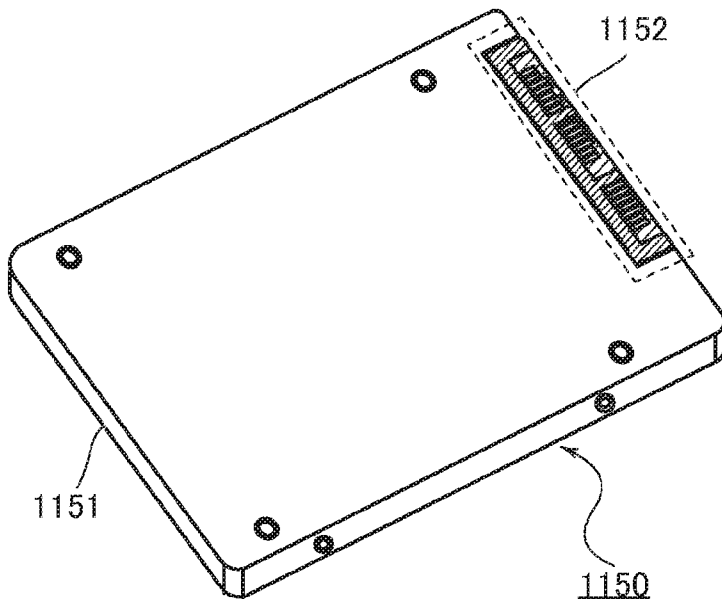
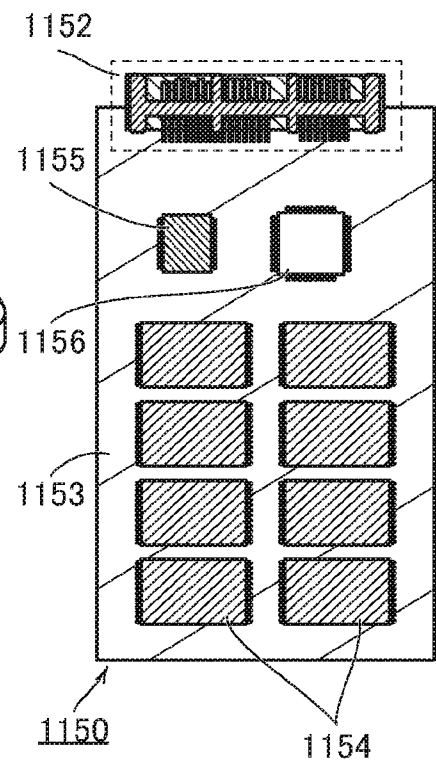


図43E



44/46

FIG. 44A

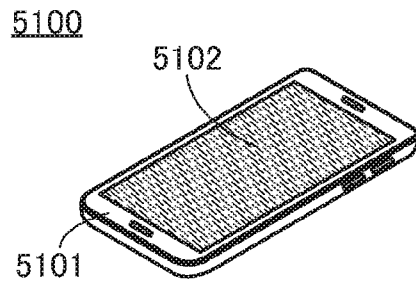


FIG. 44B

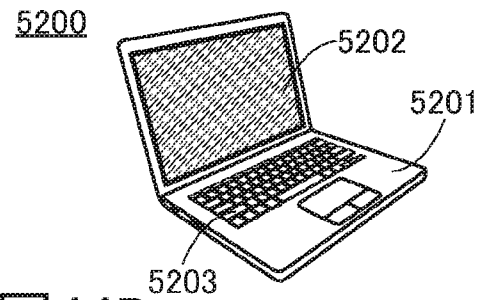


FIG. 44C

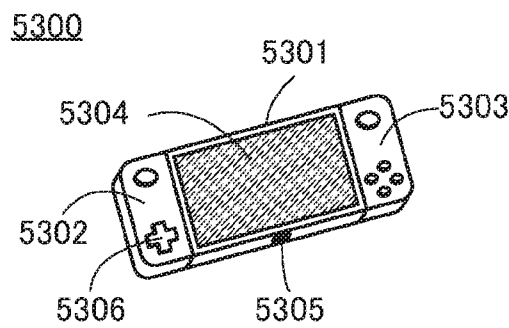


FIG. 44D

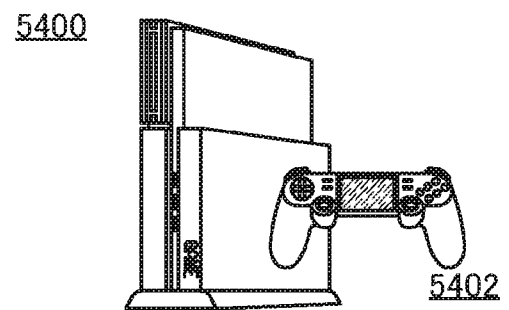


FIG. 44E

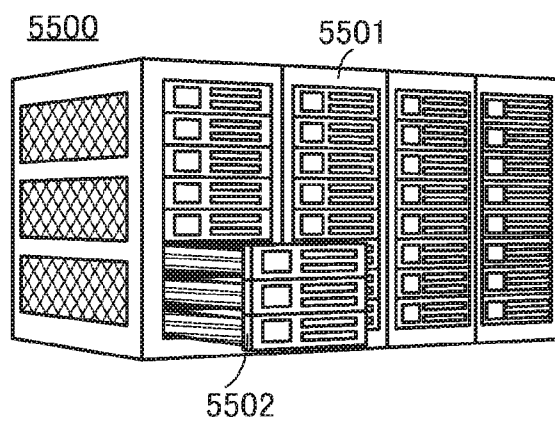


FIG. 44F

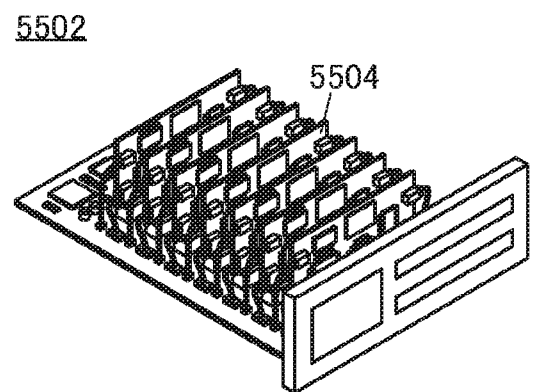


FIG. 44G

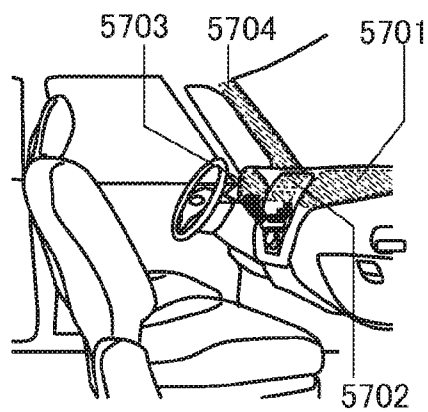


FIG. 44H

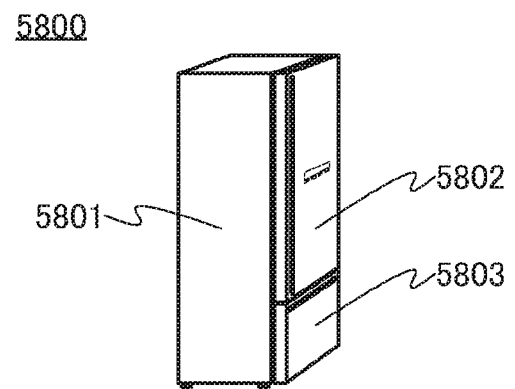


図45

45/46

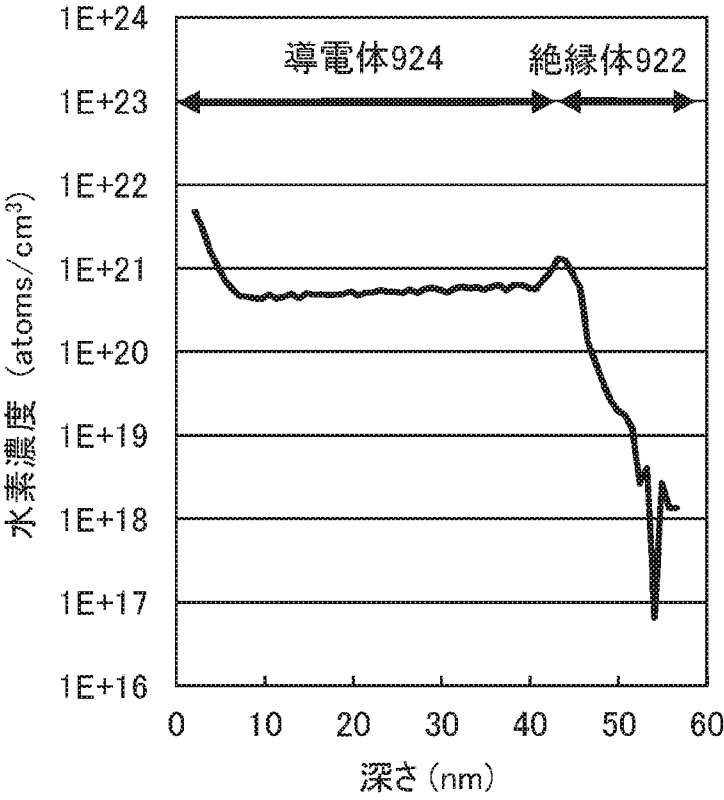
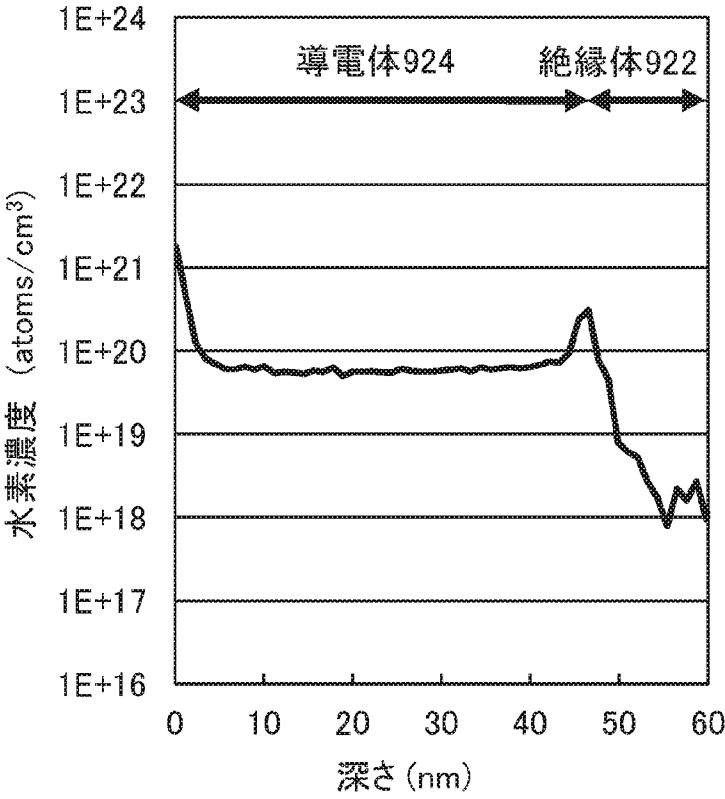


図46

46/46



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/056393

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8239(2006.01)i;
H01L 21/8242(2006.01)i; H01L 27/105(2006.01)i; H01L 27/108(2006.01)i;
H01L 27/1156(2017.01)i

FI: H01L29/78 617M; H01L29/78 626Z; H01L29/78 618B; H01L29/78 617J;
H01L29/78 618C; H01L29/78 626C; H01L27/108 671Z; H01L27/105 441;
H01L27/1156; H01L29/78 613B; H01L27/108 321

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/336; H01L21/8239; H01L21/8242; H01L27/105; H01L27/108;
H01L27/1156

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-175129 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28.09.2017 (2017-09-28) paragraphs [0059]-[0068], [0097]-[0185], [0194]-[0250], fig. 3, 6-25	1-8
Y	WO 2017/033082 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02.03.2017 (2017-03-02) paragraph [0135], fig. 1	1-3
Y	JP 2011-139047 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14.07.2011 (2011-07-14) paragraphs [0025], [0050], [0076]-[0080], [0087], fig. 5	1-3, 5, 8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 October 2020 (01.10.2020)

Date of mailing of the international search report
13 October 2020 (13.10.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/056393

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2018/178793 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04.10.2018 (2018-10-04) paragraphs [0162], [0232], [0243]-[0261], fig. 1, 3-9	4-8
Y	JP 2011-100981 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19.05.2011 (2011-05-19) paragraphs [0121]-[0137], fig. 3	5-7

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/056393

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-175129 A	28 Sep. 2017	US 2017/0271517 A1 paragraphs [0120]- [0129], [0158]- [0246], [0255]- [0311], fig. 2, 6A- 25D (Family: none)	
WO 2017/033082 A1	02 Mar. 2017	US 2011/0133181 A1 paragraphs [0049], [0073], [0099]- [0103], [0110], fig. 5	
JP 2011-139047 A	14 Jul. 2011	WO 2011/068032 A1 CN 102648525 A KR 10-2012-0089763 A CN 110402497 A KR 10-2019-0129891 A	
WO 2018/178793 A1	04 Oct. 2018	US 2011/0084273 A1 paragraphs [0140]- [0156], fig. 3	
JP 2011-100981 A	19 May 2011	WO 2011/043206 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8239(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/105(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i FI: H01L29/78 617M; H01L29/78 626Z; H01L29/78 618B; H01L29/78 617J; H01L29/78 618C; H01L29/78 626C; H01L27/108 671Z; H01L27/105 441; H01L27/1156; H01L29/78 613B; H01L27/108 321																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/336; H01L21/8239; H01L21/8242; H01L27/105; H01L27/108; H01L27/1156 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2020年																			
日本国実用新案登録公報	1996-2020年																			
日本国登録実用新案公報	1994-2020年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2017-175129 A（株式会社半導体エネルギー研究所）28.09.2017（2017-09-28） 段落 [0059] - [0068], [0097] - [0185], [0194] - [0250], 図3, 6-25</td> <td>1-8</td> </tr> <tr> <td>Y</td> <td>WO 2017/033082 A1（株式会社半導体エネルギー研究所）02.03.2017（2017-03-02） 段落 [0135], 図1</td> <td>1-3</td> </tr> <tr> <td>Y</td> <td>JP 2011-139047 A（株式会社半導体エネルギー研究所）14.07.2011（2011-07-14） 段落 [0025], [0050], [0076] - [0080], [0087], 図5</td> <td>1-3, 5, 8</td> </tr> <tr> <td>Y</td> <td>WO 2018/178793 A1（株式会社半導体エネルギー研究所）04.10.2018（2018-10-04） 段落 [0162], [0232], [0243] - [0261], 図1, 3-9</td> <td>4-8</td> </tr> <tr> <td>Y</td> <td>JP 2011-100981 A（株式会社半導体エネルギー研究所）19.05.2011（2011-05-19） 段落 [0121] - [0137], 図3</td> <td>5-7</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2017-175129 A（株式会社半導体エネルギー研究所）28.09.2017（2017-09-28） 段落 [0059] - [0068], [0097] - [0185], [0194] - [0250], 図3, 6-25	1-8	Y	WO 2017/033082 A1（株式会社半導体エネルギー研究所）02.03.2017（2017-03-02） 段落 [0135], 図1	1-3	Y	JP 2011-139047 A（株式会社半導体エネルギー研究所）14.07.2011（2011-07-14） 段落 [0025], [0050], [0076] - [0080], [0087], 図5	1-3, 5, 8	Y	WO 2018/178793 A1（株式会社半導体エネルギー研究所）04.10.2018（2018-10-04） 段落 [0162], [0232], [0243] - [0261], 図1, 3-9	4-8	Y	JP 2011-100981 A（株式会社半導体エネルギー研究所）19.05.2011（2011-05-19） 段落 [0121] - [0137], 図3	5-7
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y	JP 2017-175129 A（株式会社半導体エネルギー研究所）28.09.2017（2017-09-28） 段落 [0059] - [0068], [0097] - [0185], [0194] - [0250], 図3, 6-25	1-8																		
Y	WO 2017/033082 A1（株式会社半導体エネルギー研究所）02.03.2017（2017-03-02） 段落 [0135], 図1	1-3																		
Y	JP 2011-139047 A（株式会社半導体エネルギー研究所）14.07.2011（2011-07-14） 段落 [0025], [0050], [0076] - [0080], [0087], 図5	1-3, 5, 8																		
Y	WO 2018/178793 A1（株式会社半導体エネルギー研究所）04.10.2018（2018-10-04） 段落 [0162], [0232], [0243] - [0261], 図1, 3-9	4-8																		
Y	JP 2011-100981 A（株式会社半導体エネルギー研究所）19.05.2011（2011-05-19） 段落 [0121] - [0137], 図3	5-7																		
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 01.10.2020		国際調査報告の発送日 13.10.2020																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 高橋 優斗 5F 5585 電話番号 03-3581-1101 内線 3514																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/056393

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-175129	A	28.09.2017	US 2017/0271517 A1 段落 [0 1 2 0] - [0 1 2 9], [0 1 5 8] - [0 2 4 6], [0 2 5 5] - [0 3 1 1], 図 3, 6 A-2 5 D	
WO	2017/033082	A1	02.03.2017	(ファミリーなし)	
JP	2011-139047	A	14.07.2011	US 2011/0133181 A1 段落 [0 0 4 9], [0 0 7 3], [0 0 9 9] - [0 1 0 3], [0 1 1 0], 図 5	
				WO 2011/068032 A1 CN 102648525 A KR 10-2012-0089763 A	
WO	2018/178793	A1	04.10.2018	CN 110402497 A KR 10-2019-0129891 A	
JP	2011-100981	A	19.05.2011	US 2011/0084273 A1 段落 [0 1 4 0] - [0 1 5 6], 図 3	
				WO 2011/043206 A1	