(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102005463 B
(45)授权公告日 2014.10.08

(21)申请号 201010271200.2
(22)申请日 2010.09.01
(30)优先权数据
2009-202087 2009.09.01 JP
(73)专利权人 富士胶片株式会社
地址 日本国东京都
(72)发明人 后藤崇
(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 柳春琦
(51)Int.Cl.
H01L 27/146(2006.01)
H04N 5/225(2006.01)
(56)对比文件
US 2006/0196533 A1,2006.09.07,
US 2006/0196533 A1,2006.09.07,
CN 101164334 A,2008.04.16,
US 2007045760 A1,2007.03.01,
JP 2002083946 A,2002.03.22,
审查员 王朝政

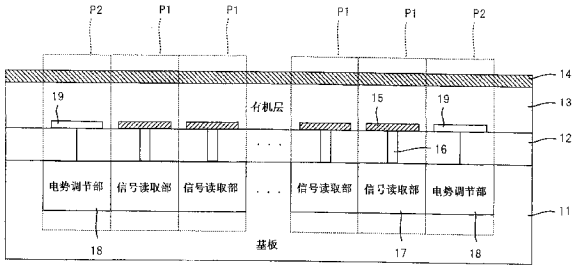
权利要求书2页 说明书39页 附图31页

(54)发明名称

摄像器件和摄像装置

(57)摘要

本发明公开了摄像器件和摄像装置，摄像器件包括多个被设置在二维空间中的基板的上面上的具有预定间隙的第一电极，第二电极，同时面对多个第一电极和第二电极的第三电极，被设置在多个第一电极和第二电极和第三电极之间的光电转换层，多个信号读取部，至少一个电势调节部。第二电极被布置成紧邻于被布置在最外侧上的第一电极上，其中布置在最外侧上的第一电极和第二电极之间插入有预定间隙。多个信号读取部被连接到多个第一电极上，并且读出与在电转换层中产生并且被移动到多个第一电极的电荷对应的信号。至少一个电势调节部连接到第二电极上并且调节第二电极的电势，使得根据在光电转换层中产生的并且被移动到第二电极的电荷确定的第二电极的电势不超过预定的范围。



CN 102005463 B

1. 一种摄像器件，所述摄像器件包含：

多个第一电极，所述第一电极被设置在二维空间中的基板的上面上，其中在所述第一电极中的一个和与所述这个第一电极相邻的另一个第一电极之间插入有预定间隙；

第二电极，所述第二电极被布置成紧邻于在所述第一电极中被布置在最外侧上的第一电极，其中在所述布置在最外侧上的第一电极和所述第二电极之间插入有所述的预定间隙；

第三电极，所述第三电极同时面对所述多个第一电极和所述第二电极；

光电转换层，所述光电转换层被设置在所述多个第一电极和所述第二电极和所述第三电极之间；

多个信号读取部，所述信号读取部被连接到所述多个第一电极上，并且读出与在所述光电转换层中产生并且被移动到所述多个第一电极的电荷对应的信号；和

至少一个电势调节部，所述电势调节部连接到所述第二电极上并且调节所述第二电极的电势，使得根据在所述光电转换层中产生并且被移动到所述第二电极的电荷确定的所述第二电极的电势不超过预定的范围。

2. 根据权利要求 1 所述的摄像器件，其中用于读出与在所述光电转换层中产生并且被移动到所述第二电极的所述电荷对应的信号的读取部没有连接到所述第二电极上。

3. 根据权利要求 1 所述的摄像器件，

其中所述信号读取部中的每一个均包括 MOS 晶体管电路，所述 MOS 晶体管电路包括：复位晶体管，所述复位晶体管被构造成使所述第一电极的电势复位；和输出晶体管，所述输出晶体管被构造成输出与在所述光电转换层中产生并且被移动至所述第一电极的空穴对应的电压信号，

其中所述 MOS 晶体管电路的每个晶体管均是 n- 沟道 MOS 晶体管，并且

其中所述的至少一个电势调节部调节所述第二电极的电势，使得根据在所述光电转换层中产生并且被移动到所述第二电极的空穴确定的所述第二电极的电势不超过阈值。

4. 根据权利要求 1 所述的摄像器件，

其中所述信号读取部中的每一个均包括 MOS 晶体管电路，所述 MOS 晶体管电路包括：复位晶体管，所述复位晶体管被构造成使所述第一电极的电势复位；和输出晶体管，所述输出晶体管被构造成输出与在所述光电转换层中产生并且被移动至所述第一电极的电子对应的电压信号，

其中所述 MOS 晶体管电路的每个晶体管均是 p- 沟道 MOS 晶体管，并且

其中所述的至少一个电势调节部调节所述第二电极的电势，使得根据在所述光电转换层中产生并且被移动到所述第二电极的电子确定的所述第二电极的电势不低于阈值。

5. 根据权利要求 2 所述的摄像器件，

其中所述信号读取部中的每一个均包括 MOS 晶体管电路，所述 MOS 晶体管电路包括：复位晶体管，所述复位晶体管被构造成使所述第一电极的电势复位；和输出晶体管，所述输出晶体管被构造成输出与在所述光电转换层中产生并且被移动至所述第一电极的空穴对应的电压信号，

其中所述 MOS 晶体管电路的每个晶体管均是 n- 沟道 MOS 晶体管，并且

其中所述的至少一个电势调节部调节所述第二电极的电势，使得根据在所述光电转换

层中产生并且被移动到所述第二电极的空穴确定的所述第二电极的电势不超过阈值。

6. 根据权利要求 2 所述的摄像器件，

其中所述信号读取部中的每一个均包括 MOS 晶体管电路，所述 MOS 晶体管电路包括：复位晶体管，所述复位晶体管被构造成使所述第一电极的电势复位；和输出晶体管，所述输出晶体管被构造成输出与在所述光电转换层中产生并且被移动至所述第一电极的电子对应的电压信号，

其中所述 MOS 晶体管电路的每个晶体管均是 p- 沟道 MOS 晶体管，并且

其中所述的至少一个电势调节部调节所述第二电极的电势，使得根据在所述光电转换层中产生并且被移动到所述第二电极的电子确定的所述第二电极的所述电势不低于阈值。

7. 根据权利要求 1 至 6 中任何一项所述的摄像器件，其中所述的至少一个电势调节部是直接连接所述第二电极和电源的配线。

8. 根据权利要求 1 至 6 中任何一项所述的摄像器件，其中所述的至少一个电势调节部是连接到所述第二电极上的二极管连接的晶体管。

9. 根据权利要求 1 至 6 中任何一项所述的摄像器件，其中所述的至少一个电势调节部是连接到所述第二电极上的二极管。

10. 根据权利要求 1 至 6 中任何一项所述的摄像器件，

其中所述的第一电极和所述第二电极被布置成四边形格子形状，并且

其中以所述四边形格子形状布置的所述电极中，将位于最外侧上的所述电极配置为所述第二电极，并且将其它的电极配置为所述第一电极。

11. 根据权利要求 1 至 6 中任何一项所述的摄像器件，其中所述的第二电极由连续形成以包围所述的多个第一电极的一个电极构成。

12. 根据权利要求 1 至 6 中任何一项所述的摄像器件，

其中所述的光电转换层含有有机材料，并且

其中所述的预定间隙等于或小于 3μm。

13. 一种摄像装置，所述摄像装置包含根据权利要求 1 至 6 中任何一项所述的摄像器件。

摄像器件和摄像装置

技术领域

[0001] 本发明涉及一种在基板的上面上具有光电转换层的堆叠型摄像器件和包括所述摄像器件的摄像装置。

背景技术

[0002] 在主要由CCD图像传感器或CMOS图像传感器为代表的单板摄像器件中，对应于滤色器的颜色信号通过三或四种类型的镶嵌形滤色器从像素部输出，所述的镶嵌形滤色器设置在进行光电转换的像素部（光电二极管）的排列的上面上。将从单板摄像器件输出的颜色信号进行处理，以产生彩色图像数据。但是，当镶嵌形滤色器是原色的滤色器时，约2/3的入射光被滤色器吸收。因此，在其中设置了镶嵌形滤色器的单板摄像器件中，在每个像素部中的光使用效率低，并且难以提高灵敏度。此外，由于在每个像素部中只获得一种颜色的颜色信号，因此难以增加分辨率，并且产生假色。

[0003] 因而，为了解决这些情况，例如，开发了在JP-T-2002-513145中公开的摄像器件。根据此摄像器件，通过将检测光信号的三折阱（three-folded wells)（光电二极管）布置在硅基板内，可以获得根据在硅基板的深度不同而具有不同光谱灵敏度的信号（在表面上在蓝、绿和红的波长处具有峰值）。根据此摄像器件，分辨率良好，并且光使用效率得到改善。但是，RGB输出信号的光谱灵敏度特性的分离不足，并且颜色再现性劣化。此外，为了获得真实的RGB信号，进行输出信号的加和减。但是，S/N由于加或减而劣化。

[0004] 因此，如在JP-T-2002-502120和JP-A-2002-83946中，研究并且开发了可以将RGB输出信号的光谱灵敏度特性良好分离的摄像器件。在这些摄像器件中，每个像素部都具有例如从光入射侧开始顺序堆叠光电转换层的结构，所述光电转换层顺序产生用于B，G，R的光的信号电荷。于是，在每个像素部中，与像素部一体地设置读取部，所述读取部可以独立地读出与由每个光电转换层中的光产生的电荷对应的信号。在这样的摄像器件中，由于在每个像素部的上面上没有放置任何滤色器，因此可以将可见光的使用效率配置为接近100％。此外，由于使用堆叠三个光电转换层的结构，因此可以在每个像素部中获得R，G和B三种颜色的颜色信号。而且，可以独立地选择三个光电转换层的光谱灵敏度特性。因此，RGB输出信号的光谱灵敏度特性的分离良好。结果，可以获得具有高灵敏度、高分辨率（假色在视觉上不可辨认）、优异颜色再现性和良好S/N的图像。

[0005] 本发明的发明人发现的缺点在于：由于如在JP-T-2002-502120和JP-A-2002-83946中公开的堆叠型摄像器件中的结构，而在图像中发生不均匀性。以下，将参考附图描述该缺点。

[0006] 图61是显示常规提出的堆叠型摄像器件的横截面的示意图。图61中所示的摄像器件包括：以两维形状布置的多个像素部P。每个像素部P包括：基板1，绝缘层2，光电转换层3，对电极4，像素电极5，连接部6和信号读取部7。像素电极5被设置在安置于基板1上的绝缘层2上并且对于每个像素部P是分开的。光电转换层3设置在像素电极5上，并且配置所有像素部P共有的一个光电转换层3。对电极4设置在光电转换层3上，并且配置

所有像素部 P 共有的一个对电极 4。将信号读取部 7 形成在基板 1 中并且由 MOS 电路等配置。连接部 6 由导电材料形成，所述连接部 6 将像素电极 5 和信号读取部 7 相互电连接在一起。在摄像器件的像素部中，通过在对电极 4 和像素电极 5 之间施加电场，在光电转换层 3 中产生的电荷（电子或空穴）移动至像素电极 5。于是，与移动至像素电极 5 的电荷对应的信号由信号读取部 7 读出并且向外输出。

[0007] 图 62 是从顶部观察的在图 61 中所示的摄像器件的图。在图 62 中，没有示出对电极 4。如图 62 中所示，以四边形格子形状布置多个像素部 P。每个像素部 P 的分隔区域是正方形。每个像素部 P 中包括的像素电极 5 是比像素部 P 小的正方形形状，并且被布置在像素部 P 的分隔区域的中心。此外，像素部 P 的像素电极 5，类似于像素部 P，被布置成四边形格子形状。因此，相邻像素电极 5 之间的距离在所有像素部中是相同的。图 62 中，在多个像素电极中，被设置在最外侧上的像素电极由没有阴影线的白色质点 (beta) 块表示。

[0008] 当集中在一个像素部 P 时，在包括在像素部 P 中的像素电极 5 和像素部 P 的端部之间存在间隙，并且在间隙之间施加弱电杨。因此，在此间隙中产生的电荷移动到像素电极 5 并且被转换成信号。因此，作为从像素部 P 输出的信号，不仅有与在像素电极 5 和对电极 4 之间的光电转换层 3 中产生的电荷对应的信号，而且还有与在此间隙中产生的电荷对应的信号。

[0009] 对于在图 62 中有阴影线的像素电极 5，包括像素电极 5 的像素部 P 的四个边与其它像素部 P 接触。因此，没有从包括像素电极 5 的像素部 P 的外面移动到像素电极 5 的电荷。但是，对于在图 62 中没有阴影线的像素电极 5，包括像素部 5 的像素部 P（设置在最外周上的像素部 P) 的四个边中的一个或两个不与其它的像素部 P 接触，并且电荷从位于设置在最外周的像素部 P 的更外侧上的光电转换层 3 移动至像素电极 5。

[0010] 因此，在多个像素部 P 中的被设置在最外周上的像素部 P 中，在像素电极 5 中收集的电荷多于位于内周边（参见图 62) 上的像素部 P（包括有阴影线的像素电极 5 的像素部 P) 的电荷。因此，像素电极 5 的电势上升（或下降）。至于在位于最外周的像素部 P 中的位于四个角上的像素部 P（位于最外端的像素部 P)，其它像素部 P 仅与所述像素部 P 的两个边接触，因此，特别是其电势上升（或下降）。结果，基于从摄像器件输出的信号的图像如图 63 中所示。

[0011] 图 63 是表示当通过使用图 61 和 62 中所示的摄像器件以恒定的光量进行摄像操作时可以得到的拍摄图像的一个实例的图。如图 63 中所示，在以恒定的光量拍摄的图像中，与位于最外周上的像素部 P 对应的位于外周上的像素比与位于内周上的像素部 P 对应的位于内周上的像素更亮，从而发生图像的不均匀性。特别是，与位于最外端上的像素部 P 对应的位于最外端上的像素最亮。

[0012] 此外，在图 61 和 62 所示的摄像器件中，通过不使用从位于最外周上的像素部 P 读出的信号作为图像信号，可以认为图像的不均匀性受到抑制。但是，即使不将从位于最外周上的像素部 P 读出的信号用作图像信号，图像质量也可能劣化。原因如下。当像素电极 5 的电势超过普通范围时，电荷从像素电极 5 中溢出，并且这些电荷可能对位于内周上的像素部 P 的像素电极 5 的电势有影响。随着微型化进展，像素电极 5 之间的间隙变得更窄，并且认为由于这样的因素导致的图像质量的劣化容易发生。

[0013] 在 JP-T-2002-502120 和 JP-A-2002-83946 中，没有完全触及由这样的堆叠型摄像

器件的结构引起的图像质量劣化的缺点。此外，没有使用可以解决此缺点的任何构造。

发明内容

[0014] 本发明是考虑到上述情形而发明的。本发明的目的在于提供一种摄像器件及具有所述摄像器件的摄像装置，所述摄像器件能够通过抑制由于堆叠型摄像器件的结构导致的图像不均匀性而改善图像质量。

[0015] [1] 根据本发明的一个方面，一种摄像器件包括多个第一电极，第二电极，第三电极，光电转换层，多个信号读取部，至少一个电势调节部。所述多个第一电极设置在二维空间中的基板的上面上，其中在所述第一电极中的一个和与所述的这个第一电极相邻的另一个第一电极之间插入有预定间隙。所述第二电极被布置成紧邻于在所述多个第一电极中被布置在最外侧上的第一电极，其中在所述在最外侧上布置的第一电极和所述第二电极之间插入有预定间隙。所述第三电极同时面对所述多个第一电极和所述第二电极。所述光电转换层被设置在所述多个第一电极和所述第二电极和所述第三电极之间。所述多个信号读取部被连接到所述多个第一电极上，并且读出对应于在所述电转换层中产生并且被移动到所述述多个第一电极的电荷的信号。至少一个电势调节部连接到所述第二电极上并且调节所述第二电极的电势，使得根据在所述光电转换层中产生并且被移动到所述第二电极的电荷确定的第二电极的所述电势不超过预定的范围。

[0016] [2] 在 [1] 的摄像器件中，用于读出对应于在所述光电转换层中产生并且被移动到第二电极中的所述电荷的信号的读取部没有连接到所述第二电极上。

[0017] [3] 在 [1] 或 [2] 的摄像器件中，

[0018] 其中所述信号读取部中的每一个均包括 :MOS 晶体管电路，所述 MOS 晶体管电路包括 :复位晶体管 (reset transistor)，所述复位晶体管被构造成使所述第一电极的电势复位 ;和输出晶体管，所述输出晶体管被构造成输出与在所述光电转换层中产生并且被移动至所述第一电极的空穴对应的电压信号，

[0019] 其中所述 MOS 晶体管电路的每个晶体管均是 n- 沟道 MOS 晶体管，并且

[0020] 其中所述的至少一个电势调节部调节所述第二电极的电势，使得根据在所述光电转换层中产生并且被移动到所述第二电极的空穴确定的所述第二电极的电势不超过阈值。

[0021] [4] 在 [1] 或 [2] 的摄像器件中，

[0022] 其中所述信号读取部中的每一个均包括 :MOS 晶体管电路，所述 MOS 晶体管电路包括 :复位晶体管，所述复位晶体管被构造成使所述第一电极的电势复位 ;和输出晶体管，所述输出晶体管被构造成输出与在所述光电转换层中产生并且被移动至所述第一电极的电子对应的电压信号，

[0023] 其中所述 MOS 晶体管电路的每个晶体管均是 p- 沟道 MOS 晶体管，并且

[0024] 其中所述的至少一个电势调节部调节所述第二电极的电势，使得根据在所述光电转换层中产生并且被移动到所述第二电极的电子确定的第二电极的电势不低于阈值。

[0025] [5] 在 [1] 至 [4] 中任何一项的摄像器件中，其中所述的至少一个电势调节部是直接连接所述第二电极和电源的配线。

[0026] [6] 在 [1] 至 [4] 中任何一项的摄像器件中，其中所述的至少一个电势调节部是连接到所述第二电极上的二极管连接的晶体管。

[0027] [7] 在 [1] 至 [4] 中任何一项的摄像器件中，其中所述的至少一个电势调节部是连接到所述第二电极上的二极管。

[0028] [8] 在 [1] 至 [7] 中任何一项中的摄像器件，

[0029] 其中所述的第一电极和所述第二电极被布置成四边形格子形状，并且

[0030] 其中以所述四边形格子形状布置的所述电极中，将位于最外侧上的所述电极配置为所述第二电极，并且将其它的电极配置为所述第一电极。

[0031] [9] 在 [1] 至 [7] 中任何一项中的摄像器件，其中所述的第二电极由连续形成的以包围所述的多个第一电极一个电极构成。

[0032] [10] 在 [1] 至 [9] 中任何一项中的摄像器件，

[0033] 其中所述的光电转换层含有有机材料，并且

[0034] 其中所述的预定间隙等于或小于 3μm。

[0035] [11] 根据本发明的另一方面，摄像装置包括在 [1] 至 [10] 中任何一项的摄像器件。

[0036] 采用 [1] 至 [10] 中的构造，可以提供摄像器件及具有所述摄像器件的摄像装置，所述摄像器件能够通过抑制由于堆叠型摄像器件的结构导致的图像不均匀性来改善图像质量。

[0037] 采用 [11] 的构造，可以提供能够通过抑制由于堆叠型摄像器件的结构导致的图像不均匀性来改善图像质量的摄像装置及具有所述摄像器件的摄像装置。

附图说明

[0038] 图 1 是表示根据本发明的一个示例性实施方案的摄像器件的横截面的示意图。

[0039] 图 2 是从上面观看的在图 1 中所示的摄像器件的图。图 2 中没有显示对电极 14。

[0040] 图 3 是表示在图 1 所示的摄像器件中，在将 MOS 电路用作信号读取部 17 的情况下的一种构造实例的图。

[0041] 图 4 是表示图 1 所示的摄像器件的电势调节部的第一构造实例的图。

[0042] 图 5 是表示图 1 所示的摄像器件的电势调节部的第二构造实例的图。

[0043] 图 6 是表示图 1 所示的摄像器件的电势调节部的第三构造实例的图。

[0044] 图 7 是表示图 2 所示的摄像器件的电势调节电极的一个改进实例的图。

[0045] 图 8 是说明在图 1 所示的摄像器件的像素电极之间的间隙的优选值的图。

[0046] 图 9 是说明在图 1 所示的摄像器件的像素电极之间的间隙的优选值的图。

[0047] 图 10 是表示在图 8 所示的构造中，在将部花青用作形成有机层的光电转换材料的情况下延迟 (lag) 产生率的曲线图。

[0048] 图 11 是表示在图 8 所示的构造中，在将部花青用作形成有机层的光电转换材料并且改变像素电极之间的间隙的情况下延迟产生率的曲线图。

[0049] 图 12 是表示在图 8 所示的构造中，在将酞菁用作形成有机层的光电转换材料的情况下延迟产生率的曲线图。

[0050] 图 13 是表示在图 8 所示的构造中，在将酞菁用作形成有机层的光电转换材料并且改变像素电极之间的间隙的情况下，在 1 帧之后的延迟产生率的曲线图。

[0051] 图 14 是表示在图 8 所示的构造中，在将 4H- 吡喃用作形成有机层的光电转换材料

的情况下，延迟产生率的曲线图。

[0052] 图 15 是表示在图 8 所示的构造中，在将 4H- 吡喃用作形成有机层的光电转换材料并且改变像素电极之间的间隙的情况下，在 1 帧之后的延迟产生率的曲线图。

[0053] 图 16 是表示在图 8 所示的构造中，在改变像素电极的电极面积的情况下，延迟产生率与帧数的相互关系的曲线图。

[0054] 图 17 是表示在图 8 所示的构造中，在改变像素电极的电压的情况下，延迟产生率与帧数的相互关系的曲线图。

[0055] 图 18 是堆叠型固态摄像装置的示意性横截面视图。

[0056] 图 19 是表示固态成像装置的周围电路的构造的一个实例的图。

[0057] 图 20 是显示有机层的构造的一个实例的横截面。

[0058] 图 21 是显示在图 20 中所示的光电转换器件的能带的图。

[0059] 图 22 是表示不同于所述有机层的一个构造实例的横截面视图。

[0060] 图 23 是表示图 22 中所示的光电转换器件的能带的图。

[0061] 图 24 是表示像素电极的构造的一个实例的示意性横截面视图。

[0062] 图 25 是表示通过使用凹槽分离方法形成的像素电极的构造的图。

[0063] 图 26 是说明通过使用凹槽分离方法形成像素电极的顺序的图。

[0064] 图 27 是说明通过使用凹槽分离方法形成像素电极的顺序的图。

[0065] 图 28 是说明通过使用凹槽分离方法形成像素电极的顺序的图。

[0066] 图 29 表示通过使用镶嵌方法形成的像素电极的构造。

[0067] 图 30 是说明通过使用镶嵌方法形成像素电极的顺序的图。

[0068] 图 31 是说明通过使用镶嵌方法形成像素电极的顺序的图。

[0069] 图 32 是说明通过使用镶嵌方法形成像素电极的顺序的图。

[0070] 图 33 是说明通过使用镶嵌方法形成像素电极的顺序的图。

[0071] 图 34 是表示滤色器的一种构造实例的平面图。

[0072] 图 35A 和 35B 是图 34 所示的滤色器的横截面视图。

[0073] 图 36A 和 36B 是表示其中将周围光屏蔽层作为膜形成的状态的图。

[0074] 图 37A 和 37B 是表示其中将光致抗蚀剂作为膜形成的状态的图。

[0075] 图 38A 和 38B 是表示对于光致抗蚀剂进行图案曝光、显影和后烘焙的状态的图。

[0076] 图 39A 和 39B 是表示其中对于周围光屏蔽层进行干法蚀刻工艺的状态的图。

[0077] 图 40A 和 40B 是表示其中将设置在周围光屏蔽层上的光致抗蚀剂剥离的状态的图。

[0078] 图 41A 和 41B 是表示其中将第一颜色的滤色器作为膜形成的状态的图。

[0079] 图 42A 和 42B 是表示其中将光致抗蚀剂作为膜形成在第一颜色的滤色器上的状态的图。

[0080] 图 43A 和 43B 是表示其中对于光致抗蚀剂进行图案化曝光、显影和后烘焙的状态的图。

[0081] 图 44A 和 44B 是表示其中对于第一颜色的滤色器进行干法蚀刻工艺的状态的图。

[0082] 图 45A 和 45B 是表示其中将在第一颜色的滤色器上形成的光致抗蚀剂剥离的状态的图。

[0083] 图 46A 和 46B 是表示其中将第二颜色的滤色器作为膜形成的状态的图。

[0084] 图 47A 和 47B 是表示其中将第一和第二颜色的滤色器平坦化的状态的图。

[0085] 图 48A 和 48B 是表示其中将光致抗蚀剂作为膜形成在第一和第二颜色的滤色器上的状态的图。

[0086] 图 49A 和 49B 是表示其中对于光致抗蚀剂进行图案曝光、显影和后烘焙的状态的图。

[0087] 图 50A 和 50B 是表示其中对用作掩模的光致抗蚀剂进行干法蚀刻的状态的图。

[0088] 图 51A 和 51B 是表示其中将光致抗蚀剂剥离的状态的图。

[0089] 图 52A 和 52B 是表示其中将间隔壁的材料作为膜形成的状态的图。

[0090] 图 53A 和 53B 是表示其中将第一和第二颜色的滤色器和间隔壁平坦化的状态的图。

[0091] 图 54A 和 54B 是表示其中光致抗蚀剂作为膜形成在第一和第二颜色的滤色器和间隔壁上的状态的图。

[0092] 图 55A 和 55B 是表示其中对于光致抗蚀剂进行图案曝光、显影和后烘焙的状态的图。

[0093] 图 56A 和 56B 是表示其中通过蚀刻间隔壁的一部分而形成第三颜色的滤色器的区域的状态的图。

[0094] 图 57A 和 57B 是表示其中将光致抗蚀剂剥离的状态的图。

[0095] 图 58A 和 58B 是表示其中将第三颜色的滤色器作为膜形成的状态的图。

[0096] 图 59 是固态摄像装置的另一种构造实例的横截面视图。

[0097] 图 60 是固态摄像装置的另一种构造实例的横截面视图。

[0098] 图 61 是显示常规堆叠型摄像器件的横截面的示意图。

[0099] 图 62 是常规堆叠型摄像器件的示意性平面图。

[0100] 图 63 是表示当使用图 61 和 62 所示的摄像器件以恒定的光量进行摄像操作时可以获得的拍摄图像的一个实例的图。

具体实施方式

[0101] 以下，将参考附图描述本发明的示例性实施方案。

[0102] 图 1 是表示根据本发明的一个示例性实施方案的摄像器件的横截面的示意图。图 1 中表示的摄像器件包括：基板 11；绝缘层 12；有机层 13；对电极 14；多个电极（多个像素电极 15 和多个电势调节电极 19）；连接部 16；信号读取部 17；和电势调节部 18。

[0103] 基板 11 是玻璃基板或由硅等形成的半导体基板。在基板 11 上，形成绝缘层 12。此外，在绝缘层 12 上，形成多个电极。

[0104] 图 2 是从上面观看的在图 1 中所示的摄像器件的图。图 2 中没有示出对电极 14。

[0105] 在绝缘层 12 的表面的水平方向和与该方向垂直的方向上的二维空间（在图 2 中表示的示例中，是正方形格子形状）中，布置多个电极，并且在它们之间插入预定间隙 A。在多个电极中，设置在最外侧的电极是电势调节电极 19，并且其它电极是像素电极 15。

[0106] 有机层 13 至少包括由根据接收的光产生电荷的有机光电转换材料形成的光电转换层。将有机层 13 设置在像素电极 15 和电势调节电极 19 上以覆盖电极。

[0107] 对电极 14 是面对像素电极 15 和电势调节电极 19 的电极并且被设置在有机层 13 上。为了允许光入射到有机层 13 上，对电极 14 由对入射光透明的导电材料构成。将预定的电压可以通过图中未示出的配线施加给对电极 14。因此，可以在对电极 14 和多个电极（像素电极 15 和电势调节电极 19）之间施加电场。

[0108] 图 1 和 2 中，将方框（在图中由虚线表示的方框）限定为像素部，所述的方框由直线分隔，所述的直线将位于电极（像素电极 15 和电势调节电极 19）的端部中的两边在垂直方向上分隔开由电极之间的间隙 A 的一半的点和将位于电极的端部中的两边在水平方向上分隔开由电极之间的间隙 A 的一半的点连接。将包括像素电极 15 的像素部设置为标准像素部 P1，并且将包括电势调节电极 19 的像素部设置为周围像素部 P2。

[0109] 像素电极 15 是电荷收集电极，用于收集在标准像素部 P1 所包含的有机层 13 内设置的光电转换层中产生的电荷。将信号读取部 17 根据多个像素电极 15 中的每一个设置并且和输出与在对应的像素电极 15 中收集的电荷对应的信号。信号读取部 17，例如，由 CCD，MOS 晶体管电路 (MOS 电路)，TFT 电路等构造。连接部 16 将像素电极 15 和与其对应的信号读取部 17 相互连接。连接部 16 由包埋在绝缘层 12 中的导电材料构成。

[0110] 图 3 是表示在图 1 所示的摄像器件中，在将 MOS 电路用作信号读取部 17 的情况下的一种构造实例的图。图 3 中，将相同的附图标记分配给与图 1 中相同的构成部件。

[0111] 图 3 所示的信号读取部 17 包括浮动扩散 FD(floating diffusion)，复位晶体管 17a，输出晶体管 17b 和选择晶体管 17c。复位晶体管 17a，输出晶体管 17b 和选择晶体管 17c 分别由 n- 沟道 MOS 晶体管（以下，称作 nMOS 晶体管）构造。

[0112] 将浮动扩散 FD 电连接到像素电极 15 上。因而，浮动扩散 FD 的电势根据像素电极 15 的电势而改变。在图 3 中所示的实例中，设置施加给对电极 14 的电压 VPX，使得信号流 Isig 在曝光期间在有机层 13 内从对电极 14 向像素电极 15 流动（换言之，在有机层 13 内的光电转换层中产生的空穴被收集在像素电极 15 中）。因此，在曝光期间，通过使信号流 Isig 流动通过像素电极 15，像素电极 15 的电势增大。根据像素电极 15 的电势的增大，浮动扩散 FD 的电势增大。

[0113] 复位晶体管 17a 用于将浮动扩散 FD 的电势复位为预定电势。复位晶体管 17a 具有电连接到浮动扩散 FD 的漏极接线端和被供应电压 VS 的源极接线端。当施加给复位晶体管 17a 的栅极接线端的复位脉冲 RS 达到高电平 (level) 时，复位晶体管 17a 开启，并且电子从复位晶体管 17a 的源极注入到漏极。浮动扩散 FD 的电势由于电子而下降，并且将浮动扩散 FD 的电势智复位为预定电势。将电压 VS 设置成低于电压 VPX。因此，信号流 Isig 在曝光期间从对电极 14 向像素电极 15 流动。在这样一种构造下，像素电极 15 的电势可以从电压 VS 升高到电压 VPX，因此，可以在此范围内读出信号。

[0114] 输出晶体管 17b 将浮动扩散 FD 的电势转换成电压信号并输出该电压信号。换言之，输出晶体管 17b 输出与在像素电极 15 中收集的电荷对应的信号。输出晶体管 17b 具有与浮动扩散 FD 电连接的栅极接线端和被供应源极电压 Vdd 的漏极接线端。此外，将输出晶体管 17b 的源极接线端连接到选择晶体管 17c 的漏极接线端上。

[0115] 选择晶体管 17c 是用于选择性地将输出晶体管 17b 的输出信号输出至信号线 17d。选择晶体管 17c 具有连接到信号线 17d 上的源极接线端。当施加给选择晶体管 17c 的栅极接线端上的选择脉冲 RW 变成高电平时，选择晶体管 17c 开启。因此，将由输出晶体管 17b

转换的电压信号输出给信号线 17d。

[0116] 在这样一种电路构造下，信号读取部 17 可以将与在像素电极 15 中收集的电荷对应的信号读到信号线 17d 中。

[0117] 在图 3 所示的电路中，可以进行构造的是：复位晶体管 17a，输出晶体管 17b 和选择晶体管 17c 分别由 p- 沟道 MOS 晶体管构造，在电压 VS 和电压 VPX 之间的关系设置为“VPX ＜ VS”的情况下，电子被收集在像素电极 15 中，并且由 MOS 电路读出对应于电子的量的信号，所述 MOS 电路由 pMOS 晶体管构造。在这样一种构造下，像素电极 15 的电势可以从电压 VS 下降至电压 VPX，并且可以在此范围读出信号。

[0118] 返回参考图 1，电势调节电极 19 是新设置的电极，例如，用于使得在以恒定的光量进行摄像过程时在所有像素电极 15 中收集的电荷的量均匀。为了允许由所有像素电极 15 收集的电荷的量均匀，可以空出在每个像素电极 15 的水平方向和垂直方向上的均匀距离，以设置用于收集在位于有机层 13 内的光电转换层中产生的电荷的电极。如图 2 中所示，通过使用位于最外侧上的以均匀间距布置在二维空间中的多个电极中的电极作为电势调节电极 19，可以满足上述条件。根据在图 2 中所示的构造，在水平方向和垂直方向上距离每个像素电极 15 的四边恒定距离分隔的位置中，必须放置其它电极。因此，仅在包括像素电极 15 的标准像素部 P1 内的有机层 13 中产生的电荷才移动到每个像素电极 15。因此，在所有像素电极 15 中收集的电荷的量可以是均匀的。

[0119] 在其中包括电势调节电极 19 的周围像素部 P2 内的有机层 13 中产生的电荷和在周围像素部 P2 的外侧上的有机层 13 中产生的电荷根据在对电极 14 和电势调节电极 19 之间施加的电场而移动到电势调节电极 19。然而，与移动到电势调节电极 19 的电荷对应的信号被构造成没有被读出在摄像器件的外侧上。换言之，读出与在有机层 13 内的光电转换层中产生的并且移动到电势调节电极 19 的电荷对应的信号的信号读取部被构造成没有连接到电势调节电极 19 上。

[0120] 作为电势调节电极 19 的材料，可以使用任何导电材料。但是，通过使用与像素电极 15 的材料相同的材料，可以与像素电极 15 同时地形成电势调节电极 19，由此可以下降成本。

[0121] 对于像素电极 15，包括像素电极 15 的标准像素部 P1 的四个边与其它的像素部接触，因此，电荷不从标准像素部 P1 外部的有机层 13 移动到像素电极 15。但是，对于电势调节电极 19，包括电势调节电极 19 的周围像素部 P2 的四个边中的一个或两个边不与其它像素部接触。因此，如图 2 中所示，电荷从在周围像素部 P2 外侧上的有机层 13 移动到电势调节电极 19。

[0122] 换言之，当通过使用此摄像器件以恒定的光量进行摄像过程时，移动到电势调节电极 19 的电荷的量大于移动到像素电极 15 的电荷的量。因此，例如当以恒定的光量进行摄像过程时，在由标准像素部 P1 获得的信号电平 (signal level) 和由周围像素部 P2 获得的信号电平之间存在差别。但是，此摄像器件被构造成不从周围像素部 P2 读取信号。因此，信号电平的差别没有引起任何不利情况。

[0123] 另一方面，如上所述，当大量的电荷移动到电势调节电极 19 并且电势调节电极 19 的电势显著升高或下降使得电势调节电极 19 的电势超过信号读取部 17 的输出范围（电压 VS 至电压 VPX 的范围）时，电势的变化可能影响像素电极 15 的电势。当存在这样的影响

时，从标准像素部 P1 获得的信号存在变化。因此图像质量可能劣化。

[0124] 因而，根据此摄像器件，通过采用设置电势调节电极 19 调节电势，进一步改善了图像质量。

[0125] 电势调节部 18 是根据每个电势调节电极 19 设置的，并且调节电势，使得相应电势调节电极 19 的电势不超过输出范围。作为电势调节部 18，可以使用任何可以防止电势调节电极 19 的电势过分上升或下降的装置。在信号读取部 17 收集在像素电极 15 中的空穴并且由 nMOS 晶体管构造的情况下，电势可以由电势调节部 18 调节，使得电势调节电极 19 的电势不超过阈值。另一方面，在信号读取部 17 收集在像素电极 15 中的电子并且由 pMOS 晶体管构造的情况下，电势可以由电势调节部 18 调节，使得电势调节电极 19 的电势不低于阈值。后面将描述电势调节部 18 的一个具体实例。

[0126] 接着，将描述如上所述构造的摄像器件在进行摄像操作时的操作。

[0127] 当由摄像器件开始曝光并且将光入射到有机层 13 上时，在有机层 13 中产生与入射光对应的电荷。在曝光期间，将电压 VPX 施加给对电极 14。因此，根据在对电极 14 和像素电极 15 之间施加的电场，在标准像素部 P1 所包括的有机层 13 内产生的电荷（电子或空穴）移动到标准像素部 P1 所包括的像素电极 15，以被收集在其中。然后，与在标准像素部 P1 的像素电极 15 中收集的电荷相应的信号由信号读取部 17 外部读出。通过处理由多个标准像素部 P1 获得的多个信号，可以产生具有像素的图像数据，该像素的数量与标准像素部 P1 的数量相同。

[0128] 另一方面，在周围像素部 P2 中，根据在对电极 14 和电势调节电极 19 之间施加的电场，在包括在周围像素部 P2 中的有机层 13 内的光电转换层中产生的电荷（电子或空穴）移动到电场调节电极 19，以被收集在其中。如上所述，在放置在围像素部 P2 外侧上的有机层 13 中产生的电荷也移动到电势调节电极 19。因此，电势调节电极 19 的电势高于或低于像素电极 15 的电势。但是，由电势调节部 18 将电势调节电极 19 的电势保持在预定范围内。因此，像素电极 15 的电势变得稳定，并且其对图像质量的影响得到抑制。

[0129] 如上所述，根据此摄像器件，在将要从其中读出信号的每个像素电极 15 周围，将另一个像素电极 15 和电势调节电极 19 中的至少一个设置成距离像素电极 15 预定间隙。因此，例如，当进行以恒定的光量的摄像过程时，在像素电极 15 中收集的电荷的量几乎相同，从而可以使从全部标准像素部 P1 获得的信号均匀化。结果，与其中不包括电势调节电极 19 的通常结构的情况相比，可以改善图像质量。

[0130] 此外，由于设置了用于调节被设置在所有像素电极 15 的外侧上的电势调节电极 19 的电势的电势调节部 18，可以限制在以恒定的光量进行摄像过程时，在曝光期间的电势调节电极 19 的电势（即，在电势调节电极 19 中积累的电荷量）。因此，例如，在以恒定的光量进行摄像过程时，可以使从所有标准像素部 P1 获得的信号的电平均匀化。因此，可以实现更高的图像质量。

[0131] 以下，将描述电势调节部 18 的一个具体实例。

[0132] （第一实例）

[0133] 图 4 是表示图 1 所示的摄像器件的电势调节部 18 的第一构造实例的图。在图 4 中，对于与图 1 中所示相同的构成部件，分配相同的附图标记。

[0134] 在此实例中，将连接用于供应电压 VS 的电源和电势调节电极 19 彼此连接的配线

构造成电势调节部 18。连接作为电势调节部 18 的配线到电势调节电极 19 上，并且将此配线连接到图中未示出的极板 (pad) 上。此外，位于摄像器件外部的电源被构造成可连接到极板上。将配线形成在绝缘层 12 内并且可以与在摄像器件中使用的其它配线同时形成。

[0135] 在这样一种构造下，当使用摄像器件时，在所有时间将电势调节电极 19 的电势固定为电压 VS。因此，即使在电势调节电极 19 中收集电荷的情况下，也防止了电势调节电极 19 的电势超过信号读取部 17 的输出范围。可以抑制其对像素电极 15 的影响。在这样一种构造下，由于使用其中将电势调节电极 19 直接连接到电源上的简单结构，因此可以以低成本实现电势调节部 19。

[0136] （第二实例）

[0137] 图 5 是表示图 1 所示的摄像器件的电势调节部 18 的第二实例的图。在图 5 中，对于与图 1 中所示相同的各个构成元件，分配相同的附图标记。

[0138] 在此实例中，将二极管连接的晶体管构造成电势调节部 18。将此晶体管形成在基板 11 上并且电连接到电势调节电极 19 上。此晶体管是具有连接在一起的栅极接线端和漏极接线端的 nMOS 晶体管，并且防止电势调节电极 19 的电势上升到等于或高于（电压 VS+ 晶体管的阈值 Vth)。

[0139] 在这样一种构造下，将电势调节电极 19 的电势调节到不等于或高于阈值。因此，即使在电势调节电极 19 中收集大量电荷的情况下，也防止了电势调节电极 19 的电势超过信号读取部 17 的输出范围。因此，可以抑制其对像素电极 15 的影响。在作为信号读取部 17 的像素电极 15 中收集电子并且使用 pMOS 晶体管的情况下，可以将连接到像素电极 15 的二极管连接的 pMOS 晶体管用作电势调节部 18。

[0140] （第三实例）

[0141] 图 6 是表示图 1 所示的摄像器件的电势调节部 18 的第三实例的图。图 6 中，对于与图 1 中所示相同的构成部件，分配相同的附图标记。

[0142] 此实例中，将电连接到每个电势调节电极 19 上的二极管构造成电势调节部 18。例如，此二极管是齐纳二极管 (zener diode)。将齐纳二极管形成在基板 11 上。齐纳二极管防止电势调节电极 19 的电势升高到等于或高于（电压 VS+ 二极管的击穿电压）。

[0143] 在这样一种构造下，调节电势调节电极 19 的电势，使其不等于或高于阈值。因此，即使在电势调节电极 19 中收集大量电荷的情况下，也防止电势调节电极 19 的电势超过信号读取部 17 的输出范围。因此，可以抑制其对像素电极 15 的影响。

[0144] 如上所述，电势调节部 18 可以采用各种手段实现。

[0145] 此外，在图 2 表示的实例中，在电势调节电极 19 之间存在间隙。可以使用这样的间隙被消除的构造。换言之，可以将电势调节电极 19 构造成连续形成的一个电极（即，在没有任何间隙的情况下形成）以围绕像素电极 15。

[0146] 图 7 是表示图 2 所示的摄像器件的电势调节电极 19 的一个改进实例的图。在图 7 所示的摄像器件中，在没有任何间隙的情况下形成电势调节电极 19 以围绕像素电极 15 的周边。在图 7 所示的电势调节电极 19 的内边和像素电极 15 的外边之间的距离被构造成与像素电极 15 的间隙 A 相同。

[0147] 通过采用如图 7 表示的构造，可以将电势调节部 18 的数量构造成最小化为 1 个。因此，可以降低电势调节部 18 的数量。在位于电势调节电极 19 的下部的基板 11 中，产生

宽的空间。因此，可以通过使用该空间形成电势调节部 18，由此改善了设计的自由度。

[0148] 接着，将描述上面所述的像素电极 15 的间隙 A 的适宜值。

[0149] 在图 1 中所示的摄像器件中，如图 8 和 9 中所表示的，相邻像素电极 15 之间的间隙被假定为 a，像素电极 15 的宽度（在电极具有如图 9 中所示的正方形形状的情况下，其周围边缘的一边的长度）被假定为 d，像素电极 15 的布置间距被假定为 p，并且有机层 13 的厚度被假定为 t。此外，在有机层 13 中的像素电极 15 上的电场被假定为 E，并且像素电极 15 之间的间隙中的电场被假定为 E'。此外，有机层 13 中的电荷的迁移率被假定为 u。于是，电场 E 和 E' 可以以下面的等式表示。

[0150] [数学表达式 1]

[0151] $$E = \frac{V2-V1}{t}$$

[0152] [数学表达式 2]

[0153] $$E' = \frac{V2-V1}{\sqrt{\frac{a^2}{4}+t^2}}$$

[0154] 通常，通过使用在有机层 13 内的载流子的迁移率 u，将在有机层 13 内的载流子的移动所需要的时间 τ 表示为下面的等式。此处，l 表示移动距离，并且 E 表示场强。

[0155] [数学表达式 3]

[0156] $$\tau = \frac{l}{uE}$$

[0157] 因此，刚好在像素电极 15 上面的对电极 14 附近产生的载流子到达像素电极 15 所需要的时间 T1 由下面的等式确定。

[0158] [数学表达式 4]

[0159] $$T1 = \frac{t}{uE} = \frac{t^2}{u(V1-V2)}$$

[0160] 另一方面，在有机层 13 的最上表面上产生的电荷到达像素电极 15 所需要的时间 T2 由下面的等式确定。

[0161] [数学表达式 5]

[0162] $$T2 = \frac{\frac{a^2}{4}+t^2}{u(V2-V1)}$$

[0163] 为了防止产生延迟，T1 和 T2 中的任何一个需要短于一帧时间 T。当基于“T1 ＜ T2”满足关系“T2 ＜ T”时，不产生延迟。

[0164] 在 T ＝ 33msec，V2-V1 ＝ 10V，有机层 13 中的迁移率 u ＝ $1\times10^{-6}cm^2/V\cdot sec$ 并且 t ＝ 200nm 的情况下，理论上，当满足关系“a ＜ 10μm”时，不产生延迟。

[0165] 但是，根据本发明的发明人的研究，在实际的装置中，没有获得与上述理论相同的结果，并且除非进一步降低间隙，否则仍产生延迟。引起这样的结果的因素之一被认为是不能由上述等式表示的载流子在有机层 13 中的行为。

[0166] 因而，本发明的发明人进行了如下实验，以检查在改变构造的情况下延迟的产生程度。

[0167] 图 10 是表示在将部花青用作形成有机层 13 的光电转换材料的情况下，延迟产生率的曲线图。图 11 是表示在将部花青用作形成有机层 13 的光电转换材料并且改变像素电极 15 之间的间隙的情况下，在 1 帧之后的延迟产生率的曲线图。

[0168] 图 12 是表示在将酞菁用作形成有机层 13 的光电转换材料的情况下，延迟产生率的曲线图。图 13 是表示在将酞菁用作形成有机层 13 的光电转换材料并且改变像素电极 15 之间的间隙的情况下，在 1 帧之后的延迟产生率的曲线图。

[0169] 图 14 是表示在将 4H- 吡喃用作构造有机层 13 的光电转换材料的情况下，延迟产生率的曲线图。图 15 是表示在将 4H- 吡喃用作形成有机层 13 的光电转换材料并且改变像素电极 15 之间的间隙的情况下，在 1 帧之后的延迟产生率的曲线图。

[0170] 在图 10、12 和 14 所示的曲线图中，垂直轴表示延迟相对于帧数的产生率 (Sig. %)，并且水平轴表示帧数。此处，将光源与 0 帧同步地关闭。此外，在图 11、13 和 15 所示的曲线图中，垂直轴表示在 1 帧后的延迟的产生率 (Sig. %)，并且水平轴表示间隙的尺寸 (μm)。

[0171] 在图 10 中所示的摄像器件中，在将像素电极之间的间隙改变为 5μm，4μm，3μm 和 2μm 的同时，将延迟的产生程度相互比较。当将间隙设置为 5μm 或 4μm 时，在 1 至 3 帧中识别到延迟的产生。另一方面，可以知道的是当将间隙设置为 3μm 或 2μm 时，延迟被抑制到延迟在实际应用中不管帧数如何均不引起不利情况的水平。

[0172] 如图 11 所示，可以知道的是当将间隙设置为等于或小于 3μm 时，可以将在 1 帧后的延迟的产生抑制为接近零。

[0173] 在图 12 所示的摄像器件中，在将像素电极之间的间隙改变为 6μm，4.5μm，3μm 和 1.5μm 的同时，将延迟的产生程度相互比较。当将间隙设置为 6μm 或 4.5μm 时，在 1 至 4 帧中识别到延迟的产生。另一方面，可以知道的是当将间隙设置为 3μm 或 1.5μm 时，延迟被抑制到延迟在实际应用中不管帧数如何均不引起不利情况的水平。

[0174] 如图 13 所示，可以知道的是当将间隙设置为等于或小于 3μm 时，可以将在 1 帧后的延迟的产生抑制为接近零。

[0175] 在图 14 所示的摄像器件中，在将像素电极之间的间隙改变为 5.5μm，4μm，3μm 和 2.5μm 的同时，将延迟的产生程度进行相互比较。当将间隙设置为 5.5μm 或 4μm 时，在 1 至 4 帧中识别到延迟的产生。另一方面，当将间隙设置为 3μm 或 2.5μm 时，可以知道的是延迟被抑制到延迟在实际应用中不管帧数如何均不引起不利情况的水平。

[0176] 如图 15 所示，可以知道的是当将间隙设置为等于或小于 3μm 时，可以将在 1 帧后的延迟的产生抑制为接近零。

[0177] 如上所述，在其中在有机层 13 中使用有机光电转换材料（部花青，酞菁，或 4H- 吡喃）的构造中，可以知道的是：当将像素电极之间的间隙设置为等于或小于 3μm 时，可以将延迟抑制到延迟在实际应用中不管光电转换材料如何均不引起不利情况的水平。另一方面，可以知道的是：当将间隙设置为等于或大于 4μm 时，延迟显著地出现。

[0178] 接着，当改变像素电极 15 的面积和施加给对电极 14 的电压时，测量对于帧的延迟。在此测量中，将部花青用作光电转换材料。

[0179] 图 16 是表示在改变像素电极 15 的电极面积的情况下，延迟产生率与帧数的相互关系的曲线图。此处，在其中电极面积为 5μm×5μm，10μm×10μm 和 15μm×15μm 的构

造中，测量相互关系。此外，在测量中，将像素电极 15 之间的间隙设置为 3μm，并且将施加给对电极 14 的电压设置为 10V。结果，当像素电极 15 之间的间隙是 3μm 时，不管电极面积如何，均抑制了对于每个帧数的延迟的产生。

[0180] 图 17 是表示在改变对电极 14 的电压的情况下，延迟产生率与帧数的相互关系的曲线图。此处，在其中将对电极 14 的电压 (V2) 设置为 5V，7V 和 10V 的构造中，测量相互关系。此外，在测量中，将像素电极 15 之间的间隙设置为 3μm，并且像素电极 15 的电极面积为 10μm×10μm。结果，当像素电极 15 之间的间隙是 3μm 时，不管对电极 14 的电压如何，均抑制了对于每个帧数的延迟的产生。

[0181] 通过测量证实，在将有机光电转换材料被用于形成图 1 或 2 所示的摄像器件的有机层 13 的情况下，可以知道的是，像素电极 15 之间的间隙对延迟有影响而不取决于像素电极 15 的电极面积或对电极 14 的电压。换言之，通过构造像素电极 15 之间的间隙等于或小于 3μm，可以抑制延迟的产生而与像素电极 15 的电极面积或对电极 14 的电压无关。

[0182] 以下，将描述根据本发明一个示例性实施方案的堆叠型摄像器件的一个优选构造实例。

[0183] 图 18 是堆叠型固态摄像装置的示意性横截面视图。

[0184] 图 18 中所示的固态摄像装置 100 包括 :基板 101，绝缘层 102，连接电极 103，像素电极 104，连接部 105，连接部 106，有机层 107，对电极 108，缓冲层 109，密封层 110，滤色器 111，间隔壁 112，光屏蔽层 113，保护层 114，对电极电压供应部 115 和读取电路 116。

[0185] 基板 101 是玻璃基板或由硅等形成的半导体基板。在基板 101 上，形成绝缘层 102。此外，在绝缘层 102 的表面上，形成多个像素电极 104 和多个连接电极 103。

[0186] 将有机层 107 构造成至少包括光电转换层。光电转换层根据接收的光产生电荷。将有机层 107 设置在多个像素电极 104 上以覆盖像素电极 104。有机层 107 在像素电极 104 上具有恒定的膜厚度。但是，可以改变在除了像素部（除了有效像素区域）之外的部分中的有机层 107 的膜厚度。后面将详细描述有机层 107。此外，有机层 107 不限于被构造为由仅由有机材料形成的层，而可以被构造成包括由有机材料形成的层的一部分。

[0187] 对电极 108 是面对像素电极 104 的电极并且被设置在有机层 107 上以覆盖有机层 107。为了允许光入射到有机层 107 上，对电极 108 由对入射光透明的导电材料构成。将对电极 108 形成到设置在有机层 107 的外侧上的连接电极 103 的上面上，以被电连接到连接电极 103 上。

[0188] 将连接部 106 包埋在绝缘层 102 中，并且是用于将连接电极 103 和对电极电压供应部 115 相互电连接的插塞。对电极电压供应部 115 形成在基板 101 中并且将预定电压通过连接部 106 和连接电极 103 施加给对电极 108。在施加给对电极 108 的电压高于固态摄像装置 100 的电源电压的情况下，预定电压通过采用增压电路如充电泵 (charge pump) 提高电源电压来供应。

[0189] 像素电极 104 是用于收集在像素电极 104 和面对像素电极 104 的对电极 108 之间设置的有机层 107 中产生的电荷的电荷收集电极。将读取电路 116 根据多个像素电极 104 中的每一个而设置在基板 101 上并且读出与在相应的像素电极 104 中收集的电荷对应的信号。读取电路 116 例如由 CCD，MOS 电路，TFT 电路等构造。读取电路 116 由设置在绝缘层 102 内的图中未示出的光屏蔽层屏蔽。后面将详细描述像素电极 104 和读取电路 116。

[0190] 将缓冲层 109 形成在对电极 108 上以覆盖对电极 108。将密封层 110 形成在缓冲层 109 上以覆盖缓冲层 109。将滤色器 111 形成在密封层 110 上的面对像素电极 104 的位置上。将间隔壁 112 设置在滤色器 111 之间并且用于改善滤色器 111 的光透射效率。将光屏蔽层 113 形成在密封层 110 上的除其中设置滤色器 111 和间隔壁 112 的区域之外的区域中，并且防止光入射到形成在除有效像素区域之外的区域中的有机层 107 上。将保护层 114 形成在滤色器 111、间隔壁 112 和光屏蔽层 113 上，并且保护整个固态摄像装置。后面将详细描述缓冲层 109、密封层 110、滤色器 111、间隔壁 112、光屏蔽层 113 和保护层 114。

[0191] 此外，在图 18 中表示的实例中，形成像素电极 104 和连接电极 103 以将其包埋于绝缘层 102 的表面部分中。但是，可以将像素电极 104 和连接电极 103 形成在绝缘层 102 上。此外，设置多个组，每个组由连接电极 103，连接部 106 和对电极电压供应部 115 构造。但是，可以只设置其中一组。类似于在图 18 中表示的实例，通过将电压从对电极 108 的两个端部供应给对电极 108，可以抑制对电极 108 的电压下降。考虑到器件的芯片面积，可以适宜地增加或减少组的数量。

[0192] 固态摄像装置 100 包括多个像素部。将多个像素部布置在二维空间中，所述二维空间处于其中基板 101 从光的入射侧看在平面图中的状态。像素部至少包括：像素电极 104，有机层 107，面对像素电极 104 的对电极 108，密封层 110，滤色器 111 和读取电路 116。

[0193] 接着，将描述周围电路的一个构造实例。上述读取电路 116 优选采用用于普通图像传感器用的 CCD 或 CMOS 电路。此外，出于噪声和速度的考虑，优选采用 CMOS 电路。在周围电路的构造实例中，下面所述的是其中将 CMOS 电路用作读取电路 116 的一个构造实例

[0194] 图 19 是表示包括图 1 所示的固态成像装置的周围电路的整个构造的一个实例的图。如图 19 中所示，除了图 18 中表示的构造之外，固态摄像装置 100 还包括：垂直驱动器 121，定时脉冲发生器 (timing gererator)122，信号处理电路 123，水平驱动器 124，LVDS 125，连续转换单元 126 和极板 127。

[0195] 图 19 中所示的像素区域对应于图 18 中所示的第一区域。像素区域内的每个方框表示读取电路 116。作为固态摄像装置的周围电路，可以采用与普通 CMOS 图像传感器中使用的周围电路几乎相同的周围电路。此固态摄像装置与普通 CMOS 图像传感器的周围电路的构造的不同，因为增加了对电极电压供应部 115。

[0196] 极板 127 是用于从其外部输入 / 输出到其外部的界面。定时脉冲发生器 122 还通过供应用于驱动固态摄像装置的定时脉冲 (timing) 来控制读取如稀疏 (thinned) 读取或部分读取。将信号处理电路 123 根据每列的读取电路 116 设置。信号处理电路 123 对于从相应列输出的信号进行相关性复式取样 (CDS) 并且将处理过的信号转换成数字信号。由信号处理电路 123 处理过的信号被贮存在为每列设置的存贮器中。垂直驱动器 (divider)121 对从读取电路 116 读取信号等进行控制。水平驱动器 124 顺序地控制对应于一行的信号的读出，所述的信号被贮存在信号处理电路 123 的存贮器中，并且水平驱动器 124 顺序地控制读出信号到 LVDS 125 的输出。LVDS 125 根据 LVDS(低电压微分信令) 传送数据信号。连续转换单元 126 将输入的平行数据信号转换成连续的信号并输出该连续的信号。

[0197] 可以省略连续转换单元 126。此外，可以被构造为：由信号处理电路 123 只进行相关性复式采样工艺，并且设置 AD 转换电路以代替 LVDS125。此外，可以被构造为：由信号处理电路 123 只进行相关性复式采样工艺，并且省略 LVDS 125 和连续转换单元 126。在这样

的情况下，优选的是将 AD 转换电路设置在其中形成固态摄像装置的芯片的外部。此外，可以将信号处理电路 123，LVDS 125 和连续转换单元 126 设置在与像素区域相邻的区域的一侧和另一侧中的每一侧上。在这样的情况下，可以被构造为，读取电路 116 的列的一半（例如，奇数列）由设置在与像素区域相邻的区域的一侧上的信号处理电路 123 处理，并且余下的一半（例如，偶数列）由设置在与像素区域相邻的区域的另一侧上的信号处理电路 123 处理。

[0198] 接着，将详细描述有机层 107，像素电极 104，对电极 108，缓冲层 109，密封层 110，滤色器 111，间隔壁 112，光屏蔽层 113，保护层 114 和读取电路 116。

[0199] ＜有机层＞

[0200] 图 20 是显示有机层的构造的一个实例的横截面。如图 20 中所示，有机层包括光电转换层 12’和电荷阻挡层 15’。

[0201] 电荷阻挡层 15’具有抑制暗电流的功能。电荷阻挡层 15’由第一阻挡层 16’和第二阻挡层 18’构造。通过如上所述将电荷阻挡层 15’构造为多个层，在第一阻挡层 16’和第二阻挡层 18’之间形成边界。因此，在层中有中间电平 (level) 的不连续性。因此，电荷载流子变得难以移动通过中间电平，由此可以抑制暗电流。此外，如在后面所述的另一种构造实例中，可以将电荷阻挡层 15’构造为单层。

[0202] 光电转换层 12’包括 p- 型有机半导体和 n- 型有机半导体。通过结合 p- 型有机半导体和 n- 型有机半导体而形成供体 - 受体边界，可以提高激发子解离效率。因此，具有通过结合 p- 型有机半导体和 n- 型有机半导体而获得的构造的光电转换层 12’显示出高的光电转换效率。特别是，在通过混合 p- 型有机半导体和 n- 型有机半导体而获得的光电转换层 12’中，结合边界增大，并且改善了光电转换效率，这是有利的。

[0203] p- 型有机半导体（化合物）是供体 - 型有机半导体并且主要由空穴输送有机半导体表示。p- 型有机半导体是指具有容易供给电子的性质的有机化合物。详细描述地，当两种有机化合物接触时，p- 型有机半导体表示两种有机化合物中具有较低电离电位的一种。因此，可以使用任何供体 - 型有机化合物，只要它具有供电性质即可。例如，作为供体 - 型有机化合物，可以使用三芳基胺化合物，联苯胺化合物，吡唑啉化合物，苯乙烯基胺化合物，腙化合物，三苯基甲烷化合物，咔唑化合物，聚硅烷化合物，噻吩化合物，酞菁化合物，花青化合物，部花青化合物，氧杂菁 (oxonol) 化合物，聚胺化合物，吲哚化合物，吡咯化合物，吡唑化合物，聚亚芳基化合物，稠合芳族碳环化合物（如萘衍生物，蒽衍生物，菲衍生物，并四苯衍生物，芘衍生物，苝衍生物，或荧蒽衍生物）和含有含氮杂环化合物作为配体的金属配合物等。此外，p- 型有机半导体不限于此。因而，如上所述，可以将电离电位比用作 n- 型（受体型）化合物的有机化合物的电离电位低的有机化合物用作供体 - 型有机半导体。

[0204] n- 型有机半导体（化合物）是受体 - 型有机半导体并且主要由电子输送有机化合物表示。n- 型有机半导体表示具有容易接受电子的性质的有机化合物。详细描述地，当两种有机化合物接触时，n- 型有机半导体表示两种有机化合物中具有较高电子亲合势的有机化合物。因此，可以使用任何受体 - 型有机化合物，只要它具有电子接受性质即可。例如，作为受体 - 型有机化合物，可以使用稠合芳族碳环化合物（如萘衍生物，蒽衍生物，菲衍生物，并四苯衍生物，芘衍生物，苝衍生物，或荧蒽衍生物）；含氮原子、氧原子或硫原子的 5-7 元杂环化合物（如吡啶，吡嗪，嘧啶，哒嗪，三嗪，喹啉，喹喔啉，喹唑啉，2,3- 二氮杂萘，噌啉，异

喹啉，蝶啶，吖啶，吩嗪，菲咯啉，四唑，吡唑，咪唑，噻唑，噁唑，吲唑，苯并咪唑，苯并三唑，苯并噁唑，苯并噻唑，咔唑，嘌呤，三唑并哒嗪，三唑并嘧啶，四氮杂茚 (tetrazaindene)，噁二唑，咪唑并吡啶，pyraridine，吡咯并吡啶，噻二唑并吡啶，二苯并氮杂䓬 (dibenzazepine) 或三苯并氮杂䓬 (tribenzazepine))；聚亚芳基化合物；芴化合物；环戊二烯化合物；甲硅烷基化合物；含有含氮杂环化合物作为配体的金属配合物等。受体 - 型有机化合物不限于此。因而，如上所述，可以将电子亲合势比用作 p- 型（供体 - 型）化合物的有机化合物的电子亲合势高的任何有机化合物用作受体 - 型有机半导体。

[0205] 此外，可以将任何有机染料用作 p- 型有机半导体或 n- 型有机半导体。优选地，有机染料包括：花青染料；苯乙烯基染料；半花青 (hemicyanine) 染料；部花青染料（包括零 - 次甲基部花青（单部花青））；三核部花青染料；四核部花青染料；若丹花青 (rhodacyanine) 染料；配合物花青染料；配合物部花青染料；变极 (allopolar) 染料；氧杂菁染料；半氧杂菁 (hemioxonol) 染料；方鎓 (squarium) 染料；克酮酸鎓 (croconium) 染料；氮杂次甲基染料；香豆素染料；亚烯丙基染料；蒽醌染料；三苯基甲烷染料；偶氮染料；偶氮次甲基染料；螺环化合物；金属茂染料；芴酮染料；俘精酸酐染料；苝染料；周酮 (perynon) 染料；吩嗪染料；吩噻嗪染料；醌染料；二苯基甲烷染料；聚烯烃染料；吖啶染料；吖啶酮染料；二苯基胺染料；喹吖啶酮染料；喹诺酞酮 (quinophthalone) 染料；吩噁嗪染料；酞菁苷 (phthaloperylene) 染料；二酮吡咯并吡咯 (diketone pyrollo pyrole) 染料；卟啉染料；丙烯染料，二噁烷染料，叶绿素染料；酞菁染料；金属配合物染料；和稠合芳族碳环化合物（如萘衍生物，蒽衍生物，菲衍生物，并四苯衍生物，芘衍生物，苝衍生物，或荧蒽衍生物）。

[0206] 作为 n- 型有机半导体，可以优选使用具有优良电子输送性质的富勒烯 (fullerene) 或富勒烯衍生物。富勒烯表示富勒烯类 C60，C70，C76，C78，C80，C82，C84，C90，C96，C240 和 C540，混合的富勒烯和富勒烯纳米管。此外，富勒烯衍生物表示通过将取代基加入其中而获得的化合物。

[0207] 富勒烯衍生物的取代基优选是烷基，芳基，或杂环基。烷基更优选是碳数为 1 至 12 的烷基。芳基和杂环基优选是苯环，萘环，蒽环，菲环，芴环，苯并 [9,10] 菲环，并四苯环，联苯环，吡咯环，呋喃环，噻吩环，咪唑环，噁唑环，噻唑环，吡啶环，吡嗪环，嘧啶环，哒嗪环，中氮茚环，吲哚环，苯并呋喃环，苯并噻吩环，异苯并呋喃环，苯并咪唑环，咪唑并吡啶环，喹喏环，喹啉环，2,3- 二氮杂萘环，1,5- 二氮杂萘环，喹喔啉环，喹噁啉 (quinoxazoline) 环，异喹啉环，咔唑环，菲啶环，吖啶环，菲咯啉环，噻蒽环，苯并吡喃环，呫吨环，吩噁嗪环，吩噻嗪环和吩嗪环。更优选地，使用苯环，萘环，蒽环，菲环，吡啶环，咪唑环，噁唑环或噻唑环。此外，再更优选地，使用苯环，萘环或吡啶环。这些材料可以具有另外的取代基，并且取代基可以尽可能多地结合以形成环。此外，这些材料可以具有多个取代基，并且多个取代基可以相互相同或不同。而且，多个取代基可以尽可能多地结合以形成环。

[0208] 由于光电转换层 12’含有富勒烯或富勒烯衍生物，因此可以将在光电转换过程中产生的电子以迅速的方式通过富勒烯分子或富勒烯衍生物分子输送给像素电极 104 或对电极 108。当富勒烯分子或富勒烯衍生物分子处于连接的状态以形成电子路径时，改善了电子输送性能。因此，可以实现光电转换器件的高速响应。因此，优选的是富勒烯或富勒烯衍

生物在光电转换层 12’中的含量为 40％以上。当富勒烯或富勒烯衍生物含得太多时，减少了 p- 型有机半导体，因此，减少了结合边界。因此，激发子的解离效率降低。

[0209] 再更优选的是将在日本专利 4213832 等中所述的三芳基胺化合物与光电转换层 12’中的富勒烯或富勒烯衍生物混合在一起用作 p- 型有机半导体，可以实现光电转换器件的高 SN 比率。当光电转换层 12’中的富勒烯或富勒烯衍生物的比率太高时，减少三芳基胺化合物。因此，入射光的吸收量降低。因此，光电转换效率降低。因而，优选的是富勒烯或富勒烯衍生物在光电转换层 12’中的含量等于或低于 85％。

[0210] 作为第一阻挡层 16’和第二阻挡层 18 的材料，可以使用供电子有机材料。详细描述地，作为低分子材料，可以使用芳族二胺化合物如 N，N′ －双 (3- 甲基苯基)-(1,1’－联苯)-4,4′ 二胺 (TPD) 或 4,4’－双 [N-(萘基)-N- 苯基胺] 联苯 (α -NPD)，卟吩化合物如噁唑，噁二唑，三唑，咪唑，咪唑酮，均二苯代乙烯衍生物，吡唑啉酮衍生物，四氢咪唑，聚芳基烷烃，丁二烯，4,4′ ，4″ －三 (N-(3- 甲基苯基)N- 苯基氨基) 三苯基胺 (m-MTDATA)，卟啉化合物如卟吩，四苯基卟吩铜，酞菁，铜酞菁和钛酞菁氧化物，四唑衍生物，噁二唑衍生物，咪唑衍生物，聚芳基烷烃衍生物，吡唑啉衍生物，吡唑啉酮衍生物，苯二胺衍生物，苯胺 (anilamine) 衍生物，氨基取代的查耳酮衍生物，噁唑衍生物，苯乙烯基－蒽衍生物，芴酮衍生物，腙衍生物，硅氮烷衍生物等。作为聚合物材料，可以使用聚合物如亚苯基亚乙烯基，芴，咔唑，吲哚，芘，吡咯，甲基吡啶 (picolin)，噻吩，乙炔和联乙炔，或其衍生物。可以使用任何具有足够空穴输送性能的化合物，即使其不是供电子化合物。

[0211] 作为电荷阻挡层 15’，可以使用无机材料。通常，无机材料的介电常数高于有机材料的介电常数。因而，当将无机材料用于电荷阻挡层 15’中时，将高电压施加给光电转换层 12’，因此，可以提高光电转换效率。作为形成电荷阻挡层 15’的材料，有 :氧化钙，氧化铬，氧化铬铁，氧化锰，氧化钴，氧化镍，氧化铜 (cooper)，氧化铁镓，氧化铁锶，氧化铌，氧化钼，氧化铁铟，氧化银铟，氧化铱等。

[0212] 在由多个层构造的电荷阻挡层 15’中，优选的是 :多个层中与光电转换层 12’相邻的层是由与在光电转换层 12’中包括的 p- 型有机半导体的材料相同的材料形成的层。在这样的情况下，通过将相同的 p- 型有机半导体用于电荷阻挡层 15’，抑制了在与光电转换层 12’相邻的层的边界中中间电平的产生。因此，可以进一步抑制暗电流。

[0213] 在电荷阻挡层 15’被构造成单层的情况下，该层可以是由无机层形成的层。另一方面，在电荷阻挡层 15’被构造成多个层的情况下，一层、两层或更多层可以是由无机材料形成的层。

[0214] 图 21 是显示在图 20 中所示的光电转换器件的能带的图。在图 21 中，从左侧顺序地，表示像素电极 104，光电转换层 12’，第一阻挡层 16’，第二阻挡层 18’和对电极 108 的能级。此外，对于类似于此构造的，在图中未示出，以倒序的像素电极 104，第二阻挡层 18’，第一阻挡层 16’，光电转换层 12’和对电极 108 堆叠的构造，可以采用下面的描述。

[0215] 此处，光电转换层 12’中包括的 n- 型有机半导体的电子亲合势 Ea 和与光电转换层 12’相邻的第一阻挡层 16’的电离电位 Ip 之间的差值被假定为 Δ1。此外，第二阻挡层 18’的电子亲合势 Ea 和与第二阻挡层 18 相邻的对电极 108 的功函之间的差值被假定为 Δ2。在如上所述颠倒堆叠的、构造 (图中未示出) 中，第二阻挡层 18’的电子亲合势和与第二阻挡层 18’相邻的像素电极 104 的功函之间的差值被假定为 Δ2。

[0216] 图20和21中所示的光电转换器件通过被构造以满足下面的条件(a),从而可以抑制暗电流的增加。此外,通过构造光电转换器件以除满足条件(a)之外,还满足条件(b)和(c),可以进一步抑制暗电流的增加。

[0217] (a)与光电转换层12'相邻的第一阻挡层16'的电离电位Ip与n-型有机半导体的电子亲合势Ea之间的差值Δ1等于或大于1eV;

[0218] (b)包括第一阻挡层16'和第二阻挡层18'的电荷阻挡层15'的总厚度等于或大于20nm;和

[0219] (c)与光电转换层12'相邻的第一阻挡层16'的膜厚度等于或大于10nm。

[0220] 图22是表示不同于所述有机层的一个构造实例的横截面视图。图23是表示图22中所示的光电转换器件的能带的图。在图22所示的光电转换器件中,电荷阻挡层被构造为单层。此外,对于类似于此构造的,在图中未示出,以倒序的像素电极104、电荷阻挡层15'、光电转换层12'和对电极108堆叠的构造,可以采用下面的描述。

[0221] 在电荷阻挡层15'被构造为单层的情况下,在光电转换层12'中包含的n-型有机半导体的电子亲合势Ea和电荷阻挡层15'的电离电位Ip之间的差值被假定为Δ1。此外,电荷阻挡层15'的电子亲合势Ea和对电极108的功函之间的差值被假定为Δ2。另一方面,在如上所述颠倒堆叠的图中未示出的构造中,电荷阻挡层15'的电子亲合势和像素电极104的功函之间的差值被假定为Δ2。

[0222] 图22和23中所示的光电转换器件通过被构造以满足下面的条件(a),从而可以抑制暗电流的增加。此外,通过构造光电转换器件以除满足条件(a)之外,还满足条件(b),可以进一步抑制暗电流的增加。

[0223] (a)电荷阻挡层15'的电离电位Ip和n-型有机半导体的电子亲合势Ea之间的差值Δ1等于或大于1eV,

[0224] (b)被构造成单层的电荷阻挡层15'的膜厚度等于或大于20nm,

[0225] 换言之,根据图20和22中所示的有机层的构造,暗电流的增加可以通过将电荷阻挡层15'构造为单层或多层并且满足下面的条件而得到抑制。

[0226] (a)电荷阻挡层15'(在电荷阻挡层15'被构造为多个层的情况下,与光电转换层12'相邻的层)的电离电位Ip和n-型有机半导体的电子亲合势Ea之间的差值(Δ1)等于或大于1eV,

[0227] (b)电荷阻挡层15'的总膜厚度等于或大于20nm,

[0228] (c)在电荷阻挡层15'被构造为多个层的情况下,在多个层中与光电转换层12'相相邻的层的厚度等于或大于10nm。

[0229] 在图20和22所示的光电转换器件中,为了通过将电子从对电极108或像素电极104注入到光电转换层12'而防止暗电流的增加,优选Δ2等于或大于1.3eV。

[0230] 当将电压施加给具有上述构造的光电转换器件的有机层107时,有利的是:改善了光电转换效率。施加的电压基于施加给有机层107的场强确定。施加给有机层107的电场优选等于或高于$1\times10^{3}V\cdot m^{-1}$。此外,施加给有机层107的电场更优选等于或高于$1\times10^{5}V\cdot m^{-1}$,并且再更优选等于或高于$1\times10^{7}V\cdot m^{-1}$。此外,由于电场变为高电场,因此光电转换器件的暗电流增加,并且需要的施加电压增加。因此,包括对电极电压供应部115的电路的设计和制造变得复杂。因而,需要适宜地确定施加电压,以实现改善光电转换器件的

SN 比率和固态摄像装置的减小。

[0231] ＜像素电极＞

[0232] 像素电极 104 收集设置在像素电极上的包括光电转换层的有机层 107 中产生的电子或空穴的电荷。在每个像素电极中收集的电荷通过相应像素的读取电路 116 产生信号，并且基于由多个像素获得的信号合成图像。

[0233] 当与像素电极的膜厚度对应的水平差在像素电极 104 的端部中陡峭，在像素电极的表面上具有显著的不均匀性，或灰尘（粒子）附着到像素电极上时，设置在像素电极上的有机层 107 变得薄于需要的膜厚度或在其中产生裂纹。在将对电极 108 以这样的状态形成在有机层上时，由于像素电极和对电极之间的接触或电场在缺陷部分中的集中而发生像素缺陷如暗电流的增加或短路的出现。而且，由本发明的发明人的检查发现：这样的缺陷劣化了像素电极和有机层之间的接触以及光电转换器件的耐热性，由此降低了固态摄像装置的可靠性。

[0234] 为了通过防止这样的缺陷而改善固态摄像装置的可靠性，像素电极 104 的表面粗糙度 Ra 优选等于或小于 0.5nm。随着像素电极的表面粗糙度 Ra 降低，表面的不均匀性降低，因此改善了表面的平坦度。此外，为了消除位于像素电极上的粒子，优选在形成有机层 107 之前，通过在半导体制造工艺中使用的普通技术清洁基板。

[0235] 接着，将描述用于防止这样的缺陷的像素电极端部的构造。图 24 是表示像素电极的横截面的示意图。将像素电极 104 经由绝缘层 102 设置在基板 101 上。在这样一种构造中，将电荷阻挡层 15’堆叠在绝缘层 102 上以覆盖像素电极 104。

[0236] 优选的是将倾斜面 104’设置在像素电极 104 的端部上。更优选的是，在将倾斜面 104a 相对于基板 101 的表面（包括绝缘层 102）倾斜角度 A 的情况下，A 等于或小于 50°。通过在像素电极中设置倾斜面，减少了有机层中的缺陷，并且改善了像素电极和有机层之间的粘附性。

[0237] ＜像素电极的完全平坦化＞

[0238] 为了完全消除在像素电极的端部中的水平差，将像素电极的表面和在像素电极之间的绝缘层的表面构造为同一表面。换言之，优选构造像素电极，以将其完全平坦化。以下，将描述用于完全平坦化像素电极的构造及其制造方法。

[0239] 用于完全平坦化像素电极的构造，出于其可靠性和制造成本的观点，优选通过使用在普通半导体制造工艺如标准 CMOS 图像传感器工艺中使用的多层配线技术形成。作为制造具有完全平坦化构造的像素电极的方法，有两种方法，包括凹槽分离（沟槽隔离）方法和镶嵌方法。考虑到根据有机光电转换材料确定的像素电极的材料和制造成本，适当地选择这些制造方法。

[0240] ＜凹槽分离方法＞

[0241] 将参考图 25 至 28 描述通过使用凹槽分离方法形成像素电极的过程。如图 25 中所示，通过进行普通半导体制造工艺，经由夹层绝缘膜在读取电路的多层配线上形成金属层，该金属层变为像素电极 104。刚好在金属层的下面的在其中形成像素电极、对电极连接极板、结合极板等的区域中，预先形成转接插塞 (via plug)（连接部分）105，所述的转接插塞（连接部分）105 将在更下层上形成的多层配线和金属层相互连接。出于可靠性和制造成本的观点，优选的是金属层被形成具有与读取电路的多层配线的结构相同的结构。例如，

对于使用铝 (Al) 配线的多层配线工艺，金属层优选被形成具有阻挡金属层 104a(TiN)，配线层 104b(Al) 和阻挡金属层 104c(TiN) 的三层构造。

[0242] 作为用于形成像素电极 104 的过程，首先，如图 26 中表示的，在其中预先形成多层配线的绝缘层 102 上，将阻挡金属层 104c，配线层 104b 和阻挡金属层 104a 以此顺序堆叠。

[0243] 然后，如图 27 中表示的，设置在除其中形成了像素电极 104、对电极连接极板、结合极板等的区域之外的区域中的金属层被消除，并且通过通常用作普通多层配线技术的光刻工艺和干法蚀刻工艺，在像素电极 104 周围形成与金属层的厚度对应的凹槽（沟槽）。

[0244] 随后，如图 28 中所示，通过多层配线工艺在以像素电极的形状图案化的金属层上形成绝缘层。由于通常在 CMOS 图像传感器工艺等中使用绝缘层，因此优选的是，出于可靠性和制造成本的观点，使用用于下层多层配线的夹层绝缘膜的材料以形成膜。例如，通常使用二氧化硅、氮化硅、氧氮化硅或其层压膜。

[0245] 在以像素电极的形状图案化的金属层上形成夹层绝缘膜之后，通过使用化学机械抛光 (CMP) 方法或回蚀刻 (etch back) 方法，进行表面平坦化。由于通常在 CMOS 图像传感器工艺等中使用夹层绝缘层，因此优选的是，出于可靠性和制造成本的观点，采用用于下层多层配线的 CMP 条件。在形成多层配线的情况下，通常，完成抛光工艺以允许夹层绝缘膜具有预定厚度。但是，此处，继续抛光工艺，直到露出以像素电极 104 的形状图案化的金属层的表面。对于构成在金属层表面上形成的阻挡金属层 104a 的 TiN 的抛光速度低于对于位于其周边的夹层绝缘膜的抛光速度。因此，阻挡金属层 104a 变为抛光停止器 (polishing stopper)，并且在完成 CMP 工艺时的时间点，可以形成完全平坦化的电极，其中像素电极的表面和像素电极之间的沟槽（绝缘层）的表面在同一平面上。此外，通过适宜地继续 CMP 工艺至即使露出材料 TiN 的表面时也不能对沟槽的表面进行凹陷变形 (dishing) 的程度，抛光 TiN 的表面。因此，可以获得显著平坦化的像素电极 104，这是有利的。

[0246] < 镶嵌方法 >

[0247] 将参考图 29 至 33 描述通过使用镶嵌方法形成像素电极的过程。

[0248] 图 29 表示通过使用镶嵌方法形成的像素电极 104 的构造。

[0249] 像素电极 104 由构成转接插塞的材料如钨 (W) 形成，并且像素电极 104 的表面和绝缘层 102 的表面在同一平面上。

[0250] 作为用于形成像素电极 104 的过程，首先，如图 30 中表示的，在读取电路的多层配线上，形成在制造工艺中使用的夹层绝缘膜，并且将其表面通过 CMP 工艺等抛光而平坦化。

[0251] 如图 31 中表示的是，在形成像素电极 104、对电极连接极板、结合极板等的每个区域中，通过在多层配线工艺中使用的光刻工艺和干法蚀刻工艺，将转接孔 (via hole)h1 形成为敞开的，所述转接孔 h1 被用于形成转接插塞，所述的转接插塞将像素电极 104、对电极连接极板、结合极板等连接到多层配线上。此处，在使用双镶嵌方法的情况下，将夹层绝缘膜蚀刻一定的深度，该深度是由夹层绝缘膜的厚度减去像素电极 104 的厚度而获得的深度。由于设置了蚀刻停止器，因此通过形成具有多层构造的夹层绝缘膜，可以抑制蚀刻工艺的变化，这是有利的，在所述多层构造中，将具有不同蚀刻速度的材料设置在通过由夹层绝缘膜的厚度减去像素电极 104 的厚度而获得的深度处。

[0252] 随后，如图 32 中所表示的，在形成转接孔 h1 时，另外，根据像素电极 104、对电极极板和结合极板的形状，通过光刻工艺和干法蚀刻工艺形成开口 h2。当蚀刻对应于像素电极

104 厚度的部分时，预先形成的转接孔 h1 通过刚好位于转接孔 h1 下面的多层配线。

[0253] 优选的是出于可靠性和制造成本的观点，与下层的多层配线中使用的转接插塞的材料相同的材料被允许在转接孔 h1 中生长。作为这样的材料，通常，通过使用化学气相沉积 (CVD) 方法形成钼 (Mo) 或钨 W。在用转接插塞的材料形成膜之前，通过使用溅射方法或 CVD 方法在转接孔 h1 和开口 h2 的外周面上预先将作为阻挡金属的 TiN 等形成为膜。如图 33 中所表示的，在用转接插塞的材料通过将夹层绝缘膜涂覆在表面上而形成膜之后，通过使用 CMP 方法和回蚀刻方法，将表面平坦化。由于夹层绝缘膜变为停止器，当露出夹层绝缘膜的表面时，转接插塞的材料变为像素电极 104。因此，像素电极 104 的表面和绝缘层 102 的表面在同一平面上，由此形成完全平坦化的电极。

[0254] 如上所述，完全平坦化的电极消除了像素电极的表面和夹层绝缘层的表面之间的水平差，由此在其中堆叠有机层的固态摄像装置的构造中，防止了作为缺陷的暗电流增加和短路的发生。此外，由于将多层配线的标准材料用于像素电极 104，因此像素电极 104 还起着屏蔽朝向读取电路的杂散光的光屏蔽层的作用。此外，由于像素电极 104 将入射光反射到有机层侧，因此可以有效地使用入射光。

[0255] ＜对电极＞

[0256] 对电极 108 通过将包括光电转换层的有机层 107 与像素电极 104 一起插入而将电场施加给有机层 107 并且收集电荷，该电荷具有与来自光电转换层中产生的电荷且在像素电极 104 中收集的信号电荷相反的极性。对于每个像素，这样具有相反极性的电荷的收集不需要分开地进行。因此，可以将对电极 108 构造成被多个像素所共用。因而，有时，对电极 108 被称作共用电极。

[0257] 对电极 108 允许光入射到包括光电转换层的有机层 107 上。因此，优选将对电极 108 形成为透明导电膜。例如，作为对电极 108 的材料，有：金属，金属氧化物，金属氮化物，金属硼化物，有机导电化合物及其混合物。作为对电极 108 的材料的具体实例，有：导电金属氧化物如氧化锡，氧化锌，氧化铟，氧化锡铟 (ITO)，氧化锌铟 (IZO)，氧化钨铟 (IWO) 和氧化钛；金属氮化物如 TiN；金属如金 (Au)，铂 (Pt)，银 (Ag)，铬 (Cr)，镍 (Ni) 和铝 (Al)；这样的金属和这样的导电金属氧化物的混合物或堆叠物 (stack)；有机导电化合物如聚苯胺，聚噻吩和聚吡咯，和这样的有机导电化合物和 ITO 的堆叠物；等。作为透明导电膜的材料，可以优选使用下列材料中的任何一种材料：ITO，IZO，氧化锡，锑掺杂的氧化锡 (ATO)，氟掺杂的氧化锡 (FTO)，氧化锌，锑掺杂的氧化锌 (AZO) 和镓掺杂的氧化锌 (GZO)。

[0258] 在读取电路 116 是 CMOS 类型的情况下，对电极 108 的薄膜电阻优选等于或低于 10KΩ／□，并且更优选等于或低于 1kΩ。另一方面，在读取电路 116 是 CCD 类型的情况下，对电极 108 的薄膜电阻优选等于或低于 1KΩ／□，并且更优选等于或小于 0.1KΩ／□。

[0259] ＜密封层＞

[0260] 作为密封层，要求下列条件。

[0261] 第一，在堆叠型固态摄像装置的每种制造工艺中，密封层通过屏蔽使溶液、等离子体等中包括的光电转换材料劣化的因素的渗透来保护光电转换层。

[0262] 第二，在制备堆叠型固态摄像装置之后，密封层通过屏蔽使光电转换材料劣化的因素如水分子而在保存或使用的长时间内防止光电转换层劣化。

[0263] 第三，在形成密封层时，密封层不使预先形成的光电转换层劣化。第四，由于入射

光通过密封层到达光电转换层，因此需要密封层对于由光电转换层检测的波长的光是透明的。

[0264] 可以将密封层构造为由单一材料形成的薄膜。但是，通过构造密封层以具有多层构造并且将不同的功能分配给所述的层，可以预期诸如减轻施加给整个密封层的应力、抑制由于制造工艺等的变动而带来的缺陷如裂纹和针孔的产生以及材料开发的容易优化之类的优点。例如，可以将密封层形成具有两层构造，其中，在实现屏蔽劣化因素如水分子的渗入的原始目的的层上，堆叠具有由该层不能容易地实现的功能的“密封辅助层”。可以将密封层构造成具有三层以上的构造。但是，考虑到制造成本，层的数量优选需要尽可能地小。

[0265] ＜根据原子层沉积方法形成密封层＞

[0266] 有机光电转换材料具有由于劣化因素如水分子而显著劣化的性能。因此，整个光电转换层需要被致密的陶瓷如金属氧化物，金属氮化物或金属氮氧化物 (metal nitride oxide) 或金刚石样碳 (DLC) 涂覆并且密封以不允许水分子渗透其中。通常，作为密封层，通过使用各种真空膜形成技术形成氧化铝，氧化硅，氮化硅，或氮氧化硅，或其堆叠构造，其与有机聚合物的堆叠构造等。此外，在这些普通密封层中，由于由基板表面上的结构体、基板表面的微小缺陷、附着到基板表面上的粒子等形成的水平差，薄膜不能容易地生长（水平差成为阴影 (shade))，因此，与平坦部分相比，密封层的膜厚度显著降低。因此，水平差的部分成为劣化因素渗透的路径。为了用密封层完全涂覆水平差，整个密封层需要是厚的，这通过在平坦部分上形成以具有 1μm 以上的膜厚度实现。

[0267] 在像素尺寸为 2μm 以下，特别是约 1μm 的堆叠型固态摄像装置中，当滤色器和光电转换层之间的距离大时，即密封层的膜厚度大时，入射光在密封层内衍射传播。因此，产生串扰 (crosstalk)。因此，对于像素尺寸为约 1μm 的堆叠型固态摄像装置，即使整个密封层的膜厚度减小，其中装置的性能也不劣化的密封层材料和制造方法是必要的。

[0268] 原子层沉积 (ALD) 方法是一种类型的 CVD 方法。ALD 方法是交替地重复用基板表面对变成薄膜的材料的有机金属化合物分子、金属卤化物分子或金属氢化物分子的吸附和反应以及其中含有的未反应基团的分解而形成薄膜的技术。当薄膜的材料到达基板表面时，基板表面处于低分子状态。因此，当存在低分子可以通过的可忽略的空间时，薄膜可以生长。因而，根据普通薄膜形成方法，不能容易地完全涂覆的水平差的部分被完全涂覆（水平差的部分中生长的薄膜的厚度与在平坦部分中生长的薄膜的厚度相同）。换言之，水平差的涂覆非常优良。因此，可以完全涂覆由于由基板表面上形成的结构体、基板表面的微小缺陷、附着到基板表面上的粒子等导致的水平差。因此，水平差的部分没有成为光电转换材料的劣化因素可以通过的路径。根据普通技术，当通过使用原子层沉积方法进行密封层的形成时，可以有效地将密封层需要的膜厚度形成为薄的。

[0269] 当通过使用原子层沉积方法形成密封层时，可以适宜地选择可适宜地作为密封层的与陶瓷对应的材料。第一，为了使用有机光电转换材料，根据本发明的光电转换层的材料被限制为在使得有机光电转换材料不劣化的相对低的温度可以生长为薄膜的材料。根据使用烷基铝或铝卤化物作为材料的原子层沉积方法，可以在有机光电转换材料不劣化的 200℃以下的温度形成氧化铝的致密薄膜。特别是，当使用三甲基铝时，甚至在约 100℃也可以形成氧化铝的薄膜，这是有利的。通过适宜地选择类似于氧化铝的氧化硅或氧化钛的材

料，可以在低于 200℃形成致密薄膜，这是有利的。

[0270] ＜密封辅助层＞

[0271] 对于通过使用原子层沉积方法形成的薄膜，出于水平差的涂覆和密度的观点，可以在低温形成无比优良质量的薄膜。首先，薄膜材料的物理性质可能由于在光刻工艺中使用的化学品而劣化。例如，通过使用原子层沉积方法形成的氧化铝的薄膜是非晶的。因此，薄膜的表面被碱溶液如显影剂或脱模液而侵蚀。在这样的情况下，需要在通过使用原子层沉积方法形成的氧化铝的薄膜上形成具有优良耐化学性的薄膜。换言之，作为用于保护密封层的功能层的密封辅助层是必要的。

[0272] 此外，通过使用 CVD 方法如原子层沉积方法形成的薄膜常常具有非常强的内拉伸应力。因此，采用重复间歇加热和冷却的工艺作为半导体制造工艺或其在高温和高湿度的气氛中长时间保存或使用，薄膜中可能出现裂纹以劣化。

[0273] 为了解决通过使用原子层沉积方法形成的密封层的这些情况，可以优选使用其中设置密封辅助层的构造，所述的密封辅助层包含金属氧化物陶瓷、金属氮化物陶瓷和金属氮氧化物陶瓷中的至少一种，所述的密封辅助层是通过使用物理气相沉积 (PVD) 方法形成的并且具有优良的耐化学性。此处，将通过使用原子层沉积方法形成的密封层构造为第一密封层，并且将通过使用 PVD 方法在第一密封层上形成的且包括金属氧化物、金属氮化物和金属氮氧化物中的任何一种的层构造为第二密封层。在这样的情况下，可以以容易的方式改善密封层整体的耐化学性。此外，通过使用 PVD 方法如溅射方法形成为膜的陶瓷常常具有强的挤压应力并且可以抵销通过使用原子层沉积方法形成的第一密封层的拉伸应力。因此，减轻了密封层整体的应力，由此改善了密封层的可靠性。此外，可以显著地抑制由于密封层的应力导致的缺陷的发生，如光电转换层等的性能的劣化或光电转换破坏等破坏的发生。

[0274] 特别地，优选的是，采用其中设置第二密封层的构造，所述的第二密封层通过使用溅射方法形成在第一密封层上并且包含氧化铝、氧化硅、氮化硅和氮氧化硅中的任何一种。

[0275] 优选的是，第一密封层的膜厚度等于或大于 0.05μm 并且等于或小于 0.2μm。此外，第一密封层优选包含氧化铝、氧化硅和二氧化钛中的任何一种。

[0276] ＜缓冲层＞

[0277] 缓冲层吸附诸如水分子之类的因素和 / 或与诸如水分子之类的因素反应，所述诸如水分子之类的因素基于由于制造工艺过程中的变动等而不能容易地完全防止其产生的密封层的微小缺陷而穿透，并且劣化有机光电转换材料，所述缓冲层具有屏蔽劣化的功能，并且具有屏蔽劣化因素到达设置在密封层下面的有机光电转换材料的功能。此外，由于用作密封层材料的致密陶瓷材料具有大的应力，因此该应力特别集中在光电转换层的端部中。因此，可能发生缺陷，如对电极和像素电极之间的接触，或由于长时间贮存或应用或在制造工艺过程中作为间歇加热和冷却的热冲击导致的光电转换层的剥离。缓冲层也是造成减轻应力的作用的原因。此外，由于将缓冲层形成在光电转换层的上面上，因此需要缓冲层的材料是透明的。

[0278] 作为满足上述条件的缓冲层的材料，有如下的有机材料和无机材料。作为有机材料，有聚合物如聚乙烯醇或是用作光电转换材料的有机半导体。作为无机材料，有金属氟化物如氟化钙、氟化镁和氟化锂，和金属氧化物如氧化钙、氧化硅、氧化锶、氧化钡和氧化镁。

[0279] 在通过使用原子层沉积方法形成密封层以涂覆缓冲层的情况下，优选使用具有可以与变为其材料的有机金属化合物、金属卤化物等反应的羟基的有机聚合物或金属氧化物。特别是优选的是，缓冲层包括氧化硅、氮化硅和氮氧化硅中的任何一种。此外，当进行所谓的 β 膜形成，即进行在整个基板上形成缓冲层时，劣化因素如水分子宁可通过缓冲层从基板的端部穿透到光电转换层的内部。因此，优选的是，将在用于涂覆光电转换层的区域中将缓冲层图案化，并且缓冲层完全被密封层涂覆，同时被光电转换层和对电极涂覆。因而，更优选的是，通过使用在膜形成工艺中能够使用金属掩模 (master) 图案化的 PVD 方法如真空沉积方法或溅射方法将金属氧化物形成为缓冲层。通过使用 PVD 方法进行缓冲层的真空膜形成，基板不暴露于外部空气，不允许劣化因素如水分子混合进来，并且有机光电转换材料在缓冲层形成工艺中不劣化，这些是有利的。

[0280] 为了在制造工艺中不允许劣化因素如水分子混合在有机层中，优选的是，至少将有机层 107、对电极 108、缓冲层 109 和密封层 110 在真空和 / 或惰性气体的气氛下均匀地形成而不将基板暴露于外部空气。特别优选的是，使用有机电致发光 (有机 EL) 制造设备，在该设备中，如下器件被直接连接到真空度为 1×10^{-4}Pa 以下的簇型真空输送系统 ：在根本没有将基板暴露于外部空气的情况下，在真空和 / 或惰性气体如 Ar 或 N_2 的中间，形成电荷阻挡层、光电转换层和缓冲层的真空沉积器件 ；形成对电极和密封辅助层的溅射器件和形成密封层的原子层沉积器件。

[0281] < 滤色器，间隔壁，光屏蔽层和保护层 >

[0282] 在多个像素部中，设置滤色器。此外，在多个像素部中的相邻滤色器之间设置的间隔壁起着光收集装置的作用，其将入射到像素部的光收集到像素部的光电转换层中。滤色器制造工艺包括 ：周围光屏蔽层形成工艺，形成第一颜色的滤色器的工艺，形成第二颜色的滤色器的工艺，形成第三颜色的滤色器的工艺和间隔壁形成工艺。作为周围光屏蔽层，可以将第一至第三颜色的滤色器中的任何一种形成在除有效像素区域之外的区域中。在这样的情况下，可以省略只用于周围光屏蔽层的工艺，以抑制制造成本。可以在周围光屏蔽层形成工艺之后，在形成第一颜色的滤色器的工艺之后，在形成第二颜色的滤色器的工艺之后，或在形成第三颜色的滤色器的工艺之后，进行间隔壁形成工艺，这可以根据使用的制造技术和使用的制造方法的组合适宜地选择。在下面所述的过程中，将介绍其中在形成第二颜色的滤色器的工艺之后进行间隔壁形成工艺的一个实例。

[0283] 作为普通滤色器制造方法，有光刻方法。光刻方法的制造工艺按照用于半导体制造的光刻工艺。因此，可以抑制初始投资。因而，通常，将光刻方法广泛地用作滤色器的制造方法。在使用光刻方法制造滤色器的方法中，通过重复如下工艺制造用于每种颜色的滤色器 ：对通过用包含着色固化性组合物的光敏组合物涂覆基板并且干燥基板而形成的薄膜，进行图案曝光、显影和烘焙工艺而形成着色像素的工艺。此光刻方法通过组合已知的技术，可以容易地应用到本发明中。

[0284] 在使用光刻方法的滤色器制造方法中，将干法蚀刻方法用作形成薄膜和具有精细图案的滤色器的有效方法。在干法蚀刻方法中，使用不包含光敏组合物如光引发剂或单体或碱溶性树脂的着色固化性组合物。因此，与使用普通光刻方法的滤色器制造方法相比，可以增加着色剂在着色固化性组合物的总固体量中的含量。因此，与光刻方法相比，可以形成在保持相同程度的光谱特性的同时将其膜厚度降低一半的滤色器。作为在其中对于主要混

合色的像素尺寸小于 2μm，特别是约 1μm 的固态摄像装置中的滤色器制造方法，优选使用干法蚀刻方法。

[0285] 此处，将描述根据干法蚀刻方法的滤色器制造工艺。在使用干法蚀刻方法的情况下，形成第一至第三颜色的滤色器的工艺进一步包括：光致抗蚀剂图案化工艺，蚀刻工艺，光致抗蚀剂消除工艺，着色层形成工艺和平坦化工艺。平坦化工艺在形成第一颜色的滤色器的工艺和 / 或形成第二颜色的滤色器的工艺中可以被省略，并且共同地在第三滤色器形成工艺中进行，由此可以减少制造工艺的数量。在平坦化工艺共同地在最后工艺进行的情况下，蚀刻工艺和平坦化工艺的制造变化变大。因此，平坦化工艺的省略需要根据使用的制造技术和使用的制造方法的组合而适宜地考虑。下面描述的程序是其中在第一滤色器形成工艺中省略了平坦化工艺的一个实例。

[0286] 图 34 是表示下面所述的滤色器的一种构造的平面图。图 34 中所表示的滤色器的构造通过与实际的滤色器相比减少了像素部的数量而得到简化。图 35 表示图 34 所表示的滤色器的横截面视图。图 35(a) 表示沿图 34 中所示的线 I-I’ 取的横截面，而图 35(b) 表示沿图 34 中所示的线 II-II’取的横截面。此外，在图 36 至 58，(a) 表示沿图 34 中所示的线 I-I’ 取的横截面，而 (b) 表示沿线 II-II’ 取的横截面。

[0287] [周围光屏蔽层形成工艺]

[0288] 图 36 至 40 表示周围光屏蔽层形成工艺的一个实例。

[0289] 图 36 表示其中在密封层 110 上形成周围光屏蔽层 113 的状态。图 37 表示其中在周围光屏蔽层 113 上将光致抗蚀剂形成为膜的状态。图 38 表示其中形成了设置在周围光屏蔽层 113 上的光致抗蚀剂的图案的状态。图 39 表示其中对于周围光屏蔽层 113 进行干法蚀刻工艺的状态。图 40 表示其中在干法蚀刻工艺之后将设置在周围光屏蔽层 113 上的光致抗蚀剂剥离的状态。

[0290] 在周围光屏蔽层形成工艺中，如图 36 中所示，将密封层 110 的整个上面用形成周围光屏蔽层 113 的包含黑色着色剂的组合物涂覆。接着，将涂膜通过在 180℃至 250℃的大气温度加热 5 至 10 分钟而固化，从而形成周围光屏蔽层（黑色着色层）113。此加热工艺可以在组合物涂覆之后进行干燥工艺的同时进行。备选地，在涂覆工艺和干燥工艺之后，可以设置另外的热固化工艺。优选的是，周围光屏蔽层 113 由其中分散有钛黑、碳黑等的黑色着色组合物形成。在后面描述的形成第一至第三颜色的滤色器的工艺中，周围光屏蔽层 113 可以在平坦化工艺中被用作抛光停止器。在周围光屏蔽层 113 还被用作抛光停止器的情况下，为了提高耐抛光性，可以将由氧化铝、氧化硅、氧化锆等形成的无机细粒加入到形成周围光屏蔽的组合物中。在第一至第三颜色的滤色器中的任何一种中形成周围光屏蔽层 113 的情况下，省略此工艺。

[0291] 此外，在有效像素区域的外部上，有机层 107 的端部形成水平差。因此，当形成周围光屏蔽层 113 时，可能在周围光屏蔽层 113 端部的上面上形成水平差。特别是，在周围光屏蔽层 113 还起着抛光停止器的作用的情况下，优选通过在将周围光屏蔽层 113 形成厚的之后，预先进行后面描述的平坦化工艺而抛光该水平差，以使周围光屏蔽层 113 的表面平坦化。

[0292] 接着，在如下所述的周围光屏蔽层形成工艺中，顺序地进行形成第一至第三颜色的滤色器的工艺，以形成滤色器。此处，将描述其中将红色滤色器（图中由“R”表示）用作

第一颜色的滤色器，将蓝色滤色器（图中由“B”表示）用作第二颜色的滤色器并且将绿色滤色器（图中由“G”表示）用作第三颜色的滤色器的一个实例。

[0293] [光致抗蚀剂的图案化]

[0294] 在形成第一颜色的滤色器的工艺中，首先，如图 37 中所示，用阳图型光致抗蚀剂（例如，富士电子材料株式会社制造的 FHi622BC）涂覆周围光屏蔽层 113 的上面。通过使用电热板将预烘焙工艺在 80 至 100℃的范围内进行 60 秒，由此形成光致抗蚀剂。

[0295] 随后，如图 38 中所示，将与其中布置第一至第三颜色的滤色器的有效像素区域对应的区域通过使用光掩模从光致抗蚀剂的上面曝光。例如，使用曝光分档器，所述曝光分档器使用汞灯 i 线（波长 365nm）。接着，通过使用电热板，在将曝光工艺在 100 至 120℃的范围内进行 90 秒之后，进行加热 (PEB) 工艺。然后，通过使用显影溶液进行搅拌 (puddle) 显影工艺，并且通过使用电热板进行后烘焙工艺，由此消除在有效像素区域中设置的光致抗蚀剂，此时，设置在周围光屏蔽层 113 的上面区域中的光致抗蚀剂保留。

[0296] [蚀刻工艺]

[0297] 接着，将描述通过使用光致抗蚀剂作为掩模对周围光屏蔽层 113 进行的干法蚀刻工艺。作为干法蚀刻装置，例如，使用反应性离子蚀刻 (RIE) 装置。RIE 装置具有已知的结构如平行板型，电容偶合型，或电子回旋加速器共振型，并且可以通过使用高频放电进行干法蚀刻。通过使用这样的 RIE 装置，采用用作掩模的光致抗蚀剂，对周围光屏蔽层 113 进行干法蚀刻工艺。因此，如图 39 中所示，消除了在其中布置第一至第三颜色的滤色器的有效像素区域中设置的光屏蔽层。

[0298] 根据本发明，在周围光屏蔽层 113 的蚀刻工艺中，相继进行开口部形成干法蚀刻工艺和残余液消除干法蚀刻工艺。在蚀刻工艺中，首先，进行开口部形成干法蚀刻工艺。

[0299] [开口部形成干法蚀刻工艺]

[0300] 当进行开口部形成干法蚀刻工艺时，出于将周围光屏蔽层 113 加工成矩形形状的观点，优选的是，将含有氟化气体和 O_2 气体中的至少一种的混合气体用作第一蚀刻气体。然后，在开口部形成干法蚀刻工艺中，将第一蚀刻气体引入到处理室的内部，在处理室中，在平面电极（阴极）上安装半导体基板。然后，在其中引入蚀刻气体的状态下，当在平面电极和对电极之间施加高频电压时，进行基于阴极效应将周围光屏蔽层 113 加工成矩形形状的蚀刻。作为在开口部形成干法蚀刻工艺中使用的氟化气体，优选使用以下式 1 表示的氟化化合物的气体。

[0301] [化学式 1]

[0302] 式 (1)

[0303] $C_nH_mF_l$

[0304] （此处，n 表示 1 至 6，m 表示 0 至 13，并且 l 表示 1 至 14）

[0305] 作为由式 (1) 表示的氟化气体，例如，有包含由以下气体组成的组中形成的至少一种类型的气体：CF_4，C_2F_6，C_3F_8，C_2F_4，C_4F_8，C_4F_6，C_5F_8 和 CHF_3。作为根据本发明的氟化气体，可以从上述组中选择一种类型的气体进行使用。此外，可以以组合的方式使用两种以上类型的气体。这些中，出于将蚀刻过的部分保持为矩形形状的观点，氟化气体优选为选自由以下气体组成的组中的至少一种：CH_4，C_4H_6，C_4H_8 和 CHF_3。此外，氟化气体更优选为 CH_4 和 / 或 C_4F_6。而且，氟化气体再更优选为 CF_4 和 C_4F_6 和混合气体。

[0306] 出于保持蚀刻等离子体的稳定性和垂直蚀刻的形状的观点，除了上述的氟化气体和 O_2 气体之外，在开口部形成干法蚀刻工艺中使用的混合气体还优选为稀有气体 He，Ne，Ar，Kr 和 Xe，含有氯、氟、溴等的卤素原子的卤化气体（例如，CCl_4，$CClF_3$，AlF_3，$AlCl_3$ 等），或含有选自由 N_2，CO 和 CO_2 组成的组中的至少一种的气体。此外，混合气体更优选为含有选自由 Ar，He，Kr，N_2 和 Xe 组成的组中的至少一种的气体。而且，混合气体再更优选为含有选自由 He，Ar 和 Xe 组成的组中的至少一种的气体。但是，在可以保持等离子体的稳定性和垂直蚀刻的形状的情况下，在开口部形成干法蚀刻工艺中使用的混合气体可以是只由氟化气体和 O_2 气体形成的气体。

[0307] [残余液消除干法蚀刻工艺]

[0308] 在残余液消除干法蚀刻工艺中，通过使用含有 O_2 气体的第二蚀刻气体进行干法蚀刻工艺，可以在保持周围光屏蔽层 113 矩形形状的情况下消除其中消除了光致抗蚀剂的表面变化层和光屏蔽层的区域中保留的残余液。

[0309] 在残余液消除干法蚀刻工艺中使用的第二蚀刻气体被形成含有 O_2 气体。但是，出于蚀刻等离子体的稳定性的观点，可以进一步包括由选自由 He，Ne，Ar，Kr，Xe 和 N_2 气体组成的组中的至少一种气体形成的第三蚀刻气体。在这样的情况下，按流动比率计，第三蚀刻气体与 O_2 气体的混合比率（Ar 气体等 /O_2 气体）优选等于或小于 40/1，更优选等于或小于 20/1，并且再更优选等于或小于 10/1。为了提高消除残余液的能力，可以进一步包括氟化化合物为 5％以下的气体。

[0310] 第三蚀刻气体更优选为选自由 He，Ar 和 Xe 组成的组中的至少一种气体。但是，在可以保持蚀刻等离子体的稳定性的情况下，第二蚀刻气体可以只由 O_2 形成，并且可以不包括第四气体。

[0311] 此外，优选的是，基于预先计算的蚀刻处理时间完成残余液消除干法蚀刻工艺。例如，出于保持光致抗蚀剂的矩形形状的观点，残余液消除干法蚀刻工艺的处理时间优选在 3 至 10 秒的范围内，并且更优选在 4 至 8 秒的范围内。

[0312] [光致抗蚀剂消除工艺]

[0313] 在进行蚀刻工艺后，进行光致抗蚀剂消除工艺。首先，通过使用溶剂或光致抗蚀剂剥离溶液进行光致抗蚀剂剥离工艺，由此消除保留在周围光屏蔽层 113 上的光致抗蚀剂。备选地，通过延长残余液消除蚀刻工艺的处理时间，消除光致抗蚀剂。

[0314] 在进行光致抗蚀剂消除工艺后，可以另外地提供烘焙工艺，用于去溶剂化和脱水。如上所述，设置在其中将要形成滤色器的区域（有效像素区域）中的光屏蔽层通过被蚀刻而消除，并且将光致抗蚀剂剥离。

[0315] 优选的是，根据本发明的光致抗蚀剂消除工艺包括 :1) 涂覆剥离溶液或溶剂到光致抗蚀剂上以允许光致抗蚀剂能够被消除的工艺 ;和 2) 通过使用清洁水消除光致抗蚀剂的工艺。作为涂覆剥离溶液或溶剂到光致抗蚀剂上以能够被消除的工艺，例如，有 :搅拌 (puddle) 显影工艺，其中将剥离溶液或溶剂至少涂覆到光致抗蚀剂的上面上，并且允许保留预定时间。允许剥离溶液或溶剂保留的时间没有特别限制，但是优选在几十秒至几分钟的范围内。

[0316] 作为通过使用清洁水消除光致抗蚀剂的工艺，例如，有 :通过由喷射型或喷淋型注射喷嘴注射清洁水到光致抗蚀剂上而消除光致抗蚀剂的工艺。作为清洁水，可以优选使用

纯水。此外，作为注射喷嘴，有：具有其中包括整个支撑体的注射范围的注射喷嘴、可移动型注射喷嘴和具有包括整个支撑体的可移动范围的注射喷嘴。在注射喷嘴是可移动类型的情况下，在消除光致抗蚀剂的工艺过程中，通过从支撑体的中心部到支撑体的端部移动两次以上以注射清洁水，可以更加有效地消除光致抗蚀剂。

[0317] 通常，剥离溶液含有有机溶剂，并且可以另外含有无机溶剂。作为有机溶剂，例如，有 1) 烃化合物，2) 卤代烃化合物，3) 醇化合物，4) 醚或缩醛化合物，5) 酮或醛化合物，6) 酯 (esther) 化合物，7) 多元醇化合物，8) 羧酸或其酸酐化合物，9) 酚化合物，10) 含氮化合物，11) 含硫化合物和 12) 含氟化合物。剥离溶液优选含有含氮化合物，并且更优选含有无环含氮化合物和环状含氮化合物。

[0318] 剥离溶液更优选含有选自一乙醇胺、二乙醇胺和三乙醇胺中的至少一种作为无环含氮化合物，并且含有选自 N- 甲基 -2- 吡啶烷酮和 N- 乙基吗啉中的至少一种作为环状含氮化合物。剥离溶液再更优选含有一乙醇胺和 N1- 甲基 -2- 吡咯烷酮。此外，优选的是，相对于 100 质量份的剥离溶液，无环含氮化合物的含量等于或高于 9 质量份和等于或低于 11 质量份，并且环状含氮化合物的含量等于或高于 65 质量份和等于或低于 70 质量份。根据本发明的剥离溶液优选通过用纯化稀释无环含氮化合物和环状含氮化合物的混合物而获得。

[0319] 在光致抗蚀剂消除工艺中，可以消除在着色层上形成的光致抗蚀剂，并且即使在蚀刻产物附着到着色层的侧壁的情况下，蚀刻产物也可能没有完全被消除。在根据本发明的光致抗蚀剂消除工艺中，更优选另外进行通过后烘焙的脱水工艺。

[0320] [形成第一颜色的滤色器的工艺]

[0321] 在进行光致抗蚀剂消除工艺之后，随后，进行第一颜色滤色器工艺。图 41 表示其中将第一颜色的滤色器形成为膜的状态。图 42 表示其中将光致抗蚀剂作为膜形成在第一颜色的滤色器上的状态。图 43 表示其中曝光和显影光致抗蚀剂的状态。图 44 表示其中对于第一颜色的滤色器进行干法蚀刻工艺的状态。图 45 表示其中在第一颜色的滤色器上形成的光致抗蚀剂被剥离的状态。

[0322] 首先，如图 41 中所示，用形成第一颜色的滤色器的组合物涂覆周围光屏蔽层 113，使得组合物覆盖周围光屏蔽层 113 的整个上表面，并且包埋在开口部中。然后，通过使用电热板进行后烘焙工艺，由此形成第一颜色的滤色器。

[0323] 此外，在形成第一颜色的滤色器的工艺中，考虑到在之后的工艺中进行平坦化如抛光，将第一颜色的滤色器的上表面 (upper face) 形成为被设置在比起着抛光停止器作用的周围光屏蔽层 113 的上表面更高的面上。在形成第一至第三颜色的滤色器的工艺所包括的平坦化工艺中，在第一颜色的滤色器用作抛光停止器的情况下，为了提高耐抛光性，可以将氧化铝、氧化硅、氧化锆等的无机细粒加入到形成第一颜色的滤色器的着色层组合物中。

[0324] 接着，如图 42 中所示，将第一颜色的滤色器的整个上表面用阳图型型光致抗蚀剂涂覆，然后进行预烘焙工艺，由此形成光致抗蚀剂。

[0325] 然后，如图 43 中所示，通过使用 i 线曝光分档器，通过将其中将要形成第二颜色的滤色器的区域图案化，以消除光致抗蚀剂。此外，形成光致抗蚀剂等的图案的工艺与上述图案化工艺的那些相同。

[0326] 此外，如图 44 中所示，进行蚀刻工艺，其中，通过使用光致抗蚀剂作为掩模消除了在其中将要形成第二颜色的滤色器的区域中设置的第一颜色的滤色器。在此蚀刻工艺中，

出于处理在第一颜色的滤色器中的矩形像素图案的观点，优选通过如上所述相继进行使用含有氟化气体和 O_2 气体的第一蚀刻气体的开口部形成干法蚀刻工艺和使用含有 N_2 气体和 O_2 气体的第二蚀刻气体的残余液消除干法蚀刻工艺，消除其中将要形成第二颜色的滤色器的区域。

[0327] 在进行蚀刻工艺后，如图 45 中所表示的，进行光致抗蚀剂消除工艺。用于消除光致抗蚀剂的处理方法、条件、溶剂或剥离溶液等与在上述的光致抗蚀剂消除工艺中的那些相同。

[0328] [形成第二颜色的滤色器的工艺]

[0329] 图 46 表示其中将第二颜色的滤色器作为膜形成的状态。图 47 表示其中将第一和第二颜色的滤色器平面化的状态。

[0330] 在形成第二颜色的滤色器的工艺中，如图 46 中所示，形成第二颜色的滤色器，使其覆盖起着抛光停止器作用的周围光屏蔽层 113 和第一颜色的滤色器的整个上表面并且包埋于开口部中。类似于形成第一颜色的滤色器的方法，通过使用滤色器的组合物进行涂覆。在通过使用滤色器的组合物进行涂覆之后，通过使用电热板进行后烘焙工艺，由此形成第二颜色的滤色器。在第二颜色的滤色器用作抛光停止器的情况下，为了提高耐抛光性，可以将氧化铝、氧化硅、氧化锆等的无机细粒加入到形成第二颜色的滤色器的着色层的组合物中。

[0331] [平坦化工艺]

[0332] 如图 47 中所示，在平坦化工艺中，通过使用 CMP 装置抛光第一颜色的滤色器和第二颜色的滤色器以将其平坦化，直到露出起着抛光停止器作用的周围光屏蔽层 113。因此，当露出耐抛光性比第一颜色的滤色器和第二颜色的滤色器的耐抛光性高的起着抛光停止器作用的周围光屏蔽层 113 时，第一颜色的滤色器和第二颜色的滤色器的抛光速度降低。因此，使第一颜色的滤色器和第二颜色的滤色器的表面符合抛光工艺的终点，即起着抛光停止器作用的周围光屏蔽层 113 的表面，变得容易。

[0333] [抛光的条件]

[0334] 作为抛光剂，使用其中分散有氧化硅细粒的浆液。此外，作为抛光装置，可以使用具有 100 至 250cm3 $\cdot min^{-1}$ 的浆液流动速率、0.2 至 5.0psi 的晶片压力和 1.0 至 2.5psi 的固定环压力并且由磨料布形成的装置。通过将晶片磨料布的转数设置为约 30rpm 至 100rpm，可以形成具有很少微型擦痕的滤色器。在被抛光后，通过使用纯水清洁滤色器。之后，进行后烘焙工艺，以消除含有的水分。

[0335] [间隔壁形成工艺]

[0336] 图 48 表示其中将光致抗蚀剂作为膜形成在第一和第二颜色的滤色器上的状态。图 49 表示其中显影和曝光光致抗蚀剂的状态。图 50 表示其中采用用作掩模的光致抗蚀剂进行干法蚀刻的状态。图 51 表示其中将光致抗蚀剂剥离的状态。图 52 表示其中将间隔壁的材料形成为膜的状态。图 53 表示其中将第一和第二颜色的滤色器和间隔壁平面化的状态。在间隔壁形成工艺中，首先，如图 48 中所示，将第一颜色的滤色器，第二颜色的滤色器和周围光屏蔽层 113 的整个上表面用阳图型光致抗蚀剂涂覆，并且进行预烘焙，以形成光致抗蚀剂。

[0337] 接着，通过使用 i- 线曝光分档器，如图 49 中所示，将在其中将要形成开口的区域

中设置的光致抗蚀剂图案化以将其消除。此外，形成光致抗蚀剂的图案的工艺与上述图案化工艺的工艺相同。

[0338] 然后，如图 50 中所示，进行蚀刻工艺，在蚀刻工艺中，在用作掩模的光致抗蚀剂的情况下消除其中将要形成开口的区域。在此蚀刻工艺中，类似于上述的蚀刻工艺，进行开口部形成干法蚀刻工艺和残余液消除干法蚀刻工艺，以在第一和第二颜色的滤色器中形成开口部。

[0339] 在进行蚀刻工艺后，进行光致抗蚀剂消除工艺。图 51 表示其中消除光致抗蚀剂的状态。用于消除光致抗蚀剂的处理方法、条件、溶剂或剥离溶液等与上述光致抗蚀剂消除工艺的那些相同。在进行光致抗蚀剂消除工艺之后，进行间隔壁形成工艺。

[0340] 在间隔壁形成工艺中，形成间隔壁，使其覆盖起着抛光停止器作用的周围光屏蔽层 113 和第一和第二颜色的滤色器的整个上表面并且包埋在开口部中。如图 52 中所示，通过使用与形成第一颜色的滤色器的方法相同的方法，通过使用间隔壁的组合物进行涂覆。在通过使用间隔壁的组合物进行涂覆之后，通过使用电热板进行后烘焙工艺，以形成间隔壁 112。

[0341] 作为间隔壁的材料，优选折射率比第一至第三颜色的滤色器的折射率低的透明材料。间隔壁的折射率优选低于 1.5，并且更优选低于 1.4。作为间隔壁的材料，有由氧化硅等形成的多孔膜，硅氧烷聚合物，非晶氟树脂等。在市场中可以获得由 JSR 公司制造的 OPSTAR 低折射率材料 JN 系列，由 Toray Industries, Inc. 制造的 NR 系列，由 Asahi Glass Co., Ltd. 制造的 Cytop 系列，由 E. I. du Pont de Nemours and Company 制造的 TeflonAF 等级，等。在将间隔壁 112 用作抛光停止器的情况下，为了提高其耐抛光性，可以将氧化铝、氧化硅、氧化锆等的无机细粒加入到间隔壁的组合物中。

[0342] 在进行形成第三颜色的滤色器的工艺之前，如图 53 中所示，抛光第一颜色的滤色器、第二颜色的滤色器和间隔壁 112，直到露出起着抛光停止器作用的周围光屏蔽层 113。在进行间隔壁形成工艺之后，进行形成第三颜色的滤色器的工艺。可以构造成省略平坦化工艺，并且将抛光工艺与形成第三颜色的滤色器的工艺一起进行。

[0343] 在不形成间隔壁 112 的情况下，省略间隔壁形成工艺，并且在进行形成第二颜色的滤色器的工艺之后，进行形成第三颜色的滤色器的工艺。不限于将间隔壁形成工艺在形成第二颜色的滤色器的工艺和形成第三颜色的滤色器的工艺之间进行。因此，基于使用的制造技术和制造方法的组合，可以适宜地将间隔壁形成工艺的工艺的顺序与形成周围光屏蔽层 13 的工艺和形成第一至第三颜色的滤色器的工艺一起改变。

[0344] [形成第三颜色的滤色器的工艺]

[0345] 图 54 表示其中光致抗蚀剂作为膜形成在第一和第二颜色的滤色器和间隔壁上的状态。图 55 表示曝光和显影光致抗蚀剂的状态。图 56 表示其中通过蚀刻间隔壁的一部分而形成第三颜色的滤色器的区域的状态。图 57 表示其中将光致抗蚀剂剥离的状态。图 58 表示其中将第三颜色的滤色器作为膜形成的状态。在形成第三颜色的滤色器的工艺中，首先，如图 54 中所示，将间隔壁材料层的整个上表面用阳图型光致抗蚀剂涂覆，并且进行预烘焙以形成光致抗蚀剂。

[0346] 接着，通过使用 i- 线曝光分档器，如图 55 中所示，将其中将要形成第三颜色的滤色器的区域图案化，以消除光致抗蚀剂。此外，形成光致抗蚀剂的图案的工艺与上述图案化

工艺的工艺相同。

[0347] 然后，如图 56 中所示，进行蚀刻工艺，在蚀刻工艺中，采用用作掩模的光致抗蚀剂消除其中将要形成第三颜色的滤色器的区域。在此蚀刻工艺中，类似于上述的蚀刻工艺，通过进行开口部形成干法蚀刻工艺和残余液消除干法蚀刻工艺，在间隔壁 112 中形成开口部。在此工艺之前进行的光致抗蚀剂图案形成工艺和此工艺中，通过调节光致抗蚀剂的处理条件和 / 或干法蚀刻的处理条件，确定开口部的尺寸以形成具有所需要宽度的间隔壁 112。例如，在像素尺寸是 1.0μm 的情况下，为了增加像素的孔径比，间隔壁 112 的宽度优选等于或小于 0.1μm，并且开口部的尺寸等于或大于 0.9μm 且小于 1.0μm。

[0348] 如图 57 中表示的，在进行蚀刻工艺后，进行光致抗蚀剂消除工艺。用于消除光致抗蚀剂的处理方法、条件、溶剂或剥离溶液等与上述光致抗蚀剂消除工艺的那些相同。

[0349] 在进行光致抗蚀剂之后，如图 58 中表示的，形成第三颜色的滤色器，以覆盖第一颜色的滤色器、第二颜色的滤色器、间隔壁 112 和开口部这四者。在形成第三颜色的滤色器的方法，类似于形成第一颜色的滤色器和第二颜色的滤色器的方法，通过使用滤色器的组合物进行涂覆。在通过使用滤色器的组合物进行涂覆之后，通过使用电热板进行后烘焙工艺，由此形成第三颜色的滤色器。

[0350] 在进行形成第三颜色的滤色器的工艺之后，进行平坦化工艺。

[0351] 在平坦化工艺中，通过使用 CMP 装置进行抛光工艺，以将第三颜色的滤色器的表面平坦化，直到起着抛光停止器作用的周围光屏蔽层 113、第一颜色的滤色器、第二颜色的滤色器和间隔壁 112 的上表面。此外，在平坦化工艺中，通过进行与上述平坦化工艺类似的工艺，抛光第三颜色的滤色器。因此，当进行抛光工艺直到露出耐抛光性高于第三颜色的滤色器的耐抛光性并且起着抛光停止器作用的周围光屏蔽层 113 时，可以容易地使第三颜色的滤色器上表面的位置符合 (fit to) 预先形成的起着抛光停止器作用的周围光屏蔽层 113 的上表面，即抛光工艺的终点。因此，如图 35 中所示，将第一至第三颜色的滤色器布置在有效像素区域内，并且滤色器被由低折射率材料形成的间隔壁 112 分隔。因此，形成了上表面与起着抛光停止器作用的周围光屏蔽层 113 的上表面相同平面的滤色器。

[0352] 如在上述的实例中，在根据图 34 中所示的 Bayer 阵列形成在像素之间布置的红色滤色器 (R)、绿色滤色器 (G)、蓝色滤色器 (B) 和间隔壁 112 的情况下，出于制造成本的观点，优选的顺序是在形成红色滤色器和蓝色滤色器之后将间隔壁的材料形成为膜并且最后形成绿色滤色器。原因在于，在用间隔壁的材料的成膜之前在蚀刻工艺 (图 50) 中形成的开口部 I 和在用绿色滤色器的材料的形成膜之前在蚀刻工艺 (图 56) 中形成的开口部 II 具有从平面中的表面观看的相同中心，并且开口部的尺寸彼此不同仅在于间隔壁 112 的宽度。在形成像素尺寸为 1.0μm 和宽度为 0.1μm 的间隔壁的情况下，当开口部 I 的尺寸被假定为 1.1μm 并且开口部 II 的尺寸被假定为 0.9μm 且开口部 I 和 II 的中心相同时，间隔壁 112 的宽度变为 0.1μm。在所有滤色器形成之后形成间隔壁的情况下，对于形成宽度为 0.1μm 的开口部需要高分辨率的图案化技术，由此增加制造成本。另一方面，在上述的实例中，开口部的最小尺寸是 0.9μm。因此，可以采用普通光刻技术，由此抑制制造成本。而且，开口部 I 和 II 的形状和中心相同。因此，在形成开口部之前的光致抗蚀剂图案形成工艺中，在采用通常使用的曝光掩模的情况下，仅开口部的尺寸可以通过调节曝光条件、显影条件和蚀刻条件而改变。换言之，可以减少高价格的光掩模的数量，这是有利的。

[0353] 此外，在上述平坦化工艺中，通过进行抛光 (CMP) 工艺将滤色器平坦化。但是，本发明不限于此。因而，可以通过使用与在上述的干法蚀刻工艺中使用的相同方法，通过蚀刻滤色器的整个面（回蚀刻工艺），将滤色器平坦化。

[0354] [着色组合物]

[0355] 下面将描述形成滤色器的着色组合物。着色组合物的光固化性组分可以通过干法蚀刻被图案化而消除。在具有很少光固化性组分的着色组合物中，或优选在其中不包括光固化性组分的着色组合物中，可以提高着色剂的密度。因此，可以在保持其透射光谱性的情况下，形成厚度小于普通滤色器的厚度的滤色器层，这是难以实施的。因此着色组合物优选是非光致抗蚀性的固化性组合物，其不含有光固化性组分，并且更优选是热固性组合物。

[0356] 以下，将描述热固性组合物。热固性组合物含有着色剂和热固性化合物。着色剂在总溶解固体中的密度优选等于或高于 50 质量％并且低于 100 质量％。通过提高着色剂的密度，可以形成具有减小厚度的滤色器。

[0357] [着色剂]

[0358] 着色剂没有特别限制。因而，作为着色剂，可以使用一种、两种或更多种类型的已知染料和颜料的混合物。

[0359] 作为颜料，可以使用已知的各种无机颜料或有机颜料。优选的是，颜料的透光率高，而与颜料是无机颜料或有机颜料无关。因而，可以优选使用平均粒子直径尽可能降低的颜料。此外，将处理一起考虑，颜料的平均粒子直径优选 0.01μm 至 0.1μm 的范围内，并且更优选在 0.01μm 至 0.05μm 的范围内。

[0360] 作为优选的颜料，有下面所述的颜料。但是，本发明不限于此。

[0361] 有 C.I. 颜料黄 11,24,108,109,110,138,139,150,151,154,167,180 和 185；C.I. 颜料橙 36 和 71；C.I. 颜料红 122,150,171,175,177,209,224,242,254,255 和 264；C.I. 颜料紫 19,23 和 32；C.I. 颜料蓝 15:1,15:3,15:6,16,22,60 和 66；C.I. 颜料绿 7,36 和 58。当着色剂是染料时，可以通过将染料均匀地溶解于组合物中而获得非光致抗蚀性的热固性着色树脂组合物。

[0362] 可以被用作着色剂的染料没有特别限制。因而，作为着色剂，可以使用用于普通滤色器的已知染料。至于染料的化学结构，可以使用染料如吡唑偶氮，苯胺偶氮，三苯基甲烷，蒽醌，蒽素吡啶酮 (anthrapyridone)，苯亚甲基，氧杂菁，吡唑啉酮三唑偶氮，吡啶酮偶氮，花青，吩噻嗪，吡咯并吡唑偶氮次甲基 (pyroropyrazolazomethine)，呫吨，酞菁，苯并吡喃和靛青。

[0363] 着色剂在着色热固性组合物的总溶解固体中的含量没有特别限制，但是优选在 30 至 60 质量％的范围内。通过允许该含量等于或高于 30 质量％，可以获得适宜作为滤色器的染色性。此外，通过允许该含量等于或低于 60 质量％，可以充分地进行光固化，由此可以抑制作为膜的强度的降低。

[0364] 热固性化合物没有特别限制，只要是可以通过加热进行热固性化合物的膜固化即可。例如，作为热固性化合物，可以使用热固性官能团的化合物。例如，热固性化合物优选为具有选自环氧基、羟甲基、烷氧基甲基和酰氧基甲基中的至少一种基团的化合物。

[0365] 作为更优选的热固性化合物，有：(a) 环氧化合物；(b) 三聚氰胺化合物，胍胺化合物，甘脲化合物或脲化合物，其被选自羟甲基、烷氧基甲基和酰氧基甲基中的至少一个取代

基取代；和 (c) 苯酚化合物，萘酚化合物，或羟基蒽化合物，其被选自羟甲基、烷氧基甲基和酰氧基甲基中的至少一个取代基取代。在上述的化合物中，作为热固性化合物，再更优选使用具有多个官能团的环氧化合物。

[0366] 尽管热固性化合物在着色热固性组合物中的总含量根据材料而不同，但是相对于热固性组合物的总溶解固体（质量）的总含量优选为 0.1 至 50 质量%，更优选 0.2 至 40 质量%，并且再更优选 1 至 35 质量%。

[0367] [各种添加剂]

[0368] 在着色热固性组合物中，在不消弱本发明的效果的范围内，需要时，可以混合各种添加剂，例如，粘合剂，固化剂，固化催化剂，溶剂，填料，其它聚合物化合物，表面粘性剂，粘着剂，抗氧化剂，紫外吸收剂，抗絮凝剂，分散剂等。

[0369] [光致抗蚀剂]

[0370] 如上所述，在通过使用干法蚀刻方法形成第一至第三颜色的滤色器的情况下，通过使用光致抗蚀剂形成抗蚀剂图案。此外，同样在去除工艺中，优选的是，通过使用光致抗蚀剂形成抗蚀剂图案。

[0371] 作为阳图型光敏树脂组合物，可以使用阳图型抗蚀剂组合物，所述阳图型抗蚀剂组合物非常适合作为对放射线如紫外线（汞灯 g 线，h 线和 i 线）、包括受激准分子激光的远紫外线、电子射线、离子束和 X 射线敏感的阳图型光致抗蚀剂。在放射线中，对于曝光光敏树脂层，优选使用 g 线，h 线和 i 线，并且更优选使用 i 线。

[0372] 特别是，作为阳图型光敏树脂组合物，优选使用含有醌二叠氮化合物和碱溶性树脂的组合物。通过使用其中醌二叠氮基受波长为 500nm 以下的光辐照而分解产生羧基从而将树脂组合物从碱不溶性的状态改变为碱溶性的状态的现象，将含有醌二叠氮化合物和碱溶性树脂的阳图型光敏树脂组合物用作阳图型光致抗蚀剂。由于此阳图型光致抗蚀剂具有优良的溶解能力，因此将该光致抗蚀剂广泛地用于半导体制造工艺中。作为醌二叠氮化合物，有萘醌二叠氮化合物。

[0373] 可以使用任何类型的显影溶液，只要显影溶液对周围光屏蔽层没有影响并且溶解光致抗蚀剂的曝光部分以及阴图型抗蚀剂的未固化部分即可。特别是，可以使用各种有机溶剂或碱水溶液的组合。

[0374] 在形成滤色器工艺中列出的描述中，描述了产生包括红色 (R)、绿色 (G) 和蓝色 (B) 在内的原色的滤色器的一个实例。但是，颜色不限于此。因而，在制备使用品红、黄色和绿色的补充色的滤色器的情况下，可以使用这样的工艺。

[0375] [外涂层]

[0376] 外涂层是在滤色器上形成的以在后面的工艺中保护滤色器的层。因而，外涂层也被称作保护层。作为外涂层的材料，可以适宜地使用聚合物材料如丙烯酸类树脂，聚硅氧烷树脂，聚苯乙烯 (polystylene) 树脂或氟树脂，或无机材料如氧化硅或氮化硅。在使用光敏树脂如聚苯乙烯树脂的情况下，可以通过使用光刻方法将外涂层图案化。因此，在这样的情况下，当将设置在结合极板上的周围光屏蔽层 113，密封层 110，绝缘层 102 等形成为开放时，可以将外涂层用作光致抗蚀剂，并且可以以容易的方式将外涂层加工成微透镜，这些是有利的。另一方面，可以将外涂层用作反射防止层，并且优选将用于滤色器间隔壁的各种低折射率材料形成为膜。此外，为了改善作为用于后面的工艺的保护层的功能或反射防止层

的功能，可以将外涂层构造为具有由上述材料形成的两层以上的层。

[0377] ［微透镜］

[0378] 通过将外涂层形成为微透镜或在外涂层上形成微透镜，可以进一步改善光收集效率，并且可以进一步抑制串扰。在上述实例中，使用其中省略微透镜的构造。但是，通过采用低折射率间隔壁来分隔滤色器，充分改善了光收集效率，并且充分地抑制了串扰。在考虑制造成本和光学设计中的难度的情况下，可以适宜地确定微透镜的形成。

[0379] ＜固态摄像装置的另一种构造实例＞

[0380] 将描述固态摄像装置的另一种构造实例。在下面所述的构造实例中，对构造和反应等价于上述构件的构造和反应的每个构件等，在图中附上相同的附图标记或相应的附图标记。因而，其描述被简化或省略。

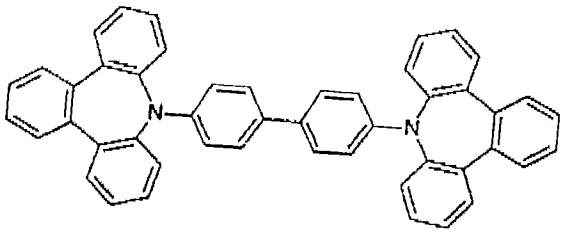
[0381] 图 59 是固态摄像装置的另一种构造实例的示意性横截面视图。在此构造实例的固态摄像装置中，将像素电极 104 设置在绝缘层 102 的表面上。此外，设置电荷阻挡层 15a 以覆盖绝缘层 102 和像素电极 104。电荷阻挡层 15a 具有抑制电子从像素电极 104 注入到光电转换层 12’的功能。在此构造实例中，使用其中将对电极 108 的电势设置成高于在读取电路 116 中包括的复位晶体管的源极的电势并且电流从对电极流向像素电极 104（换言之，在像素电极 104 中收集空穴）的构造。

[0382] 如图 3 所示的作为一个实例的读取电路 116 由 FD、复位晶体管、输出晶体管和选择晶体管构造。这些晶体管由 nMOS 晶体管构造。在该图中所示的读取电路 116，包括转接插塞 105 的配线层，绝缘层 102 和像素电极 104 通过标准 CMOS 图像传感器工艺制备。像素电极 104 由 TiN（膜厚度 15nm）通过使用 CVD 方法形成，并且其表面粗糙度是 Ra ＝ 0.4nm。此外，在用于 TiN 的干法蚀刻工艺，通过采用各向异性 (isotrophic) 等离子体蚀刻条件，在像素电极 104 的端部中形成倾斜面，并且将像素电极图案化，使得倾斜面从基板倾斜 50 度。

[0383] 电荷阻挡层 15a 通过沉积具有下面的式 (2) 的化合物至 100nm 的膜厚度而形成。此外，通过共沉积具有下面的式 (3) 的化合物和富勒烯 C60 使得 C60 的组成是 80％，形成光电转换层 12，使其具有 400nm 的膜厚度。包括在光电转换层中的 C60 的电子亲合势 Ea 为 Ea ＝ 4.2eV，并且形成电荷阻挡层 15a 的式 (2) 化合物的电离电位 Ip 是 Ip ＝ 5.2eV。因此，Δ1 ＝ 1.0eV，并且具有此构造的光电转换器件可以有效抑制暗电流。而且，形成电荷阻挡层 15a 的具有式 (2) 的化合物的电子亲合势 Ea 是 Ea ＝ 1.9eV，且形成像素电极 104 的 TiN 的功函是 4.5eV。因此，Δ2 ＝ 2.6eV。因此，在具有此构造的光电转换器件中，电子从像素电极 104 至光电转换层 12’注入受到抑制。在上述沉积工艺中，真空度等于或低于 1×10^{-4}pa，且采用布置在基板上面上的第一金属掩模，将电荷阻挡层 15a 和光电转换层 12’形成在第一区域（参见图 1）中。此外，通过使用大气光电光谱仪（由 Riken Keiki Co.，Ltd. 制造的 AC-2）测量每层的功函和 Ip。通过从相应层的光谱吸收获得吸收边沿的能量 Eg 并且从相应层的 Ip 值减去 Eg 值，以计算每层的 Ea(Ea ＝ Ip-Eg)。

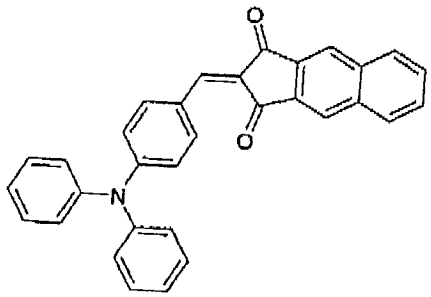
[0384] ［化学式 2］

[0385]



[0386] [化学式 3]

[0387]



[0388] 在 Ar 气体和 O_2 气体的引入的气氛和 0.1Pa 的真空度下，通过使用采用 ITO 靶的高频磁控管溅射仪，由 ITO 形成具有 10nm 的膜厚度的对电极 108。此外，在基板的上面上布置第二金属掩模 (master)，并且在第二区域中形成对电极。

[0389] 作为缓冲层 109，真空沉积一氧化硅以具有 100nm 的膜厚度。在此沉积工艺中，将真空度设置为等于或低于 1×10^{-4}Pa，并且用在基板的上面上布置的第三金属掩模 (master)，在第三区域中形成缓冲层 109。

[0390] 使用有机 EL 制造设备，在有机 EL 制造设备中，将电荷阻挡层 15a、光电转换层 12’、对电极 108 和缓冲层 109 形成为膜的真空沉积装置和将对电极 108 形成为膜的溅射装置被直接连接到真空度为 1×10^{-4}Pa 以下的簇型真空输送系统上。

[0391] 作为密封层 110，通过使用三甲基铝和水，由原子层沉积装置，在等于或低于 150℃的基板温度，在 0.5kPa 的真空度下，采用 Ar 作为载气，形成膜厚度为 0.2μm 的氧化铝。

[0392] 此外，在密封层 110 上，形成由氮化硅形成的膜厚度为 0.1μm 的密封辅助层 110a。在引入 Ar 气体和 N_2 气体的气氛并且 0.1Pa 的真空度下，通过使用采用氮化硅靶的高频磁控管溅射仪，形成密封辅助层 110a。

[0393] 将滤色器 CF，间隔壁 112，光屏蔽层 113 和外涂层 114 以与上述的构造实例的顺序相同的顺序形成。

[0394] 图 60 是固态摄像装置的另一种构造实例的示意性横截面视图。构造此构造实例的固态摄像装置，使得绝缘层 102 的表面和像素电极 104 的表面被形成在相同的平面上，并且将像素电极完全平坦化。此外，设置光电转换层 12’以覆盖绝缘层 102 和像素电极 104。在光电转换层 12’上，设置电荷阻挡层 15b。电荷阻挡层 15b 具有抑制电子从对电极 108 注入到光电转换层 12’的功能。在此构造中，使用其中将对电极 108 的电势设置成低于在读取电路 116 中包括的复位晶体管的源极的电势，并且电流从像素电极 104 流向对电极 108（换言之，在像素电极 104 中收集电子）的构造。

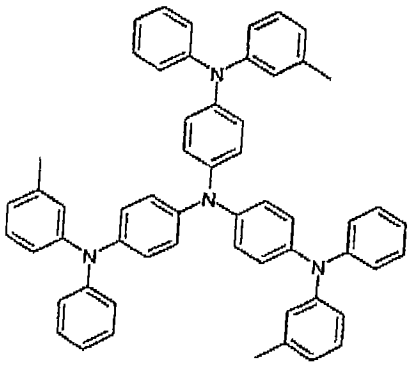
[0395] 读取电路 116 包括 FD、复位晶体管、输出晶体管和选择晶体管。这些晶体管由 pMOS

晶体管构造。像素电极 104 由低电阻层和表面层构造，该低电阻层与连接到 FD 上的转接插塞 105 接触，并且由 Al 形成，而表面层由 TiN 形成。像素电极 104 通过使用上述的凹槽分离方法形成。包括绝缘层 102、像素电极 104 和转接插塞 105 的多层配线以及读取电路 116 由标准 CMOS 图像传感器工艺制造。

[0396] 作为光电转换层 12'，共沉积具有式 (3) 的化合物和 C60 以具有 400nm 的膜厚度，使得 C60 的组成是 80％。作为电荷阻挡层 15b，沉积具有式 (3) 的化合物以具有 20nm 的膜厚度，然后，沉积具有下面的式 (4) 的化合物以具有 300nm 的膜厚度。包括在光电转换层中的 C60 的电子亲合势是 Ea ＝ 4.2eV，并且在电荷阻挡层 15b 中与光电转换层接触的具有式 (3) 的化合物的电离电位是 Ip ＝ 5.4eV。因而，Δ1 ＝ 1.2eV。而且，由于光电转换层和与其相邻的电荷阻挡层含有具有相同式 (3) 的化合物，因此防止了中间电势的产生。根据上述效果，具有此构造的光电转换器件可以有效抑制暗电流。此外，在电荷阻挡层 15b 中，与对电极 108 接触的具有式 (4) 的化合物的电子亲合势是 Ea ＝ 1.9eV，并且形成对电极 108 的 ITO 的功函是 4.5eV。因此，Δ2 ＝ 2.6eV。因而，根据具有此构造的光电转换器件，电子从对电极 108 到光电转换层 12' 的注入受到抑制。在这样的沉积工艺中，真空度等于或低于 1×10^{-4}Pa，并且光电转换层 12' 和电荷阻挡层 15b 通过布置设置在基板的上面上的第一金属掩模而形成在第一区域中。

[0397] [化学式 4]

[0398]



[0399] 在此构造的实例中，形成对电极 108，缓冲层 109，密封层 110，密封辅助层 110a，CF，间隔壁 112，周围光屏蔽层 113 和外涂层 114 的工艺与图 59 的构造实例相同。

[0400] ＜堆叠型固体摄像器件的优点和应用＞

[0401] 接着，将描述上述固态摄像装置的优点和应用。

[0402] （形成为照相机模块）

[0403] 固态摄像装置，通过代替普通 Si 光电二极管，使用一对电极和插入在它们之间的有机层作为感光单元，并且任何其它的输入或输出不是必需的。因此，在将固态摄像装置安装为照相机模块的情况下，可以使用普通模块。因此，可以以容易的方式将照相机形成为模块。

[0404] （芯片尺寸）

[0405] 对于全部的像素部，可以共同地形成有机层 107 和对电极 108。因此，通过根据目的，将读取电路 116，包括转接插塞 105 的多层配线和像素电极 104 的制造技术和制造方法进行组合，本发明的固态摄像装置可以以容易的方式形成微小芯片至大面积的芯片。在微

小芯片的情况下，通过使用标准半导体制造工艺，可以没有任何限制地采用最新的显微技术。因此，可以以容易的方式实现像素尺寸的微型化 / 像素数量的最大化以及批量生产。另一方面，在大面积芯片的情况下，通过使用液晶型显示器等的 TFT 工艺，可以实现低成本的批量生产。

[0406] （像素尺寸）

[0407] 在图像传感器中，增加像素数量和降低成本的要求强烈，并且像素尺寸的降低正在进行中。结果，对于使用 Si 光电二极管的普通图像传感器难以有效地引导光到起着光敏单元的光电二极管。特别是，在像素尺寸小于 2μm 的情况下，该缺点是显著的。在根据本发明的固态摄像装置中，将有机层 107 设置在读取电路的上面上。填充因素 (fill factor) 可以是大的，由此可以避免这样的缺点。因此，即使在显微工艺进一步发展并且像素尺寸小于 2μm，特别是约 1μm 的情况下，也没有实际缺点。

[0408] （成本优势）

[0409] 根据本发明的固态摄像装置，由于上述构造，可以省略在普通图像传感器中必需的微透镜和红外线屏蔽滤光器，因此可以降低成本。换言之，由于像素的孔径比超过 80％，因此微透镜不是必须的。此外，由于光电转换层可以用对红外线没有灵敏度的有机颜料构造，因此红外截止滤光器不是必需的。

[0410] （性能优势）

[0411] 根据本发明的固态摄像装置，通过上述构造，与普通图像传感器相比，可以获得优异的拍摄图像。首先，由于像素的孔径比超过 80％，因此入射光的量增加，由此可以以容易的方式实现高灵敏度。换言之，即使在暗景中也可以良好地拍摄图像。此外，由于读取电路的幅度增加，因此饱和电荷的数量可以增加。而且，由于可以一起获得高灵敏度和饱和电荷数量的增加，因此可以拓宽动态范围。因此，即使在具有强对比度的场景中，也可以很好拍摄图像而没有晕光或暗区灰度 (dark-area-grayscale) 劣化。

[0412] （应用）

[0413] 根据本发明的固态摄像装置，基于上述优点可以实现高性能的数字照相机或数字摄影机。此外，对于用作同时要求固态摄像装置的高性能和微型化的内窥镜，固态摄像装置是适宜的。而且，在强烈地要求固态摄像装置的高性能、微型化、低成本的手机照相机中，本发明的构造显著优于普通图像传感器。此外，本发明的构造不限于上述应用，并且可以被用于监视相机、车辆内置相机、机器人相机等。

[0414] 如上所述，在此说明书中，公开下列内容。

[0415] 一种公开的摄像器件包括 ：多个在它们之间插入有预定间隙的第一电极，所述第一电极被设置在二维空间中的基板的上面上 ；第二电极，所述第二电极被布置成紧邻于在所述多个在它们之间插入有预定间隙的第一电极中被布置在最外侧上的第一电极 ；第三电极，所述第三电极面对所述多个第一电极和所述第二电极 ；光电转换层，所述光电转换层被设置在所述多个第一电极和所述第二电极和所述第三电极之间 ；信号读取部，所述信号读取部被连接到所述多个第一电极上，并且读出与在所述电转换层中产生的并且被移动到所述述多个第一电极的电荷对应的信号 ；和，电势调节部，所述电势调节部只连接到所述第二电极上并且调节所述第二电极的电势，使得根据在所述光电转换层中产生的并且被移动到所述第二电极的所述电荷确定的所述第二电极的电势不超过预定的范围。

[0416] 根据这样一种构造，在多个第一电极中的每一个附近，第一电极和第二电极中的至少一个在它们之间插入有预定间隙的情况下被布置。因此，例如，当以恒定的光量拍摄图像时，移动到第一电极的电荷量几乎相同，由此可以将所有第一电极的电势设置为几乎相同。此外，由于第二电极的电势不超过预定范围，因此可以防止移动到第二电极的电荷对第一电极的影响。结果，当以恒定的光量拍摄图像时，可以使与积累在所有第一电极中的电荷对应的信号的水平均匀化，由此可以实现高图像质量。

[0417] 在公开的摄像器件中，用于读出与在所述光电转换层中产生的并且被移动到第二电极中的所述电荷对应的信号的读取部没有连接到所述第二电极上。

[0418] 根据这样一种构造，在外部没有读出与移动到第二电极的电荷对应的信号。因此，可以防止通过拍摄图像获得的图像中的不均匀性的发生。

[0419] 在公开的摄像器件中，所述信号读取部中的每一个均由 MOS 晶体管电路构造，所述 MOS 晶体管电路包括 ：复位晶体管，所述复位晶体管用于使所述第一电极的电势复位 ；和输出晶体管，所述输出晶体管用于输出与在所述光电转换层中产生的并且被移动至所述第一电极的空穴对应的电压信号，所述 MOS 晶体管电路的每个晶体管均是 n- 沟道 MOS 晶体管，并且所述的电势调节部调节所述第二电极的电势，使得根据在所述光电转换层中产生的并且被移动到所述第二电极的空穴确定的所述第二电极的电势不超过阈值。

[0420] 根据这样一种构造，可以防止移动到第二电极的空穴对第一电极的电势的影响。

[0421] 在公开的摄像器件中，所述信号读取部中的每一个由 MOS 晶体管电路构造，所述 MOS 晶体管电路包括 ：复位晶体管，所述复位晶体管用于使所述第一电极的电势复位 ；和输出晶体管，所述输出晶体管用于输出与在所述光电转换层中产生的并且被移动至所述第一电极的电子对应的电压信号，所述 MOS 晶体管电路的每个晶体管是 p- 沟道 MOS 晶体管，并且所述的电势调节部调节所述第二电极的电势，使得根据在所述光电转换层中产生的并且被移动到所述第二电极的电子确定的所述第二电极的所述电势不低于阈值。

[0422] 根据这样一种构造，可以防止移动到第二电极的电子对第一电极的电势的影响。

[0423] 在公开的摄像器件中，电势调节部是将第二电极和电源相互直接连接的配线。

[0424] 根据这样一种构造，由于可以将第二电极的电势形成为恒定的源电势，因此可以防止第二电极的电势超过预定范围。

[0425] 在公开的摄像器件中，电势调节部是连接到第二电极上的二极管连接的晶体管。

[0426] 根据这样一种构造，可以防止第二电极的电势超过预定范围。

[0427] 在公开的摄像器件中，电势调节部是连接到第二电极上的二极管。

[0428] 根据这样一种构造，可以防止第二电极的电势超过预定范围。

[0429] 在公开的摄像器件中，所述第一电极和所述第二电极被布置成四边形格子形状，并且以所述四边形格子形状布置的所述电极中，将位于最外侧上的所述电极配置为所述第二电极，并且将其它的电极配置为所述多个第一电极。

[0430] 根据这样一种构造，只以四边形格子形状布置的电极的最外周需要被设置为第二电极，由此可以实施所述构造而不显著改变普通构造的设计。

[0431] 在公开的摄像器件中，所述的第二电极由连续形成以包围所述的多个第一电极的一个电极构成。

[0432] 根据这样一种构造，在第二电极下的配线布局的自由度增加，因此可以以容易的

方式进行电势调节部的设计。

[0433] 在公开的摄像器件中，光电转换层含有有机材料，并且预定间隙为等于或小于3μm。

[0434] 根据这样一种构造，可以抑制延迟的产生。

[0435] 一种公开的摄像装置包括上面所述的摄像器件。

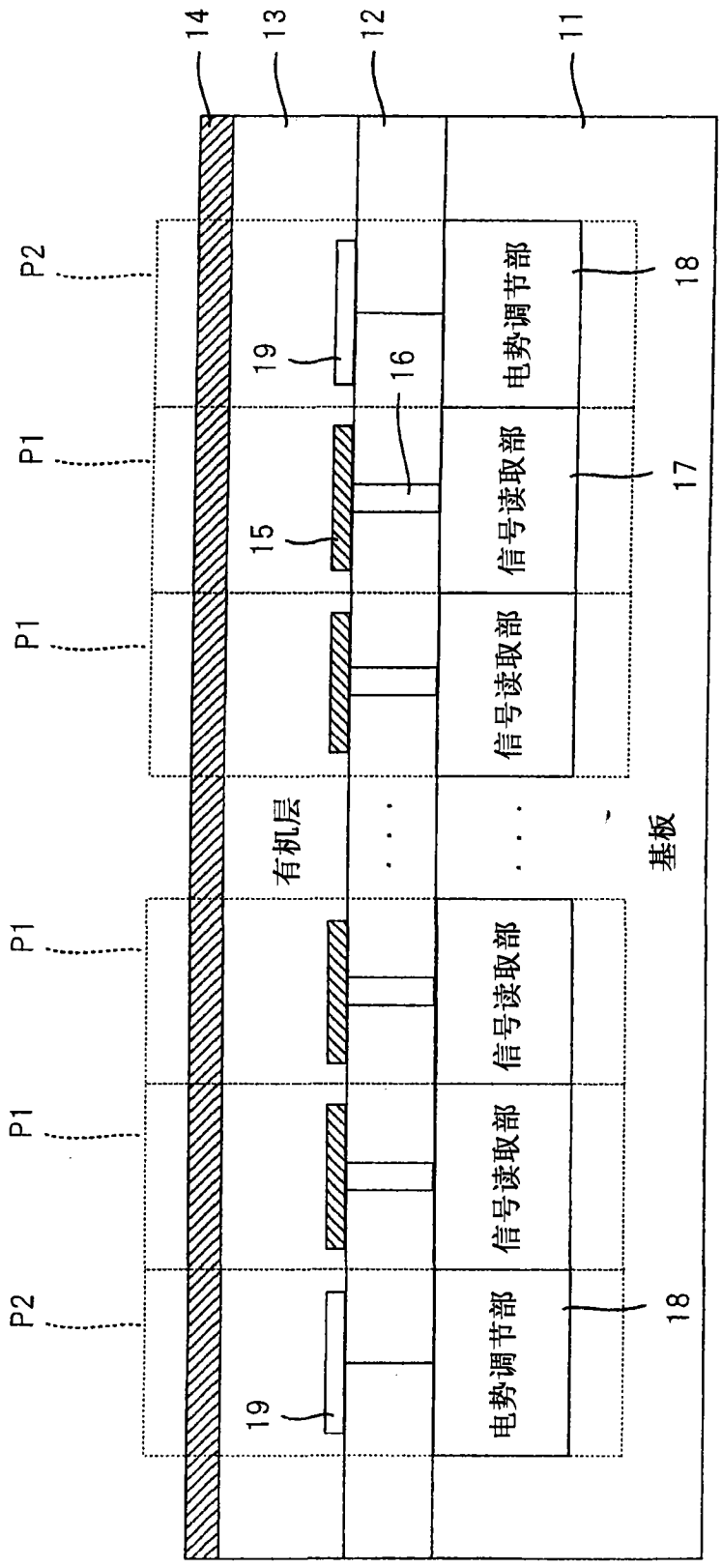

14
13
12
11
P2
P1
P1
P1
P1
P2
19
16
15
19
电势调节部
信号读取部
信号读取部
信号读取部
电势调节部
18
17
18
有机层
基板

图 1

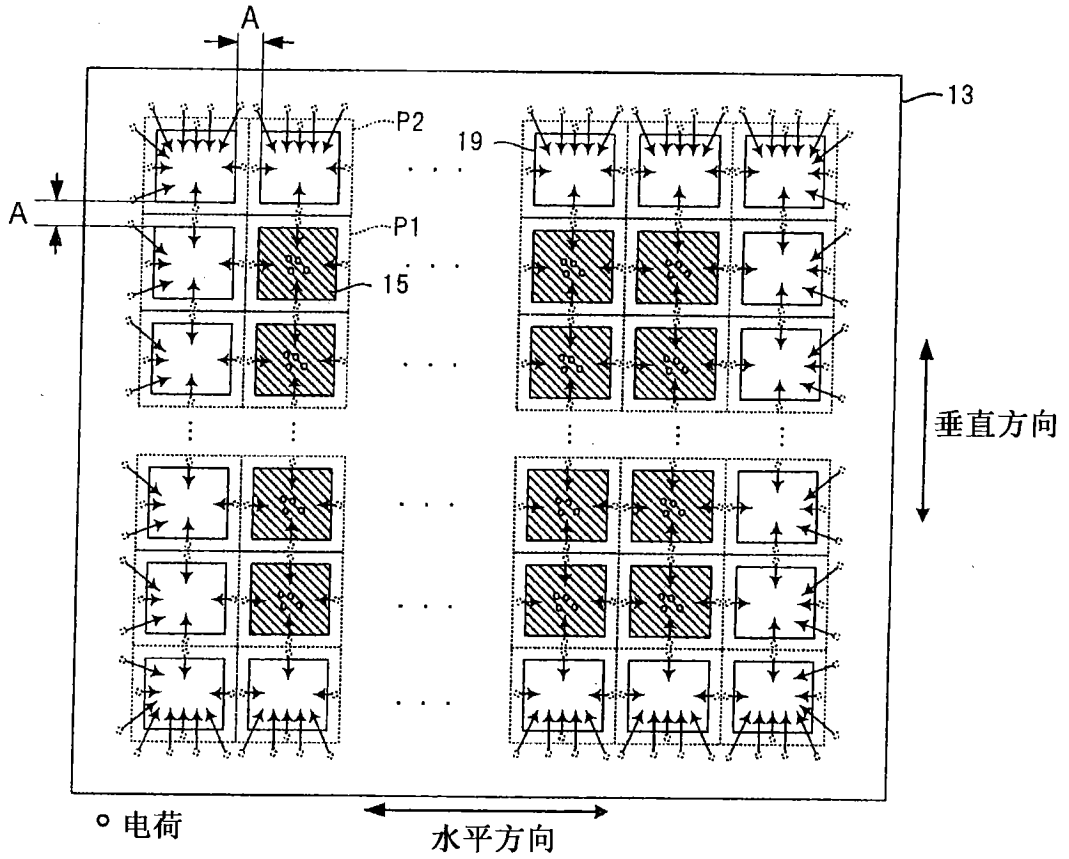

A
A
P2
P1
15
19
13
垂直方向
电荷
水平方向

图 2

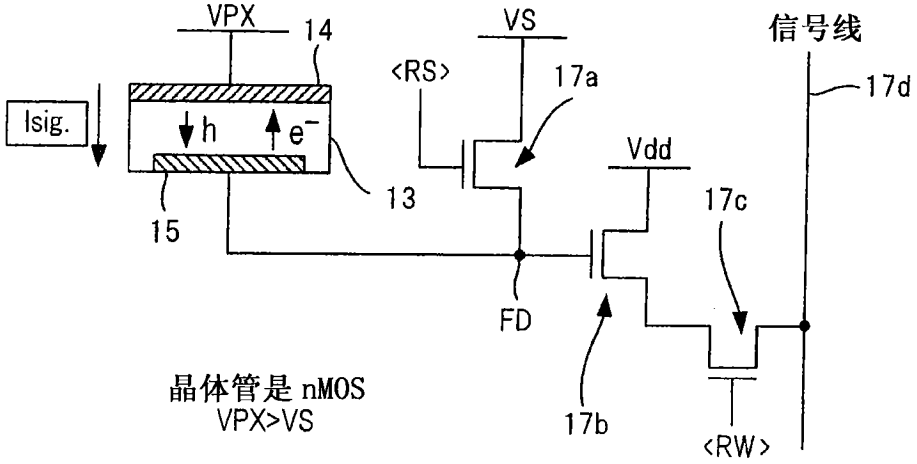

VPX
14
VS
信号线
<RS>
17a
17d
Isig.
h
e⁻
Vdd
13
17c
15
FD
晶体管是 nMOS
VPX>VS
17b
<RW>

图 3

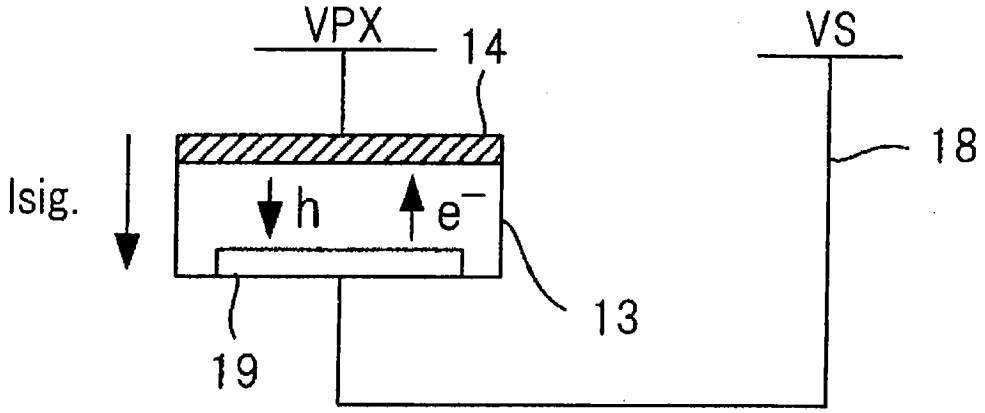

VPX
14
VS
18
Isig.
h
e⁻
13
19

图 4

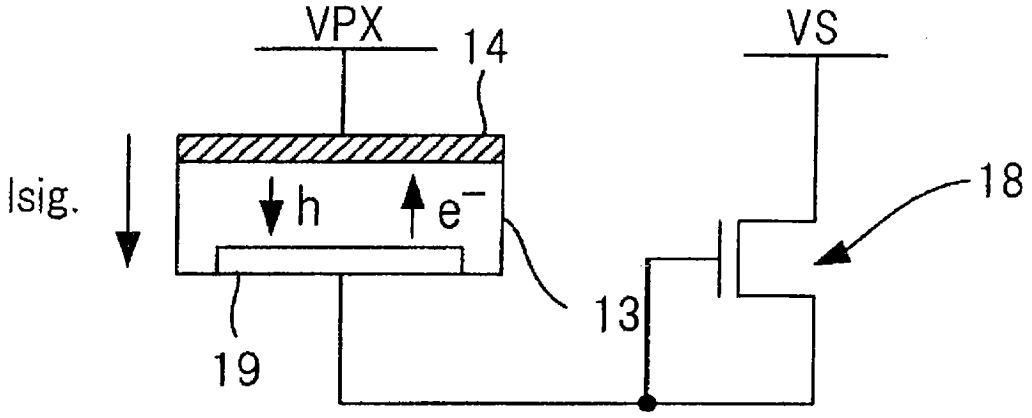

VPX
14
VS
18
Isig.
h
e⁻
13
19

图 5

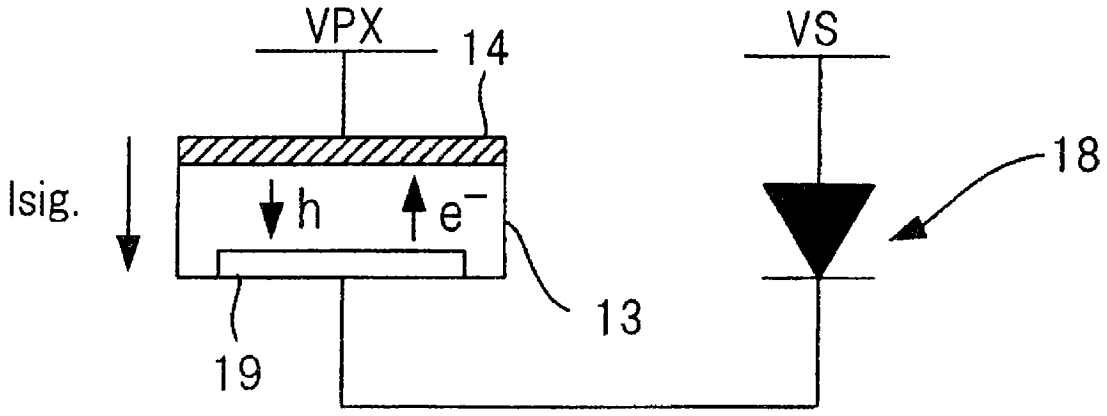

VPX
14
VS
18
Isig.
h
e⁻
13
19

图 6

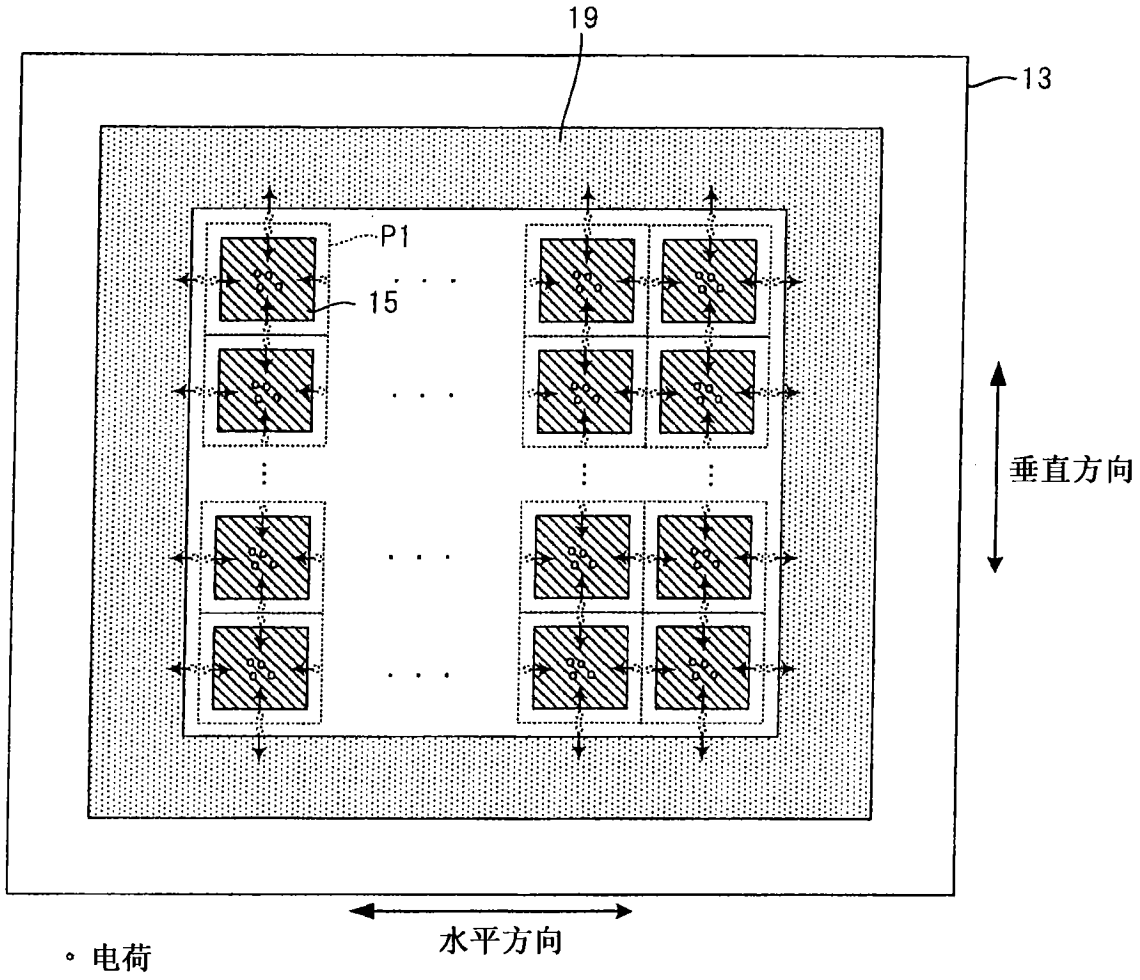


图 7

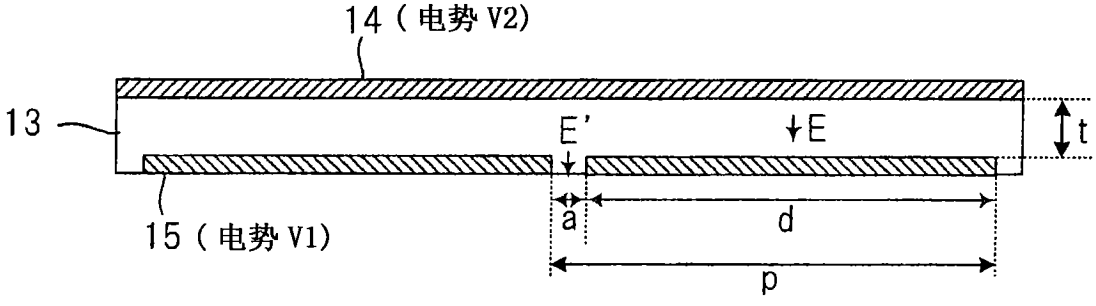


图 8

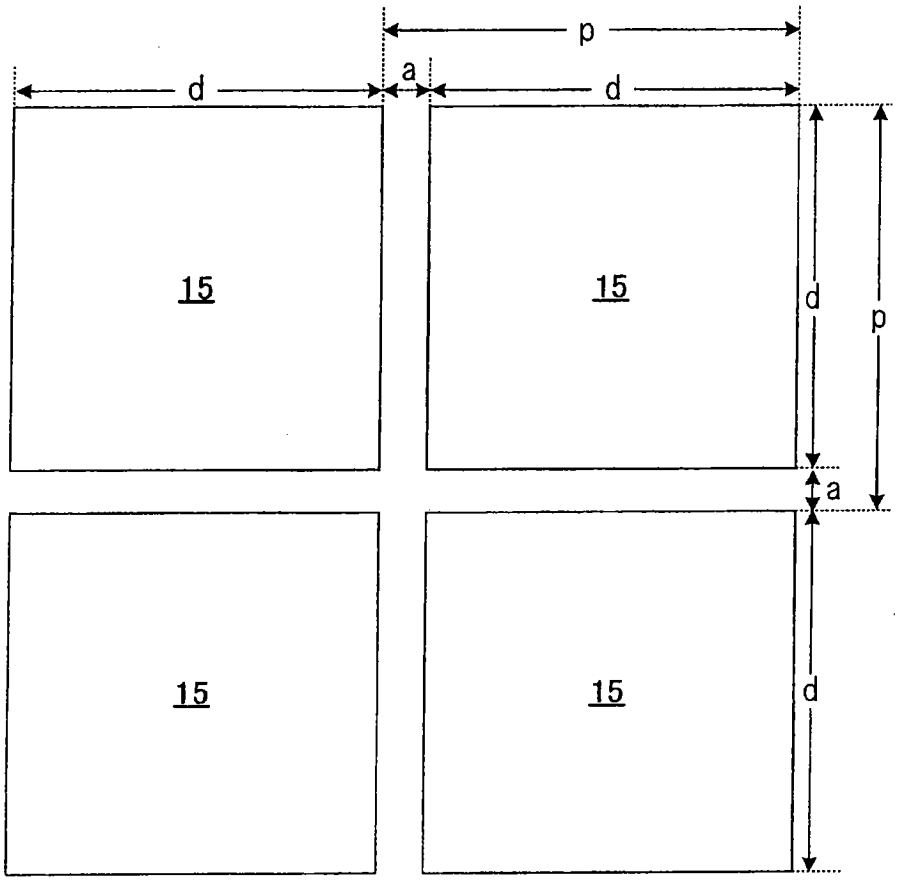

p
d
a
d
15
15
d
p
a
15
15
d

图 9

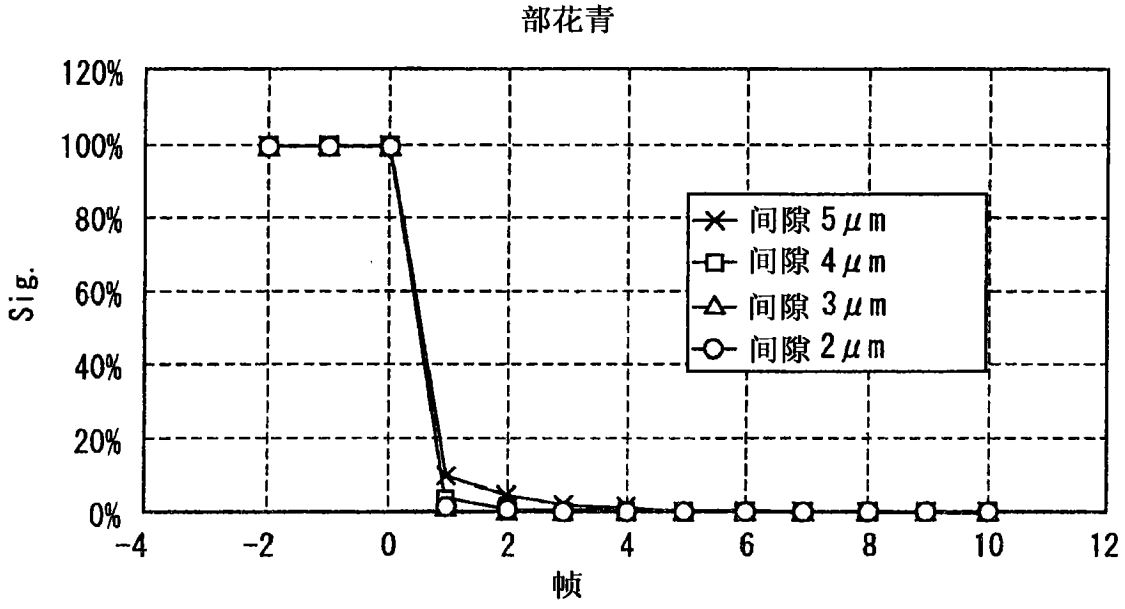

部花青
120%
100%
80%
60%
40%
20%
0%
Sig.
-4
-2
0
2
4
6
8
10
12
帧
间隙 5μm
间隙 4μm
间隙 3μm
间隙 2μm

图 10

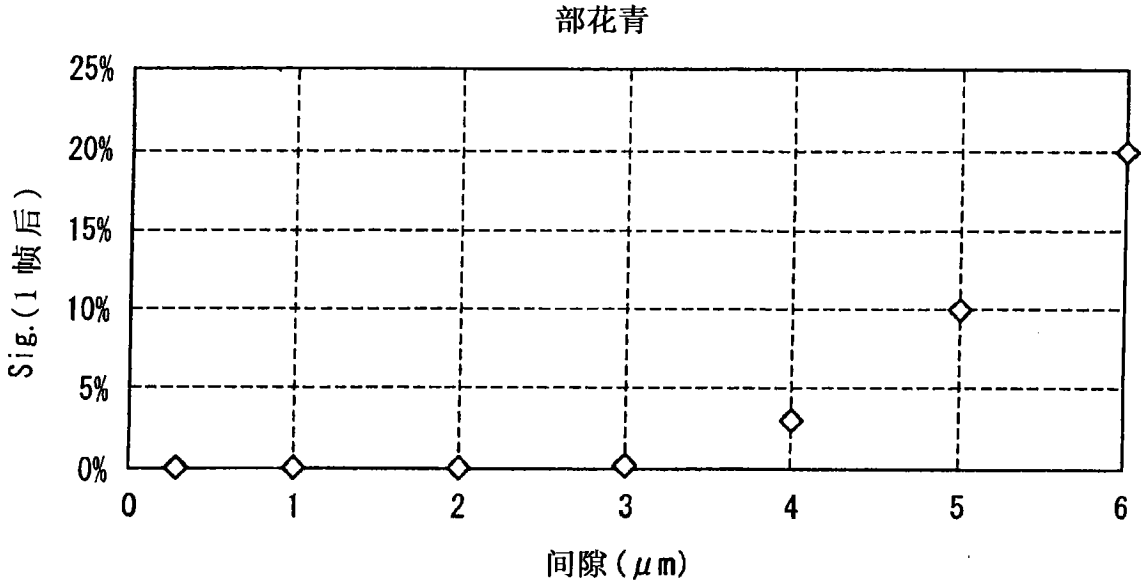

部花青
25%
20%
15%
10%
5%
0%
Sig.(1 帧后)
0
1
2
3
4
5
6
间隙（μm）

图 11

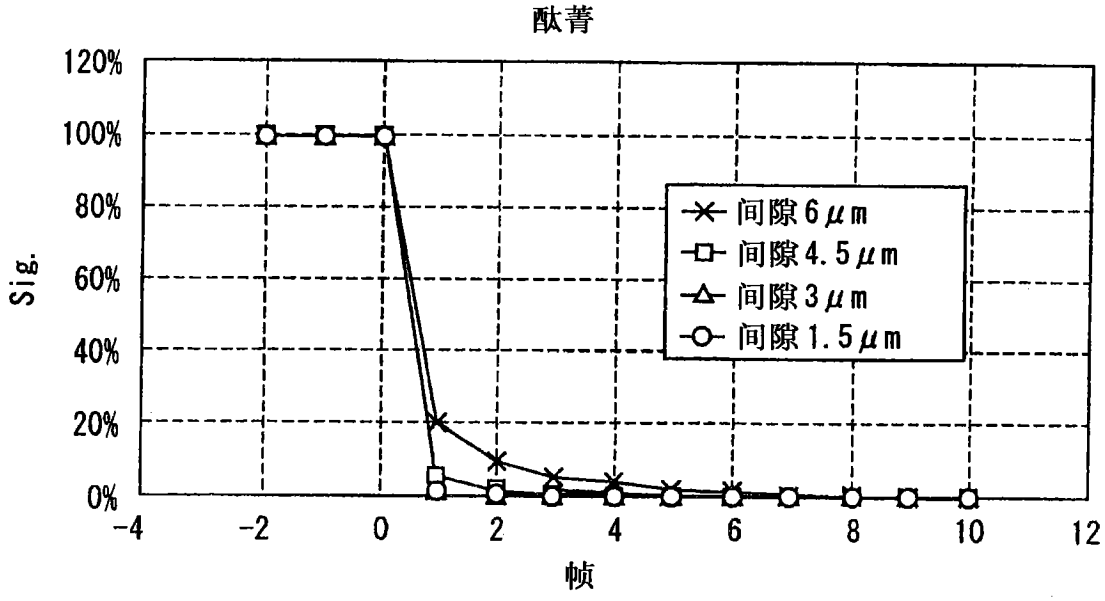

酞菁
120%
100%
80%
60%
40%
20%
0%
Sig.
-4
-2
0
2
4
6
8
10
12
帧
间隙 6μm
间隙 4.5μm
间隙 3μm
间隙 1.5μm

图 12

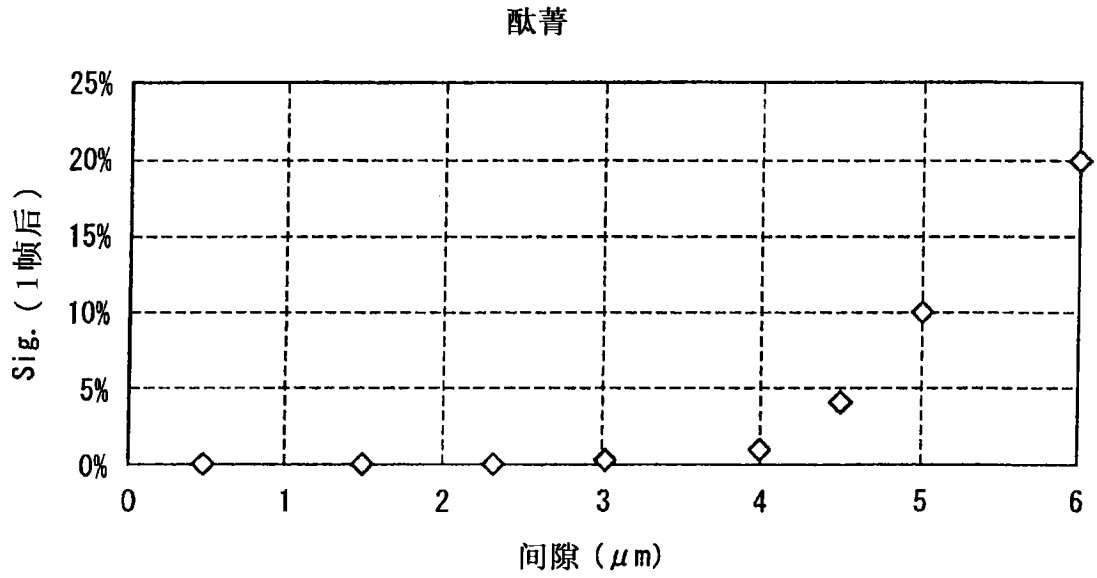

酞菁
25%
20%
15%
10%
5%
0%
Sig.（1帧后）
0
1
2
3
4
5
6
间隙（μm）

图 13

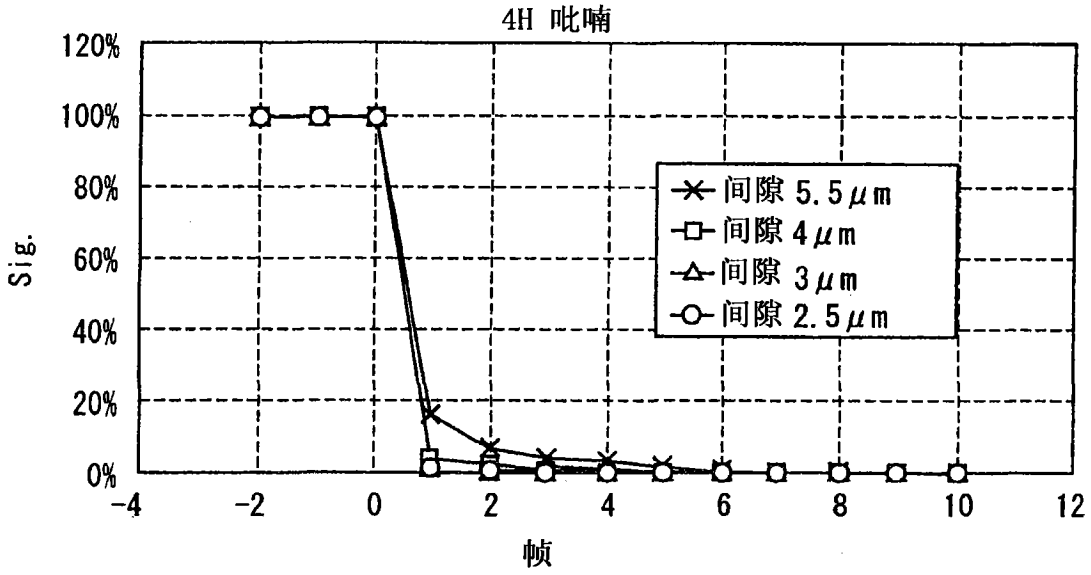

4H 吡喃
120%
100%
80%
60%
40%
20%
0%
Sig.
-4
-2
0
2
4
6
8
10
12
帧
间隙 5.5μm
间隙 4μm
间隙 3μm
间隙 2.5μm

图 14

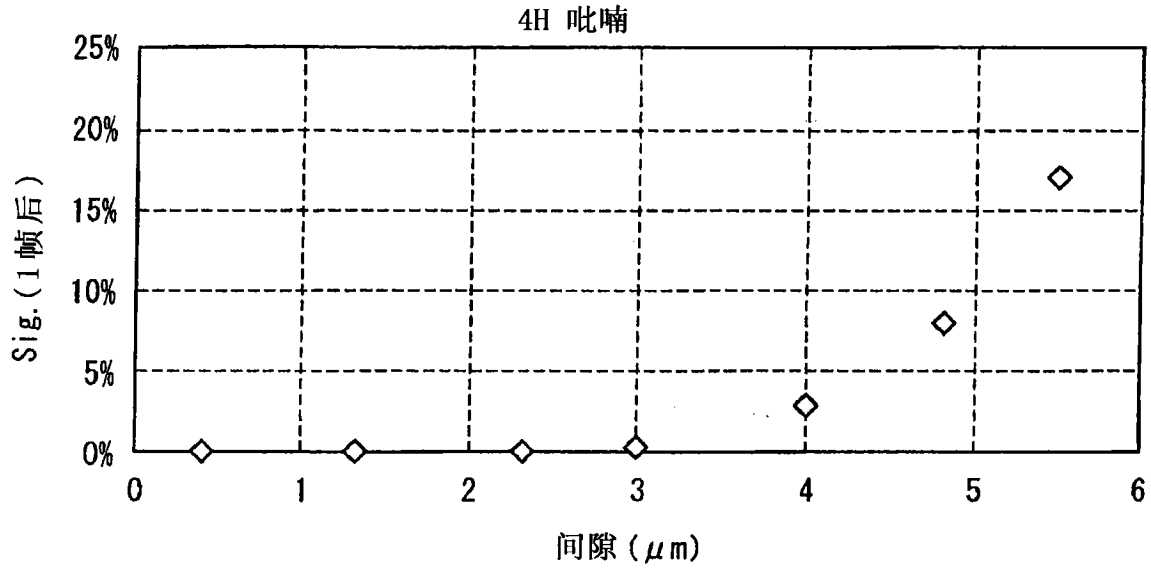

4H 吡喃
25%
20%
15%
10%
5%
0%
Sig.(1帧后)
0
1
2
3
4
5
6
间隙(μm)

图 15

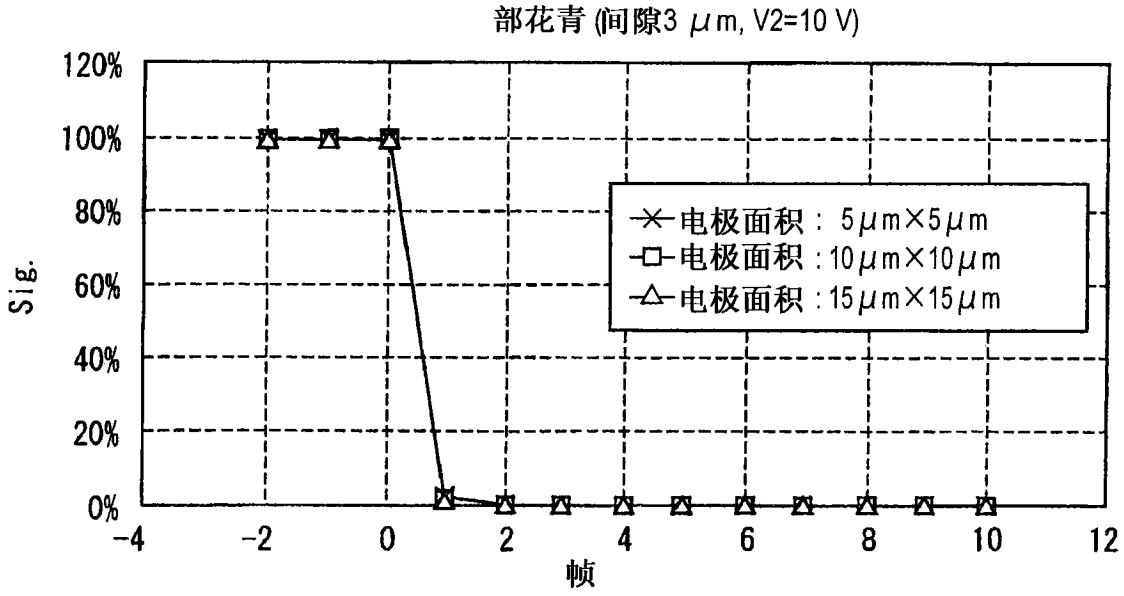

部花青 (间隙3 μm, V2=10 V)
120%
100%
80%
60%
40%
20%
0%
Sig.
-4
-2
0
2
4
6
8
10
12
帧
电极面积： 5μm×5μm
电极面积：10μm×10μm
电极面积：15μm×15μm

图 16

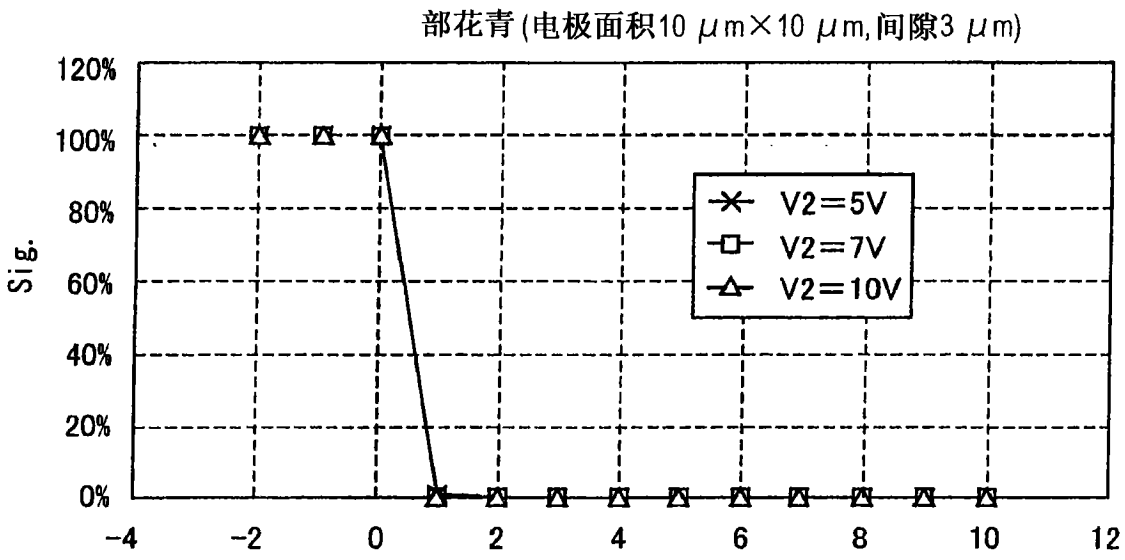

部花青(电极面积10 μm×10 μm,间隙3 μm)
120%
100%
80%
60%
40%
20%
0%
Sig.
-4
-2
0
2
4
6
8
10
12
V2=5V
V2=7V
V2=10V

图 17

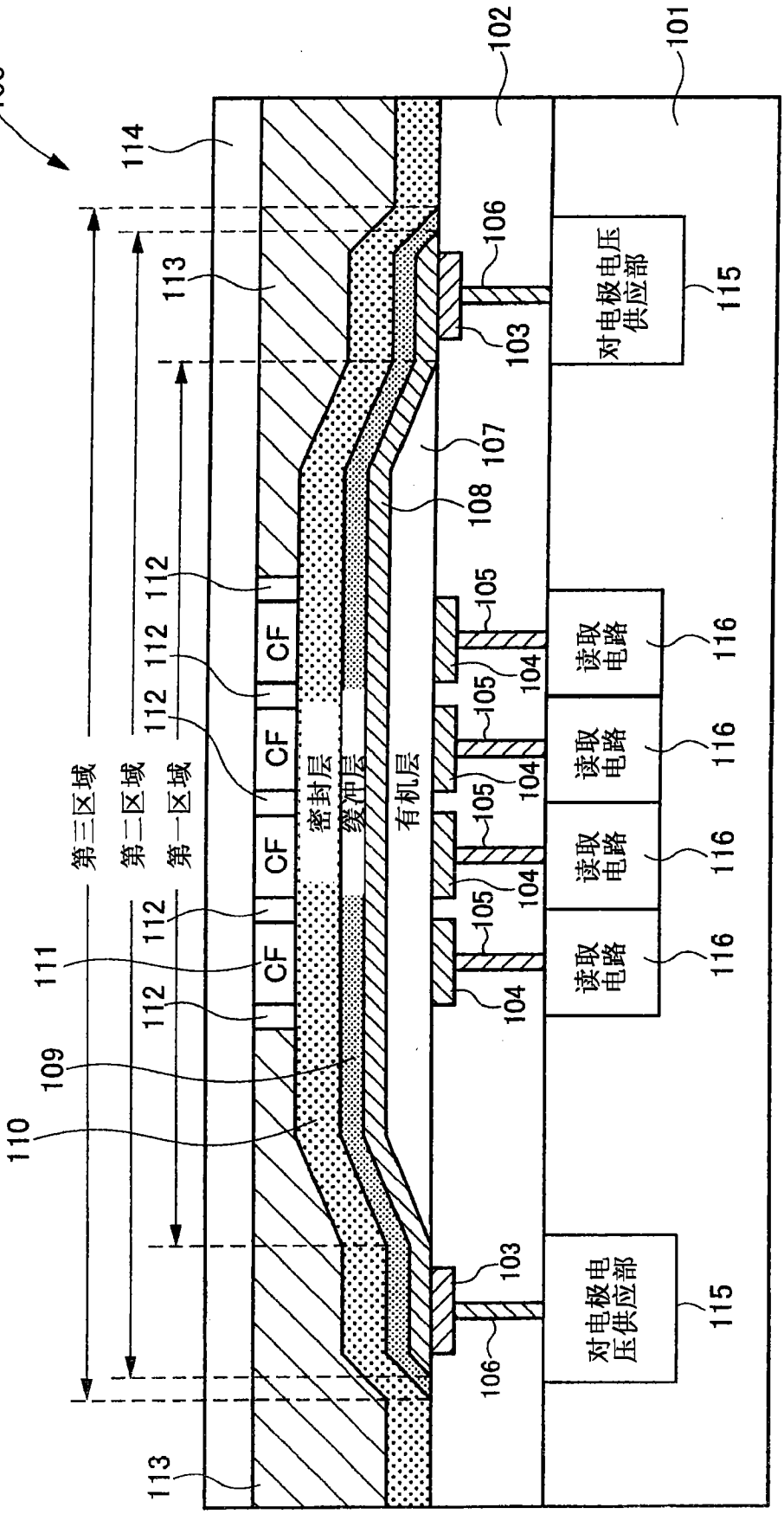

100
101
102
114
113
112
111
109
110
106
103
107
108
105
104
116
115
CF
密封层
缓冲层
有机层
第三区域
第二区域
第一区域
读取电路
对电极电压供应部

图 18

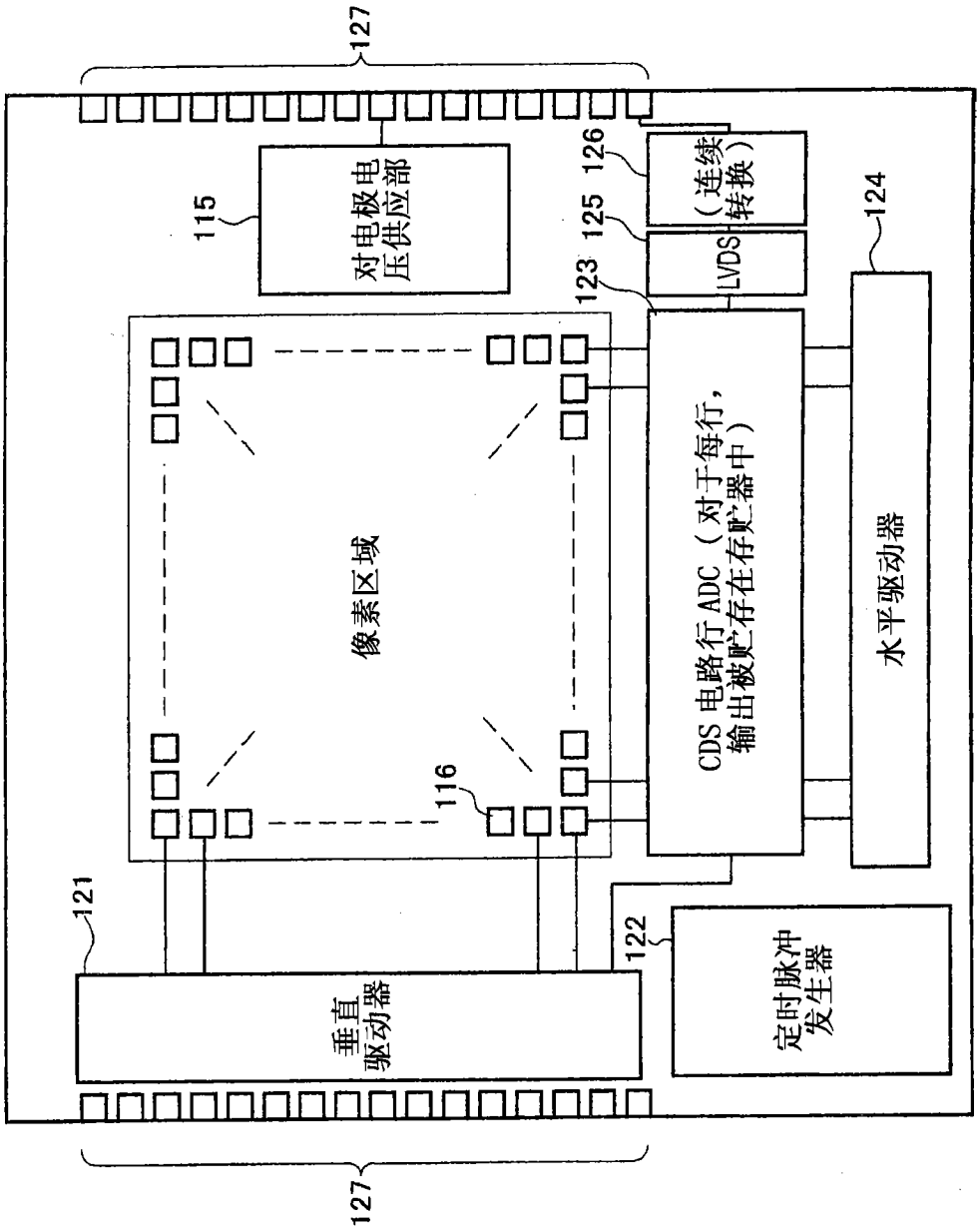

127
对电极电压供应部
115
126
(连续转换)
125
LVDS
123
124
像素区域
CDS 电路行 ADC (对于每行，输出被贮存在存贮器中)
水平驱动器
116
121
122
垂直驱动器
定时脉冲发生器
127

图 19

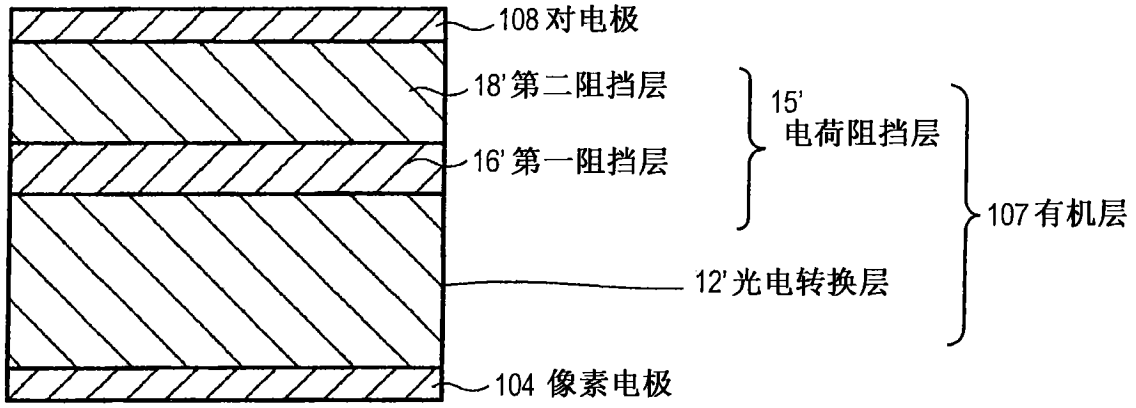

108 对电极
18' 第二阻挡层
16' 第一阻挡层
15'
电荷阻挡层
107 有机层
12' 光电转换层
104 像素电极

图 20

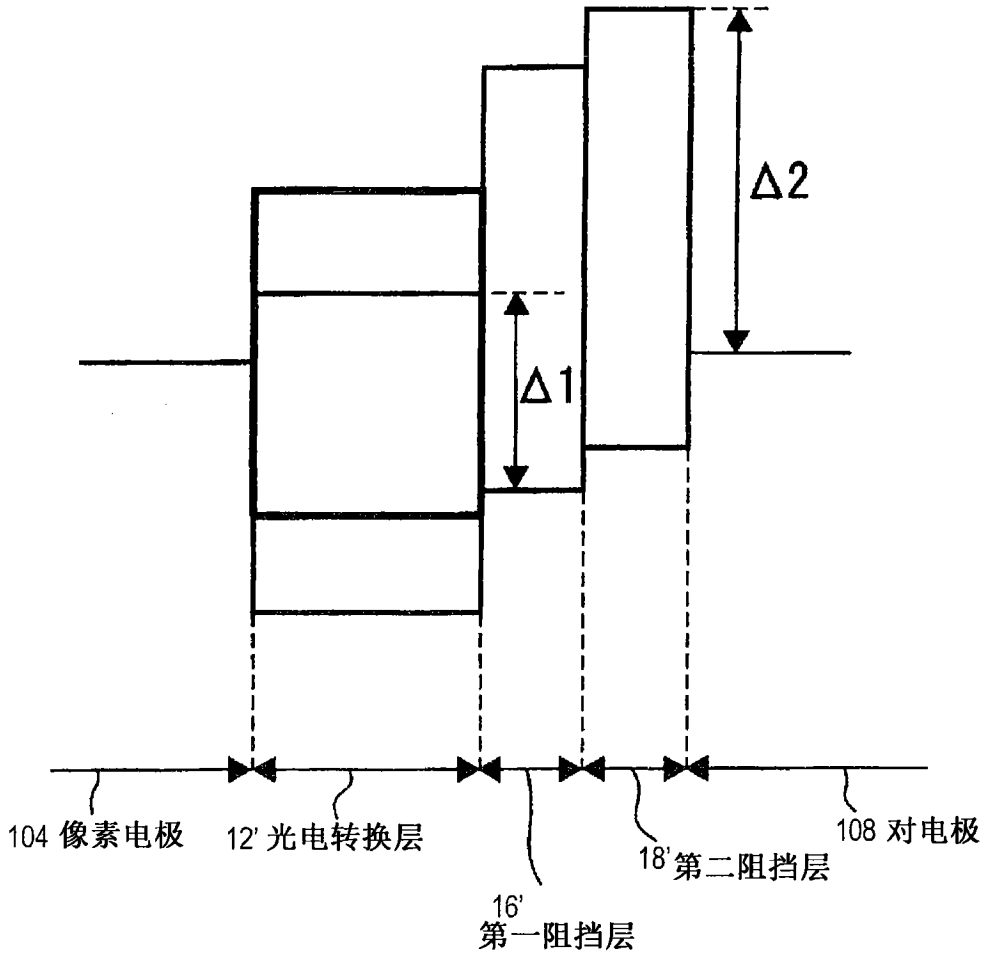

Δ2
Δ1
104 像素电极
12' 光电转换层
16'
第一阻挡层
18' 第二阻挡层
108 对电极

图 21

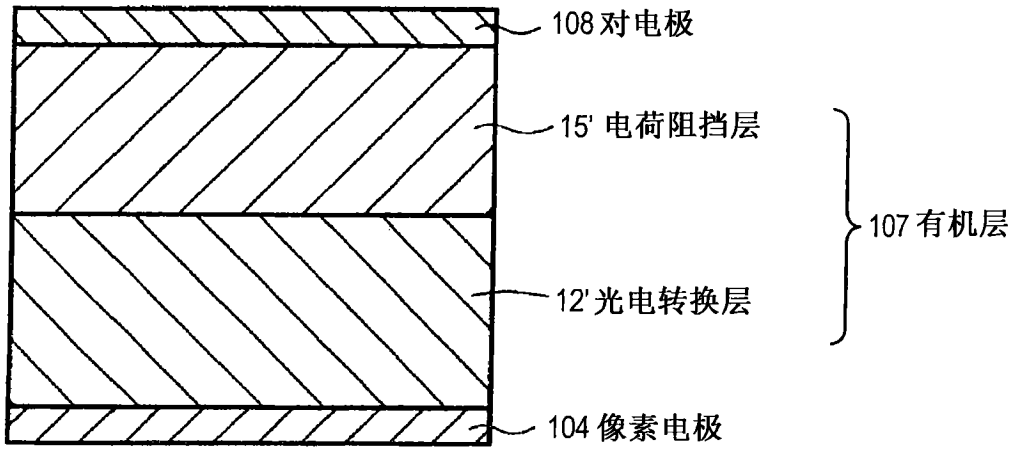

108 对电极
15' 电荷阻挡层
107 有机层
12' 光电转换层
104 像素电极

图 22

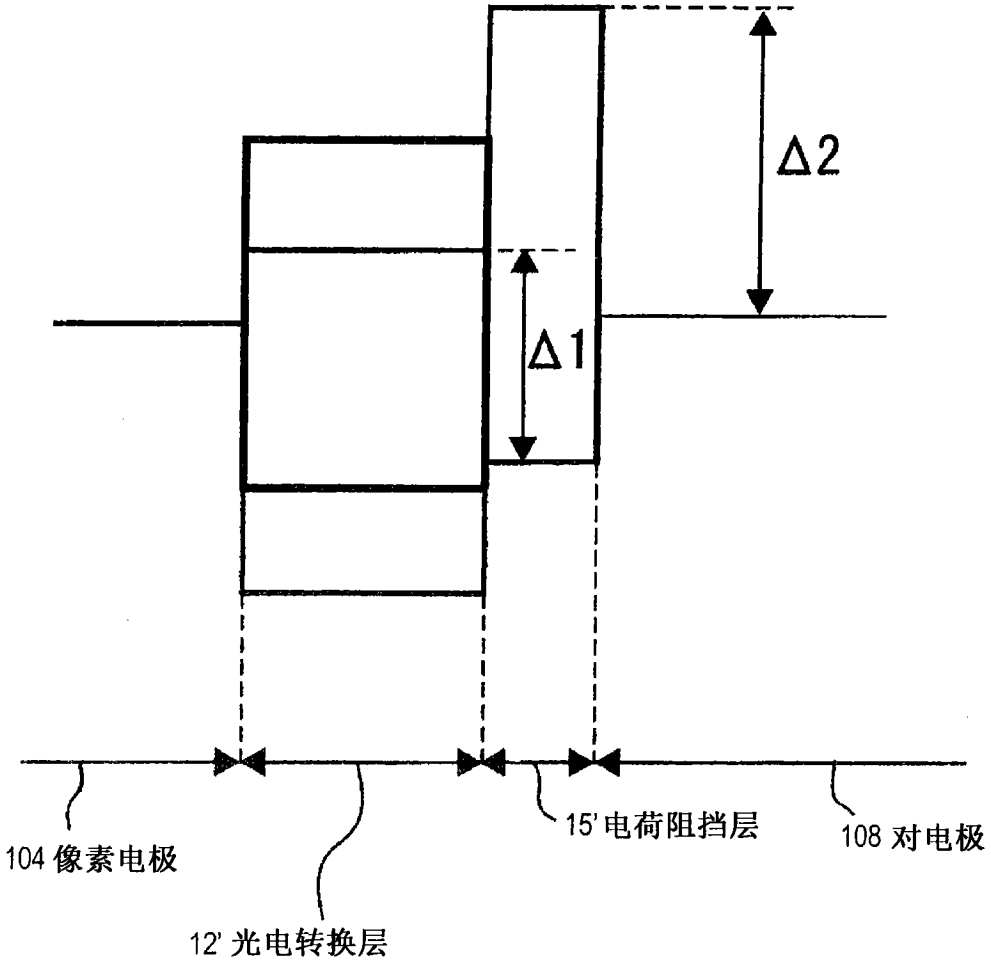

Δ2
Δ1
104 像素电极
12' 光电转换层
15' 电荷阻挡层
108 对电极

图 23

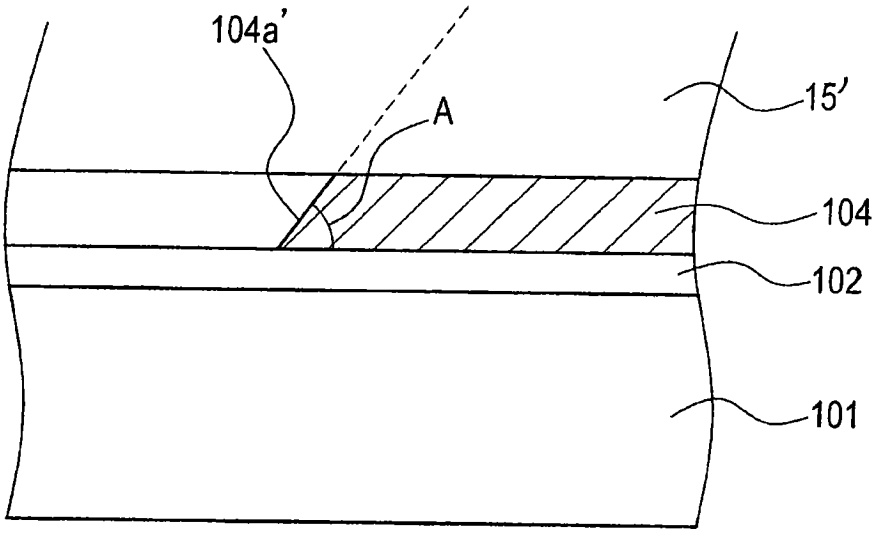

104a'
A
15'
104
102
101

图 24

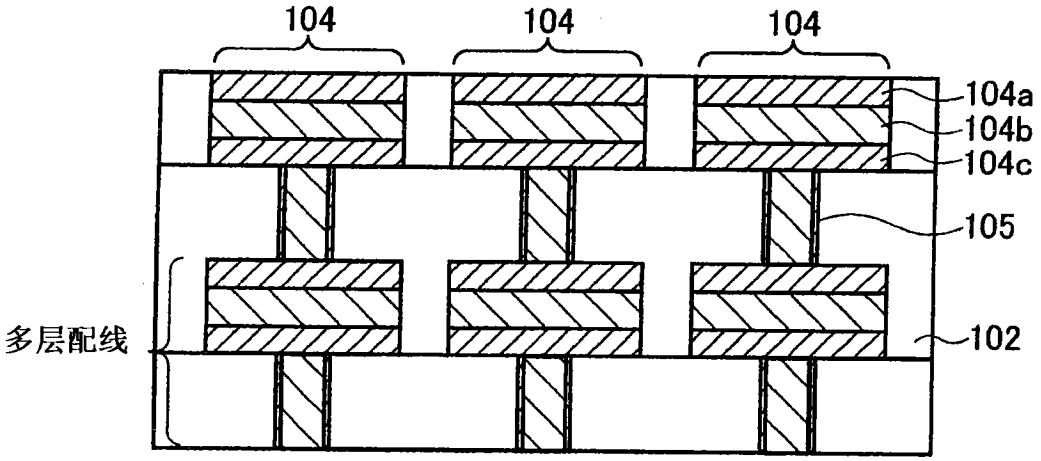

104
104
104
104a
104b
104c
105
多层配线
102

图 25

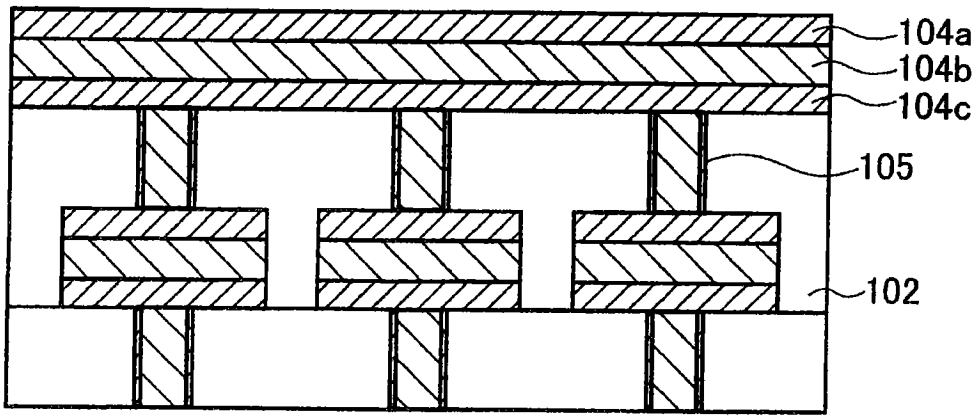

104a
104b
104c
105
102

图 26

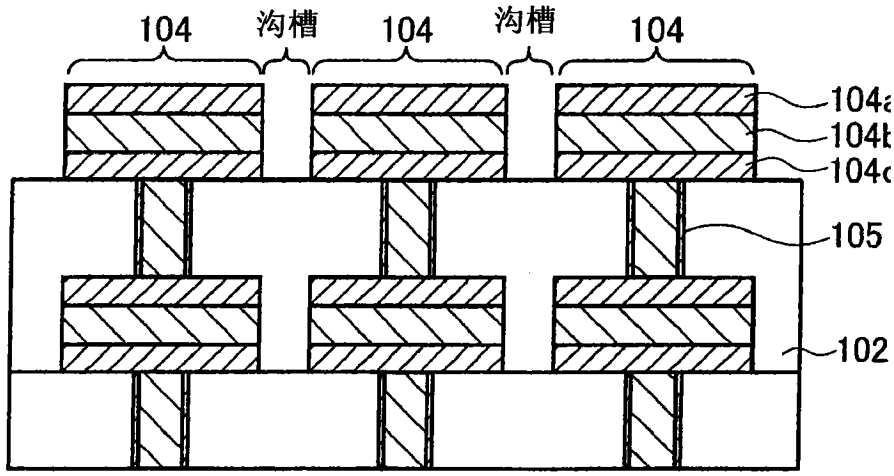

104
沟槽
104
沟槽
104
104a
104b
104c
105
102

图 27

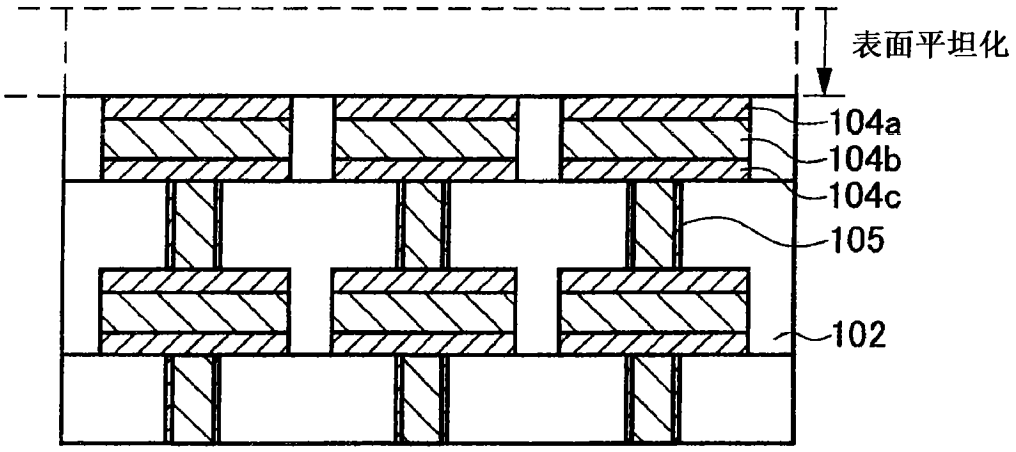

表面平坦化
104a
104b
104c
105
102

图 28

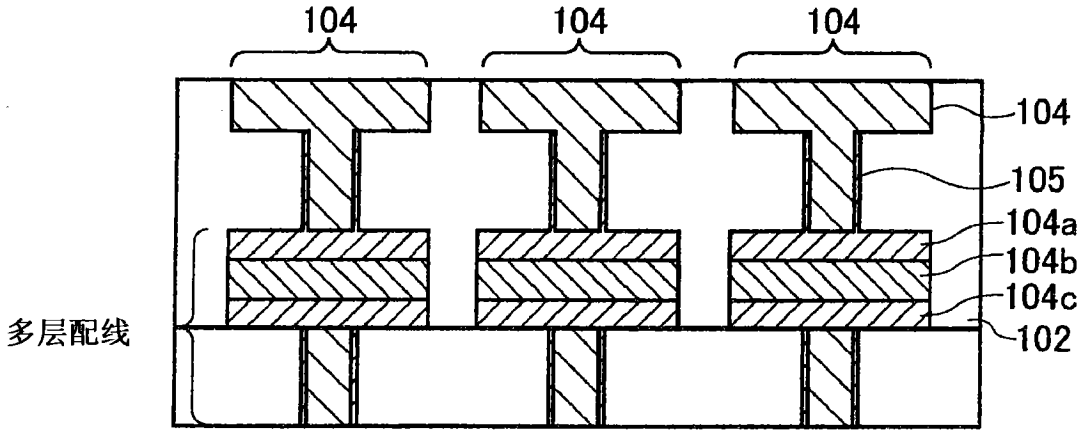

104
104
104
104
105
104a
104b
104c
102
多层配线

图 29

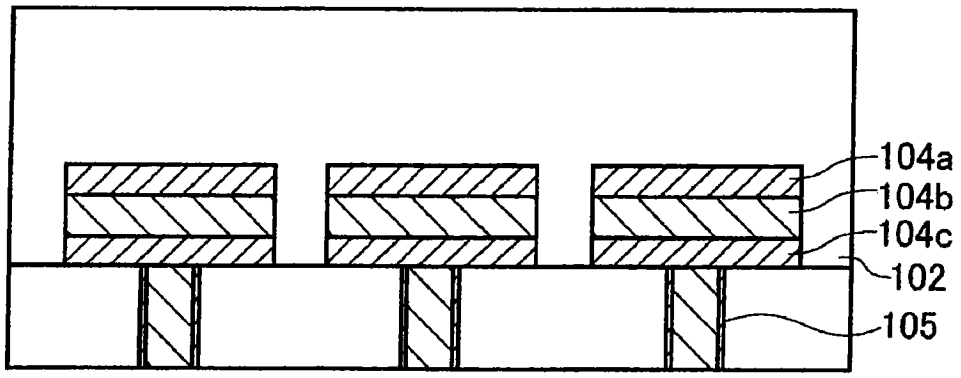

104a
104b
104c
102
105

图 30

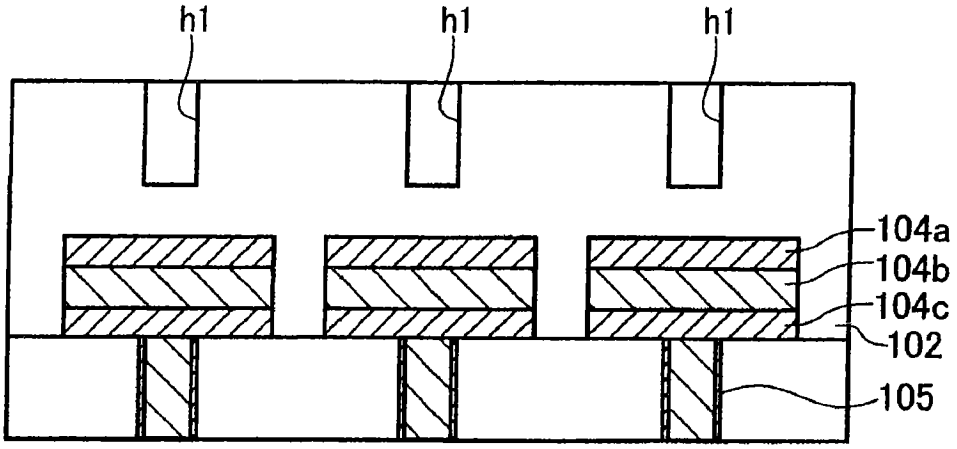

h1
h1
h1
104a
104b
104c
102
105

图 31

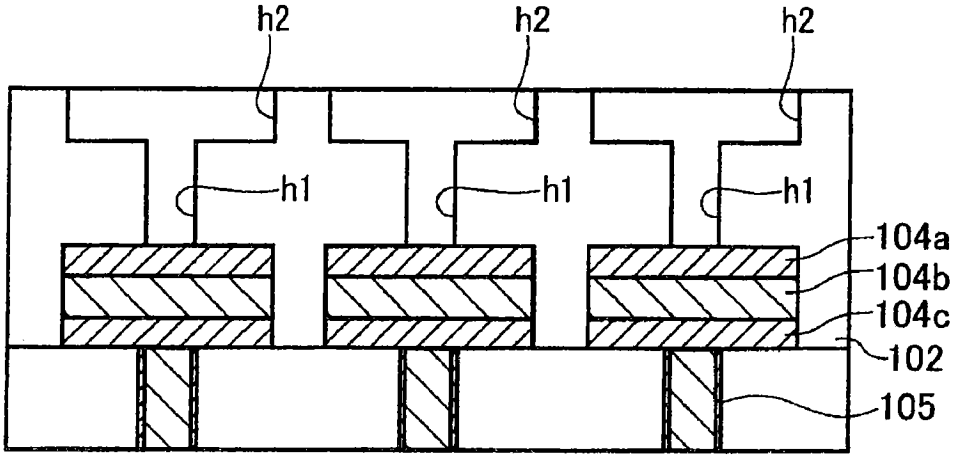

h2
h2
h2
h1
h1
h1
104a
104b
104c
102
105

图 32

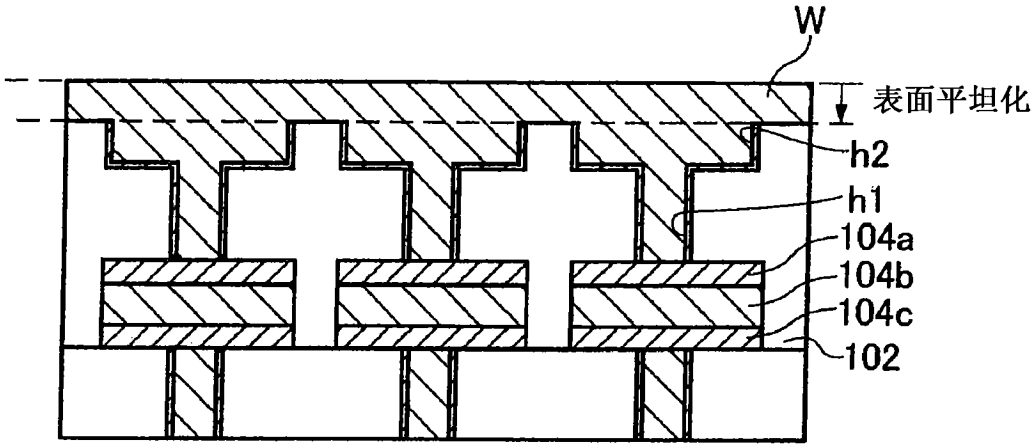

W
表面平坦化
h2
h1
104a
104b
104c
102

图 33

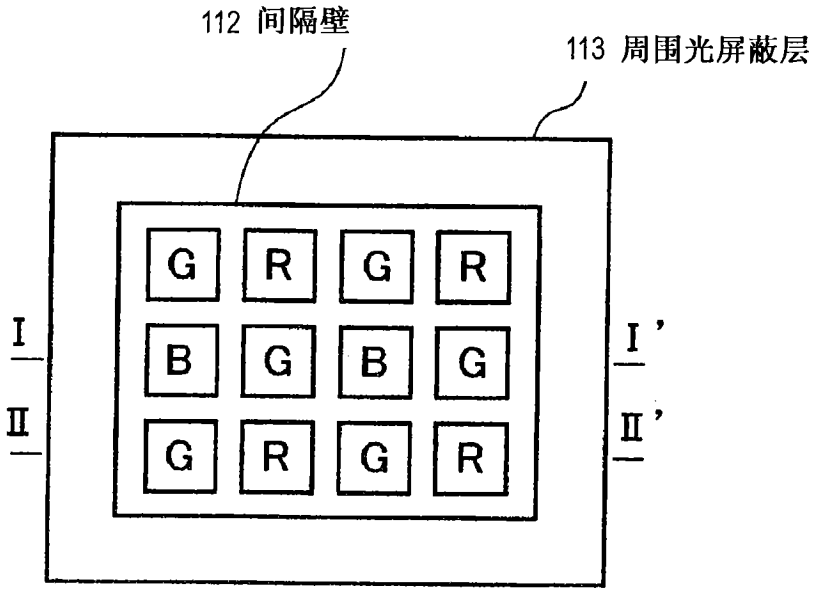

112 间隔壁
113 周围光屏蔽层
G R G R
B G B G
G R G R
I
II
I'
II'

图 34

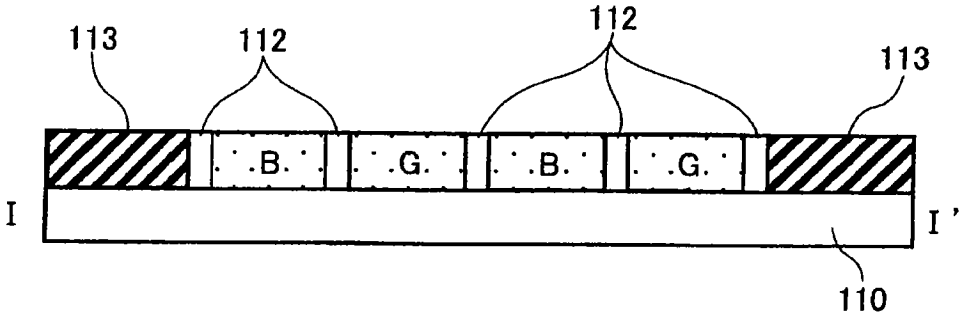

113
112
112
113
B
G
B
G
I
I'
110

图 35A

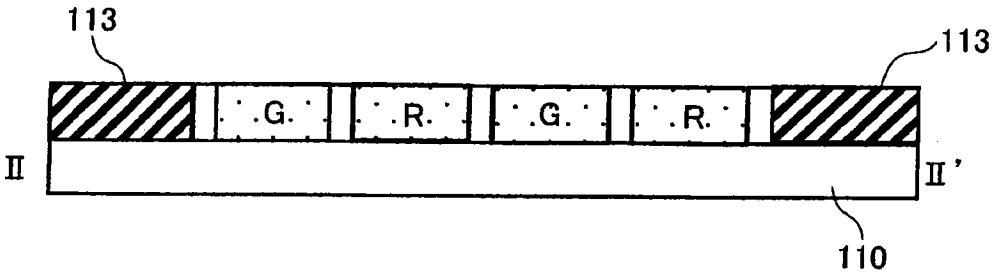


图 35B

1. 周围光屏蔽层的形成



图 36A



图 36B

2. 光致抗蚀剂的形成

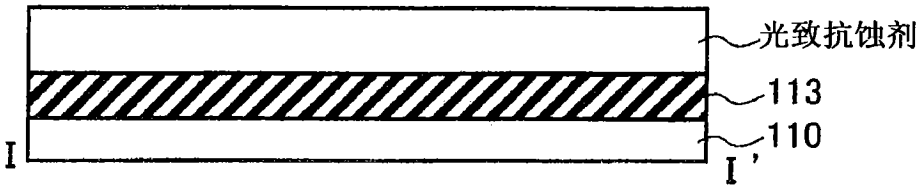


图 37A

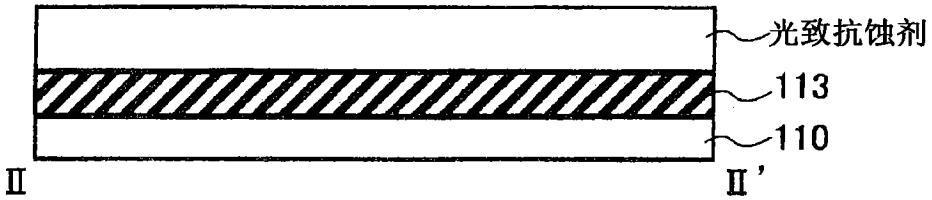


图 37B

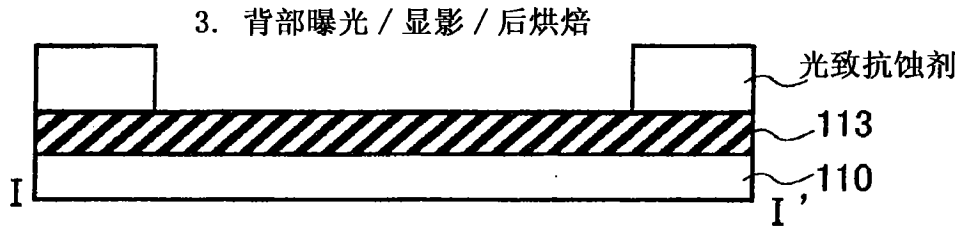


图 38A

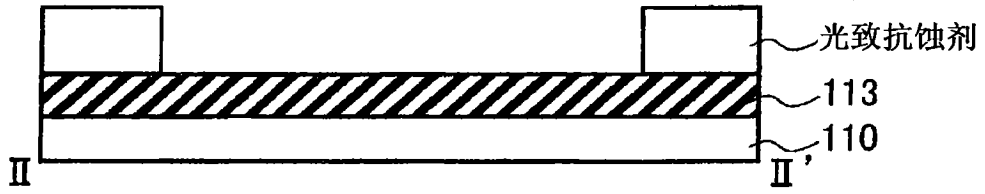


图 38B

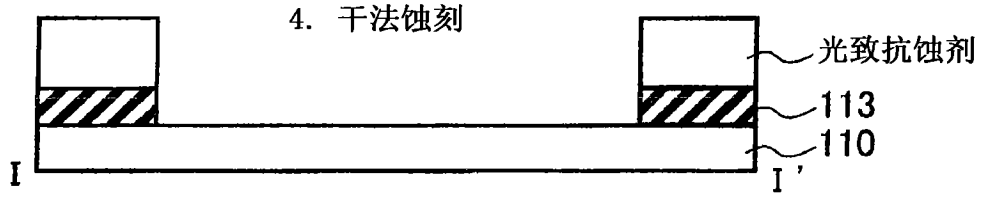


图 39A

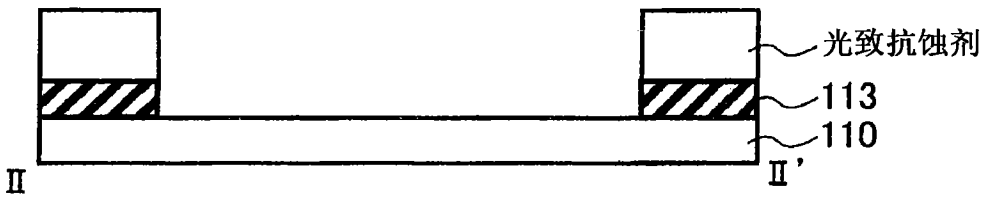


图 39B

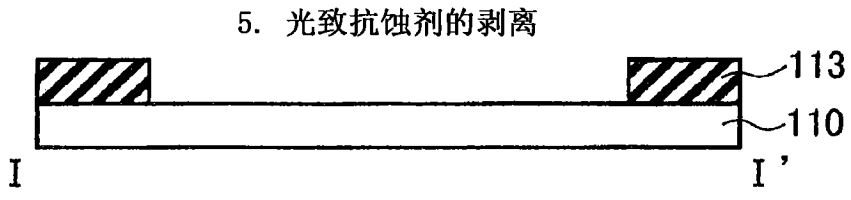


图 40A



图 40B

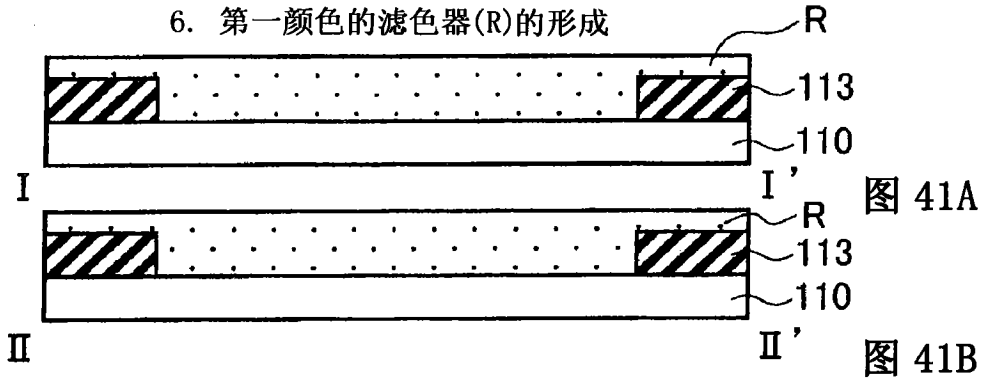


图 41A

图 41B

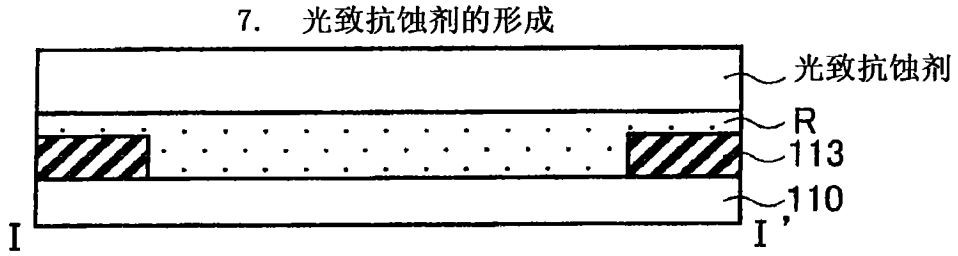


图 42A

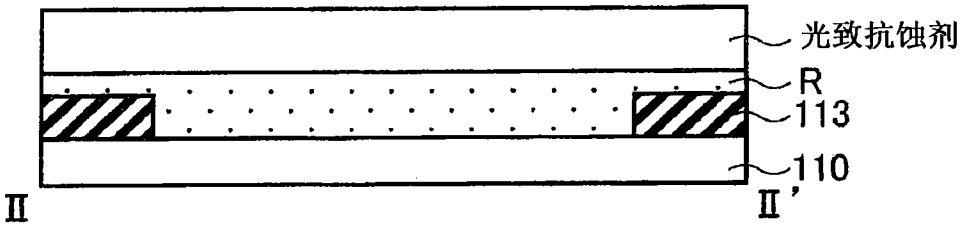


图 42B

8： 图案曝光 / 显影 / 后烘焙

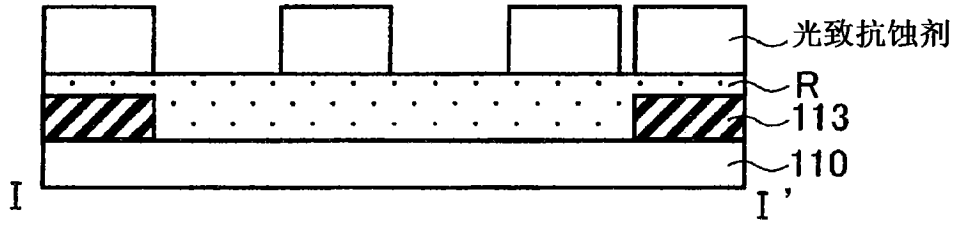


图 43A

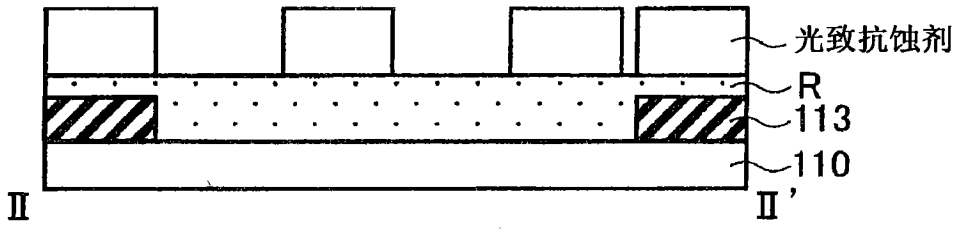


图 43B

9. 干法蚀刻

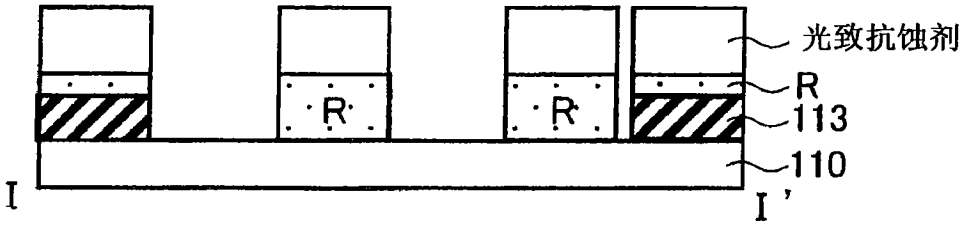


图 44A

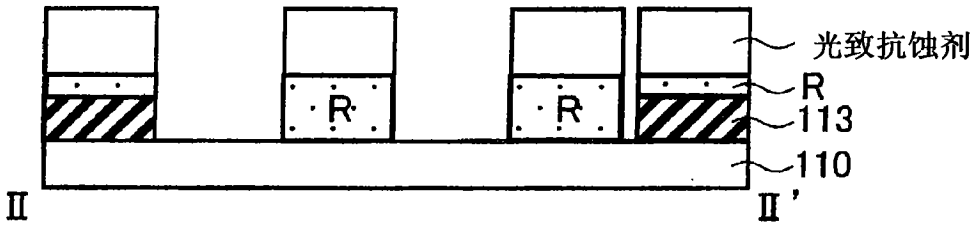


图 44B

10：光致抗蚀剂的剥离

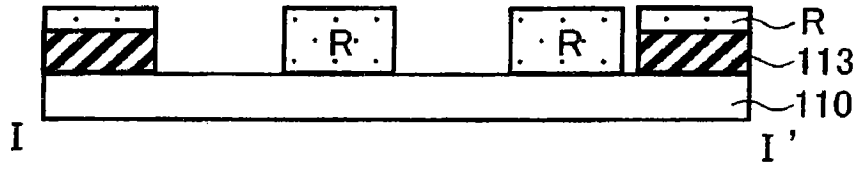


图 45A

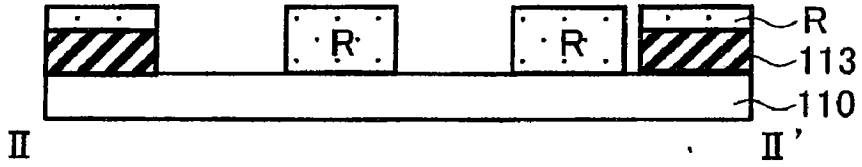


图 45B

11：第二颜色的滤色器(B)的形成

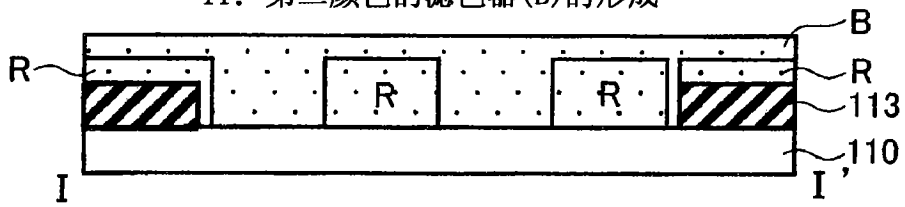


图 46A

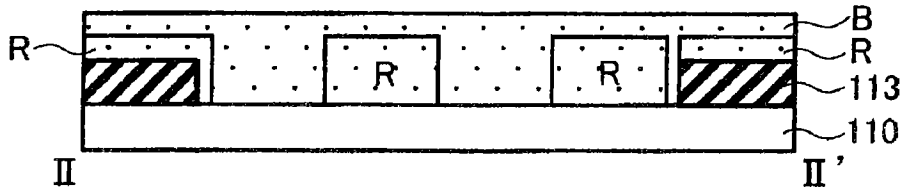


图 46B

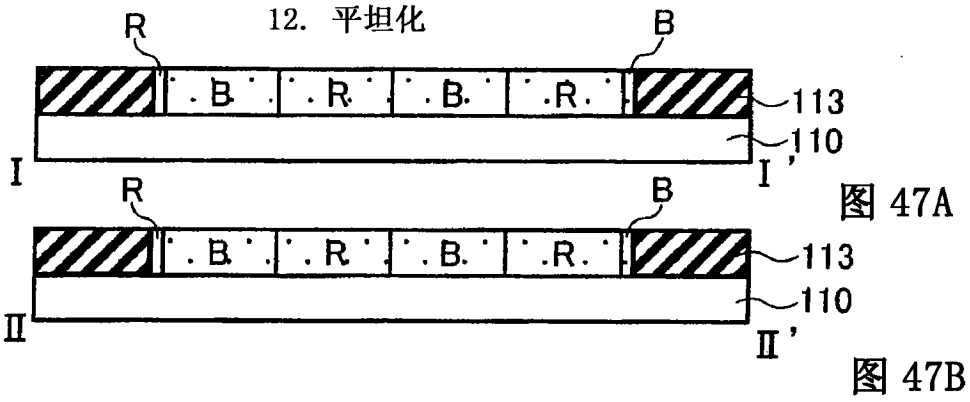


图 47A

图 47B

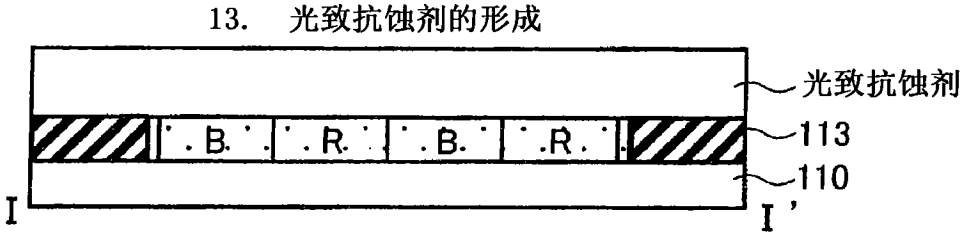


图 48A

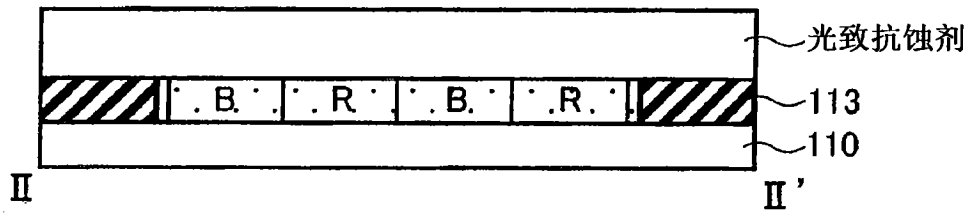


图 48B

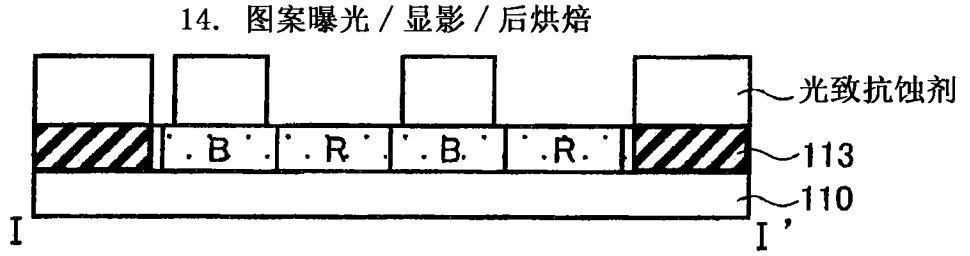


图 49A

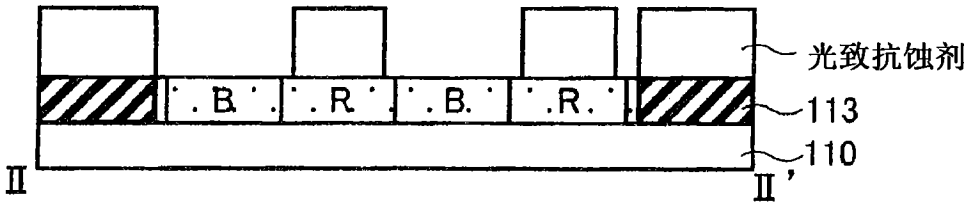


图 49B

15. 光致抗蚀剂的剥离

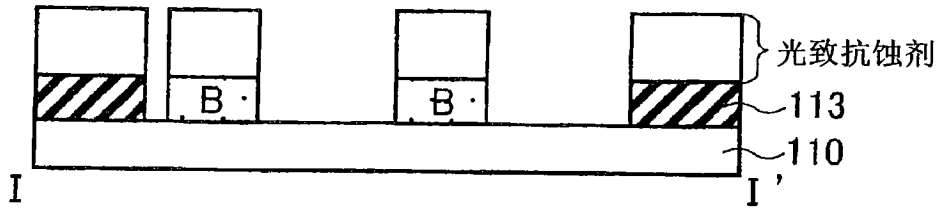


图 50A

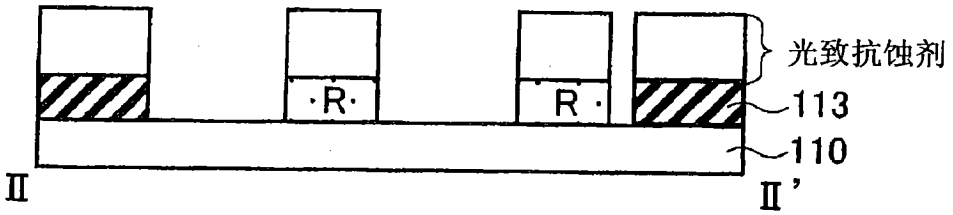


图 50B

16. 光致抗蚀剂的剥离

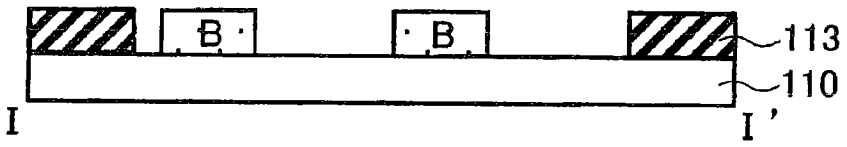


图 51A

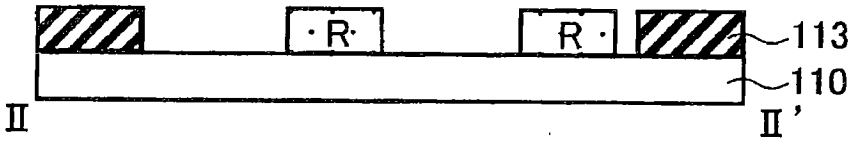


图 51B

17. 间隔壁的形成材料

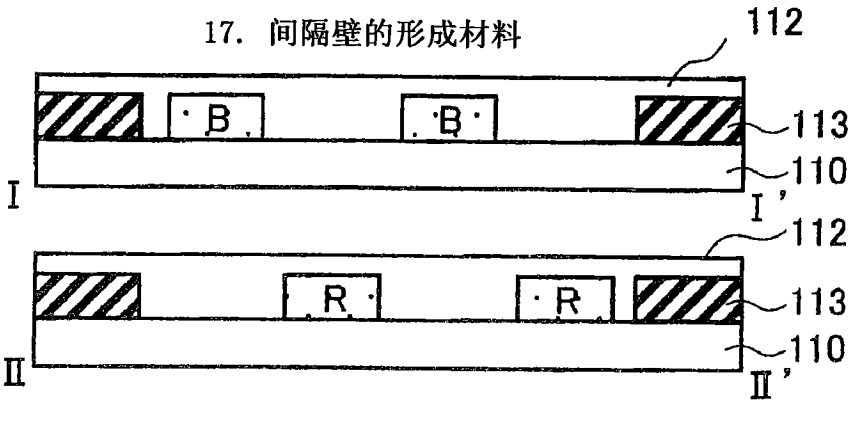


图 52A

图 52B

18. 平坦化

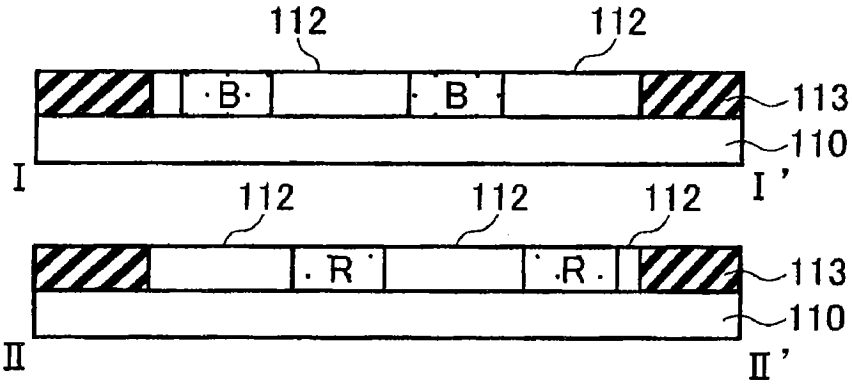


图 53A

图 53B

19. 光致抗蚀剂的形成

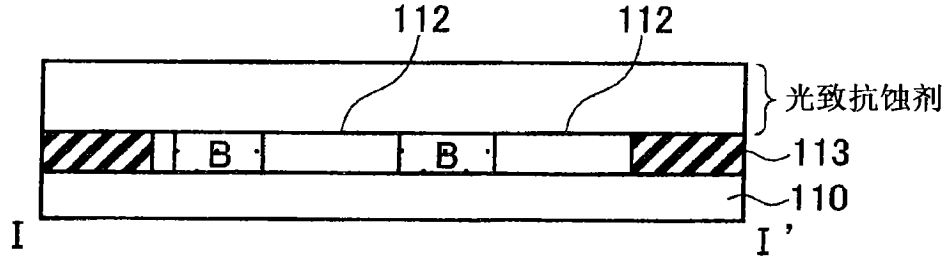


图 54A

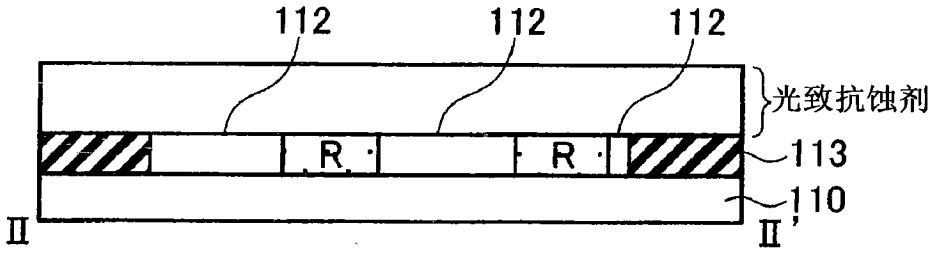


图 54B

20. 图案曝光 / 显影 / 后烘焙

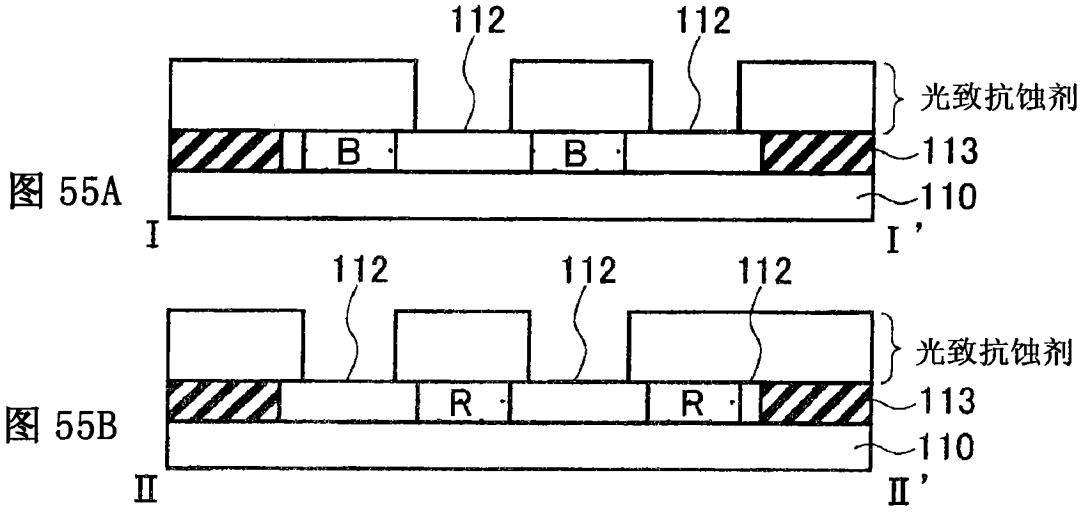


图 55A

图 55B

21. 干法蚀刻

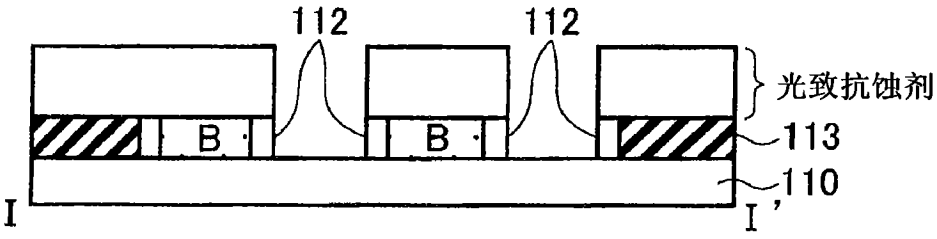


图 56A

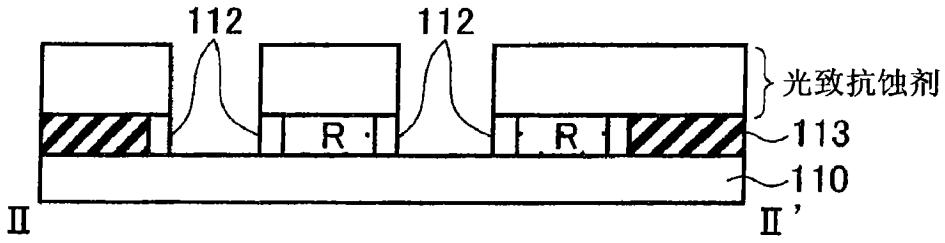


图 56B

22. 光致抗蚀剂的剥离

图 57A

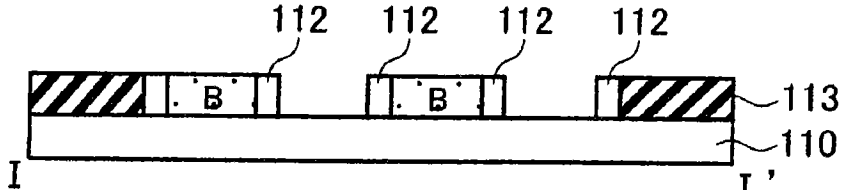
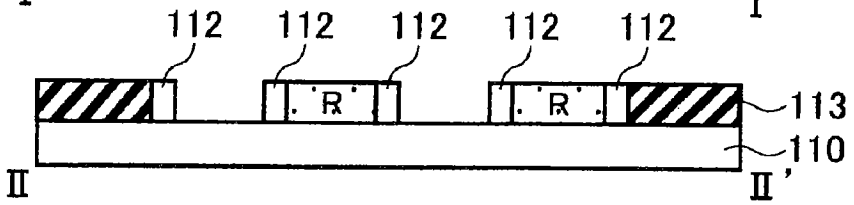


图 57B



23. 第三颜色的滤色器(G)的形成

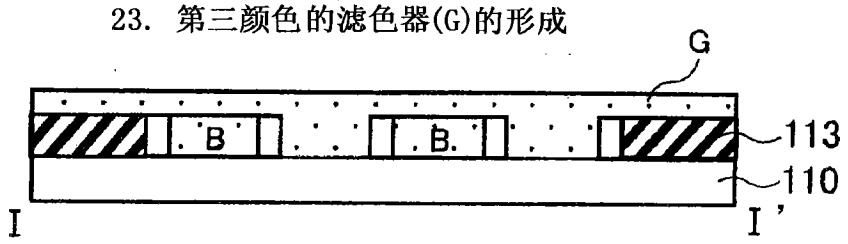


图 58A

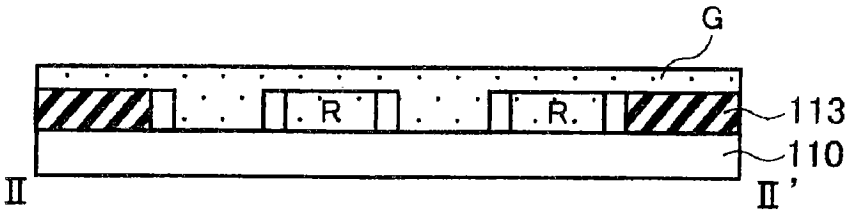


图 58B

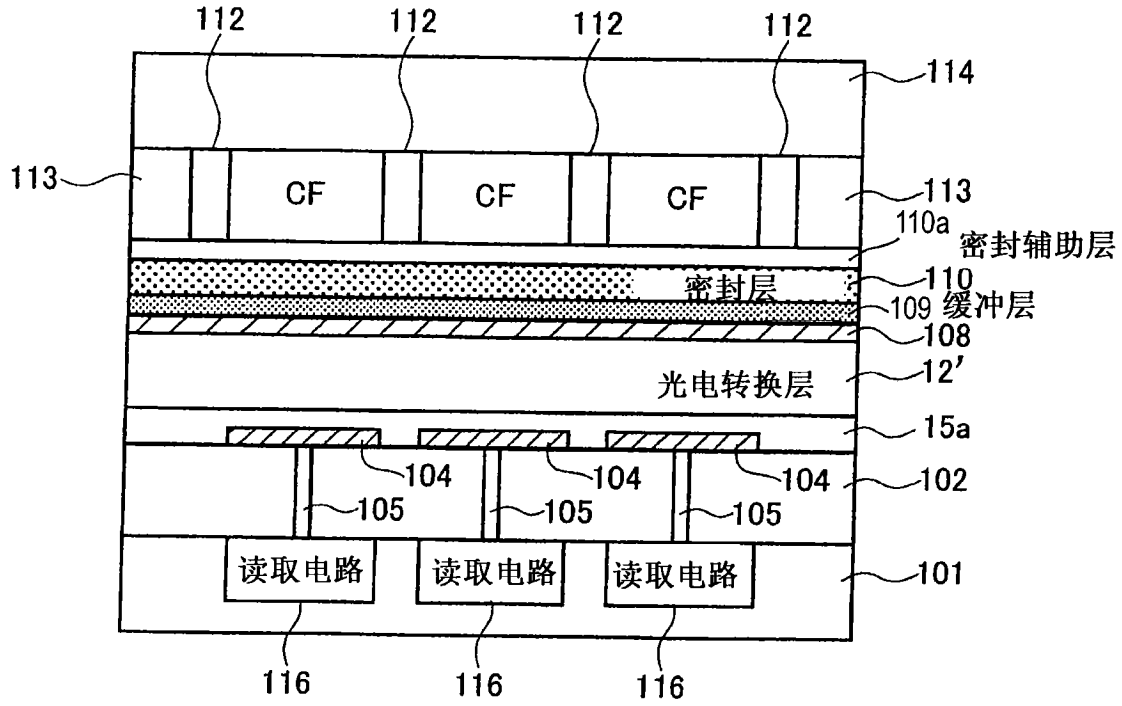

112
112
112
112
114
113
CF
CF
CF
113
110a
密封辅助层
密封层
110
109 缓冲层
108
光电转换层
12'
15a
104
104
104
102
105
105
105
读取电路
读取电路
读取电路
101
116
116
116

图 59

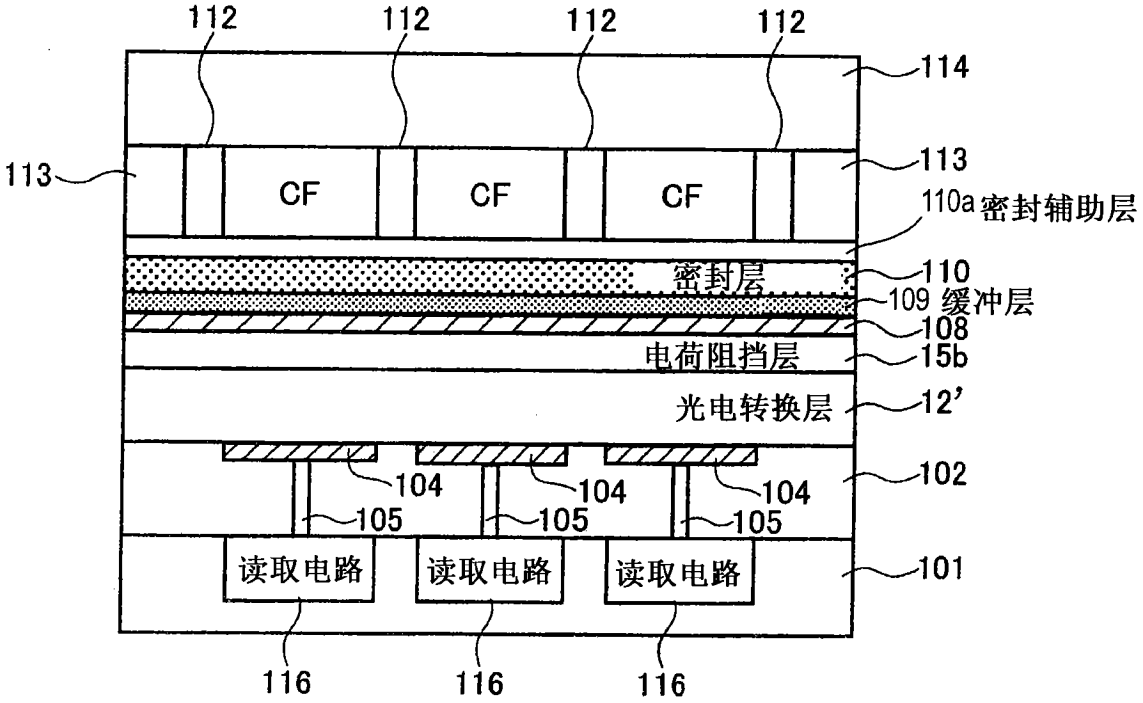

112
112
112
112
114
113
CF
CF
CF
113
110a 密封辅助层
密封层
110
109 缓冲层
108
电荷阻挡层
15b
光电转换层
12'
104
104
104
102
105
105
105
读取电路
读取电路
读取电路
101
116
116
116

图 60

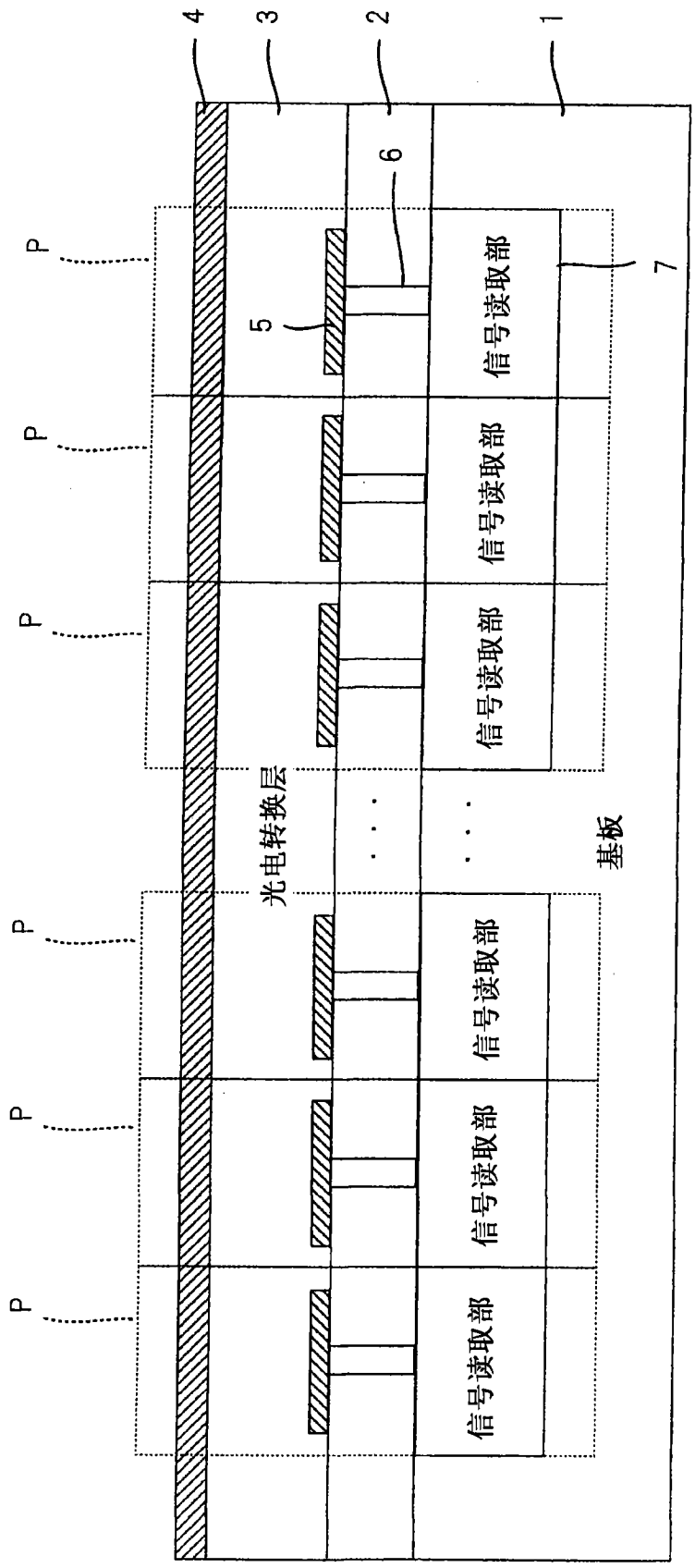


图 61

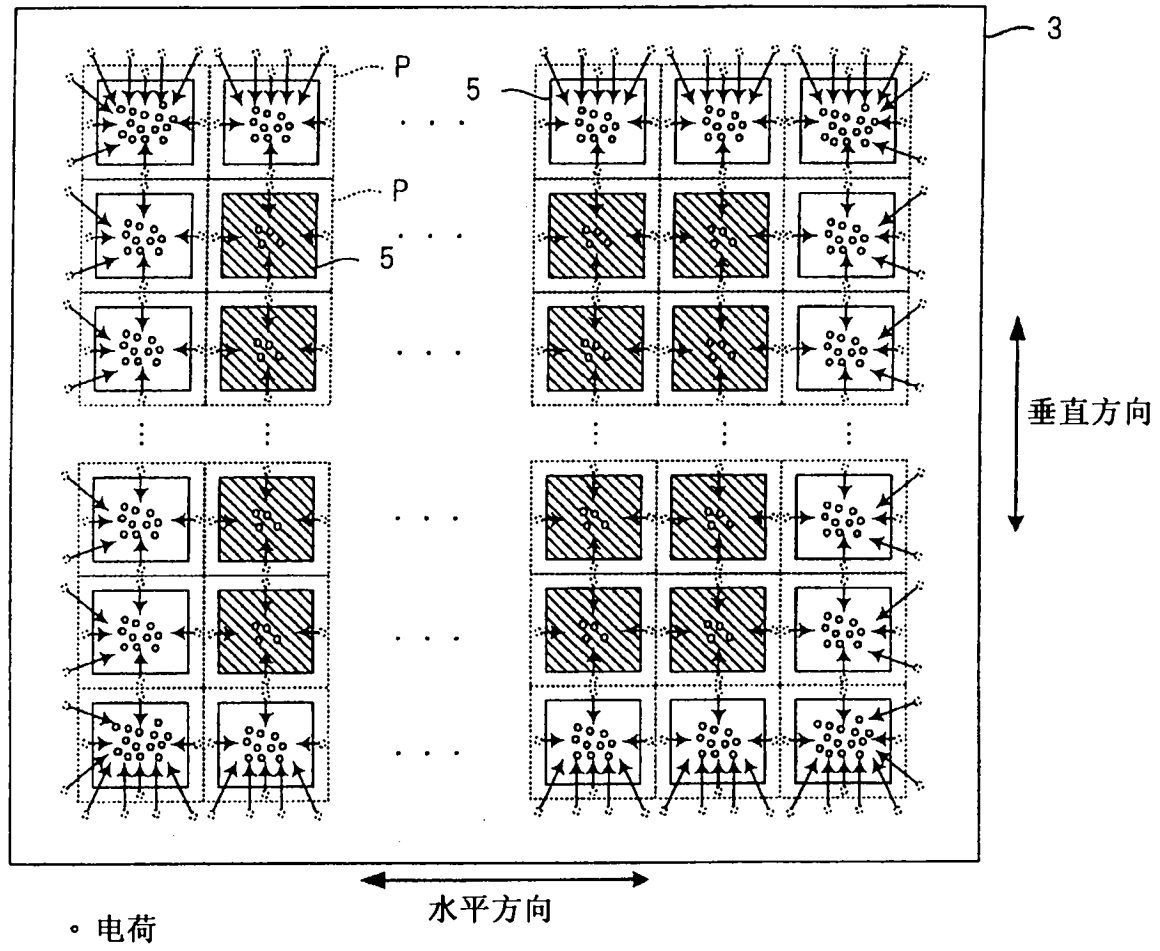


图 62

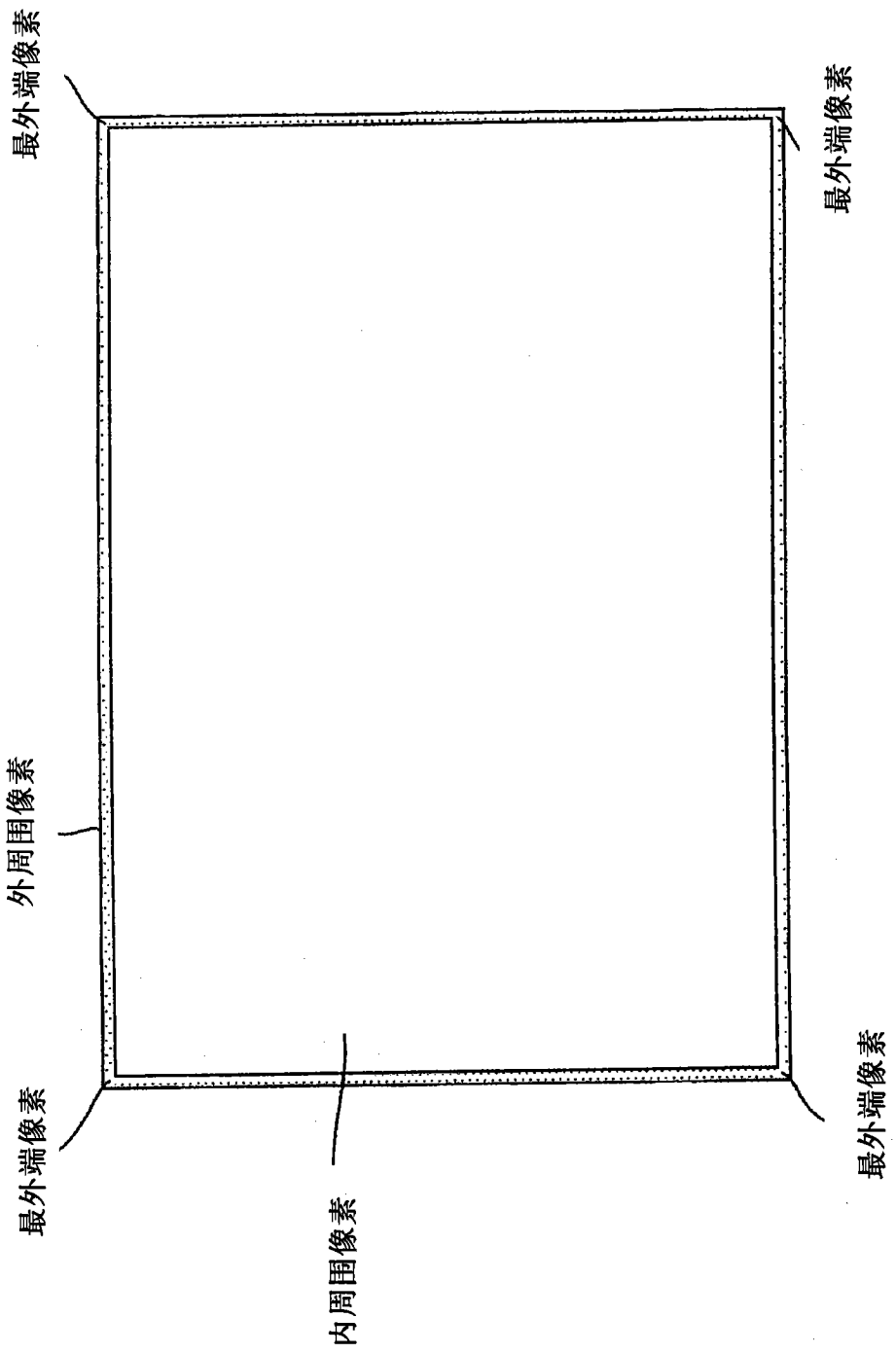


图 63