



(21)申請案號：105142849

(22)申請日：中華民國 104 (2015) 年 04 月 28 日

(51)Int. Cl. : H01L27/115 (2006.01)

H01L27/108 (2006.01)

(30)優先權：2014/04/28 美國

14/263,610

(71)申請人：美光科技公司(美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：查文 亞許尼塔 A CHAVAN, ASHONITA A. (IN)；卡德羅尼 亞歷山卓
CALDERONI, ALESSANDRO (IT)；拉瑪斯瓦米 D V 尼爾摩 RAMASWAMY,
D. V. NIRMAL (IN)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：14 項 圖式數：6 共 30 頁

(54)名稱

鐵電記憶體及其形成方法

FERROELECTRIC MEMORY AND METHODS OF FORMING THE SAME

(57)摘要

本發明揭示鐵電記憶體及其形成方法。一實例記憶體單元可包含經形成於一基板中之一埋設凹入式存取器件(BRAD)及經形成於該 BRAD 上之一鐵電電容器。

Ferroelectric memory and methods of forming the same are provided. An example memory cell can include a buried recessed access device (BRAD) formed in a substrate and a ferroelectric capacitor formed on the BRAD.

指定代表圖：

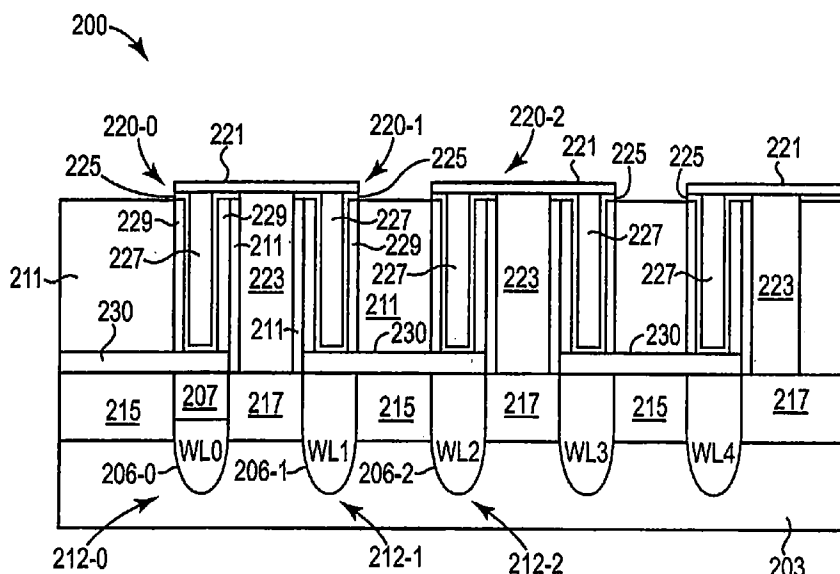


圖 2A

符號簡單說明：

200 . . . 鐵電記憶體陣列

203 . . . 基板

206-0 . . . 字線

206-1 . . . 字線

206-2 . . . 字線

207 . . . 覆蓋材料

211 . . . 介電材料

212-0 . . . BRAD/存取器件

212-1 . . . BRAD/存取器件

212-2 . . . BRAD/存取器件

- 215 . . . 源極/汲極區
- 217 . . . 源極/汲極區
- 220-0 . . . 鐵電電容器
- 220-1 . . . 鐵電電容器
- 220-2 . . . 鐵電電容器
- 221 . . . 導電接觸件
- 223 . . . 導電接觸柱
- 225 . . . 鐵電材料
- 227 . . . 電容器電極/頂部電極
- 229 . . . 電容器電極/底部電極
- 230 . . . 導電接觸件

發明摘要

※ 申請案號：105142849 (由104113572分割)

※ 申請日：104/04/28

※IPC 分類：*H01L 27/115* (2006.01)
H01L 27/108 (2006.01)

【發明名稱】

鐵電記憶體及其形成方法

FERROELECTRIC MEMORY AND METHODS OF FORMING
THE SAME

【中文】

本發明揭示鐵電記憶體及其形成方法。一實例記憶體單元可包含經形成於一基板中之一埋設凹入式存取器件(BRAD)及經形成於該BRAD上之一鐵電電容器。

【英文】

Ferroelectric memory and methods of forming the same are provided.
An example memory cell can include a buried recessed access device (BRAD)
formed in a substrate and a ferroelectric capacitor formed on the BRAD.

【代表圖】

【本案指定代表圖】：第（2A）圖。

【本代表圖之符號簡單說明】：

200	鐵電記憶體陣列
203	基板
206-0	字線
206-1	字線
206-2	字線
207	覆蓋材料
211	介電材料
212-0	BRAD/存取器件
212-1	BRAD/存取器件
212-2	BRAD/存取器件
215	源極/汲極區
217	源極/汲極區
220-0	鐵電電容器
220-1	鐵電電容器
220-2	鐵電電容器
221	導電接觸件
223	導電接觸柱
225	鐵電材料
227	電容器電極/頂部電極
229	電容器電極/底部電極
230	導電接觸件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

鐵電記憶體及其形成方法

FERROELECTRIC MEMORY AND METHODS OF FORMING
THE SAME

【技術領域】

本發明大體係關於半導體器件及方法，且更特定言之係關於鐵電器件及其形成方法。

【先前技術】

記憶體器件通常提供為電腦或其他電子器件中之內部、半導體、積體電路。存在許多不同類型之記憶體，其等尤其包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)、鐵電式隨機存取記憶體(FeRAM)、磁性隨機存取記憶體(MRAM)、電阻式隨機存取記憶體(RRAM)及快閃記憶體。一些類型之記憶體器件可係非揮發性記憶體且可用於需要高記憶體密度、高可靠性及低電力消耗之廣泛電子應用範圍。非揮發性記憶體可用於(例如)個人電腦、可攜式記憶體棒、固態驅動機(SSD)、數位相機、蜂巢式電話、可攜式音樂播放器(諸如MP3播放器)、電影播放器及其他電子器件。不同於在無電力的情況下保持其等經儲存之狀態之非揮發性記憶體單元(例如，快閃記憶體單元)，揮發性記憶體單元(例如，DRAM單元)需要電力來保持其等經儲存之資料狀態(例如，經由一再新程序)。然而，可比各種非揮發性記憶體單元(諸如快閃記憶體單元)更快地操作(例如，程式化、讀取及擦除等等)各種揮發性記憶體單元(諸如DRAM單元)。

類似於DRAM單元，FeRAM單元可包括與一存取器件(例如，電晶體)串聯之一電容器(例如，一鐵電電容器)。如此，FeRAM具有優勢，諸如相較於(例如)快閃記憶體之一相對快之程式/讀取時間。然而，不同於DRAM，FeRAM係一非揮發性記憶體。

【圖式簡單說明】

圖1繪示根據本發明之數個實施例之一記憶體陣列之一部分之一示意圖。

圖2A繪示根據本發明之數個實施例之一鐵電記憶體陣列之一部分之一橫截面視圖。

圖2B繪示在圖2A中展示之陣列之一部分之一示意圖。

圖3繪示根據本發明之數個實施例之一鐵電記憶體陣列之一部分之一橫截面視圖。

圖4繪示根據本發明之數個實施例之一鐵電記憶體陣列之一部分之一三維視圖。

圖5繪示根據本發明之數個實施例之一鐵電記憶體陣列之一部分之一俯視圖。

圖6繪示呈具有根據本發明之數個實施例操作之一鐵電記憶體器件之一記憶體系統之形式之一裝置之一方塊圖。

【實施方式】

一種鐵電記憶體陣列包含形成於一基板中之一埋設凹入式存取器件(BRAD)及形成於BRAD上之一鐵電儲存器件。

在數個實施例中，一鐵電記憶體陣列可包括在一第一導電線(例如，一板線)及一第二導電線(例如，一位元線)之間以一鏈式組態(例如，串聯)耦合之複數個鐵電儲存器件(例如，鐵電電容器)及對應存取器件(例如，電晶體)。存取器件可係埋設凹入式存取器件(BRAD)，其等之間極經耦合至陣列之各自導電線(例如，字線)。

本發明之實施例可提供優於先前FeRAM單元及/或系統之優點。舉例而言，數個實施例包括形成於一BRAD上(及形成於與一BRAD之間距上)之一鐵電電容器。相較於其他存取器件(諸如平面電晶體)，一BRAD可具有一減小之特徵大小。同樣地，在數個實施例中，鐵電電容器可係「容器」電容器(例如，可形成於一垂直容器結構中之電容器)，相較於(例如)先前技術之平面鐵電「平行板」電容器，「容器」電容器可提供一更小之特徵大小。如此，相較於先前方法，本文描述之數個實施例可提供增大之單元密度。舉例而言，數個實施例可達成 $4F^2$ 之一單元大小。

在本發明之以下實施方式中，參考形成本發明之一部分且其中藉由繪示展示本發明之一或多個實施例可如何實踐之隨附圖式。足夠詳細描述此等實施例以使一般技術者實踐本發明之實施例，且應理解，可在不脫離本發明之範疇之情況下利用其他實施例且做出程序、電及/或結構改變。

本文中之圖式遵循一編號慣例，其中第一數字對應於圖式編號且其餘數字識別圖式之一元件或組件。可藉由類似數字之使用識別在不同圖式之間的類似元件或組件。舉例而言，108可指涉圖1中之元件「08」，且一類似元件可在圖4中指涉為408。同樣地，如在本文中使用，「數個」特定元件及/或特徵部可係指此等元件及/或特徵部之一或多者。

圖1繪示根據本發明之數個實施例之一記憶體陣列100之一部分之一示意圖。陣列100包括以一鏈組態(例如，串聯連接)之非揮發性鐵電記憶體單元；然而，實施例並不限於此實例。記憶體陣列100包含：導電線106-0、106-1、106-2及106-3，其等可在本文中稱為存取線或「字線」；及交叉導電線108-0、108-1及108-2，其等可稱為感測線或「位元線」。為了易於在數位環境中定址，自字線106-0至106-3

之數量及位元線108-0至108-2之數量各可係二之一些冪次(例如，256個字線乘4,096位元線)。字線及/或位元線可包括(諸)導電材料(除其他導電材料及/或其等之組合外，例如，金屬，諸如氮化鈦、氮化鉬、鉑、銅、鎢、氮化鎢及/或鈦)。儘管在圖1中展示三個位元線及四個字線，但實施例不限於一特定數量之位元線及/或字線。

記憶體陣列100包含單元之串109-0、109-1、109-2，其等各包括一鐵電儲存器件(例如，120-0、120-1、120-2、120-3)及一對應存取器件(例如，112-0、112-1、112-2、112-3)。與各串109-0、109-1及109-2關聯之存取器件112-0、112-1、112-2及112-3經耦合至各自字線106-0、106-1、106-2及106-3。各串109-0、109-1及109-2亦與一各自位元線108-0、108-1及108-2關聯。串聯連接各串109-0、109-1及109-2之記憶體單元。舉例而言，存取器件(例如，電晶體)112-0、112-1、112-2及112-3係經耦合至在一源極選擇閘極(例如，一場效電晶體(FET))110-0、110-1、110-2與一位元線接觸之間的汲極之源極。源極選擇閘極110-0、110-1、110-2經組態以回應於源極選擇線(SELECT)104上之一信號將一各自串選擇性耦合至一共用板線(PL)102。儘管未在圖1中展示，各串109-0、109-1及109-2可包含在串之一端處耦合之一汲極選擇閘極，相反，源極選擇閘極110-0、110-1、110-2經組態以回應於經由一汲極選擇線(未展示)施加至其閘極之一信號將一各自串109-0、109-1及109-2選擇性耦合至一各自位元線108-0、108-1及108-2。應注意，元件(諸如字線106-0、106-1、106-2及106-3、位元線108-0、108-1及108-2及串109-0、109-1及109-2)可以一一般方式稱為字線106、位元線108及串109。

在數個實施例中，且如在圖1中展示，亦串聯連接各自串109-0、109-1及109-2之鐵電儲存器件120-0、120-1、120-2、120-3(例如，鐵電電容器)。舉例而言，如在下文進一步描述，一串中之各鐵電電容

器之一電極經連接至串中之一相鄰電極之一電極。

在數個實施例中，存取器件112係埋設凹入式存取器件(BRAD)。如在下文進一步描述，存取器件112包括一源極、一汲極及一埋設閘極(例如，控制閘極)。鐵電儲存器件120可係包括在一對電容器電極之間之一鐵電材料的鐵電電容器。如在下文進一步描述，鐵電電容器可具有以具有約10:1或更大之一深寬比之通孔形成之一垂直容器結構；然而，實施例不限於一特定深寬比。

鐵電電容器120可經形成於BRAD 112上，使得其等係在間距上。如此，相較於可採用平面存取器件(例如，平面電晶體)及/或平面平行板電容器之先前鐵電記憶體，本發明之實施例可提供優勢，諸如一更小之佔用面積及增大之密度。

各字線106共同耦合對應於一記憶體單元「列」之數個存取器件112之閘極。各串109對應於經耦合至一特定位元線108之一記憶體單元「行」。術語「行」及「列」之使用不意在蘊涵記憶體單元中之一特定線性(例如，垂直及/或水平)定向。

一般技術者將瞭解，經耦合至一經選擇之字線(例如，106-0、106-1、106-2及106-3)的數個單元可一起經程式化及/或經感測(例如，讀取)為一記憶體單元頁。一程式化(例如，寫入)操作可包含啟動經耦合至未選擇之字線(例如，耦合至未經程式化之單元之字線)的存取器件，同時將經耦合至一經選擇之字線的存取器件維持於一非作用中(例如，非導電)狀態。在鐵電電容器之電極之間之一經施加電壓(例如，經由共用板線102及位元線108)可導致鐵電材料之一極化狀態。極化可對應於經選擇之單元之一資料狀態(例如，一邏輯「0」或「1」)。

一感測操作(例如，一讀取操作)可包含啟動經耦合至未選擇之字線(例如，耦合至未經程式化之單元的字線)的存取器件同時將經耦合

至經選擇之字線106的存取器件112維持於一非作用中(例如，非導電)狀態。一感測放大器(未展示)可經耦合至位元線108，且可用於基於回應於電容器120之極化之位元線108上之一經感測的電流及/或電壓來判定經選擇之單元的儲存資料狀態。

圖2A繪示根據本發明之數個實施例之一鐵電記憶體陣列200之一部分之一橫截面視圖。圖2B繪示在圖2A中展示之陣列200之一部分之一示意圖。陣列200包括以諸如在圖1中展示之一鏈式組態耦合之數個鐵電記憶體單元。記憶體單元各包括經形成於一各自BRAD (例如，212-0、212-1、212-2)上之一鐵電電容器(例如，220-0、220-1、220-2)。

存取器件(例如，212-0、212-1、212-2)包括耦合至一各自字線(例如，206-0 (WL0)、206-1 (WL1)、206-2 (WL2))之一閘極、一對源極/汲極區215、217 (例如，作用區)及一覆蓋材料207。儘管未在圖2A中展示，但一閘極氧化材料可經形成於一閘極溝槽之側壁上，閘極及覆蓋材料經形成於閘極溝槽中。閘極可包括一導電材料(除其他導電材料及/或其等之組合外，諸如一摻雜多晶矽材料、氮化鈦(TiN)及/或氮化鉭(TaN))。存取器件之閘極經定位於一基板203之一表面下方(例如，經埋設於基板中)。基板203可係一半導體基板、一絕緣體上矽(SOI)基板及/或一藍寶石上矽(SOI)基板(除其他基板結構外)，其等可包含(例如)摻雜及/或未摻雜半導體材料)。源極/汲極區215、217可係延伸至基板203中之摻雜區。源極/汲極區215、217可經由離子植入或其他適當摻雜程序摻雜有各種化學物種(諸如，包含磷、砷及/或硼離子之物種)。源極/汲極區215之摻雜濃度可或可不與源極/汲極區217之摻雜濃度相同。存取器件212之覆蓋材料可係一介電材料(除其他適當介電材料外，諸如氮化矽(SiN))。

陣列200之鐵電電容器(例如220-0、220-1、220-2)包括在一對電

容器電極229與227之間的一鐵電材料225。電極229可稱為一底部電極且電極227可稱為一頂部電極。電極227及/或電極229可包括導電材料(除各種其他適當電極材料外，諸如摻雜多晶矽及/或金屬材料)。鐵電材料225可包括各種材料(除其他鐵電材料及/或其等之組合外，諸如鋇鈦酸鉛(PZT)、鉍酸鋇鈦(SBT)、基於氧化鉛之材料、鈣鈦礦材料(例如，鈦酸鈣)及/或鈦酸釷鈦)。在一些實施例中，鐵電材料225可包括一基於氧化鉛之材料及/或一基於氧化鋇之材料。在特定實施例中，基於氧化鉛之材料及/或基於氧化鋇之材料經摻雜有下列之至少一者：矽(Si)、鋁(Al)、鍺(Ge)、鎂(Mg)、鈣(Ca)、鋇(Sr)、鈮(Nb)、釷(Y)、鉍(Ba)、鈦(Ti)及/或其等之一組合。

電容器電極229經由一導電接觸件230耦合至一存取器件212之一源極/汲極區215。電容器電極227經由一導電接觸件221及一導電接觸柱223耦合至存取器件212之一源極/汲極區217。

可以類似於DRAM「容器」電容器之一方式(除用鐵電材料225替換一DRAM電容器之介電材料外)形成鐵電電容器220。如一實例，如在圖2A中展示，數個導電接觸件230可形成於BRAD 212上而與源極/汲極區215、217接觸。一介電材料211可經形成於基板上，且數個容器(例如，通孔)可經形成於(例如，經蝕刻)導電接觸件230上方之介電材料211中。一電極材料可經形成於容器中(例如，在容器之側壁及底部上)，且可執行一極化程序以形成如展示般限制於容器內之底部電極229。接著，可在容器中(例如，保形地)形成一鐵電材料(例如，在底部電極229之側壁及底部上)，且可在容器中形成一電極材料(例如，在鐵電體225之側壁及底部上)以充當頂部電極227。可執行一極化程序以將頂部電極227限制於容器內。可在介電材料211中蝕刻數個通孔，且使用一導電材料充填通孔以充當頂部電極接觸柱223。接著，可圖案化且蝕刻一導電接觸材料以形成導電接觸件221，從而將

頂部電極227耦合至各自導電接觸柱223。

在數個實施例中，可經由原子層沈積(ALD)形成(例如，沈積)鐵電材料225，此可因容器之尺寸而係有利的，容器(例如)可具有約300埃之一長度及/或寬度尺寸或直徑及約10千埃或更大之一高度。在一些實施例中，容器之尺寸包含自5奈米(nm)至150奈米(nm)之一直徑範圍以及自100奈米至25千埃之一長度範圍。在容器之深寬比係10:1或更大之例項中，難以使用其他沈積程序(諸如物理氣相沈積(PVD))來適當地形成容器內之鐵電體。

如在圖2A中展示，在與對應BRAD 212之間距上形成電容器220。由於相較於平面電晶體，BRAD 212具有一更小之實體佔用面積，故舉例而言，可相較於先前之鐵電記憶體陣列改良陣列200之密度。如一實例，在圖2中繪示之記憶體單元可達成一 $4F^2$ 之單元大小。

圖3繪示根據本發明之數個實施例之一鐵電記憶體陣列300之一部分之一橫截面視圖。陣列300包括以諸如在圖1、圖2A及圖2B中展示之一鏈式組態耦合之數個鐵電記憶體單元。記憶體單元各包括形成於一各自BRAD (例如，312-0、312-1、312-2)上之一鐵電電容器(例如，圖2A所示之220-0、220-1、220-2)。

陣列300之鐵電電容器(例如320-0、320-1、320-2)包括在一對電容器電極329與327之間的一鐵電材料325。電極329可稱為一底部電極且電極327可稱為一頂部電極。電容器電極329經由一導電接觸件330耦合至一存取器件312之一源極/汲極區315。數個容器(例如，通孔)可被形成於(例如，經蝕刻)導電接觸件330上方之介電材料311中。電容器電極327經由一導電接觸件321及一導電接觸柱323耦合至存取器件312之一源極/汲極區317。

串聯耦合且對準(例如，沿對應串)鐵電電容器320-0、320-1、320-2。在一些實施例中，導電接觸柱323不完全定位於鐵電電容器

320-0、320-1、320-2之間。即，導電接觸柱323可經定位於不完全處於一給定串之相鄰鐵電電容器320-0、320-1、320-2之間之一位置處。舉例而言，在一些實施例中，接觸柱323至少部分定位於將一第一串之鐵電電容器與一相鄰串之鐵電電容器分離之一隔離區之一介電材料上。如此，導電接觸柱323可視為定位於其等對應之各自電容器「背後」，此係因為柱323係在電容器320之相鄰串之間。

在數個實施例中，相較於平面電容器具有一相對高之深寬比之鐵電電容器320-0、320-1、320-2能夠形成於與數個對應BRAD 312之間距上以達成相較於先前鐵電記憶體之一更小之佔用面積及增大之密度。在一些實施例中，達成之一鐵電鏈架構係 $4F^2$ 。在一些實施例中，一導電接觸柱323可經定位於鐵電儲存器件320-0、320-1之一對應串「背後」之一位置處以相較於與一串之鐵電儲存器件320-0、320-1 (例如，在其等之間)對準形成導電接觸柱323之實施例而使一串之鐵電儲存器件320-0、320-1能夠定位更靠近彼此，此相較於先前鐵電記憶體可達成一更小之佔用面積及增大之密度。

圖4繪示根據本發明之數個實施例之一記憶體陣列400之一部分之一三維視圖。

記憶體陣列400包含經由經耦合至一選擇線404之一選擇電晶體410而耦合之鐵電儲存器件420之一板線402、數個鐵電電容器420、數個電極421、430、接觸柱423、存取器件412、418、字線406、一位元線408及/或一隔離區440。陣列400包括以諸如在圖1、圖2A、圖2B及圖3中展示之一鏈式組態耦合之數個鐵電記憶體單元。記憶體單元各包括形成於一各自BRAD (例如，412-0、412-1、412-2，418)上之一鐵電電容器(例如，420-0、420-1、420-2)。

存取器件(例如，412-0、412-1、412-2)包括經耦合至一各自字線(例如，406-0、406-1、406-2)之一閘極、一對源極/汲極區415、417

(例如，作用區)及一覆蓋材料407。一閘極氧化材料可經形成於一閘極溝槽之側壁上，閘極及覆蓋材料經形成於閘極溝槽中。存取器件之閘極經定位於一基板(未展示)之一表面下方(例如，經埋設於基板中)。源極/汲極區415、417可係延伸至基板中之摻雜區。

如本文描述，陣列400之鐵電電容器420包括在一對電容器電極之間之一鐵電材料。電容器電極對可稱為一頂部電容器電極及一底部電容器電極。鐵電電容器420之底部電容器電極係經由一導電接觸件430耦合至一存取器件412之一源極/汲極區415。頂部電容器電極係經由一導電接觸件421及一導電接觸柱423耦合至存取器件412之一源極/汲極區417。

在數個實施例中，可經由原子層沈積(ALD)來形成(例如，沈積)鐵電材料，此可因容器之尺寸而係有利的，容器(例如)可具有約300埃之一長度及/或寬度尺寸或直徑，及約10千埃或更大之一高度。在容器之深寬比係10:1或更大之例項中，難以使用其他沈積程序(諸如物理氣相沈積(PVD))來適當地形成容器內之鐵電體。

使用一隔離區440來分離鐵電電容器420之額外列。利用隔離區440來將鐵電電容器420之一第一列與鐵電電容器420之一相鄰及/或平行第二列分離。在一些實施例中，隔離區440包括經沈積於一溝槽中之一介電材料，溝槽延展平行於鐵電儲存電容器420。如在本文中進一步描述，於特定實施例中，接觸柱423至少部分處於對應於隔離區440之介電材料上。

圖5繪示根據本發明之數個實施例之一記憶體陣列500之一部分之一俯視圖。在圖5中展示之部分包含記憶體單元之兩個串509-0及509-1。區540表示在相鄰串509-0及509-1之存取器件(例如，BRAD)之間之一隔離區(例如，STI溝槽)。

如在本文中描述，以串聯耦合(例如，以一鏈式架構)串509-0及

509-1之鐵電電容器(例如，520-0、520-1、520-2)。即，鐵電電容器520-0係經由經連接至一接觸柱523之一導電接觸件521(例如，頂部導電接觸件)耦合至鐵電電容器520-1。另外，鐵電電容器520-1係經由一導電接觸件521(例如，底部導電接觸件)(未展示)耦合至鐵電電容器520-2。藉由包括一溝槽之一隔離區540來分離鐵電電容器520之第一串509-0與鐵電電容器520之第二串509-1，其中隔離區540之至少一部分包括一介電材料。

在一些實施例中，接觸柱523經定位於鐵電電容器520-0與鐵電電容器520-1之間。在特定實施例中，接觸柱523經定位於鐵電電容器520-0與鐵電電容器520-1之間等距之一位置處。即，在特定實施例中，接觸柱523與鐵電電容器520-0之間的距離等於接觸柱523與鐵電電容器520-1之間的距離。在特定實施例中，接觸柱523經定位於與鐵電電容器520-0、520-1之一前側及一背側等距之一位置處。即，接觸柱523經定位於鐵電電容器520-0與鐵電電容器520-1之間的一相對中心之位置處。

在一些實施例中，接觸柱523經定位於在鐵電電容器520「背後」之一位置處。舉例而言，當接觸柱523不定位於鐵電電容器520之間的一相對中心位置之一位置處時，接觸柱523經定位於串509-0中之鐵電電容器520「背後」。在一些實施例中，接觸柱523經形成使得接觸柱523之至少一部分係在隔離區540之一部分上。舉例而言，在一些實施例中，接觸柱523至少部分定位於將一第一串509-0之鐵電電容器520與一相鄰串509-1之鐵電電容器分離之一隔離區540之一介電材料上。如此，導電接觸柱523可視為定位於其等對應之各自電容器520「背後」，此係因為柱523係在電容器520之相鄰串509之間。

陣列500之鐵電電容器520包括在一對電容器電極529與527之間的一鐵電材料525。電極529可稱為一底部電極且電極527可稱為一頂

部電極。

電容器電極529經由一導電接觸件耦合至一存取器件之一源極/汲極區。電容器電極527經由一導電接觸件521及一導電接觸柱523耦合至存取器件之一源極/汲極區。

在數個實施例中，可經由原子層沈積(ALD)形成(例如，沈積)鐵電材料525，此可因容器之尺寸而係有利的，容器(例如)可具有約300埃之一長度及/或寬度尺寸或直徑571-1、571-2及約10千埃或更大之一高度。直徑571-1、571-2可係一特徵大小(F)。另外，鐵電材料525可具有約100埃之一長度577、約50埃之一長度575及約50埃之一長度573。在容器之深寬比係10:1或更大之例項中，難以使用其他沈積程序(諸如物理氣相沈積(PVD))來適當地形成容器內之鐵電體。

將一接觸柱523定位於鐵電電容器串509-0、509-1「背後」節省鐵電記憶體陣列500內之空間。舉例而言，將接觸柱523定位於與隔離區540相關聯之一介電部分可相較於接觸柱523定位於鐵電電容器520-0、520-1之間的一實施例而使鐵電電容器520-0能夠定位於相對更靠近鐵電電容器520-1之一位置處。

圖6繪示呈具有根據本發明之數個實施例之一鐵電記憶體陣列600之一記憶體系統650之形式之一裝置之一方塊圖。記憶體系統650包含經耦合至一記憶體器件654之一記憶體存取器件652(例如，一主機處理器、韌體等等)，記憶體器件654包含非揮發性鐵電記憶體單元之一陣列600(諸如下文中描述之記憶體單元)。在數個實施例中，記憶體器件654、記憶體陣列600及/或控制器655亦可視為一「裝置」。

記憶體器件654及記憶體存取器件652可經實施為單獨積體電路，或存取器件652及記憶體器件654可經併入至相同積體電路、晶片或封裝中。記憶體存取器件652可係一離散器件(例如，微處理器)或在韌體中實施之一些其他類型之處理電路，諸如一特殊應用積體電路

(ASIC)。

I/O連接672及控制連接670包括在記憶體存取器件652與記憶體器件654之間的一通信介面。圖6之實施例包含位址電路658以透過I/O電路662鎖存通過I/O連接672提供之位址信號。藉由一系列解碼器650及一行解碼器666接收及解碼位址信號以存取記憶體陣列600。

記憶體器件654藉由使用讀取/鎖存電路668感測記憶體陣列行中之電壓及/或電流改變而感測記憶體陣列600中之資料。讀取/鎖存電路668可讀取及鎖存來自記憶體陣列600之一頁(例如，一系列)資料。I/O電路662經包含用於在I/O連接672上與記憶體存取器件652雙向資料通信。寫入電路664經包含以將資料寫入至記憶體陣列600。

可實施為控制邏輯電路、軟體及/或韌體之一控制器655解碼自記憶體存取器件652藉由控制連接670通信之信號。控制器655可控制記憶體器件654上及記憶體陣列600之操作，其等包含(例如)資料感測(例如，讀取)及資料程式化(例如，寫入)。

儘管已在本文中圖解說明及描述特定實施例，但一般技術者將瞭解，經計算以達成相同結果之一配置可取代展示之特定實施例。本發明旨在涵蓋本發明之各種實施例之調適或變化。應理解，已以一闡釋性方式而非一限制性方式做出上述描述。熟習此項技術者在檢視上述描述後將明白未在本文中特別描述之上述實施例之組合及其他實施例。本發明之各種實施例之範疇包含其中使用上述結構及方法之其他應用。因此，應參考隨附申請專利範圍連同涵括此等申請專利範圍之等效物之全部範圍判定本發明之各種實施例之範疇。

在前述實施方式中，出於流線化本發明之目的，各種特徵共同分組於一單一實施例中。本發明之此方法不應解釋為反映本發明之所揭示實施例必須使用多於在每一請求項中明確敘述之特徵之一意圖。實情係，如以下申請專利範圍反映，發明標的物可存在少於一單一所

揭示實施例之所有特徵。因此，以下申請專利範圍以此方式併入實施方式中，其中每一請求項單獨作為一獨立實施例。

【符號說明】

100	記憶體陣列
102	板線
104	源極選擇線
106	字線
106-0	字線
106-1	字線
106-2	字線
106-3	字線
108-0	位元線
108-1	位元線
108-2	位元線
109	串
109-0	串
109-1	串
109-2	串
110-0	源極選擇閘極
110-1	源極選擇閘極
110-2	源極選擇閘極
112	存取器件
112-0	存取器件
112-1	存取器件
112-2	存取器件
112-3	存取器件

120	鐵電儲存器件
120-0	鐵電儲存器件
120-1	鐵電儲存器件
120-2	鐵電儲存器件
200	鐵電記憶體陣列
203	基板
206-0	字線
206-1	字線
206-2	字線
207	覆蓋材料
211	介電材料
212	BRAD
212-0	BRAD/存取器件
212-1	BRAD/存取器件
212-2	BRAD/存取器件
215	源極/汲極區
217	源極/汲極區
220	鐵電電容器
220-0	鐵電電容器
220-1	鐵電電容器
220-2	鐵電電容器
221	導電接觸件
223	導電接觸柱
225	鐵電材料
227	電容器電極/頂部電極
229	電容器電極/底部電極

230	導電接觸件
300	鐵電記憶體陣列
311	介電材料
312	存取器件
312-0	BRAD
312-1	BRAD
312-2	BRAD
315	源極/汲極區
317	源極/汲極區
321	導電接觸件
323	導電接觸柱
325	鐵電材料
327	電容器電極
329	電容器電極
330	導電接觸件
400	記憶體陣列
402	板線
404	選擇線
406	字線
406-0	字線
406-1	字線
406-2	字線
406-3	字線
407	覆蓋材料
408	位元線
410	選擇電晶體

412	存取器件
412-0	存取器件
412-1	存取器件
412-2	存取器件
415	源極/汲極區
417	源極/汲極區
418	存取器件
420	鐵電電容器
420-0	鐵電電容器
420-1	鐵電電容器
420-2	鐵電電容器
421	電極/導電接觸件
423	接觸柱
430	電極/導電接觸件
440	隔離區
500	記憶體陣列
509-0	串
509-1	串
520-0	鐵電電容器
520-1	鐵電電容器
520-2	鐵電電容器
521	導電接觸件
523	接觸柱
525	鐵電材料
527	電極
529	電極

540	隔離區
571-1	直徑
571-2	直徑
573	長度
575	長度
577	長度
600	鐵電記憶體陣列
650	記憶體系統/列解碼器
652	記憶體存取器件
654	記憶體器件
655	控制器
658	位址電路
662	I/O電路
664	寫入電路
666	行解碼器
668	讀取/鎖存電路
670	控制連接
672	I/O連接
BL0	位元線
BL1	位元線
BL2	位元線
PL	板線
WL0	字線
WL1	字線
WL2	字線
WL3	字線

申請專利範圍

1. 一種記憶體單元，其包括：
 - 一埋設凹入式存取器件(BRAD)，其經形成於一基板中；
 - 一第一鐵電電容器，其經形成於該BRAD上；及
 - 一第一導電接觸件，其經直接形成在對應於該BRAD之一作用區上，其中該第一導電接觸件將該鐵電電容器之一第一電極連接至一第二單元之一電容器之一第一電極；
 - 一第二導電接觸件，其將該第二單元之一第二電極連接至一第三單元之一電極，其中該第二單元之一鐵電電容器之一鐵電材料直接接觸該第二導電接觸件。
2. 如請求項1之記憶體單元，其中在一第一源極/汲極區與在對應於該BRAD之一第二源極/汲極區之間形成該BRAD之一閘極，且其中在該第一及該第二源極/汲極區之至少一者之一上表面下方形成該閘極。
3. 如請求項2之記憶體單元，其中該鐵電電容器之一底部電極經耦合至該第一源極/汲極區，且其中該鐵電電容器之一頂部電極經耦合至該第二源極/汲極區。
4. 如請求項3之記憶體單元，其中該第二導電接觸件經耦合至該頂部電極及該第二源極/汲極區。
5. 如請求項1之記憶體單元，其中該鐵電電容器係在與該BRAD之間距上。
6. 一種用於形成一記憶體單元之方法，其包括：
 - 在一基板中形成一埋設凹入式存取器件(BRAD)，其中在一第一源極/汲極區之一上表面下方及在對應於該BRAD之一第二源極/汲極區之一上表面下方形成該BRAD之一閘極；

在該BRAD之一覆蓋材料上且在該第一源極/汲極區上形成一第一電極接觸件；

在該第一電極接觸件上形成對應於一鐵電電容器之一容器，其中該第一電極接觸件將該鐵電電容器連接至一第二記憶體單元之一鐵電電容器；

在該容器中且在該第一電極接觸件上形成該鐵電電容器之一底部電極；

在該容器中形成一鐵電材料；

在該容器中形成一頂部電極；及

在該第二源極/汲極區上形成一導電柱之至少一部分，其中該導電柱係經由一第二電極接觸件耦合至該頂部電極，其中該第二電極接觸件將該第二記憶體單元之一頂部電極連接至一第三單元之一電極，且其中該第二單元之一鐵電電容器之一鐵電材料直接接觸該第二導電接觸件。

7. 如請求項6之方法，進一步包括形成與在一第一導電線與一第二導電線之間之數個額外記憶體單元的各自鐵電電容器串聯的該鐵電電容器。

8. 一種鐵電隨機存取記憶體(FeRAM)，其包括：

一第一複數個鐵電電容器，其等係在一第一導電線與一第二導電線之間串聯耦合；及

一第二複數個鐵電電容器，其等係在該第一導電線與一第三導電線之間串聯耦合；

其中該第一及該第二複數個鐵電電容器之各者經耦合至具有形成於該對應鐵電電容器下方之一閘極電極之一各自埋設凹入式存取器件(BRAD)；

其中該第一複數個鐵電電容器之一第一鐵電電容器相鄰於該

第一複數個鐵電電容器之一第二鐵電電容器，且該第一複數個鐵電電容器之該第二鐵電電容器相鄰於該第一複數個鐵電電容器之一第三鐵電電容器，其中該第一鐵電電容器藉由一第一導電接觸件連接至該第二鐵電電容器，其中該第二鐵電電容器藉由一第二導電接觸件連接至該第三鐵電電容器，且其中該第二鐵電電容器之一鐵電材料直接接觸該第二導電接觸件。

9. 如請求項8之FeRAM，其中該第一複數個鐵電電容器之各者經形成於一容器中且包含：

一底部電極，其經形成於該容器之側壁上及一底部電極接觸件上；

一鐵電材料，其經形成於該容器中及該底部電極之側壁上；及

一頂部電極，其經形成於該容器中及該鐵電材料之側壁上，該頂部電極係經由一導電柱耦合至該對應BRAD之一源極/汲極區。

10. 如請求項9之FeRAM，其中該第一導電線係一板線，該第二導電線係一位元線，且該第三導電線係一不同位元線。

11. 如請求項8之FeRAM，進一步包括：

一第一選擇器件，其經組態以將該第一複數個鐵電電容器選擇性耦合至該第一導電線；及

一第二選擇器件，其經組態以將該第二複數個鐵電電容器選擇性耦合至該第一導電線。

12. 一種用於形成一鐵電隨機存取記憶體(FeRAM)之方法，其包括：

形成對應於一各自第一複數個記憶體單元之一第一複數個埋設凹入式存取器件(BRAD)；

在該第一複數個BRAD上形成一第一複數個鐵電電容器；

形成對應於一各自第二複數個記憶體單元之一第二複數個

BRAD；及

在該第二複數個BRAD上形成一第二複數個鐵電電容器；

其中該第一複數個鐵電電容器係在一第一導電線與一第二導電線之間彼此串聯耦合；及

其中該第二複數個鐵電電容器係在該第一導電線與一第三導電線之間彼此串聯耦合；

其中該第一複數個鐵電電容器之一第一鐵電電容器相鄰於該第一複數個鐵電電容器之一第二鐵電電容器，且該第一複數個鐵電電容器之該第二鐵電電容器相鄰於該第一複數個鐵電電容器之一第三鐵電電容器，其中該第一鐵電電容器藉由一第一導電接觸件連接至該第二鐵電電容器，其中該第二鐵電電容器藉由一第二導電接觸件連接至該第三鐵電電容器，且其中該第二鐵電電容器之一鐵電材料直接接觸該第二導電接觸件。

13. 如請求項12之方法，其中形成該第一複數個BRAD包括在一基板之一表面下方形成該等BRAD之一閘極。

14. 如請求項12之方法，其中形成該第一複數個鐵電電容器包括：

在該第一複數個BRAD上形成數個導電接觸件；

在該等導電接觸件上沈積一介電材料；

蝕刻該介電材料中之數個容器；

將一第一導電材料沈積於該數個容器中；

經由原子層沈積，將一鐵電材料沈積於該第一導電材料上；及

將一第二導電材料沈積於該數個容器中。

圖式

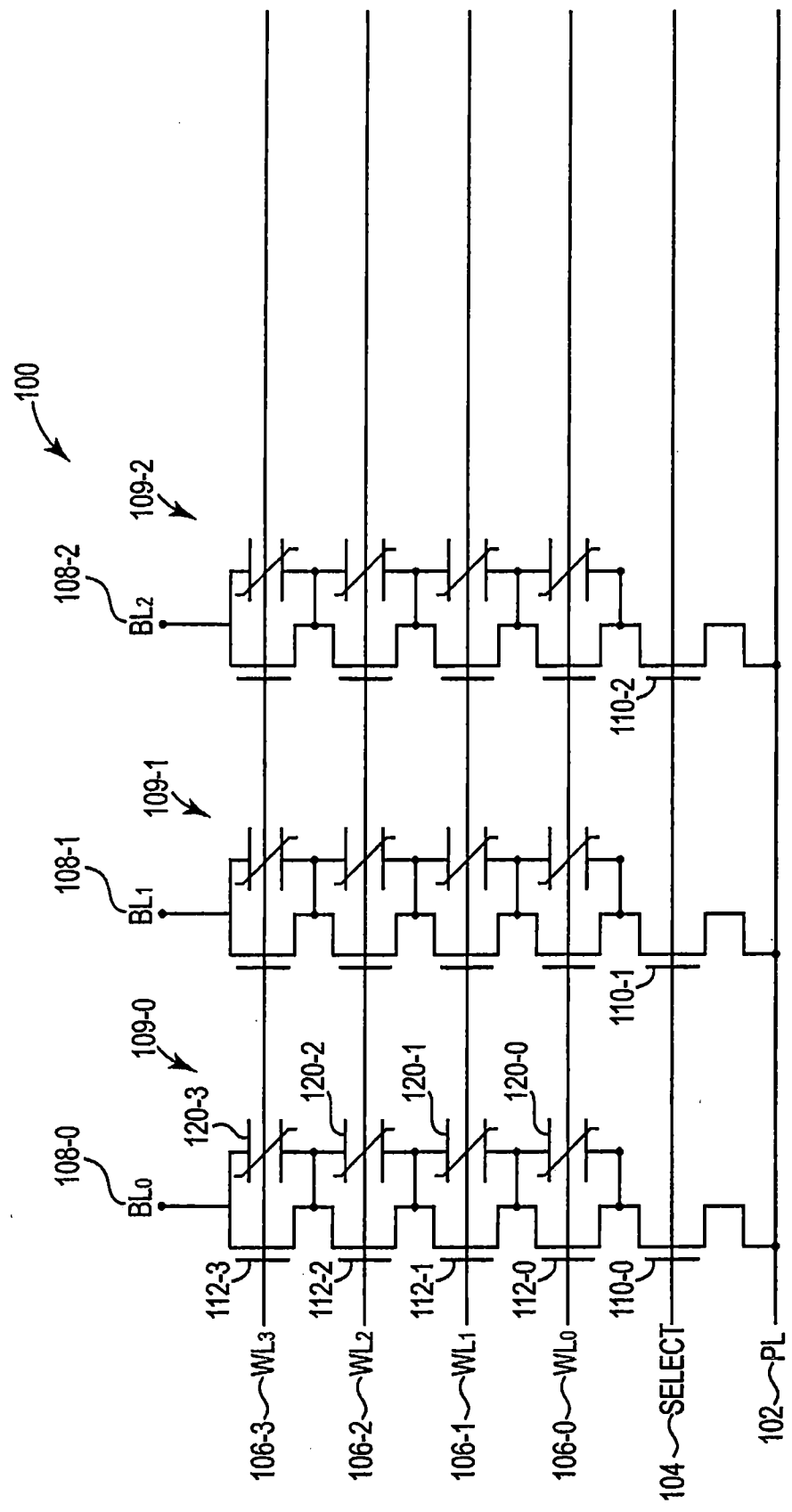


圖1

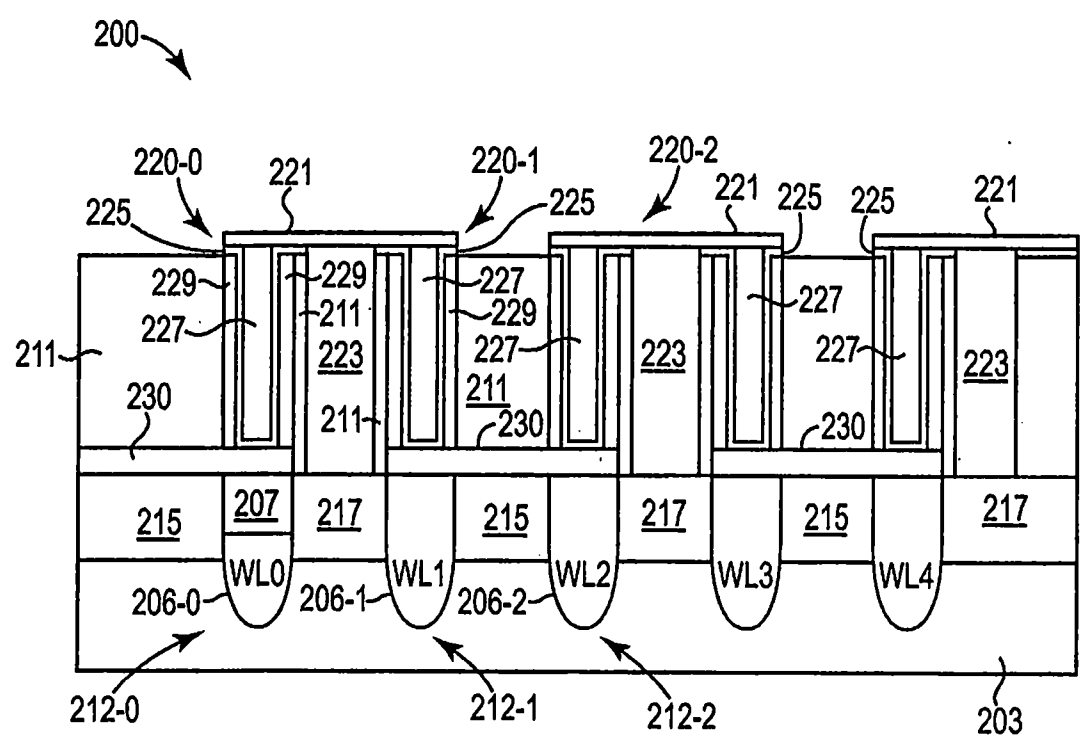


圖 2A

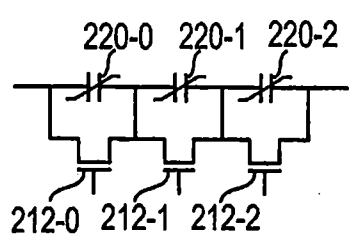


圖 2B

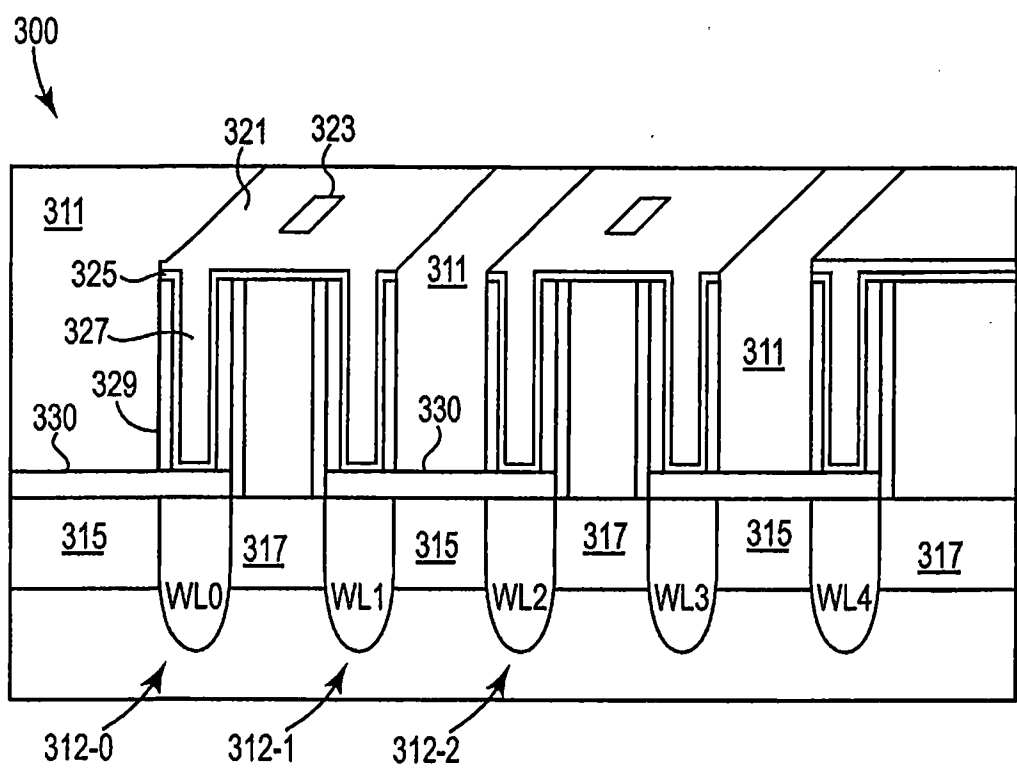


圖 3

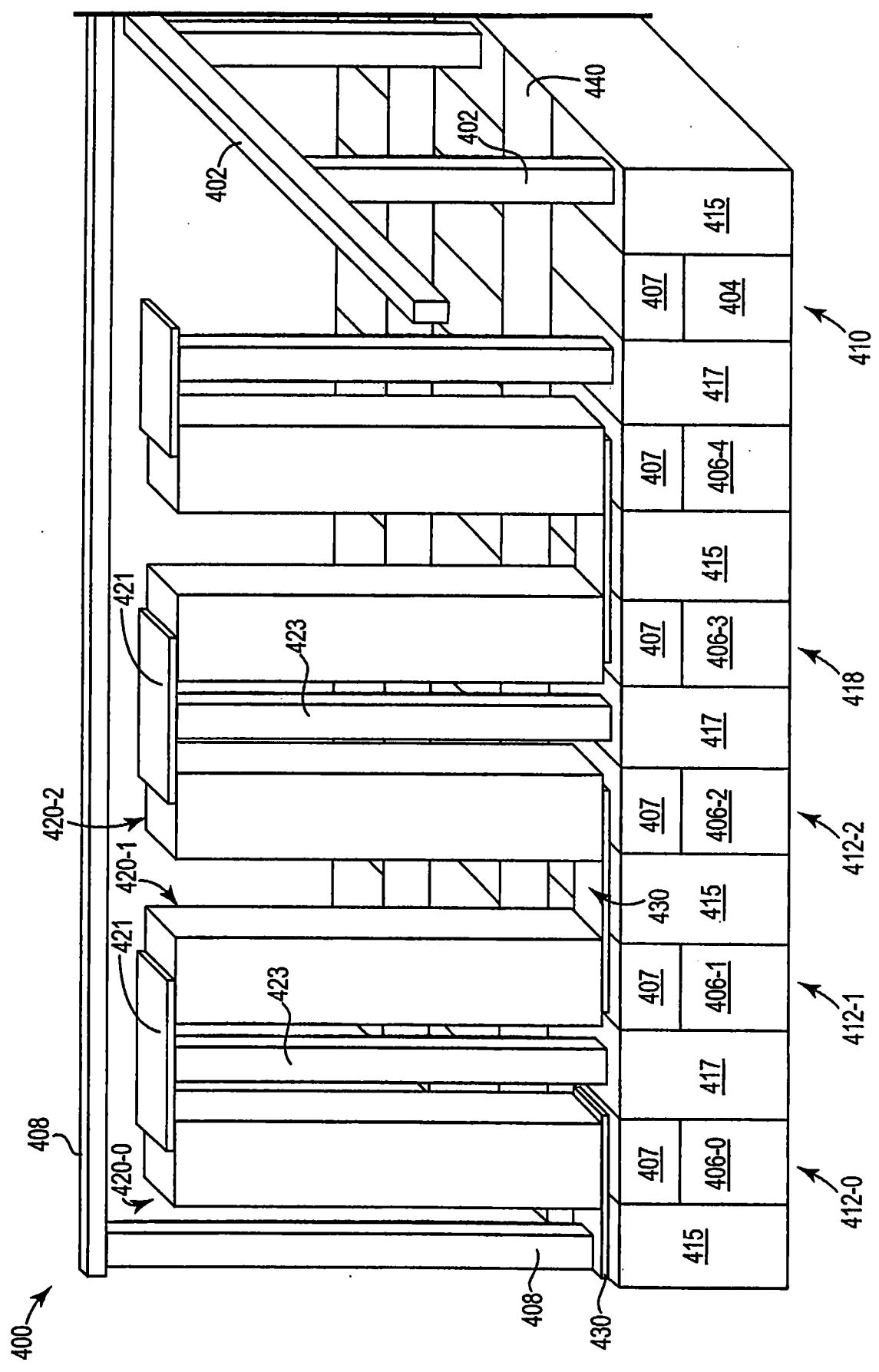


圖4

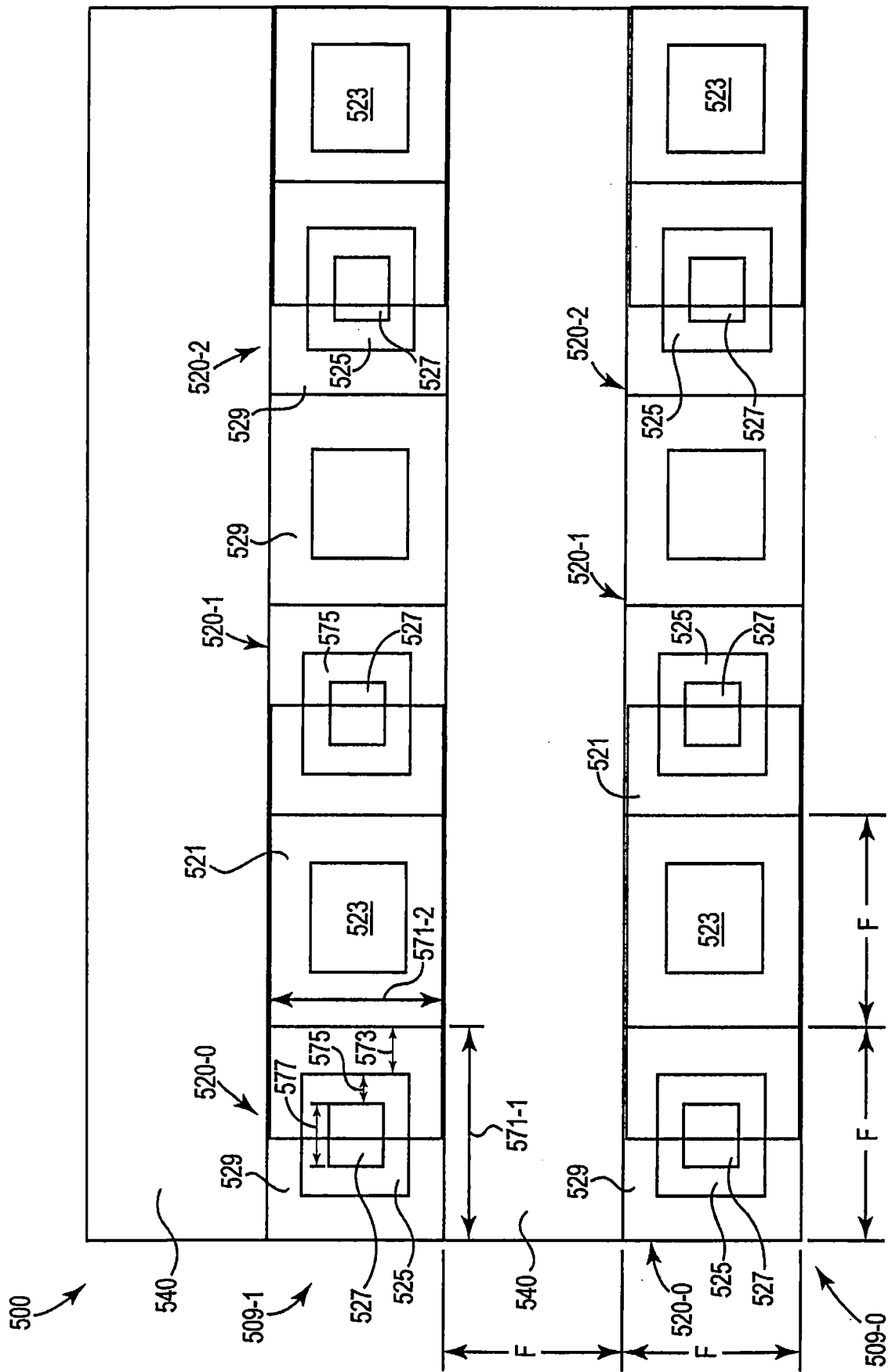


圖5

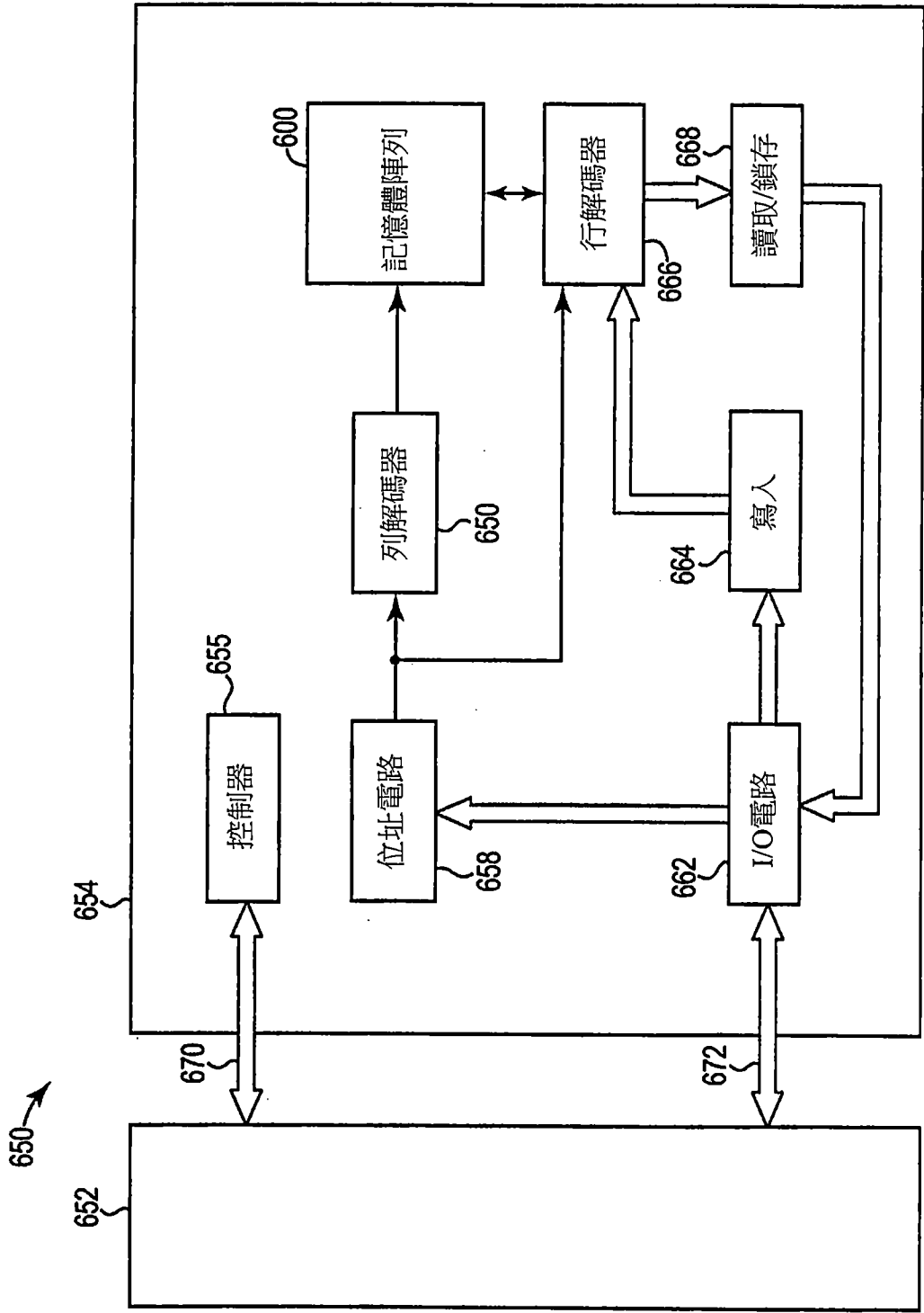


圖6