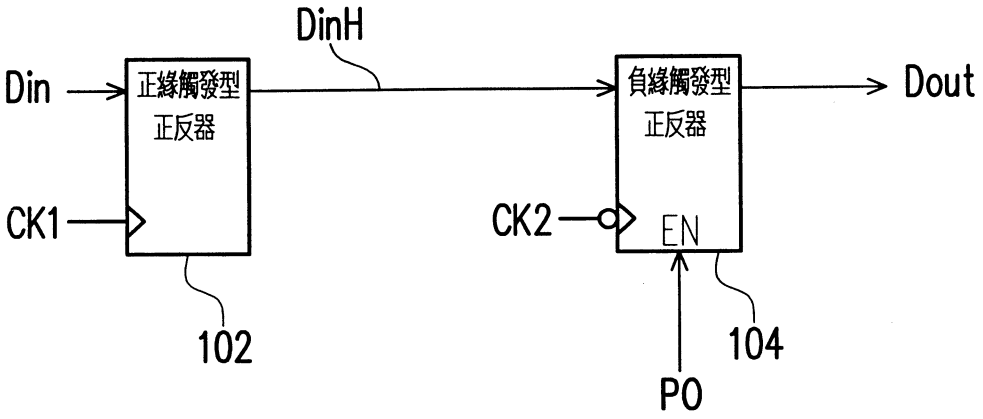

DinH
Din
正緣觸發型
正反器
負緣觸發型
正反器
Dout
CK1
CK2
EN
102
104
PO

圖 1

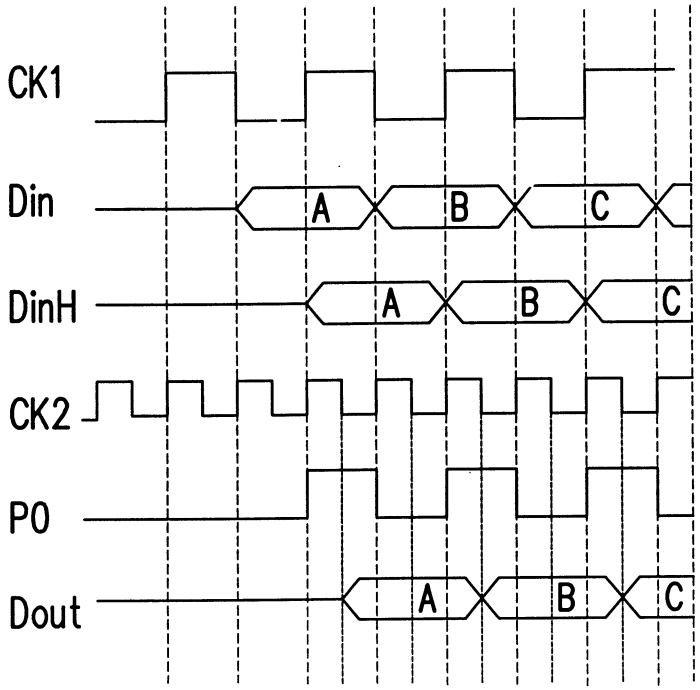

CK1
Din
A
B
C
DinH
A
B
C
CK2
PO
Dout
A
B
C

圖 2

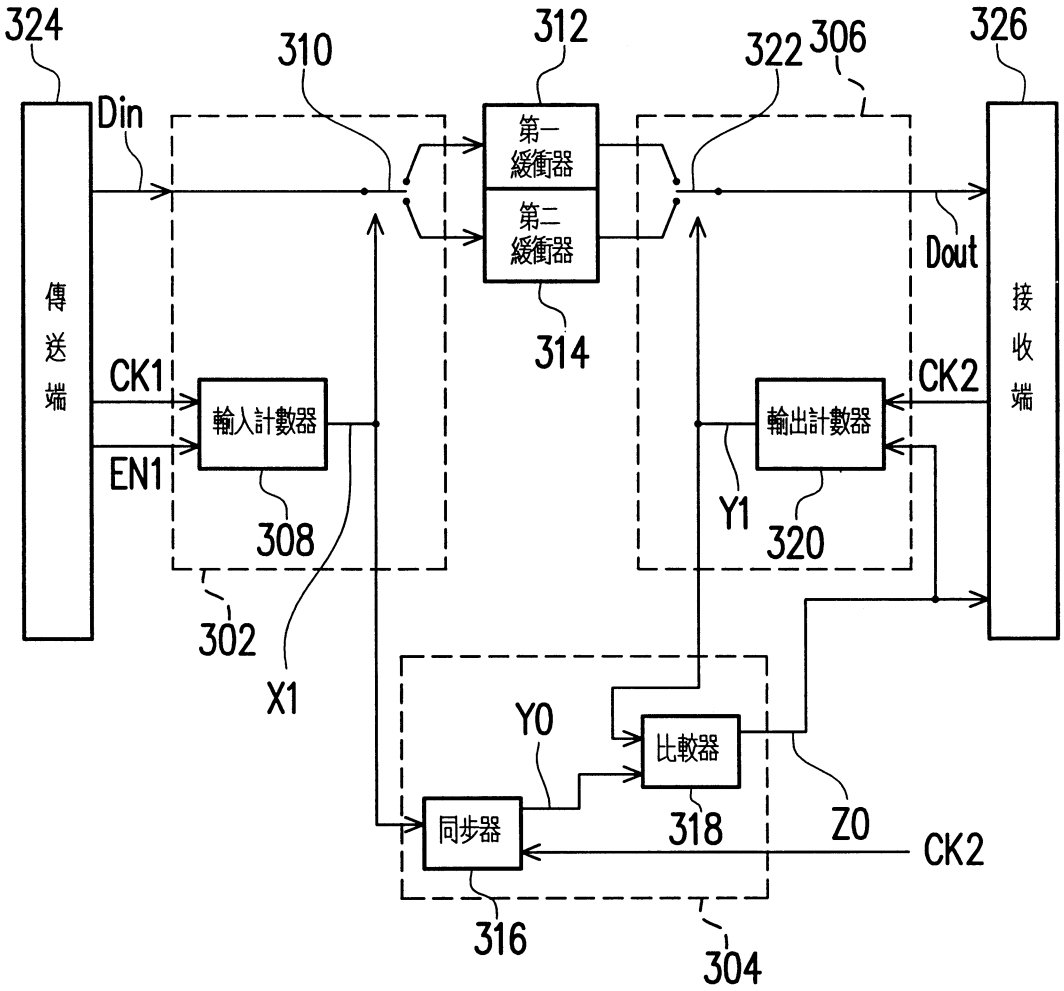

324
310
312
322
306
326
Din
第一緩衝器
第二緩衝器
Dout
傳送端
接收端
CK1
EN1
輸入計數器
輸出計數器
CK2
314
308
320
Y1
302
X1
Y0
比較器
318
Z0
同步器
CK2
316
304

圖 3

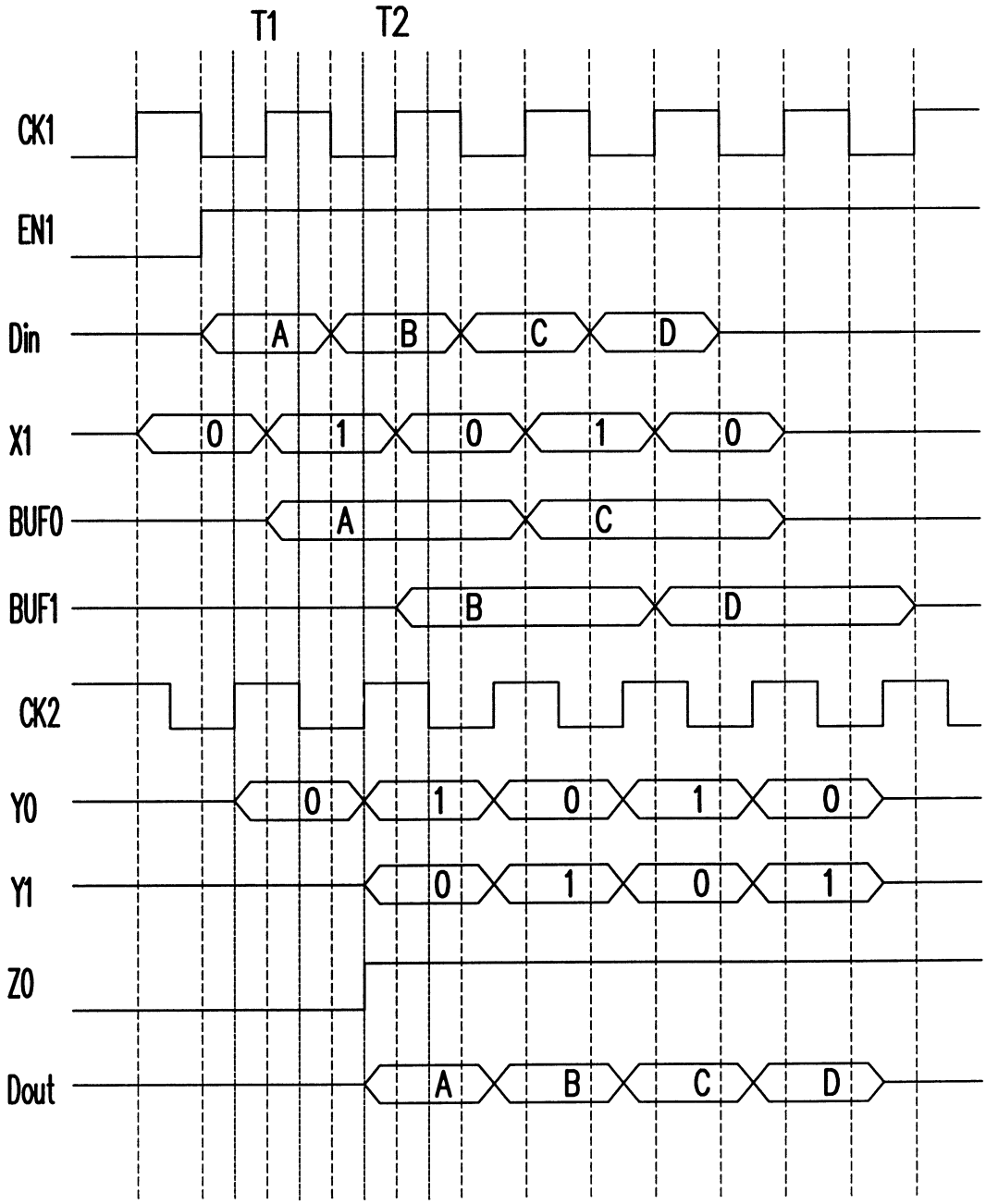

T1
T2
CK1
EN1
Din
A
B
C
D
X1
0
1
0
1
0
BUF0
A
C
BUF1
B
D
CK2
Y0
0
1
0
1
0
Y1
0
1
0
1
Z0
Dout
A
B
C
D

圖 4

95.10.-3 96-10-2
公告本
修正後是否有超出原說明書或圖式所揭露之範圍

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：94140909

※ 申請日期：94.11.22　　※IPC 分類：G06F 13/28 (2006.01)

一、發明名稱：（中文/英文）

非同步匯流排處理裝置

ASYNCHRONOUS BUS PROCESSING APPARATUS

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

聯詠科技股份有限公司/NOVATEK MICROELECTRONICS CORP.

代表人：（中文/英文）何泰舜/TAI-SHUNG HO

住居所或營業所地址：（中文/英文）

新竹科學工業園區新竹縣創新一路 13 號 2 樓/2F, NO. 13, INNOVATION ROAD I, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.

國　籍：（中文/英文）中華民國/TW

三、發明人：（共 1 人）

姓　名：（中文/英文）

1 許量魁/ Liang-Kuei Hsu

國　籍：（中文/英文）1 中華民國/TW

年 月 日修(更)正替換頁

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是關於一種匯流排處理裝置，且特別是關於一種非同步匯流排處理裝置。

【先前技術】

傳統非同步匯流排處理裝置是藉由相較於輸入訊號二倍以上的取樣頻率來做非同步匯流排信號之取樣。然而，取樣頻率之高低，往往是決定系統設計之困難度、系統架構之複雜度與系統之耗電量的重要因素。

圖 1 所示為習知非同步匯流排處理裝置電路之一例之方塊圖。請參照圖 1，其包括正緣觸發型正反器 102、負緣觸發型正反器 104。其中，Din 為上一級電路之傳送端資料，CK1 為第一時序，DinH 為正反器 102 之輸出，P0 為致能信號，CK2 為第二時序，Dout 為正反器 104 之輸出，而此輸出即為非同步匯流排處理裝置之輸出，並且亦為下一級電路之接收端(receiver)資料。

正反器 102 接收上一級電路（傳送端，transmitter）之傳送端資料 Din 與第一時序 CK1，並依照傳送端之時序 CK1 來擷取傳送端資料 Din，且將此資料保持一段時間。而接收端之時序 CK2 則觸發正反器 104，並且正反器 104 依據其致能輸入端 EN 所接收之致能信號 P0 而決定是否依照時序 CK2 去閂鎖正反器 102 之輸出 DinH。當致能信號 P0 致能正反器 104 時，其依據第二時序 CK2 來擷取正反器 102 之輸出 DinH，並且將所擷取之資料保持一段時間之

後，再輸出下一級電路（即接收端）所需之接收端資料Dout。其中，致能信號P0為依據第一時序CK1而產生的信號。

圖2所繪示為圖1中習知非同步匯流排處理裝置之各訊號時序圖。請參照圖2，由圖中可以清楚地知道，接收端時序CK2之頻率通常必須為傳送端時序CK1頻率的二倍以上。若第二時序CK2之頻率小於第一時序CK1之二倍頻率時，那麼第二時序CK2將會使得正反器104無法正確地擷取正反器102之輸出DinH，而導致所欲透過非同步匯流排處理裝置來傳輸的資料失去其正確性。

由於傳統第二時序CK2的頻率必須大於第一時序CK1的頻率至少二倍，而電路所用到的頻率越高，其電路架構就會越複雜，故其系統設計之困難度、系統架構之複雜度與系統之耗電量，都會相對地提高。

【發明內容】

本發明的目的就是在提供一種非同步匯流排處理裝置，使得接收端時序之頻率可以小於傳送端時序之二倍頻率（但接收端時序之頻率須大於等於傳送端時序之頻率）而可以正確傳送資料於接收端與傳送端之間。因此，其提供較簡單的系統設計難度與系統架構，且其耗電量也比習知之非同步匯流排處理裝置要少。

為達成上述及其他目的，本發明提出一種非同步匯流排處理裝置，包括第一緩衝器、第二緩衝器、輸入控制單元、輸出控制單元、同步控制單元。輸入控制單元依照第

一時序與資料致能信號而產生儲存位址，並依儲存位址決定將傳送端資料輸出至第一緩衝器或第二緩衝器。同步控制單元依據第二時序而接收儲存位址，並比較所接收之儲存位址與讀取位址，而依據比較結果輸出資料完成信號。而輸出控制單元依照第二時序與資料完成信號而產生讀取位址，並依讀取位址讀取第一緩衝器或第二緩衝器所儲存之資料，以輸出作為接收端資料。其中，第二時序之頻率不小於第一時序之頻率。

本發明因採用二個緩衝器，依照輸入控制單元所產生的儲存位址來儲存傳送端資料在二個緩衝器之相對位址上，並依照輸出控制單元所產生的讀取位址來讀取二個緩衝器所儲存之相對應的資料，故其輸入控制單元與輸出控制單元所分別用到的第一時序 CK1 與第二時序 CK2 之頻率可以設為相同。也因為如此，此發明之系統架構與系統設計難度就相對地變得較容易。更因為如此，此發明之系統耗電量相對地變得更少。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉本發明之較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

爲了可以使系統的耗電量變得更少，並且使系統架構與系統設計難度變得較容易，本發明提供了與習知技術不同的非同步匯流排處理裝置，其技術內容將參照所附圖式所揭示之實施例加以說明。

圖 3 所繪示是依照本發明一最佳實施例之電路方塊圖。請參照圖 3，非同步匯流排處理裝置包含輸入控制單元 302、同步控制單元 304、輸出控制單元 306、第一緩衝器 312、第二緩衝器 314。此非同步匯流排處理裝置用以作為傳送端（transmitter）324 與接收端（receiver）326 之間的資料傳送介面。

當傳送端 324 開始將資料傳送給接收端 326 時，輸入控制單元 302 依照傳送端 324 之第一時序 CK1 與資料致能信號 EN1 而產生儲存位址 X1，並依儲存位址 X1 而決定將傳送端 324 所輸出之傳送端資料 Din 輸出至第一緩衝器 312 或第二緩衝器 314。同步控制單元 304 依據接收端 326 之第二時序 CK2 而接收輸入控制單元 302 所輸出之儲存位址 X1。同步控制單元 304 更比較輸入控制單元 302 所輸出之儲存位址 X1 與輸出控制單元 306 所輸出之讀取位址 Y1，而依據比較結果輸出資料完成信號 Z0。

輸出控制單元 306 依照接收端 326 之第二時序 CK2 與同步控制單元 304 所輸出之資料完成信號 Z0 而產生讀取位址 Y1，並依讀取位址 Y1 而決定讀取第一緩衝器 312 或第二緩衝器 314 所儲存之資料，以輸出作為接收端 326 所需之接收端資料 Dout。上述資料完成信號 Z0 將用來通知接收端 326 已備妥資料。因此，接收端 326 可以在資料完成信號 Z0 之致能期間，開始接收輸出控制單元 306 所提供之接收端資料 Dout。其中，第二時序 CK2 之頻率不小於第一時序 CK1 之頻率。

於本實施例中，輸入控制單元 302 包括輸入計數器 308、第一開關 310，而同步控制單元 304 包括同步器 316、比較器 318。另外，輸出控制單元 306 例如包括輸出計數器 320、第二開關 322。

圖 4 所示為依照本發明一最佳實施例之電路時序圖，並且其所繪示之 CK1、EN1、Din、X1、CK2、Y0、Y1、Z0、Dout 皆對應至圖 3 中之 CK1、EN1、Din、X1、CK2、Y0、Y1、Z0、Dout。且 BUF0 表示為第一緩衝器 312 內之資料時序，BUF1 表示為第二緩衝器 314 內之資料時序。請合併參照圖 3 與圖 4。其中，資料致能信號 EN1 用來決定有效資料的起始位置，若傳送端資料在每個第一時序 CK1 為連續送入時，此信號亦可以省略。在此假設輸入計數器 308 所輸出之儲存位址 X1 之初始值為 0，亦即假設第一開關 310 之初始狀態為選擇導接至第一緩衝器 312 之狀態。在第一時序 CK1 的第一個正緣 T1 時，傳送端資料之輸入資料 A 被存入第一緩衝器 312 內(如圖 4 之時序 BUF0 所示)，同時輸入計數器 308 的值變為 1。在第一時序 CK1 的第二個正緣 T2 時，輸入資料 B 被存入第二緩衝器 314 內(如圖 4 之時序 BUF1 所示)，同時輸入計數器 308 的值變為 0。並且，輸入資料 A 與輸入資料 B 分別在時序 BUF0 與 BUF1 內各維持第一時序 CK1 的兩個週期時間，且輸入資料交替在 BUF0 與 BUF1 間暫存。

第二時序 CK2 與第一時序 CK1 為不同的時脈信號，並且第二時序 CK2 之頻率大小為與第一時序 CK1 相同或

較大。在同步器 316 中，輸入計數器 308 所輸出的儲存位址 X1 被以第二時序 CK2 進行取樣與同步，然後同步器 316 輸出取樣結果 Y0。而取樣結果 Y0 在比較器 318 內與輸出計數器 320 所輸出之讀取位址 Y1 做比較，比較的結果產生資料完成信號 Z0，以通知接收端 326 可以開始接收資料。而比較器 318 所輸出之資料完成信號 Z0 也會送至輸出計數器 320，然後輸出計數器 320 會依據資料完成信號 Z0 而計數第二時序 CK2，進而依照計數結果產生讀取位址 Y1，並將讀取位址 Y1 送至比較器 318 與第二開關 322。第二開關 322 則依據此讀取位址 Y1 而決定是否將第一緩衝器 312 或第二緩衝器 314 內之資料傳送至接收端 326。

若取樣結果 Y0 與讀取位址 Y1 兩者之值相異，表示緩衝器內已有暫存的資料存在，而資料完成信號 Z0 就會變為高位準，同時輸入資料 A 將被送至資料接收端 326。當資料完成信號 Z0 為高位準，輸出計數器 320 就會開始計數第二時序 CK2。而輸入資料 C 與輸入資料 D 之動作，分別如同輸入資料 A 與輸入資料 B，故在此不再贅述。

若繼續將經過第二時序 CK2 取樣並同步的取樣結果 Y0 與輸出計數器 320 所輸出之讀取位址 Y1 做比較，則暫存於緩衝器內的資料將與第二時序 CK2 同步，交替地由緩衝器(312、314)內將資料移出。

上述實施例之第一緩衝器 312 與第二緩衝器 314，其可以是靜態隨機存取記憶體(Static Random Access Memory， SRAM)、閂鎖器(Latch)、正反器(Flip-Flop)，

抑或是任何可供暫時存放資料之記憶體裝置。另外，同步器 316 可以用正反器來實現，而比較器 318 可以用互斥或閘來實現。

綜上所述，本發明所提供之非同步匯流排處理裝置，其是使用兩個緩衝器來輪流存取資料，並且將傳送端所傳送之資料維持二個傳送端所傳送之時脈(第一時脈 CK1)週期，所以其所使用之接收端之讀取時脈(第二時脈 CK2)之頻率並不需要為傳送端所傳送之時脈的二倍以上，故其不僅提供較簡單的系統設計難度與系統架構，而且其所耗損之電量也比習知之非同步匯流排處理裝置要少。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 為習知非同步匯流排處理裝置電路之一例之方塊圖。

圖 2 為習知非同步匯流排處理裝置之運轉時序圖。

圖 3 為依照本發明一最佳實施例之電路方塊圖。

圖 4 為依照本發明一最佳實施例之電路時序圖。

【主要元件符號說明】

102：正緣觸發型正反器

104：負緣觸發型正反器

302：輸入控制單元

304：同步控制單元

306：輸出控制單元

308：輸入計數器

310：第一開關

312：第一緩衝器

314：第二緩衝器

316：同步器

318：比較器

320：輸出計數器

322：第二開關

324：傳送端

326：接收端

CK1：第一時序

CK2：第二時序

Din：傳送端資料

DinH：第一正反器之輸出

Dout：接收端資料

EN：致能輸入端

EN1：資料致能信號

P0：致能信號

X1：儲存位址

Y0：取樣結果

Y1：讀取位址

Z0：資料完成信號

五、中文發明摘要：

一種非同步匯流排處理裝置，包括第一緩衝器、第二緩衝器、輸入控制單元、輸出控制單元、同步控制單元。輸入控制單元依照第一時序與資料致能信號而產生儲存位址，並依儲存位址決定將傳送端資料輸出至第一緩衝器或第二緩衝器。同步控制單元，依據第二時序而接收儲存位址，並比較所接收之儲存位址與讀取位址，而依據比較結果輸出資料完成信號。而輸出控制單元依照第二時序與資料完成信號而產生讀取位址，並依讀取位址讀取第一緩衝器或第二緩衝器所儲存之資料，以輸出作為接收端資料。其中，第二時序之頻率不小於第一時序之頻率。

六、英文發明摘要：

An asynchronous bus processing apparatus including a first-buffer, a second-buffer, an input control unit and an output control unit is provided. The input control unit generates a storing address according to the first-timing and the data enable signal, and decides to output the transmitter-data to the first-buffer or the second-buffer by the storing address. The synchronous control unit receives the storing address by second-timing, and compares the received storing address and a reading address to output a data-ready signal. The output control unit generates the reading address according to the second-timing and the data-ready

96. 10. 2
年 月 日修(更)正替換頁

signal, and reads the data stroed in the first-buffer or the second-buffer in accordance with the reading address for outputing the receiver-data to the receiver. In which of these, the frequency of second-timing is not smaller than the frequency of first-timing.

96-10-2
本說明書格式、順序，請勿任意更動，
所提之修正本有無超出原說明書
或圖式所揭露之範圍

十、申請專利範圍：

1.一種非同步匯流排處理裝置，用以作為一傳送端與一接收端之間的資料傳送介面，該非同步匯流排處理裝置包括：

一第一緩衝器，用以保持資料；

一第二緩衝器，用以保持資料；

一輸入控制單元，電性連接至該第一緩衝器之輸入端與該第二緩衝器之輸入端，用以依照一第一時序而產生一儲存位址，並依該儲存位址決定將該傳送端所輸出之傳送端資料輸出至該第一緩衝器或該第二緩衝器；

一輸出控制單元，電性連接至該第一緩衝器之輸出端與該第二緩衝器之輸出端，用以依照一第二時序與一資料完成信號而產生一讀取位址，並依該讀取位址讀取該第一緩衝器或該第二緩衝器所儲存之資料，以輸出作為該接收端所需之接收端資料，其中該第二時序之頻率不小於該第一時序之頻率；以及

一同步控制單元，電性連接至該輸入控制單元與該輸出控制單元，用以依據該第二時序而接收該儲存位址，並比較所接收之該儲存位址與該讀取位址，而依據比較結果輸出該資料完成信號。

2.如申請專利範圍第 1 項所述之非同步匯流排處理裝置，其中該輸入控制單元包括：

一輸入計數器，用以依據該第一時序進行計數，並依據計數結果輸出該儲存位址；以及

96 年 2 月 日修(更)正替換頁

一第一開關，電性連接至該輸入計數器之輸出端、該第一緩衝器之輸入端與該第二緩衝器之輸入端，並接收該傳送端資料，用以依據該儲存位址而決定將該傳送端資料傳送至該第一緩衝器或該第二緩衝器。

3.如申請專利範圍第 2 項所述之非同步匯流排處理裝置，其中該輸入計數器更接收並依據一資料致能信號而決定是否進行計數。

4.如申請專利範圍第 1 項所述之非同步匯流排處理裝置，其中該輸出控制單元包括：

一輸出計數器，用以依據該第二時序進行計數，並依據計數結果輸出該讀取位址，其中該輸出計數器更依據該資料完成信號而決定是否進行計數；以及

一第二開關，電性連接至該輸出計數器之輸出端、該第一緩衝器之輸出端與該第二緩衝器之輸出端，用以依據該讀取位址而選擇使該第一緩衝器或該第二緩衝器所儲存之資料輸出作為該接收端所需之接收端資料。

5.如申請專利範圍第 1 項所述之非同步匯流排處理裝置，其中該同步控制單元包括：

一同步器，用以依據該第二時序而取樣該儲存位址，並輸出取樣結果；以及

一比較器，電性連接至該同步器，用以比較該讀取位址與該同步器之取樣結果，並輸出比較結果作為該資料完成信號。

96. 10. 2
年 月 日修(更)正替換頁

6.如申請專利範圍第 5 項所述之非同步匯流排處理裝置，其中該同步器包括一正反器。

7.如申請專利範圍第 5 項所述之非同步匯流排處理裝置，其中該比較器包括一互斥或閘。

8.如申請專利範圍第 1 項所述之非同步匯流排處理裝置，其中該第一緩衝器與第二緩衝器均為靜態隨機存取記憶體。

9.如申請專利範圍第 1 項所述之非同步匯流排處理裝置，其中該第一緩衝器與第二緩衝器均為閂鎖器。

10.如申請專利範圍第 1 項所述之非同步匯流排處理裝置，其中該第一緩衝器與第二緩衝器均為正反器。

七、指定代表圖：

(一)本案指定代表圖為：圖(3)。

(二)本代表圖之元件符號簡單說明：

302：輸入控制單元

304：同步控制單元

306：輸出控制單元

308：輸入計數器

310：第一開關

312：第一緩衝器

314：第二緩衝器

316：同步器

318：比較器

320：輸出計數器

322：第二開關

324：傳送端

326：接收端

CK1：第一時序

CK2：第二時序

Din：傳送端資料

Dout：接收端資料

EN1：資料致能信號

X1：儲存位址

Y0：取樣結果

Y1：讀取位址

Z0：資料完成信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無