

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7697799号  
(P7697799)

(45)発行日 令和7年6月24日(2025.6.24)

(24)登録日 令和7年6月16日(2025.6.16)

(51)国際特許分類

F I

H 1 0 D 84/80 (2025.01)	H 1 0 D 84/80	2 0 3 D
H 1 0 D 30/66 (2025.01)	H 1 0 D 30/66	1 0 1 T
H 1 0 D 12/00 (2025.01)	H 1 0 D 12/00	1 0 3 Z
H 1 0 D 8/50 (2025.01)	H 1 0 D 30/66	2 0 1 A
H 1 0 D 84/83 (2025.01)	H 1 0 D 30/66	1 0 2 S

請求項の数 22 外国語出願 (全21頁) 最終頁に続く

(21)出願番号 特願2021-41975(P2021-41975)  
 (22)出願日 令和3年3月16日(2021.3.16)  
 (65)公開番号 特開2021-168379(P2021-168379 A)  
 (43)公開日 令和3年10月21日(2021.10.21)  
 審査請求日 令和5年12月11日(2023.12.11)  
 (31)優先権主張番号 16/825,122  
 (32)優先日 令和2年3月20日(2020.3.20)  
 (33)優先権主張国・地域又は機関 米国(US)

(73)特許権者 506236358  
 インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト  
 オーストリア 9 5 0 0 フィラハ シー  
 メンスシュトラッセ 2  
 (74)代理人 110002077  
 園田・小林弁理士法人  
 (72)発明者 サンドウ, クリスチャン フィリップ  
 ドイツ国 8 5 5 4 0 ハール, ヒルト  
 シュトラッセ 6 アー  
 (72)発明者 ダネーゼ, マッテオ  
 ドイツ国 8 1 7 3 7 ミュンヘン, ア  
 ドルフ ハッケンベルク シュトラッセ  
 1 8, アパートメント 3  
 (72)発明者 ロースナー, ヴォルフガング  
 最終頁に続く

(54)【発明の名称】 フォワード・リカバリ電圧が低減された逆導通 I G B T

(57)【特許請求の範囲】

【請求項 1】

I G B T (絶縁ゲート・バイポーラ・トランジスタ)を含む I G B T 領域と、ダイオードを含むダイオード領域とを備える半導体基板であって、トップ・ビューにおいて前記 I G B T 領域が第 1 の区域を有し、前記トップ・ビューにおいて前記ダイオード領域が第 2 の区域を有する半導体基板を備え、

前記 I G B T 領域が、第 1 のトレンチ電極を含むとともに前記半導体基板の第 1 の主表面に垂直に延在する複数の第 1 のトレンチを備え、

前記ダイオード領域が、第 2 のトレンチ電極を有するとともに前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 2 のトレンチを備え、

前記 I G B T 領域において、前記複数の第 1 のトレンチが、前記第 1 のトレンチ電極と前記半導体基板との間に第 1 のキャパシタンスを形成し、前記ダイオード領域において、前記複数の第 2 のトレンチが、前記第 2 のトレンチ電極と前記半導体基板との間に第 2 のキャパシタンスを形成し、

前記第 2 の区域当たりの前記第 2 のキャパシタンスのキャパシタンス密度が、前記第 1 の区域当たりの前記第 1 のキャパシタンスのキャパシタンス密度よりも低く、

前記複数の第 1 のトレンチが、前記半導体基板の第 1 の深さまで延在し、前記複数の第 2 のトレンチが、前記半導体基板の第 2 の深さまで延在し、前記第 2 の深さが、前記第 1 の深さよりも浅い、パワー半導体デバイス。

【請求項 2】

I G B T (絶縁ゲート・バイポーラ・トランジスタ)を含むI G B T領域と、ダイオードを含むダイオード領域とを備える半導体基板であって、トップ・ビューにおいて前記I G B T領域が第1の区域を有し、前記トップ・ビューにおいて前記ダイオード領域が第2の区域を有する半導体基板を備え、

前記I G B T領域が、第1のトレンチ電極を含むとともに前記半導体基板の第1の主表面に垂直に延在する複数の第1のトレンチを備え、

前記ダイオード領域が、第2のトレンチ電極を有するとともに前記半導体基板の前記第1の主表面に垂直に延在する複数の第2のトレンチを備え、

前記I G B T領域において、前記複数の第1のトレンチが、前記第1のトレンチ電極と前記半導体基板との間に第1のキャパシタンスを形成し、前記ダイオード領域において、前記複数の第2のトレンチが、前記第2のトレンチ電極と前記半導体基板との間に第2のキャパシタンスを形成し、

前記第2の区域当たりの前記第2のキャパシタンスのキャパシタンス密度が、前記第1の区域当たりの前記第1のキャパシタンスのキャパシタンス密度よりも低く、

前記第2のトレンチ電極と前記半導体基板との間の絶縁層が、前記第1のトレンチ電極と前記半導体基板との間の絶縁層よりも厚い、パワー半導体デバイス。

【請求項3】

I G B T (絶縁ゲート・バイポーラ・トランジスタ)を含むI G B T領域と、ダイオードを含むダイオード領域とを備える半導体基板であって、トップ・ビューにおいて前記I G B T領域が第1の区域を有し、前記トップ・ビューにおいて前記ダイオード領域が第2の区域を有する半導体基板を備え、

前記I G B T領域が、第1のトレンチ電極を含むとともに前記半導体基板の第1の主表面に垂直に延在する複数の第1のトレンチを備え、

前記ダイオード領域が、第2のトレンチ電極を有するとともに前記半導体基板の前記第1の主表面に垂直に延在する複数の第2のトレンチを備え、

前記I G B T領域において、前記複数の第1のトレンチが、前記第1のトレンチ電極と前記半導体基板との間に第1のキャパシタンスを形成し、前記ダイオード領域において、前記複数の第2のトレンチが、前記第2のトレンチ電極と前記半導体基板との間に第2のキャパシタンスを形成し、

前記第2の区域当たりの前記第2のキャパシタンスのキャパシタンス密度が、前記第1の区域当たりの前記第1のキャパシタンスのキャパシタンス密度よりも低く、

前記第2のトレンチ電極と前記半導体基板との間の絶縁層の誘電率が、前記第1のトレンチ電極と前記半導体基板との間の絶縁層の誘電率よりも低い、パワー半導体デバイス。

【請求項4】

I G B T (絶縁ゲート・バイポーラ・トランジスタ)を含むI G B T領域と、ダイオードを含むダイオード領域とを備える半導体基板であって、トップ・ビューにおいて前記I G B T領域が第1の区域を有し、前記トップ・ビューにおいて前記ダイオード領域が第2の区域を有する半導体基板を備えたパワー半導体デバイスであって、

前記I G B T領域が、第1のトレンチ電極を含むとともに前記半導体基板の第1の主表面に垂直に延在する複数の第1のトレンチを備え、

前記ダイオード領域が、第2のトレンチ電極を有するとともに前記半導体基板の前記第1の主表面に垂直に延在する複数の第2のトレンチを備え、

前記I G B T領域において、前記複数の第1のトレンチが、前記第1のトレンチ電極と前記半導体基板との間に第1のキャパシタンスを形成し、前記ダイオード領域において、前記複数の第2のトレンチが、前記第2のトレンチ電極と前記半導体基板との間に第2のキャパシタンスを形成し、

前記第2の区域当たりの前記第2のキャパシタンスのキャパシタンス密度が、前記第1の区域当たりの前記第1のキャパシタンスのキャパシタンス密度よりも低く、

前記パワー半導体デバイスは、

前記I G B T領域において前記半導体基板の前記第1の主表面に垂直に延在する複数の

10

20

30

40

50

第 1 の接触トレンチと、

前記ダイオード領域において前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 2 の接触トレンチと

をさらに備え、

前記ダイオード領域において隣接する第 2 のトレンチ間の前記第 2 の接触トレンチの側壁区域の平均密度が、前記 I G B T 領域において隣接する第 1 のトレンチ間の前記第 1 の接触トレンチの側壁区域の平均密度よりも高い、パワー半導体デバイス。

【請求項 5】

前記ダイオード領域において隣接する第 2 のトレンチ間に少なくとも 2 つの第 2 の接触トレンチが配置され、前記 I G B T 領域において隣接する第 1 のトレンチ間に単一の第 1 の接触トレンチが配置される、請求項 4 に記載のパワー半導体デバイス。

10

【請求項 6】

前記ダイオード領域において隣接する第 2 のトレンチ間に少なくとも 4 つの接触トレンチが配置され、前記 I G B T 領域において隣接する第 1 のトレンチ間に単一の第 1 の接触トレンチが配置される、請求項 4 に記載のパワー半導体デバイス。

【請求項 7】

前記複数の第 2 の接触トレンチの側壁における前記半導体基板のドーピング濃度が、前記複数の第 2 の接触トレンチの下端における前記半導体基板のドーピング濃度よりも低い、請求項 4 に記載のパワー半導体デバイス。

【請求項 8】

20

I G B T (絶縁ゲート・バイポーラ・トランジスタ)を含む I G B T 領域と、ダイオードを含むダイオード領域とを備える半導体基板であって、トップ・ビューにおいて前記 I G B T 領域が第 1 の区域を有し、前記トップ・ビューにおいて前記ダイオード領域が第 2 の区域を有する半導体基板を備えたパワー半導体デバイスであって、

前記 I G B T 領域が、第 1 のトレンチ電極を含むとともに前記半導体基板の第 1 の主表面に垂直に延在する複数の第 1 のトレンチを備え、

前記ダイオード領域が、第 2 のトレンチ電極を有するとともに前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 2 のトレンチを備え、

前記 I G B T 領域において、前記複数の第 1 のトレンチが、前記第 1 のトレンチ電極と前記半導体基板との間に第 1 のキャパシタンスを形成し、前記ダイオード領域において、前記複数の第 2 のトレンチが、前記第 2 のトレンチ電極と前記半導体基板との間に第 2 のキャパシタンスを形成し、

30

前記第 2 の区域当たりの前記第 2 のキャパシタンスのキャパシタンス密度が、前記第 1 の区域当たりの前記第 1 のキャパシタンスのキャパシタンス密度よりも低く、

前記パワー半導体デバイスは、

前記 I G B T 領域において前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 1 の接触トレンチと、

前記ダイオード領域において前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 2 の接触トレンチと

をさらに備え、

40

前記第 2 の区域当たりの前記第 2 の接触トレンチの側壁区域の平均密度が、前記第 1 の区域当たりの前記第 1 の接触トレンチの側壁区域の平均密度よりも高い、パワー半導体デバイス。

【請求項 9】

I G B T (絶縁ゲート・バイポーラ・トランジスタ)を含む I G B T 領域と、ダイオードを含むダイオード領域とを備える半導体基板であって、トップ・ビューにおいて前記 I G B T 領域が第 1 の区域を有し、前記トップ・ビューにおいて前記ダイオード領域が第 2 の区域を有する半導体基板を備えたパワー半導体デバイスであって、

前記 I G B T 領域が、第 1 のトレンチ電極を含むとともに前記半導体基板の第 1 の主表面に垂直に延在する複数の第 1 のトレンチを備え、

50

前記ダイオード領域が、第2のトレンチ電極を有するとともに前記半導体基板の前記第1の主表面に垂直に延在する複数の第2のトレンチを備え、

前記IGBT領域において、前記複数の第1のトレンチが、前記第1のトレンチ電極と前記半導体基板との間に第1のキャパシタンスを形成し、前記ダイオード領域において、前記複数の第2のトレンチが、前記第2のトレンチ電極と前記半導体基板との間に第2のキャパシタンスを形成し、

前記第2の区域当たりの前記第2のキャパシタンスのキャパシタンス密度が、前記第1の区域当たりの前記第1のキャパシタンスのキャパシタンス密度よりも低く、

前記パワー半導体デバイスは、

前記IGBT領域において前記半導体基板の前記第1の主表面に垂直に延在する複数の第1の接触トレンチと、

前記ダイオード領域において前記半導体基板の前記第1の主表面に垂直に延在する複数の第2の接触トレンチと

をさらに備え、

前記IGBT領域において隣接する第1のトレンチ間に単一の第1の接触トレンチが配置され、

前記ダイオード領域において隣接する第2のトレンチ間に単一の第2の接触トレンチが配置され、

前記第2の接触トレンチの平均幅が、前記第1の接触トレンチの平均幅よりも広い、パワー半導体デバイス。

【請求項10】

前記第2の区域当たりの前記第2のキャパシタンスの前記キャパシタンス密度が、前記第1の区域当たりの前記第1のキャパシタンスの前記キャパシタンス密度の1.5分の1～1.0分の1である、請求項1～9のいずれか一項に記載のパワー半導体デバイス。

【請求項11】

IGBTを有するIGBT領域、及びダイオードを有するダイオード領域を含む半導体基板であって、トップ・ビューにおいて前記IGBT領域が第1の区域を有し、前記トップ・ビューにおいて前記ダイオード領域が第2の区域を有する半導体基板と、

前記IGBT領域において前記半導体基板の第1の主表面に延在する複数の第1の接触トレンチと、

前記ダイオード領域において前記半導体基板の前記第1の主表面に延在する複数の第2の接触トレンチと、を備え、

前記IGBT領域が、前記半導体基板の前記第1の主表面に垂直に延在する複数の第1のトレンチを備え、

前記ダイオード領域が、前記半導体基板の前記第1の主表面に垂直に延在する複数の第2のトレンチを備え、

前記第2のトレンチのうち隣接するトレンチ間の横方向の平均間隔が、前記第1のトレンチのうち隣接するトレンチ間の横方向の平均間隔よりも広く、

前記第2の区域当たりの隣接する第2のトレンチ間の第2の接触トレンチの側壁区域の平均密度が、前記第1の区域当たりの隣接する第1のトレンチ間の第1の接触トレンチの側壁区域の平均密度よりも高い、パワー半導体デバイス。

【請求項12】

前記第2のトレンチのうち隣接するトレンチ間の前記横方向の平均間隔が、前記第1のトレンチのうち隣接するトレンチ間の前記横方向の平均間隔の1.5倍～30倍の広さである、請求項11に記載のパワー半導体デバイス。

【請求項13】

前記第2のトレンチのうち隣接するトレンチ間の前記横方向の平均間隔が、0.6 μmよりも広く、20 μmよりも狭い、請求項11に記載のパワー半導体デバイス。

【請求項14】

前記ダイオード領域において隣接する第2のトレンチ間に少なくとも2つの第2の接触

10

20

30

40

50

トレンチが配置され、前記 I G B T 領域において隣接する第 1 のトレンチ間に単一の第 1 の接触トレンチが配置される、請求項 1 1 に記載のパワー半導体デバイス。

【請求項 1 5】

前記ダイオード領域において隣接する第 2 のトレンチ間に少なくとも 4 つの接触トレンチが配置され、前記 I G B T 領域において隣接する第 1 のトレンチ間に単一の第 1 の接触トレンチが配置される、請求項 1 1 に記載のパワー半導体デバイス。

【請求項 1 6】

前記複数の第 2 の接触トレンチの側壁における前記半導体基板のドーピング濃度が、前記複数の第 2 の接触トレンチの下端における前記半導体基板のドーピング濃度よりも低い、請求項 1 1 に記載のパワー半導体デバイス。

【請求項 1 7】

I G B T を有する I G B T 領域、及びダイオードを有するダイオード領域を含む半導体基板と、

前記 I G B T 領域において前記半導体基板の第 1 の主表面に垂直に延在する複数の第 1 の接触トレンチと、

前記ダイオード領域において前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 2 の接触トレンチと、

を備え、

前記 I G B T 領域が、前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 1 のトレンチを備え、

前記ダイオード領域が、前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 2 のトレンチを備え、

前記第 2 のトレンチのうち隣接するトレンチ間の横方向の平均間隔が、前記第 1 のトレンチのうち隣接するトレンチ間の横方向の平均間隔よりも広く、

前記 I G B T 領域において隣接する第 1 のトレンチ間に単一の第 1 の接触トレンチが配置され、

前記ダイオード領域において隣接する第 2 のトレンチ間に単一の第 2 の接触トレンチが配置され、

前記第 2 の接触トレンチの平均幅が、前記第 1 の接触トレンチの平均幅よりも広い、パワー半導体デバイス。

【請求項 1 8】

I G B T を有する I G B T 領域、及びダイオードを有するダイオード領域を含む半導体基板を備え、

前記 I G B T 領域が、前記半導体基板の第 1 の主表面に垂直に延在する複数の第 1 のトレンチを備え、

前記ダイオード領域が、前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 2 のトレンチを備え、

前記第 2 のトレンチのうち隣接するトレンチ間の横方向の平均間隔が、前記第 1 のトレンチのうち隣接するトレンチ間の横方向の平均間隔よりも広く、

第 2 のトレンチそれぞれが、前記複数の第 2 のトレンチの長手方向の延在部の方向に沿って、各トレンチ部分にセグメント化されており、当該第 2 のトレンチのうち隣接する各トレンチ部分が、前記半導体基板の基板区域によって互いに分離される、パワー半導体デバイス。

【請求項 1 9】

I G B T を有する I G B T 領域、及びダイオードを有するダイオード領域を含む半導体基板と、

前記ダイオード領域において前記半導体基板の第 1 の主表面に延在する複数の接触トレンチと、を備え、

前記 I G B T 領域が、前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 1 のトレンチを備え、

10

20

30

40

50

前記ダイオード領域が、前記半導体基板の前記第 1 の主表面に垂直に延在する複数の第 2 のトレンチを備え、

前記第 2 のトレンチのうち隣接するトレンチ間の横方向の平均間隔が、前記第 1 のトレンチのうち隣接するトレンチ間の横方向の平均間隔よりも広く、

前記接触トレンチが、前記接触トレンチの長手方向の延在部に垂直な方向に延在する、1 つ又は複数の交差接触トレンチによって既定の位置で接続される、パワー半導体デバイス。

【請求項 2 0】

パワー半導体デバイスを製造する方法であって、半導体基板の I G B T 領域に I G B T を形成することであって、トップ・ビューにおいて前記 I G B T 領域が第 1 の区域を有することと、

前記半導体基板のダイオード領域にダイオードを形成することであって、前記トップ・ビューにおいて前記ダイオード領域が第 2 の区域を有することとを含み、

前記 I G B T を形成することが、前記 I G B T 領域において、第 1 のトレンチ電極を有するとともに前記半導体基板の第 1 の主表面に垂直に延在する複数の第 1 のトレンチを形成することを含み、

前記ダイオードを形成することが、前記ダイオード領域において、前記半導体基板の前記第 1 の主表面に垂直に延在する第 2 のトレンチ電極を有する複数の第 2 のトレンチを形成することを含み、その結果、前記第 2 の区域当たりの、前記複数の第 2 のトレンチと前記半導体基板との間に形成されるキャパシタンスのキャパシタンス密度が、前記第 1 の区域当たりの、前記複数の第 1 のトレンチと前記半導体基板との間に形成されるキャパシタンスのキャパシタンス密度よりも低く、

前記複数の第 2 のトレンチを形成することが、前記半導体基板内で、前記第 2 のトレンチを前記第 1 のトレンチよりも浅く終端することを含む、方法。

【請求項 2 1】

前記複数の第 2 のトレンチを形成することが、前記 I G B T 領域での単位区域当たり存在する第 1 のトレンチの数よりも、前記ダイオード領域での単位区域当たり存在する第 2 のトレンチの数を少なく形成することを含む、請求項 2 0 に記載の方法。

【請求項 2 2】

前記複数の第 2 のトレンチを形成することが、前記 I G B T 領域において前記第 1 のトレンチが相隔てられるよりも、前記ダイオード領域において前記第 2 のトレンチをさらに相隔てることを含む、請求項 2 0 に記載の方法。

【発明の詳細な説明】

【背景技術】

【0 0 0 1】

逆導通絶縁ゲート・バイポーラ・トランジスタ ( R C - I G B T ) は、I G B T とフリーホイール・ダイオードをシングル・チップ ( ダイ ) 上に集積化する。数多くの I G B T の用途は、エミッタからコレクタまでフリーホイール電流が流れるモードを有する。このようなフリーホイール動作のために、フリーホイール・ダイオードは I G B T に対して逆平行に接続されている。

【0 0 0 2】

集積ダイオードのアノードにおいて、I G B T のようなトレンチ・パターン形成プロセスを使用して、ダイオードのスイッチング耐久性を改善することができる。その結果得られる、ダイオード領域に形成されたトレンチ電極が、集積ダイオードのアノードを高電界から遮蔽し、これによって突抜け現象が回避され、したがってスイッチング耐久性が実現する。スイッチング耐久性が十分に高い R C - I G B T は、ハード・スイッチングを利用する用途に使用してもよい。ハード・スイッチングを用いる場合、オン / オフ遷移中に電圧と電流の両方が I G B T に印加される。したがって、I G B T をハード・スイッチングすると、コレクタ電流とコレクタ・エミッタ電圧が急激に変化する。

10

20

30

40

50

## 【 0 0 0 3 】

しかし、IGBTスイッチングの耐久性を高めると、通常は、集積ダイオードでのフォワード・リカバリ電圧 ( $V_{fr}$ ) が高くなる。IGBTが導通しているとき、ダイオードは遮断している。IGBTがオフになり始め、IGBTのスイッチング電流がダイオードへと整流し始めると、IGBTのコレクタ・エミッタ電圧が上昇し始め、その逆にダイオード電圧が低下し始める。電流がダイオードへと整流し続けると、ダイオード電圧のアンダーシュートが発生する。このアンダーシュートは一般に、ダイオードのフォワード・リカバリ電圧 ( $V_{fr}$ ) と呼ばれる。フォワード・リカバリ電圧  $V_{fr}$  のピークは著しく高くなる場合がある。たとえば、約300Vの  $V_{fr}$  は、1200Vの技術においては珍しいものではない。このような  $V_{fr}$  は、隣接するIGBTの動作に干渉し、IGBTのゲート・ドライバ回路に損傷を与える場合がある。

10

## 【 0 0 0 4 】

前述の通り、スイッチング耐久性を高めるために、RC-IGBTのダイオードは、半導体基板に形成されたトレンチ電極を備えてもよい。RC-IGBTデバイスのダイオード領域からトレンチ電極をなくすと、ダイオードの  $V_{fr}$  が大幅に低減する。トレンチ電極のないダイオードでは、スイッチング耐久性を低下させることによって、ダイオードの性能を上げるのに好ましい対策であるアノード効率の低減が制限される。すなわち、高濃度ドーピングされたダイオードのアノード領域は、十分なスイッチング耐久性を実現するが、高効率であり、又スイッチング損失を増大させる。したがって、トレンチ電極がなく、スイッチング損失を最小限に抑えるようにドーピングされたアノード領域を有するRC-IGBT

20

## 【 0 0 0 5 】

したがって、アノード効率とスイッチング耐久性の間にはトレードオフが存在する。高濃度ドーピングされたアノードは、スイッチング損失が増大するのを犠牲にして、十分なスイッチング耐久性を実現するので、アノード領域が高濃度ドーピングされている場合はトレンチ電極が必要ではない。相対的に低濃度ドーピングされたアノード領域は相対的に効率が低く、このことはスイッチング損失を低減するのに良好であるが、スイッチング耐久性を低下させ、このことがハード・スイッチングを使用する用途で問題となる。

30

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 6 】

したがって、アノード効率が低くてスイッチング耐久性が高い、改良されたRC-IGBTが必要となる。

## 【 課題を解決するための手段 】

## 【 0 0 0 7 】

パワー半導体デバイスの一実施形態によれば、このパワー半導体デバイスは、IGBT (絶縁ゲート・バイポーラ・トランジスタ) を含むIGBT領域と、ダイオードを含むダイオード領域とを備える半導体基板であって、トップ・ビューにおいてIGBT領域が第1の区域を有し、トップ・ビューにおいてダイオード領域が第2の区域を有する半導体基板を備え、IGBT領域が、第1のトレンチ電極を含むとともに半導体基板の第1の主表面に垂直に延在する複数の第1のトレンチを備え、ダイオード領域が、第2のトレンチ電極を有するとともに半導体基板の第1の主表面に垂直に延在する複数の第2のトレンチを備え、IGBT領域において、この複数の第1のトレンチが、第1のトレンチ電極と半導体基板との間に第1のキャパシタンスを形成し、ダイオード領域において、この複数の第2のトレンチが、第2のトレンチ電極と半導体基板との間に第2のキャパシタンスを形成し、第2の区域当たりの第2のキャパシタンスのキャパシタンス密度が、第1の区域当たりの第1のキャパシタンスのキャパシタンス密度よりも低い。

40

## 【 0 0 0 8 】

50

パワー半導体デバイスの別の実施形態によれば、このパワー半導体デバイスは、IGBTを有するIGBT領域と、ダイオードを有するダイオード領域とを含む半導体基板を備え、IGBT領域が、半導体基板の第1の主表面に垂直に延在する複数の第1のトレンチを備え、ダイオード領域が、半導体基板の第1の主表面に垂直に延在する複数の第2のトレンチを備え、第2の各トレンチのうち隣接するトレンチ間の横方向の平均間隔が、第1の各トレンチのうち隣接するトレンチ間の横方向の平均間隔よりも広い。

【0009】

パワー半導体デバイスを製造する方法の一実施形態によれば、この方法は、半導体基板のIGBT領域にIGBTを形成することであって、トップ・ビューにおいてIGBT領域が第1の区域を有することと、半導体基板のダイオード領域にダイオードを形成することであって、トップ・ビューにおいてダイオード領域が第2の区域を有することとを含み、IGBTを形成することが、IGBT領域において、第1のトレンチ電極を有するとともに半導体基板の第1の主表面に垂直に延在する複数の第1のトレンチを形成することを含み、ダイオードを形成することが、ダイオード領域において、半導体基板の第1の主表面に垂直に延在する第2のトレンチ電極を有する複数の第2のトレンチを形成することを含み、その結果、第2の区域当たりの、複数の第2のトレンチと半導体基板との間に形成されるキャパシタンスのキャパシタンス密度が、第1の区域当たりの、複数の第1のトレンチと半導体基板との間に形成されるキャパシタンスのキャパシタンス密度よりも低い。

【0010】

以下の詳細な説明を読み、各添付図面を見れば、追加の特徴及び利点が当業者には理解されよう。

【0011】

各図面の各要素は、必ずしも互いに縮尺通りではない。同じ参照番号は、対応する同様の部品を指す。例示された様々な実施形態の特徴は、互いに排除しない限り、それらを組み合わせることができる。実施形態は、各図面に示してあり、以下の説明で詳細に述べる。

【図面の簡単な説明】

【0012】

【図1】RC-IGBT（逆導通IGBT）を備えるパワー半導体デバイスの上面図を示す。

【図2A】図1でI-Iにラベル付けされた線に沿って見た、RC-IGBTのダイオード領域の一部分の横断面図を示す。

【図2B】やはり図1でI-Iにラベル付けされた線に沿って見た、RC-IGBTのIGBT領域の一部分の横断面図を示す。

【図3】IGBTがオン状態からオフ状態に遷移し、ダイオードが遮断状態からフリーホイール（導通）状態に遷移するときのRC-IGBTでの電圧（V）及び電流（I）の波形を示す。

【図4】RC-IGBTのダイオード領域についての、様々な接触トレンチの実施形態のそれぞれの横断面図を示す。

【図5】RC-IGBTのダイオード領域についての、様々な接触トレンチの実施形態のそれぞれの横断面図を示す。

【図6】RC-IGBTのダイオード領域についての、様々な接触トレンチの実施形態のそれぞれの横断面図を示す。

【発明を実施するための形態】

【0013】

アノード効率が低く、スイッチング耐久性が高いRC-IGBT、及び対応する製造方法が本明細書に記載されている。本明細書に記載のいくつかの実施形態は、アノード効率を必要以上の増大させることなく、高いスイッチング耐久性を達成する。アノード効率及びスイッチング耐久性をさらに調整するには、本明細書に記載の通り、集積ダイオードのアノード接触域を調整してもよい。本明細書に記載の様々な実施形態の特徴は、特に具体的な記載のない限り、互いに組み合わせてもよいことを理解されたい。

10

20

30

40

50

## 【 0 0 1 4 】

図 1 には、パワー半導体デバイス 1 0 0 の上面図が示してある。このパワー半導体デバイス 1 0 0 は、半導体基板 1 0 2 を備える。この半導体基板 1 0 2 は、たとえば、シリコン ( S i )、炭化ケイ素 ( S i C )、ゲルマニウム ( G e )、シリコン・ゲルマニウム ( S i G e )、窒化ガリウム ( G a N )、ガリウムヒ素 ( G a A s ) などだがこれらに限定されない、集積回路デバイスを形成するのに使用される様々な半導体材料のうち 1 つ又は複数を含んでもよい。半導体基板 1 0 2 は、バルク半導体材料でもよく、又はバルク半導体材料上に成長する 1 つ又は複数のエピタキシャル層を含んでもよい。

## 【 0 0 1 5 】

パワー半導体デバイス 1 0 0 は、 R C - I G B T が形成されるセル領域 1 0 4、及びセル領域 1 0 4 を横方向に囲繞し、半導体基板 1 0 2 の縁部 1 0 8 から R C - I G B T を電氣的に絶縁する周辺領域 1 0 6 を含む。セル領域 1 0 4 内では、半導体基板 1 0 2 は、 I G B T を含む I G B T 領域 1 1 0、及びダイオードを含むダイオード領域 1 1 2 を含む。図 1 には、 I G B T 領域 1 1 0 及びダイオード領域 1 1 2 が、ストライプ状レイアウトで示してある。この例では、 I G B T 及びダイオードのセルが、ストライプ状に交互配置されている。この配置により、主にダイオード領域 1 1 2 で生成される熱をさらに均一に分散させることが可能になり、したがって、さらに効率的な冷却が可能になる。 I G B T ストライプのそれぞれは、複数のトレンチ、たとえば、それぞれの I G B T セルを形成する少なくとも 2 個、少なくとも 5 個、又は少なくとも 1 0 個のトレンチを備えてもよい。各 I G B T セルは、 I G B T 電流を制御するように構成された少なくとも 1 つのトレンチを備える。実施形態によっては、以下でより詳細に説明するように、各 I G B T セルは、エミッタ電位に接続されたトレンチ、及びゲート電位に接続されたトレンチを備えてもよい。実施形態によっては、エミッタ電位に接続されたトレンチは、ゲート電位に接続されたトレンチと交互配置されてもよい。ダイオード・セルのそれぞれは、複数のトレンチ、たとえば、少なくとも 2 個、少なくとも 5 個、又は少なくとも 1 0 個のトレンチを備える。一実施形態では、この複数のトレンチは、同じ電位、たとえば、エミッタ電位に接続されたトレンチを備えてもよい。しかし、これはほんの一例であり、他の構成も可能である。実施形態によっては、各 I G B T ストライプは、複数の I G B T セルを含んでもよく、各ダイオード・ストライプは、複数のダイオード・セルを含んでもよい。 I G B T 領域 1 1 0 及びダイオード領域 1 1 2 はそれぞれ、所望のどんなレイアウトを有してもよい。一実施形態では、ダイオード領域は、 I G B T 内に組み込まれる。 I G B T 領域 1 1 0 は、周辺領域 1 0 6 内に形成されるエッジ終端構造に隣接してもよい。

## 【 0 0 1 6 】

図 2 A には、図 1 で I ~ I にラベル付けされた線に沿って見た、ダイオード領域 1 1 2 の一部分の横断面図が示してある。図 2 B には、やはり図 1 で I ~ I にラベル付けされた線に沿って見た、 I G B T 領域 1 1 0 の一部分の横断面図が示してある。

## 【 0 0 1 7 】

図 1 の上面図では、 I G B T 領域 1 1 0 は第 1 の区域を有し、ダイオード領域 1 1 2 は第 2 の区域を有する。図 1 に示すストライプ状のレイアウトに基づいて、 I G B T 領域 1 1 0 が占める第 1 の区域は不連続であり、各 I G B T ストライプの区域を含む。ダイオード領域 1 1 2 が占める第 2 の区域もまた不連続であり、同様に各ダイオード・ストライプの区域を含む。したがって、 I G B T 領域 1 1 0 は、複数の不連続な I G B T サブ区域 (たとえば、ストライプ) を組み合わせて、 I G B T 領域 1 1 0 を形成するものでもよく、又ダイオード領域 1 1 2 も、複数の不連続なダイオード・サブ区域 (たとえば、ストライプ) を組み合わせてダイオード領域 1 1 2 を形成するものとも考えてもよい。すなわち、 I G B T 領域 1 1 0 が占める第 1 の区域は、すべての I G B T サブ領域の総合区域であり、ダイオード領域 1 1 2 が占める第 2 の区域は、すべてのダイオード・サブ領域の総合区域である。ストライプ状に配置された第 1 のトレンチ 1 1 4 においては、この第 1 の各トレンチ 1 1 4 のトップ・ビュー区域と、この第 1 の各トレンチ 1 1 4 間に形成されるメサ形部分のトップ・ビュー区域とを加算することによって、第 1 の区域を計算してもよい。図

10

20

30

40

50

1での第1の区域(IGBT)と第2の区域(ダイオード)の不連続な配置は、IGBTの「ストライプ」とダイオードの「ストライプ」とが交互配置されていることに起因して生じる。IGBT領域110が占める第1の区域、及びダイオード領域112が占める第2の区域は、その代わりにそれぞれ連続していてもよい。たとえば、IGBT領域110は、ダイオード領域112によって遮られなくてもよく、又半導体基板102でのダイオード領域112に隣接して形成されてもよい。

【0018】

IGBT領域110は、第1の絶縁層118によって周囲の半導体基板102から絶縁された第1のトレンチ電極116を有する第1のトレンチ114を含む。IGBT領域110の第1のトレンチ114は、半導体基板102の第1の主表面103に垂直に(図2Bでの方向「x」に)延在する。実施形態によっては、第1の区域に形成される第1のトレンチの数は、100個以上、500個以上、又は1000個以上でもよい。実施形態によっては、第2の区域に形成される第2のトレンチの数は、100個以上、500個以上、又は1000個以上でもよい。

10

【0019】

第1のトレンチ電極116の一部は、IGBTのボディ領域122内の導電性チャネル120を制御するためのゲート(G)電極である。第1のトレンチ電極116の他の電極は、RC-IGBTの動作を制御する際に、半導体基板102内の電界電位を整形するためのフィールド(F)電極である。フィールド電極Fは、ゲート電極Gとは異なる電位に電氣的に接続されてもよい。たとえば、フィールド電極Fは、エミッタ電位、グランドに電氣的に接続されてもよく、又は電氣的に浮いていてもよい。

20

【0020】

ボディ領域122は、IGBTのエミッタ領域124をドリフト領域126から分離する。導電性チャネル120が存在するとき、エミッタ領域124は、ドリフト領域126に電氣的に接続される。導電性チャネル120は、IGBTのゲート電極Gに印加される電圧によって制御される。

【0021】

IGBTはまた、エミッタ領域124としての半導体基板102の反対側表面105にコレクタ領域128を含む。エミッタ領域124、ドリフト領域126、及び導電性チャネル120は、第1の導電型であり、ボディ領域122及びコレクタ領域128は、第1の導電型とは逆の第2の導電型である。たとえば、n型の導電性チャネル120の場合、エミッタ領域124及びドリフト領域126はn型であり、ボディ領域122及びコレクタ領域128はp型である。逆に言えば、p型の導電性チャネル120の場合には、エミッタ領域124及びドリフト領域126はp型であり、ボディ領域122及びコレクタ領域128はn型である。ドリフト領域126とコレクタ領域128との間の半導体基板102に、第1の導電型の任意選択のフィールド・ストップ領域130を形成してもよい。このフィールド・ストップ領域130は、IGBT領域110に設けられている場合でも、ダイオード領域112において除外されてもよい。実施形態によっては、ダイオード領域112及びIGBT領域110でのフィールド・ストップ領域130は、様々なドーピング濃度、様々なドーピング・プロファイル、若しくは様々な厚さ、又はそれらの組合せを有してもよい。

30

40

【0022】

パワー半導体デバイス100のダイオード領域112は、第2の絶縁層136によって周囲の半導体基板102から絶縁された第2のトレンチ電極134を有する第2のトレンチ132を含む。ダイオード領域112の第2のトレンチ132は、半導体基板102の第1の主表面103に垂直に(図2Aの方向「x」に)延在する。ストライプ状に配置されたトレンチ132においては、ダイオード領域112の第2の区域は、第2のトレンチ132のトップ・ビュー区域と、第2の各トレンチ132間に形成されるメサ形部分のトップ・ビュー区域とを加算することによって計算することができる。

【0023】

50

ダイオード領域 112 のセル構造は、IGBT 領域 110 のセル構造に類似していてもよい。それとは異なるが、エミッタ領域 124 は、ダイオード領域 112 から除外される。また、ダイオード領域 112 は、半導体基板 102 の第 2 の主表面 105 において、第 2 の導電型のコレクタ領域 128 の代わりに、第 1 の導電型のカソード領域 138 を有する。半導体基板 102 の第 1 の主表面 103 において、第 1 のメタライゼーション 140 が、IGBT 領域 110 でのボディ領域 122、エミッタ領域 124、及びフィールド電極 F に電氣的に接続されてもよく、又ダイオード領域 112 での第 2 のトレンチ電極 134 及びアノード領域 141 に電氣的に接続されてもよい。IGBT 領域 110 のゲート電極 G は、誘電体などの絶縁材料 142 によって、第 1 のメタライゼーション 140 から絶縁される。

10

#### 【0024】

第 1 のメタライゼーション 140 への電気接続は、IGBT 領域 110 において半導体基板 102 の第 1 の主表面 103 に垂直に（図 2 B の方向「x」に）延在する第 1 の接触トレンチ 144、及びダイオード領域 112 において半導体基板 102 の第 1 の主表面 103 にやはり垂直に（図 2 A の方向「x」に）延在する第 2 の接触トレンチ 146 によって形成されてもよい。IGBT 領域 110 において、第 1 のメタライゼーション 140 は、第 1 の接触トレンチ 144 を介して、IGBT のボディ領域 122、エミッタ領域 124、及びフィールド電極 F に電氣的に接続される。ダイオード領域 112 では、第 1 のメタライゼーション 140 は、第 2 の接触トレンチ 146 を介して、第 2 のトレンチ電極 134 及びダイオードのアノード領域 141 に電氣的に接続される。半導体基板 102 は、第 1 の接触トレンチ 144 及び第 2 の接触トレンチ 146 の、下端と側壁の少なくとも一部分とに隣接する第 2 の導電型の高濃度ドーピング領域 148 を含んでもよい。

20

#### 【0025】

一実施形態によれば、ダイオード領域 112 での少なくとも第 2 の接触トレンチ 146 の側壁における、高濃度ドーピング領域 148 を介した半導体基板 102 のドーピング濃度は、第 2 の接触トレンチ 146 の下部における半導体基板 102 のドーピング濃度よりも低い。高濃度ドーピング領域 148 のドーピング・プロファイルを適宜制御することによって、半導体基板 102 でのこのようなドーピング変化を実施してもよい。

#### 【0026】

ダイオード領域 112 における第 2 の接触トレンチ 146 の下端でのドーピング濃度が高くなると、第 1 のメタライゼーション 140 との良好なオーム接触が実現するが、側壁に沿ってドーピングが低くなると、スイッチング損失の低減にとって良好なアノード効率が低下する。

30

#### 【0027】

第 2 のメタライゼーション 150 は、半導体基板 102 の第 2 の主表面 105 において、IGBT のコレクタ領域 128 及びダイオードのカソード領域 138 と接触する。

#### 【0028】

図 3 には、IGBT がオン状態からオフ状態に遷移し、ダイオードが遮断状態からフリーホイール（導通）状態に遷移するときの RC-IGBT での電圧（V）及び電流（I）の波形が示してある。時点  $t_1$  の前に、IGBT のコレクタ・エミッタ電圧  $V_{CE}$  は、ゼロ・ボルト又はそれに近い電圧であり、ダイオードは、遮断状態にあり、この間にダイオード電圧  $V_{Diode}$  はピーク遮断レベルにある。時点  $t_1$  に IGBT がオフになり始めると、IGBT のコレクタ・エミッタ電圧  $V_{CE}$  が上昇し始め、ダイオード電圧  $V_{Diode}$  が低下し始める。時点  $t_2$  において、IGBT のコレクタ電流  $I_C$  が低下し始め、ダイオード電圧  $V_{Diode}$  がアンダーシュートし始める。IGBT がオフの間に発生するダイオード電圧  $V_{Diode}$  のアンダーシュートは、普通、ダイオードのフォワード・リカバリ電圧（ $V_{fr}$ ）と呼ばれる。ダイオードのフォワード・リカバリ電圧  $V_{fr}$  は、時点  $t_3$  でピーク値  $V_{fr\_peak}$  に達し、この時点でアンダーシュートが減少し始める。最終的に、ダイオード電圧  $V_{Diode}$  がダイオードの順方向電圧  $V_f$  に達し、このダイオードは順バイアスになる。ダイオードが順バイアスされ、IGBT がオフのとき、フリーホイール電

40

50

流がダイオードを流れて流れる。

【0029】

RC-IGBTのすべてのトレンチ114、132とのMOS（金属酸化膜半導体）界面が、ある程度のキャパシタンスを有する。より具体的には、IGBT領域110での第1のトレンチ114が、IGBT領域110において第1のトレンチ電極116と半導体基板102との間に第1のキャパシタンスC1をもたらす。ダイオード領域112での第2のトレンチ132は同様に、ダイオード領域112において第2のトレンチ電極134と半導体基板102との間に第2のキャパシタンスC2をもたらす。本明細書では、キャパシタンスは、 $C = k \cdot A / d$ によって計算され、ここで、kは定数であり、AはIGBTトレンチ114又はダイオード・トレンチ132を、それぞれ半導体基板102から絶縁する、それぞれの絶縁層118、136の誘電率であり、dはそれぞれの絶縁層118、136の平均厚さである。それぞれのキャパシタンスの面積Aは、一方では半導体基板102に面し、他方では（絶縁層118/136を介して）半導体基板102からトレンチ114/132内のそれぞれの電極116/134に面する、それぞれのトレンチ114/132の表面積によって計算することができる。

10

【0030】

RC-IGBTが、低いアノード効率と高いスイッチング耐久性を確実に併せもつように、ダイオード領域112の第2の区域当たりの第2のキャパシタンスC2のキャパシタンス密度は、IGBT領域110の第1の区域当たりの第1のキャパシタンスC1のキャパシタンス密度よりも低くてもよい。すなわち、F2に対するC2の比率は、F1に対するC1の比率よりも小さく、C2はダイオード領域112での総合キャパシタンスであり、F2はダイオード領域の第2の区域であり、C1はIGBT領域110での総合キャパシタンスであり、F1はIGBT領域110の第1の区域である。IGBT領域110のキャパシタンス密度に対して、ダイオード領域112のキャパシタンス密度を低くすると、ダイオードのフォワード・リカバリ電圧 $V_{fr}$ のアンダーシュートを低減することができる。しかし、ハード・スイッチング用途に対応するには、ダイオード領域112にはやはり、第2のトレンチ電極134を設ける。

20

【0031】

一実施形態では、ダイオード領域112の第2の区域当たりの第2のキャパシタンスC2のキャパシタンス密度は、IGBT領域110の第1の区域当たりの第1のキャパシタンスC1のキャパシタンス密度の1.5分の1～10分の1である。別の実施形態では、ダイオード領域112の第2の区域当たりの第2のキャパシタンスC2のキャパシタンス密度は、IGBT領域110の第1の区域当たりの第1のキャパシタンスC1のキャパシタンス密度の1.5分の1～4分の1である。実施形態によっては、ダイオード領域112の第2の区域当たりの第2のキャパシタンスC2のキャパシタンス密度は、IGBT領域110の第1の区域当たりの第1のキャパシタンスC1のキャパシタンス密度の1.8分の1～3分の1である。

30

【0032】

たとえば、図2A及び図2Bに示すように、半導体基板102においてIGBT領域110での第1のトレンチ114よりも浅く、ダイオード領域112での第2のトレンチ132を終端することによって、ダイオード領域112の第2の区域当たりの第2のキャパシタンスC2のキャパシタンス密度を、IGBT領域110の第1の区域当たりの第1のキャパシタンスC1のキャパシタンス密度より低くしてもよい。この実施形態によれば、半導体基板102の第1の主表面103から測定して、IGBT領域110の第1のトレンチ114は、半導体基板102の第1の深さD1まで延在し、ダイオード領域112での第2のトレンチ132は、半導体基板102の第2の深さD2まで延在し、この第2の深さD2は、第1の深さD1よりも浅い（すなわち、 $D2 < D1$ ）。

40

【0033】

これとは別に又はさらに加えて、たとえば、図2A及び図2Bに示すように、IGBT

50

領域 110 での単位区域あたりに存在する第 1 のトレンチ 114 の数よりも、ダイオード領域 112 での単位区域あたりに存在する第 2 のトレンチ 132 の数を少なく形成することによって、且つ/又は、IGBT 領域 110 において第 1 のトレンチ 114 が相隔てられるよりも、ダイオード領域 112 において第 2 のトレンチ 132 をさらに相隔てることによって、ダイオード領域 112 の第 2 の区域当たりの第 2 のキャパシタンス C2 のキャパシタンス密度を、IGBT 領域 110 の第 1 の区域当たりの第 1 のキャパシタンス C1 のキャパシタンス密度より低くしてもよい。この実施形態によれば、ダイオード領域 112 での第 2 のトレンチ 132 のうち隣接するトレンチ間の横方向の平均間隔  $S_{L2}$  は、IGBT 領域 110 での第 1 のトレンチ 114 のうち隣接するトレンチ間の横方向の平均間隔  $S_{L1}$  よりも広い（すなわち、 $S_{L2} > S_{L1}$ ）。一実施形態では、ダイオード領域 112 での第 2 のトレンチ 132 のうち隣接するトレンチ間の横方向の平均間隔  $S_{L2}$  は、IGBT 領域 110 での第 1 のトレンチ 114 のうち隣接するトレンチ間の横方向の平均間隔  $S_{L1}$  の 1.5 倍～30 倍の広さである。別の実施形態では、ダイオード領域 112 での第 2 のトレンチ 132 のうち隣接するトレンチ間の横方向の平均間隔  $S_{L2}$  は、IGBT 領域 110 での第 1 のトレンチ 114 のうち隣接するトレンチ間の横方向の平均間隔  $S_{L1}$  の 1.5 倍～10 倍の広さである。別の実施形態では、ダイオード領域 112 での第 2 のトレンチ 132 のうち隣接するトレンチ間の横方向の平均間隔  $S_{L2}$  は、 $0.3 \mu\text{m}$  よりも広く、 $20 \mu\text{m}$  よりも狭く、IGBT 領域 110 での第 1 のトレンチ 114 のうち隣接するトレンチ間の横方向の平均間隔  $S_{L1}$  は、 $0.6 \mu\text{m}$  以下である。

#### 【0034】

これとは別に又はさらに加えて、ダイオード領域 112 の第 2 のトレンチ 132 を、このトレンチ 132 の長手方向の延在部の方向（z 軸）に沿って分離することによって、ダイオード領域 112 の第 2 の区域当たりの第 2 のキャパシタンス C2 のキャパシタンス密度を、IGBT 領域 110 の第 1 の区域当たりの第 1 のキャパシタンス C1 のキャパシタンス密度より低くしてもよい。ダイオード領域 112 の一端から他端まで実質的に延在する連続的なトレンチ 132 を有する代わりに、ダイオード領域 112 でのそれぞれの第 2 のトレンチ 132 が、この第 2 のトレンチ 132 の長手方向の延在部の方向に沿って形成される複数のトレンチ部分にセグメント化されてもよい。ダイオード領域 112 でのそれら第 2 のトレンチ 132 のうち隣接トレンチ部分が、半導体基板 102 の基板区域によって互いに分離される。

#### 【0035】

これとは別に又はさらに加えて、ダイオード領域 112 において半導体基板 102 から第 2 のトレンチ電極 134 を分離する絶縁層 136 を、IGBT 領域 110 において第 1 のトレンチ電極 116 と半導体基板 102 を分離する絶縁層 118 よりも厚くすることによって、ダイオード領域 112 の第 2 の区域当たりの第 2 のキャパシタンス C2 のキャパシタンス密度を、IGBT 領域 110 の第 1 の区域当たりの第 1 のキャパシタンス C1 のキャパシタンス密度より低くしてもよい。

#### 【0036】

これとは別に又はさらに加えて、ダイオード領域 112 において半導体基板 102 から第 2 のトレンチ電極 134 を分離する絶縁層の誘電率（ ）が、IGBT 領域 110 において第 1 のトレンチ電極 116 と半導体基板 102 を分離する絶縁層 118 の誘電率よりも小さくなるように選択することによって、ダイオード領域 112 の第 2 の区域当たりの第 2 のキャパシタンス C2 のキャパシタンス密度を、IGBT 領域 110 の第 1 の区域当たりの第 1 のキャパシタンス C1 のキャパシタンス密度より低くしてもよい。たとえば、ダイオード領域 112 での第 2 のトレンチ 132 の側壁及び下端を覆う絶縁層 136 は、フッ素がドーブされた二酸化ケイ素、炭素がドーブされた酸化物、多孔質の二酸化ケイ素など、低誘電率誘電体材料でもよく、IGBT 領域 110 での第 1 のトレンチ 114 の側壁及び下端を覆う絶縁層 118 は、熱酸化によって形成される二酸化ケイ素でもよい。

#### 【0037】

ダイオード領域 112 の第 2 の区域当たりの第 2 のキャパシタンス C2 のキャパシタン

ス密度を、IGBT領域110の第1の区域当たりの第1のキャパシタンスC1のキャパシタンス密度よりも低くするための、本明細書に記載の実施形態のうちの1つ、いくつか又はすべてに加えて、ダイオード領域112での隣接する第2の各トレンチ132間の第2の接触トレンチ146の側壁区域の平均密度は、IGBT領域110での隣接する第1の各トレンチ114間の第1の接触トレンチ144の側壁区域の平均密度よりも高くてもよい。各接触トレンチ144、146の側壁区域は、その接触トレンチ144、146の各側壁が占める表面区域である。これとは別に又はこれと組み合わせて、ダイオード領域112の第2の区域当たりの第2の接触トレンチ146の側壁区域の平均密度は、IGBT領域110の第1の区域当たりの第1の接触トレンチ144の側壁区域の平均密度よりも高くてもよい。

10

**【0038】**

その結果得られる、ダイオード領域112での相対的に広いアノード領域141を、追加の接触トレンチ146で占有することによって、第1のメタライゼーション140との接点において電流密度が低下する。この結果として、アノード効率が相対的に低くなるが、スイッチング耐久性は改善する。

**【0039】**

図2A及び図2Bには、ダイオード領域112での隣接する第2の各トレンチ132間に、2つの第2の接触トレンチ146が配置され、IGBT領域110での隣接する第1の各トレンチ114間に、単一の第1の接触トレンチ144が配置される一実施形態が示してある。ダイオード領域112での隣接する第2の各トレンチ132間に配置される第2の接触トレンチ146の数を増加させることによって、キャリアがダイオードを出る経路がさらに増え、スイッチング損失を低減するアノード効率が低下する。

20

**【0040】**

図4には、3つの第2の接触トレンチ146が、ダイオード領域112での隣接する第2の各トレンチ132間に配置される一実施形態が示してある。たとえば、図2Bに示すように、単一の第1の接触トレンチ144は、IGBT領域110の隣接する第1の各トレンチ114間に配置されてもよい。

**【0041】**

図5には、4つの第2の接触トレンチ146が、ダイオード領域112での隣接する第2の各トレンチ132間に配置される一実施形態が示してある。たとえば、図2Bに示すように、単一の第1の接触トレンチ144は、IGBT領域110の隣接する第1の各トレンチ114間に配置されてもよい。さらに追加の実施形態では、5つ以上の(>4)第2の接触トレンチ146が、ダイオード領域112での隣接する第2の各トレンチ132間に配置されてもよい。

30

**【0042】**

一実施形態では、それぞれの第2の接触トレンチ146は、この第2の接触トレンチ146の長手方向の延在部に垂直な方向に延在する1つ又は複数の交差接触トレンチによって、既定の位置で接続される。実施形態によっては、この交差接触トレンチは、第2の接触トレンチ146に対して斜角を保って延在してもよい。交差接触トレンチを形成することにより、上面図では格子状又はメッシュ状の接触トレンチ構成となってもよい。この格子状又はメッシュ状の接触トレンチ構成は、等しい臨界寸法で接触域を最大化してもよい。また、この格子状又はメッシュ状の接触トレンチ構成によって、第2の導電型の高濃度ドープ領域148が形成するアノード領域のうち、第2の接触トレンチ146の下端、及びその側壁の少なくとも一部分に隣接する区域を大きくしてもよい。また、この格子状又はメッシュ状の接触トレンチ構成によって、第2の接触トレンチ146の周辺の長さ、したがって側壁密度を増加させて、改善された性能をオン状態の間に得てもよい。

40

**【0043】**

図6には、単一の第2の接触トレンチ146が、ダイオード領域112での隣接する第2の各トレンチ132間に配置される一実施形態が示してある。図2Bに示すように、単一の第1の接触トレンチ144は同様に、IGBT領域110の隣接する第1の各トレン

50

チ 1 1 4 間に配置されてもよい。図 6 に示す実施形態によれば、ダイオード領域 1 1 2 での第 2 の接触トレンチ 1 4 6 は、I G B T 領域 1 1 0 での第 1 の接触トレンチ 1 4 4 の平均幅よりも広い平均幅  $W_{DIODE}$  を有する。たとえば、ダイオード領域 1 1 2 での第 2 の接触トレンチ 1 4 6 の平均幅  $W_{DIODE}$  は、1 0 0 nm から、隣接する第 2 の各トレンチ 1 3 2 間の完全アノード領域 1 4 1 までの範囲でもよい。ダイオード領域 1 1 2 での隣接する第 2 の各トレンチ 1 3 2 間に、単一の、ただし相対的に広い接触 1 4 6 を設けることにより、図 2 A、図 4、及び図 5 に示すマルチ接触の実施形態と比較して、同様のスイッチング耐久性を有する相対的に高いアノード効率が実現する。

【 0 0 4 4 】

本開示は、そのように限定されるものではないが、以下の番号付きの各例が、本開示の 1 つ又は複数の態様を示す。

10

【 0 0 4 5 】

例 1。I G B T (絶縁ゲート・バイポーラ・トランジスタ) を含む I G B T 領域と、ダイオードを含むダイオード領域とを備える半導体基板であって、トップ・ビューにおいて I G B T 領域が第 1 の区域を有し、トップ・ビューにおいてダイオード領域が第 2 の区域を有する半導体基板を備え、I G B T 領域が、第 1 のトレンチ電極を含むとともに半導体基板の第 1 の主表面に垂直に延在する複数の第 1 のトレンチを備え、ダイオード領域が、第 2 のトレンチ電極を有するとともに半導体基板の第 1 の主表面に垂直に延在する複数の第 2 のトレンチを備え、I G B T 領域において、この複数の第 1 のトレンチが、第 1 のトレンチ電極と半導体基板との間に第 1 のキャパシタンスを形成し、ダイオード領域において、この複数の第 2 のトレンチが、第 2 のトレンチ電極と半導体基板との間に第 2 のキャパシタンスを形成し、第 2 の区域当たりの第 2 のキャパシタンスのキャパシタンス密度が、第 1 の区域当たりの第 1 のキャパシタンスのキャパシタンス密度よりも低い、パワー半導体デバイス。

20

【 0 0 4 6 】

例 2。第 2 の区域当たりの第 2 のキャパシタンスのキャパシタンス密度が、第 1 の区域当たりの第 1 のキャパシタンスのキャパシタンス密度の 1 . 5 分の 1 ~ 1 0 分の 1 である、例 1 に記載のパワー半導体デバイス。

【 0 0 4 7 】

例 3。複数の第 1 のトレンチが、半導体基板の第 1 の深さまで延在し、複数の第 2 のトレンチが、半導体基板の第 2 の深さまで延在し、第 2 の深さが、第 1 の深さよりも浅い、例 1 又は例 2 に記載のパワー半導体デバイス。

30

【 0 0 4 8 】

例 4。第 2 のトレンチ電極と半導体基板との間の絶縁層が、第 1 のトレンチ電極と半導体基板との間の絶縁層よりも厚い、例 1 ~ 3 のいずれかに記載のパワー半導体デバイス。

【 0 0 4 9 】

例 5。第 2 のトレンチ電極と半導体基板との間の絶縁層の誘電率が、第 1 のトレンチ電極と半導体基板との間の絶縁層の誘電率よりも低い、例 1 ~ 4 のいずれかに記載のパワー半導体デバイス。

【 0 0 5 0 】

例 6。I G B T 領域において半導体基板の第 1 の主表面に垂直に延在する複数の第 1 の接触トレンチと、ダイオード領域において半導体基板の第 1 の主表面に垂直に延在する複数の第 2 の接触トレンチとをさらに備え、ダイオード領域において隣接する第 2 の各トレンチ間の第 2 の接触トレンチの側壁区域の平均密度が、I G B T 領域において隣接する第 1 の各トレンチ間の第 1 の接触トレンチの側壁区域の平均密度よりも高い、例 1 ~ 5 のいずれかに記載のパワー半導体デバイス。

40

【 0 0 5 1 】

例 7。ダイオード領域において隣接する第 2 の各トレンチ間に少なくとも 2 つの第 2 の接触トレンチが配置され、I G B T 領域において隣接する第 1 の各トレンチ間に単一の第 1 の接触トレンチが配置される、例 6 に記載のパワー半導体デバイス。

50

## 【 0 0 5 2 】

例 8。ダイオード領域において隣接する第 2 の各トレンチ間に少なくとも 4 つの接触トレンチが配置され、 I G B T 領域において隣接する第 1 の各トレンチ間に単一の第 1 の接触トレンチが配置される、例 6 に記載のパワー半導体デバイス。

## 【 0 0 5 3 】

例 9。複数の第 2 の接触トレンチの側壁における半導体基板のドーピング濃度が、複数の第 2 の接触トレンチの下端における半導体基板のドーピング濃度よりも低い、例 6 ~ 8 のいずれかに記載のパワー半導体デバイス。

## 【 0 0 5 4 】

例 10。 I G B T 領域において半導体基板の第 1 の主表面に垂直に延在する複数の第 1 の接触トレンチと、ダイオード領域において半導体基板の第 1 の主表面に垂直に延在する複数の第 2 の接触トレンチとをさらに備え、第 2 の区域当たりの第 2 の接触トレンチの側壁区域の平均密度が、第 1 の区域当たりの第 1 の接触トレンチの側壁区域の平均密度よりも高い、例 1 ~ 9 のいずれかに記載のパワー半導体デバイス。

10

## 【 0 0 5 5 】

例 11。 I G B T 領域において半導体基板の第 1 の主表面に垂直に延在する複数の第 1 の接触トレンチと、ダイオード領域において半導体基板の第 1 の主表面に垂直に延在する複数の第 2 の接触トレンチとをさらに備え、 I G B T 領域において隣接する第 1 の各トレンチ間に単一の第 1 の接触トレンチが配置され、ダイオード領域において隣接する第 2 の各トレンチ間に単一の第 2 の接触トレンチが配置され、第 2 の接触トレンチの平均幅が、第 1 の接触トレンチの平均幅よりも広い、例 1 ~ 10 のいずれかに記載のパワー半導体デバイス。

20

## 【 0 0 5 6 】

例 12。 I G B T を有する I G B T 領域と、ダイオードを有するダイオード領域とを含む半導体基板を備え、 I G B T 領域が、半導体基板の第 1 の主表面に垂直に延在する複数の第 1 のトレンチを備え、ダイオード領域が、半導体基板の第 1 の主表面に垂直に延在する複数の第 2 のトレンチを備え、第 2 の各トレンチのうち隣接するトレンチ間の横方向の平均間隔が、第 1 の各トレンチのうち隣接するトレンチ間の横方向の平均間隔よりも広い、パワー半導体デバイス。

## 【 0 0 5 7 】

例 13。第 2 のトレンチのうち隣接するトレンチ間の横方向の平均間隔が、第 1 のトレンチのうち隣接するトレンチ間の横方向の平均間隔の 1 . 5 倍 ~ 3 0 倍の広さである、例 1 2 に記載のパワー半導体デバイス。

30

## 【 0 0 5 8 】

例 14。第 2 のトレンチのうち隣接するトレンチ間の横方向の平均間隔が、 0 . 6  $\mu$  m よりも広く、 2 0  $\mu$  m よりも狭い、例 1 2 又は例 1 3 に記載のパワー半導体デバイス。

## 【 0 0 5 9 】

例 15。 I G B T 領域において半導体基板の第 1 の主表面に延在する複数の第 1 の接触トレンチと、ダイオード領域において半導体基板の第 1 の主表面に延在する複数の第 2 の接触トレンチとをさらに備え、第 2 の区域当たりの隣接する第 2 のトレンチ間の第 2 の接触トレンチの側壁区域の平均密度が、第 1 の区域当たりの隣接する第 1 のトレンチ間の第 1 の接触トレンチの側壁区域の平均密度よりも高い、例 1 2 ~ 1 4 のいずれかに記載のパワー半導体デバイス。

40

## 【 0 0 6 0 】

例 16。ダイオード領域において隣接する第 2 の各トレンチ間に少なくとも 2 つの第 2 の接触トレンチが配置され、 I G B T 領域において隣接する第 1 の各トレンチ間に単一の第 1 の接触トレンチが配置される、例 1 5 に記載のパワー半導体デバイス。

## 【 0 0 6 1 】

例 17。ダイオード領域において隣接する第 2 の各トレンチ間に少なくとも 4 つの接触トレンチが配置され、 I G B T 領域において隣接する第 1 の各トレンチ間に単一の第 1 の

50

接触トレンチが配置される、例 15 に記載のパワー半導体デバイス。

【 0 0 6 2 】

例 18。複数の第 2 の接触トレンチの側壁における半導体基板のドーピング濃度が、複数の第 2 の接触トレンチの下端における半導体基板のドーピング濃度よりも低い、例 15 ~ 17 のいずれかに記載のパワー半導体デバイス。

【 0 0 6 3 】

例 19。IGBT 領域において半導体基板の第 1 の主表面に垂直に延在する複数の第 1 の接触トレンチと、ダイオード領域において半導体基板の第 1 の主表面に垂直に延在する複数の第 2 の接触トレンチとをさらに備え、IGBT 領域において隣接する第 1 の各トレンチ間に単一の第 1 の接触トレンチが配置され、ダイオード領域において隣接する第 2 の各トレンチ間に単一の第 2 の接触トレンチが配置され、第 2 の接触トレンチの平均幅が、第 1 の接触トレンチの平均幅よりも広い、例 12 ~ 18 のいずれかに記載のパワー半導体デバイス。

10

【 0 0 6 4 】

例 20。第 2 の各トレンチが、複数の第 2 のトレンチの長手方向の延在部の方向に沿って、各トレンチ部分にセグメント化されており、この第 2 のトレンチのうち隣接する各トレンチ部分が、半導体基板の基板区域によって互いに分離される、例 12 ~ 19 のいずれかに記載のパワー半導体デバイス。

【 0 0 6 5 】

例 21。ダイオード領域において半導体基板の第 1 の主表面に延在する複数の接触トレンチをさらに備え、この接触トレンチが、この接触トレンチの長手方向の延在部に垂直な方向に延在する、1 つ又は複数の交差接触トレンチによって既定の位置で接続される、例 12 ~ 20 のいずれかに記載のパワー半導体デバイス。

20

【 0 0 6 6 】

例 22。パワー半導体デバイスを製造する方法であって、半導体基板の IGBT 領域に IGBT を形成することであって、トップ・ビューにおいて IGBT 領域が第 1 の区域を有することと、半導体基板のダイオード領域にダイオードを形成することであって、トップ・ビューにおいてダイオード領域が第 2 の区域を有することを含み、IGBT を形成することが、IGBT 領域において、第 1 のトレンチ電極を有するとともに半導体基板の第 1 の主表面に垂直に延在する複数の第 1 のトレンチを形成することを含み、ダイオードを形成することが、ダイオード領域において、半導体基板の第 1 の主表面に垂直に延在する第 2 のトレンチ電極を有する複数の第 2 のトレンチを形成することを含み、その結果、第 2 の区域当たりの、複数の第 2 のトレンチと半導体基板との間に形成されるキャパシタンスのキャパシタンス密度が、第 1 の区域当たりの、複数の第 1 のトレンチと半導体基板との間に形成されるキャパシタンスのキャパシタンス密度よりも低い、方法。

30

【 0 0 6 7 】

例 23。複数の第 2 のトレンチを形成することが、IGBT 領域での単位区域当たり存在する第 1 のトレンチの数よりも、ダイオード領域での単位区域当たり存在する第 2 のトレンチの数を少なく形成することを含む、例 22 に記載の方法。

【 0 0 6 8 】

例 24。複数の第 2 のトレンチを形成することが、半導体基板内で、この第 2 のトレンチを第 1 のトレンチよりも浅く終端することを含む、例 22 又は例 23 に記載の方法。

40

【 0 0 6 9 】

例 25。複数の第 2 のトレンチを形成することが、IGBT 領域において第 1 のトレンチが相隔てられるよりも、ダイオード領域において第 2 のトレンチをさらに相隔てることを含む、例 22 ~ 24 のいずれかに記載の方法。

【 0 0 7 0 】

様々な要素、領域、部分などを説明するのに「第 1」、「第 2」などの用語が使用され、これらはやはり限定するものではない。説明全体を通して、同じ用語は同じ要素を指す。

【 0 0 7 1 】

50

本明細書では、「having」、「containing」、「including」、「comprising」などの用語は、示された要素又は特徴の存在を示すが、追加の要素又は特徴を排除するものではない、オープン・エンドの用語である。冠詞「a」、「an」、及び「the」は、文脈が明らかに他の意味を示すものでない限り、単数のみならず複数をも含むものである。

【0072】

本明細書において特定の実施形態を図示し説明してきたが、本発明の範囲から逸脱することなく、様々な代替実装形態及び/又は同等な実装形態を、図示し説明した特定の実施形態の代わりとしてもよいことが当業者には理解されよう。本出願は、本明細書において述べた特定の実施形態の任意の改変形態又は変形形態を包含するものである。したがって、本発明は、特許請求の範囲及びその均等物によってのみ限定されるものである。

10

【符号の説明】

【0073】

- 100 パワー半導体デバイス
- 102 半導体基板
- 103 第1の主表面
- 104 セル領域
- 105 第2の主表面
- 106 周辺領域
- 108 縁部
- 110 IGBT領域
- 112 ダイオード領域
- 114 第1のトレンチ
- 116 第1のトレンチ電極
- 118 第1の絶縁層
- 120 導電性チャネル
- 122 ボディ領域
- 124 エミッタ領域
- 126 ドリフト領域
- 128 コレクタ領域
- 130 フィールド・ストップ領域
- 132 第2のトレンチ
- 134 第2のトレンチ電極
- 136 第2の絶縁層
- 138 カソード領域
- 140 第1のメタライゼーション
- 141 アノード領域
- 142 絶縁材料
- 144 第1の接触トレンチ
- 146 第2の接触トレンチ
- 148 高濃度ドーブ領域
- 150 第2のメタライゼーション

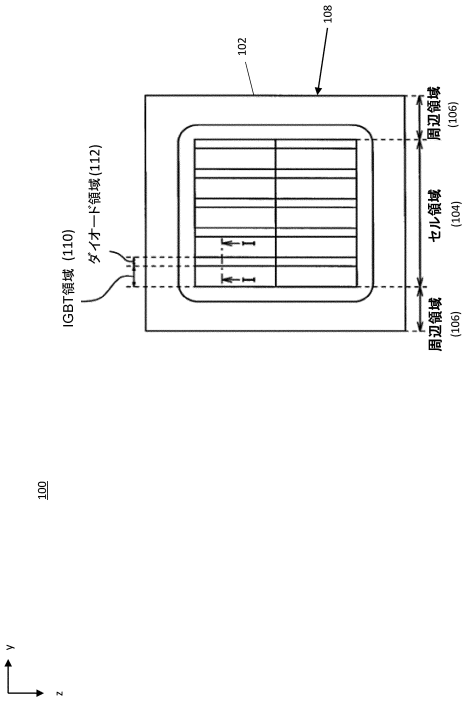
20

30

40

50

【図面】  
【図 1】



【図 2 A】

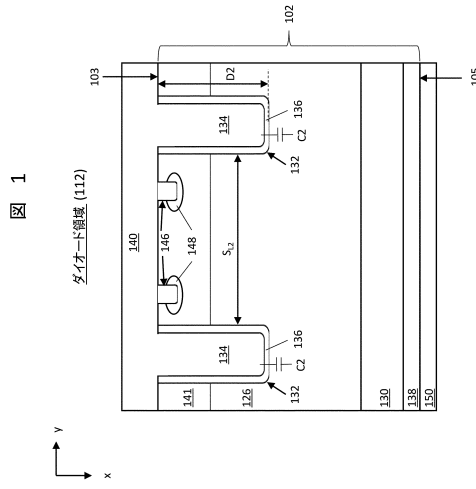


図 1

図 2A

10

20

【図 2 B】

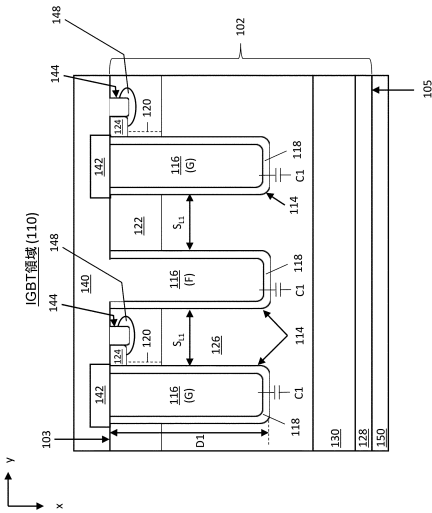


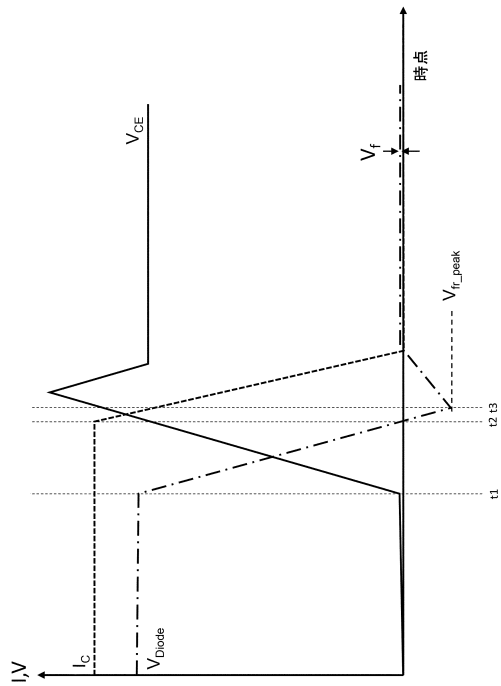
図 2B

図 3

30

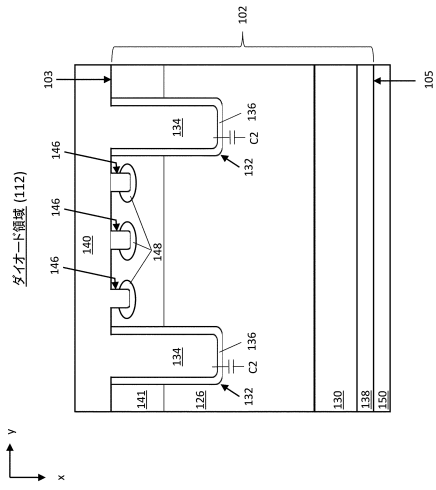
40

【図 3】



50

【図 4】



【図 5】

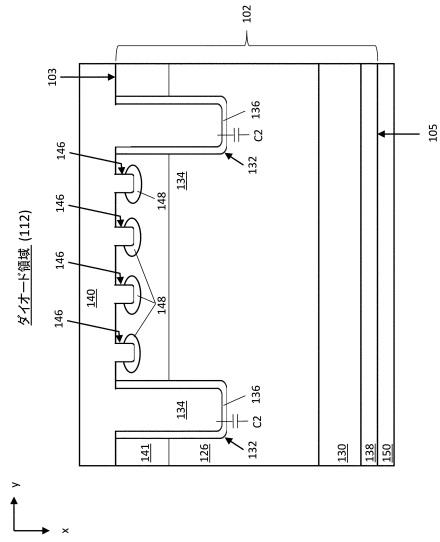


図 4

図 5

10

【図 6】

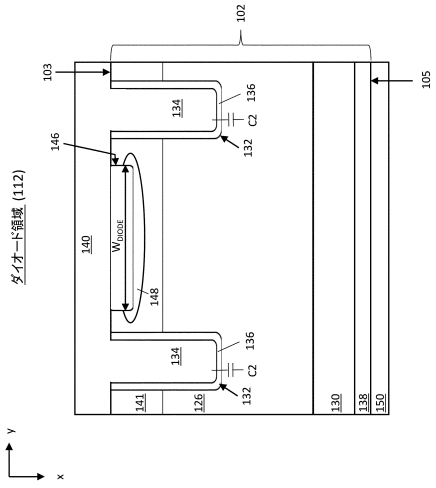


図 6

20

30

40

50

フロントページの続き

(51)国際特許分類

H 1 0 D 30/65 (2025.01)  
H 1 0 D 30/60 (2025.01)

F I

H 1 0 D 8/50 C  
H 1 0 D 8/50 F  
H 1 0 D 84/80 1 0 1 A  
H 1 0 D 84/83 C  
H 1 0 D 30/65  
H 1 0 D 30/60 V  
H 1 0 D 30/60 G

ドイツ国 8 5 5 2 1 オットブルン , プッツブルンナー シュトラーセ 1 2 6

審査官 志津木 康

(56)参考文献

特開 2 0 1 8 - 1 1 3 4 7 0 ( J P , A )  
特開 2 0 1 3 - 1 6 1 9 1 8 ( J P , A )  
特開 2 0 1 0 - 2 6 3 1 4 9 ( J P , A )  
特開 2 0 1 8 - 1 9 5 7 9 8 ( J P , A )  
特開 2 0 1 7 - 0 9 8 3 5 9 ( J P , A )  
特開 2 0 1 8 - 0 1 4 4 1 9 ( J P , A )  
特開 2 0 1 8 - 1 5 6 9 9 6 ( J P , A )  
国際公開第 2 0 1 9 / 0 7 8 1 6 6 ( W O , A 1 )

(58)調査した分野 (Int.Cl. , D B 名)

H 1 0 D 8 4 / 8 0  
H 1 0 D 3 0 / 6 6  
H 1 0 D 1 2 / 0 0  
H 1 0 D 8 / 5 0  
H 1 0 D 8 4 / 8 3  
H 1 0 D 3 0 / 6 5  
H 1 0 D 3 0 / 6 0