(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0031298
(43) 공개일자 2008년04월08일

(51) Int. Cl.
H05K 1/16 (2006.01)
(21) 출원번호 10-2008-7001581
(22) 출원일자 2008년01월21일
심사청구일자 없음
번역문제출일자 2008년01월21일
(86) 국제출원번호 PCT/US2006/023998
국제출원일자 2006년06월21일
(87) 국제공개번호 WO 2007/002100
국제공개일자 2007년01월04일
(30) 우선권주장
11/157,531 2005년06월21일 미국(US)

(71) 출원인
쓰리엠 이노베이티브 프로퍼티즈 컴파니
미국 55133-3427 미네소타주 세인트 폴 피.오.박스 33427 쓰리엠 센터
(72) 발명자
페이퍼, 조엘, 에스.
미국 55133-3427 미네소타주 세인트 폴 포스트 오피스 박스 33427쓰리엠 센터
오브라이언, 넬슨, 비.
미국 55125 미네소타주 우드베리 글렌베이 코트 1518
(74) 대리인
김영, 양영준

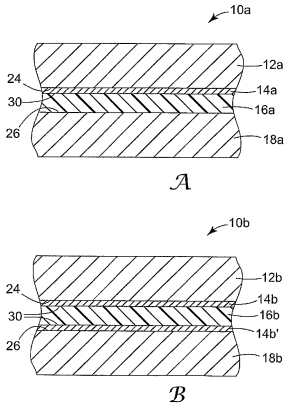
전체 청구항 수 : 총 36 항

(54) 수동 전기 물품

(57) 요 약

수동 전기 물품은 주 표면을 갖는 제1 전기 전도성 기판과, 주 표면을 갖는 제2 전기 전도성 기판을 구비한다. 제2 기판의 주 표면은 제1 기판의 주 표면과 대향한다. 전기 저항층은 제1 기판의 주 표면 및 제2 기판의 주 표면 중 적어도 하나 상에 있다. 전기 절연층은 제1 및 제2 기판 사이에서 전기 저항층과 접촉한다. 절연층은 두께가 약 1 ㎛ 내지 약 20 ㎛ 범위인 중합체이다. 절연층은 사실상 일정한 두께를 갖는다.

대표도



특허청구의 범위

청구항 1

주 표면을 갖는 제1 전기 전도성 기판과,

제1 기판의 주 표면과 대향하는 주 표면을 갖는 제2 전기 전도성 기판과,

제1 기판의 주 표면과 제2 기판의 주 표면 중 적어도 하나 상의 전기 저항층과,

제1 기판과 제2 기판 사이에서 전기 저항층과 접촉하는 전기 절연층을 포함하며,

상기 절연층은 두께가 약 1 ㎛ 내지 약 20 ㎛ 범위인 중합체를 포함하며,

상기 절연층은 사실상 일정한 두께를 갖는 수동 전기 물품.

청구항 2

제1항에 있어서, 제1 및 제2 기판 중 적어도 하나는 자립형인 수동 전기 물품.

청구항 3

제2항에 있어서, 제1 및 제2 기판 중 적어도 하나는 두께가 적어도 약 10 ㎛인 수동 전기 물품.

청구항 4

제1항에 있어서, 저항층은 두께가 약 2 ㎛ 미만인 수동 전기 물품.

청구항 5

제1항에 있어서, 제1 및 제2 기판은 흑연, 금속 및 그 조합 중의 하나를 포함하는 적어도 하나의 층을 포함하는 수동 전기 물품.

청구항 6

제5항에 있어서, 제1 및 제2 기판 중 적어도 하나는 구리인 수동 전기 물품.

청구항 7

제5항에 있어서, 금속은 중합체 매트릭스 내에 있는 수동 전기 물품.

청구항 8

제1항에 있어서, 제1 기판 또는 제2 기판은 다층 라미네이트를 포함하는 수동 전기 물품.

청구항 9

제8항에 있어서, 라미네이트는 구리의 층과 폴리이미드의 층을 포함하는 수동 전기 물품.

청구항 10

제1항에 있어서, 제1 및 제2 기판의 주 표면들은 평균 표면 조도가 약 300 ㎚ 미만인 수동 전기 물품.

청구항 11

제1항에 있어서, 90도 박리각에서 제1 및 제2 기판 중의 하나를 절연층으로부터 분리하는 데에 필요한 힘은 약 0.5 kN/m (약 3 lb/in) 초과인 수동 전기 물품.

청구항 12

제1항에 있어서, 90도 박리각에서 저항층을 절연층으로부터 분리하는 데에 필요한 힘은 약 0.5 kN/m (약 3 lb/in) 초과인 수동 전기 물품.

청구항 13

제1항에 있어서, 90도 박리각에서 저항층을 기판으로부터 분리하는 데에 필요한 힘은 약 0.5 kN/m (약 3 lb/in) 초과인 수동 전기 물품.

청구항 14

제1항에 있어서, 절연층은 에폭시, 폴리이미드, 폴리비닐리덴 플루오라이드, 시아노에틸 풀루란, 벤조사이클로부텐, 폴리노르보르넨, 폴리테트라플루오로에틸렌, 아크릴레이트, 폴리페닐렌 옥사이드(PPO), 시아네이트 에스테르, 비스말레이미드 트라이아진(BT), 알릴화 폴리페닐렌 에테르(APPE), 또는 그 블렌드를 포함하는 건조된 또는 경화된 수지를 포함하는 수동 전기 물품.

청구항 15

제14항에 있어서, 절연층은 에폭시 수지의 블렌드를 포함하는 경화된 수지를 포함하는 수동 전기 물품.

청구항 16

제14항에 있어서, 절연층은 유전성 입자, 전도성 입자 및 그 혼합물을 포함하는 수동 전기 물품.

청구항 17

제16항에 있어서, 유전성 입자는 크기가 약 10 ㎛ 미만인 수동 전기 물품.

청구항 18

제16항에 있어서, 입자는 티탄산바륨, 바륨 스트론튬 티타네이트, 산화티타늄, 납 지르코늄 티타네이트, 은, 니켈, 니켈 코팅된 중합체 구체, 금 코팅된 중합체 구체, 주석 땜납, 흑연, 질화탄탈, 및 질화규소 금속 또는 그 혼합물로 이루어진 군으로부터 선택되는 수동 전기 물품.

청구항 19

제16항에 있어서, 입자 로딩율은 절연층의 전체 부피를 기준으로 20 내지 70 부피%인 수동 전기 물품.

청구항 20

제1항에 있어서, 절연층은 유전 상수가 약 4 초과인 수동 전기 물품.

청구항 21

제1항에 있어서, 커패시턴스 밀도가 약 0.16 nF/㎠ (1 nF/in^2) 초과인 수동 전기 물품.

청구항 22

제1항에 있어서, 절연층은 열 전도도가 약 0.2 W/m-K 초과인 수동 전기 물품.

청구항 23

제1항에 있어서, 저항층은 저항이 약 25 Ohm/Sq 초과인 수동 전기 물품.

청구항 24

제1항에 있어서, 저항층은 상대 투자율이 약 10 초과인 수동 전기 물품.

청구항 25

제1항에 있어서, 제1 기판, 제2 기판, 저항층 및 절연층 중 적어도 하나는 저항기, 커패시터 및 인덕터 중 적어도 하나를 형성하도록 패터닝되는 수동 전기 물품.

청구항 26

주 표면을 갖는 제1 전기 전도성 기판과, 제1 기판의 주 표면과 대향하는 주 표면을 갖는 제2 전기 전도성 기판

과, 제1 기판의 주 표면과 제2 기판의 주 표면 중 적어도 하나 상의 전기 저항층과, 제1 기판과 제2 기판 사이에서 전기 저항층과 접촉하는 전기 절연층 - 상기 절연층은 두께가 약 1 ㎛ 내지 약 20 ㎛ 범위인 중합체를 포함하며 사실상 일정한 두께를 가짐 - 을 포함하는 라미네이트 구조를 제공하는 단계와,

제1 기판, 제2 기판 및 저항층 중 적어도 하나를 회로화하여 저항기, 커패시터 및 인덕터 중 적어도 하나를 형성하는 단계를 포함하는 수동 전기 물품의 형성 방법.

청구항 27

제26항에 있어서, 회로화된 라미네이트를 인쇄 회로 내에 매립하는 단계를 추가로 포함하는 방법.

청구항 28

제27항에 있어서, 상기 인쇄 회로는 경성 인쇄 회로 보드인 방법.

청구항 29

제27항에 있어서, 상기 인쇄 회로는 연성 회로인 방법.

청구항 30

제26항에 있어서, 복수의 회로화된 라미네이트를 인쇄 회로 내에 매립하는 단계를 추가로 포함하는 방법.

청구항 31

주 표면을 갖는 제1 전기 전도성 기판과, 제1 기판의 주 표면과 대향하는 주 표면을 갖는 제2 전기 전도성 기판과, 제1 기판의 주 표면과 제2 기판의 주 표면 중 적어도 하나 상의 전기 저항층과, 제1 기판과 제2 기판 사이에서 전기 저항층과 접촉하는 전기 절연층 - 상기 절연층은 두께가 약 1 ㎛ 내지 약 20 ㎛ 범위인 중합체를 포함하며 사실상 일정한 두께를 가짐 - 을 포함하는 회로화된 라미네이트 구조가 내부에 매립된 인쇄 회로.

청구항 32

제31항에 있어서, 라미네이트 구조는 회로화되어 저항기, 커패시터 및 인덕터 중 적어도 하나를 형성하는 인쇄 회로.

청구항 33

제31항에 있어서, 라미네이트 구조는 회로화되어 저항기 및 커패시터를 형성하는 인쇄 회로.

청구항 34

제31항에 있어서, 라미네이트 구조는 회로화되어 커패시터 및 인덕터를 형성하는 인쇄 회로.

청구항 35

제31항에 있어서, 라미네이트 구조는 회로화되어 저항기 및 인덕터를 형성하는 인쇄 회로.

청구항 36

제31항에 있어서, 라미네이트 구조는 회로화되어 저항기, 커패시터 및 인덕터를 형성하는 인쇄 회로.

명 세 서

배 경 기 술

<l> 전자 산업에서 계속되고 있는 경향은 전자 회로의 소형화 및 이에 대응하는 전자 회로의 회로 요소 밀도의 증가이다. 종래의 인쇄 회로 보드에서, 보드 표면적 중 많은 부분이 표면 실장된 수동 전기 소자(passive electrical device), 예컨대 저항기, 커패시터 및 인덕터에 의해 점유된다. 전기 회로에서 회로 요소들의 밀도를 증가시키는 한 가지 방법은 수동 소자들을 회로 보드의 표면으로부터 제거하고 이러한 수동 소자들을 회로 보드 자체 내에 매립 또는 집적하는 것이다. 이는 수동 소자들을 능동 회로 구성요소(active circuit components)들에 더욱 가깝게 배치하여, 그에 따라 전기 도선 길이 및 도선 인덕턴스를 감소시키고 회로 속도를

개선하며 신호 노이즈를 감소시키는 추가 이점을 갖게 한다. 신호 노이즈는 신호 무결성(signal integrity) 및 전자기 간섭(electro-magnetic interference; EMI) 문제를 초래할 수 있다. 수동 구성요소들을 보드 내에 매립함으로써 보드 내의 층들의 크기, 두께 및 개수를 감소시킬 수 있으며, 이는 회로 보드 비용을 상당히 감소시킬 수 있다. 보드 크기 및 두께의 감소뿐만 아니라, 표면 실장된 구성요소들 및 이들의 관련 비아(via)와 납땜 조인트(solder joint)의 제거는 중량의 상당한 감소와 신뢰성의 개선을 제공할 수 있다. 마지막으로, 신호 발생 시간, 주파수 및 전류와 보드 밀도가 계속 증가함에 따라, 인쇄 회로 보드 수준에서의 열 소산(thermal dissipation)을 개선하는 것에 대한 요구가 존재한다. 얇은 매립된 수동 층들은 열 소산의 개선을 또한 제공할 수 있다.

발명의 상세한 설명

<2> 본 발명의 일 태양은 수동 전기 물품을 제공한다. 일 실시예에서, 수동 전기 물품은 주 표면을 갖는 제1 전기 전도성 기판과, 제1 기판의 주 표면과 대향하는 주 표면을 갖는 제2 전기 전도성 기판을 포함한다. 전기 저항층이 제1 기판의 주 표면과 제2 기판의 주 표면 중 적어도 하나 상에 있다. 전기 절연층은 제1 및 제2 기판 사이에서 전기 저항층과 접촉한다. 절연층은 두께가 약 1 ㎛ 내지 약 20 ㎛ 범위인 중합체를 포함한다. 절연층은 사실상 일정한 두께를 갖는다.

<3> 본 발명의 다른 태양은 수동 전기 물품을 형성하는 방법을 제공한다. 일 실시예에서, 주 표면을 갖는 제1 전기 전도성 기판과, 제1 기판의 주 표면과 대향하는 주 표면을 갖는 제2 전기 전도성 기판과, 제1 기판의 주 표면과 제2 기판의 주 표면 중 적어도 하나 상의 전기 저항층과, 제1 및 제2 기판 사이에서 전기 저항층과 접촉하는 전기 절연층 - 상기 절연층은 두께가 약 1 ㎛ 내지 약 20 ㎛ 범위인 중합체를 포함하며 사실상 일정한 두께를 가짐 - 을 포함하는 라미네이트 구조를 제공하는 단계를 포함한다. 제1 기판, 제2 기판 및 저항층 중 적어도 하나를 회로화하여 저항기, 커패시터 및 인덕터 중 적어도 하나를 형성한다.

<4> 본 발명의 다른 태양은 회로화된 라미네이트 구조가 내부에 매립된 인쇄 회로를 제공한다. 일 실시예에서, 상기 라미네이트 구조는 주 표면을 갖는 제1 전기 전도성 기판과, 제1 기판의 주 표면과 대향하는 주 표면을 갖는 제2 전기 전도성 기판과, 제1 기판의 주 표면과 제2 기판의 주 표면 중 적어도 하나 상의 전기 저항층과, 제1 및 제2 기판 사이에서 전기 저항층과 접촉하는 전기 절연층 - 상기 절연층은 두께가 약 1 ㎛ 내지 약 20 ㎛ 범위인 중합체를 포함하며 사실상 일정한 두께를 가짐 - 을 포함한다.

실 시 예

<12> 하기의 상세한 설명에서, 본 명세서의 일부를 구성하며 본 발명이 실시될 수 있는 구체적인 실시예의 예시로서 도시된 첨부 도면을 참조한다. 이에 관하여, 방향에 관한 용어, 예컨대 "상부", "하부", "전방", "후방", "선단", "후단" 등은 설명되는 도면(들)의 배향과 관련하여 사용된다. 본 발명의 실시예의 구성요소들은 많은 상이한 배향으로 위치될 수 있기 때문에, 방향에 관한 용어는 예시를 위한 목적으로 사용되며 결코 제한적인 것이 아니다. 본 발명의 범주로부터 벗어남이 없이 다른 실시예가 이용될 수도 있으며 구조적 또는 논리적 변경이 이루어질 수도 있음을 이해하여야 한다. 그러므로, 하기의 상세한 설명은 제한적인 의미로 받아들여서는 아니 되며 본 발명의 범주는 첨부된 청구의 범위에 의해 한정된다.

<13> 본 발명은 커패시터, 저항기, 인덕터 또는 이들의 임의의 조합으로서 기능하도록 패터닝될 수 있으며 회로의 구성요소로서, 예컨대 인쇄 회로 보드(PCB) 또는 연성 회로(연성 회로는 PCB의 일 유형임) 내에 매립 또는 집적될 수 있는 수동 전기 물품에 관한 것이다. 또한, 수동 전기 물품 자체가 소정의 변형에 의해 전기 회로로서 기능할 수 있다.

<14> 수동 전기 물품

<15> 본 발명의 수동 전기 물품의 일 실시예는 주 표면을 갖는 제1 전기 전도성 기판, 제1 기판의 주 표면과 대향하는 주 표면을 갖는 제2 전기 전도성 기판, 제1 기판의 주 표면과 제2 기판의 주 표면 중 적어도 하나의 표면 상의 전기 저항층, 및 제1 및 제2 기판 사이에서 전기 저항층과 접촉하는 전기 절연층을 포함한다. 제1 기판, 제2 기판, 저항층 및 절연층은 커패시터, 저항기, 인덕터 및 이들의 조합을 포함하는 수동 요소를 형성하도록 선택적으로 패터닝된다. 본 발명에 따라 커패시터, 저항기, 인덕터 또는 이들의 임의의 조합으로서 기능하는 수동 전기 물품에 대한 가능한 적용예는 다양하며, 원하는 커패시턴스, 저항 및 인덕턴스의 범위는 의도한 적용예에 따라 달라진다.

<16> 도 1A 내지 도 1C는 커패시터, 저항기, 인덕터 또는 이들의 임의의 조합으로서 기능할 수 있는 본 발명에 따른

수동 전기 물품(10a, 10b, 10c)의 예시적인 실시예를 각각 도시한다. 도 1A를 참조하면, 수동 전기 물품(10a)은 제1 기판(12a), 전기 저항층(14a), 전기 절연층(16a) 및 제2 기판(18a)의 라미네이트를 포함한다. 도 1B를 참조하면, 수동 전기 물품(10b)은 수동 전기 물품(10a)과 유사하게 구성되지만, 라미네이트 내에 (상이한 저항의 것일 수 있는) 추가의 전기 저항을 포함하여 저항층이 두 기판에 인접하게 위치된다. 특히, 수동 전기 물품(10b)은 제1 기판(12b), 전기 저항층(14b), 전기 절연층(16b), 제2 전기 저항층(14b') 및 제2 기판(18b)을 포함한다. 이제 도 1C를 참조하면, 수동 전기 물품(10c)은 수동 전기 물품(10a)과 유사하게 구성된다. 특히, 수동 전기 물품(10c)은 제1 기판(12c), 전기 저항층(14c), 전기 절연층(16c) 및 제2 기판(18c)을 포함한다. 절연층(16c)은 도 1D에서 확대되어 도시된 바와 같이 중합체(22) 내의 복수의 입자(20)를 포함한다. 입자(20)는 서로 접촉하거나 그렇지 않을 수도 있으며, 원하는 최종 적용예에 따라 미리 설정된 방식으로, 예컨대 균일하거나 무작위적으로 배열될 수 있다. 일 실시예에서 입자(20)는 그 형상이 사실상 구형(spherical)이며, 다른 실시예에서 입자(20)는 구형이 아닌 다른 형상을 갖는다. 일 실시예에서 입자(20)는 일정한 형상과 크기를 가지며, 다른 실시예에서 입자(20)는 일정하지 않은 형상 및/또는 크기를 갖는다.

<17> 설명의 명확함과 용이함을 위하여, 달리 특별하게 언급되지 않는 한, 수동 전기 물품(10a, 10b, 10c), 제1 기판(12a, 12b, 12c), 저항층(14a, 14b, 14b', 14c), 절연층(16a, 16b, 16c) 및 제2 기판(18a, 18b, 18c)은 본 명세서에서 일반적으로 수동 전기 물품(10), 제1 기판(12), 저항층(들)(14), 절연층(16) 및 제2 기판(18)으로 지칭될 것이다.

<18> 수동 전기 물품(10)이 커패시터, 저항기, 인덕터 또는 이들의 임의의 조합으로서 기능할 수 있도록, 제1 기판(12)과 제2 기판(18)은 전도성이다. 대안적으로, 적어도 제1 기판(12)의 주 표면(24)과 제2 기판(18)의 주 표면(26)이 전도성이다. 저항층(14)이 또한 전기 전도성이지만, 인접한 제1 또는 제2 기판(12, 18) 각각보다는 덜 전기 전도성이다. 제1 및 제2 기판(12, 18)과 저항층(14) 간의 전기 전도성의 차이는 재료 특성 및/또는 치수의 차이에 기인할 수 있다. 일 실시예에서, 제2 기판(18)은 수동 전기 물품을 포함하는 라미네이트 내에 처음부터 포함되지 않으며, 대신에 제2 기판은 수동 전기 물품이 그에 결합되는 인쇄 회로의 층을 포함한다. 도 1A 내지 도 1C의 각각의 실시예에서, 절연층(16)은 사실상 일정한 두께를 갖는다. 일 실시예에서, 제1 기판(12), 제2 기판(18), 저항층(14) 및 절연층(16) 각각은 사실상 일정한 두께를 갖는다.

<19> 도 1A 내지 도 1C에서, 수동 전기 물품(10)이 저항기를 형성하도록 패터닝된 때, 전류가 저항층(14)의 평면 내에서 저항층(14)을 통해 흐른다. 전류 입력 및 출력 접촉 패드들(도시 안됨)은 제1 기판(12) 내에 형성되며, 전류는 접촉 패드들 사이로 흐른다. 저항층(14)이 또한 제2 기판(18)에 인접하게 제공되는 경우, 저항기는 물품의 제2 면 상에 유사하게 형성될 수 있다. 수동 전기 물품(10)이 커패시터를 형성하도록 패터닝된 때, 대향하는 용량성 판(capacitive plate)들(도시 안됨)이 제1 기판(12)과 제2 기판(18) 내에 형성된다. 몇몇 실시예에서, 역시 전도성이지만 기판(12, 18)보다는 덜 전도성인 저항층(들)(14)이 패터닝된 기판(12, 18)의 에지를 넘어서 용량성 판을 연장시킬 수 있다. 수동 전기 물품(10)이 인덕터를 형성하도록 패터닝된 때, 입력 및 출력 접점들(도시 안됨)을 갖는 코일형 구조체가 기판(12, 18) 중 하나 또는 둘 모두에 형성된다.

<20> 도 1A 내지 도 1C에 도시된 수동 전기 물품(10)의 층들은 분리, 탈층(delamination) 또는 응집 파괴(cohesive failure)에 대한 저항력을 갖는다. 일 실시예에서, 90도 박리각에서 수동 전기 물품(10)의 층들을 분리하거나 층들 중 임의의 층의 응집 파괴를 유도하는 데에 필요한 힘은, 전자 회로 접속 및 조합 학회(Institute for Interconnecting and Packaging Electronic Circuits)에 의해 발행된 1988년 10월자 IPC 시험 방법 안내서, IPC-TM-650, 시험 번호 2.4.9에 따라 측정할 때, 약 0.5 kN/m(약 3 lb/in) 초과, 바람직하게는 0.7 kN/m(4 lb/in) 초과, 더 바람직하게는 1 kN/m(6 lb/in) 초과이다. 이 힘은 수동 전기 물품(10)을 포함하는 라미네이트 내의 임의의 인접한 층들, 예컨대 기판(12, 18)을 인접한 절연층(16)으로부터, 기판(12, 18)을 인접한 저항층(14)으로부터 또는 절연층(16)을 인접한 저항층(14)으로부터 분리하거나, 기판(12, 18), 저항층(14) 또는 절연층(16) 내의 응집 파괴를 유도하는 데에 필요하다.

<21> 일 실시예에서, 물품(10)의 커패시턴스 밀도는 약 0.16 nF/㎠(1 nF/in^2) 초과, 바람직하게는 약 0.62 nF/㎠(4 nF/in^2) 초과, 더 바람직하게는 약 1.55 nF/㎠(10 nF/in^2) 초과이다.

<22> 기판

<23> 수동 전기 물품(10)의 기판(12, 18)은 단일 층 또는 복수의 층, 예컨대 라미네이트를 포함할 수 있다. 기판(12, 18)은 흑연; 복합재, 예컨대 중합체 매트릭스 내의 은 입자; 금속, 예컨대 구리 또는 알루미늄; 이들의 조합 또는 이들의 라미네이트를 포함할 수 있다. 다층 기판의 일례는 폴리이미드 상의 구리를 포함한다. 제1 및

제2 기판(12, 18)은 그 재료 및 구성이 동일하거나 상이할 수 있다.

<24> 본 발명에 따르면, 기판(12, 18) 중 적어도 하나는 자립형(self-supporting) 기판이다. 본 명세서에 사용되는 바와 같이, "자립형 기판"이라는 용어는 기판이 지지용 캐리어(carrier) 없이도 코팅 및 취급될 수 있도록 충분한 구조적 완전성을 갖는 기판을 지칭한다. 기판(12, 18)은 연성인 것이 바람직하지만, 강성 기판 역시 사용될 수 있다. 일 실시예에서, 기판(12, 18)의 두께는 대략 5 내지 80 ㎛, 더 바람직하게는 대략 10 내지 40 ㎛ 범위이다. 높은 열 부하(thermal load)를 확산시키거나 높은 전류를 취급하는 능력을 필요로 할 때, 더 큰 범위의 두께, 예컨대 대략 70 ㎛ 이상의 두께를 갖는 기판이 바람직하다.

<25> 전형적으로, 전기 저항층(14)과 접촉하는 제1 기판(12)의 주 표면(24)은 전기 전도성이며, (도 1A의) 전기 절연층(16) 또는 (도 1B의) 전기 저항층(14)과 접촉하는 제2 기판(18)의 주 표면(26) 역시 전기 전도성이다. 예를 들어, 커플링제, 예컨대 작용기로 말단화된 실란과의 반응 또는 산화에 의해 이들 주 표면(24, 26)에 재료를 부가하는 표면 처리가 인접한 층들 사이의 점착을 증진시키도록 사용될 수 있다. 기판(12, 18)의 주 표면(24, 26) 상에 생성된 재료 자체가 반드시 전도성일 필요는 없을 수도 있다. 구체적으로, 주 표면이 절연층(16)과 접촉하는 경우(저항층(14)과는 접촉하지 않음), 주 표면 상의 재료는 전도성일 필요가 없는데, 이는 기판 자체가 전도성이라면 커패시터가 형성될 수 있기 때문이다.

<26> 일 실시예에서, 제1 및 제2 기판(12, 18)의 주 표면(24, 26)의 평균 표면 조도는 약 10 ㎚ 내지 약 300 ㎚, 바람직하게는 10 ㎚ 내지 100 ㎚, 더 바람직하게는 10 ㎚ 내지 50 ㎚ 범위이다. 전기 절연층(16) 두께가 1 ㎛ 이하인 경우, 평균 표면 조도는 10 ㎚ 내지 50 ㎚ 범위인 것이 바람직하다. 평균 표면 조도의 RMS는 평균 $[(z_1)^2 + (z_2)^2 + (z_3)^2 + \ldots (z_n)^2]/n$의 제곱근을 취함으로써 측정되며, 여기서 z는 기판 표면 평균치 위 또는 아래로의 거리이고, n은 측정된 지점의 개수로서 1000 이상이다. 측정된 면적은 0.2 ㎟ 이상이다. 바람직하게는, 어떠한 z_n도 전기 절연층 또는 전기 저항층의 두께의 절반을 초과하지 않는다.

<27> 기판이 금속인 때, 금속은 바람직하게는 전기 절연층(16)을 경화시키기 위한 온도 이하인 어닐링 온도를 가지며, 또는 금속은 전기 절연층(14)이 코팅되기 전에 어닐링된다.

<28> 바람직한 기판은 구리이다. 예시적인 구리는 독일 뉘른베르크 소재의 칼 쉬렌크, 아게(Carl Schlenk, AG)로부터 또는 미국 코네티컷주 워터베리 소재의 올린 코포레이션의 서머즈 씬 스트립/브래스 그룹(Olin Corporation's Somers Thin Strip/Brass Group)으로부터 입수가능한 구리 포일을 포함한다.

<29> 전기 저항층

<30> 수동 전기 물품(10)의 전기 저항층(들)(14)은 고저항(high-ohmic) 재료의 얇은 필름을 포함한다. 예시적인 고저항 재료는 니켈-크롬(NiCr), 니켈-크롬-알루미늄-규소(NiCrAlSi), 니켈-인(NiP), 또는 도핑된 전도성 재료, 예컨대 도핑된 백금을 포함하지만, 이에 한정되지 않는다. 일 실시예에서, 저항층(들)(14)은 높은 투자율(magnetic permeability)을 갖는 재료, 예를 들면 페라이트 재료, 니켈-철 합금, 예컨대 퍼멀로이(permalloy), 규소강 또는 코발트 합금으로부터 형성된다. 10 초과의 상대 투자율(relative permeability)을 갖는 재료가 바람직하며, 수동 물품이 인덕터를 형성하도록 패터닝된 때 더 큰 인덕턴스를 제공하도록 100 초과의 상대 투자율을 갖는 재료가 더욱 바람직하다. 일 실시예에서, 저항층(들)(14)의 두께는 약 2 ㎛ 미만이다. 일 실시예에서, 저항층(들)(14)의 저항은 약 25 Ohm/Sq 초과, 바람직하게는 약 250 Ohm/Sq 초과, 더 바람직하게는 약 500 Ohm/Sq 초과이다.

<31> 일 실시예에서, 저항층(들)(14)은 스퍼터링(sputtering), 물리적 증착(physical vapor deposition), 화학적 증착(chemical vapor deposition), 전기도금(electroplating), 또는 저항층(들)(14)과 기판(12, 18)의 특정 재료에 적합한 당업계에 공지된 임의의 다른 적합한 방법에 의해 기판(12, 18) 중 하나 또는 둘 모두의 상에 제공된다. 구리 기판 상의 적합한 저항층은, 상표명이 TCR 및 TCR+인 미국 애리조나주 챈들러 소재의 굴드 일렉트로닉스 인크.(Gould Electronics Inc.)로부터의 것; 인사이트 매립형 저항기(INSITE Embedded Resistor)인 미국 매사추세츠주 말보로우 소재의 롬 앤 하스 일렉트로닉 머티리얼즈(Rohm & Haas Electronic Materials)로부터의 것; 및 오메가-플라이 저항기-컨덕터 재료(Ohmega-Ply Resistor-Conductor Material)인 미국 캘리포니아주 컬버 시티 소재의 오메가 테크놀로지스, 인크.(Ohmega Technologies, Inc.)로부터의 것인 집적된 얇은 필름 저항기를 가진 구리 기판을 포함한다.

<32> 절연층(16)과 경계를 이루는 저항층(들)(14)의 표면(30)은 전술한 바와 같은 제1 및 제2 기판(12, 18)의 주 표

면(24, 26)과 유사한 표면 조도 특징을 가질 것이다. 특히, 일 실시예에서, 표면(30)의 평균 표면 조도는 약 10 nm 내지 약 300 nm, 바람직하게는 10 nm 내지 100 nm, 더 바람직하게는 10 nm 내지 50 nm 범위이다. 전기 절연층(16) 두께가 1 ㎛ 이하인 경우, 평균 표면 조도는 10 nm 내지 50 nm 범위인 것이 바람직하다. 평균 표면 조도의 RMS는 전술한 바와 같이 측정된다.전기 절연층

<33> 하나 이상의 층을 그 자체가 포함할 수 있는 수동 전기 물품(10)의 전기 절연층(16)은 중합체를 포함한다. 바람직하게는, 전기 절연층(16)은 중합체와 복수의 입자를 포함하며, 수지와 입자의 블렌드로부터 제조된다.

<34> 전기 절연층(16)은, 기판 재료(12, 18)와 저항층(들)(14)의 표면 조도와 관련하여, 인접한 층들(즉, 기판 또는 저항층)을 절연층(16)으로부터 분리하는 데에 전술한 바와 같은 힘을 필요로 하는 수동 전기 물품을 제공하도록 선택된다.

<35> 전기 절연층(16)에 적합한 수지는 에폭시, 폴리이미드, 폴리비닐리덴 플루오라이드, 시아노에틸 풀루란, 벤조사이클로부텐, 폴리노르보르넨, 폴리테트라플루오로에틸렌, 아크릴레이트, 폴리페닐렌 옥사이드(PPO), 시아네이트 에스테르, 비스말레이미드 트라이아진(BT), 알릴화 폴리페닐렌 에테르(APPE) 및 그 블렌드를 포함한다. 본 발명과 공동으로 양도되고 전체적으로 참고로 포함된 미국 특허 공개 제2004/0222412호에 설명된 유기 중합체가 절연층(16)에 적합한 재료의 추가 예이다.

<36> 구매가능한 에폭시는 미국 텍사스주 휴스턴 소재의 레졸루션 퍼포먼스 프로덕츠(Resolution Performance Products)로부터 상표명 에폰(EPON) 1001F 및 에폰 1050으로 입수가능한 것을 포함한다. 바람직하게는, 수지는 전형적인 솔더 리플로우(solder reflow) 작업에서 직면하게 되는, 예를 들어 약 180 내지 약 290℃ 범위의 온도를 견딜 수 있다. 이들 수지는 전기 절연층 또는 전기 전도층을 형성하도록 건조 또는 경화될 수 있다.

<37> 예시적인 블렌드는 에폭시의 블렌드, 바람직하게는 비스페놀 A의 다이글리시딜에테르 및 노볼락 에폭시의 블렌드, 예를 들어 수지의 총 중량을 기준으로 90 내지 70 중량%의 EPON 1001F 및 10 내지 30 중량%의 EPON 1050의 블렌드를 포함한다.

<38> 입자가 존재할 때, 입자는 유전성(또는 절연성) 입자 또는 전도성 입자 또는 이들의 혼합물이다. 입자 분포는 무작위적이거나 규칙적일 수 있다. 전형적으로, 절연층 내의 입자는 유전성 또는 절연성 입자를 포함한다. 그러나, 수지 및 입자 블렌드의 전체적인 효과가 절연성이라면 입자의 혼합물이 적합하다.

<39> 예시적인 유전성 또는 절연성 입자는 티탄산바륨, 티탄산바륨스트론튬, 산화티타늄, 납 지르코늄 티타네이트, 및 그 혼합물을 포함한다. 구매가능한 티탄산바륨은 일본 도쿄 소재의 니폰 케미칼 인더스트리얼 컴퍼니(Nippon Chemical Industrial Co.)로부터 상표명 AKBT로 입수가능하다.

<40> 입자는 임의의 형상일 수 있으며, 일정하거나 또는 일정하지 않은 형상을 가질 수 있다. 예시적인 형상은 구, 팔레트(platelet), 입방체, 바늘, 편원(oblate), 편구(spheroid), 피라미드, 프리즘, 플레이크(flake), 봉, 판, 섬유, 칩(chip), 휘스커(whisker) 및 이들의 혼합을 포함한다.

<41> 입자 크기, 즉 입자의 최소 치수는 전형적으로 약 0.05 내지 약 10 ㎛, 바람직하게는 0.05 내지 5 ㎛, 더 바람직하게는 0.05 내지 2 ㎛ 범위이다. 바람직하게는, 입자는 적어도 2개에서 3개의 입자가 전기 절연층 두께 내에서 수직하게 쌓일 수 있는 크기를 갖는다. 전기 절연층의 두께보다 약간 큰 입자 크기를 갖는 비교적 큰 입자는 개별 입자들이 절연층의 양면 상의 층들 사이의 간극을 메우게 할 수 있어 바람직하지 못하다. 적층 동안, 이들 비교적 큰 입자는 입자-기판 경계면 또는 입자-저항층 경계면에서의 "와이핑"(wiping) 작용과 표면 변형으로 이어지는 압축력을 야기할 것이며, 이에 의해 표면 산화물 층이 제거될 수도 있다.

<42> 중합체 내의 입자의 로딩율(loading of particle)은 전기 절연층의 전체 부피를 기준으로 전형적으로 20 내지 70 부피%, 바람직하게는 30 내지 60 부피%, 더 바람직하게는 40 내지 50 부피%이다.

<43> 일 실시예에서, (하나 이상의 층을 포함하는) 전기 절연층(16)의 두께는 약 1 내지 약 20 ㎛ 범위이다. 다른 실시예에서, 전기 절연층(16)의 두께는 약 8 내지 약 16 ㎛ 범위이다.

<44> 일 실시예에서, 절연층(16)의 유전 상수는 약 4 초과, 바람직하게는 약 11 초과, 더 바람직하게는 약 15 초과이다.

<45> 일 실시예에서, 절연층(16)의 열 전도도는 약 0.2 W/m-K 초과, 바람직하게는 약 0.35 W/m-K 초과, 더 바람직하게는 약 0.5 W/m-K 초과이다.

<46> 수동 전기 물품의 제조 방법

<47> 본 발명에 따른 수동 전기 물품(10)의 제조 방법은 부스러기 또는 화학흡착되거나 흡착된 재료가 사실상 없는 주 표면(24)을 갖는 제1 기판(12)을 제공하는 단계와, 적어도 제1 기판(12)의 주 표면(24) 상에 저항층(14)을 제공하는 단계를 포함한다. 저항층(14)은 스퍼터링, 물리적 또는 화학적 증착, 전기도금, 또는 당업계에 공지된 임의의 다른 적합한 방법에 의해 주 표면(24) 상에 제공될 수 있다. 수지를 포함하는 블렌드가 제공되어 저항층(14)의 표면(30) 상으로 코팅되며, 제2 기판(18)의 주 표면(26)이 블렌드에 적층된다. 그 후, 블렌드는 경화 또는 건조된다. 대안적으로, 블렌드는 제2 기판(18)의 주 표면(26) 상에 코팅될 수 있으며, 제2 기판(18)의 블렌드-코팅된 표면(26)이 제1 기판(12) 상의 저항층(14)의 표면(30)에 적층될 수 있다. 대안적으로, 블렌드는 저항층(14)의 표면(30) 상에 그리고 제2 기판(18)의 주 표면(26) 상에 코팅될 수 있으며, 블렌드-코팅된 표면(30, 26)이 함께 적층될 수 있다. 수동 전기 물품(10)을 제조하는 상기 방법의 결과가 도 1C에 도시된 실시예라는 것을 알 것이다. 다른 실시예에서, 저항층(14)은 또한 제2 기판(18)의 주 표면(26) 상에 제공될 수 있으며, 그리고/또는 상이한 재료가 절연층(16)을 형성하는 데 사용되어 도 1A 또는 도 1B의 수동 전기 물품을 형성할 수 있다.

<48> 기판(12, 18)에는 전기 저항층(14) 및 전기 절연층(16)과의 점착을 최대화하기 위하여 부스러기 또는 화학흡착되거나 흡착된 재료가 사실상 없는 것이 바람직하다. 이는, 예를 들어 기판 표면(24, 26) 상의 잔류 유기물의 양을 감소시키고 기판 표면(24, 26)으로부터 부스러기를 제거함으로써 달성된다. 예시적인 방법은 이하 설명되는 바와 같은 표면 처리를 포함한다.

<49> 본 발명의 단계들은 제1 및 제2 기판(12, 18)으로서의 구리 포일, 저항층(14)으로서의 도핑된 백금, 및 에폭시와 티탄산바륨 입자로부터 형성된 전기 절연층(16)과 관련하여 추가로 상세하게 설명된다.

<50> 제1 및 제2 기판(12, 18)을 위해 구리 포일이 제공된다. 제1 기판(12)의 구리 포일은 도핑된 백금 저항층(14)(미국 매사추세츠주 말보로우 소재의 롬 앤 하스 일렉트로닉 머티리얼즈로부터의 인사이트 저항기 재료(INSITE Resistor Material))으로 미리 코팅된다. 유기 부식 방지제(예를 들어, 벤조트라이아졸 유도체) 및/또는 압연 공정으로부터의 잔류 오일과 같은 물질이 그들의 노출 표면 상에 존재할 수도 있는 구리 포일 기판(12, 18) 및 도핑된 백금 저항층(14)은, 예를 들어 제1 구리 포일 기판(12) 상의 도핑된 백금 저항층(14)의 표면(30)과 전기 절연층(16) 사이에서 그리고 또한 제2 구리 포일 기판(18)의 표면(26)과 절연층(16) 사이에서 양호한 점착을 보장하기 위하여 표면 처리를 받게 된다. 제거는 예를 들어 구리 포일 기판 및/또는 도핑된 백금 저항층을 아르곤-산소 플라즈마 또는 공기 코로나로 처리함으로써 수행될 수 있거나, 당업계에서 잘 이해되는 바와 같이 습식 화학 처리가 사용될 수 있다. 구리 포일 기판 및 도핑된 백금 저항층의 노출 표면들에 점착된 미립자들은 미국 콜로라도주 보울더 소재의 웹브 시스템즈 인크.(Web Systems Inc.)로부터 상표명 울트라클리너(ULTRACLEANER)로 구매가능한 초음파/진공 웹브 세척 장치를 사용하여 제거될 수 있다. 바람직하게는, 구리 포일 및 저항층은 단락된 커패시터와 같은 단락된 물품 또는 불균일한 코팅을 초래할 수도 있는 가능한 코팅 문제점 및 코팅 결함을 피하기 위하여 이러한 표면 처리 단계 동안에 긁히거나 덴트(dent)가 형성되거나 굴곡되지 않는다.

<51> 절연층(16)을 위해 사용되는 블렌드는 에폭시와 같은 수지, 선택적으로 티탄산바륨과 같은 복수의 유전성 또는 절연성 입자들, 그리고 선택적으로 촉매를 제공함으로써 제조될 수 있다. 제조 공정으로부터 기인하는 입자들 상의 흡착된 물 또는 잔류 물질, 예컨대 탄산염은 사용 전에 입자들의 표면으로부터 제거될 수 있다. 제거는 소정 시간 동안 특정 온도에서, 예를 들어 15 시간 동안 350℃에서 입자들을 공기 중에서 가열함으로써 달성될 수 있다. 가열 후에, 입자들은 블렌드에 사용하기 전에 데시케이터(dessicator)에 보관될 수 있다.

<52> 티탄산바륨 입자와 에폭시의 블렌드는 다음과 같이 제조될 수 있다. 티탄산바륨 입자는 먼저 분산제를 함유하는 케톤 용매와 혼합된다. 통상의 혼합 장비는 프로펠러 교반기일 수 있다. 성분들의 중량비는 전형적으로 85%의 티탄산바륨, 13.5%의 용매, 및 1.5%의 분산제이다. 분산을 완전하게 하고 덩어리를 부수기 위하여, 혼합물은 미국 위스콘신주 레이크 밀스 소재의 APV에 의해 판매되는 가울린 균질화기(Gaulin homogenizer)와 같은 균질화기에 의해 분쇄될 수 있다. 농축 분산액은 분산되지 않은 입자를 제거하기 위해 여과된다. 전형적으로, 연속 필터들 중 최종 필터는 10 미크론 절대 필터(absolute filter)이다. 이러한 여과된 농축 분산액은 후속적으로 에폭시 중합체 용액 및 기타 첨가제와 혼합되어 코팅에 적합한 분산 블렌드를 생성할 수 있다. 바람직하게는, 최종 코팅 분산액은 코팅 작업 직전에 다시 여과된다.

<53> 블렌드는 분산제, 바람직하게는 비이온성 분산제와 같은 첨가제와, 용매를 함유할 수 있다. 분산제의 예로는, 예를 들어 영국 맨체스터 소재의 아베시아 피그먼츠 앤드 애더티브즈(Avecia Pigments & Additives)로부터 상표명 솔스퍼스(SOLSPERSE) 24000으로 구매가능한 폴리에스테르와 폴리아민의 공중합체를 들 수 있다. 용매의 예로는, 예를 들어 미국 위스콘신주 밀워키 소재의 알드리치 케미칼(Aldrich Chemical)로부터 모두 구매가능한 메

틸 에틸 케톤 및 메틸 아이소부틸 케톤을 들 수 있다. 바람직한 시스템에서, 기타 첨가제는 요구되지 않지만, 점도를 변경하거나 평탄한 코팅을 생성하기 위한 제제와 같은 부가적인 성분들이 사용될 수 있다.

<54> 촉매 또는 경화제가 블렌드에 첨가될 수도 있다. 촉매 또는 경화제가 사용된다면, 촉매 또는 경화제는 코팅 단계 전에 첨가될 수 있다. 바람직하게는, 촉매 또는 경화제는 코팅 단계 직전에 첨가된다.

<55> 예시적인 촉매로는 아민 및 이미다졸을 들 수 있다. 염기성 표면, 즉 pH가 7 초과인 표면을 갖는 입자가 존재하지 않는다면, 이때 예시적인 촉매는 설포늄 염과 같이 산성 화학종, 즉, pH가 7 미만인 화학종을 생성하는 것을 포함할 수 있다. 구매가능한 촉매는 미국 위스콘신주 밀워키 소재의 알드리치 케미칼로부터 구매가능한 2,4,6-트리스(다이메틸아미노메틸)페놀이다. 전형적으로, 촉매는 수지의 중량을 기준으로 약 0.5 내지 약 8 중량%, 바람직하게는 0.5 내지 1.5 % 범위의 양으로 사용된다. 2,4,6-트리스(다이메틸아미노메틸)페놀이 사용될 때, 수지의 중량을 기준으로 한 중량%는 바람직하게는 0.5 내지 1 %이다.

<56> 예시적인 경화제로는 폴리아민, 폴리아미드, 폴리페놀 및 이들의 유도체를 들 수 있다. 구매가능한 경화제는 미국 델라웨어주 윌밍턴 소재의 이. 아이. 듀퐁 드 네모아 컴퍼니(E. I. DuPont de Nemours Company)로부터 구매가능한 1,3-페닐렌다이아민이다. 전형적으로, 경화제는 수지의 중량을 기준으로 약 10 내지 약 100 중량%, 바람직하게는 10 내지 50 중량% 범위의 양으로 사용된다.

<57> 세척되어진 도핑된 백금 저항층(14)의 표면(30)과 세척된 구리 포일 기판(18)의 표면(26)은 임의의 적합한 방법, 예를 들어 그라비어 코터(gravure coater)를 사용하여 블렌드로 코팅된다. 바람직하게는, 코팅은 오염을 최소화하기 위하여 청정실에서 수행된다. 코팅의 건조 두께는 블렌드에서의 고형물 퍼센트, 그라비어 롤과 코팅 기판의 상대 속도, 및 사용된 그라비어의 셀(cell) 부피에 따른다. 전형적으로, 약 0.5 내지 약 10 ㎛ 범위의 건조 두께를 달성하기 위하여, 고형물 퍼센트는 20 내지 60 중량% 범위에 있다. 코팅은 코터의 오븐 내에서 전형적으로 약 100℃ 미만의 온도에서 무점착(tack-free) 상태까지 건조되는데, 바람직하게는 코팅은 약 30℃의 온도로 시작하여 약 100℃로 종료하는 단계들에서 건조되고 나서, 롤 상으로 권취된다. 보다 높은 최종 건조 온도, 예컨대 최대 약 200℃가 사용될 수 있지만, 필요하지는 않다. 일반적으로, 건조 단계 중에 매우 적은 가교결합이 일어나는데, 그 목적은 주로 가능한 한 많은 용매를 제거하기 위한 것이다. 보유된 용매는 코팅이 롤 상에 보관될 때의 블로킹(blocking)(즉, 원치 않는 중간층 점착)과, 라미네이트에 대한 불량한 점착으로 이어지게 할 수도 있다.

<58> 결함을 피하기 위한 코팅 기술은 코팅 혼합물의 인라인(in-line) 여과 및 탈기(deaeration)(공기 기포를 제거하기 위함)를 포함한다. 하나의 구현예에서, 경화를 필요로 하는 수지가 사용된다면, 전기 절연층으로 코팅된 2개의 기판을 적층하기 전에, 전기 절연층들 중 적어도 하나는 바람직하게는 공기 중에서 부분적으로 경화된다. 특히, 기판의 점착은 적층 전에 코팅을 열처리함으로써 개선될 수 있다. 열처리 시간은 특히 고온에서 바람직하게는 짧은데, 예를 들어 약 10 분 미만이다.

<59> 전기 절연층-코팅된 표면(26, 30)들의 적층은 절연 코팅을 상부에서 갖는 기판(12, 18)들 중 하나 또는 둘 다를 라미네이터에 도달하기 전에 오븐을 통해 예를 들어 적층 온도 미만인 약 5 내지 25℃ 범위의 온도로 보냄으로써 수행된다. 바람직하게는, 전기 절연층은 적층 동안에 어떠한 것과도 접촉해서는 안 되며, 적층은 청정실 내에서 이루어져야 한다. 본 발명의 수동 전기 물품을 제조하기 위하여, 코팅된 기판들은 약 150 내지 약 200℃ 범위, 바람직하게는 약 150℃의 온도로 가열된 2개의 닙 롤러를 갖는 라미네이터를 사용하여, 전기 절연층 대 전기 절연층으로 적층된다. 적합한 공기 압력은 바람직하게는 34 kPa(5 psi) 내지 280 kPa(40 psi) 범위, 바람직하게는 100 kPa(15 psi)의 압력으로 라미네이터 롤로 공급된다. 롤러 속도는 임의의 적합한 값으로 설정될 수 있으며, 바람직하게는 0.5 ㎝/sec(12 in/min) 내지 3.0 ㎝/sec(72 in/min), 더욱 바람직하게는 0.64 ㎝/sec(15 in/min) 내지 1.5 ㎝/sec(36 in/min)의 범위이다. 이러한 공정은 또한 배치(batch) 방식으로 수행될 수 있다.

<60> 적층된 재료는 요구되는 길이의 시트(sheet)로 절단되거나 적합한 코어 상으로 권취될 수 있다. 일단 적층이 완료되면, 바람직한 청정실 설비는 더 이상 필요치 않다.

<61> 수지가 경화를 필요로 할 때, 적층된 재료는 이어서 경화된다. 예시적인 경화 온도는 약 140 내지 약 200℃, 바람직하게는 160 내지 190℃ 범위의 온도를 포함하고, 예시적인 경화 시간은 약 60 내지 약 180 분, 바람직하게는 60 내지 100 분 범위의 기간을 포함한다.

<62> 도핑된 백금 저항층(14)의 표면(30)과 구리 포일(18)의 표면(26)에 대한 전기 절연층(16)의 점착은, 금속이 코팅 시에 충분히 연성이거나 적층 및/또는 경화 동안에 연화된다면, 즉 포일 및/또는 저항층이 코팅 전에 어닐링되거나 후속 처리 동안에 어닐링된다면 향상될 수 있다. 어닐링은 코팅 단계 전에 가열함으로써, 또는 금속 어

닐링 온도가 수지의 경화 온도이거나 그 미만인 경우에는 경화 또는 건조 단계의 결과로서 달성될 수도 있다. 경화 또는 건조 및 적층이 일어나는 온도보다 낮은 어닐링 온도를 갖는 금속 기판을 사용하는 것이 바람직하다. 어닐링 조건은 사용된 금속 기판에 따라 변할 것이다. 바람직하게는, 구리의 경우에, 상기 공정의 이러한 단계들 중 어느 단계에서도, 금속 기판은 약 75 kg/㎟ 미만의 10 g 하중을 사용하여 비커스 경도(Vickers hardness)를 얻는다. 이러한 경도를 달성하기 위한 구리에 대한 바람직한 온도 범위는 약 100 내지 약 180℃, 더욱 바람직하게는 120 내지 160℃의 범위이다.

<63> 본 발명의 수동 전기 물품이 제조됨에 따라 기능적일 수 있지만, 수동 전기 물품은 예를 들어 측방향 전도성을 제한하기 위하여 별개의 섬(island) 또는 제거된 영역을 형성하도록 이하에서 기술되는 바와 같이 바람직하게는 패터닝될 수 있다. 패터닝된 수동 전기 물품은 이하에서 기술되는 바와 같이 회로 물품 자체로서 또는 회로 물품 내의 구성요소로서 사용될 수 있다.

<64> 패터닝

<65> 저항기, 커패시터 및 인덕터 요소는 제1 기판(12), 제2 기판(18) 또는 저항층(14)을 패터닝함으로써 생성될 수 있다. 저항기, 커패시터 또는 인덕터 요소를 연결하는 것을 포함한 회로 트레이스, 관통 구멍 접점 패드 및 관통 구멍 간극(이 경우 전기 접속이 요구되지 않음)과 같은 기타 특징부들이 또한 제1 기판(12), 제2 기판(18), 저항층(14) 또는 절연층(16)을 패터닝함으로써 생성될 수 있다. "관통 구멍"이라는 문구의 사용은 예를 들어 관통 구멍, 매립된 비아(via) 및 블라인드(blind) 비아와 같은 모든 수직 상호접속 기하학적 형상부를 포함하기 위한 일반적인 용어로서 사용되고 있음을 알아야 한다.

<66> 당업계에서 공지된 임의의 적합한 패터닝 기술이 채용될 수 있다. 예를 들면, 수동 전기 물품의 패터닝은 당업계에서 잘 알려진 포토리소그래피 및/또는 레이저 제거(laser ablation)에 의해 수행될 수 있다.

<67> 기판(12, 18)의 포토리소그래피는 수동 전기 물품에 포토레지스트를 적용함으로써 수행될 수 있는데, 이어서 수동 전기 물품은 노출 및 현상되어 수동 전기 물품 상에 은폐된 기판 영역 및 노출된 기판 영역의 패턴을 형성한다. 그리고 나서, 기판을 화학적으로 침식하거나 식각하기 위하여 수동 전기 물품이 공지의 용액에 노출되면, 기판의 선택된 영역이 제거될 수 있다. 그리고 나서, 포토레지스트의 남은 영역들을 제거하기 위하여 수산화칼륨과 같은 박리제(stripping agent)가 채용된다. 이러한 공정은 회로 구조에 요구되지 않는 기판의 영역이 제거되게 한다.

<68> 기판(12) 및 저항층(14) 둘 모두가 제거될 영역에서는, 필요하다면 기판(12) 직후에 저항층(14)이 식각될 수 있다. 몇몇 저항성 재료의 경우에, 기판층(12) 및 저항층(14)에 대해 동일한 식각액(etchant)을 사용하는 것이 가능할 것이다.

<69> 저항층(14)을 패터닝하기 위하여 동일한 또는 유사한 포토리소그래피 공정이 수행될 수 있다. 저항층(14)의 포토리소그래피는 (기판(12)의 포토리소그래피에 의한 것과 같이) 저항층(14)의 일부분이 이미 노출된 수동 전기 물품에 포토레지스트를 적용함으로써 수행될 수 있다. 이러한 공정은 회로 구조에 요구되지 않는 저항층의 영역이 제거되게 한다. 바람직하게는, 기판(12, 18) 및 저항층(14)은 선택적으로 식각된다. 즉, 기판(12, 18)을 식각하기 위해 사용되는 용액은 저항층(14)을 식각하지 않으며, 저항층(14)을 식각하기 위해 사용되는 용액은 기판(12, 18)을 식각하지 않는다.

<70> 레이저 제거는 수동 전기 물품의 층들 중 임의의 층 또는 모든 층들로부터 재료를 선택적으로 열에 의해 제거하도록 레이저를 사용하여 수행될 수 있다. 포토리소그래피 및 레이저 제거는 조합으로 사용될 수도 있다.

<71> 전기 절연층(16)의 두께는, 절연층(16) 자체가 기판(12, 18)을 기계적으로 지지할 수 없기 때문에 본 발명의 수동 전기 물품이 얼마나 패터닝될 수 있는지를 제한할 수 있다. 기판(12, 18)들 중 적어도 하나가 수동 전기 물품을 항상 지지하도록 전극이 기판(12, 18) 내로 패터닝될 수도 있다. 수동 전기 물품의 제1 기판(12)이 패터닝되고 제2 기판(18)이 계속 (또는 패터닝되지 않은 채로) 남아 있을 수 있어, 수동 전기 물품은 "구조적 완전성"을 갖게 되는데, 즉 물품은 지지용 캐리어 없이 취급될 수 있고 자유 직립한 채로 남아 있게 된다. 전형적으로, 수동 전기 물품이 구조적 완전성을 갖는다면, 수동 전기 물품은 지지체의 사용없이 이중으로 패터닝되는데, 즉 양면에서 패터닝된다.

<72> 도 2A 내지 도 2M은 도 1A 또는 도 1C에 도시된 바와 같은 수동 전기 물품(10)으로부터 저항기를 형성하는 예시적인 포토리소그래피 공정에서의 단계들을 도시한다. 제1 전도성 기판(12), 전기 저항층(14), 전기 절연층(16), 및 제2 전도성 기판(18)의 라미네이트를 포함하는 수동 전기 물품(10)이 제공되며(도 2A), 전도성 기판(12, 18)에 포토레지스트(40)가 적용된다(도 2B). 포토레지스트(40)의 선택된 부분은 자외광에 대한 노출에 의

한 것처럼 노출되고(도 2C), 포토레지스트(40)는 포토레지스트의 노출되지 않은 부분(42)을 제거하기 위하여 현상된다(도 2D). 전도성 층(12, 18)의 드러난 부분을 식각하기 위해 제1 식각액이 사용되고(도 2E), 저항층(14)의 드러난 부분을 식각하기 위해 제2 식각액이 사용된다(도 2F). 그러나, 몇몇 저항성 재료의 경우에, 전도체 및 저항성 재료 둘 모두에 대해 동일한 식각액이 사용될 수 있음을 알아야 한다. 포토레지스트(40)는 물품으로부터 박리되고(도 2G), 새로운 포토레지스트(44)의 층이 현재 드러난 표면에 적용된다(도 2H). 새로운 포토레지스트(44)의 층이 선택적으로 노출되고(도 2I), 포토레지스트(44)는 포토레지스트의 노출되지 않은 부분(46)을 제거하기 위하여 현상된다(도 2J). 전도성 기판(12, 18)의 드러난 부분(본 예에서, 기판(12)의 일부분만이 드러나 있음)이 식각되어 2개의 별개의 전극(48, 50)을 형성하며(도 2K), 포토레지스트는 다시 박리된다(도 2L). 이제, 전도성 기판(12)의 전극(48, 50)들 사이에 저항기(52)가 형성된다. 마지막으로, 저항기(52)를 갖는 패터닝된 물품은 인쇄 회로 보드와 같은 인쇄 회로(54)로 적층된다(도 2M). 물품(10)의 전도성 기판(12, 18)은 유전성 재료(60)에 의해 인쇄 회로 보드(54)의 전도층(56, 58)으로부터 절연된다. 전극(48, 50)은 당업계에 공지된 바와 같이 전도성 비아(도시 안됨)에 의해 전도층(56, 58)에 선택적으로 연결될 수 있다.

<73> 전도성 기판 층(12, 18) 및 저항층(14)이 각각 식각되는 도 2E 및 도 2F가 다른 실시예에서는 전도성 기판 층(12, 18)이 식각되는 도 2K로 교체될 수도 있음을 알아야 한다. 추가 단계(예를 들어, 레지스트 점착의 향상을 위한 세척, 수분을 제거하기 위한 베이킹, 인접 유전체에 대한 외측 전도체 표면을 개선하기 위한 구리 표면 처리의 제공 등)들이 또한 공정의 적당한 위치에서 수행될 수 있다. 커패시터, 저항기, 인덕터 및 이들의 조합을 포함하는 상이한 유형의 수동 전기 소자들이 유사한 기술을 사용하여 형성될 수도 있다. 부수적으로, 저항기에 대해 정밀한 공차가 요구된다면, 레이저 트리밍과 같은 공정이 수행될 수 있다.

<74> 회로 물품

<75> 본 발명의 수동 전기 물품 자체는 일부 수정에 의해 회로 물품으로서 기능할 수 있다. 일례에서, 수동 전기 물품(10)은 패터닝될 수 있다. 본 예에서, 회로 물품은 본 발명의 수동 전기 물품(10)을 제공하고, 수동 전기 물품(10)을 전술한 바와 같이 패터닝하여 전기 접속용 접점을 제공함으로써 제조될 수 있다. 수동 전기 물품(10)의 어느 하나 또는 둘 모두의 기판(12, 18)은 제1 및 제2 기판(12, 18)의 각각의 표면에 대한 접근을 허용하고 관통 구멍 접점을 제공하도록 패터닝된다.

<76> 다른 실시예에서, 회로 물품은 본 발명의 수동 전기 물품(10)을 제공하는 단계, 적어도 하나의 전기 접점을 제공하는 단계, 및 접점을 수동 전기 물품(10)의 적어도 하나의 기판(12, 18)에 연결하는 단계를 포함하는 방법에 의해 제조될 수 있다.

<77> 본 발명의 수동 전기 물품은 예를 들어 인쇄 회로 보드 또는 연성 회로를 제조하기 위하여 하나 이상의 추가 층을 더 포함할 수도 있다. 추가 층(들)은 강성이거나 연성일 수도 있다. 예시적인 강성 층은 미국 뉴햄프셔주 프랭클린 소재의 폴리클래드(Polyclad)로부터 상표명 PCL-FR-226으로 구매가능한 유리섬유/에폭시 복합재, 세라믹, 금속, 또는 이들의 조합을 포함한다. 예시적인 가요성 층은 폴리이미드 또는 폴리에스테르와 같은 중합체 필름, 금속 포일, 또는 이들의 조합을 포함한다. 폴리이미드는 미국 델라웨어주 윌밍톤 소재의 이. 아이. 듀퐁 드 네모아 컴퍼니로부터 상표명 캅톤(KAPTON)으로 구매가능하며, 폴리에스테르는 미국 미네소타주 세인트 폴 소재의 쓰리엠 컴퍼니(3M Company)로부터 상표명 스카치파(SCOTCHPAR)로 구매가능하다. 이들 추가 층은 또한 층의 상부 상에 있는 또는 층 내에 매립된 전기 전도성 트레이스를 포함할 수도 있다. "전기 전도성 트레이스"라는 용어는 전류를 전달하도록 설계된 전도성 재료의 스트립 또는 패턴을 말한다. 전기 전도성 트레이스를 위한 적합한 재료의 예로는 구리, 알루미늄, 주석 땜납, 은 페이스트, 금, 및 이들의 조합을 들 수 있다.

<78> 본 실시예에서, 회로 물품을 제조하는 바람직한 방법은 본 발명의 수동 전기 물품을 제공하는 단계, 수동 전기 물품의 적어도 하나의 기판(12, 18)을 패터닝하는 단계, 추가 층을 제공하는 단계, 상기 층을 수동 전기 물품(10)에 부착하는 단계, 및 적어도 하나의 전기 접점을 수동 전기 물품의 적어도 하나의 기판(12, 18)에 제공하는 단계를 포함한다. 바람직하게는, 제2 추가 층이 제공되어 수동 전기 물품에 부착된다.

<79> 인쇄 배선 보드 및 연성 회로

<80> 본 발명의 수동 전기 물품은 인쇄 회로 보드 또는 연성 회로에서, 커패시터, 저항기, 인덕터 또는 이들의 임의의 조합으로서 기능하는 구성요소로서 사용될 수 있다. 수동 전기 물품은 인쇄 회로 보드 또는 연성 회로에 매립되거나 집적될 수도 있다.

<81> PCB는 전형적으로 2개의 재료층, 예를 들어 에폭시 및 유리섬유의 라미네이트를 포함하는데, 상기 라미네이트는 접착제 또는 수지 침투 가공재(prepreg)의 층(수지 침투 가공재의 층은 하나보다 많은 수지 침투 가공재 "층"을

가질 수 있음)을 사이에 개재하는 하나 또는 2개의 구리 표면을 가질 수 있다. 연성 회로는 전형적으로 가요성 층, 예를 들어 구리로 코팅된 폴리이미드 층, 및 폴리이미드 상의 접착제 층을 포함한다. 임의의 적합한 PCB 또는 연성 회로에서의 본 발명의 수동 전기 물품의 위치와, 본 발명의 임의의 적합한 PCB 또는 연성 회로에 본 발명의 수동 전기 물품을 매립하거나 집적하는 공정은 당업계에서 잘 이해된다. 특히, PCB 또는 연성 회로에서, PCB 또는 연성 회로 층/구성요소들을 정렬시키기 위해 주의를 기울여야 한다.

<82> 위에서 본 바와 같이, 전기 절연층(16)의 두께는 물품(10)이 얼마나 패터닝될 수 있는지를 결정할 수 있다. 수동 전기 물품(10)이 PCB 또는 연성 회로에 통합된 때, PCB 또는 연성 회로 층은 수동 전기 물품에 추가의 지지를 제공하여 추가의 특유의 패터닝 기술을 허용할 수도 있다.

<83> 예를 들어, 이중 패터닝 및 적층 공정이 유용할 수 있다. 이중 패터닝 및 적층 공정은 전술한 바와 같이 기판(12, 18)들 중 하나의 포토리소그래피 패터닝 후에 일어날 수 있는 하기의 단계를 포함한다. 본 공정에서, 패터닝된 기판은 회로 보드 층과 같은 지지 재료, 예를 들어 FR4에 적층되는데, 이때 패터닝된 면은 지지 재료와 대향한다. 다른 기판은 본질적으로 유사한 기술에 의해 패터닝될 수 있는데, 그 이유는 전기 절연층(16) 및 패터닝된 기판이 이제 지지 재료에 의해 완전하게 지지되기 때문이다. 그리고 나서, 제2 기판의 노출된 면 상에서의 제2 적층이 수행되어 공정을 완료한다.

<84> 도 3A 내지 도 5D는 커패시터, 저항기, 인덕터, 및 이들의 다양한 조합을 형성하도록 패터닝된 도 1A 내지 도 1C의 수동 전기 물품들의 예를 도시한다.

<85> 도 3A 내지 도 3C는 단일 저항층(14)이 제공된 도 1A 또는 도 1C의 패터닝된 수동 전기 물품이 내부에 매립된 PCB(100a, 100b, 100c)의 예를 각각 도시한다. PCB(100a, 100b, 100c) 각각은 절연성 접착제 또는 수지 침투 가공재의 층(104)들을 사이에 개재하는 에폭시/유리섬유와 같은 재료의 2개의 층(102)과, 도 3A에서 저항기, 도 3B에서 커패시터, 그리고 도 3C에서 인덕터로서 기능하는 본 발명의 수동 전기 물품(10)을 포함한다. 도 3A 내지 도 3D의 실시예는 단지 예시적인 것이며, 한정하고자 하는 것은 아니다. 다른 실시예에서, 예를 들어 층(102)들 중 하나 또는 둘 모두가 생략될 수도 있다.

<86> 도 3A는 저항기로서 기능하는 본 발명의 수동 전기 물품(10)을 포함하는 PCB(100a)를 도시한다. 도 3A에서, 신호 또는 전류는 예를 들어 표면 구리 구조물(112, 112')을 각각 형성하도록 구리로 전기도금함으로써 전도성으로 된 관통 구멍(110, 110')에 의해 PCB(100a)를 통하여 전달된다. 표면 구리 구조물(112, 112')은 PCB(100a)의 상부 표면(114) 또는 하부 표면(116) 상의 전도성 트레이스(도시 안됨)들 사이에서 신호를 전달한다. 제1 및 제2 기판(12, 18) 및 저항층(14)은 저항층(14)의 일부를 덮는 패드(118, 118')를 형성하도록 패터닝된다. (제2 기판(18)은 수동 물품(10)의 도시된 영역에서 완전히 제거되어 있다). 패드(118, 118')는 저항층(14)의 부분(14')에 의해 연결된다. 표면 구리 구조물(112, 112')은 패드(118, 118')와 각각 접촉하는 데 사용되어, 2개의 패드(118, 118')들 사이의 저항층(14)의 부분(14')의 기하학적 형상(길이 및 폭)에 기초하여 패드(118, 118')들 사이에서 제어되는 저항이 측정될 수 있게 한다. 다른 실시예에서, 예를 들어 블라인드 전도성 비아를 포함하는, 패드(118, 118')와의 전기 접속을 수행하는 상이한 구조물 및 방법이 이용될 수도 있다. 다른 실시예에서, 패드(118, 118')는 PCB의 내부에 있는 트레이스에 전기 접속된다. 다른 실시예에서, 층(102, 104)은 완성된 회로 물품이 가요성이 되도록 가요성 재료를 포함한다.

<87> 도 3B는 커패시터로서 기능하는 본 발명의 수동 전기 물품(10)을 포함하는 PCB(100b)를 도시한다. 도 3B에서, 신호 또는 전류는 예를 들어 비아(120, 120')를 전도성 재료(122)로 충전하거나 예컨대 구리로 전기도금함으로써 전도성으로 된 비아(120, 120')에 의해 PCB(100b)를 통하여 전달된다. 전도성 비아(120, 120')는 PCB(100b)의 상부 표면(114) 또는 하부 표면(116) 상의 전도성 트레이스(도시 안됨)들 사이에서 신호를 전달한다. 제1 및 제2 기판(12, 18)과 저항층(14)은 절연층(16)의 어느 면 상에서 용량성 판들을 형성하도록 패터닝된다. 다른 실시예에서, 패드 전도성 기판(12, 18)과의 전기 접속을 수행하는 상이한 구조물 및 방법이 이용될 수도 있다. 다른 실시예에서, 전도성 기판(12, 18)은 PCB의 내부에 있는 트레이스에 전기 접속된다. 다른 실시예에서, 층(102, 104)들은 완성된 회로 물품이 가요성이 되도록 가요성 재료를 포함한다.

<88> 도 3C는 커패시터로서 기능하는 본 발명의 수동 전기 물품(10)의 다른 실시예를 도시한다. 도 3C에서, 신호 또는 전류는 예를 들어 표면 구리 구조물(112, 112')을 각각 형성하도록 구리로 전기도금함으로써 전도성으로 된 관통 구멍(110, 110')에 의해 PCB(100c)를 통하여 전달된다. 표면 구리 구조물(112, 112')은 PCB(100c)의 상부 표면(114) 또는 하부 표면(116) 상의 전도성 트레이스(도시 안됨)들 사이에서 신호를 전달한다. 제1 및 제2 기판(12, 18)과 저항층(14)은 절연층(16)의 어느 면 상에서 용량성 판(123a, 123b)들을 형성하도록 패터닝된다. 다른 실시예에서, 패드 전도성 기판(12, 18)과의 전기 접속을 수행하는 상이한 구조물 및 방법이 이용될 수도

있다. 다른 실시예에서, 전도성 기판(12, 18)은 PCB의 내부에 있는 트레이스에 전기 접속된다. 다른 실시예에서, 층(102, 104)들은 완성된 회로 물품이 가요성이 되도록 가요성 재료를 포함한다.

<89> 도 3D 및 도 3E는 인덕터로서 기능하는 본 발명의 수동 전기 물품(10)을 포함하는 PCB(100c)를 도시한다. 도 3D에서, 신호 또는 전류는 예를 들어 비아(120, 120')를 전도성 재료(122)로 충전하거나 예컨대 구리로 전기도금함으로써 전도성으로 된 비아(120, 120')에 의해 PCB(100d)를 통하여 전달된다. 전도성 비아(120, 120')는 PCB(100d)의 상부 표면(114) 또는 하부 표면(116) 상의 전도성 트레이스(도시 안됨)들 사이에서 신호를 전달한다. 제1 및 제2 기판(12, 18)과 저항층(14)은 접점 패드(124, 124')를 갖는 절연층(16)의 한 면 상에서 코일형 유도성 요소를 형성하도록 패터닝된다. (제2 기판(18)은 수동 물품(10)의 도시된 영역에서 완전히 제거되어 있다). 일 실시예에서, 저항층(14)은 페라이트 재료와 같은 고투자율 재료이며, 전도성 기판(12)의 패터닝된 코일들 사이에서 적어도 부분적으로 연장되도록 패터닝되어, 고투자율 재료가 유도 코일의 코어에 있도록 하여, 인덕터에 대해 높은 인덕턴스를 제공한다. 다른 실시예에서, 저항층(14)은 전도성 기판(12)과 동일한 폭을 갖는다. 전도성 비아(120, 120')는 패드(124, 124')와의 전기 접속을 위해 각각 사용된다. 다른 실시예에서, 패드(124, 124')와의 전기 접속을 수행하는 상이한 구조물 및 방법이 이용될 수도 있다. 다른 실시예에서, 패드(124, 124')는 PCB의 내부에 있는 트레이스에 전기 접속된다. 다른 실시예에서, 층(102, 104)들은 완성된 회로 물품이 가요성이 되도록 가요성 재료를 포함한다.

<90> 도 4A 내지 도 4F는, 단일 저항층(14)이 제공되는 도 1A 또는 도 1C의 수동 전기 물품이 다양한 전기 요소와, 특히 다양한 조합된 수동 회로 요소를 제공하기 위해 패터닝될 수 있는 방법의 예시적인 예이다. 명확히 하기 위해, 패터닝된 물품은 상기의 도 3A 내지 도 3C에서와 같이 PCB 또는 연성 회로 내에 매립되지 않은 것으로 도시된다. 그러나, 도 4A 내지 도 4F의 패터닝된 물품은 이러한 용도를 위한 것으로 이해되어야 한다.

<91> 도 4A는 커패시터와 직렬 연결된 저항기를 도시하고 있다. 저항 요소는 상기의 도 3A를 참조하여 설명한 바와 같이 전도성 패드(130, 132) 사이에 형성된다. 커패시터 요소는 상기의 도 3B를 참조하여 설명한 바와 같이 전도성 패드(132, 134) 사이에 형성된다.

<92> 도 4B는 커패시터와 직렬 연결된 저항기의 다른 실시예를 도시하고 있다. 저항 요소 및 용량 요소 둘 모두는 전도성 패드(136, 138) 사이에 형성된다. 전도성 패드(136, 138)가 서로 오프셋되어 있기 때문에, 저항층(14)(이것 또한 전도성이지만 기판(12, 18)보다는 덜 전도성임)은 저항 요소로서 그리고 또한 전도성 패드(136)의 용량성 판의 연장부(extension)로서 작용한다.

<93> 도 4C는 또 다른 저항-용량 구조를 도시하고 있다. 저항 요소는 전도성 패드(140, 142) 사이에 형성된다. 저항성 재료층(14)은 커패시터용 상부 전극을 형성하며, 커패시터의 하부 전극은 전도성 패드(144)가 된다.

<94> 도 4D는 저항기와 직렬 연결된 인덕터를 도시하고 있다. 유도 요소는 전도성 패드(146, 148) 사이에 형성되고, 저항 요소는 전도성 패드(148, 150) 사이에 형성된다.

<95> 도 4E는 커패시터와 직렬 연결된 인덕터를 도시하고 있다. 유도 요소는 전도성 패드(152, 154) 사이에 형성되고, 용량 요소는 전도성 패드(154, 156) 사이에 형성된다.

<96> 도 4F는 저항기 및 커패시터와 직렬 연결된 인덕터를 도시하고 있다. 유도 요소는 전도성 패드(158, 160) 사이에 형성되고, 저항 요소는 전도성 패드(160, 162) 사이에 형성되고, 용량 요소는 전도성 패드(162, 166) 사이에 형성된다. 또한, 저항 요소, 용량 요소 및 유도 요소는 필요하다면 서로 병렬로 연결될 수 있다.

<97> 도 5A 내지 도 5D는, 하나의 저항층(14)이 각각의 기판(12, 18) 상에 제공되는 도 1B의 수동 전기 물품이 다양한 전기 요소, 특히 다양한 조합된 수동 회로 요소를 제공하기 위해 패터닝될 수 있는 방법의 예시적인 예이다. 명확히 하기 위해, 패터닝된 물품은 상기의 도 3A 내지 도 3C에서와 같이 PCB 또는 연성 회로 내에 매립되지 않은 것으로 도시된다. 그러나, 도 5A 내지 도 5D의 패터닝된 물품은 이러한 용도를 위한 것으로 이해되어야 한다.

<98> 도 5A는 절연층(16)의 양 면에 저항기를 갖는 물품을 도시하고 있다. 분리된 저항 요소들은 전도성 패드(168, 170) 사이에 그리고 전도성 패드(172, 174) 사이에 형성된다. 이러한 방법으로, 복수의 수동 요소들은 인쇄 회로의 동일한 X-Y 영역 내에 위치될 수 있다. 이들 저항 요소는 서로 전기적으로 절연되거나, 원한다면 이 요소들은 서로 직렬 또는 병렬로 연결될 수 있다.

<99> 도 5B 및 도 5C는 절연층(16)의 양 면에 인덕터를 갖는 물품을 도시하고 있다. 분리된 유도 요소들은 전도성 패드(176, 178) 사이에 그리고 전도성 패드(180, 182) 사이에 형성된다. 도 5C의 물품에서, 저항층(14, 14')은

고투자율 재료이고 더 높은 인덕턴스를 제공하기 위해 전도층(12, 18)의 코일 사이에서 연장된다. 고투자율 재료인 저항층(14, 14')은 인덕터의 전도성 코일에 전기적으로 연결될 수 있거나 아니면 전도성 코일로부터 전기적으로 절연될 수 있다. 예를 들어, 도 5C는 층(12)의 전도성 코일에 전기적으로 연결된 고투자율 재료의 층(14)과, 층(18)의 전도성 코일로부터 전기적으로 절연된 고투자율 재료의 층(14')을 도시하고 있다.

<100> 도 5D는 커패시터와 직렬 연결된 저항기를 도시하고 있다. 저항 요소는 전도성 패드(184, 186) 사이에 형성되고, 용량 요소는 전도성 패드(186, 188) 사이에 형성된다.

<101> 본 발명은 전기 장치를 또한 포함하는데, 이 전기 장치는 본 발명에 따른 수동 전기 물품을 포함하는 PCB 또는 연성 회로의 전기 회로로 기능하는 본 발명의 수동 전기 물품을 포함한다. 이 전기 장치는 용량 또는 저항 구성요소를 갖는 PCB 또는 연성 회로를 전형적으로 이용하는 임의의 전기 장치를 포함할 수 있다. 예시적인 전기 장치는 휴대 전화, 일반 전화, 팩스기, 컴퓨터, 프린터, 페이저(pager), 및 당업자에 의해 인식되는 기타 장치를 포함한다. 본 발명의 수동 전기 물품은 공간이 아주 중요한 전기 장치에 특히 유용하다.

<102> 본 발명은 하기의 예에 의해 예시되지만, 이러한 예들에서 언급되는 특정 재료 및 그의 양과 다른 조건 및 세부사항은 본 발명을 부당하게 제한하는 것으로 해석되어서는 안 된다.

<103> 예 1

<104> 메틸 에틸 케톤/메틸 아이소부틸 케톤 중 0.3 미크론 티탄산바륨의 분산액을 폴리에스테르/폴리아민 공중합체 분산제를 이용하여 상용 비드 밀(bead mill) 내에서 제조하였다. 충분한 에폭시 결합제 용액 (에폰 EPON 1001F와 에폰 1050을 합한 것)을 첨가하여 티탄산바륨 대 에폭시의 부피비가 45:55가 되게 하였다. 생성된 분산액 (고체 함량이 60% w/w)을 그라비어 코터를 이용하여 1 ㎛ 미만의 도핑된 백금 저항층(공칭 저항이 1000 ohm/sq (ohms per square)이고, 상표명이 인사이트이고, 미국 매사추세츠주 말보로우 소재의 롬 앤 하스 일렉트로닉 머티리얼즈로부터 입수함)으로 이미 코팅된 35 미크론 (1 온스) 구리 포일 상으로 코팅하였다. 건조 후, 티탄산바륨/에폭시 층은 두께가 5 내지 6 미크론이었다. 저항층을 갖지 않는 35 미크론 구리 포일의 제2 샘플을 동일한 조건을 이용하여 또한 코팅하였다. 이들 2개의 코팅을 대략 135℃ 및 5.93 x 10^{-3} m/s (14 inch/min (ipm))로 설정된 롤 라미네이트 내에서 코팅된 측면이 서로 마주보도록 적층하였다. 이 라미네이트를 4시간 동안 190℃로 오븐 내에서 경화시켰다.

<105> 경화된 라미네이트의 점착력(adhesion)을 90도 박리 시험(90 degree peel test)을 이용하여 측정하였다. 유전체에 대한 저항성 재료의 점착력은 적어도 3.156 kN/m (직선 길이 1 인치 당 6 파운드 (6 pli))이었다. 구리 기판에 대한 저항성 재료의 점착력은 마찬가지로 적어도 3.156 kN/m (6 pli)이었는데, 그 이유는 파괴가 저항성-구리 경계면에서가 아니라 저항성-유전성 경계면에서 있었기 때문이다. 구리에 대한 유전체의 점착력은 대략 1.578 kN/m (3 pli)이었다. 또한, 경화된 라미네이트의 점착력은 (PCB 공정 내의 2번의 적층 사이클을 시뮬레이션하기 위해) 추가 4시간의 190℃ 열 베이킹(thermal bake) 후에 시험하였다. 임의의 경계면에 대한 유의한 점착력 변화는 없었다.

<106> 경화된 라미네이트의 전기적 특성을 또한 시험하였다. 커패시터 및 저항기 구조는 당업계에 잘 알려진 포토리소그래피 방법을 이용하여 전도성 및 저항성 재료로 패터닝하였다. 저항 및 커패시턴스(capacitance)를 1 kHz 주파수에서 LCR 미터 상에서 측정하였다. 저항은 평균적으로 대략 1000 ohm/sq인 것으로 알려졌다. 따라서, 라미네이트의 제작 및 패터닝 공정에 의해 저항에 대한 유의한 변화가 없었다. 커패시턴스를 측정하였고 이는 대략 0.0155 nF/㎟ (10 nF/in^2)인 것으로 알려졌다. 23℃에서 180℃로 그리고 다시 23℃로 돌아오는 온도 범위에 걸친 커패시턴스 변화를 측정하였다. 23℃에서 180℃로의 범위에 걸친 커패시턴스 증가는 15% 미만이었다. 샘플이 23℃로 돌아갔을 때, 커패시턴스의 순변화(net change)는 없었다.

<107> 예 2

<108> 상기와 동일한 공정 및 재료를 5 내지 6 um 두께의 유전층(35)을 35 ㎛ (1 온스) 구리 포일 상에 코팅하는 데 사용하였다. 이어서, 2개의 이들 층을 대략 135℃ 및 5.93 x 10^{-3} m/s (14 ipm)의 고온 롤 라미네이트 내에서 코팅된 측면이 서로 마주보도록 적층하였다. 2개의 구리 포일 중 하나를 적층된 구조체로부터 박리하였고, 이는 다른 유전체 코팅된 구리로 전달될 유전체 코팅이 된다. 이어서, (이제 유전체 두께가 대략 10-11 ㎛인) 유전체 코팅된 구리 기판은 시트 저항이 25 ohm/sq인 1 ㎛ 미만의 스퍼터링된 니켈-크롬 저항성 재료(유전체 면이 저항성 재료를 향함)를 이용하여 18 ㎛ (1/2 온스) 구리 포일로 적층하였다. 그 상에 저항성 재료가 있는 구리 포일은 미국 애리조나주 챈들러 소재의 굴드 일렉트로닉스, 인크.로부터 입수가능한 굴드 TCR 저항성 전도체 재

료이었다. 이 라미네이트를 4시간 동안 190℃에서 경화시켰다.

<109> 라미네이트의 점착력을 90도 박리각을 이용하여 측정하였다. 유전체에 대한 저항성 재료의 점착력은 적어도 3.156 kN/m (6 pli))인 것으로 알려졌다. 예 1에서와 같이, 구리 기판에 대한 저항성 재료의 점착력은 마찬가지로 적어도 3.156 kN/m (6 pli)이었는데, 그 이유는 파괴가 저항성-구리 경계면에서가 아니라 저항성-유전성 경계면에서 있었기 때문이다. 유전체에 대한 구리의 점착력은 대략 2.104 kN/m (4 pli)인 것으로 알려졌다. 또한, 경화된 라미네이트의 점착력은 (PCB 공정 내의 2번의 적층 사이클을 시뮬레이션하기 위해) 추가 4시간의 190℃ 열 베이킹 후에 시험하였다. 임의의 경계면에 대한 유의한 점착력 변화는 없었다.

<110> 경화된 라미네이트의 전기적 특성을 또한 시험하였다. 커패시터 및 저항기 구조는 당업계에 잘 알려진 포토리소그래피 방법을 이용하여 전도성 및 저항성 재료로 패터닝하였다. 저항 및 커패시턴스를 1 ㎑ 주파수에서 LCR 미터 상에서 측정하였다. 커패시턴스는 대략 0.0155 nF/㎟ (10 nF/in^2)인 것으로 측정되었다. 라미네이트의 시트 저항은 대략 25 ohm/sq인 것으로 측정되었다.

<111> 예 3

<112> 예 1 및 예 2에서와 동일한 제형(formulation)의 유전성 재료를, 유전체 코팅의 두께가 대략 8 ㎛인 것을 제외하고는 예 1 및 예 2에서 언급한 바와 유사한 공정을 이용하여, 35 ㎛ (1 온스) 구리 포일 상에 코팅하였다. 이러한 경우, 시트 저항이 25 ohm/sq인 1 ㎛ 미만의 두께의 도금된 니켈-인 저항성 재료(유전체 면이 저항성 재료를 향함)를 이용하여 유전체 코팅된 구리 포일과 35 ㎛ 구리 포일을 적층하고 경화시킴으로써 경화된 라미네이트를 제조하였다. 그 상에 저항성 재료가 있는 구리 포일은 미국 캘리포니아주 컬버 시티 소재의 오메가 테크놀로지스, 인크.로부터 입수할 수 있는 오메가-플라이 저항 용량성 재료이었다. 이 라미네이트는 진공 적층 프레스 내에서 177℃의 온도 및 2.07 x 10^6 N/m^6 (300 psi)의 압력으로 2시간 동안 경화시켰다.

<113> 예 4

<114> 예 1 및 예 2에서와 동일한 제형의 유전성 재료를, 유전체 코팅의 두께가 대략 4 ㎛인 것을 제외하고는 예 1 및 예 2에서 언급한 바와 유사한 공정을 이용하여, 35 ㎛ (1 온스) 구리 포일 상에 코팅하였다. 유전체 코팅된 구리 포일을 135 ℃, 305 ㎜/m (12 ipm)의 속도 및 1.03 x 10^5 N/m^2 (15 psi)의 롤 압력으로 고온의 롤 라미네이터를 이용하여 예 3의 저항성 코팅된 구리 포일에 적층하였다(유전체 대 저항 재료). 180도 박리각에서 4 ㎛ 두께의 유전체로 원래 코팅되었던 구리 포일을 박리하였고, 이에 의해 유전층을 구리 포일로부터 저항성 표면으로 전달하였다. 이러한 공정을 다른 샘플 상에서 반복하여 2개의 4 ㎛ 두께의 유전체 코팅된 저항-전도체 재료 시트를 산출하였다. 이어서, 이들 2개의 시트를 유전체 대 유전체로 적층하여 8 ㎛ 두께의 유전체 및 저항층을 유전체와 2개의 구리 포일 중 각각의 포일 사이에 산출하였다. 이어서, 이 라미네이트를 2시간 동안 180℃로 오븐 내에서 경화시켰다.

<115> 라미네이트의 점착력을 90도 박리각을 이용하여 측정하였다. 유전체에 대한 저항성 재료의 점착력은 대략 적어도 2.367 kN/m (4.5 pli)인 것으로 알려졌다. 예 1에서와 같이, 구리 기판에 대한 저항성 재료의 점착력은 마찬가지로 적어도 ㄷ대략 367 kN/m (4.5 pli)이었는데, 그 이유는 파괴가 저항성-구리 경계면에서가 아니라 저항성-유전성 경계면에서 있었기 때문이다.

<116> 특정 실시예가 본 명세서에서 도시되고 설명되었으나, 당업자는 다양한 대안적인 그리고 균등한 구현예가 본 발명의 범위를 벗어나지 않고서도 도시되고 기재된 특정 실시예를 대체할 수 있다는 것을 알 수 있다. 본 출원은 본 명세서에 논의된 특정 실시예의 임의의 수정 및 변경을 포함하고자 하는 것이다. 그러므로, 본 발명은 청구의 범위와 그 균등물에 의해서만 한정되고자 하는 것이다.

도면의 간단한 설명

<5> 본 발명은 여러 도면에 걸쳐 동일한 구조를 동일한 도면 부호로 나타내며 층들의 두께가 반드시 축척대로 도시되지는 않은 첨부 도면을 참고하여 추가로 설명될 것이다.

<6> 도 1A 내지 도 1C는 커패시터, 저항기, 인덕터 또는 이들의 조합으로 기능할 수 있는 본 발명의 수동 전기 물품의 단면도.

<7> 도 1D는 도 1C의 전기 절연층의 확대도.

<8> 도 2A 내지 도 2M은 본 발명에 따른 수동 전기 물품을 사용하는 저항기를 형성하기 위한 예시적인 공정을 도시

하는 도면.

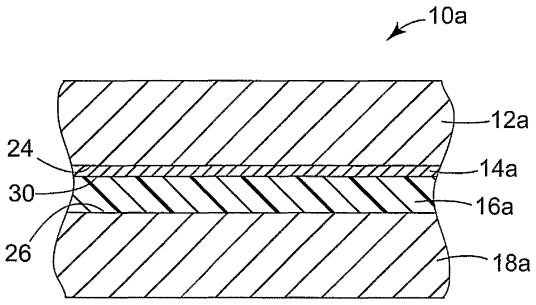
<9> 도 3A 내지 도 3E는 본 발명에 따른 수동 전기 물품이 그 내부에 매립된 PCB의 예시적인 실시예로서, 수동 전기 물품이 저항기(도 3A), 커패시터(도 3B 및 도 3C) 및 인덕터(도 3D 및 도 3E)로서 기능하도록 패터닝된 것을 도시하는 도면.

<10> 도 4A 내지 도 4F는 본 발명의 일 실시예에 따른 단일 저항층을 갖는 수동 전기 물품의 예시적인 실시예로서, 물품이 수동 전기 요소들의 다양한 조합으로서 기능하도록 패터닝된 것을 도시하는 도면.

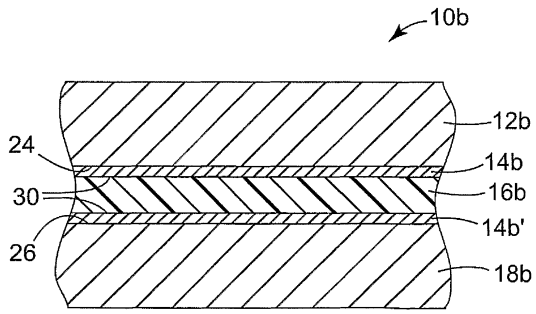
<11> 도 5A 내지 도 5D는 본 발명의 일 실시예에 따른 2개의 저항층을 갖는 수동 전기 물품의 예시적인 실시예로서, 물품이 수동 전기 요소들의 다양한 조합으로서 기능하도록 패터닝된 것을 도시하는 도면.

도면

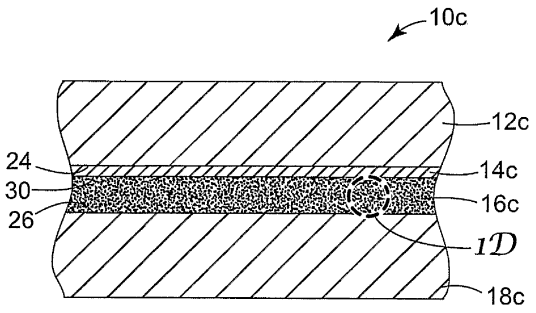
도면1A



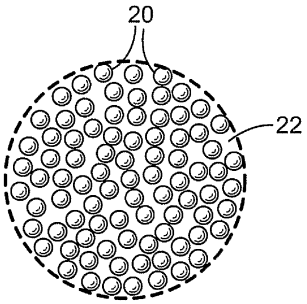
도면1B



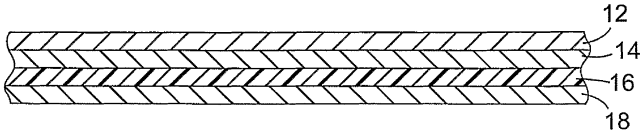
도면1C



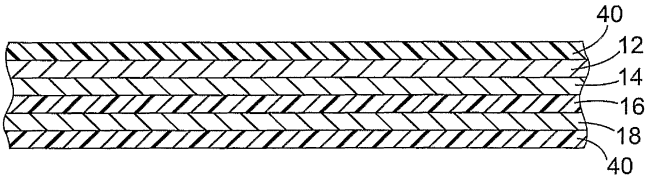
도면1D



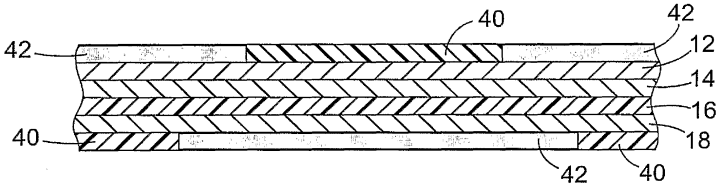
도면2A



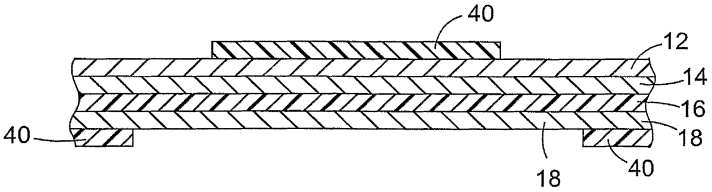
도면2B



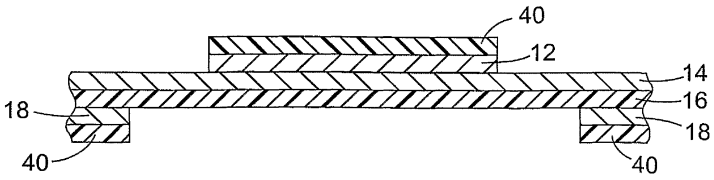
도면2C



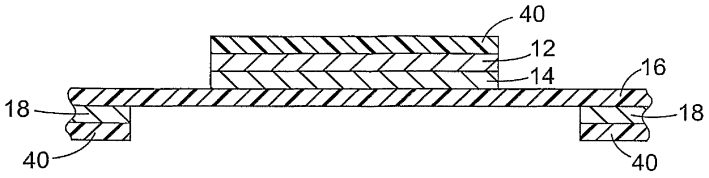
도면2D



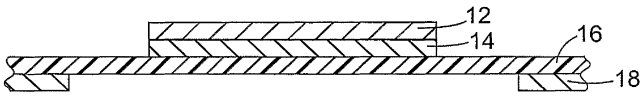
도면2E



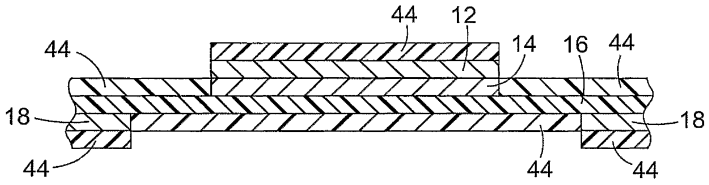
도면2F



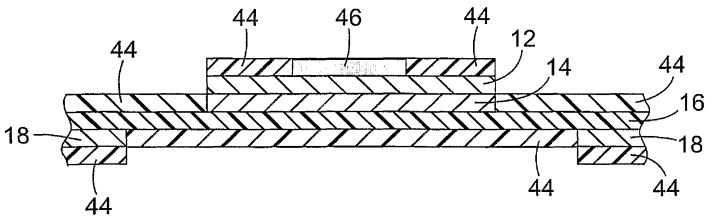
도면2G



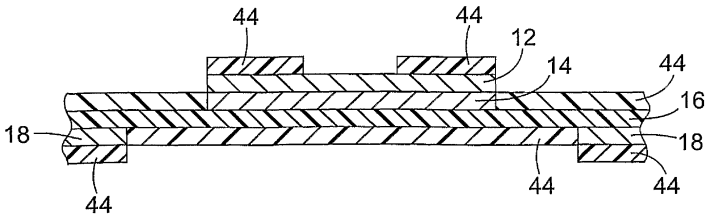
도면2H



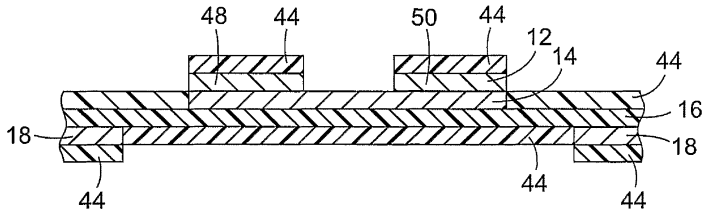
도면2I



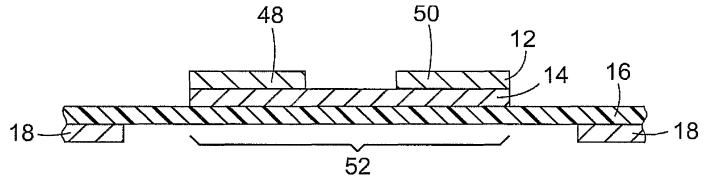
도면2J



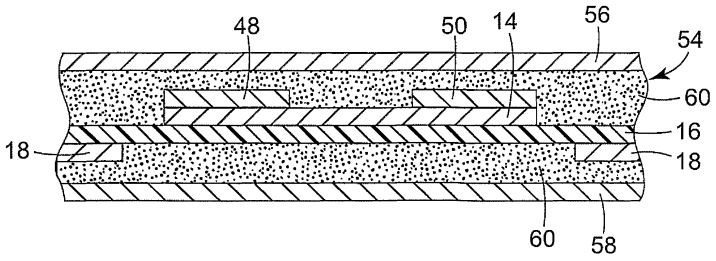
도면2K



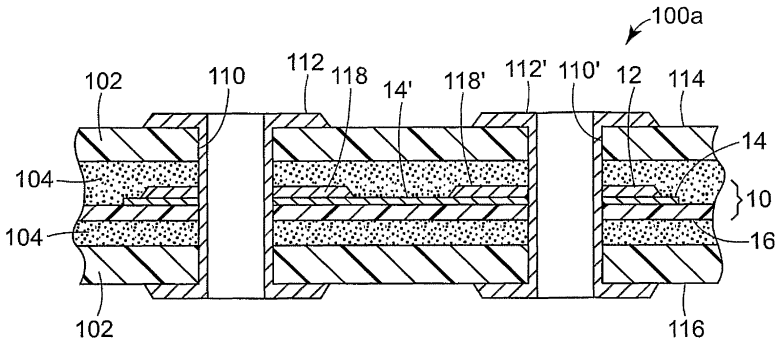
도면2L



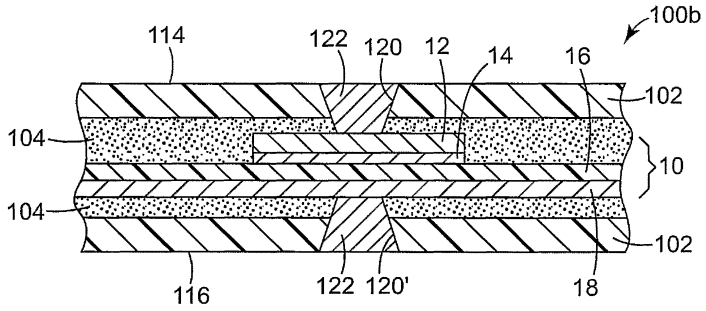
도면2M



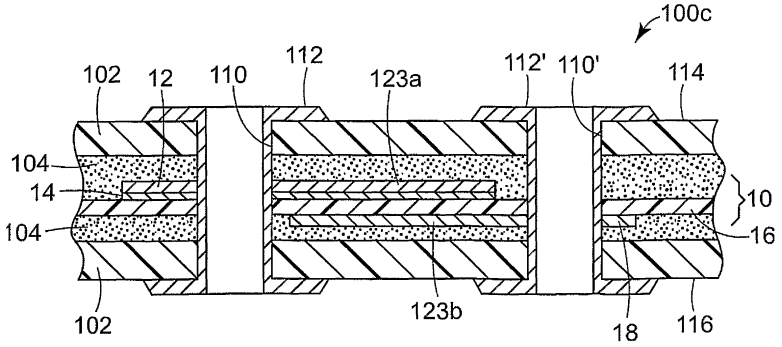
도면3A



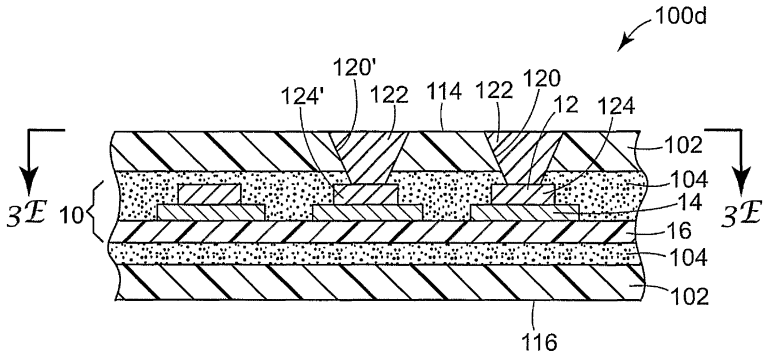
도면3B



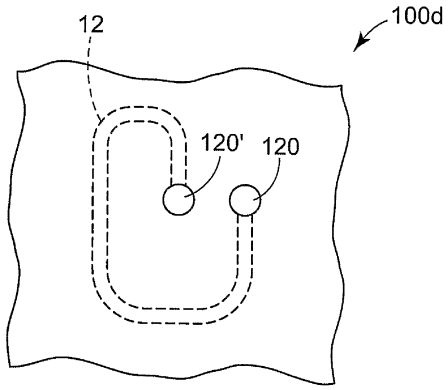
도면3C



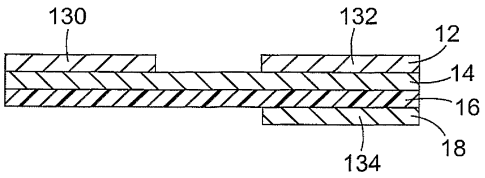
도면3D



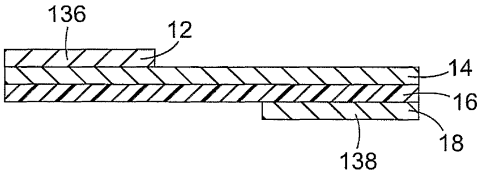
도면3E



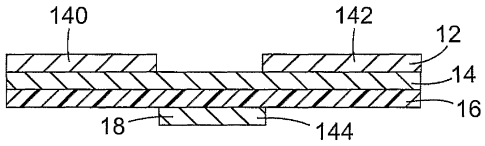
도면4A



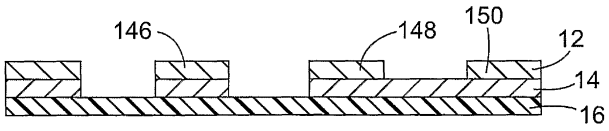
도면4B



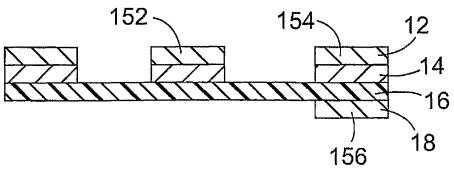
도면4C



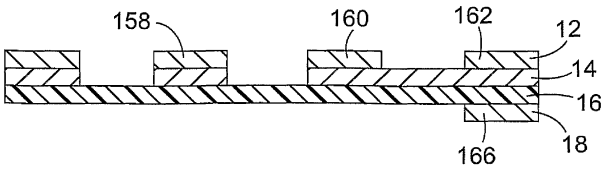
도면4D



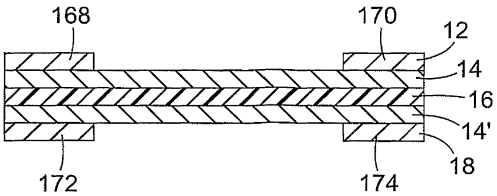
도면4E



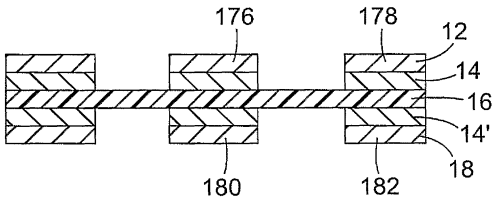
도면4F



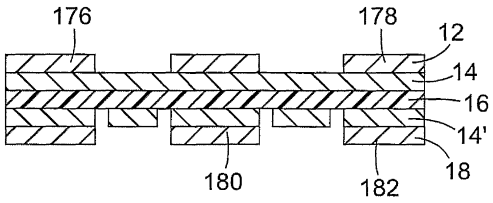
도면5A



도면5B



도면5C



도면5D

