

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】令和3年10月28日(2021.10.28)

【公表番号】特表2020-530755(P2020-530755A)

【公表日】令和2年10月22日(2020.10.22)

【年通号数】公開・登録公報2020-043

【出願番号】特願2020-507540(P2020-507540)

【国際特許分類】

H 02 J 50/10 (2016.01)

H 02 J 7/00 (2006.01)

H 03 K 7/08 (2006.01)

【F I】

H 02 J 50/10

H 02 J 7/00 301D

H 03 K 7/08 A

【手続補正書】

【提出日】令和3年8月9日(2021.8.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電力トランスマッタであって、

1次インダクタと、

前記1次インダクタに結合される駆動トランジスタであって、ゲートを有する、前記駆動トランジスタと、

立ち上がりエッジ制御回路であって、

電力搬送周波数入力とm段出力とクロック信号出力とを有する電圧制御発振器(VCO)と、

前記m段出力に結合されるmサブ部分入力と、選択入力と、立ち上がりエッジマルチブレクサ出力を有する立ち上がりエッジマルチブレクサと、

前記クロック信号出力に結合される入力と、n立ち上がりエッジ部分出力を有する立ち上がりエッジディバイダ回路と、

前記立ち上がりエッジマルチブレクサ出力と前記n立ち上がりエッジ部分出力とに結合される入力と、前記駆動トランジスタのゲートに結合される立ち上がりエッジ制御出力を有する立ち上がりエッジ論理回路要素と、

を含む、前記立ち上がりエッジ制御回路と、

を含む、電力トランスマッタ。

【請求項2】

請求項1に記載の電力トランスマッタであって、

mが前記VCOのクロック位相の数である、電力トランスマッタ。

【請求項3】

請求項2に記載の電力トランスマッタであって、

前記立ち上がりエッジ制御回路が、全ての考えられるmより少ない値にのみタイミング遅延を適用するように構成される遅延回路を更に含む、電力トランスマッタ。

【請求項4】

請求項₁に記載の電力トランスマッタであって、
前記立ち上がりエッジ制御出力が、前記電力搬送周波数の逆数をn×mの積で割ったものに等しい分解能を提供する、電力トランスマッタ。

【請求項5】

請求項₁に記載の電力トランスマッタであって、
立ち下がりエッジ制御回路であって、
前記m段出力に結合されるmサブ部分入力と、選択入力と、立ち下がりエッジマルチブレクサ出力を有する立ち下がりエッジマルチブレクサと、
前記クロック信号出力に結合される入力と、n立ち下がりエッジ部分出力を有する立ち下がりエッジディバイダ回路と、
前記立ち下がりエッジマルチブレクサ出力と前記n立ち下がりエッジ部分出力とに結合される入力と、前記駆動トランジスタのゲートに結合されるパルス幅出力を有する立ち下がりエッジ論理回路要素とを含む、前記立ち下がりエッジ制御回路を更に含む、電力トランスマッタ。

【請求項6】

請求項₅に記載の電力トランスマッタであって、
前記立ち上がりエッジ制御出力に結合されるセット入力と、前記立ち下がりエッジ制御出力に結合されるリセット入力と、前記駆動トランジスタのゲートに結合されるパルス幅出力を有するフリップフロップを更に含む、電力トランスマッタ。

【請求項7】

請求項₁に記載の電力トランスマッタであって、
レシーバであって、
1次インダクタに結合される2次インダクタと、
前記2次インダクタに結合される整流トランジスタであって、前記整流トランジスタのゲートが受信立ち上がりエッジ制御回路に結合される、前記整流トランジスタと、
を含む、前記レシーバを更に含む、電力トランスマッタ。

【請求項8】

請求項₇に記載の電力トランスマッタであって、
前記駆動トランジスタがHブリッジ回路の一部であり、前記整流トランジスタが整流器ブリッジの一部である、電力トランスマッタ。

【請求項9】

コンピューティングデバイスであって、
電力リードを有するプロセッサと、
前記プロセッサの電力リードに結合される電力出力と、ゲートを有する整流トランジスタに結合される2次インダクタと、立ち上がりエッジ制御回路とを含む、ワイヤレス電力レシーバであって、前記立ち上がりエッジ制御回路が、
電力搬送周波数入力と、m段出力と、クロック信号出力を有する電圧制御発振器(VCO)と、
前記m段出力に結合されるmサブ部分入力と、選択入力と、立ち上がりエッジ部分出力を有する立ち上がりエッジマルチブレクサと、
前記クロック信号出力に結合される入力と、n立ち上がりエッジ部分出力を有する立ち上がりエッジディバイダ回路と、
前記立ち上がりマルチブレクサ出力と前記n立ち上がり部分出力とに結合される入力と、前記整流トランジスタのゲートに結合される立ち上がりエッジ制御出力を有する立ち上がりエッジ論理回路要素と、
を含む、前記ワイヤレス電力レシーバと、
を含む、コンピューティングデバイス。

【請求項10】

請求項₉に記載のコンピューティングデバイスであって、
前記電力出力がバッテリーに結合される、コンピューティングデバイス。

【請求項 1 1】

請求項9に記載のコンピューティングデバイスであって、
前記整流トランジスタが整流器回路の一部である、コンピューティングデバイス。

【請求項 1 2】

請求項9に記載のコンピューティングデバイスであって、
前記ワイヤレス電力レシーバが、
立ち下がりエッジ制御出力を有する立ち下がりエッジ制御回路と、
前記立ち上がりエッジ制御出力に結合されるセット入力と、前記立ち下がりエッジ制御出力に結合されるリセット入力と、前記整流トランジスタのゲートに結合されるパルス出力とを有するフリップフロップと、
を更に含む、コンピューティングデバイス。

【請求項 1 3】

方法であって、
或る電力搬送周波数で2次インダクタを介して電力をワイヤレスに受け取ることであって、前記2次インダクタが1組のトランジスタを有する整流器に結合される、前記電力をワイヤレスに受け取ることと、

電圧制御オシレータ（VCO）出力の $n \times m$ 個のサブ区分のうちの1つ又は複数の選択されたものを用いてパルス幅変調（PWM）信号を生成することであって、前記VCOが、前記電力搬送周波数を有する基準クロックを受け取り、前記電力搬送周波数の n 倍の周波数と m 個の選択可能な位相とを有する前記出力を生成するように構成される、前記PWM信号を生成することと、

前記PWM信号で前記1組のトランジスタを制御することと、
を含む、方法。

【請求項 1 4】

請求項1 3に記載の方法であって、
前記電力をバッテリー又はコンピューティングデバイスに供給することを更に含む、方法。