

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
7. November 2002 (07.11.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/089202 A2

(51) Internationale Patentklassifikation⁷: **H01L 21/8246**

[DE/DE]; Tichystrasse 4, 01109 Dresden (DE). **WANG, Kae-Horng** [CN/DE]; Tieckstrasse 10, 01099 Dresden (DE). **KROENKE, Matthias** [DE/DE]; Nordstrasse 20, 01099 Dresden (DE).

(21) Internationales Aktenzeichen: PCT/EP02/04067

(22) Internationales Anmeldedatum:

11. April 2002 (11.04.2002)

(74) **Anwalt: BARTH, Stephan**; Reinhard, Skuhra, Weise & Partner GbR, Friedrichstrasse 33, 80801 München (DE).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(81) **Bestimmungsstaaten (national)**: KR, US.

(30) Angaben zur Priorität:

101 20 929.0 30. April 2001 (30.04.2001) DE

(84) **Bestimmungsstaaten (regional)**: europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(71) **Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).

Erklärung gemäß Regel 4.17:

— *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

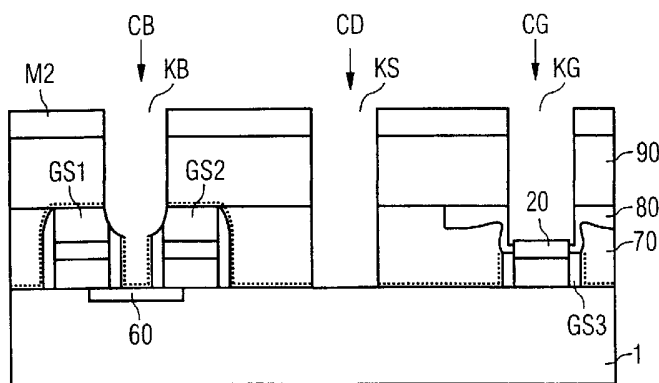
(72) **Erfinder; und**

(75) **Erfinder/Anmelder (nur für US): GUSTIN, Wolfgang**

[Fortsetzung auf der nächsten Seite]

(54) **Title:** METHOD FOR THE PRODUCTION OF AN INTEGRATED CIRCUIT

(54) **Bezeichnung:** HERSTELLUNGSVERFAHREN FÜR EINE INTEGRIERTE SCHALTUNG



(57) **Abstract:** The invention relates to a method for the production of an integrated circuit, comprising the following steps: a substrate (1) is provided with at least one first, second and third gate stack (GS1, GS2, GS3) of approximately the same height on the surface of said substrate, a common active area (60) being provided on the surface of the substrate in said substrate (1) between the first and second gate stack (GS1, GS2); a first insulating layer (70) is provided in order to cover the embedding of the first, second and third gate stack (GS1, GS2, GS3); the upper side of a gate connection (20) of the third gate stack (GS3) is uncovered; a second insulating layer (80) is provided in order to cover the upper side of a gate connection (20); a mask (M2) is provided on the resulting structure having a first opening (F2a) above the uncovered upper side of the gate connection (20) of the third gate stack (GS3), a second opening (F2b) above the substrate (1) between the third and second gate stack (GS3, GS2) and a third opening (F2c) above the common active area (60), partially overlapping the first and second gate stack (GS1, GS2), and simultaneously forming a first, second and third contact hole (KB, KS, KG) using said mask (32) in an etching process, the first contact hole (KB) uncovering the common active area (60) on the surface of the substrate between the first and second gate stack (GS1, GS2), the second contact hole (KS) uncovering the surface of the substrate between the second and third gate stack (GS2, GS2) and the third contact hole (KG) uncovering the upper side of the gate connection (20) of the third gate stack (GS3).

[Fortsetzung auf der nächsten Seite]

WO 02/089202 A2



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die vorliegende Erfindung schafft ein Herstellungsverfahren für eine integrierte Schaltung mit den Schritten: Herstellungsverfahren für eine integrierte Schaltung mit den Schritten: Bereitstellen eines Substrats (1) mit mindestens einem ersten, zweiten und dritten auf der Substratoberfläche vorgesehenen, ungefähr gleich hohen Gatestapel (GS1, GS2, GS3), wobei ein gemeinsamer aktiver Bereich (60) an der Substratoberfläche im Substrat (1) zwischen dem ersten und zweiten Gatestapel (GS1, GS2) vorgesehen ist; Vorsehen einer ersten Isolationsschicht (70) zum überdeckenden Einbetten des ersten, zweiten und dritten Gatestapels (GS1, GS2, GS3); Freilegen der Oberseite eines Gateanschlusses (20) des dritten Gatestapels (GS3); Vorsehen einer zweiten Isolationsschicht (80) zum Überdecken der Oberseite eines Gateanschlusses (20); Vorsehen einer Maske (M2) auf der resultierenden Struktur, welche eine erste Öffnung (F2a) oberhalb der freigelegten Oberseite des Gateanschlusses (20) des dritten Gatestapels (GS3), eine zweite Öffnung (F2b) oberhalb des Substrats (1) zwischen dem dritten und dem zweiten Gatestapel (GS3, GS2) und eine dritte Öffnung (F2c) oberhalb des gemeinsamen aktiven Bereichs (60) aufweist, die den ersten und des zweiten Gatestapel (GS1, GS2) teilweise überlappt; und gleichzeitiges Bilden eines ersten, zweiten und dritten Kontaktlochs (KB, KS, KG) durch einen Ätzprozeß unter Verwendung der Maske (M2), wobei das erste Kontaktloch (KB) den gemeinsamen aktiven Bereich (60) an der Substratoberfläche zwischen dem ersten und zweiten Gatestapel (GS1, GS2), das zweite Kontaktloch (KS) die Substratoberfläche zwischen dem zweiten und dritten Gatestapel (GS2, GS2) und das dritte Kontaktloch (KG) die Oberseite des Gateanschlusses (20) des dritten Gatestapels (GS3) freilegt.

Beschreibung

Herstellungsverfahren für eine integrierte Schaltung

- 5 Die vorliegende Erfindung betrifft ein Herstellungsverfahren für eine integrierte Schaltung.

Obwohl prinzipiell auf beliebige integrierte Schaltungen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in bezug auf integrierte Speicherschaltungen in Silizium-Technologie erläutert.

Bei der Herstellung integrierter Schaltungen, insbesondere integrierter Halbleiter-Speicherschaltungen, ist es erforderlich, verschiedene Arten von Kontakten herzustellen. Dabei ist es wünschenswert, diese verschiedenen Kontakte mit möglichst wenig Lithographieebenen und Ätzschritten herzustellen, um eine hohe Justiergenauigkeit zu gewährleisten.

Fig. 2a,b sind schematische Darstellungen aufeinanderfolgender Verfahrensstadien eines bekannten Herstellungsverfahrens einer integrierten Schaltung in Silizium-Technologie.

Fig. 2a zeigt ein beispielhaftes Halbleitersubstrat 1 mit einer nicht näher illustrierten Speicherzellenanordnung. 60 bezeichnet ein aktives Gebiet, beispielsweise ein gemeinsames Source-/ Draingebiet zweier Speicherzellen. GS1, GS2, GS3 sind drei Gatestapel, welche aus einer Polysiliziumschicht 10 mit darunterliegender (nicht illustrierter) Gateoxidschicht, einer Silizidschicht 20 und einer Siliziumnitridschicht 30 aufgebaut sind. IS ist eine Isolationsschicht, beispielsweise aus Siliziumdioxid, in der drei verschiedene Kontakttypen auszubilden sind, nämlich ein erster (kritischer) Kontakttyp CB, welcher das aktive Gebiet 60 zwischen den beiden Gatestapeln GS1, GS2 elektrisch kontaktiert, ein zweiter Kontakttyp CD, welcher einen weiteren (nicht dargestellten) aktiven Bereich im Substratbereich zwischen den Gatestapeln GS2, GS3 elektrisch kontaktiert, und ein dritter Kontakttyp CG, wel-

cher den Gateanschluß 20 des dritten Gatestapels GS3 elektrisch kontaktiert.

5 Üblicherweise wird das Kontaktloch für den kritischen Kontakt CB separat geätzt, und anschließend gleichzeitig die beiden unkritischen Kontaktlöcher für die Kontakte CS und CG. Dafür sind zwei Lithographieebenen erforderlich, was bedeutet, daß beide Lithographieebenen auf die Gatekontaktebene justiert werden müssen. Hierdurch kann es zu Justierschwankungen JS
10 kommen.

Da die Metallebene M anschließend auf CB aligned wird (sie kann nicht gleichzeitig auch auf CD, CG aligned werden), ergeben sich kritische Overlay-Toleranzen OT, wie in Fig. 2b
15 dargestellt. Im schlimmsten Fall können solche Overlay-Toleranzen OT zu Kurzschlüssen in der Metallisierungsebene M (M0 zu CD/CG) führen.

Man kann nicht einfach die beiden Ebenen CB und CD, CG zusammenlegen, da bei der Ätzung zunächst Siliziumoxid IS und anschließend Siliziumnitrid 30 geätzt werden muß. Die Siliziumnitridätzung würde auch die Seitenisolation der Gatestapel (nicht gezeigt in Fig. 2) entfernen und damit einen Kurzschluß zwischen dem Gateanschluß und dem Kontakt CB
25 schaffen.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein Verfahren anzugeben, das die Möglichkeit bietet, mehrere unterschiedliche Kontakte unterhalb der ersten Metallisierungsebene gleichzeitig schonend zu ätzen.
30

Erfindungsgemäß wird diese Aufgabe durch das in Anspruch 1 angegebene Herstellungsverfahren gelöst.

35 Die Vorteile des erfindungsgemäßen Verfahrens liegen insbesondere darin, daß man eine kritische Lithographieebene einspart, da alle drei Kontaktlochtypen gleichzeitig prozes-

siert werden können. Die nachfolgende Metallisierungsebene haben in diesen Fall direkt Justage zum allen drei Kontaktlochtypen gleichzeitig. Im Vergleich zum den bisherige Justage: M0 zu CB, CB zu GC und GC zu CD kann diese Erfindung viel
5 Justagefehler zwischen M0 und CD vermeiden.

Da auf dem CG-Kontakt die Siliziumnitridkappe mit Hilfe der unkritischen Lithographieebene frühzeitig entfernt wird, kann bei der Kontaktlochätzung eine Siliziumoxidätzung mit Soft-
10 Landing bei allen Kontaktlöchern gleichzeitig eingesetzt werden.

Man gewinnt zusätzlich Justiertoleranz, da die CG-Kontakte in einem breiteren Bereich als bisher auf dem Gateanschluß landen dürfen. Bisher wäre bei einem schlecht justierten CG-Kontakt der Siliziumnitridseitenwand-Spacer durch den abschließenden Siliziumnitridkappen-Ätzschritt angegriffen worden.
15

20 Daraus resultierend kann durch das Entschärfen der Kontaktjustierung das gesamte Zellenfeld verkleinert werden.

Insbesondere können alle unterschiedlichen Kontakte gleichzeitig mit demselben von der CB-Ätzung bekannten Ätzverfahren
25 gleichzeitig schonend geätzt werden.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des in Anspruch 1 angegebenen Herstellungsverfahrens.
30

Gemäß einer bevorzugten Weiterbildung erfolgt das Freilegen der Oberseite eines Gateanschlusses des dritten Gatestapels durch die folgenden Schritte: Vorsehen einer weiteren Maske auf der ersten Isolationsschicht, welche eine vierte Öffnung
35 oberhalb des dritten Gatestapels aufweist; Freilegen der Oberseite des dritten Gatestapels durch einen Ätzprozeß unter Verwendung der weiteren Maske; Entfernen der ersten Maske;

selektives Ätzen des dritten Gatestapels, bis die der Oberseite des Gateanschlusses freigelegt ist.

5 Gemäß einer weiteren bevorzugten Weiterbildung werden die erste und zweite Isolationsschicht planarisiert, bis die Oberseiten des ersten und zweiten Gatestapels freigelegt sind.

Gemäß einer weiteren bevorzugten Weiterbildung wird unter der Maske eine dritte Isolationsschicht vorgesehen.

10

Gemäß einer weiteren bevorzugten Weiterbildung ist die Maske eine Hartmaske.

15

Gemäß einer weiteren bevorzugten Weiterbildung ätzt der Ätzprozeß zum gleichzeitigen Bilden eines ersten, zweiten und dritten Kontaktlochs anisotrop die Isolationsschichten selektiv zum freiliegenden Material der Gatestapel.

20

Gemäß einer weiteren bevorzugten Weiterbildung wird auf dem Substrat mit den Gatestapeln eine Linerschicht als Ätzstopp für den der Ätzprozeß zum gleichzeitigen Bilden eines ersten, zweiten und dritten Kontaktlochs vorgesehen wird und nach dem Ätzprozeß zum gleichzeitigen Bilden eines ersten, zweiten und dritten Kontaktlochs in einem separaten Ätzprozeß entfernt.

25

Gemäß einer weiteren bevorzugten Weiterbildung werden die Öffnungen mit einem Taper versehen, also derart, daß sie sich nach unten verjüngen. Der Vorteil des Tapers liegt darin, daß man noch kleinere Löcher kann, als üblicherweise mit kritischer Lithographie möglich wäre, bzw. daß man größere Löcher belichten kann, die dann durch den Taper kleiner werden. So kann die entsprechende Lithographie in einem stabileren Prozeßbereich durchgeführt werden.

35

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

Fig. 1a-j schematische Darstellungen aufeinanderfolgender
Verfahrensstadien eines Herstellungsverfahrens einer integrierten Schaltung in Silizium-Technologie als Ausführungsform der vorliegenden Erfindung; und

Fig. 2a,b schematische Darstellungen aufeinanderfolgender
Verfahrensstadien eines bekannten Herstellungsverfahrens einer integrierten Schaltung in Silizium-Technologie.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

Fig. 1a-j sind schematische Darstellungen aufeinanderfolgender Verfahrensstadien eines Herstellungsverfahrens einer integrierten Schaltung in Silizium-Technologie als Ausführungsform der vorliegenden Erfindung.

Gemäß Fig. 1a wird ein Substrat 1 mit einer (nicht gezeigten) Speicherzellenanordnung bereitgestellt. Bezugszeichen 60 bezeichnet ein aktives Gebiet, beispielsweise ein gemeinsames Source-/Draingebiet zweier Speicherzellen. Oberhalb des aktiven Gebietes 60 befinden sich benachbarte Gatestapel GS1 und GS2, welche einen kritischen Abstand voneinander aufweisen. Weiterhin vorgesehen auf dem Substrat 1 ist ein dritter Gatestapel GS3, welcher einen wesentlich größeren und unkritischen Abstand zu den anderen beiden Gatestapeln GS1, GS2 aufweist.

Die Gatestapel GS1, GS2, GS3 sind alle ungefähr gleich hoch und besitzen denselben Aufbau, nämlich eine untere Schicht aus Polysilizium mit einer (nicht eingezeichneten) darunterliegenden Gateoxidschicht, eine mittlere Schicht 20 aus Silizid und eine obere Schicht 30 aus Siliziumnitrid. Ebenfalls

aus Siliziumnitrid hergestellt sind die Seitenwand-Spacer 40. CB, CS und CG bezeichnen Positionen, an denen die verschiedenen elektrischen Kontakte, wie eingangs erläutert, herzustellen sind.

5

In einem ersten Schritt wird bei dieser Ausführungsform eine Linerschicht 50 konform abgeschieden, welche eine Barriere gegen die Diffusion von Bor und Phosphor ist und welche als Ätzstopp für ein späteres Siliziumoxidätzen ist. Als Linerschicht 50 eignet sich z.B. Siliziumnitrid oder Siliziumoxinitrid.

10

Nach der Linerabscheidung wird über der resultierenden Struktur eine Siliziumoxidschicht, z.B. eine BPSG-Schicht (Bor-Phosphor-Silikat-Glas), abgeschieden, welche mit Bezugszeichen 70 bezeichnet ist. Diese BPSG-Schicht 70 wird in einer anschließenden Temperung zum Verfließen gebracht, so daß sie keine Freiräume bzw. Voids insbesondere zwischen den eng benachbarten Gatestapeln GS1, GS2 hinterläßt. Dies führt zu dem in Fig. 1b gezeigten Verfahrensstadium.

15

20

In einem darauffolgenden Verfahrensschritt wird ein planarisierender ARC-Lack (Anti-Reflective Coating) aufgeschleudert, der die verbleibenden Unebenheiten (siehe Fig. 1b) der Oberfläche des BPSG 70 ausgleicht. Sollte dies für die nachfolgende Lithographie nicht ausreichen, kann nach dem Tempern der BPSG-Schicht 70 auch eine Planarisierung, beispielsweise mittels chemisch-mechanischen Polierens (CMP), erfolgen.

25

30

Anschließend wird eine Photolackschicht für eine Maske M1 aufgebracht und derart strukturiert, daß eine Öffnung F1 oberhalb des dritten Gatestapels GS3 vorliegt. Die Größe der Öffnung F1 ist unkritisch und kann über die Abmessungen des dritten Gatestapels GS3 hinausgehen. Der Zustand nach Belichtung und Entwicklung des Lacks der Maske M1 ist in Fig. 1c gezeigt.

35

Dazu sei bemerkt, daß bei ausreichender Größe des Lithographie-Prozeßfensters eventuell sogar auf die Abscheidung des ARC-Lacks verzichtet werden kann.

5 Mit Bezug auf Fig. 1d erfolgt nun ein Freilegen der Oberfläche des dritten Gatestapels GS3 und der aus der Siliziumoxidschicht 70 bestehenden Peripherie entsprechend der Größe des Fensters F1. Hierzu werden der ARC-Lack AR und die Siliziumoxidschicht 70 durch einen geeigneten Ätzprozeß, beispielsweise ein reaktives Ionenätzen, abgetragen. Im Anschluß daran werden die Reste der Maske M1 und der ARC-Lack AR entfernt, so daß die Siliziumoxidschicht 70 eine Maske für eine anschließende Ätzung des dritten Gatestapels GS3 bildet. Durch diese anschließende Ätzung, beispielsweise durch naßchemisches Ätzen mit heißer Phosphorsäure, wird die Oberfläche des dritten Gatestapels GS3 selektiv zum Siliziumoxid entfernt und die Silizidschicht 20 des dritten Gatestapels GS3 an der Oberseite freigelegt. Dieses Prozeßstadium ist in Fig. 1e gezeigt. Diese Silizidschicht 20 soll der entsprechende Kontakt CG elektrisch kontaktieren. Die Ätzzeit muß derart bemessen sein, daß noch Teile des Seitenwandspacers 40 stehenbleiben.

Im nächsten Verfahrensschritt wird ein weiteres Zwischenoxid, z.B. eine TEOS-Schicht 80, auf der resultierenden Struktur abgeschieden, was zum in Fig. 1f gezeigten Prozeßstadium führt.

Nunmehr werden die Siliziumoxidschichten 70 und 80 derart planarisiert, daß die Oberseite der Gatestapel GS1, GS2 freigelegt wird. Dieses Planarisieren erfolgt ebenfalls zweckmäßigerweise mittels eines chemisch-mechanischen Polierprozesses. Die resultierende Struktur hat eine im wesentlichen ebene Oberfläche, wie in Fig. 1g gezeigt.

35 Anschließend wird ein weiteres Zwischenoxid (z.B. TEOS), das mit Bezugszeichen 90 bezeichnet ist, auf der resultierenden Struktur abgeschieden. Dieses Zwischenoxid dient als Ab-

standshalter vom Substrat zur Metallisierung M2, um kapazitive Kopplungen gering zu halten.

5 Auf dem Zwischenoxid 90 wird dann eine Hartmaske, beispielsweise aus Polysilizium, abgeschieden und diese in üblicher Weise photolithographisch strukturiert.

Der resultierende Zustand ist in Fig. 1h gezeigt, wobei F2a, F2b, F2c jeweilige Öffnungen in der Hartmaske M2 bezeichnen.

10

Die erste Öffnung F2a liegt oberhalb der freigelegten Oberseite des Gateanschlusses 20 des dritten Gatestapels GS3. Die zweite Öffnung F2b liegt oberhalb des Substrats 1 zwischen dem dritten und dem zweiten Gatestapel GS3 und GS2. Die dritte Öffnung F2c liegt oberhalb des aktiven Bereichs 60 und überlappt den ersten und zweiten Gatestapel GS1, GS2 teilweise.

15

Mit Bezug auf Fig. 1i werden nun die Kontaktlöcher KB, KS, KG für die Kontakte CB, CS bzw. CG reaktiv geätzt. Zweckmäßig dabei ist, daß alle verschiedenen Kontaktlochtypen KB, KS, KG gleichzeitig strukturiert werden können. Dabei wird ein Ätzverfahren verwendet, das anisotrop die Zwischenoxide selektiv zum Siliziumnitrid, Siliziumoxinitrid bzw. Gatematerial und dem Polysilizium ätzt. Dadurch wird gewährleistet, daß die beiden tiefen Kontaktlöcher KB, KS bis zur Linerschicht 50 durchgeätzt werden und das weniger tiefe Kontaktloch KG bis zum Gateanschluß 20 durchgeätzt wird.

20

25

30 Mit Bezug auf Fig. 1j wird anschließend noch in einem separaten Ätzschritt die Linerschicht 50 durchgeätzt, so daß nunmehr in einem späteren Verfahrensschritt ein elektrischer Kontakt zwischen der Metallisierungsebene und den am Kontaktlochboden vorliegenden Strukturen hergestellt werden kann.

35

Die letztlich resultierende Struktur ist in Fig. 1j dargestellt. Im Anschluß an das in Fig. 1j gezeigte Verfahrenssta-

dium wird die Metallisierungsebene in bekannter Verfahrensweise aufgebracht und strukturiert.

5 Obwohl die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

10 Insbesondere ist die Auswahl der Schichtmaterialien nur beispielhaft und kann in vielerlei Art variiert werden.

Selbstverständlich ist anstatt der erwähnten Hartmaske auf dem Zwischenoxid ebenfalls die Ausbildung einer geeigneten Photolackmaske prinzipiell denkbar. Allerdings senkt man
15 durch die Einführung der Hartmaske das Aspektverhältnis bei der anschließenden Kontaktlochätzung im Vergleich dazu, daß man die Kontaktlöcher durch dicken Photolack hindurch ätzen muß.

Bezugszeichenliste

1	Substrat
GS1, GS2, GS3	Gatestapel
60	aktives Gebiet (Source, Drain)
10	Polysilizium mit darunterliegendem Gateoxid
20	Silizid
30	Siliziumnitrid
40	Siliziumnitrid-Seitenwandspacer
50	Liner aus Siliziumnitrid bzw. Siliziumoxinitrid
70	erstes Siliziumoxid
80	zweites Siliziumoxid
90	drittes Siliziumoxid
CB, CD, CG	Stelle für Bitleitungs-, Substrat- und Wortleitungskontakt
KB, KS, KG	Kontaktloch für Bitleitungs-, Substrat- und Wortleitungskontakt
F1, F2a, F2b, F2c	Öffnung
M1, M2	Masken
IS	Isolationsschicht
F	Polysiliziumfüllung
M	Metallebene
OT	Overlaytoleranz
JS	Justierschwankung

Patentansprüche

1. Herstellungsverfahren für eine integrierte Schaltung mit den Schritten:

5

Bereitstellen eines Substrats (1) mit mindestens einem ersten, zweiten und dritten auf der Substratoberfläche vorgesehenen, ungefähr gleich hohen Gatestapel (GS1, GS2, GS3), wobei ein gemeinsamer aktiver Bereich (60) an der Substratoberfläche im Substrat (1) zwischen dem ersten und zweiten Gatestapel (GS1, GS2) vorgesehen ist;

10

Vorsehen einer ersten Isolationsschicht (70) zum überdeckenden Einbetten des ersten, zweiten und dritten Gatestapels (GS1, GS2, GS3);

15

Freilegen der Oberseite eines Gateanschlusses (20) des dritten Gatestapels (GS3);

20

Vorsehen einer zweiten Isolationsschicht (80) zum Überdecken der Oberseite eines Gateanschlusses (20);

25

Vorsehen einer Maske (M2) auf der resultierenden Struktur, welche eine erste Öffnung (F2a) oberhalb der freigelegten Oberseite des Gateanschlusses (20) des dritten Gatestapels (GS3), eine zweite Öffnung (F2b) oberhalb des Substrats (1) zwischen dem dritten und dem zweiten Gatestapel (GS3, GS2) und eine dritte Öffnung (F2c) oberhalb des gemeinsamen aktiven Bereichs (60) aufweist, die den ersten und des zweiten Gatestapel (GS1, GS2) teilweise überlappt; und

30

gleichzeitiges Bilden eines ersten, zweiten und dritten Kontaktlochs (KB, KS, KG) durch einen Ätzprozeß unter Verwendung der Maske (M2), wobei das erste Kontaktloch (KB) den gemeinsamen aktiven Bereich (60) an der Substratoberfläche zwischen dem ersten und zweiten Gatestapel (GS1, GS2), das zweite Kontaktloch (KS) die Substratoberfläche zwischen dem zweiten und

35

drritten Gatestapel (GS2, GS2) und das dritte Kontaktloch (KG) die Oberseite des Gateanschlusses (20) des dritten Gatestapels (GS3) freilegt.

- 5 2. Verfahren nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
daß das Freilegen der Oberseite eines Gateanschlusses (20) des dritten Gatestapels (GS3) durch die folgenden Schritte erfolgt:

10

Vorsehen einer weiteren Maske (M1) auf der ersten Isolations-
schicht (70), welche eine vierte Öffnung (F1) oberhalb des
drritten Gatestapels (GS3) aufweist;

- 15 Freilegen der Oberseite des dritten Gatestapels (GS3) durch
einen Ätzprozeß unter Verwendung der weiteren Maske (M1);

Entfernen der ersten Maske (M1);

- 20 selektives Ätzen des dritten Gatestapels (GS3), bis die der
Oberseite des Gateanschlusses (20) freigelegt ist.

3. Verfahren nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t ,

- 25 daß die erste und zweite Isolationsschicht (70, 80) planari-
siert werden, bis die Oberseiten des ersten und zweiten Ga-
testapels (GS1, GS2) freigelegt sind.

4. Verfahren nach Anspruch 3,

- 30 d a d u r c h g e k e n n z e i c h n e t ,
daß unter der Maske (M2) eine dritte Isolationsschicht (90)
vorgesehen wird.

5. Verfahren nach einem der vorhergehenden Ansprüche,

- 35 d a d u r c h g e k e n n z e i c h n e t ,
daß die Maske (M2) eine Hartmaske ist.

6. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
daß der Ätzprozeß zum gleichzeitigen Bilden eines ersten,
zweiten und dritten Kontaktlochs (KB, KS, KG) anisotrop die
5 Isolationsschichten (70, 80, 90) selektiv zum freiliegenden
Material der Gatestapel (GS1, GS2, GS3) ätzt.

7. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
10 daß auf dem Substrat (1) mit den Gatestapeln (GS1, GS2, GS3)
eine Linerschicht (50) als Ätzstopp für den der Ätzprozeß zum
gleichzeitigen Bilden eines ersten, zweiten und dritten Kon-
taktlochs (KB, KS, KG) vorgesehen wird und nach dem Ätzprozeß
zum gleichzeitigen Bilden eines ersten, zweiten und dritten
15 Kontaktlochs (KB, KS, KG) in einem separaten Ätzprozeß ent-
fernt wird.

8. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
20 daß die Öffnungen (F2a, F2b, F2c) mit einem sich nach unten
verjüngenden Taper versehen werden.

9. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
25 daß durch das zweite Kontaktloch (KS) einen weiteren aktiven
Bereich an der Substratoberfläche im Substrat (1) freigelegt
wird.

FIG 1a

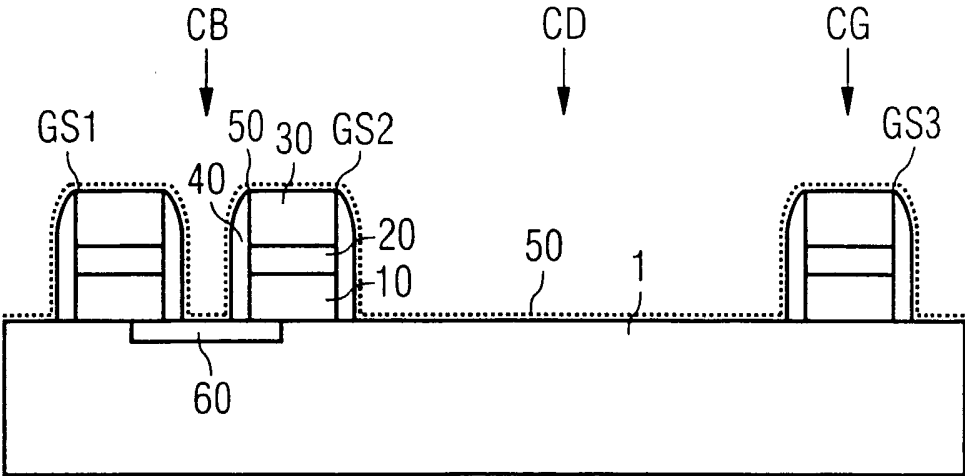


FIG 1b

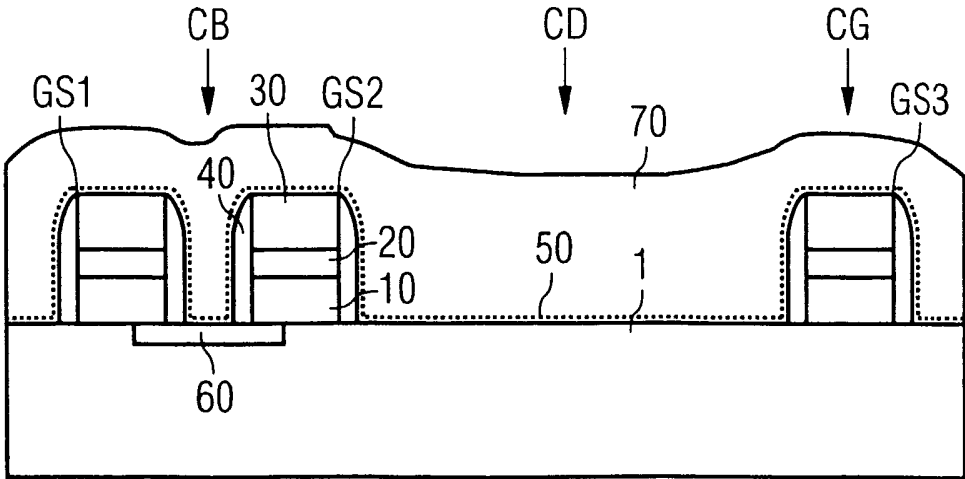


FIG 1c

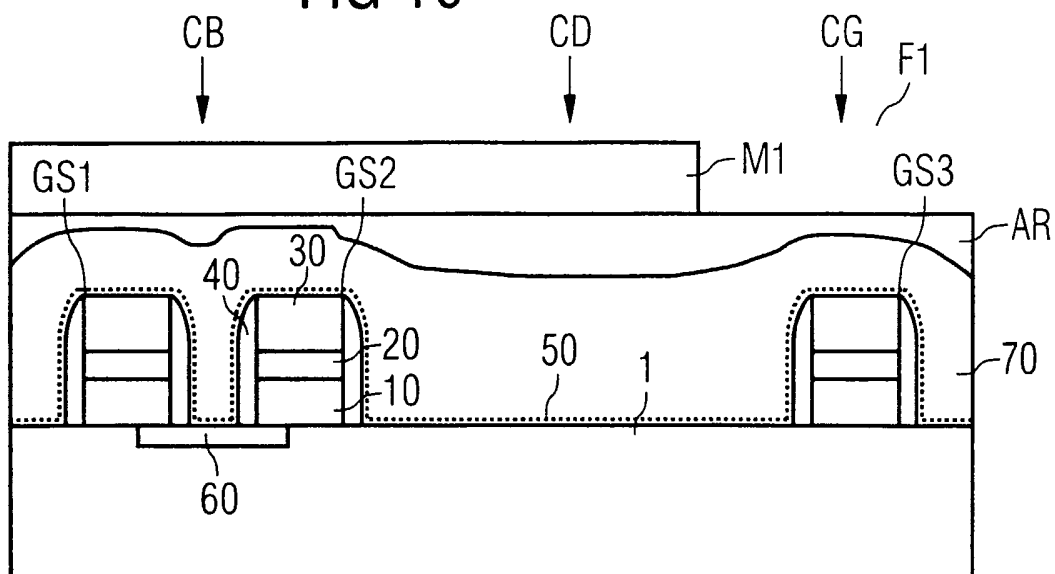


FIG 1d

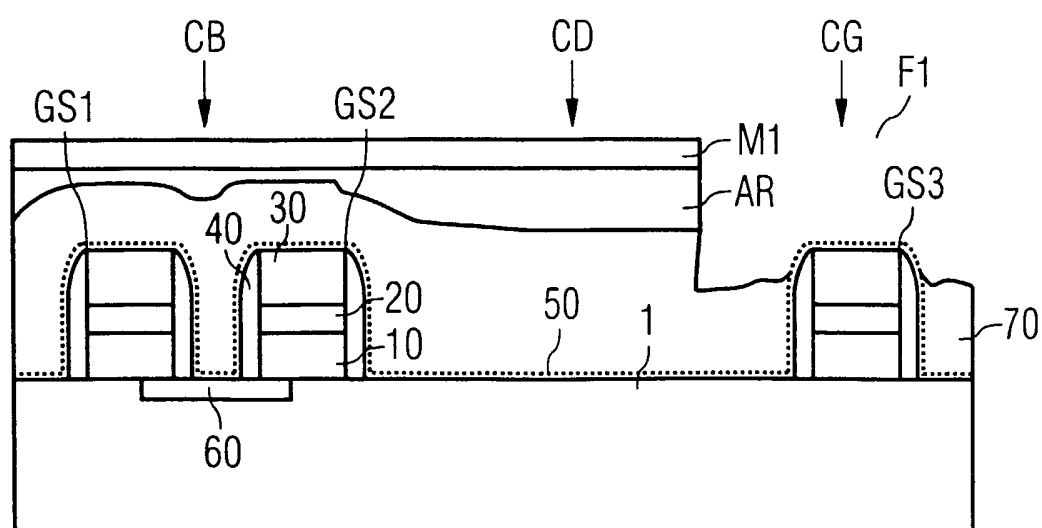


FIG 1e

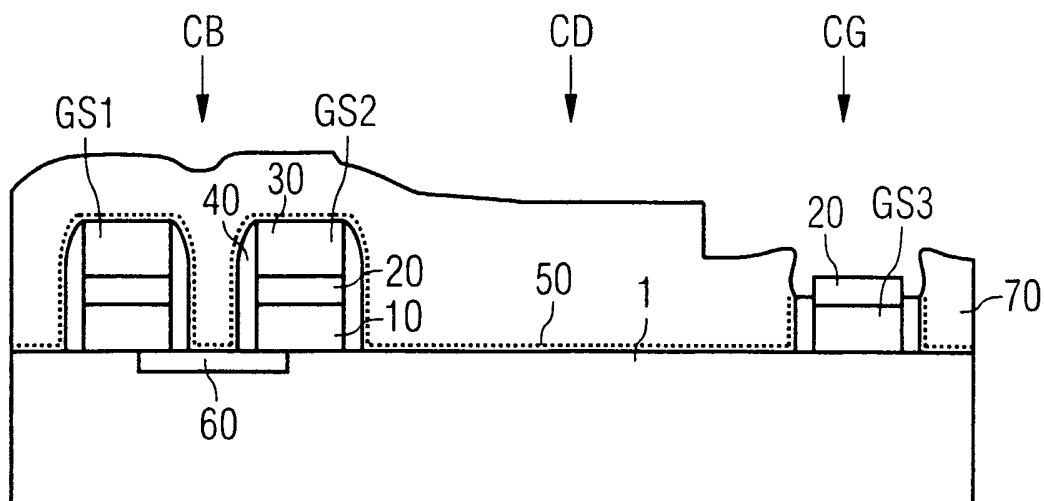
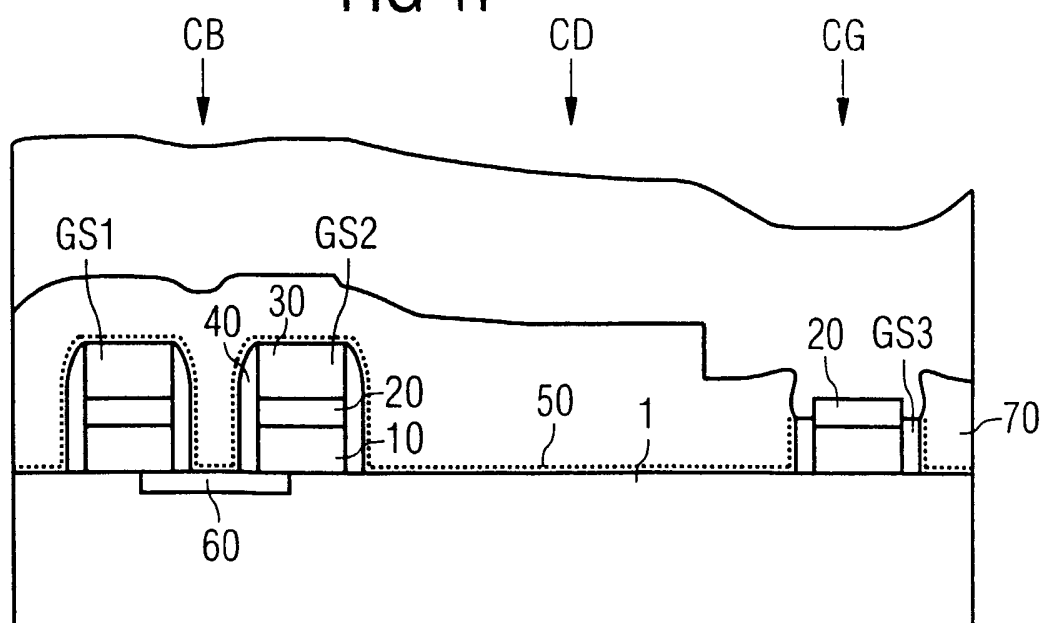


FIG 1f



4/6

FIG 1g

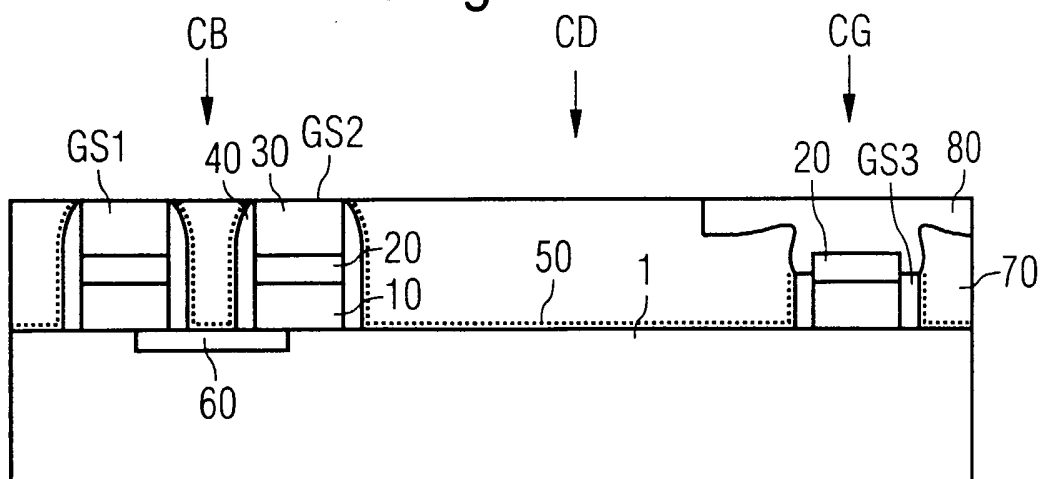
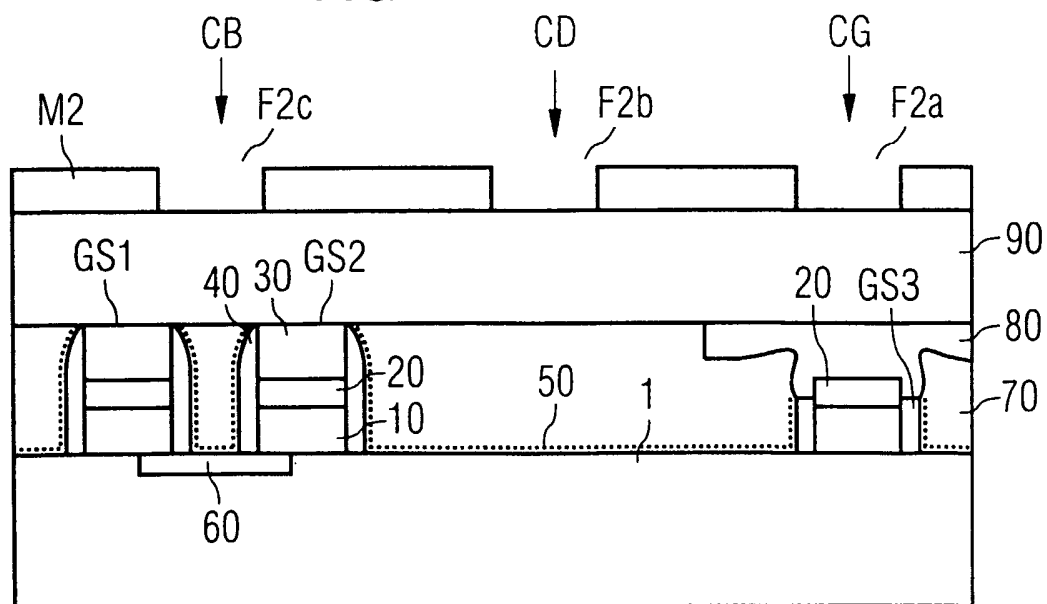


FIG 1h



5/6

FIG 1i

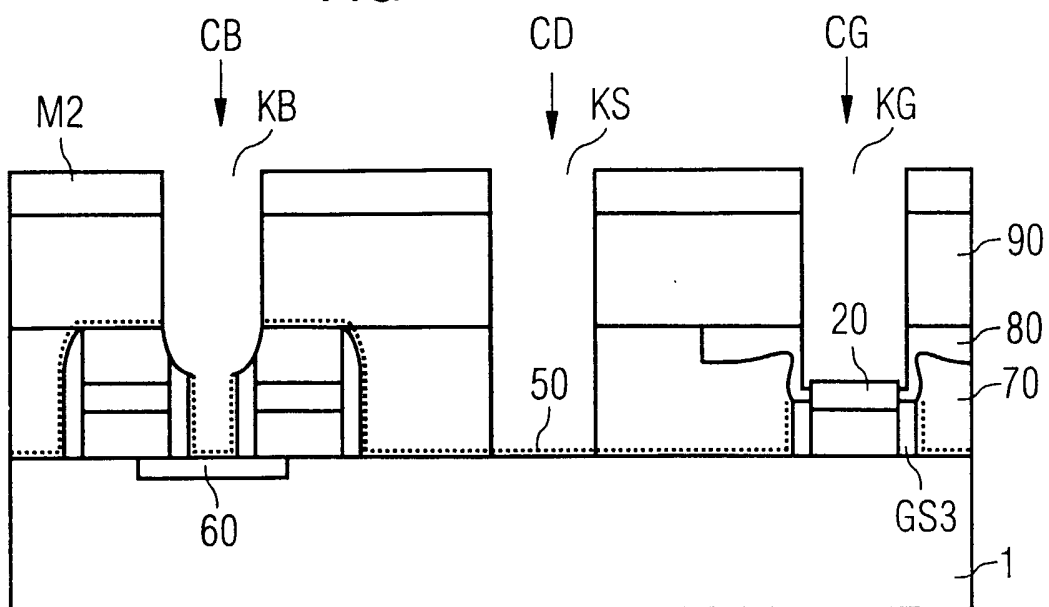
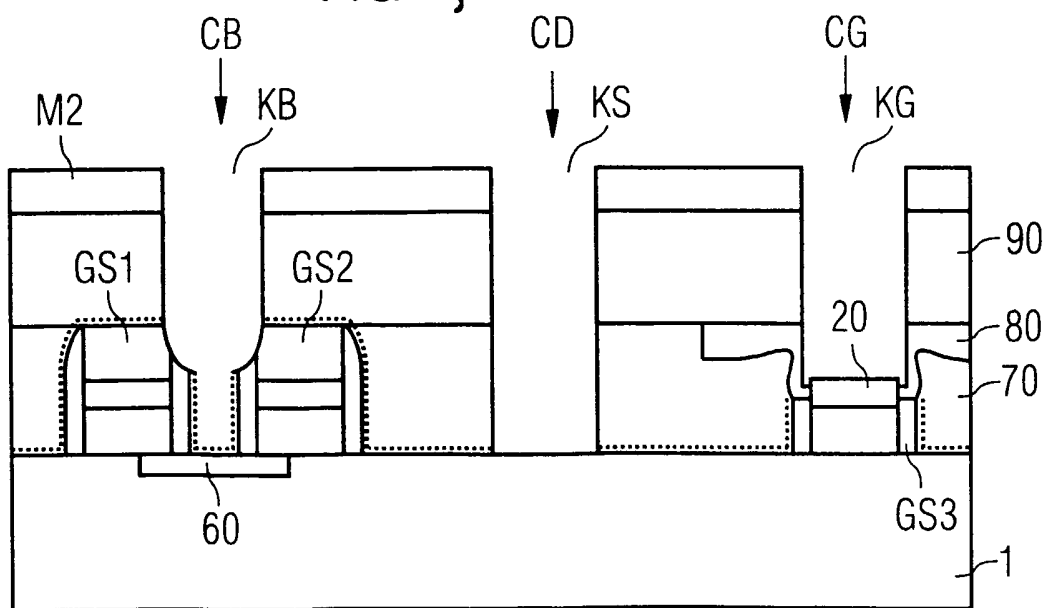


FIG 1j



6/6

FIG 2a

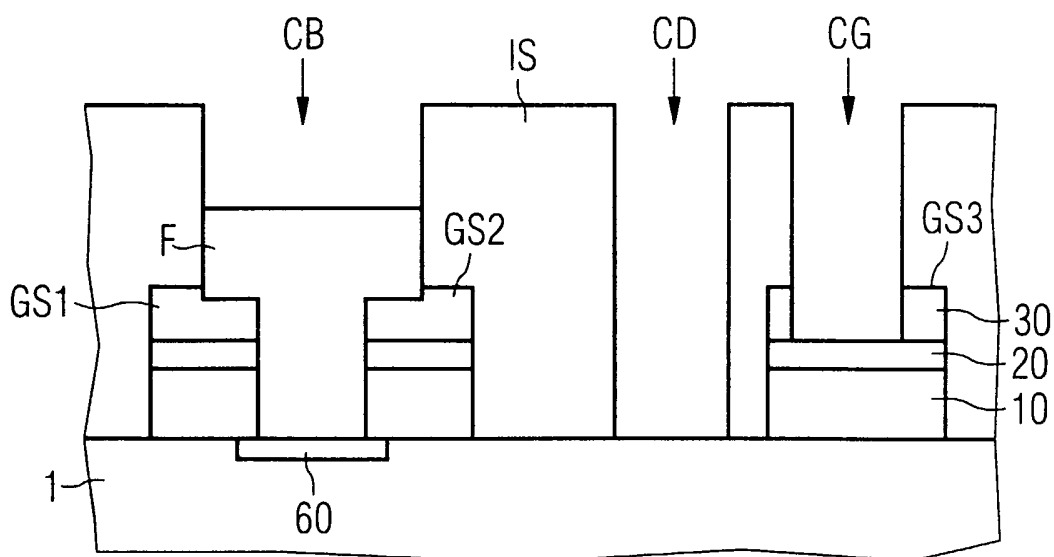


FIG 2b

