

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03K 23/66

[12] 发明专利申请公开说明书

[21] 申请号 99801893.7

[43] 公开日 2001 年 3 月 14 日

[11] 公开号 CN 1287715A

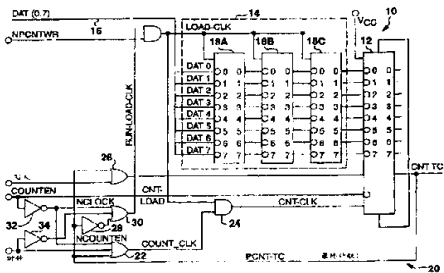
[22] 申请日 1999.10.20 [21] 申请号 99801893.7
[30] 优先权
[32] 1998.10.26 [33] US [31] 09/179,120
[86] 国际申请 PCT/US99/24620 1999.10.20
[87] 国际公布 WO00/25426 英 2000.5.4
[85] 进入国家阶段日期 2000.6.21
[71] 申请人 密克罗奇普技术公司
地址 美国亚利桑那州
[72] 发明人 保罗·巴纳

[74] 专利代理机构 柳沈知识产权律师事务所
代理人 马 莹

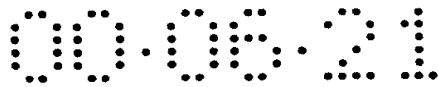
权利要求书 5 页 说明书 4 页 附图页数 1 页

[54] 发明名称 实现多个计数的计数器及其方法
[57] 摘要

一种能够实现多个连续计数的可写入的计数器电路。可写入的计数器电路使用一个计数器,用于监视一系列指定的事件。一个数据存储器件连接到计数器,用于对于每个所述的连续的计数给所述的计数器写入计数器值。一个控制逻辑电路连接到计数器并且连接到数据存储器件,用于给计数器和数据存储器件写入计数器值。



ISSN 1008-4274



权 利 要 求 书

1. 一种能够实现多个连续计数的可写入的计数器电路, 包括以下的组合:

5 一个计数器, 用于监视一系列指定的事件;

 一个数据存储器件, 它连接到所述的计数器, 用于对于每个所述的连续的计数给所述的计数器写入计数器值;

 一个控制逻辑电路, 连接到所述的计数器并且连接到所述的数据存储器件, 用于给所述计数器和所述数据存储器件写入所述计数器值。

10 2. 根据权利要求 1 所述的能够实现多个连续计数的可写入的计数器电路, 其特征在于: 所述的数据存储器件是至少一个寄存器。

 3. 根据权利要求 1 所述的能够实现多个连续计数的可写入的计数器电路, 其特征在于: 所述的数据存储器件是多个寄存器, 其中所述多个寄存器中的每个寄存器都连接到它后边的紧接着的一个寄存器上, 并且所述多个
15 寄存器中的最后一个寄存器连接到所述的计数器。

 4. 根据权利要求 3 所述的能够实现多个连续计数的可写入的计数器电路, 其特征在于: 还包括一个数据总线, 所述的数据总线连接到所述多个寄存器中的第一个寄存器, 用于给所述多个寄存器写入所述的计数器值。

 5. 根据权利要求 1 所述的能够实现多个连续计数的可写入的计数器电
20 路, 其特征在于: 所述的可写入的计数器还包括一个起动信号, 它耦合到所述计数器, 当所述计数器写入所述的计数器值之一时能用于起动所述计数器和用于禁止所述的计数器。

 6. 根据权利要求 5 所述的能够实现多个连续计数的可写入的计数器电路, 其特征在于: 所述的控制逻辑电路包括:

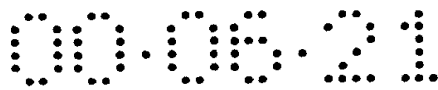
25 第一时钟信号线, 对写入所述数据存储器件的数据计时;

 写入信号线, 向所述计数器发出信号: 要从所述数据存储器件写入下一个计数器值;

 第二时钟信号线, 用于向所述计数器提供一个运行时间时钟信号;

 最终计数信号线, 它连接到所述控制逻辑电路, 向所述控制逻辑电路发
30 出信号: 要给所述的计数器写入一个新的计数器值。

 7. 根据权利要求 6 所述的能够实现多个连续计数的可写入的计数器电



路，其特征在于：所述的控制逻辑电路还包括：

第一逻辑门，它的第一输入端连接到一个反相起动信号，它的第二输入端连接到所述第二时钟信号线，它的第三输入端连接到所述最终计数信号线；

5 第二逻辑门，它的第一输入端连接到所述反相起动信号，它的第二输入端连接到一个反相第二时钟信号线，它的第三输入端连接到一个反相最终计数信号线；

第三逻辑门，它的第一输入端连接到所述最终计数信号线，它的第二输入端连接到所述写入信号线；

10 第四逻辑门，它的第一输入端连接到所述第二逻辑门的输出，它的第二输入端连接到所述第一时钟信号线；

第五逻辑门，它的第一输入端连接到所述第四逻辑门的输出，它的第二输入端连接到所述第一逻辑门的输出。

8. 根据权利要求 7 所述的能够实现多个连续计数的可写入的计数器电路，其特征在于：所述第一逻辑门、所述第二逻辑门、所述第三逻辑门全是或门。

9. 根据权利要求 7 所述的能够实现多个连续计数的可写入的计数器电路，其特征在于：所述第四逻辑门和所述第五逻辑门全是与门。

10. 一种能够实现多个连续计数的可写入的计数器电路，包括以下的组合：

一个计数器，用于监视一系列指定的事件；

一个数据存储器件，它连接到所述的计数器，用于对于每个所述的连续的计数给所述的计数器写入计数器值，其中所述的数据存储器件是多个寄存器，所述多个寄存器中的每一个连接到后面紧跟着的寄存器，所述多个寄存器中的最后一个寄存器连接到所述计数器；

25 一个数据总线，它连接到所述多个寄存器中的第一个寄存器，用于为所述多个寄存器写入所述计数器值；

一个起动信号，它耦合到所述计数器，当所述计数器写入所述计数器值之一时用于起动所述计数器和用于禁止所述计数器；和

30 控制逻辑电路，它连接到所述计数器并且连接到所述数据存储器件，用于给所述计数器和所述数据存储器件写入所述计数器值，所述的控制逻辑电

路包括:

第一时钟信号线, 对写入所述数据存储器件的数据计时;

写入信号线, 向所述计数器发出信号: 要从所述数据存储器件写入下一个计数器值;

5 第二时钟信号线, 用于向所述计数器提供一个运行时间时钟信号;

最终计数信号线, 它连接到所述控制逻辑电路, 向所述控制逻辑电路发出信号: 要给所述的计数器写入一个新的计数器值;

10 第一逻辑门, 它的第一输入端连接到一个反相起动信号, 它的第二输入端连接到所述第二时钟信号线, 它的第三输入端连接到所述最终计数信号线;

第二逻辑门, 它的第一输入端连接到所述反相起动信号, 它的第二输入端连接到一个反相第二时钟信号线, 它的第三输入端连接到一个反相最终计数信号线;

15 第三逻辑门, 它的第一输入端连接到所述最终计数信号线, 它的第二输入端连接到所述写入信号线;

第四逻辑门, 它的第一输入端连接到所述第二逻辑门的输出端, 它的第二输入端连接到所述第一时钟信号线;

第五逻辑门, 它的第一输入端连接到所述第四逻辑门的输出端, 它的第二输入端连接到所述第一逻辑门的输出端。

20 11. 根据权利要求 10 所述的能够实现多个连续计数的可写入的计数器电路, 其特征在于: 所述第一逻辑门、所述第二逻辑门、所述第三逻辑门全是或门。

12. 根据权利要求 10 所述的能够实现多个连续计数的可写入的计数器电路, 其特征在于: 所述第四逻辑门和所述第五逻辑门全是与门。

25 13. 一种提供能够实现多个连续计数的可写入的计数器电路的方法, 包括以下的步骤:

提供一个计数器, 用于监视一系列指定的事件;

提供一个数据存储器件, 它连接到所述的计数器, 用于对于每个所述的连续的计数给所述的计数器写入计数器值;

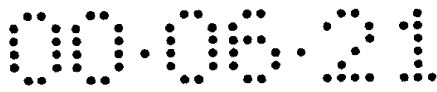
30 提供一个控制逻辑电路, 连接到所述的计数器并且连接到所述的数据存储器件, 用于给所述计数器和所述数据存储器件写入所述计数器值。

00:05:21

提供第五逻辑门，它的第一输入端连接到所述第四逻辑门的输出，它的第二输入端连接到所述第一逻辑门的输出端。

19. 根据权利要求 18 所述的方法，其特征在于：所述第一逻辑门、所述第二逻辑门、所述第三逻辑门全是或门。

20. 根据权利要求 18 所述的方法，其特征在于：所述第四逻辑门和所述第五逻辑门全是与门。



说明书

实现多个计数的计数器及其方法

5

技术领域

本发明一般来说涉及计数器电路，更加具体地说，涉及可以写入在不同时间用不同方法跟踪多个连续事件的不同计数值的计数器电路。

背景技术

10 计数器已经出现许多年了。诸如仿真器、逻辑分析器、以及其它逻辑数字应用场合之类的许多系统都使用计数器作为测量时间长度的装置和用于计数事件发生的特定数目的装置。在许多这样的系统中，通常期望得到时间上连续的多个计数。当前，对于多个连续计数的应用，大多数系统对于每个连续的计数使用单个计数器。

因此，存在提供改进的能够代替多个单个计数器的计数器电路的需要。
15 这个改进的计数器电路可以是一个可写入的计数器。这个可写入的计数器应该能写入不同的计数值，用于以不同的计数跟踪多个连续的事件。

本发明的概述

按照本发明的一个实施例，本发明的一个目的是提供一种改进的计数器电路。

20 本发明的另一个目的是提供一种改进的可写入的计数器电路。

本发明的下一个目的是提供一种改进和可写入的计数器电路，所述的可写入的计数器电路可以写入不同的计数值，以便以不同的计数跟踪多个连续的事件。

25 本发明的下一个目的是提供一种改进的可以替换多个单个计数器的计数器电路。

按照本发明的一个实施例，公开了一种能够实现多个连续计数的一种可写入的计数器电路。可写入的计数器电路使用了可以监视一系列特定事件的一个计数器。将一个数据存储器件连接到这个计数器上，以便给这个计数器写入每个连续计数的计数器值。一个控制逻辑电路连接到计数器并且连接到
30 数据存储电路，以便给计数器和数据存储器件写入计数器的值。

按照本发明的另一个实施例，公开了一种提供可写入的计数器电路的方

法，所述的可写入的计数器电路能够实现多个连续的计数。这个方法包括如下步骤：提供用于监视一系列特定事件的一个计数器；提供连接到计数器的一个数据存储器件，用于给计数器写入每个连续计数的计数器值；和，提供连接到计数器并且连接到数据存储电路的一个控制逻辑电路，用于给计数器和数据存储器件写入计数器值。

从以下结合附图说明的本发明的优选实施例的更加具体的描述中，本发明的上述目的和其它目的、特征、和优点都将变成显而易见。

附图的简要说明

图 1 是用于实现多个连续计数的一个计数器的简化功能方块图。

优选实施例的详细描述

现在参照图 1，其中表示用于实现多个连续计数的一个可写入的计数器电路 10（下面称之为可写入的计数器电路 10）。可写入的计数器电路 10 使用计数器 12 监视一系列特定的事件。计数器 12 有一个时钟输入端（CK），用于接收运行时间时钟信号。计数器 12 还有一个计数起动（EN）输入端，用于接收起动和禁止计数器 12 的信号，并且还有一个数据写入输入端（LD），用于接收通知计数器 12 写入一个新的计数值的信号。在图 1 所示的实施例中，计数器 12 是一个 8 位的递减计数器。因此，计数器 12 有 8 个输入端，用于接收要写入计数器 12 的数据。应该注意的是，计数器 12 可以是一个递增的或递减的计数器，并且可以是任何位数。计数器 12 的容量和类型不应看成是对本发明的范围的限制。

计数器 12 连接到一个数据写入设备 14。使用数据写入设备 14 给计数器 12 写入所述的可写入的计数器电路 10 要完成的每个连续的计数的计数器值。数据是通过数据总线 16 写入数据写入设备 14 的。在图 1 所示的实施例中，数据写入设备 14 是一个多寄存器流水线。多寄存器流水线由多个寄存器 18A-18C 构成。在图 1 所示的实施例中，表示出 3 个寄存器流水线。然而，这个流水线数据通道可以包含任何数目的寄存器 18A-18C。通过移动数据使其经过多寄存器流水线数据通道进入计数器 12，就可把数据经总线 16 写入计数器 12。

可写入的计数器电路 10 使用多个信号线给计数器 12 写入新的计数器值。NPCNTWR 是用来使数据时钟信号输入计数器 12 和多个寄存器 18A-18C 的

一个信号线。对于图 1 所示的实施例，NPCNTWR 信号是一个低电平有效的信号。进而，在本实施例中，当给计数器 12 写入一个值时，NPCNTWR 信号必须经流水线寄存器 18 写入 4 个相继的计数值。这些值对应于每个连续的计数序列的计数值。

5 使用一个“LOAD”信号线来起动计数器 12 以写入数据。在图 1 所示的实施例中，“LOAD”信号是一个高电平有效的信号。当要为计数器 12 写入一个数据值时，“LOAD”信号必须被认定为高电平。

10 使用一个“COUNTEN”信号来起动计数器 12 操作以增加/减小（取决于计数器 12 的类型）计数器值。在图 1 所示的实施例中，“COUNTEN”信号是一个高电平有效的信号。所以，当计数器 12 装有初始的计数值时，“COUNTEN”信号被认定为低电平。当在运行时间要为计数器 12 写入一个新的值时，“COUNTEN”信号是高电平。

可写入的计数器电路 10 还使用一个“CLOCK”信号。“CLOCK”信号是一个高速时钟信号，向计数器 12 提供运行时间时钟信号。

15 可写入的计数器电路 10 有一个控制逻辑电路 20。控制逻辑电路 20 用于控制在计数器 12 和数据写入设备 14 中的数据值的写入。控制逻辑电路 20 由多个逻辑门组成。或门 22 的一个输入端连接到“CLOCK”信号。“CLOCK”信号与“COUNTEN”信号和计数器 12 输出的一个反向最终计数信号进行或操作。或门 22 的输出（COUNT - CLK）通过一个与门，并且用作计数器 12 的一个时钟信号（CNT - CLK）。

20 当计数器 12 到达它的最终计数时，计数器 12 的最终计数输出（TC）认定为高电平。TC 输出作为计数器的最终计数值（CNT - TC）的输入信号反馈到控制逻辑电路 20。使用 CNT - TC 信号作为或门 26 的一个输入信号。CNT - TC 信号在或门 26 与“LOAD”信号进行或操作。当计数器 12 到达最终计数时，迫使或门 26 的输出（CNT - LOAD）为高电平。“CNT - TC”信号还要在或门 22 与“CLOCK”信号进行或操作，以便“接入”“COUNT - CLK”或“RUN - LOAD - CLK”。

“COUNTEN”信号由反相器 32 反相，并且用作或门 30 的一个输入。

30 “CLOCK”信号也由反相器 34 反相，并且用作或门 30 的第二个输入。当“CNT - TC”信号为高电平时，计数器 12 的 TC 输出 CNT - TC 由反相器 28 反相，这又使一个反相的时钟信号（NCLOCK）能通过或门 30 并且以一个新的计数

器值锁存，所述的新的计数器值当前正保持在数据写入设备 14 的最后一个寄存器 18C 中。这样就通过信号“RUN-LOAD-CLK”和“LOAD-CLK”使保持在寄存器 18A 和 18B 中的流水线数据还前移。一旦一个新的值写入计数器 12，“CNT-TC”认定为低电平，“CNT-LOAD”为低电平，“RUN-LOAD-CLK”为高电平，并且“COUNT-CLK”为低电平（在或门 22 经 CLOCK 信号），从而使计数器 12 可以在下一个 CLOCK 信号的上升沿增加/减小计数。在每个最终计数都要发生这个过程。

虽然参照本发明的优选实施例具体地表示并描述了本发明，但本领域的普通技术人员可以理解，在不偏离本发明的构思和范围的条件下可以进行上述的和其它的形式上的和细节方面的改变。

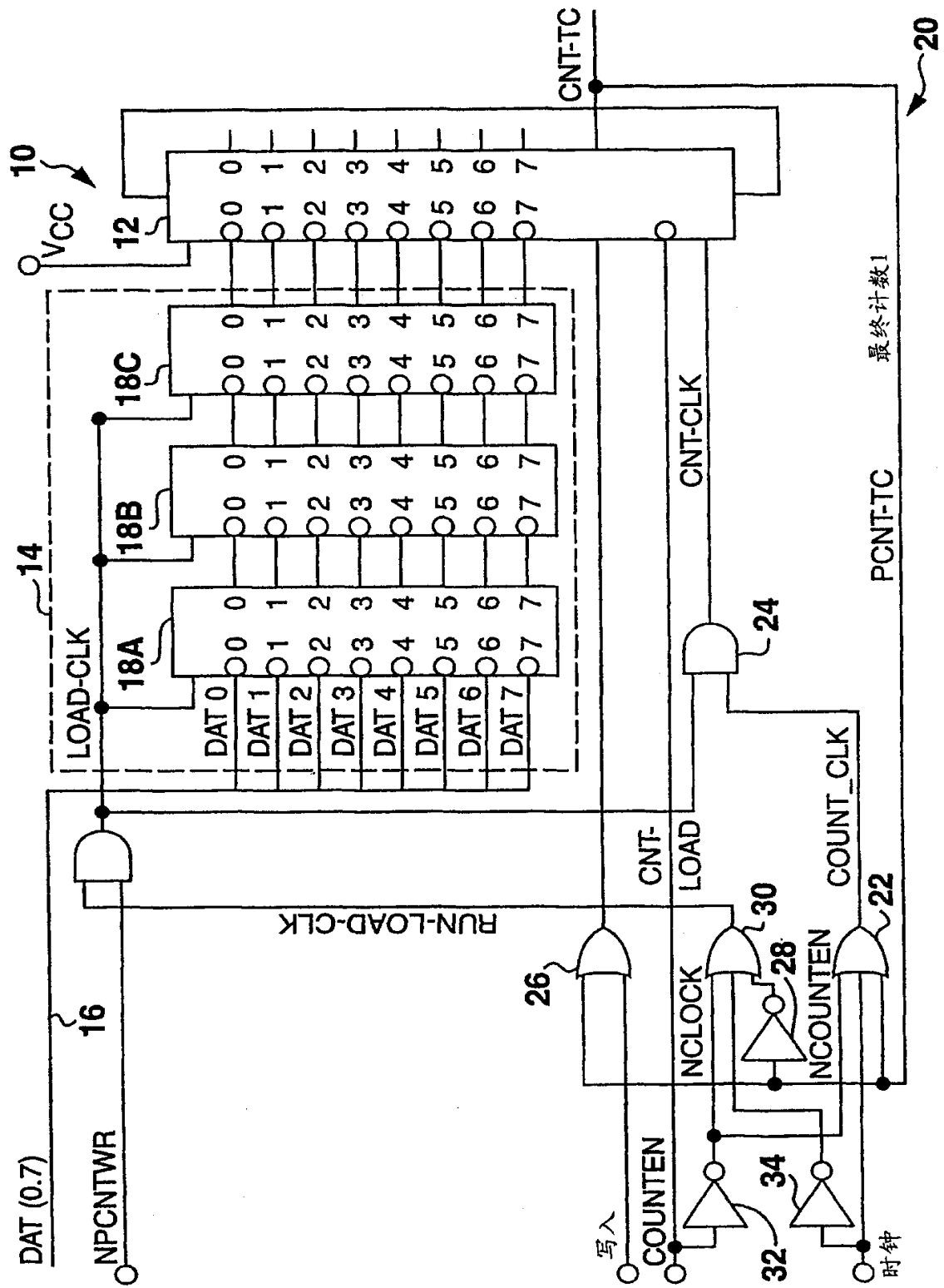


图 1