



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

# UIBM

|                           |                        |
|---------------------------|------------------------|
| <b>DOMANDA NUMERO</b>     | <b>101994900375580</b> |
| <b>Data Deposito</b>      | <b>22/06/1994</b>      |
| <b>Data Pubblicazione</b> | <b>22/12/1995</b>      |

|                               |            |
|-------------------------------|------------|
| <b>Priorità</b>               | 08/082.051 |
| <b>Nazione Priorità</b>       | US         |
| <b>Data Deposito Priorità</b> |            |

|                |               |                    |               |                    |
|----------------|---------------|--------------------|---------------|--------------------|
| <b>Sezione</b> | <b>Classe</b> | <b>Sottoclasse</b> | <b>Gruppo</b> | <b>Sottogruppo</b> |
| G              | 11            | C                  |               |                    |

Titolo

"PROCEDIMENTO ED APPARECCHIO PER LA CONFIGURAZIONE DI CIRCUITI DI MEMORIA".

DESCRIZIONE**RM94 A 000407**

a corredo di una domanda di Brevetto d'Invenzione,  
avente per titolo:

"Procedimento ed apparecchio per la configurazione  
di circuiti di memoria".

a nome: PI E DESIGN SYSTEMS, INC.

---

1. Campo dell'Invenzione

La presente invenzione si riferisce ai dispositivi di memorizzazione elettronici configurabili, particolarmente alle celle di memoria configurate per emulare circuiti comprendenti una memoria digitale.

2. Descrizione della Tecnica Precedente

Nel campo della automazione della progettazione elettronica (EDA), vari software ed associati hardware sono usati per definire e verificare le progettazioni dei circuiti. Particolarmente per realizzare una verifica più accurata delle progettazioni circuitali, utensili di EDA noti come "emulatori" vengono impiegati per costruire le rappresentazioni funzionali delle definizioni dei prototipi dei circuiti. Poichè tali rappresentazioni emulate consentono al progettista del circuito di operare o di sviluppare in maniera flessibile un sistema desidera

*Ing. Giovanni S. Sarnano*  
*Procuratore*

to unitamente alla rappresentazione emulata, anche prima che il circuito prototipo o l'hardware sia praticamente fabbricato, il tempo di progettazione ed il costo complessivo vengono significativamente ridotti.

Sebbene i convenzionali utensili di emulazione siano convenienti per la definizione e per la verifica dei circuiti logici, tali strumenti non sono usati facilmente per emulare circuiti di memoria, particolarmente i circuiti di memoria a porte multiple, configurati in varie configurazioni di memorizzazione. Pertanto, sarebbe desiderabile fornire circuiti di memoria che siano più facilmente configurabili in modo da emulare i prototipi delle progettazioni dei circuiti.

#### SOMMARIO DELL'INVENZIONE

L'invenzione consiste nella implementazione della definizione di un circuito di memoria in almeno uno di vari circuiti di memoria aventi una molteplicità di porte di accesso, in cui ciascuna porta di accesso di ciascun circuito di memoria, in cui viene implementata la definizione del circuito di memoria, è configurata per la lettura da ciascuno di tali circuiti di memoria oppure per la scrittura in esso.

*Ing. Barzani & Barzani*  
*Roma s.p.a.*

Preferibilmente, ciascun circuito di memoria comprende celle di memoria statiche aventi tre porte di accesso bidirezionali e la definizione del circuito di memoria definisce il contenuto iniziale della memorizzazione, la profondità, la larghezza e la selezione di banco nei circuiti di memoria in conformità con valori di configurazione preventivamente definiti. Inoltre, la definizione del circuito di memoria può definire, per ciascuna porta di accesso dei circuiti di memoria aventi la definizione del circuito di memoria implementata, se tale porta di accesso sia configurata per la lettura o per la scrittura.

Facoltativamente, alle porte di accesso configurate si può avere accesso durante intervalli elementari o finestre di tempo (slot) preventivamente definiti per leggere dai circuiti di memoria oppure per scrivere in essi. Separate finestre di tempo possono essere preventivamente definite per leggere dai circuiti di memoria oppure per scrivere in essi, contrariamente ai circuiti logici che non sono di memoria. Le finestre di tempo possono essere preliminarmente definite come una funzione dei segnali esterni di clock o di cadenzamento e dei tempi di accesso ai circuiti di memoria.

Facoltativamente, una definizione di circuito

*Ing. Romano & Romano*  
*Roma spa*

di prototipo può essere suddivisa in una definizione di circuito logico per la implementazione in un modulo logico riconfigurabile e nella definizione di circuito di memoria per la implementazione in almeno uno dei circuiti di memoria. Il modulo logico riconfigurabile può essere intercollegato direttamente ai circuiti di memoria oppure attraverso un modulo di intercollegamento programmabile.

Per emulare la definizione del circuito di prototipo suddivisa, il modulo logico riconfigurabile ed i circuiti di memoria sono intercollegati e collegati ad un sistema desiderato o di bersaglio, il quale viene fatto funzionare dopo essere stato così collegato. Durante la emulazione, il sistema di bersaglio può accedere alle porte di accesso in modo da leggere dai circuiti di memoria oppure scrivere in essi. Il sistema bersaglio può anche provocare la implementazione nei circuiti di memoria di una diversa definizione del circuito di memoria, dopo di che le porte di accesso verrebbero riconfigurate conformemente.

#### BREVE DESCRIZIONE DEI DISEGNI

La Figura 1 rappresenta uno schema a blocchi di un sistema per automazione di progettazione elettronica (EDA) che mostra la stazione di utente 10,

*Ing. Barrano & Tanardo*  
*Roma s.p.a.*

l'unità di spulciatura o di debug 12 ed i moduli logici 14 collegati ai moduli di interconnessione e di memoria 20, 100 ed al sistema di bersaglio 18 attraverso i nodi di interfacciamento 16,

la Figura 2 rappresenta uno schema a blocchi del modulo di memoria 100 che mostra il gruppo ordinato o mosaico di memoria 200 e la circuiteria relativa,

la Figura 3 rappresenta uno schema a blocchi del mosaico di memoria 200 che mostra il circuito di memoria 208 che include le celle 204 ed i circuiti o moduli di latch 202,

la Figura 4 rappresenta un diagramma di flusso che mostra in generale un procedimento che incorpora la presente invenzione.

#### DESCRIZIONE DELLE PREFERITE FORME DI REALIZZAZIONE

La Figura 1 rappresenta uno schema a blocchi di un sistema per automazione di progettazione elettronica (EDA) che mostra la stazione di utente o workstation 10 di ingegneria collegata all'unità di spulciatura o debugger 12, i moduli dei blocchi logici (LBM) 14, il modulo di interconnessione programmabile (PIM) 20, il modulo di memoria configurabile 100, i nodi di interfacciamento 16 ed il sistema bersaglio 18. Il sistema EDA, il quale è configurato

*Ing. Giovanni S. Iannacchi*  
*Roma*

per una emulazione similmente ai sistemi di emulazione logici "MARS" progettati dalla PiE Design Systems, Inc. (Sunnyvale, CA), viene usato da un progettista di circuiti o di sistemi per definire e verificare la funzionalità del circuito o del sistema utilizzando le tecniche della pannellatura o della emulazione. Ulteriori moduli LBM 14 (N) vengono usati per emulare circuiti o sistemi più complessi.

La stazione di utente 10 comprende un convenzionale elaboratore o processore che può essere collegato ad una rete di analoghi elaboratori per la comunicazione o la elaborazione distribuita. La stazione di utente 10 contiene utensili o strumenti di EDA in software per ingegneria e progettazione agevolate dal calcolatore (CAE/CAD) per definire e verificare i prototipi delle progettazioni ei circuiti. Per esempio, il progettista di un circuito può utilizzare tali strumenti per inserire gli schemi circuitali o per sintetizzare le porte logiche in modo da definire o progettare la funzionalità o la rappresentazione del circuito o del sistema e quindi utilizzare tali strumenti per simulare o verificare la funzionalità definita.

Il progettista del circuito può svolgere una ulteriore verifica mediante la emulazione della fun-

*Ing. Barisano G. Barisano*  
*Roma s.p.a.*

zionalità definita. La emulazione permette al progettista del circuito in pratica di operare una rappresentazione emulata del circuito prototipo nel sistema bersaglio 18, in cui il circuito prototipo è destinato a funzionare.

Inizialmente, prima che un prototipo di circuito possa essere emulato, il progettista del circuito provoca il fatto che gli strumenti di EDA definiscano e preferibilmente verifichino una particolare progettazione del circuito. Una volta che la progettazione del circuito sia stata definita o verificata, il progettista del circuito provoca il fatto che gli strumenti di EDA generino un convenzionale archivio del circuito o lista complessiva, che fornisce una elencazione testuale (per esempio in un formato "ASCII") dei componenti e degli intercollegamenti nella progettazione del circuito. In conformità con la presente invenzione, il disegno di ciascun circuito è definito in modo da includere almeno un componente di memoria, come anche dei componenti logici.

L'unità di spulciatura 12, che è collegata alla stazione di utente 10, consente al progettista del circuito di trasferire o scaricare la lista complessiva generata dalla stazione di utente 10 ai mo-

*Ing. Giovanni S. Sarnardo*  
*Roma spa*

duli logici 14, al modulo di intercollegamento 20 ed al modulo di memoria 100. L'unità di spulciatura 12 serve anche come un dispositivo di verifica funzionale ed un analizzatore logico per verificare il funzionamento della rappresentazione emulata del disegno del prototipo di circuito. L'unità di spulciatura 12 può operare in un modo di verifica funzionale (spulciatura o debug) oppure in un modo di emulazione (esecuzione o funzionamento).

Dopo che è stata generata una particolare lista complessiva, il progettista del circuito può fare in modo che gli strumenti di EDA ricevano la lista complessiva per provocare il fatto che la definizione o il disegno del circuito in essa contenuto sia implementato fisicamente o "scaricato" nei vari circuiti logici riconfigurabili o nei gruppi ordinati o mosaici di circuiti porta programmabili sul campo (FPGA) inclusi nei moduli logici 14, nel caso di componenti logici, e nelle celle di memoria o nella memoria statica ad accesso casuale (SRAM) incluse nel modulo di memoria 100, nel caso dei componenti di memoria.

La emulazione viene realizzata mediante la configurazione programmabile, in conformità con la lista complessiva, dell'intercollegamento effettivo

*Ing. Barzano G. Barardo*  
*Roma s.p.a.*

e della implementazione funzionale dei circuiti logici riconfigurabili inclusi nei moduli logici 14 e, secondo la necessità, l'intercollegamento effettivo dei percorsi elettrici riconfigurabili nel modulo di intercollegamento e la configurazione della memoria effettiva ed il contenuto nel modulo di memoria 100.

Il progettista del circuito utilizza un comando di progettazione-importazione per fare in modo che gli strumenti di EDA verifichino, fra le altre cose, se tutti i componenti logici e di memoria inclusi nella lista complessiva siano disponibili o memorizzati in una libreria ovvero in una base di dati preventivamente definita delle rappresentazioni logiche e di memoria, come fornite rispettivamente nel modulo logico 14 e nel modulo di memoria 100. Preferibilmente, se un particolare componente logico o di memoria non è disponibile nella libreria o biblioteca, allora lo strumento di EDA può generare una particolare configurazione di una corrispondente logica generica o di un componente di memoria. In questa maniera, utilizzando lo strumento di EDA per generare o costruire una particolare configurazione del componente, il progettista del circuito può adattare alle esigenze del cliente o specificare in maniera più completa certi parametri di funzionalità o

*Ing. Romano & Sarnardo*  
*Roma spa*

di funzionamento di tale particolare configurazione.

Dopo la importazione della lista complessiva, il progettista del circuito può implicare un programma di suddivisione incluso negli strumenti di EDA per determinare quali componenti inclusi nella lista complessiva siano componenti logici e di memoria. Preferibilmente, i componenti che includono informazioni binarie o digitali configurate o disposte per la memorizzazione temporanea o permanente in convenzionali o vari dispositivi combinatoriali, sequenziali o di stato, sono determinati come circuiti di memoria o componenti. Esempi di componenti di memoria comprendono i mosaici o matrici di memoria a nuclei aventi una singola oppure una molteplicità di porte, i mosaici di memoria cache o di servizio (comprendenti i mosaici di memorizzazione, marcatura e di stato), gli archivi realizzati come registri a porte multiple, le memorie di sola lettura (ROM) per micro codici, la memoria ad accesso casuale (RAM) alloggiata sul chip, le memorie primo-in-ingresso/primo-in-uscita (FIFO) e la memoria del processore (che include le memorie di servizio per le istruzioni ed i dati, i registri per scopi generali e la memoria RAM locale e di memorizzazione principale).

Altri componenti inclusi nella lista comples-

*Ing. Baranov & Baranov*  
*Roma spa*

siva, tipicamente comprendenti i convenzionali circuiti combinatoriali, sequenziali o di stato, configurati o progettati per applicazioni diverse dalla memorizzazione, sono determinati come circuiti logici o componenti. E' possibile, secondo la designazione fornita dall'ingegnere progettista, impiegare convenzionali circuiti logici per applicazioni di progettazione del tipo memoria di immagazzinamento.

Dopo aver determinato quali componenti della lista complessiva siano componenti logici e quali siano componenti di memoria, il programma di suddivisione suddivide la lista complessiva per lo scaricamento o la effettiva implementazione funzionale dei componenti e degli intercollegamenti con i moduli logici 14, i moduli di intercollegamento 20 o i moduli di memoria 100.

I componenti logici vengono scaricati nei moduli logici 14 per configurare le porzioni circuitali logiche e gli associati intercollegamenti, utilizzando preferibilmente tecniche convenzionali per programmare o configurare le unità FPGA oppure i blocchi logici configurabili (CLB) in essi contenuti, in conformità con la lista complessiva suddivisa. I componenti di memoria vengono scaricati nel modulo di memoria 100, come verrà ulteriormente descritto nel-

*Ing. Giovanni G. Randazzo*  
*Roma 1994*

la presente. Facoltativamente, i componenti di memoria possono essere scaricati nei moduli logici 14 per una equivalente implementazione funzionale in essi.

Gli intercollegamenti nella lista complessiva possono essere scaricati nel modulo logico 14, utilizzando l'intercollegamento configurabile disponibile su ciascun modulo logico 14 oppure i moduli FPGA in esso contenuti, oppure al modulo di intercollegamento 20, utilizzando i percorsi di intercollegamento programmabili oppure gli interruttori cross-bar configurabili in essi disponibili.

La intera definizione o progettazione del prototipo di circuito viene implementata funzionalmente e fisicamente per la emulazione quando tutte oppure le porzioni desiderate o le liste complessive secondarie dei componenti logici e di memoria e gli intercollegamenti nella lista complessiva vengono scaricati nei moduli logici 14, nel modulo di memoria 100 e facoltativamente nel modulo di intercollegamento 20. Dopo tale configurazione, la progettazione del circuito di prototipo implementata nei moduli logici 14, nel modulo di intercollegamento 20 e nel modulo di memoria 100 può essere collegata attraverso vari nodi di interfacciamento o collegamenti di segnali

*Ing. Baranov & Baranov*  
*Roma spa*

16 ad una porta convenzionale oppure ad una presa di segnali nel sistema bersaglio 18, per un effettivo funzionamento operativo o per la emulazione in esso.

Durante la emulazione, il sistema bersaglio 18 opera sotto temporizzazioni o condizioni normali o prossime alle normali, mediante applicazione ad esso di appropriati dati, segnali di controllo, segnali di verifica, di potenza, di massa ed altri appropriati segnali, vettori o stimoli. In questa maniera, il progettista del circuito può spulciare o verificare la funzionalità del sistema bersaglio 18 o della progettazione di prototipo temporaneamente configurata per la emulazione nei moduli logici 14, nel modulo di intercollegamento 20 e nel modulo di memoria 100.

In aggiunta, il progettista del circuito può determinare che varie variazioni di riconfigurazione o funzionali negli intercollegamenti o nei componenti inclusi nella lista complessiva sono necessarie per modificare o variare la progettazione del circuito di prototipo. Tale modificazione viene realizzata dal progettista del circuito facendo in modo che gli strumenti di EDA ridefiniscano e, se necessario, ri-verifichino la progettazione del prototipo di circui

Eng. Giovanni S. Amadio  
Roma, aprile

to. Un numero ed una misura virtualmente illimitati di diverse o simili modificazioni sono possibili poichè la implementazione funzionale dei circuiti logici e gli intercollegamenti nei moduli logici 14, nei circuiti di memoria in detto modulo di memoria 100 e negli intercollegamenti nel modulo di memoria 100 sono riconfigurabili o riprogrammabili utilizzando gli strumenti di EDA.

La Figura 2 rappresenta uno schema a blocchi di un modulo di memoria 100 che comprende un gruppo ordinato o mosaico (matrice) di memoria 200 e relativa circuiteria, con inclusione di un modulo 102 di controllo o di elaborazione "JTAG", del generatore 14 dei segnali o delle finestre di tempo elementari, del decodificatore 108 di configurazione della memoria, dell'oscillatore o clock esterno 106, del moltiplicatore o multiplexer (MUX) 110, del gruppo ordinato logico o "beta-alfa" riconfigurabile e dei circuiti latch o interruttori bidirezionali 112, 114 e 116.

Nella Figura 3, la matrice di memoria 200 è rappresentata come vari circuiti di memoria intercollegati 208 comprendenti le celle o circuiti di memorizzazione digitali 204, gli interruttori o latch di dati 202 e le porte di lettura/scrittura configurabili bidirezionali 206. Preferibilmente, la cella

*Ing. Barzani & Barzani*  
*Roma spa*

204 comprende otto celle di memoria ad accesso casuale statica (RAM) a 3 porte, in cui ciascuna cella 204 è costituita da una cella di memoria SRAM da 32K X 32 avente un tempo di accesso di 25 ns. La direzione dell'accesso per ciascuna porta 206 è configurata o programmata come un modo di lettura oppure un modo di scrittura per un appropriato accesso alla corrispondente cella 204, preferibilmente mediante configurazione o programmazione della direzione di commutazione dei segnali dell'interruttore 112, del latch 114 o del latch 116 collegato ad esso.

Il dispositivo di controllo 102 riceve l'informazione costituita dalla lista complessiva suddivisa comprendente i componenti logici e di memoria, l'informazione di configurazione e di inizializzazione di stato e l'intercollegamento, in rappresentazione delle progettazioni dei prototipi di circuito, che vengono scaricate dagli strumenti di EDA dalla stazione di utente 10 o dall'unità di spulciatura 12. Il componente logico o l'associata configurazione di intercollegamento o l'informazione di inizializzazione vengono scaricati nei dispositivi logici riconfigurabili o FPGA per la loro programmazione o configurazione, inclusi nella matrice logica 118.

La configurazione del componente di memoria o

*Ing. Giovanni G. Varnato*  
*Roma spa*

dell'intercollegamento associato oppure l'informazione di inizializzazione vengono scaricate in modo da programmare o configurare i dispositivi logici riconfigurabili o FPGA inclusi nel mosaico logico 118, nelle celle di memoria riconfigurabili 204, nelle porte di ingresso/uscita (I/O) di lettura/scrittura riconfigurabili 206 o nei circuiti di latch bidirezionali riconfigurabili 202 nel mosaico di memoria 200 o negli interruttori o latch bidirezionali riconfigurabili 112, 114, 116 nel modulo di memoria 100.

Il dispositivo di controllo 102 riceve anche, memorizza ed applica configurazioni o vettori di verifica o di esplorazione dei confini per verificare la funzionalità del circuito attraverso tutto il modulo di memoria 100, preferibilmente in conformità con la norma JTAG, come definita in IEEE Std. 1149.1: "Standard Test Access Port and Boundary Scan Architecture". Il dispositivo di controllo 102 è costituito da un convenzionale microprocessore collegato al generatore 104 della finestra di tempo elementare, al multiplatore MUX 110 ed al decodificatore 108 e riceve le istruzioni da un elaboratore ospite che può essere la stazione di utente 10 o l'unità di spulciatura 12.

Il dispositivo di controllo 102 utilizza una

*Ing. Barrano & Ranardo*  
*Roma spa*

serie di istruzioni preventivamente specificate fornite in un disco locale oppure in un dispositivo di memorizzazione per elaborare lo scaricamento della informazione della lista complessiva suddivisa nei circuiti di memoria configurabili nel mosaico di memoria 200, preferibilmente in conformità con gli strumenti di EDA previsti.

Ulteriori istruzioni vengono specificate per configurare i circuiti di memoria nella matrice o mosaico di memoria 200 in conformità con i componenti di memoria forniti nella lista complessiva, in particolare in conformità con valori delle configurazioni di preventiva definizione, per esempio la direzione di accesso alla porta 206, il contenuto di memorizzazione di cifra, la grandezza della profondità di memorizzazione, la grandezza della larghezza di memorizzazione e le selezioni di banco di memorizzazione.

Il decodificatore 108 è un circuito decodificatore delle configurazioni della memoria, incorporato preferibilmente come un gruppo ordinato o mosaico logico programmabile (PLA) comprendente 93 ingressi, in cui 8 piedini di ingresso sono usati per il codice di configurazione, 12 piedini di ingresso sono usati per la selezione di banco e di sottobanco, 24 piedini di ingresso sono usati per la selezione del-

*Ing. Giovanni Sarnano*  
*Roma spa*

la porta di lettura/scrittura, 16 piedini di ingresso vengono usati per l'aggruppamento delle celle di memoria, 8 piedini di ingresso sono usati per l'abilitazione delle celle di memoria, 24 piedini sono usati per il cadenzamento delle finestre di tempo delle porte ed un singolo piedino di ingresso viene usato per il cadenzamento del sistema; ed anche 136 uscite, in cui 32 piedini di uscita sono usati per abilitare la scrittura, 8 piedini di uscita sono usati per l'abilitazione di bus globale e 96 piedini di uscita sono usati per il controllo dei latch.

Il generatore 104 delle finestre di tempo genera preferibilmente fino a 24 finestre di tempo o impulsi di segnali temporizzati per 24 porte. Ciascuna finestra di tempo presenta una durata di 40 ns, in cui 10 ns sono assegnati per il tempo di indirizzamento e 25 ns sono assegnati per il tempo di accesso. Una linea di ritardo programmabile può essere applicata prima di ciascuna finestra di tempo ed il tempo di ritardo effettivo dipende dal ritardo di cadenzamento dell'indirizzo al sistema.

Il generatore 104 delle finestre di tempo opera preferibilmente sotto il controllo del dispositivo di controllo 102 per fornire segnali di uscita per abilitare la selezione di lettura/scrittura del-

*Ing. Barzani & Barzani*  
*Roma s.p.a.*

le porte e la selezione di banco/sottobanco per gene  
rare un appropriato segnale di scrittura ed un appro  
priato controllo di latch dei dati delle porte. Inol  
tre, il generatore 104 delle finestre di tempo ag  
giunge un tempo di ritardo dei dati di lettura al  
tempo di ciclo del sistema, ogni volta che l'ultima  
o la più recentemente letta delle porte è seguita da  
più di 4 porte. Preferibilmente, in questa maniera  
viene aggiunto un tempo di ritardo di 150 ns.

Il mosaico logico 118, che può essere collega  
to ai moduli logici 14, comprende i circuiti logici  
riconfigurabili o circuiti FPGA collegati al multi  
platore MUX 110 ed all'interruttore o latch 12, 116,  
114. L'interruttore 112, il latch 114 ed il latch  
116 sono latch o interruttori digitali bidirezionali  
riprogrammabili, per esempio 74F543, che sono colle  
gati ciascuno alle porte di accesso 206 per accedere  
all'informazione digitale per leggere o scrivere nel  
le celle 204.

Come rappresentato nella Figura 3, il multi  
platore MUX 110 viene collegato al modulo di control  
lo 102, al decodificatore 108, al mosaico di memoria  
200 ed al mosaico logico 118, mentre il dispositivo  
di cadenzamento o clock 106 viene collegato al gene  
ratore 104 delle finestre di tempo ed al decodifica

*Ing. Giovanni Damiano  
Roma 4/9/88*

tore 108.

Preferibilmente, il modulo di memoria 100 è configurato con parametri preventivamente definiti. La profondità della memoria è configurata da 1 a 32.767. La larghezza del banco è limitata a 32, 64, 128 o 256 bit. Perciò, se la progettazione di una memoria utilizza 95 bit in larghezza, allora vengono specificati 128 bit. La configurazione di selezione di banco dipende dalla larghezza del banco. Per esempio, un banco di 128 bit non consente più di due banchi, poichè il modulo di memoria 100 presenta una larghezza massima di 256 bit.

La configurazione di selezione dei sottoban-  
chi viene usata per una operazione di scrittura  
parziale. Per esempio, la configurazione di 4 byte  
viene configurata per larghezze di 32 bit, la sele-  
zione di 8 byte è configurata per larghezze di 64  
bit, la selezione di 8 doppi-byte è configurata per  
larghezze di 128 bit e la selezione di 8 quad-byte è  
configurata per una larghezza di 256 bit. La selezio-  
ne di sottobanco può essere disabilitata se non si  
richiede una capacità di scrittura parziale. Inoltre,  
le porte di lettura da uno a 24 e le porte di scrit-  
tura da uno a 16 sono preferibilmente configurate.  
Il numero totale delle porte di lettura e di scrittu

*Ing. Barzani & Barzani*  
*Roma s.p.a.*

ra configurate è 24.

Pertanto, in conformità con la presente invenzione, una definizione di circuito di memoria viene implementata in almeno uno dei vari circuiti di memoria 200, 208 aventi una molteplicità di porte di accesso 206, in cui ciascuna porta di accesso 206 di ciascun circuito di memoria 200, 208, nel quale viene implementata la definizione del circuito di me mo ria, è configurata per la lettura da ciascuno di tali circuiti di memoria 200, 208 oppure per la scrittura in esso.

Preferibilmente, ciascun circuito di memoria 200, 208 comprende celle di memoria statica 204 aven ti tre porte di accesso bidirezionali 206 e la definizione del circuito di memoria definisce i contenuti iniziali di memorizzazione, la profondità, la lar g h ez z a e la selezione di banco nei circuiti di memoria 200, 208 in conformità con valori di configurazioni preventivamente definiti. Valori di configurazione rappresentativi sono forniti nella allegata Tabella I. Inoltre, la definizione del circuito di memoria può definire, per ciascuna porta di accesso 206 dei circuiti di memoria 200, 208 aventi la definizione del circuito di memoria implementata, se tale porta di accesso 206 sia configurata per il modo

*Ing. Romano S. Leonardo*  
*Roma 1974*

di lettura o per il modo di scrittura.

La definizione di una tale configurazione per l'accesso alla memoria può essere realizzata preferibilmente mediante programmazione o configurazione di ciascun interruttore bidirezionale 112, latch 114 o latch 116, che è collegato a ciascuna delle tre porte di accesso 206. In questa maniera, ciascuna porta 206 viene implementata per l'accesso soltanto in scrittura (vale a dire una direzione dei segnali dall'esterno verso l'interno o direzione centripeta) oppure per l'accesso in sola lettura (vale a dire una direzione dei segnali dal centro verso lo esterno o direzione centrifuga). Ciascuna porta di accesso 206 può anche essere configurata bidirezionalmente, per l'accesso in lettura ed in scrittura.

Facoltativamente, la stessa definizione del circuito di memoria può essere implementata in ciascuno dei circuiti di memoria 200, 208 in modo tale che, per esempio, tutte le porte di accesso 206 per ciascun circuito di memoria 200, 208 siano configurate in maniera identica.

Facoltativamente, alle porte di accesso configurate 206 si può accedere durante finestre di tempo o intervalli elementari preliminarmente definite fornite dal generatore 104 delle finestre di tempo per

*Ing. Barzanò & Ranardo*  
*Roma s.p.a.*

leggere dai circuiti di memoria 200, 208 oppure scrivere in essi. Separate finestre di tempo possono essere preventivamente definite (per esempio prima oppure durante la emulazione) per leggere dai circuiti di memoria 200, 208 oppure per scrivere in essi, in contrasto con i circuiti logici che non sono di memoria.

Le finestre di tempo possono essere preventivamente definite come una funzione dei segnali esterni di clock o di cadenzamento e dei tempi di accesso ai circuiti di memoria e possono essere specificate conformemente dal progettista del circuito, per esempio durante la definizione del circuito di prototipo (impostazione della lista complessiva) o la verifica (emulazione). Durante una finestra di tempo comune o multiplata, si può accedere ad una serie di porte di accesso configurate 206 in parallelo; oppure, alternativamente, si può accedere ad un singolo circuito di memoria 200, 208 in serie durante ciascuna finestra di tempo (vale a dire uno alla volta). In aggiunta, un tale accesso può essere iniziato da un evento di scatto di lettura o di riletture asincrono.

Preferibilmente, l'informazione digitale memorizzata viene estratta dal gruppo ordinato di memoria 200 in parole di grandezza uguale oppure inferiore

*Ing. Romano & Leonardo  
Roma optica*

re ad una grandezza preventivamente definita. Perciò, quando le parole a cui si accede sono più grandi della dimensione preliminarmente definita, il dispositivo di controllo 102 suddivide o distribuisce tali parole più grandi in porzioni di parole che sono ciascuna più piccola oppure uguale ad una dimensione preventivamente definita. Inoltre, ciascuna porzione di parola viene estratta preferibilmente durante diverse o successive finestre di tempo.

Facoltativamente, una definizione di circuito di prototipo può essere suddivisa in una definizione di circuito logico per la implementazione in un modulo logico riconfigurabile 14 e nella definizione del circuito di memoria per la implementazione in almeno uno dei circuiti di memoria 200, 208. Il modulo logico riconfigurabile 14 può essere intercollegato con i circuiti di memoria 200, 208 direttamente oppure attraverso un modulo di intercollegamento programmabile 20.

Per emulare la definizione suddivisa del circuito di prototipo, il modulo logico riconfigurabile 14 ed i circuiti di memoria 200, 208 sono intercollegati ed accoppiati al sistema bersaglio 18, il quale viene quindi fatto funzionare dopo essere stato così collegato. Durante la emulazione, il sistema bersa-

*Ing. Barrano & Tanardo*  
*Roma spa*

glio 18 può accedere alle porte di accesso 206 per leggere dai circuiti di memoria 200, 208 oppure per scrivere in essi. In una configurazione ridefinita, il sistema di bersaglio 18 può anche provocare il fatto che una diversa definizione del circuito di me mo ria venga implementata nei circuiti di memoria 200, 208 e successivamente le porte di accesso 206 verrebbero conformemente riconfigurate.

Nella Figura 4, un diagramma di flusso illustra in generale un procedimento rappresentativo della presente invenzione. Inizialmente, nel blocco 210 è fornito almeno un circuito di memoria 100, 200, 208 in cui ciascun circuito di memoria comprende almeno una cella di memoria statica avente preferibilmente tre porte di accesso, in cui ciascuna porta comprende un interruttore bidirezionale. Quindi, una definizione di circuito di prototipo, preferibilmente nella forma di una lista complessiva o netlist, viene suddivisa, nel blocco 220, in porzioni logiche e di memoria.

In conformità con la presente invenzione, la porzione o definizione di memoria viene implementata nel blocco 230 in almeno uno dei circuiti di memoria previsti, in cui tale definizione di memoria preferi bilmente definisce i valori di configurazione inizia

*Ing. Giovanni S. Marano*  
*Roma spa*

li. In aggiunta, ciascuna porta di accesso 206 dei circuiti di memoria avente la definizione di memoria implementata può essere configurata nel blocco 240 per la lettura o per la scrittura. Preferibilmente, durante una finestra di tempo predeterminata, almeno ad una delle porte di accesso configurate si accede nel blocco 250 per effettuare la lettura da tali circuiti di memoria o la scrittura in essi.

Nella precedente disposizione, la emulazione del circuito di prototipo nel blocco 260 viene così abilitata e, come determinato conformemente dal progettista del circuito, la definizione del circuito di prototipo nel blocco 220 e le operazioni successive 230-260 possono essere ripetute, come indicato in 270.

TABELLA I

Configurazioni per parole di dati di 32 bit con selezione di scrittura da 8 bit:

| <u>CELLA</u> | <u>PORTA</u> | <u>BANCO</u> | <u>SOTTOBANCO</u> | <u>LARGHEZZA DI<br/>SCRITTURA</u> | <u>LARGHEZZA DI<br/>LETTURA</u> |
|--------------|--------------|--------------|-------------------|-----------------------------------|---------------------------------|
| 8            | 16W 8R       | 8            | 4*8               | 32                                | 32                              |
|              | 16W 4R       | 8            | 4                 | 32                                | 64                              |
|              | 16W 2R       | 8            | 4                 | 32                                | 128                             |
|              | 16W 1R       | 8            | 4                 | 32                                | 256                             |
|              | 8W 16R       | 8            | 4                 | 32                                | 32                              |

*Ing. Pansano & Pansano*  
*Roma s.p.a.*

|   |       |   |   |    |     |
|---|-------|---|---|----|-----|
|   | 8W 8R | 8 | 4 | 32 | 64  |
|   | 8W 4R | 8 | 4 | 32 | 128 |
|   | 8W 2R | 8 | 4 | 32 | 256 |
|   | 8W 1R | 8 | 4 | 32 | 256 |
| 4 | 8W 4R | 4 | 4 | 32 | 32  |
|   | 8W 2R | 4 | 4 | 32 | 64  |
|   | 8W 1R | 4 | 4 | 32 | 128 |
|   | 4W 8R | 4 | 4 | 32 | 32  |
|   | 4W 4R | 4 | 4 | 32 | 64  |
|   | 4W 2R | 4 | 4 | 32 | 128 |
|   | 4W 1R | 4 | 4 | 32 | 128 |
| 2 | 4W 2R | 2 | 4 | 32 | 32  |
|   | 4W 1R | 2 | 4 | 32 | 64  |
|   | 2W 4R | 2 | 4 | 32 | 32  |
|   | 2W 2R | 2 | 4 | 32 | 64  |
|   | 2W 1R | 2 | 4 | 32 | 64  |
| 1 | 2W 1R | 1 | 4 | 32 | 32  |
|   | 1W 2R | 1 | 4 | 32 | 32  |
|   | 1W 1R | 1 | 4 | 32 | 32  |

Configurazioni per parole di dati di 64 bit

con selezione di scrittura di 8 bit:

| <u>CELLA</u> | <u>PORTA</u> | <u>BANCO</u> | <u>SOTTOBANCO</u> | <u>LARGHEZZA DI<br/>SCRITTURA</u> | <u>LARGHEZZA DI<br/>LETTURA</u> |
|--------------|--------------|--------------|-------------------|-----------------------------------|---------------------------------|
| 8            | 8W 4R        | 4            | 8*8               | 64                                | 64                              |
|              | 8W 2R        | 4            | 8                 | 64                                | 128                             |
|              | 8W 1R        | 4            | 8                 | 64                                | 256                             |

*Ing. Giovanni S. Sarnardo*  
*Roma 1964*

|   |       |   |   |    |     |
|---|-------|---|---|----|-----|
|   | 4W 8R | 4 | 8 | 64 | 64  |
|   | 4W 4W | 4 | 8 | 64 | 128 |
|   | 4W 2R | 4 | 8 | 64 | 256 |
|   | 4W 1R | 4 | 8 | 64 | 256 |
|   | 2W 8R | 4 | 8 | 64 | 64  |
|   | 2W 4R | 4 | 8 | 64 | 128 |
|   | 2W 2R | 4 | 8 | 64 | 256 |
|   | 2W 1R | 4 | 8 | 64 | 256 |
| 4 | 4W 2R | 2 | 8 | 64 | 64  |
|   | 4W 1R | 2 | 8 | 64 | 64  |
|   | 2W 4R | 2 | 8 | 64 | 64  |
|   | 2W 2R | 2 | 8 | 64 | 128 |
|   | 2W 1R | 2 | 8 | 64 | 128 |
| 2 | 2W 1R | 1 | 8 | 64 | 64  |
|   | 1W 2R | 1 | 8 | 64 | 64  |
|   | 1W 1R | 1 | 8 | 64 | 64  |

Configurazioni per parole di dati di 128 bit  
con selezione di scrittura da 16 bit:

| <u>CELLA</u> | <u>PORTA</u> | <u>BANCO</u> | <u>SOTTOBANCO</u> | <u>LARGHEZZA DI<br/>SCRITTURA</u> | <u>LARGHEZZA DI<br/>LETTURA</u> |
|--------------|--------------|--------------|-------------------|-----------------------------------|---------------------------------|
| 8            | 4W 2R        | 2            | 8*16              | 128                               | 128                             |
|              | 4W 1R        | 2            | 8                 | 128                               | 128                             |
|              | 2W 4R        | 2            | 8                 | 128                               | 128                             |
|              | 2W 2R        | 2            | 8                 | 128                               | 256                             |
|              | 2W 1R        | 2            | 8                 | 128                               | 256                             |

*Ing. Parrano & Parrano*  
*Roma s.p.a.*

|   |       |   |   |     |     |
|---|-------|---|---|-----|-----|
| 4 | 2W 1R | 1 | 8 | 128 | 128 |
|   | 1W 2R | 1 | 8 | 128 | 128 |
|   | 1W 1R | 1 | 8 | 128 | 128 |

Configurazioni per parole di dati di 256 bit  
con selezione di scrittura da 32 bit:

| <u>CELLA</u> | <u>PORTA</u> | <u>BANCO</u> | <u>SOTTOBANCO</u> | <u>LARGHEZZA DI<br/>SCRITTURA</u> | <u>LUNGHEZZA DI<br/>LETTURA</u> |
|--------------|--------------|--------------|-------------------|-----------------------------------|---------------------------------|
| 8            | 2W 1R        | 1            | 8*32              | 256                               | 256                             |
|              | 1W 2R        | 1            | 8                 | 256                               | 256                             |
|              | 1W 1R        | 1            | 8                 | 256                               | 256                             |

*Ing. Bontano & Bontano*  
*Roma 4/1944*

UN MANDATARIO  
per se e per gli altri  
Antonio Talierno  
(N° d'iscr. 171)  
*Talierno*



RIVENDICAZIONI

1. Procedimento per configurare una pluralità di circuiti di memoria, il procedimento comprendendo le seguenti operazioni:

fornire una pluralità di circuiti di memoria, ciascun circuito di memoria avendo una pluralità di porte di accesso;

implementare una definizione di circuito di memoria in almeno uno dei circuiti di memoria forniti; e

configurare ciascuna delle porte di accesso di ciascun circuito di memoria fornito avente la definizione del circuito di memoria implementata per la lettura da ciascuno di tali circuiti di memoria forniti o per la scrittura in essi.

2. Procedimento secondo la rivendicazione 1, in cui ciascun circuito di memoria comprende almeno una cella di memoria statica.

3. Procedimento secondo la rivendicazione 1, in cui ciascuna porta di accesso comprende un interruttore bidirezionale configurato in conformità con la definizione del circuito di memoria.

4. Procedimento secondo la rivendicazione 1, in cui soltanto tre porte di accesso sono fornite per ciascun circuito di memoria.

*Ing. Barrano & Ranardo*  
*Roma s.p.a.*

5. Procedimento secondo la rivendicazione 1, in cui la definizione del circuito di memoria definisce i contenuti di memorizzazione iniziali in almeno uno dei circuiti di memoria forniti.

6. Procedimento secondo la rivendicazione 1, in cui la definizione del circuito di memoria definisce la profondità e la larghezza di memorizzazione in almeno uno dei circuiti di memoria forniti.

7. Procedimento secondo la rivendicazione 1, in cui la definizione del circuito di memoria definisce le selezioni dei banchi di memorizzazione in almeno uno dei circuiti di memoria forniti.

8. Procedimento secondo la rivendicazione 1, in cui la definizione del circuito di memoria definisce la configurazione di memorizzazione in almeno uno dei circuiti di memoria forniti, in conformità con uno di una pluralità di valori di configurazione preventivamente definiti.

9. Procedimento secondo la rivendicazione 1, in cui la definizione del circuito di memoria definisce, per ciascuna delle porte di accesso di ciascun circuito di memoria fornito avente la definizione del circuito di memoria implementata, in cui ciascuna di tali porte di accesso è configurata per la lettura da ciascuno di tali circuiti di memoria forniti

*Ing. Giovanni S. Sarnano*  
*Roma spa*

oppure per la scrittura in essi.

10. Procedimento secondo la rivendicazione 1, in cui la stessa definizione del circuito di memoria viene implementata in ciascuno dei circuiti di memoria forniti.

11. Procedimento secondo la rivendicazione 1, ulteriormente comprendente l'operazione di accedere, durante un intervallo di tempo elementare o finestra di tempo (slot) preliminarmente definita ad almeno una delle porte di accesso configurate in modo da effettuare la lettura da almeno uno dei circuiti di memoria forniti oppure la scrittura in essi.

12. Procedimento secondo la rivendicazione 11, in cui una separata finestra di tempo viene preliminarmente definita per la lettura dai circuiti di memoria forniti e per la scrittura in essi.

13. Procedimento secondo la rivendicazione 11, in cui la finestra di tempo viene preliminarmente definita come una funzione di un segnale di clock o di cadenzamento esterno.

14. Procedimento secondo la rivendicazione 11, in cui la finestra di tempo viene preliminarmente definita come una funzione di un tempo di accesso dei circuiti di memoria forniti.

15. Procedimento secondo la rivendicazione 11,

*Ing. Barrano & Barardo*  
*Roma s.p.a.*

in cui ad una pluralità delle porte di accesso configurate associate ad una pluralità di circuiti di memoria forniti si accede in parallelo durante una comune finestra di tempo.

16. Procedimento secondo la rivendicazione 11, in cui ad un singolo circuito di memoria fornito si accede durante ciascuna finestra di tempo preliminarmente definita.

17. Procedimento secondo la rivendicazione 11, in cui l'accesso viene iniziato da un evento di lettura asincrono.

18. Procedimento secondo la rivendicazione 11, in cui alle parole aventi una dimensione preliminarmente definita si accede da ciascuna porta di accesso configurata.

19. Procedimento secondo la rivendicazione 18, in cui ciascuna parola a cui si accede e che è più grande della dimensione preliminarmente definita viene suddivisa in una pluralità di porzioni di parola le quali sono ciascuna non più grande della dimensione preliminarmente definita e ciascuna porzione di parola viene estratta durante diverse finestre di tempo.

20. Procedimento secondo la rivendicazione 1, ulteriormente comprendente l'operazione di suddivide

*Ing. Giovanni S. Sarnardo*  
*Roma spa*

re la definizione di un circuito di prototipo in una definizione di circuito logico per la implementazione in un circuito logico e nella definizione di un circuito di memoria per la implementazione in almeno uno dei circuiti di memoria forniti.

21. Procedimento secondo la rivendicazione 20, in cui il circuito logico comprende un modulo logico riconfigurabile che può essere intercollegato con al meno uno dei circuiti di memoria forniti.

22. Procedimento secondo la rivendicazione 21, in cui il modulo logico riconfigurabile viene intercollegato con almeno uno dei circuiti di memoria for niti attraverso un modulo di intercollegamento programmabile.

23. Procedimento secondo la rivendicazione 20, ulteriormente comprendente l'operazione di emulare la definizione del circuito di prototipo suddivisa mediante il collegamento del circuito logico e di al meno uno dei circuiti di memoria forniti con un sistema di bersaglio e mediante il funzionamento del sistema di bersaglio collegato.

23. Procedimento secondo la rivendicazione 22, in cui il sistema di bersaglio collegato accede ad almeno una delle porte di accesso configurate in modo da effettuare la lettura da almeno uno dei circuiti

*Ing. Barrano & Ranardo*  
*Roma s.p.a.*

ti di memoria forniti oppure la scrittura in essi.

24. Procedimento secondo la rivendicazione 23, in cui il sistema di bersaglio collegato provoca il fatto che una diversa definizione del circuito di me moria venga implementata in almeno uno dei circuiti di memoria forniti e provoca anche il fatto che ciascuna delle porte di accesso di ciascun circuito di memoria fornito avente la diversa definizione di circuito di memoria implementata venga riconfigurata.

25. Procedimento secondo la rivendicazione 1, ulteriormente comprendente le seguenti operazioni:

implementare una diversa definizione del circuito di memoria in almeno uno dei circuiti di memoria forniti; e

riconfigurare ciascuna delle porte di accesso di ciascun circuito di memoria fornito avente la diversa definizione del circuito di memoria implementa per effettuare la lettura da ciascuno di tali circuiti di memoria forniti oppure la scrittura in essi.

26. Procedimento per configurare una pluralità di circuiti di memoria, il procedimento comprendendo le seguenti operazioni:

fornire una pluralità di circuiti di memoria, ciascun circuito di memoria comprendendo almeno una cella di memoria statica ed avendo tre porte di ac-

*Ing. Giovanni S. Scavardo*  
*Scavardo & C.*

cesso, ciascuna porta di accesso comprendendo un interruttore bidirezionale;

implementare una definizione di circuito di memoria in almeno uno dei circuiti di memoria forniti, la definizione del circuito di memoria definendo i contenuti di memorizzazione iniziali, la profondità, la larghezza e le selezioni di banco in almeno uno dei circuiti di memoria forniti, in conformità con uno di una pluralità di valori di configurazione preventivamente definiti;

configurare ciascuna delle porte di accesso di ciascun circuito di memoria fornito avente la definizione di circuito di memoria implementata per effettuare la lettura da ciascuno di tali circuiti di memoria forniti oppure la scrittura in essi; e

accedere, durante una finestra di tempo preventivamente definita, ad almeno una delle porte di accesso configurate in modo da effettuare la lettura da almeno uno dei circuiti di memoria forniti oppure la scrittura in essi, in cui una separata finestra di tempo viene preventivamente definita per la lettura dai circuiti di memoria forniti e per la scrittura in essi, la finestra di tempo essendo preventivamente definita come una funzione di un segnale di clock o di cadenzamento esterno e di un tempo

*Ing. Barrano & Barardo*  
*Roma s.p.a.*

di accesso dei circuiti di memoria forniti.

27. Procedimento per configurare una pluralità di circuiti di memoria, il procedimento comprendendo le seguenti operazioni:

fornire una pluralità di circuiti di memoria, ciascun circuito di memoria avendo una pluralità di porte di accesso;

suddividere una definizione di circuito di prototipo in una definizione di circuito logico, per la implementazione in un circuito logico, ed in una definizione di circuito di memoria;

implementare la definizione del circuito di memoria in almeno uno dei circuiti di memoria forniti;

configurare ciascuna delle porte di accesso di ciascun circuito di memoria fornito avente la definizione di circuito di memoria implementata per effettuare la lettura da ciascuno di tali circuiti di memoria forniti oppure la scrittura in essi;

accedere, durante una finestra di tempo preventivamente definita, ad almeno una delle porte di accesso configurate in modo da effettuare la lettura da almeno uno dei circuiti di memoria forniti oppure la scrittura in essi; e

emulare la definizione del circuito di proto-

*Ing. Giovanni S. Sarnano*  
*Roma 4/4/68*

tipo suddivisa mediante il collegamento del circuito logico e di almeno uno dei circuiti di memoria forniti ad un sistema di bersaglio e mediante il funzionamento del sistema di bersaglio collegato.

28. Apparecchio per configurare una pluralità di circuiti di memoria, l'apparecchio comprendendo:

una pluralità di circuiti di memoria, ciascun circuito di memoria avendo una pluralità di porte di accesso; e

una definizione di circuito di prototipo suddividibile in una definizione di circuito logico per la implementazione in un circuito logico ed in una definizione di circuito di memoria;

in cui la definizione del circuito di memoria è implementabile in almeno uno dei circuiti di memoria, ciascuna porta di accesso di ciascun circuito di memoria avendo una definizione di circuito di memoria implementata la quale è configurabile per effettuare la lettura da ciascuno di tali circuiti di memoria oppure la scrittura in essi, ed una porta di accesso configurata per effettuare la lettura da almeno uno dei circuiti di memoria oppure la scrittura in essi, durante una finestra di tempo preventivamente definita.

29. Apparecchio per configurare una pluralità

*Ing. Barzano G. Barano*  
*Roma s.p.a.*

di circuiti di memoria, l'apparecchio comprendendo:

una pluralità di circuiti di memoria, ciascun circuito di memoria avendo una pluralità di porte di accesso; e

una definizione di circuito di memoria implementata in almeno uno dei circuiti di memoria, in cui ciascuna porta di accesso di ciascun circuito di memoria, nel quale la definizione di circuito di memoria viene implementata, è configurata per effettuare operazioni di lettura da ciascuno di tali circuiti di memoria oppure di scrittura in essi.

Roma, 22 GIU. 1994

p.p. PIE DESIGN SYSTEMS, INC.

ING. BARZANO' & ZANARDO ROMA S.p.A.

TA/cc/ec 14179

UN MANDATARIO  
per se e per gli altri  
Antonio Taliercio  
(N° d'iscr. 171)

*Taliercio*



*Ing. Barzano & Zanardo  
Roma spa*

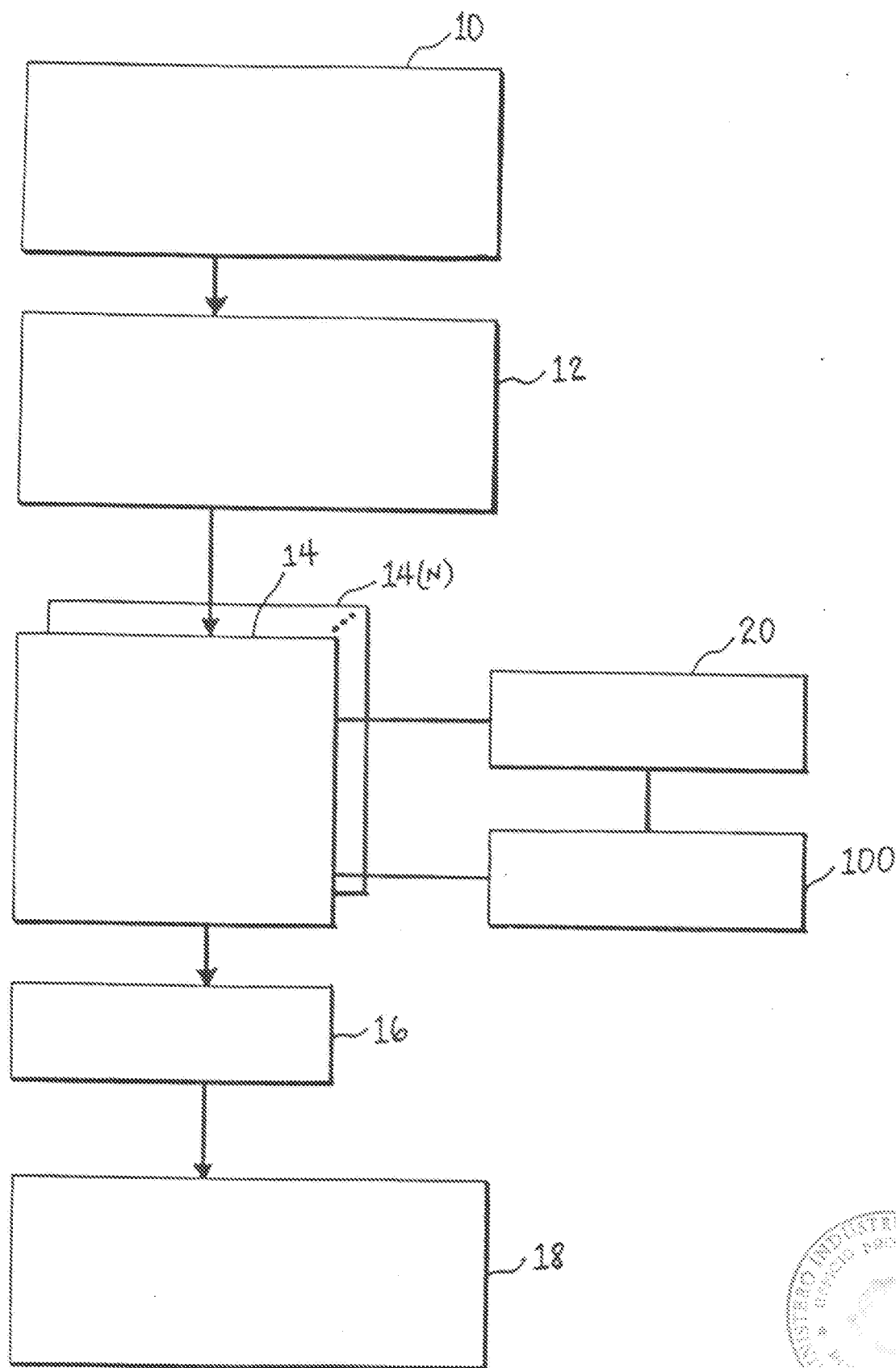
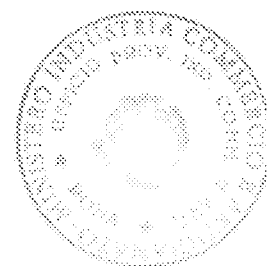


FIG. 1

p.d.: PIE DESIGN SYSTEMS, INC.  
ING. BARZANO' & ZANARDO ROMA S.p.A.

UN MANDATARIO  
per sè e per gli altri  
Antonio Talierecio  
(N° d'iscr. 171)

*italiano*



2/4

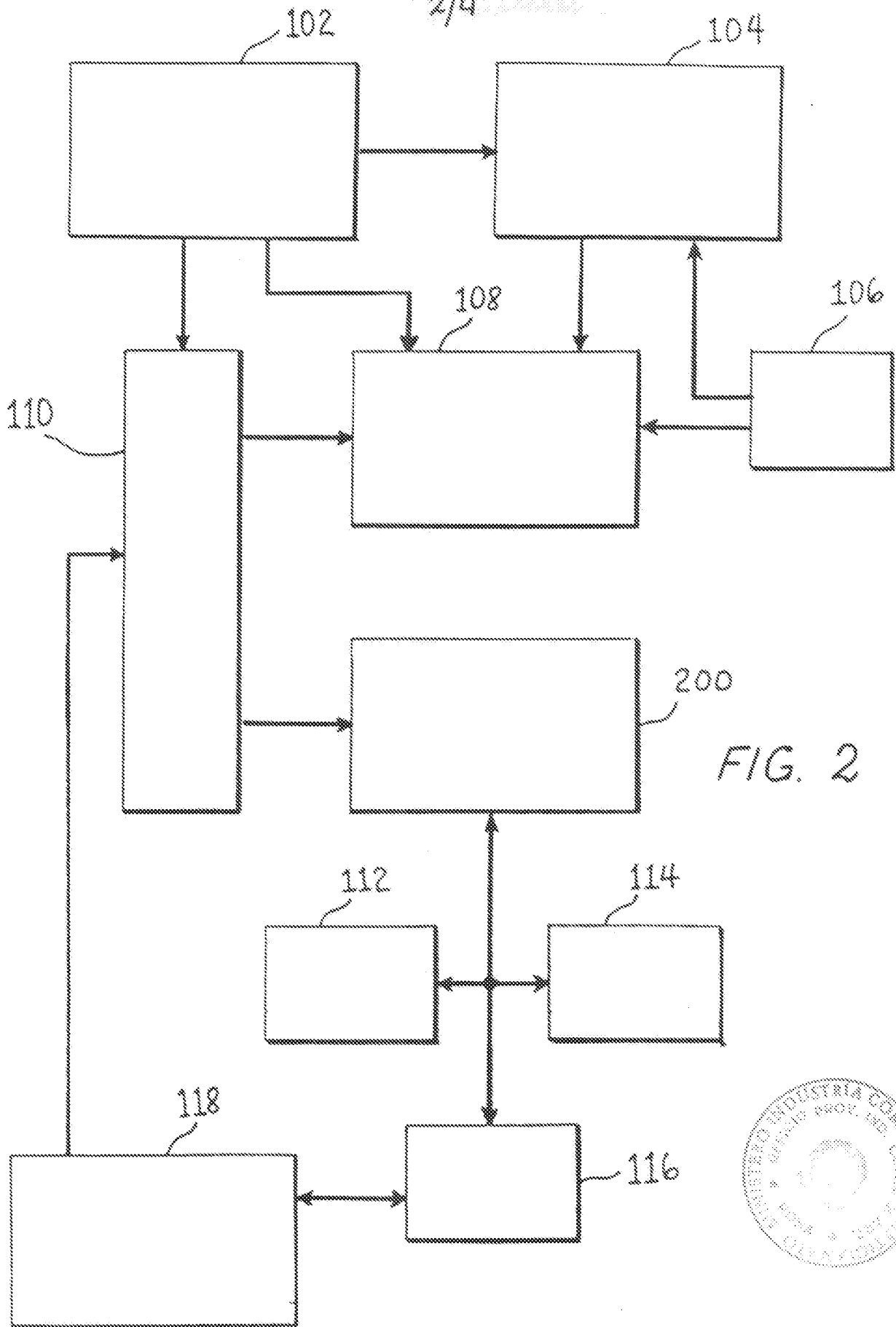
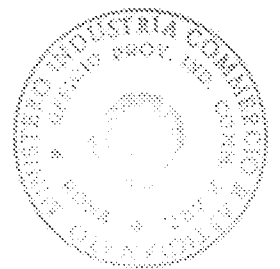
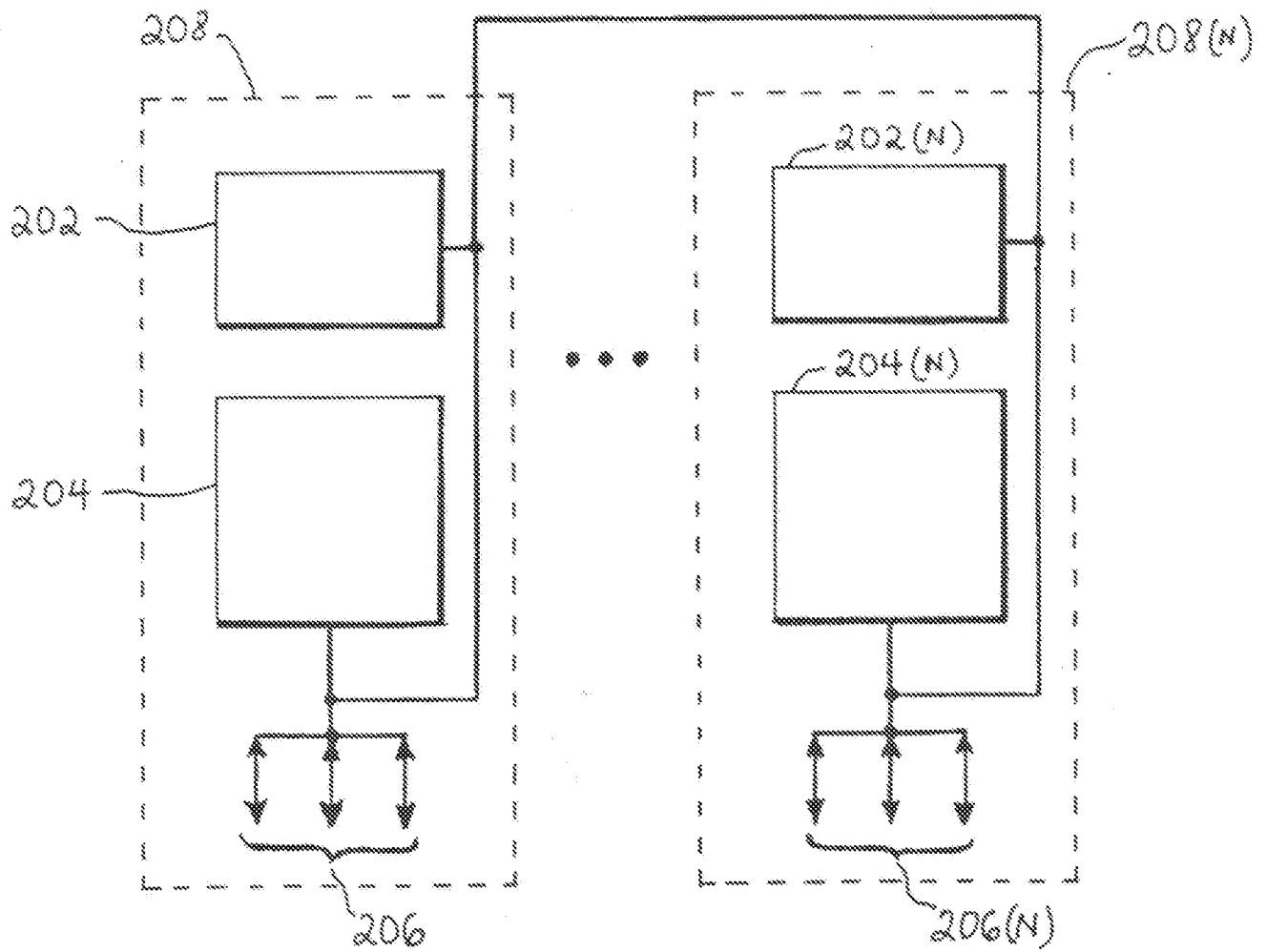


FIG. 2

100

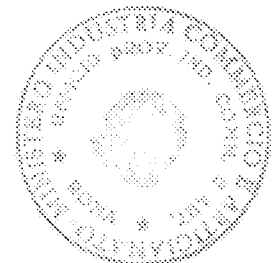




200

FIG. 3

p.p.: PIE DESIGN SYSTEMS, INC.  
ING. BARZANO' & ZANARDO ROMA S.p.A.



UN MANDATARIO  
per se e per gli altri  
Antonio Tallero  
(N° d'iscr. 373)

*Italiens*

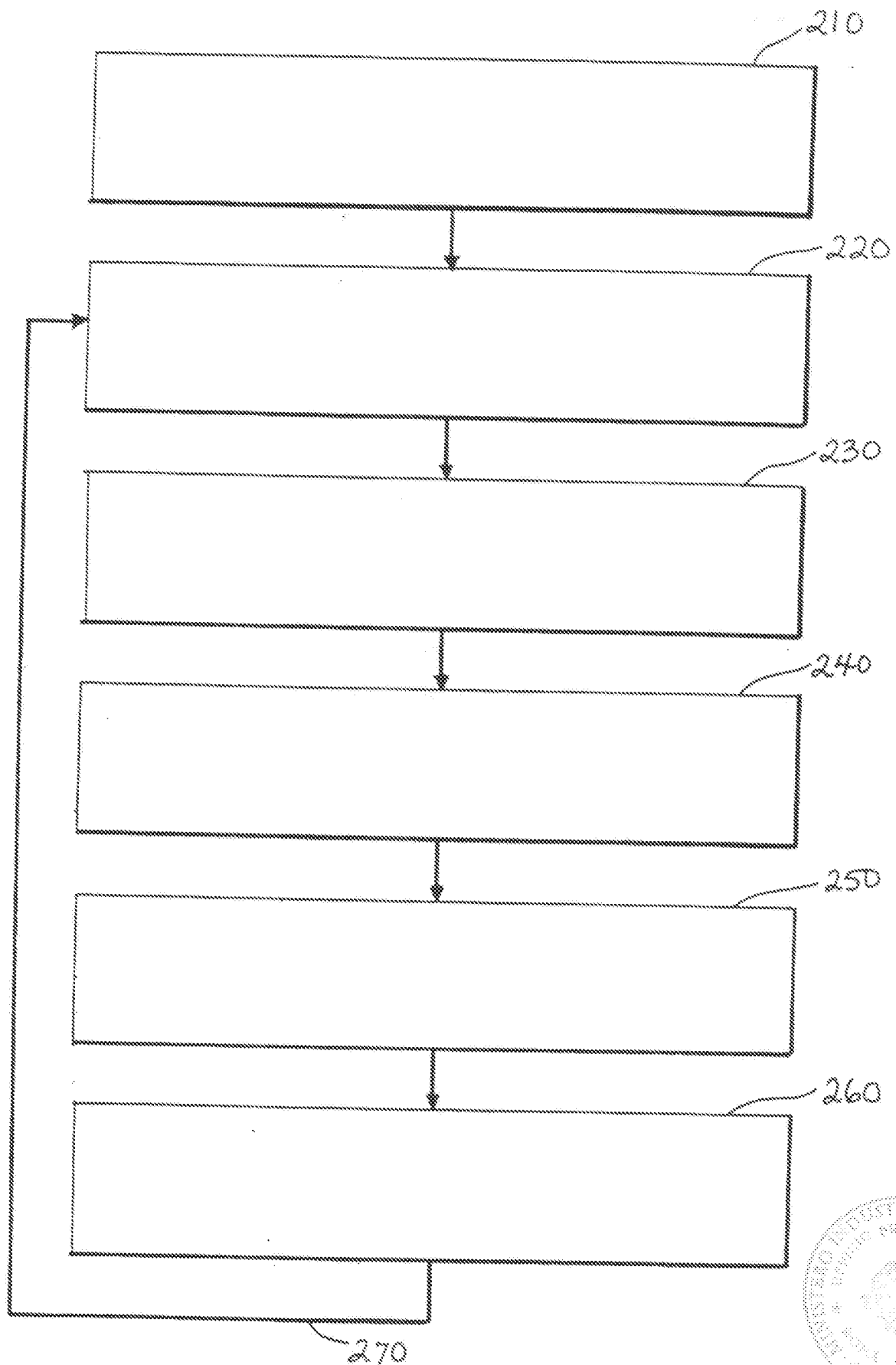


FIG. 4

